

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4970004号
(P4970004)

(45) 発行日 平成24年7月4日 (2012.7.4)

(24) 登録日 平成24年4月13日 (2012.4.13)

(51) Int.Cl.	F I
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 D
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 H
G O 9 G 3/36 (2006.01)	G O 9 G 3/36
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 2 E
G O 2 F 1/133 (2006.01)	G O 9 G 3/20 6 2 3 H
請求項の数 24 (全 35 頁) 最終頁に続く	

(21) 出願番号	特願2006-312865 (P2006-312865)	(73) 特許権者	000006013
(22) 出願日	平成18年11月20日 (2006.11.20)		三菱電機株式会社
(65) 公開番号	特開2008-130139 (P2008-130139A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成20年6月5日 (2008.6.5)	(74) 代理人	100088672
審査請求日	平成21年10月30日 (2009.10.30)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	飛田 洋一
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	村井 博之
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		審査官	高瀬 勤
			最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路およびそれを備える画像表示装置、並びに信号生成回路

(57) 【特許請求の範囲】

【請求項 1】

クロック端子および出力端子と、
前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、
各々が前記出力端子を放電する第2および第3トランジスタと、
所定の制御信号のレベルの切り替わりに基づき、前記第2および第3トランジスタを交互に切り替えて駆動する駆動回路とを備えるシフトレジスタ回路であって、
前記第1、第2および第3トランジスタの制御電極が接続するノードをそれぞれ第1、第2および第3ノードとし、
前記第2ノードに接続する制御電極を有し、前記第1ノードを放電する第4トランジスタと、
前記第3ノードに接続する制御電極を有し、前記第1ノードを放電する第5トランジスタとをさらに備え、
前記制御信号のレベルの切り替わり直後において、前記クロック端子に対する前記クロック信号の入力が少なくとも1パルス分禁止される
ことを特徴とするシフトレジスタ回路。

【請求項 2】

請求項1記載のシフトレジスタ回路が複数個縦続接続して成るシフトレジスタ回路。

【請求項 3】

請求項 2 記載のシフトレジスタ回路をゲート線駆動回路とする画像表示装置。

【請求項 4】

クロック端子および出力端子と、

前記クロック端子に入力されるクロック信号を前記出力端子に供給する第 1 トランジスタと、

各々が前記出力端子を放電する第 2 および第 3 トランジスタと、

所定の制御信号のレベルの切り替わりに基づき、前記第 2 および第 3 トランジスタを交互に切り替えて駆動する駆動回路とを備えるシフトレジスタ回路であって、

前記第 1、第 2 および第 3 トランジスタの制御電極が接続するノードをそれぞれ第 1、第 2 および第 3 ノードとし、

前記第 2 ノードに接続する制御電極を有し、前記第 1 ノードを放電する第 4 トランジスタと、

前記第 3 ノードに接続する制御電極を有し、前記第 1 ノードを放電する第 5 トランジスタと、

前記制御信号のレベルの切り替わり直後の所定一定期間に活性化するリセット信号に基づいて、当該所定期間に前記第 1 ノードを放電させるための放電手段を備えることを特徴とするシフトレジスタ回路。

【請求項 5】

請求項 4 記載のシフトレジスタ回路であって、

前記放電手段は、

前記リセット信号に基づく前記第 1 ノードの放電を前記第 4 または前記第 5 トランジスタに行わせるために、前記第 2 または第 3 ノードを充電する充電回路であることを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 5 記載のシフトレジスタ回路であって、

前記充電回路は、

前記リセット信号に基づいて前記第 2 ノードを充電する第 6 トランジスタと、

前記リセット信号に基づいて前記第 3 ノードを充電する第 7 トランジスタとを含むことを特徴とするシフトレジスタ回路。

【請求項 7】

請求項 5 記載のシフトレジスタ回路であって、

前記駆動回路は、

前記制御信号に基づいて、当該駆動回路の出力端を前記第 2 および第 3 ノードへ交互に電氣的に接続させる切替回路を含み、

前記充電回路は、

前記リセット信号に基づいて前記駆動回路の出力端を充電する第 6 トランジスタであることを特徴とするシフトレジスタ回路。

【請求項 8】

請求項 4 記載のシフトレジスタ回路であって、

前記放電手段は、

自らが前記リセット信号に基づく前記第 1 ノードの放電を行う放電回路であることを特徴とするシフトレジスタ回路。

【請求項 9】

請求項 8 記載のシフトレジスタ回路であって、

前記放電回路は、

前記リセット信号に基づいて前記第 1 ノードを放電する第 6 トランジスタであることを特徴とするシフトレジスタ回路。

【請求項 10】

複数のシフトレジスタ回路が縦続接続して成る多段のシフトレジスタ回路であって、

前記多段の各段は、請求項 4 から請求項 9 のいずれか記載のシフトレジスタ回路である

10

20

30

40

50

ことを特徴とするシフトレジスタ回路。

【請求項 1 1】

請求項 1 0 記載のシフトレジスタ回路であって、

前記リセット信号は、前記多段の第 1 段目を活性化させるためのスタートパルスであることを特徴とするシフトレジスタ回路。

【請求項 1 2】

請求項 1 0 または請求項 1 1 記載のシフトレジスタ回路をゲート線駆動回路とする画像表示装置。

【請求項 1 3】

請求項 4 から請求項 1 0 のいずれか記載のシフトレジスタ回路に前記リセット信号を供給するための信号生成回路であって、 10

前記制御信号は、

互いに相補な第 1 および第 2 制御信号から成り、

当該信号生成回路は、

前記第 1 制御信号の活性化タイミングを遅延させた第 1 遅延信号を生成する第 1 遅延回路と、

前記第 2 制御信号の活性化タイミングを遅延させた第 2 遅延信号を生成する第 2 遅延回路と、

前記第 1 および第 2 制御信号の活性化に伴って活性化し、前記第 1 および第 2 遅延信号の活性化に伴って非活性化されるパルス信号を生成するパルス生成回路とを備え、 20

前記パルス信号を前記リセット信号として出力する

ことを特徴とする信号生成回路。

【請求項 1 4】

請求項 1 3 記載の信号生成回路であって、

前記第 1 遅延回路と前記パルス生成回路との間に介在し、前記第 1 遅延信号の駆動能力を高めて前記パルス生成回路に入力する第 1 バッファ回路と、

前記第 2 遅延回路と前記パルス生成回路との間に介在し、前記第 2 遅延信号の駆動能力を大きくして前記パルス生成回路に入力する第 2 バッファ回路とをさらに備える

ことを特徴とする信号生成回路。

【請求項 1 5】

請求項 1 3 または請求項 1 4 記載の信号生成回路であって、

前記第 1 および第 2 遅延回路のそれぞれは、縦続接続した複数のインバータ回路を含むことを特徴とする信号生成回路。 30

【請求項 1 6】

請求項 1 5 記載の信号生成回路であって、

前記インバータ回路は、

当該インバータ回路の出力ノードに接続した一の主電極および、所定の電源が供給される他の主電極を有し、当該一の主電極がカソード、当該他の主電極がアノードとなるようにダイオード接続された第 8 トランジスタを有し、

前記縦続接続した複数のインバータ回路において、 40

その奇数段および偶数段の一方には、前記電源として前記第 1 制御信号が供給され、他方には、前記電源として前記第 2 制御信号が供給される

ことを特徴とする信号生成回路。

【請求項 1 7】

請求項 1 5 記載の信号生成回路であって、

前記インバータ回路は、

当該インバータ回路の出力ノードに接続した一の主電極および、一定電位の電源が供給される他の主電極を有する第 8 トランジスタを有し、

前記縦続接続した複数のインバータ回路において、

その奇数段および偶数段の一方には、前記第 8 トランジスタの制御電極に前記第 1 制御 50

信号が供給され、他方には、前記第 8 トランジスタの制御電極に前記第 2 制御信号が供給される

ことを特徴とする信号生成回路。

【請求項 1 8】

請求項 1 5 記載の信号生成回路であって、

前記インバータ回路は、

当該インバータ回路の出力ノードに接続した一の主電極および、所定の第 1 電源または一定電位の第 2 電源が供給される他の主電極を有する第 8 トランジスタと、

前記第 8 トランジスタの制御電極に接続した一の主電極および、前記第 1 電源が供給される他の主電極を有し、当該一の主電極がアノード、当該他の主電極がカソードとなるようにダイオード接続された第 9 トランジスタと、

10

前記第 8 トランジスタの制御電極に接続した一の主電極および、前記第 1 電源が供給される他の主電極を有し、当該一の主電極がカソード、当該他の主電極がアノードとなるようにダイオード接続された第 1 0 トランジスタと、

当該インバータ回路の出力ノードと前記第 8 トランジスタの制御電極との間に接続された第 1 容量素子とを有し、

前記縦続接続した複数のインバータ回路において、

その奇数段および偶数段の一方には、前記第 1 電源として前記第 1 制御信号が供給され、他方には、前記第 1 電源として前記第 2 制御信号が供給される

ことを特徴とする信号生成回路。

20

【請求項 1 9】

請求項 1 5 記載の信号生成回路であって、

前記インバータ回路は、

当該インバータ回路の出力ノードに接続した一の主電極および、所定の第 1 電源または一定電位の第 2 電源が供給される他の主電極を有する第 8 トランジスタと、

前記第 8 トランジスタの制御電極に接続した一の主電極および、前記第 1 電源が供給される他の主電極を有し、当該一の主電極がアノード、当該他の主電極がカソードとなるようにダイオード接続された第 9 トランジスタと、

前記第 8 トランジスタの制御電極に接続した一の主電極および、自己の偶数段前段の出力信号が供給される他の主電極を有し、当該一の主電極がカソード、当該他の主電極がアノードとなるようにダイオード接続された第 1 0 トランジスタと、

30

当該インバータ回路の出力ノードと前記第 8 トランジスタの制御電極との間に接続された第 1 容量素子とを有し、

前記縦続接続した複数のインバータ回路において、

その奇数段および偶数段の一方には、前記第 1 電源として前記第 1 制御信号が供給され、他方には、前記第 1 電源として前記第 2 制御信号が供給される

ことを特徴とする信号生成回路。

【請求項 2 0】

請求項 1 5 から請求項 1 9 のいずれか記載の信号生成回路であって、

前記インバータ回路は、

その出力段にトータムポール型バッファ回路を備えている

ことを特徴とする信号生成回路。

40

【請求項 2 1】

請求項 1 4 から請求項 2 0 のいずれか記載の信号生成回路であって、

前記第 1 および第 2 バッファ回路の各々は、

その出力ノードを充電するためのトランジスタであり、当該出力ノードに接続した一の主電極および、当該出力ノードの充電に用いる電源が供給される他の主電極とを備える第 1 1 トランジスタと、

前記第 1 1 トランジスタの制御電極と前記他の主電極との間に接続し、当該第 1 1 トランジスタの前記制御電極側がアノード、当該第 1 1 トランジスタの前記他の主電極側がカ

50

ソードとなるようにダイオード接続された第12トランジスタを備えることを特徴とする信号生成回路。

【請求項22】

請求項13から請求項21のいずれか記載の信号生成回路であって、前記パルス生成回路は、

その出力ノードを充電するためのトランジスタであり、当該出力ノードに接続した一の主電極および、当該出力ノードの充電に用いる電源が供給される他の主電極とを備える第13トランジスタと、

前記第13トランジスタの制御電極と前記他の主電極との間に接続し、当該第13トランジスタの前記制御電極側がアノード、当該第13トランジスタの前記他の主電極側がカソードとなるようにダイオード接続された第14トランジスタを備えることを特徴とする信号生成回路。

10

【請求項23】

請求項22記載の信号生成回路であって、

各々が前記第13トランジスタの制御電極を充電する第15および第16トランジスタと、

前記第1制御信号の活性化に応じて前記第15トランジスタの制御電極を昇圧する第2容量素子と、

前記第1遅延信号の活性化に応じて前記第15トランジスタの制御電極を放電する第17トランジスタと、

20

前記第2制御信号の活性化に応じて前記第16トランジスタの制御電極を昇圧する第3容量素子と、

前記第2遅延信号の活性化に応じて前記第16トランジスタの制御電極を放電する第18トランジスタとをさらに備える

ことを特徴とする信号生成回路。

【請求項24】

請求項23記載の信号生成回路であって、

前記第2制御信号の活性化に応じて前記第15トランジスタの制御電極を放電する第19トランジスタと、

前記第1制御信号の活性化に応じて前記第16トランジスタの制御電極を放電する第20トランジスタとをさらに備える

30

ことを特徴とする信号生成回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタ回路に関するものであり、特に、例えば画像表示装置の走査線駆動回路などに使用される、同一導電型の電界効果トランジスタのみにより構成されるシフトレジスタ回路に関するものである。

【背景技術】

【0002】

40

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の1水平期間の周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行われる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の1フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。

【0003】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジ

50

スタおよびそれを搭載する表示装置が種々提案されている（例えば非特許文献1）。電界効果トランジスタとしては、MOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（TFT：Thin Film Transistor）などが用いられる。

【0004】

また、ゲート線駆動回路は、1つの画素ラインすなわち1つのゲート線ごとに設けられた複数のシフトレジスタ回路が縦続接続（カスケード接続）した多段のシフトレジスタにより構成される。本明細書では説明の便宜上、縦続接続して多段のシフトレジスタを構成する複数のシフトレジスタ回路の各々を「単位シフトレジスタ」と称する。

【0005】

【特許文献1】特開2004-246358号公報

10

【非特許文献1】Soon Young Yoon 他「Highly Stable Integrated Gate Driver Circuit using a-Si TFT with Dual Pull-down Structure」SID 05 DIGEST p.348-351

【発明の開示】

【発明が解決しようとする課題】

【0006】

例えば上記特許文献1の図1に示されているように、一般的な単位シフトレジスタはその出力段に、出力端子（同文献のGOUT）とクロック端子（CKV）との間に接続する出力プルアップトランジスタ（Q1）と、出力端子と基準電圧端子（VOFF）との間に接続する出力プルダウントランジスタ（Q2）とを備えている。

【0007】

20

そのような単位シフトレジスタでは、所定の入力信号（前段の出力信号（GOUT_{N-1}））に応じて出力プルアップトランジスタがオン、出力プルダウントランジスタがオフにされ、その状態でクロック端子に入力されるクロック信号が出力端子に伝達されることによって出力信号（GOUT_N）が出力される。逆に、上記入力信号が入力されない期間は、出力プルアップトランジスタがオフ、出力プルダウントランジスタがオンにされ、出力端子の電圧レベル（以下、単に「レベル」）はL（Low）レベルに保持される。

【0008】

ゲート線駆動回路のシフトレジスタを非晶質シリコンTFT（a-SiTFT）で構成した表示装置は、大面積化が容易で且つ生産性が高く、例えばノート型PCの画面や大画面ディスプレイ装置などに広く採用されている。

30

【0009】

しかしa-SiTFTは、ゲート電極が継続的（直流的）に正バイアスされた場合に、しきい値電圧が正方向にシフトして駆動能力（電流を流す能力）が小さくなる傾向がある。特に、ゲート線駆動回路の単位シフトレジスタでは、映像の1フレーム毎に1度の選択期間だけ出力信号を出力し、それ以外の期間（非選択期間）は出力端子がLレベルに維持するように出力プルダウントランジスタがオンにされる。

【0010】

つまり、従来の単位シフトレジスタにおいては、1フレーム期間（約16ms）とほぼ同じ長さの間、出力プルダウントランジスタのゲートを継続的に正バイアスする動作が、連続して行われる。そのため、出力プルダウントランジスタにしきい値電圧のシフト（V_{th}シフト）が生じ、次第にその駆動能力が低下する（即ちオン抵抗が高くなる）。そうになると、ノイズ等に起因して出力端子に不要に電荷が供給された時、それを出力プルダウントランジスタが放電することができず、ゲート線がその非選択期間に誤って活性化されてしまうという誤動作が生じる。

40

【0011】

上記の非特許文献1ではその対策として、単位シフトレジスタの出力端子に対して出力プルダウントランジスタを並列に2つ設け、両者をフレーム毎に交互に動作／休止させるようにしたゲート線駆動回路が提案されている。それにより、一つの出力プルダウントランジスタのゲート電極の継続的なバイアスが連続して行われなくなり、2つの出力プルダウントランジスタのV_{th}シフトが抑制される。

50

【0012】

例えば非特許文献1の図4(a)に示される単位シフトレジスタにおいては、図4(b)に示されるような2種類の信号を各単位シフトレジスタに与えている。この2種類の信号は、2つの出力プルダウントランジスタの動作／休止を切り替えるためにそれぞれ1フレーム毎にレベルが切り替わるものである。その切り替わりの直後においては、単位シフトレジスタの回路内における各ノードのレベルが遷移状態（遷移途中の状態）にあり、そのときのシフトレジスタの動作が不安定になり、誤動作を起こす可能性がある（詳細は後述する）。

【0013】

また、以上のVthシフトの問題は、a-Si TFTのみならず、有機TFTにおいても同様に生じることが分かっている。

10

【0014】

本発明は上記の問題を解決するためになされたものであり、出力端子を放電（プルダウン）するトランジスタを2つ有し、両者が動作／休止の交互に切り替わるシフトレジスタ回路において、その切り替わり直後における動作の安定性を向上させることを目的とする。

【課題を解決するための手段】

【0015】

本発明の第1の局面に係るシフトレジスタ回路は、クロック端子および出力端子と、前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、各々が前記出力端子を放電する第2および第3トランジスタと、所定の制御信号のレベルの切り替わりに基づき、前記第2および第3トランジスタを交互に切り替えて駆動する駆動回路とを備えるシフトレジスタ回路であって、前記第1、第2および第3トランジスタの制御電極が接続するノードをそれぞれ第1、第2および第3ノードとし、前記第2ノードに接続する制御電極を有し、前記第1ノードを放電する第4トランジスタと、前記第3ノードに接続する制御電極を有し、前記第1ノードを放電する第5トランジスタとをさらに備え、前記制御信号のレベルの切り替わり直後において、前記クロック端子に対する前記クロック信号の入力が少なくとも1パルス分禁止されるものである。

20

【0016】

本発明の第2の局面に係るシフトレジスタ回路は、クロック端子および出力端子と、前記クロック端子に入力されるクロック信号を前記出力端子に供給する第1トランジスタと、各々が前記出力端子を放電する第2および第3トランジスタと、所定の制御信号のレベルの切り替わりに基づき、前記第2および第3トランジスタを交互に切り替えて駆動する駆動回路とを備えるシフトレジスタ回路であって、前記第1、第2および第3トランジスタの制御電極が接続するノードをそれぞれ第1、第2および第3ノードとし、前記第2ノードに接続する制御電極を有し、前記第1ノードを放電する第4トランジスタと、前記第3ノードに接続する制御電極を有し、前記第1ノードを放電する第5トランジスタと、前記制御信号のレベルの切り替わり直後の所定一定期間に活性化するリセット信号に基づいて、当該所定期間に前記第1ノードを放電させるための放電手段を備えるものである。

30

40

【0017】

本発明に第3の局面に係る信号生成回路は、上記の第2の局面に係るシフトレジスタ回路に対し、前記リセット信号を供給するためのものであって、前記制御信号は、互いに相補な第1および第2制御信号から成り、当該信号生成回路は、前記第1制御信号の活性化タイミングを遅延させた第1遅延信号を生成する第1遅延回路と、前記第2制御信号の活性化タイミングを遅延させた第2遅延信号を生成する第2遅延回路と、前記第1および第2制御信号の活性化に伴って活性化し、前記第1および第2遅延信号の活性化に伴って非活性化されるパルス信号を生成するパルス生成回路とを備え、前記パルス信号を前記リセット信号として出力するものである。

【発明の効果】

50

【0018】

本発明の第1の局面によれば、制御信号の切り替わり直後にシフトレジスタ回路の動作が不安定になった場合でも、クロック信号の入力が禁止されるので誤信号の発生が防止される。

【0019】

また本発明の第2および第3の局面によれば、制御信号の切り替わり直後に、第1トランジスタの制御電極（第1ノード）が低インピーダンスで放電され、当該第1トランジスタが安定してオフを維持するようになる。よって、そのときクロック信号が入力されても、誤信号の発生は防止される。

【発明を実施するための最良の形態】

10

【0020】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0021】

<実施の形態1>

図1は、実施の形態1に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタは、出力プルダウントランジスタを2つ有するものであり、その両者を交互に動作／休止させることによって、出力プルダウントランジスタのしきい値電圧のシフトを低減できるように構成されている。

20

【0022】

この単位シフトレジスタSRを構成するトランジスタは、全て同一導電型の電界効果トランジスタであり、ここでは全てN型TFTであるものとする。N型TFTは、ゲートがソースに対しHレベルになると活性（オン）状態となり、同じくLレベルで非活性（オフ）状態となる。但し、単位シフトレジスタSRはP型トランジスタで構成することも可能であり、P型トランジスタの場合は、ゲートがソースに対しLレベルになると活性（オン）状態となり、同じくHレベルで非活性（オフ）状態となる。

【0023】

以下の説明では、当該単位シフトレジスタSRが複数個縦続接続することで表示装置のゲート線駆動回路を構成しているものと仮定して説明を行う。なお、それら表示装置およびゲート線駆動回路の具体的な構成例は、本発明者による特許文献（例えば、特開2006-277860の図1、図2、図13等）に開示されている。以下の説明では、低電位側電源電位VSSを回路の基準電圧（＝0V）とするが、実使用では画素に書込まれるデータの電圧を基準にして基準電位が設定され、例えば高電位側電源電位VDDは1.7V、低電位側電源電位VSSは－1.2Vなどと設定される。

30

【0024】

図1に示すように、当該単位シフトレジスタSRの出力段は、出力端子OUTとクロック端子CKとの間に接続するトランジスタQ1と、共に出力端子OUTと第1電源端子S1との間に接続するトランジスタQ2A、Q2Bとにより構成されている。第1電源端子S1には、回路の基準電位である低電位側電源電位VSSが供給される。なお後述の第2電源端子S2には高電位側電源電位VDDが供給される。

40

【0025】

即ち、トランジスタQ1は、クロック端子CKに入力されるクロック信号を出力端子OUTに供給する第1トランジスタであり、トランジスタQ2A、Q2Bは、それぞれが低電位側電源電位VSSを出力端子OUTに供給することで出力端子OUTを放電する第2および第3トランジスタである。ここで図1に示すように、トランジスタQ1のゲート（制御電極）が接続するノードを「ノードN1」、トランジスタQ2Aのゲートが接続するノードを「ノードN2A」、トランジスタQ2Bのゲートが接続するノードを「ノードN2B」と定義する。

【0026】

50

トランジスタQ 1のゲート・ソース間すなわちノードN 1と出力端子O U Tとの間には容量素子Cが設けられている。この容量素子Cは、出力端子O U Tのレベル上昇に伴うノードN 1の昇圧効果を高めるためのものである。但し、容量素子Cは、トランジスタQ 1のゲート・チャネル間容量が充分大きい場合にはそれで置き換えることができ、そのような場合には省略してもよい。

【0027】

高電位側電源電位V D Dが供給される第2電源端子S 2とノードN 1との間には、ゲートが入力端子I Nに接続するトランジスタQ 3が接続しており、ノードN 1と第1電源端子S 1との間には、ゲートが第1リセット端子R S Tに接続したトランジスタQ 4、ゲートがノードN 2 Aに接続したトランジスタQ 5 A、並びに、ゲートがノードN 2 Bに接続したトランジスタQ 5 Bが接続している。

10

【0028】

また当該単位シフトレジスタS Rは、所定の第1制御信号V F Rが入力される第1制御端子C T Aおよび、第2制御信号／V F Rが入力される第2制御端子C T Bを有している。第1および第2制御信号V F R，／V F Rは互いに相補の信号であり、ゲート線駆動回路を駆動するための駆動制御装置（不図示）により生成される。この第1および第2制御信号V F R，／V F Rは、表示画像のフレーム間のブランキング期間にレベルが切り替わる（交番する）よう制御されており、例えば、表示画像の1フレーム毎にレベルが切り替わるよう制御される。

【0029】

20

トランジスタQ 8 Aは、第1制御端子C T AとノードN 2 Aとの間に接続し、トランジスタQ 8 Bは第2制御端子C T BとノードN 2 Bとの間に接続する。トランジスタQ 8 AのゲートはトランジスタQ 8 Bのドレイン（ノードN 2 B）に接続し、トランジスタQ 8 BのゲートはトランジスタQ 8 Aのドレイン（ノードN 2 A）に接続する。即ち、トランジスタQ 8 AおよびトランジスタQ 8 Bは、その一の主電極（ここではドレイン）がたすき掛けに互いの制御電極（ゲート）に接続されており、いわゆるフリップフロップ回路を構成している。

【0030】

トランジスタQ 6 Aはダイオード接続しており、ノードN 2 Aと第1制御端子C T Aとの間に接続している。トランジスタQ 7 Aは、ノードN 2 Aと第1電源端子S 1との間に接続し、ゲートがノードN 1に接続している。トランジスタQ 7 Aのオン抵抗はトランジスタQ 6 Aよりも充分低く設定されており、これらトランジスタQ 6 A，Q 7 Aで、ノードN 1を入力端、ノードN 2 Aを出力端とするレシオ型インバータを構成している。但し通常のインバータと異なり、その電源としては第1制御信号V F Rが供給される。

30

【0031】

またトランジスタQ 6 Bはダイオード接続しており、ノードN 2 Bと第2制御端子C T Bとの間に接続している。トランジスタQ 7 Bは、ノードN 2 Bと第1電源端子S 1との間に接続し、ゲートがノードN 1に接続している。これらトランジスタQ 6 B，Q 7 Bも、ノードN 1を入力端、ノードN 2 Bを出力端とするレシオ型インバータを構成しているが、通常のインバータと異なり、その電源として第2制御信号／V F Rが供給されている。以下、トランジスタQ 6 A，Q 7 Aより成るインバータを「第1インバータ」と称し、トランジスタQ 6 B，Q 7 Bより成るインバータを「第2インバータ」と称する。

40

【0032】

先に述べたように本実施の形態では、図1の単位シフトレジスタS Rが、表示装置のゲート線駆動回路としての多段のシフトレジスタを構成している場合を想定して説明を行う。

【0033】

多段のシフトレジスタは、複数の単位シフトレジスタS Rが縦続接続することにより構成される。即ち、各段目の単位シフトレジスタS Rの出力端子O U Tから出力される出力信号Gは、その次段の単位シフトレジスタS Rの入力端子I Nに入力される。言い換え

50

ば、各シフトレジスタ S R の入力端子 I N には、自己の前段の出力信号 G が入力される。

【0034】

なおゲート線駆動回路においては、最前段（第1段目）の単位シフトレジスタ S R₁ の入力端子 I N には、画像信号の各フレーム期間の先頭に対応するパルス信号である「スタートパルス」が入力される。また単位シフトレジスタ S R は、1つの画素ラインすなわち1つのゲート線ごとに1つずつ設けられ、各単位シフトレジスタ S R の出力信号 G のそれぞれが、ゲート線を活性化するための水平（又は垂直）走査パルスとなる。

【0035】

また本実施の形態では、ゲート線駆動回路（多段のシフトレジスタ）が、互いに位相の異なる（Hレベルになる期間（活性期間）が重ならない）2相のクロック信号 C L K、／C L K を用いて駆動されるものとする。その場合、各段のクロック端子 C K には、自己の前段のものとは逆相のクロック信号が入力される。例えば、奇数段にクロック信号 C L K が入力されるのであれば、偶数段にはクロック信号／C L K が入力される。また、シフトレジスタを2相のクロック信号 C L K、／C L K により駆動する場合、各単位シフトレジスタ S R の第1リセット端子 R S T には、自己の次段の出力信号 G が入力される（例えば、特開2006-277860の図13参照）。

【0036】

なお、第1制御信号 V F R は、縦続接続した全ての単位シフトレジスタ S R の第1制御端子 C T A に入力され、同様に第2制御信号／V F R は、全ての単位シフトレジスタ S R の第2制御端子 C T B に入力される。

【0037】

以下、図1に示した本実施の形態に係る単位シフトレジスタ S R の動作の説明を行う。縦続接続した各段の単位シフトレジスタ S R の動作は基本的にどれも同じであるので、ここでは第 n 段目の単位シフトレジスタ S R_n の動作を代表的に説明する。また簡単のため、当該単位シフトレジスタ S R_n のクロック端子 C K には、クロック信号 C L K が入力されているものとする。即ち、それに隣接する第 n - 1 段の単位シフトレジスタ S R_{n-1} および第 n + 1 段の単位シフトレジスタ S R_{n+1} のクロック端子 C K には、それぞれクロック信号／C L K が入力される。

【0038】

また、クロック信号 C L K、／C L K の H レベル、および第1および第2制御信号 V F R、／V F R の H レベルは、全て高電位側電源電位 V D D に等しいものとする。そして第1および第2制御信号 V F R、／V F R は、それぞれ表示画像の1フレーム毎に、ブランキング期間内のタイミングでレベルが切り替わるよう制御されているものとする。さらに単位シフトレジスタ S R を構成する各トランジスタのしきい値電圧は全て等しいものと仮定し、その値を V t h とする。

【0039】

図2は、図1の単位シフトレジスタ S R_n の基本的な動作を示すタイミング図である。以下、図1に示した本実施の形態に係る単位シフトレジスタ S R の基本的な動作の説明を行う。

【0040】

図2に示されている時刻 t 1 は、フレーム期間の間のブランキング期間（図示は省略）内のものである。当該時刻 t 1 で、第1制御信号 V F R が H レベル、第2制御信号／V F R が L レベルになったとする。

【0041】

すると単位シフトレジスタ S R のそれぞれにおいて、トランジスタ Q 6 A のドレインおよびゲートの電位が V S S (= 0) から V D D へと変化し、当該トランジスタ Q 6 A がオンになる。即ち、トランジスタ Q 6 A、Q 7 A より成る第1インバータに電源が供給され、当該第1インバータが活性化される。この時点ではトランジスタ Q 5 B がオンしており、ノード N 1 が L レベルの状態である。よってトランジスタ Q 7 A はオフしているので、トランジスタ Q 6 A のオンにより、ノード N 2 A のレベルは上昇する。

【0042】

他方、第2制御信号/VFRは第2制御端子CTBに入力されているので、トランジスタQ6Bのドレインおよびゲートの電位はVDDからVSSへ変化する。即ち、トランジスタQ6B、Q7Bより成る第2インバータには電源が供給されない。トランジスタQ6Bは第2制御端子CTBからノードN2Bへ方向を順方向とするダイオードとして機能するため、ノードN2Bの電荷はトランジスタQ6を通しては放電されない。しかし上記のようにノードN2Aのレベルが上昇し、且つトランジスタQ8Bのソース（第2制御端子CTB）がVSSになっているので、トランジスタQ8BがオンしてノードN2BをLレベル（VSS）にする。応じてトランジスタQ8Aがオフとなり、ノードN2AはHレベル（VDD-Vth）となる。即ち、時刻t1の後には、トランジスタQ8A、Q8Bより成るフリップフロップ回路における電位分布は図3（a）のようになる。

10

【0043】

このように第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルになると、各单位シフトレジスタSRにおいて、第2インバータが活性化しないため、ノードN2BはLレベルに固定される。よってその間のトランジスタQ2BおよびトランジスタQ5Bは、ゲートがバイアスされず休止状態になる。つまりその期間、各单位シフトレジスタSRにおいては、トランジスタQ1、Q2A、Q3、Q4、Q5A、Q6A、Q7Aの組み合わせにより、通常の単位シフトレジスタ（特許文献1の図1の回路）と等価な回路が構成され、それと同様の動作が可能になる。

20

【0044】

第n段目の単位シフトレジスタSR_nに注目すると、その前段の単位シフトレジスタSR_{n-1}が駆動するゲート線の選択期間になる時刻t2で、前段の出力信号G_{n-1}がHレベルになると、トランジスタQ3がオンする。このときトランジスタQ5Aもオンしているが、トランジスタQ3のオン抵抗はトランジスタQ5Aのオン抵抗に比べ十分低く設定されており、ノードN1はHレベル（VDD-Vth）となる。応じて、トランジスタQ1がオンとなる。以下、ノードN1がHレベルの状態（即ちトランジスタQ1がオンの状態）を「セット状態」と称する。

【0045】

トランジスタQ6A、Q7Aより成る第1インバータはノードN1を入力端、ノードN2Aを出力端としているため、ノードN1がHレベルになるとノードN2AはLレベルになる。応じて、トランジスタQ2A、Q5Aがオフになる。ここで、当該第1インバータはレシオ型インバータであるので、Lレベル出力の電位はトランジスタQ6A、Q7Aのオン抵抗の比で決まる値となる。即ち、ノードN2AをLレベルにする間は、トランジスタQ6A、Q7Aの両方がオンするため、トランジスタQ6A、Q7Aを通して第1制御端子CTAから第1電源端子S1へ貫通電流が流れ、一定の電力が消費されることとなる。

30

【0046】

その後、前段の出力信号G_{n-1}がLレベルに戻るとトランジスタQ3はオフするが、ノードN1はフローティング状態になるのでノードN1のHレベルは維持される。そして当該単位シフトレジスタSR_nが駆動するゲート線の選択期間になる時刻t3でクロック信号CLKがHレベルになると、トランジスタQ1がオンしているためクロック信号CLKのHレベルが出力端子OUTに供給され、出力信号G_nがHレベルになる。

40

【0047】

このとき、容量素子CおよびトランジスタQ1のゲート・チャネル間容量を介した結合により、ノードN1のレベルが出力信号G_nのレベル上昇に応じて昇圧される。従ってトランジスタQ1のソース・ゲート間電圧は高く保たれ、当該トランジスタQ1が低インピーダンスに維持されるので、出力信号G_nのレベルはクロック信号CLKのレベルに素早く追随する。従って、その後クロック信号CLKがLレベルに戻ると、出力信号G_nも素早くLレベルに戻る。

【0048】

50

そして、単位シフトレジスタ SR_{n+1} が駆動するゲート線の選択期間になる時刻 t_4 で、次段のシフトレジスタの出力信号 G_{n+1} が H レベルになると、当該単位シフトレジスタ SR_n においてトランジスタ Q_4 がオンとなる。応じてノード N_1 が L レベルになり、トランジスタ Q_1 がオフに戻る。以下、ノード N_1 が L レベルの状態（即ちトランジスタ Q_1 がオフの状態）を「リセット状態」と称する。

【0049】

またこのときトランジスタ Q_7A もオフになり、ノード N_2A は H レベル（ $V_{DD} - V_{th}$ ）に戻る。その結果トランジスタ Q_2A がオンになり、出力端子 OUT は低インピーダンスで L レベルに維持されるようになる。またこのときトランジスタ Q_5A もオンになる。このトランジスタ Q_5A は、ノード N_2A が L レベルの間、ノード N_1 を低インピーダンスで L レベルに維持するためのものである。それにより、非選択期間にノイズの影響などによってノード N_1 のレベルが上昇することが防止され、単位シフトレジスタ SR の誤動作の発生が抑制される。

【0050】

その後、次のブランキング期間内の時刻 t_5 で第 1 制御信号 VFR および第 2 制御信号 $\neg VFR$ のレベルが反転するまで、単位シフトレジスタ SR_n ではこの状態が維持される。

【0051】

そして時刻 t_5 で、第 1 制御信号 VFR が L レベル、第 2 制御信号 $\neg VFR$ が H レベルになると、各単位シフトレジスタ SR において、それまでとは逆にトランジスタ Q_6B 、 Q_7B より成る第 2 インバータが活性化され、ノード N_2B が H レベルになる。応じてトランジスタ Q_8A がオンになり、且つ第 1 インバータが非活性になるため、ノード N_2A は L レベル（ V_{SS} ）になる。

【0052】

即ち、時刻 t_5 より後の第 1 制御信号 VFR が L レベル、第 2 制御信号 $\neg VFR$ が H レベルである期間では、各単位シフトレジスタ SR において、トランジスタ Q_8A 、 Q_8B より成るフリップフロップ回路の電位分布は図 3（b）のようになる。よってその期間、トランジスタ Q_2A 、 Q_5A のゲートはバイアスされず、当該トランジスタ Q_2A 、 Q_5A は休止状態になる。また、第 1 インバータも、電源が供給されないため動作しない。その結果、当該単位シフトレジスタ SR において、トランジスタ Q_1 、 Q_2B 、 Q_3 、 Q_4 、 Q_5B 、 Q_6B 、 Q_7B の組み合わせによって、通常の単位シフトレジスタ（特許文献 1 の図 1 の回路）と等価な回路が構成され、それによって上記の時刻 $t_2 \sim t_5$ と同様の動作が行われる。

【0053】

このように、図 1 の単位シフトレジスタ SR は、通常の単位シフトレジスタと同様の動作を行うことができる。なお且つ、第 1 制御信号 VFR および第 2 制御信号 $\neg VFR$ が反転する毎に、トランジスタ Q_2A 、 Q_5A のペアとトランジスタ Q_2B 、 Q_5B のペアとが交互に休止状態になるので、それらのゲートが直流的にバイアスされることが防止される。従って、 $a-SiTFET$ のしきい値電圧のシフトによる誤動作を防止でき、動作の信頼性が向上する。

【0054】

以上で説明した単位シフトレジスタ SR の動作は、第 1 および第 2 制御信号 VFR 、 $\neg VFR$ のレベルが切り替わった後、定常的に V_{DD} または V_{SS} の値をとっている状態でのものである。

【0055】

図 1 の単位シフトレジスタ SR は、第 1 および第 2 制御信号 VFR 、 $\neg VFR$ が、定常的に V_{DD} または V_{SS} の値をとっている間は、上記のとおり通常の単位シフトレジスタと同様の動作を行うことができる。しかし、先に述べたように、第 1 および第 2 制御信号 VFR 、 $\neg VFR$ のレベルの切り替わりの直後においては、各単位シフトレジスタの回路内における各ノードのレベルが遷移状態にあり、そのときのシフトレジスタの動作が不安

10

20

30

40

50

定になり、誤動作を起こす可能性がある。

【0056】

図4は、従来の単位シフトレジスタSRにおける、第1および第2制御信号の切り替え直後の誤動作の問題を説明するためのタイミング図である。同図は、第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替え時における単位シフトレジスタSR_nの振る舞いを示している。

【0057】

図4に示す時刻t1は、図2に示した時刻t1に対応している。即ち、時刻t1は、ブランキング期間内であり、そのタイミングで第1制御信号VFRがLレベルからHレベルに変化すると共に、第2制御信号 $\neg$ VFRがHレベルからLレベルに変化する。

10

【0058】

ここでも第n段目の単位シフトレジスタSR_nについて代表的に説明する。時刻t1で第1制御信号VFRがHレベル、第2制御信号 $\neg$ VFRがLレベルになると、単位シフトレジスタSR_nにおいて、トランジスタQ6Aがオン、トランジスタQ6Bがオフとなる。

【0059】

すると、ノードN2Aの電位はLレベル(VSS)からHレベルへと変化し始める。その結果、トランジスタQ8Bのゲート(ノードN2A)とソース(第2制御端子CTB)との間の電圧が大きくなり、当該トランジスタQ8Bに電流が流れ、応じてノードN2Bの電位はHレベル(VDD-V_{th})から下降する。最終的には、ノードN2AのレベルはVDD-V_{th}、ノードN2BのレベルはVSSとなる。

20

【0060】

ここで、クロック信号CLK、 $\neg$ CLKが供給されるタイミングと第1および第2制御信号VFR、 $\neg$ VFRの変化タイミングとが無関係であると仮定し、例えば、図4のように、ノードN2Aのレベルが最終レベル(VDD-V_{th})に到達する前の時刻t11で、クロック信号CLKが立ち上がったとする。このときのノードN2Aのレベルは最終レベルよりも低い電位V1である。

【0061】

時刻t11でクロック信号CLKが立ち上がると、トランジスタQ1のゲート・ドレイン間のオーバーラップ容量を介した結合により、その立ち上がりに応じてノードN1のレベルが上昇しようとする。このとき単位シフトレジスタSR_nは非選択期間にあるので(ブランキング期間では、全ての単位シフトレジスタSRが非選択期間にある)、出力信号G_nはLレベルに維持されるべきである。しかしこのノードN1の上昇が大きい場合には、それによってトランジスタQ1がオンになり、クロック信号CLKが出力端子OUTに伝達され、図4に示すように誤信号としての出力信号G_nが出力されるという誤動作が生じる。

30

【0062】

本来、この誤動作は、トランジスタQ5A、Q5Bによって防止されるべきものである。トランジスタQ5A、Q5Bは、単位シフトレジスタSR_nの非選択期間にその片方がオンになり(どちらがオンになるかは、第1および第2制御信号VFR、 $\neg$ VFRによって切り替わる)、ノードN1を低インピーダンスでLレベルにするよう動作するものである。よってトランジスタQ5A、Q5Bが正常に動作していれば、ノードN1はLレベルに維持され、上記の誤動作は生じないはずである。

40

【0063】

再び図4を参照し、クロック信号CLKが立ち上がった時刻t11の時点ではノードN2Aのレベルは十分に立ち上がっていない。トランジスタQ5AはノードN2のレベルにより制御されているので、その状態では十分にオンにならず、高抵抗の状態である。一方、ノードN2Bのレベルは、時刻t11の時点である程度下降しており、トランジスタQ5Bも高抵抗の状態になっている。

【0064】

50

従って、ノードN 2 Aが十分に立ち上がるまでの間、ノードN 1は高インピーダンス状態になり、その間はノードN 1のレベルはクロック信号CLKの立ち上がりに応じて上昇し易くなる。つまり単位シフトレジスタSR_nは、図4に示した誤信号としての出力信号G_nを発生し易い不安定な状態となる。特に、トランジスタQ 5 A、Q 5 Bに対して温度ストレスおよび電圧ストレスが継続してかかった場合には、それらのしきい値電圧は正側にシフトし、トランジスタのオン抵抗がより高くなるので、この問題は顕著になる。

【0065】

この問題が生じるのは図4に示した例のケースだけでなく、第1および第2制御信号VFR、 $\neg$ VFRのレベルの切り替わり後、それに応じたノードN 2 A、N 2 Bのレベルの切り替わりが十分に完了するまでの間に、クロック信号CLK、 $\neg$ CLKの何れかが立ち

10

【0066】

また図4の例において、例えばノードN 2 Aの立ち上がり速度がさらに遅くなった場合には、時刻t 1直後のクロック信号 $\neg$ CLKの立ち上がり時刻t 1 2において、クロック端子CKにクロック信号 $\neg$ CLKが入力される単位シフトレジスタSR（例えば単位シフトレジスタSR_nに隣接する単位シフトレジスタSR_{n-1}、SR_{n+1}等）からも誤信号が出力される。

【0067】

なお、第1および第2制御信号VFR、 $\neg$ VFRの切り替えがブランキング期間であるので、その期間内に生じた誤信号は表示の不具合を引き起こさないようにも思えるが、その誤信号が多段のシフトレジスタ内をシフトしている途中で正規の表示期間に入ると、当該誤信号による表示の不具合が現れる。

20

【0068】

この問題の対策としては、トランジスタQ 6 A、Q 6 Bのオン抵抗を低くし、ノードN 2 A、N 2 Bの充電速度を上げる方法が考えられる。但し、トランジスタQ 6 A、Q 6 BはそれぞれトランジスタQ 7 A、Q 7 Bと共にレシオ型インバータを構成しているため、トランジスタQ 6 A、Q 6 Bのオン抵抗を低くした場合には、それと同じ比率でトランジスタQ 7 A、Q 7 Bのオン抵抗も低くする必要がある。トランジスタのオン抵抗を低くするにはその寸法を大きくする必要があるため、この方法は回路面積が増大する点で望ましくない。またトランジスタQ 6 A、Q 6 B、Q 7 A、Q 7 Bのオン抵抗を小さくすることにより、第1および第2インバータに流れる電流が増大し、消費電力が増加するという問題も生じる。

30

【0069】

実施の形態1では、この問題を解決することができるシフトレジスタを提案する。図5は、実施の形態1に係る単位シフトレジスタの駆動方法を説明するためのタイミング図である。

【0070】

図4との比較から分かるように本実施の形態では、単位シフトレジスタSRにクロック信号CLK、 $\neg$ CLKを供給するクロック信号生成回路（不図示）が、第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替わり（時刻t 1）の直後の時刻t 1 1におけるクロック信号CLKの立ち上がりを禁止している。即ち、単位シフトレジスタSRにクロック信号CLK、 $\neg$ CLKが入力されることが禁止される。

40

【0071】

上で説明したように図4に示した誤信号（出力信号G_n）は、時刻t 1 1におけるクロック信号CLKの立ち上がり起因するものであったため、その立ち上がりが禁止されることにより、その誤信号の発生が防止される。なお、時刻t 1の後に初めてクロック信号CLKが立ち上がる時刻t 1 3は、ノードN 2 Aが十分に立ち上がった後であるので、このときには誤信号は生じない。

【0072】

また上記のように、ノードN 2 Aの立ち上がりが極めて遅い場合には、クロック端子C

50

Kにクロック信号／CLKが入力される単位シフトレジスタSR（例えば単位シフトレジスタSR_nに隣接する単位シフトレジスタSR_{n-1}，SR_{n+1}等）からも誤信号が出力される恐れがある。そのような場合には、時刻t₁₃におけるクロック信号／CLKの立ち上がりも禁止することによって、当該誤信号の発生を防止することができる。

【0073】

以上のように本実施の形態においては、単位シフトレジスタSRにクロック信号CLK，／CLKを供給するクロック信号生成回路が、第1および第2制御信号VFR，／VFRのレベル切り替わり直後におけるクロック信号CLK，／CLKの片方あるいは両方の供給を1パルス分禁止する。即ち、第1および第2制御信号VFR，／VFRのレベル切り替わり直後で動作が不安定となっている単位シフトレジスタSRに、クロック信号CLK，／CLKが入力されることが防止される。その結果、上記の誤信号の発生が防止され、単位シフトレジスタSRの動作信頼性が向上する。またそれにより構成されたゲート線駆動回路を搭載する表示装置において表示の不具合の発生が防止される。

10

【0074】

なお以上の説明においては、第1および第2制御信号VFR，／VFRのレベルの切り替わり後に、クロック信号CLK，／CLKの片方あるいは両方を1パルス分だけ禁止する例を示したが、2パルス分以上禁止させてもよい。禁止するパルス数は、第1および第2制御信号VFR，／VFRのレベル切り替わり時における、各単位シフトレジスタSRのノードN2A，N2Bの立ち上がり速度に応じて決定すればよい。即ち、そのレベルが十分に立ち上がるまでの時間が長ければ、それに応じて禁止するパルス数を多くすればよい。

20

【0075】

<実施の形態2>

上記のように、第1および第2制御信号VFR，／VFRのレベルの切り替わり直後に発生する誤信号の問題は、ノードN2A，N2Bのレベル変化の速度が遅いことが原因となって発生している。そこで実施の形態2では、第1および第2制御信号VFR，／VFRのレベルの切り替わり直後において、ノードN2A，N2Bのレベル変化が高速に行われる単位シフトレジスタSRを提案する。

【0076】

図6は、実施の形態2に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタSRは、図1の回路に対し、第1および第2インバータのそれぞれにトランジスタQ13A，Q13Bを設けたものである。

30

【0077】

第1インバータに設けられたトランジスタQ13Aは、第1制御信号VFRが供給される第1制御端子CTAと当該第2インバータの出力端であるノードN2Aとの間に接続する。また第2インバータに設けられたトランジスタQ13Bは、第2制御信号／VFRが供給される第2制御端子CTBと当該第1インバータの出力端であるノードN2Bとの間に接続する。これらトランジスタQ13A，Q13Bは、それぞれトランジスタQ6A，Q6Bに比べて、駆動能力が十分大きく設定されている（即ち、オン抵抗が充分小さく設定されている）。

40

【0078】

そしてトランジスタQ13A，Q13Bの両ゲートは、所定のリセット信号NBRが供給される第2リセット端子RST2に接続される。このリセット信号NBRは、第1および第2制御信号VFR，／VFRのレベル変化の直後の一定期間、活性化される（Hレベルになる）信号であり、シフトレジスタ回路の外部の信号生成回路（不図示）により生成される。

【0079】

図7は、図6に示した単位シフトレジスタSRの動作を説明するためのタイミング図である。なお本実施の形態では、実施の形態1のようにクロック信号CLK，／CLKを、第1および第2制御信号VFR，／VFRのレベル切り替え後に数パルス分禁止すること

50

は行わない。

【0080】

図7においても、ブランキング期間内の時刻 t_1 で、第1制御信号VFRがHレベル、第2制御信号 $\neg$ VFRがLレベルになったとする。リセット信号NBRはその直後の時刻 t_{1A} から、一定期間Hレベルになる。リセット信号NBRがHレベルになると、単位シフトレジスタSRのトランジスタQ13A、Q13Bがオンになる。トランジスタQ13Aはオン抵抗が小さいので、ノードN2Aは高速に充電されて短時間でHレベルに立ち上がる。またノードN2Aが高速で立ち上がるとトランジスタQ8Bが十分にオンになるタイミングも早くなるため、ノードN2BがLレベルに立ち下がる速度も速くなる。

【0081】

ノードN2Aが高速にHレベルになることにより、トランジスタQ5Aはクロック信号CLKが立ち上がる時刻 t_{11} よりも前に十分にオンし、ノードN1を低インピーダンスでLレベルにする。よって、時刻 t_{11} にクロック信号CLKが立ち上がっても、それに応じてノードN1のレベルが上昇することが抑えられ、誤信号の発生は防止される。

【0082】

リセット信号NBRは、第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替わり直後にHレベルになるので、その後の時刻 t_5 （図2の時刻 t_5 に対応）にて第1制御信号VFRがLレベル、第2制御信号 $\neg$ VFRがHレベルに切り替わるときにもHレベルになる。それによって、時刻 t_5 直後におけるノードN2A、N2Bのレベル変化の速度も高速になるので、ノードN1も高速に低インピーダンスでLレベルにされ誤信号の発生が防止される。

【0083】

本実施の形態においては、トランジスタQ13A、Q13Bが、リセット信号NBRに基づいて、ノードN2AまたはノードN2Bを高速に充電する。それにより、トランジスタQ5AまたはトランジスタQ5Bが素早く且つ十分にオンになり、ノードN1を放電することができるようになる。このようにトランジスタQ13A、Q13B自身は放電動作ではなく充電動作をするものであるが、トランジスタQ5AまたはトランジスタQ5Bを利用して、間接的にノードN1を高速に放電させる放電手段として機能している。

【0084】

なお本実施の形態では、リセット信号NBRが立ち上がるタイミング（時刻 t_{1A} ）は、クロック信号CLK、 $\neg$ CLKが立ち上がるタイミング（時刻 t_{11} ）よりも前であったが、例えば第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替えのタイミングとクロック信号CLK、 $\neg$ CLKのレベル変化のタイミングとが無関係である場合には、その前後関係が逆になるケースも考えられる。クロック信号CLK、 $\neg$ CLKの立ち上がりよりも先にリセット信号NBRがHレベルになる方が、より効果的にノードN1のレベル上昇を抑制できることは言うまでもないが、逆のケースであっても同様の効果は得られる。仮に、リセット信号NBRよりも先に立ち上がったクロック信号CLK、 $\neg$ CLKによって誤信号が発生しそうになっても、その後高速に各単位シフトレジスタSRのノードN1を低インピーダンスのLレベルにしてトランジスタQ1をオフできれば、誤信号の発生を最小限に抑えることができるからである。

【0085】

またリセット信号NBRは、第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替わりの直後の一定期間にHレベルをとる信号であればよく、その立ち下がりタイミング（時刻 t_{1A} ）は第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替わりタイミング（時刻 t_1 ）より先であってもよい。より具体的には、リセット信号NBRの立ち上がりタイミングは、全ての単位シフトレジスタSRが非選択期間であるとき（例えば表示装置のブランキング期間）であればよい。

【0086】

なお図6においては、トランジスタQ13A、Q13Bのドレインは、それぞれ第1制御端子CTAおよび第2制御端子CTBに接続させているが、それらは共に第2電源端子

10

20

30

40

50

S 2 (VDD) に接続させてもよいし、あるいは共に第 2 リセット端子 R S T 2 に接続させてもよい。その場合においても上記と同様の効果が得られる。

【0087】

<実施の形態 3>

図 8 は、実施の形態 3 に係る単位シフトレジスタ S R の構成を示す回路図である。当該単位シフトレジスタ S R の回路構成自体は実施の形態 2 (図 6) と同様であるが、本実施の形態では、第 2 リセット端子 R S T 2 に、リセット信号 N B R としてスタートパルス S T Y を入力する。スタートパルス S T Y は、画像信号の各フレーム期間の先頭 (言い換えればブランキング期間の最後) に対応するパルス信号であり、上記のように最前段 (第 1 段目) の単位シフトレジスタ S R₁ の入力端子 I N に入力されるものである。

10

【0088】

スタートパルス S T Y はフレーム期間の先頭に対応するので、ブランキング期間の最後に H レベルになる。よって図 9 に示すように、第 1 および第 2 制御信号 V F R, / V F R のレベル切り替えタイミング (時刻 t 1, t 5) を、スタートパルス S T Y が H レベルになる (時刻 t 1 S, t 5 S) 直前にすれば、図 7 に示した実施の形態 1 の動作と同様の動作が行われ、同じ効果が得られる。

【0089】

本実施の形態ではリセット信号 N B R が用いられないため、それを生成するための回路を設ける必要はない。そのため実施の形態 1 に比べ、コストの上昇を招かないという利点がある。但し、第 1 および第 2 制御信号 V F R, / V F R のレベル切り替えを、スタートパルス S T Y が H レベルになる直前に行う必要があるというタイミング制御上の制約がある。

20

【0090】

なお、多段のシフトレジスタのうち初段 (第 1 段目) の単位シフトレジスタ S R₁ は、スタートパルス S T Y の入力に応じてノード N 1 が H レベルに充電される必要があるので、当該単位シフトレジスタ S R₁ に限っては、本実施の形態を適用することはできない。

【0091】

<実施の形態 4>

図 10 は実施の形態 4 に係る単位シフトレジスタ S R の構成を示す回路図である。当該単位シフトレジスタ S R は、図 1 の回路に対し、第 1 電源端子 S 1 とノード N 1 との間に接続し、第 2 リセット端子 R S T 2 に接続したゲートを有するトランジスタ Q 1 4 を設けたものである。

30

【0092】

本実施の形態では、第 2 リセット端子 R S T 2 には、上記の実施の形態 2 でも用いたりセット信号 N B R が入力される。リセット信号 N B R は、第 1 および第 2 制御信号 V F R, / V F R のレベル切り替わり直後の一定期間、H レベルになる信号である。

【0093】

本実施の形態に係る単位シフトレジスタ S R では、第 1 および第 2 制御信号 V F R, / V F R のレベル切り替わり直後に、トランジスタ Q 1 4 がリセット信号 N B R によって一定の期間だけオンになる。従って、第 1 および第 2 制御信号 V F R, / V F R のレベル切り替わり直後において、ノード N 2 A, N 2 B のレベル変化の速度が図 4 と同様に速くなく、トランジスタ Q 5 A, Q 5 B のオン抵抗が低下したとしても、それらに代わってトランジスタ Q 1 4 がノード N 1 を低インピーダンスで L レベルにする。

40

【0094】

このように本実施の形態においては、トランジスタ Q 1 4 は、リセット信号 N B R に基づいてそれ自身がノード N 1 を高速に放電する放電手段として機能している。よって本実施の形態においても、第 1 および第 2 制御信号 V F R, / V F R のレベル切り替わり直後に、クロック信号 C L K, / C L K の立ち上がりに応じてノード N 1 のレベルが上昇することが抑制され、誤信号の発生が防止されるという効果が得られる。

【0095】

50

なお本実施の形態においても、リセット信号NBRが立ち上がるタイミング（時刻t1A）は、クロック信号CLK、／CLKが立ち上がるタイミング（時刻t11）よりも前であることが望ましいが、両者の前後関係は逆であってもよい。またリセット信号NBRの立ち下がりタイミング（時刻t1A）は第1および第2制御信号VFR、／VFRのレベル切り替わりタイミング（時刻t1）より先であってもよい。より具体的には、全ての単位シフトレジスタSRが非選択期間であるとき（例えば表示装置のブランキング期間）であればよい。

【0096】

<実施の形態5>

図11は、実施の形態5に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタSRの回路構成自体は実施の形態4（図10）と同様であるが、実施の形態3と同様に、第2リセット端子RST2にスタートパルスSTYを入力する。

【0097】

スタートパルスSTYはフレーム期間の先頭に対応するので、ブランキング期間の最後にHレベルになる。よって第1および第2制御信号VFR、／VFRのレベル切り替えタイミングを、スタートパルスSTYがHレベルになる直前にすれば、実施の形態4の単位シフトレジスタSRと同様の動作となり、同じ効果が得られる。

【0098】

本実施の形態では、実施の形態3と同様に、コストの上昇を招かないという利点がある。但し、第1および第2制御信号VFR、／VFRのレベル切り替えを、スタートパルスSTYがHレベルになる直前に行う必要があるというタイミング制御上の制約がある。

【0099】

なお、多段のシフトレジスタのうち初段（第1段目）の単位シフトレジスタSR₁は、スタートパルスSTYの入力に応じてノードN1がHレベルに充電される必要があるので、当該単位シフトレジスタSR₁に限っては、本実施の形態を適用することができない。

【0100】

<実施の形態6>

表示装置の場合、ゲート線駆動回路のシフトレジスタは、画素回路と同じ絶縁基板（ガラス基板等）上に形成される。それにより当該絶縁基板に接続させる外部の回路を少なくでき、表示パネルの汎用性の向上および使用者の負担の軽減を図ることができる。実施の形態2、4においてはシフトレジスタの外部から供給されるリセット信号NBRが用いられているが、同様の理由で、その生成回路もシフトレジスタと同じ絶縁基板上に形成されることが望ましい。さらに、当該生成回路がシフトレジスタと同一構造、同一導電型のトランジスタにより構成されていれば、シフトレジスタと並行して形成することができるため、製造工程の簡略化の観点からも好ましい。

【0101】

図12は、実施の形態6に係る単位シフトレジスタSRの構成を示す図である。当該単位シフトレジスタSRの回路構成は実施の形態4（図10）と同じであるが、リセット信号NBRを生成するリセット信号生成回路40は、当該単位シフトレジスタSRと同じ絶縁基板上に形成される。このリセット信号生成回路40は、シフトレジスタを構成するトランジスタや表示パネルの画素トランジスタと同じ構造のa-SiTFT（この例ではN型TFT）により形成される。

【0102】

図13は、実施の形態6に係るリセット信号生成回路40の概念的な構成を示すブロック図である。同図に示すように、リセット信号生成回路40は、2つのワンショットパルス生成回路およびその出力を合成する合成回路により構成することができる。2つのワンショットパルス生成回路のうち片方は、第1制御信号VFRの立ち上がり時にHレベルになる（活性化する）パルスNBRAを生成し、もう片方は第2制御信号／VFRの立ち上がり時にHレベルになるパルスNBRBを生成する。よって合成回路からは、第1制御信号VFRの立ち上がり時と、第2制御信号／VFRの立ち上がり時の両方にHレベルにな

10

20

30

40

50

るリセット信号NBRが出力されることとなる（図7におけるリセット信号NBRの波形を参照）。

【0103】

図14は、リセット信号生成回路40が備えるワンショットパルス生成回路の構成を示す回路図である。説明を容易にするため、図14では、図13に示した2つのワンショットパルス生成回路のうち、ワンショットパルスNBR Aを生成するものを示している。

【0104】

図14に示すように、ワンショットパルス生成回路は、第1制御信号VFRの活性化タイミグを所定時間（生成するワンショットパルスの幅に相当する時間）だけ遅延させた遅延信号を生成する遅延回路41と、その遅延信号の駆動能力を高めるためのバッファ回路42と、当該バッファ回路42により駆動能力が高められた遅延信号と第1制御信号VFRを用いてワンショットパルスNBR Aを生成するパルス生成回路43とを含んでいる。

10

【0105】

遅延回路41は、縦続接続した複数のレシオ型のインバータより構成される。各インバータは、負荷トランジスタQLと、それよりもオン抵抗の充分小さいドライバトランジスタQDとから成っている。縦続接続したインバータの個数をm個（mは偶数）とする。第1段目のインバータの入力ノード（トランジスタQD₁のゲート）が遅延回路41の入力端であり、それには第1制御信号VFRが入力される。そして最終段（第m段目）のインバータの出力ノード（ノードND_m）が遅延回路41の出力端となる。また図14から分かるように、この遅延回路41では奇数段のインバータの電源は第2制御信号/VFRにより供給され、偶数段のインバータの電源は第1制御信号VFRにより供給される構成としている。

20

【0106】

バッファ回路42は、トランジスタQ21～Q32および容量素子C2から構成されており、遅延回路41の出力端であるノードND_mを入力端とし、図14に示すノードN25を出力端としている。パルス生成回路43は、トランジスタQ33～Q47および容量素子C3、C4から構成されており、図14に示すノードN3にワンショットパルスNBR Aを出力する。

【0107】

以下、図14のワンショットパルス生成回路の動作について説明する。図15、図16は、当該ワンショットパルス生成回路の動作を説明するための図であり、特に、図15は遅延回路41およびバッファ回路42の動作を示しており、図16はパルス生成回路43の動作を示している。

30

【0108】

まず遅延回路41について説明する。ここで初期状態として、第1制御信号VFRがLレベル、/VFRがHレベルであるとする。このとき奇数段のインバータの出力ノード（ノードND₁、ND₃、…、ND_{m-1}）は、第2制御信号/VFRによってHレベル（VDD-Vth）に充電されている。それにより偶数段のインバータのドライバトランジスタQD₂、QD₄、…、QD_mはオンするが、第1制御信号VFRはLレベルであるので、偶数段の負荷トランジスタQL₂、QL₄…、QL_mはオフしている。このため偶数段のインバータには負荷トランジスタとドライバトランジスタを貫通する電流は流れない。同時に、奇数段のドライバトランジスタは全てゲート電圧がLレベルになっているのでオフしている。従って、奇数段のインバータにも貫通電流は流れない。

40

【0109】

この状態から時刻t1において、第1制御信号VFRがHレベルに、第2制御信号/VFRがLレベルにそれぞれ変化したとする。すると奇数段の負荷トランジスタQL₁、QL₃、…、QL_{m-1}はオンとなり、偶数段の負荷トランジスタQL₂、QL₄、…、QL_mはオンとなる。この結果、偶数段目のインバータにおいては負荷トランジスタQLとドライバトランジスタQDが同時にオンする。しかしドライバトランジスタQDはトランジスタ

50

Q Lよりもオン抵抗が充分小さいので、第2制御信号/V F RがLレベルになっただけでは偶数段目の出力ノード（ノードND₂, ND₄, …, ND_m）はLレベルのまま変化しない。

【0110】

一方、第1制御信号V F RがHレベルになったことにより、第1段目のインバータの出力ノードND₁は、一定の時間をかけてHレベルからLレベルに変化する。応じて、トランジスタQ D₂の出力ノードND₂も一定の時間をかけてLレベルからHレベルに変化する。以降、このレベル変化がm段目のインバータまで伝達される。その結果、図15の如く、第m段目のインバータの出力ノードND_mのレベルは、第1制御信号V F Rの立ち上がりタイミング（時刻t₁）から所定の時間（遅延時間）だけ後のタイミング（時刻t₁B）で立ち上がる。その結果、第m段目のインバータの出力ノードND_mには、第1制御信号V F Rの立ち上がりタイミングを遅延させた遅延信号が現れる。

10

【0111】

なお、第1制御信号V F RがLレベルに、第2制御信号/V F RがHレベルにそれぞれ変化したときには、遅延回路40は上記と逆の動作を行う。但し、本実施の形態では、ノードND_mには、第2制御信号の立ち上がり時に当該ノードND_mを放電するトランジスタQ 20が設けられており、そのためノードND_mに現れる遅延信号の立ち下がり、第1制御信号V F Rの立下りと同時になる。

【0112】

次にバッファ回路42の動作を説明する。上記の初期状態では、第2制御信号/V F RがHレベルであるので、図14のトランジスタQ 23, Q 24, Q 27, Q 29, Q 32はオンしており、ノードN 21, N 24, N 23, N 25はLレベルとなっている。またこのときトランジスタQ 25はオフであるため、ノードN 22はHレベルであり、応じてトランジスタQ 31もオンしている。

20

【0113】

時刻t₁で第1制御信号V F RがHレベルに、第2制御信号/V F RがLレベルになると、トランジスタQ 23, Q 24, Q 29, Q 32がオフとなる。但し、遅延回路41の出力ノードND_mがHレベルになるまでの間はトランジスタQ 22, Q 28はオフであるのでノードN 21, N 23はLレベルに維持される。よってトランジスタQ 25, Q 26, Q 30はオフに維持され、ノードN 22はHレベルに、ノードN 24, N 25はLレベルにそれぞれ維持される。

30

【0114】

そして上記遅延時間の経過後の時刻t₁Bにて、遅延回路41の出力ノードND_mが立ち上がりHレベル（VDD-V_{th}）になる。するとトランジスタQ 28がオンとなり、図15に示すようにノードN 23がHレベル（VDD-2×V_{th}）になり、トランジスタQ 26, Q 30がオンとなる。この時点ではトランジスタQ 27はオンしているので、ノードN 24のレベルはトランジスタQ 26, Q 27のオン抵抗の比で決まる電位（0）のLレベルである。

【0115】

それに並行して時刻t₁Bでは、トランジスタQ 22がオンし、ノードN 21がHレベルになる。応じてトランジスタQ 25がオンしてノードN 22がLレベルになる。するとトランジスタQ 31がオフになって、バッファ回路42の出力端であるノードN 25のレベルが上昇する。このときトランジスタQ 27もオフになり、ノードN 24のレベルが上昇してHレベル（VDD）になる。

40

【0116】

このノードN 24の電位上昇は、容量素子C 2を介する結合によりノードN 23に伝達され、図15に示すようにノードN 23のレベルが昇圧される。但し、図14の如くバッファ回路42には、その出力端であるノードN 25を充電するためのトランジスタ30のゲート（ノードN 23）と、その充電に使用される電源（図14の例では第1制御信号V F R）が供給されるトランジスタQ 30のドレインとの間に、ダイオード接続されたトラ

50

ンジスタQ21が設けられている。当該トランジスタQ21は、ノードN23側をアノード、トランジスタQ30のドレイン側をカソードとしている。

【0117】

よって、ノードN23が昇圧されたとき、そのレベルが $V_{DD} + V_{th}$ を超えるとトランジスタQ21がオンして、当該ノードN23のレベルは $V_{DD} + V_{th}$ にクランプされる。ノードN23のレベルが $V_{DD} + V_{th}$ にまで昇圧するとトランジスタQ30は非飽和領域で動作するため、ノードN25のレベルは V_{DD} まで上昇する（仮にノードN23のレベルが昇圧されずに $V_{DD} - 2 \times V_{th}$ のままであったならば、ノードN25のレベルは $V_{DD} - 3 \times V_{th}$ までしか上昇できない）。

【0118】

この状態は次のブランキング期間まで維持され、そこで第1制御信号VFRがLレベル、第2制御信号/VFRがHレベルになると、上記の初期状態に戻り、ノードN25はLレベルになる。その結果ノードN25からは、遅延回路41の出力信号（ノードND_mの信号）の駆動能力を向上させた、振幅が V_{DD} の遅延信号VF R D Aが出力される。この遅延信号VF R D Aも遅延回路41の出力信号（ノードND_mの信号）と同様に、その立ち上がりは第1制御信号VFRの立ち上がりから所定の遅延時間だけ遅れ、その立ち下りは第1制御信号VFRの立下りと同時になる。

【0119】

なお上記のように、図14のバッファ回路42は、その出力端であるノードN25を充電するためのトランジスタ30のゲート（ノードN23）のレベルが $V_{DD} + V_{th}$ を超えないようにクランプするトランジスタQ21を有している。ノードN23のレベルが必要以上に高くなると、トランジスタQ26、Q30の V_{th} シフトが進み、それらのオン抵抗が高くなってバッファ回路42の駆動能力が低下するので、当該トランジスタQ21はそれを防止する目的で設けられている。

【0120】

続いてパルス生成回路43の動作を示す。上記の初期状態では、第2制御信号/VFRがHレベルであるので、トランジスタQ34、Q35、Q38、Q40、Q44、Q46はオンしており、ノードN26、N28、N30、N31はLレベル、ノードN27はHレベルとなっている。ノードN27がHレベルであるのでトランジスタQ38はオンしており、ノードN29がLレベルになっている。またこのとき第1遅延信号VF R D AはLレベルなので、トランジスタQ43、Q47もオフになっている。

【0121】

パルス生成回路43が出力するワンショットパルスNBRAは、出力ノード（ノードN30）がトランジスタQ42によって充電されることでHレベルになる。当該トランジスタQ42は、ノードN30とその充電に用いる電源（電位 V_{DD} ）が供給されるノードとの間に接続されている。トランジスタQ42は、そのゲート（ノードN28）がトランジスタQ39により充電されることでオンになるが、トランジスタQ39は、容量素子C4およびトランジスタQ46、Q47から成る回路によって駆動される。

【0122】

図16を参照し、時刻t1において第1制御信号VFRがHレベルに、第2制御信号/VFRがLレベルになると、トランジスタQ46がオフすると共に容量素子C4を介する結合によってノードN31（トランジスタQ39のゲート）がHレベル（ V_{DD} ）に昇圧される。

【0123】

応じてトランジスタQ39がオンとなり、ノードN28がHレベル（ $V_{DD} - V_{th}$ ）になって、トランジスタQ37、Q42がオンになる。応じてノードN30（ワンショットパルスNBRA）のレベルが上昇する。一方、この時点ではトランジスタQ38はオンしているので、ノードN29のレベルはトランジスタQ37、Q38のオン抵抗の比で決まる電位（0）のLレベルである。

【0124】

10

20

30

40

50

それに並行して時刻 t_1 では、トランジスタ Q_{33} がオンし、ノード N_{26} を H レベルにする。応じてトランジスタ Q_{36} がオンするのでノード N_{27} は L レベルになる。するとトランジスタ Q_{38} がオフになり、ノード N_{29} のレベルは上昇して H レベル (V_{DD}) になる。

【0125】

このノード N_{29} の電位上昇は、容量素子 C_3 を介する結合によりノード N_{28} に伝達され、図 16 に示すようにノード N_{28} のレベルが昇圧される。但し、図 14 の如くパルス生成回路 43 には、トランジスタ 42 のゲート (ノード N_{28}) と電源 V_{DD} が供給されるノード (トランジスタ Q_{42} のドレイン) との間に、ダイオード接続されたトランジスタ Q_{45} が設けられている。当該トランジスタ Q_{45} は、ノード N_{28} 側をアノード、トランジスタ Q_{42} のドレイン側をカソードとしている。

10

【0126】

よって、ノード N_{28} のレベルが $V_{DD} + V_{th}$ を超えるとトランジスタ Q_{45} がオンし、ノード N_{28} のレベルは $V_{DD} + V_{th}$ にクランプされる。ノード N_{28} のレベルが $V_{DD} + V_{th}$ にまで昇圧するとトランジスタ Q_{42} は非飽和領域で動作するため、パルス生成回路 43 の出力端であるノード N_{30} は V_{DD} まで上昇する (仮にノード N_{28} のレベルが昇圧されずに $V_{DD} - V_{th}$ のままであったならば、ノード N_{30} のレベルは $V_{DD} - 2 \times V_{th}$ までしか上昇できない)。

【0127】

なお上記のトランジスタ Q_{45} は、ノード N_{28} のレベルが $V_{DD} + V_{th}$ を超えないようにクランプすることにより、トランジスタ Q_{37} 、 Q_{42} の V_{th} シフトを抑えている。それによって、パルス生成回路 43 の駆動能力の低下が抑制される。

20

【0128】

そして上記の遅延時間の経過後の時刻 t_{1B} になると、バッファ回路 42 から出力される遅延信号 V_{FRDA} が H レベルとなり、トランジスタ Q_{41} 、 Q_{43} 、 Q_{47} がオンになる。応じてノード N_{31} が放電されて L レベルとなるのでトランジスタ Q_{39} がオフし、ノード N_{28} 、 N_{30} は L レベルに戻る。このときトランジスタ Q_{39} はオフであるので、トランジスタ Q_{39} 、 Q_{41} を通しての貫通電流は流れない。またノード N_{28} が L レベルになることでトランジスタ Q_{42} もオフとなり、トランジスタ Q_{42} 、 Q_{43} を通しての貫通電流も流れない。

30

【0129】

以上の動作により、パルス生成回路 43 の出力ノード (即ちワンショットパルス生成回路の出力端) であるノード N_{30} からは、第 1 制御信号 V_{FR} の立ち上がりに応じて H レベルになり、遅延信号 V_{FRDA} の立ち上がりに応じて (遅延回路 41 における遅延時間) L レベルになるワンショットパルス $NBRA$ が出力される。

【0130】

遅延信号 V_{FRDA} の立ち上がった後その状態は次のブランキング期間まで維持され、そこで第 2 制御信号 $\neg V_{FR}$ が H レベルになると、トランジスタ Q_{46} がオンになりノード N_{31} を放電する。その結果、上記の初期状態に戻り、その後再び第 1 制御信号 V_{FR} が立ち上がるまで、ノード N_{30} は L レベルは維持される。その結果ノード N_{30} からは、第 1 制御信号 V_{FR} の立ち上がりに応じて H レベルになり、その後の一定期間だけ H レベルになるパルス信号 $NBRA$ が出力される。

40

【0131】

図 14 においては、第 1 制御信号 V_{FR} の立ち上がり時に H レベルになるワンショットパルス $NBRA$ の生成回路のみを示した。一方、第 2 制御信号 $\neg V_{FR}$ の立ち上がり時に H レベルになるワンショットパルス $NBRB$ は、図 14 と同様の回路構成を有し、且つ図 14 に対して第 1 および第 2 制御信号 V_{FR} 、 $\neg V_{FR}$ が入れ替わったワンショットパルス生成回路によって生成可能である。

【0132】

図 17 は、その 2 つのワンショットパルス生成回路を組み合わせて構成したリセット信

50

号生成回路40の回路図である。また図18はその動作を示したタイミング図である。

【0133】

図17に示す第1遅延回路41Aおよび第1バッファ回路42Aは、それぞれ図14の遅延回路41およびバッファ回路42と同様のものであり、図18に示すように第1制御信号VFRの立ち上がりタイミングを所定の遅延時間だけ遅らせた第1遅延信号VFRDAを生成するものである。一方、図17に示す第2遅延回路41Bおよび第2バッファ回路42Bは、それぞれ図14の遅延回路41およびバッファ回路42に対応しているが、図14とは第1および第2制御信号VFR、 $\neg$ VFRが入れ替わったものであり、図18に示すように第2制御信号 $\neg$ VFRの立ち上がりタイミングを所定の遅延時間だけ遅らせた第2遅延信号VFRDBを生成するものである。

10

【0134】

図17に示すパルス生成・合成回路430は、第1遅延信号VFRDAおよび第1制御信号VFRを用いてワンショットパルスNBRAを生成するパルス生成回路と、第2遅延信号VFRDBおよび第2制御信号 $\neg$ VFRを用いてワンショットパルスNBRBを生成するパルス生成回路とを融合させたものであり、その出力端であるノードN30からは、図18に示すようにワンショットパルスNBRAとワンショットパルスNBRBの両方が出力される。つまり、パルス生成・合成回路430には、図13で概念的に示した合成回路の機能を含んでおり、ノードN3に現れる信号は、第1および第2制御信号VFR、 $\neg$ VFRのレベル切り替わり時に一定期間Hレベルになるリセット信号NBRとなる。

【0135】

20

図14のパルス生成回路43と図17のパルス生成・合成回路430と比較して分かるように、図17のパルス生成・合成回路430におけるトランジスタQ33A~Q36A、Q37、Q38A、Q39A、Q40~Q45、Q46A、Q47Aおよび容量素子C3によって、図14のパルス生成回路43と同様の構成が得られる。また図17のパルス生成・合成回路430におけるトランジスタQ33B~Q36B、Q37、Q38B、Q39B、Q40~Q45、Q46B、Q47Bおよび容量素子C3によっても、図14のパルス生成回路43と同様の構成が得られる。

【0136】

つまり、図17のパルス生成・合成回路430は、ワンショットパルスNBRAを生成するパルス生成回路とワンショットパルスNBRBを生成するパルス生成回路の両方の構成を含んでいる。そして、それら2つのパルス生成回路間で、出力段を構成するトランジスタQ37、Q40~Q45が共有されている。

30

【0137】

つまり、パルス生成・合成回路430が出力するリセット信号NBRは、出力ノード（ノードN30）がトランジスタQ42によって充電されることでHレベルになる。当該トランジスタQ42は、ノードN30とその充電に用いる電源（電位VDD）が供給されるノードとの間に接続されている。トランジスタQ42は、そのゲート（ノードN28）がトランジスタQ39AまたはQ39Bにより充電されることでオンになる。トランジスタQ39Aは、容量素子C4AおよびトランジスタQ46A、Q47Aから成る回路によって駆動され、トランジスタQ39Bは、容量素子C4BおよびトランジスタQ46B、Q47Bから成る回路によって駆動される。容量素子C4AおよびトランジスタQ46A、Q47Aから成る回路および、容量素子C4BおよびトランジスタQ46B、Q47Bから成る回路は、それぞれ図14における容量素子C4およびトランジスタQ46、Q47から成る回路に対応している。

40

【0138】

即ち、容量素子C4Aは、第1制御信号VFRがHレベルになるのに応じてトランジスタQ39Aのゲート（ノードN31A）を昇圧してトランジスタQ39Aをオンにするものである。トランジスタQ47Aは、第1遅延信号VFRDAがHレベルになるのに応じて当該ノードN31Aを放電し、またトランジスタQ46Aは第2制御信号 $\neg$ VFRがHレベルになるのに応じてノードN31を放電する。従って、トランジスタQ39Aは、第

50

1 制御信号 V F R の立ち上がり時にオンになり、第 1 遅延信号 V F R D A の立ち上がり時にオフになるよう動作する。

【0139】

また容量素子 C 4 B は、第 2 制御信号 / V F R が H レベルになるのに応じてトランジスタ Q 3 9 B のゲート（ノード N 3 1 B）を昇圧してトランジスタ Q 3 9 B をオンにするものである。トランジスタ Q 4 7 B は、第 2 遅延信号 V F R D B が H レベルになるのに応じて当該ノード N 3 1 B を放電し、またトランジスタ Q 4 6 B は第 1 制御信号 V F R が H レベルになるのに応じてノード N 3 1 を放電する。従って、トランジスタ Q 3 9 B は、第 2 制御信号 / V F R の立ち上がり時にオンになり、第 2 遅延信号 V F R D B の立ち上がり時にオフになるよう動作する。

10

【0140】

よってノード N 3 0 を充電するトランジスタ Q 4 2 は、第 1 制御信号 V F R および第 2 制御信号 / V F R の立ち上がりに応じてオンし、第 1 遅延信号 V F R D A および第 2 遅延信号 V F R D B の立ち上がり時にオフするように動作する。その結果、ノード N 3 0 には、第 1 制御信号 V F R の立ち上がり時に H レベルになるワンショットパルス N B R A と、第 2 制御信号 / V F R の立ち上がり時に H レベルになるワンショットパルス N B R B との両方が現れることとなる。つまり、パルス生成・合成回路 4 3 0 からは、ワンショットパルス N B R A、N B R B が合成されたリセット信号 N B R が出力される。なお、パルス生成・合成回路 4 3 0 の基本的な動作は、図 1 4 のパルス生成回路 4 3 とほぼ同様であるので、ここでの詳細な説明は省略する。

20

【0141】

なお、図 1 4 のパルス生成回路 4 3 では、トランジスタ Q 3 4、Q 3 5、Q 4 0、Q 4 4 のゲートには、第 2 制御信号 / V F R が入力されていたが、図 1 7 のパルス生成・合成回路 4 3 0 のトランジスタ Q 3 4 A、Q 3 5 A、Q 4 0、Q 4 4 のゲートには、第 2 遅延信号 V F R D B を入力させている。図 1 4 のパルス生成回路 4 3 は、ワンショットパルス N B R A のみを出力するため、第 2 制御信号 / V F R の立ち上がり時にそれらのトランジスタがオンであっても問題なかった。しかし、図 1 7 のパルス生成・合成回路 4 3 0 は、第 1 および第 2 制御信号 V F R、/ V F R の両方の立ち上がり時に H レベルになるリセット信号 N B R を出力するため、第 2 制御信号 / V F R の立ち上がり時にもそれらのトランジスタをオフにする必要があることがその理由である。

30

【0142】

また図 1 4 の説明の際にも述べたが、図 1 4 の遅延回路 4 1 の出力端であるノード N D_m には、第 2 制御信号の立ち上がり時に当該ノード N D_m を放電するトランジスタ Q 2 0 が設けられており、ノード N D_m に現れる遅延信号の立ち下がり、第 1 制御信号 / V F R と同時にしている（図 1 8 の遅延信号 V F R D A、V F R D B 参照）。図 1 7 のパルス生成・合成回路 4 3 0 は、第 1 および第 2 制御信号 V F R、/ V F R の両方の立ち上がり時に H レベルになるリセット信号 N B R を出力するため、第 2 制御信号 / V F R の立ち上がり時にトランジスタ Q 4 1、Q 4 3 をオフにする必要があるためである。なお図 1 4 のパルス生成回路 4 3 は、ワンショットパルス N B R A のみを出力するため、そのことは必須ではない。

40

【0143】

本実施の形態に係るリセット信号生成回路 4 0 によれば、図 1 4 および図 1 7 に示したように、シフトレジスタと同一構造、同一導電型のトランジスタにより構成されるので、当該シフトレジスタと同じ絶縁基板上に、当該シフトレジスタと同様の工程にて形成可能である。よって、コストの削減及び製造工程の簡略化に寄与できる。また絶縁基板に接続させる外部の回路を少なくでき、表示パネルの汎用性の向上および使用者の負担の減少を図ることができる。

【0144】

<実施の形態 7>

本実施の形態においては、図 1 4 に示した遅延回路 4 1 の変形例を示す。図 1 9 は、本

50

実施の形態に係る遅延回路41の構成を示す回路図である。図14においては遅延回路41を構成する各インバータの電源を第1および第2制御信号VFR、 $\neg$ VFRにより供給したが、それに代えて図19の如く、各インバータの電源として一定レベルの高電位側電源電位VDDを供給してもよい。

【0145】

なお、負荷トランジスタQLのゲートには、図14と同様に、第1および第2制御信号VFR、 $\neg$ VFRのいずれかが入力される。例えば図19のように第1段目のインバータの入力ノードに第1制御信号VFRが入力されている場合（図17の第1遅延回路41Aがこれに相当する）には、奇数段の負荷トランジスタQLのゲートには第2制御信号 $\neg$ VFRが供給され、偶数段の負荷トランジスタQLのゲートには第1制御信号VFRが供給される。

10

【0146】

図14に示した遅延回路41との場合と比較して、第1および第2制御信号VFR、 $\neg$ VFRの負荷を小さくすることができるという利点を得られる。

【0147】

<実施の形態8>

図20は、本実施の形態に係る遅延回路41のインバータの構成を示す回路図であり、第r段目のインバータを示している。本実施の形態においては、遅延回路41のインバータとして、ブートストラップ型の負荷回路を有するインバータ（ブートストラップ型インバータ）を有している。

20

【0148】

同図の如く当該負荷回路は、負荷トランジスタQL_rに加え、負荷トランジスタQL_rのドレインとゲートとの間に接続するトランジスタQB_r、QC_rと、負荷トランジスタQL_rのドレイン（ノードND_r）とゲートとの間に接続する容量素子CB_rとを含んでいる。トランジスタQB_r、QC_rは共にダイオード接続されており、トランジスタQB_rは負荷トランジスタQL_rのドレイン側をアノード、ゲート側をカソードとしており、トランジスタQC_r逆に、トランジスタQL_rのドレイン側をカソード、ゲート側をアノードとして

【0149】

この構成のインバータによれば、その出力ノード（ノードND_r）のレベルの立ち上がり時に、容量素子CB_rを介して負荷トランジスタQL_rのゲートが昇圧され、当該負荷トランジスタQL_rが非飽和動作する。その結果、インバータの出力信号のHレベルを、負荷トランジスタQL_rのしきい値電圧V_{th}分の損失のないVDDにできる。つまり出力信号の振幅が大きくなるので、インバータの動作マージンを大きくできる。

30

【0150】

なお、トランジスタQC_rは、負荷トランジスタQL_rのゲートが昇圧されるときに、当該ゲートの電位をVDD+V_{th}にクランプするように動作し、それにより負荷トランジスタQL_rのV_{th}シフトを防止している。

【0151】

また、前段の出力ノードND_{r-1}のレベルがHレベルのとき、負荷トランジスタのドレイン（第1制御信号VFRまたは第2制御信号 $\neg$ VFR）はLレベルになるので、このとき負荷トランジスタQL_rのゲート電位はV_{th}となる。つまりそのときのトランジスタQL_rのゲートとソース/ドレイン間の電圧はV_{th}と小さくなる。それによっても、負荷トランジスタQL_rのV_{th}シフトが低減されるという効果が得られる。

40

【0152】

図20では、負荷トランジスタQLのドレインに図14と同様に第1および第2制御信号VFR、 $\neg$ VFRのいずれかが電源として供給される例を示したが、図21に示すように、一定の高電位側電源電位VDDが供給されていてもよい。この場合においても、トランジスタQBのアノードおよびトランジスタQCのカソードには、図14と同様に第1および第2制御信号VFR、 $\neg$ VFRのいずれかが電源として供給する。

50

【0153】

＜実施の形態9＞

図14のように複数のインバータを縦続接続させて構成した遅延回路41では、その後段になるほど負荷トランジスタ Q_L のゲート・ソース間がバイアスされる期間が長くなり、 V_{th} シフトが起りやすくなる。負荷トランジスタ Q_L 側の V_{th} シフトは、インバータ出力のHレベルの低下の原因となるため、動作マージンが小さくなり好ましくない。

【0154】

図22は、実施の形態9に係る遅延回路41のインバータの構成を示す回路図であり、第 r 段目～第 $r+3$ 段目のインバータを示している。同図の如く、本実施の形態では、第 r 段目のブートストラップ型インバータの出力を、その2段後段のブートストラップ型インバータの負荷トランジスタ $Q_{L_{r+2}}$ のゲートにトランジスタ $Q_{B_{r+2}}$ を介して供給する。

10

【0155】

つまり各段のインバータのトランジスタ Q_B のアノードには、負荷トランジスタ Q_L のゲートを充電するための電源として、自己の2段前段の出力信号が供給される。そうすることにより、各インバータの負荷トランジスタ Q_L のゲートは、自己の2段前のインバータの出力がHレベルになったときからバイアスされるようになる。その結果、各インバータにおいて負荷トランジスタ Q_L のゲートがバイアスされる時間は、インバータ1段分の遅延時間のみと短くなり、負荷トランジスタの V_{th} シフトが軽減される。

【0156】

なお、図22では各インバータの負荷トランジスタ Q_L のドレインに、一定の高電位側電源電位 V_{DD} を供給しているが、図14と同様に偶数段の負荷トランジスタ Q_L には電源として第1制御信号 V_{FR} を供給し、奇数段の負荷トランジスタ Q_L には電源として第2制御信号 V_{FR} を供給してもよい。また、ブートストラップ型インバータの出力の供給先の負荷トランジスタ Q_L は、自己の2段後段のものに限られず、偶数段後段のものであればよい。

20

【0157】

＜実施の形態10＞

図23は、実施の形態10に係る遅延回路41の構成を示す回路図であり、図22の回路の変形例を示している。図23の遅延回路41においては、図22の構成に対し、ブートストラップ型インバータの出力段に、負荷トランジスタ Q_{BL} およびドライバトランジスタ Q_{BD} とから成るトータムポール型のバッファ回路を設けている。

30

【0158】

第 r 段目のインバータにおいては、負荷容量の大きい次段のドライバトランジスタ $Q_{D_{r+1}}$ の駆動はバッファ回路を介して行われるため、ブートストラップ型インバータの負荷が軽減され、その2段後段の負荷トランジスタ $Q_{L_{r+2}}$ のゲートを高速に充電できるようになる。それによりブートストラップ型インバータの動作マージンが大きくなる。

【0159】

＜実施の形態11＞

図24は、実施の形態11に係る単位シフトレジスタの構成を示す回路図である。図12においては、図10に示した単位シフトレジスタ SR に対し、当該単位シフトレジスタ SR と同じ絶縁基板上に形成されるリセット信号生成回路40が適用された例を示したが、当該リセット信号生成回路40は、もちろん図24に示すように図6の単位シフトレジスタ SR に対しても適用することが可能である。

40

【0160】

＜実施の形態12＞

また上記の各実施の形態においては、単位シフトレジスタ SR のトランジスタ Q_{2A} 、 Q_{2B} の交互の駆動を、2つのインバータ（第1および第2のインバータ）を用いて行っていたが、それと同様の動作を1つのインバータを用いて行うこともできる。そして本発明はそのように構成された単位シフトレジスタ SR に対しても適用可能である。

【0161】

50

図25は実施の形態12に係る単位シフトレジスタSRの構成を示す回路図である。当該単位シフトレジスタSRにおいて、トランジスタQ2A、Q2Bを駆動する駆動回路は、トランジスタQ6、Q7とから成るインバータと、当該インバータの出力端とノードN2Aとの間に接続するトランジスタQ9Aと、当該インバータの出力端（「ノードN3」と定義する）とノードN2Bとの間に接続するトランジスタQ9Bとにより構成される。トランジスタQ9Aのゲートは、第1制御信号VFRが入力される第1制御端子CTAに接続し、トランジスタQ9Bのゲートは第2制御信号/VFRが入力される第2制御端子CTBに接続する。また上記インバータにおいては、トランジスタQ6はダイオード接続され、ノードN3と第3電源端子S3との間に接続しており、トランジスタQ7はノードN3と第1電源端子S1との間に設けられ、そのゲートはノードN1に接続している。

10

【0162】

本実施の形態において、第1制御信号VFRがHレベル、第2制御信号/VFRがLレベルの期間は、トランジスタQ9Aがオン、トランジスタQ9Bがオフになるので、インバータの出力端すなわちノードN3はノードN2Aに電氣的に接続される。つまりその間は、トランジスタQ2Aが駆動され、トランジスタQ2Bは休止状態になる。逆に、第1制御信号VFRがLレベル、第2制御信号/VFRがHレベルの期間は、トランジスタQ9Aがオフ、トランジスタQ9Bがオンになるので、ノードN3はノードN2Bに電氣的に接続される。つまりその間は、トランジスタQ2Bが駆動され、トランジスタQ2Aは休止状態になる。このように、トランジスタQ9A、Q9Bは、第1制御信号VFRおよび第2制御信号/VFRに基づいて、トランジスタQ6、Q7より成るインバータの出力端（ノードN3）を、ノードN2AおよびノードN2Bへと交互に接続させる切替回路として機能する。

20

【0163】

そして本実施の形態では、当該インバータに、第3電源端子S3とノードN3との間に接続したトランジスタQ13を設ける。このトランジスタQ13は、トランジスタQ6に比べて、駆動能力が十分大きく設定されている（即ち、オン抵抗が充分小さく設定されている）。そしてトランジスタQ13のゲートは、リセット信号NBRが供給される第2リセット端子RST2に接続される。このリセット信号NBRは、上記の各実施の形態において用いられていたものと同じでよい。

【0164】

この構成によれば、第1および第2制御信号VFR、/VFRのレベルが切り替わり時にトランジスタQ13がオンになるので、ノードN2AあるいはノードN2Bが短時間でHレベルに立ち上がる（ノードN2A、N2BのどちらがHレベルにされるかは、第1および第2制御信号VFR、/VFRのレベル切り替わりにより、トランジスタQ9A、Q9Bのどちらがオンしたかによる）。それにより、トランジスタQ5AまたはQ5Bが即座にノードN1を放電し、低インピーダンスのLレベルにする。その結果、第1および第2制御信号VFR、/VFRのレベルが切り替わり時にトランジスタQ5A、Q5Bの両方が高抵抗状態になって単位シフトレジスタSRの動作が不安定になることが防止され、実施の形態2と同様の効果が得られる。

30

【0165】

本実施の形態においても実施の形態6のように、リセット信号NBR信号は、当該単位シフトレジスタSRと同じ絶縁基板上に形成されたりリセット信号生成回路40から供給されるものであってもよい。また、実施の形態3のように、第1リセット端子RSTに供給する信号として、スタートパルスSTYを用いることもできる。

40

【図面の簡単な説明】**【0166】**

【図1】実施の形態1に係る単位シフトレジスタの構成を示す回路図である。

【図2】実施の形態1に係る単位シフトレジスタの動作を示すタイミング図である。

【図3】実施の形態1に係る単位シフトレジスタの動作を説明するための図である。

【図4】従来の単位シフトレジスタにおける、第1および第2制御信号の切り替え直後の

50

誤動作の問題を説明するためのタイミング図である。

【図 5】実施の形態 1 に係る単位シフトレジスタの駆動方法を説明するためのタイミング図である。

【図 6】実施の形態 2 に係る単位シフトレジスタの構成を示す回路図である。

【図 7】実施の形態 2 に係る単位シフトレジスタの動作を説明するためのタイミング図である。

【図 8】実施の形態 3 に係る単位シフトレジスタの構成を示す回路図である。

【図 9】実施の形態 3 に係る単位シフトレジスタの動作を説明するためのタイミング図である。

【図 10】実施の形態 4 に係る単位シフトレジスタの構成を示す回路図である。

10

【図 11】実施の形態 5 に係る単位シフトレジスタの構成を示す回路図である。

【図 12】実施の形態 6 に係る単位シフトレジスタの構成を示す回路図である。

【図 13】実施の形態 6 に係るリセット信号生成回路の概念的な構成を示すブロック図である。

【図 14】実施の形態 6 に係るワンショットパルス生成回路の構成を示す回路図である。

【図 15】実施の形態 6 に係る単位シフトレジスタの構成を示す回路図である。

【図 16】実施の形態 6 に係る単位シフトレジスタの構成を示す回路図である。

【図 17】実施の形態 6 に係る単位シフトレジスタの構成を示す回路図である。

【図 18】実施の形態 6 に係る単位シフトレジスタの構成を示す回路図である。

【図 19】実施の形態 7 に係る遅延回路のインバータの構成を示す回路図である。

20

【図 20】実施の形態 8 に係る遅延回路のインバータの構成を示す回路図である。

【図 21】実施の形態 8 の変形例を示す図である。

【図 22】実施の形態 9 に係る遅延回路の構成を示す回路図である。

【図 23】実施の形態 10 に係る遅延回路の構成を示す回路図である。

【図 24】実施の形態 11 に係る単位シフトレジスタの構成を示す回路図である。

【図 25】実施の形態 12 に係る単位シフトレジスタの構成を示す回路図である。

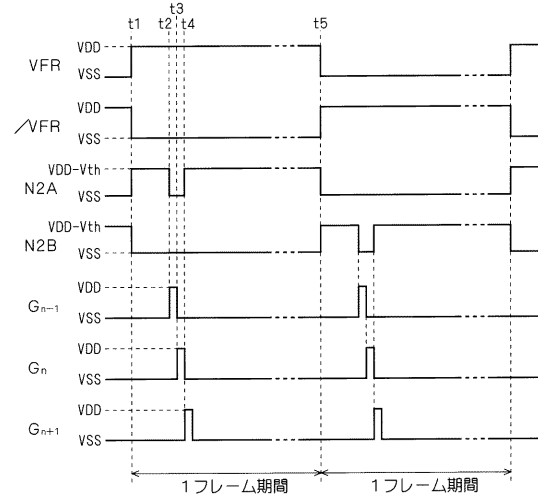
【符号の説明】

【0167】

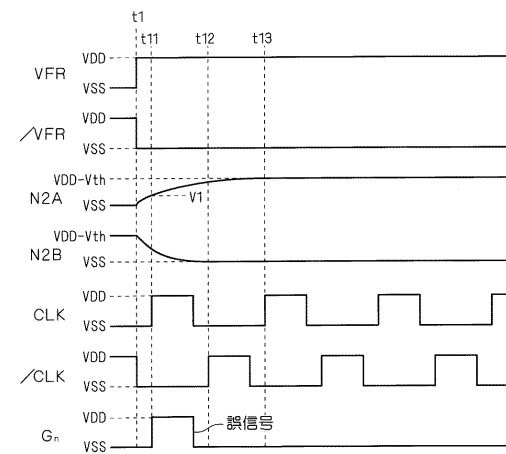
30 ゲート線駆動回路、40 リセット信号生成回路、41, 41A, 41B 遅延回路、42, 42A, 42B バッファ回路、43 パルス生成回路、430 パルス生成・合成回路、SR 単位シフトレジスタ、CK クロック端子、RST リセット端子、IN 入力端子、OUT 出力端子、S1～S3 電源端子、CTA 第1制御端子、CTB 第2制御端子。

30

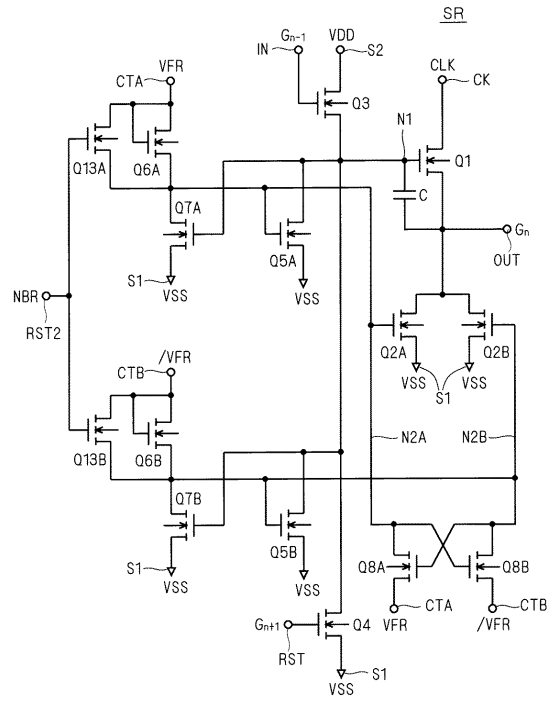
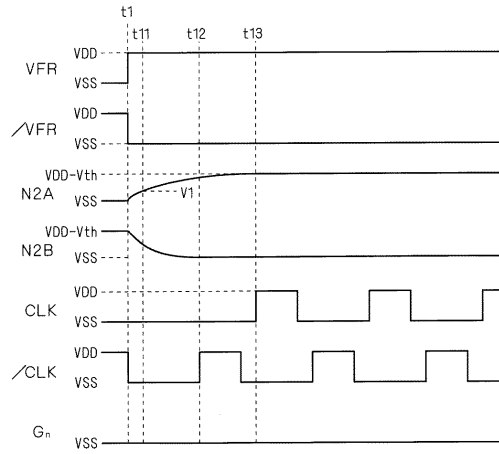
【図 2】



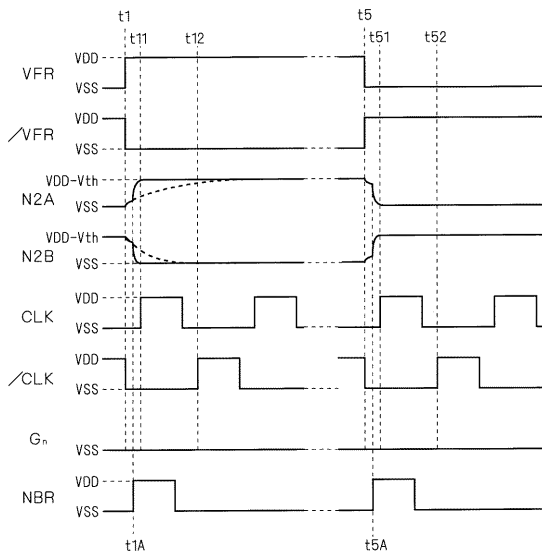
【図 4】



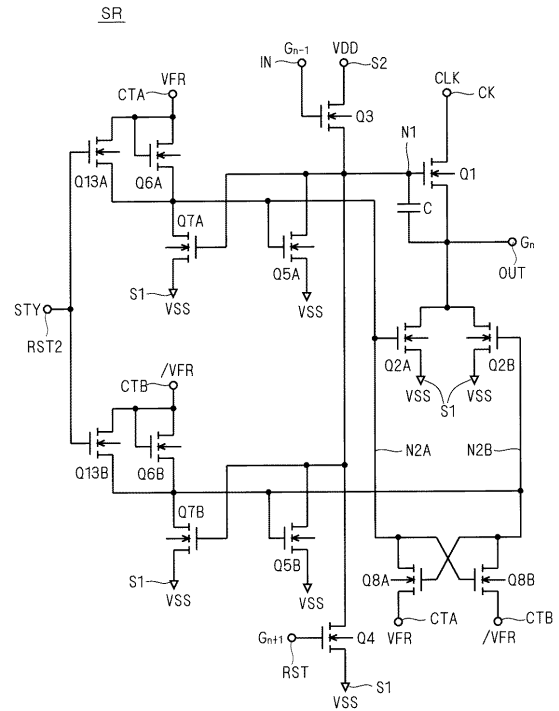
【図 6】



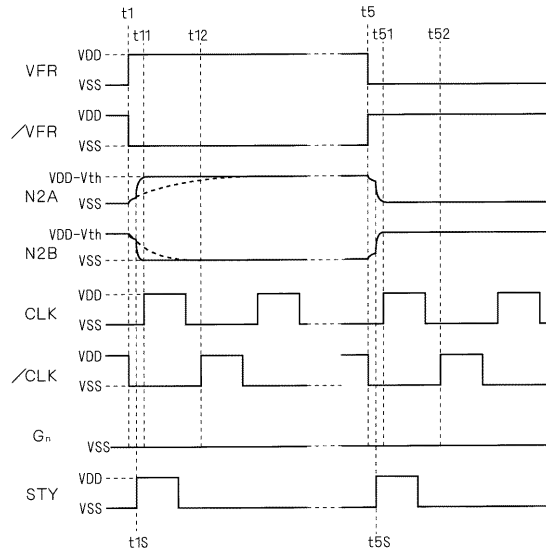
【图 7】



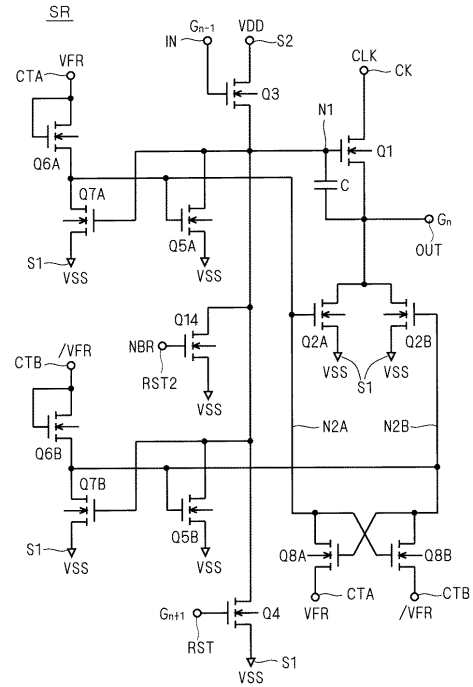
【图 8】



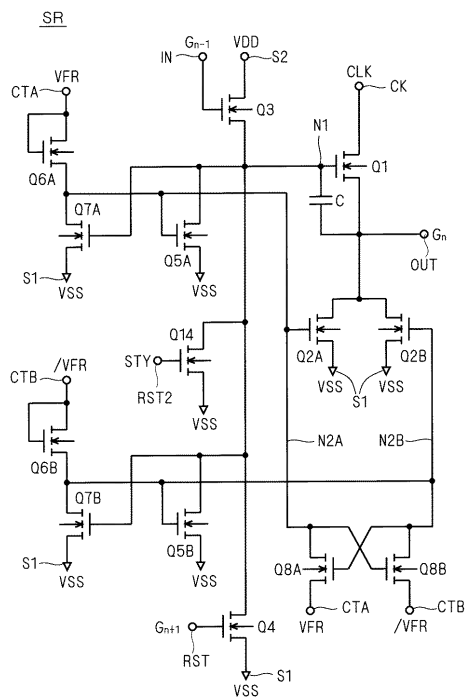
【図 9】



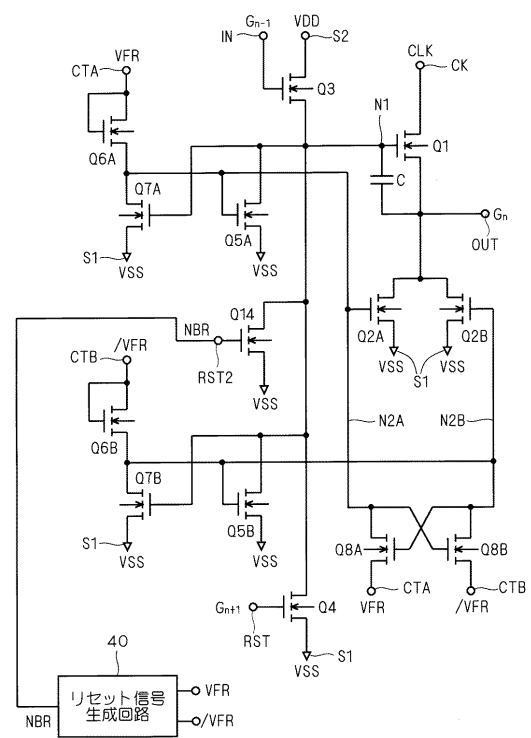
【図 10】



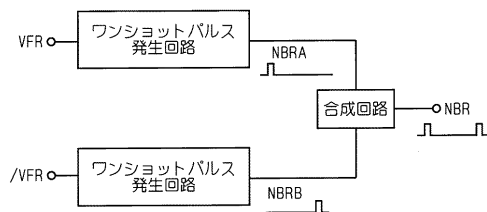
【図 11】



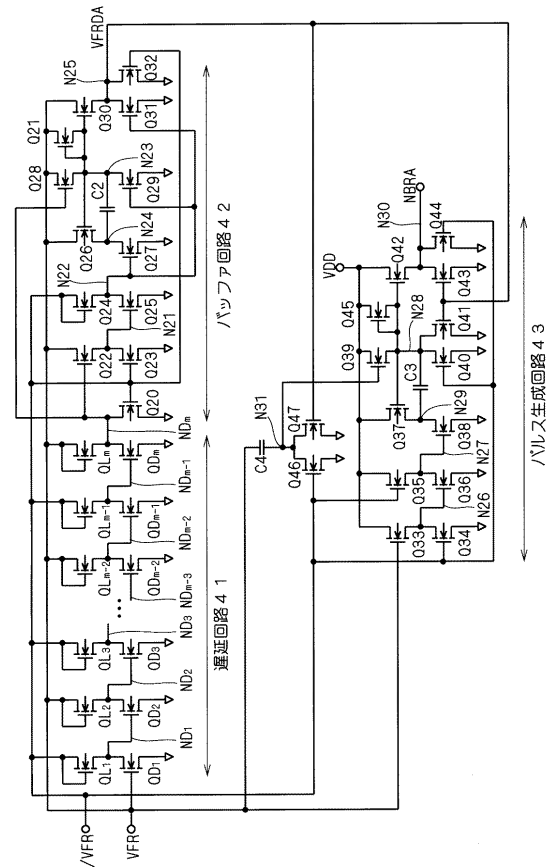
【図 12】



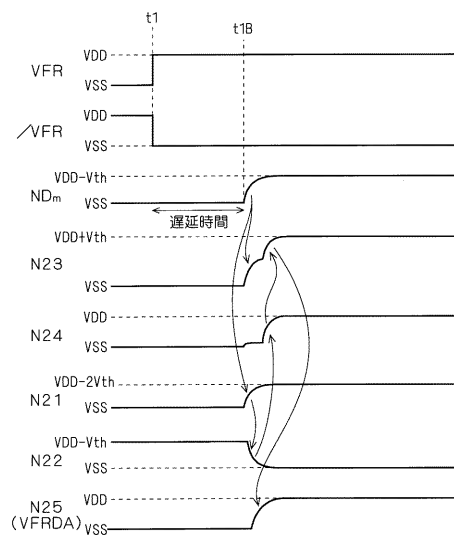
【図 13】



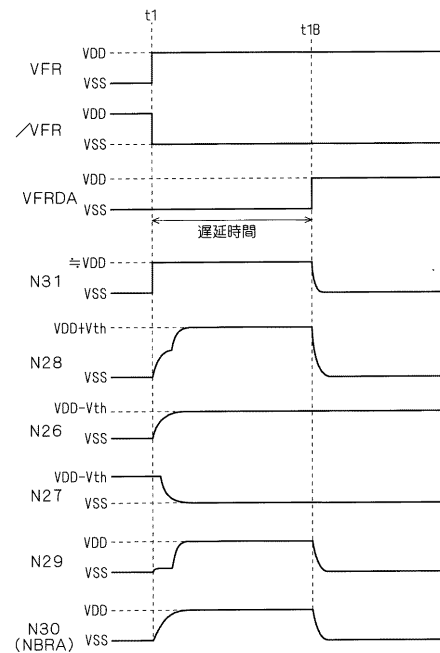
【図 14】



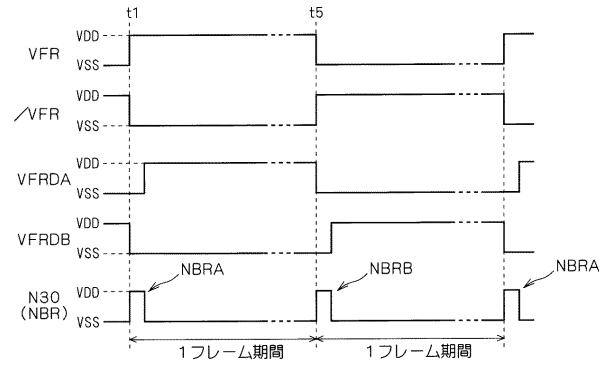
【図 15】



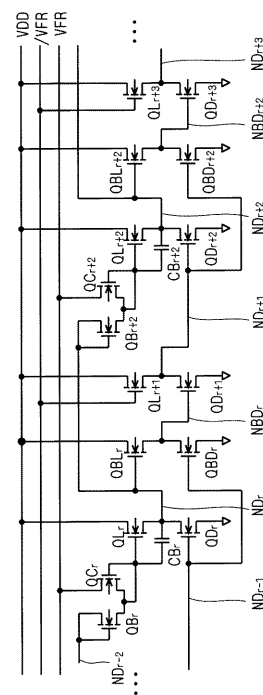
【図 16】



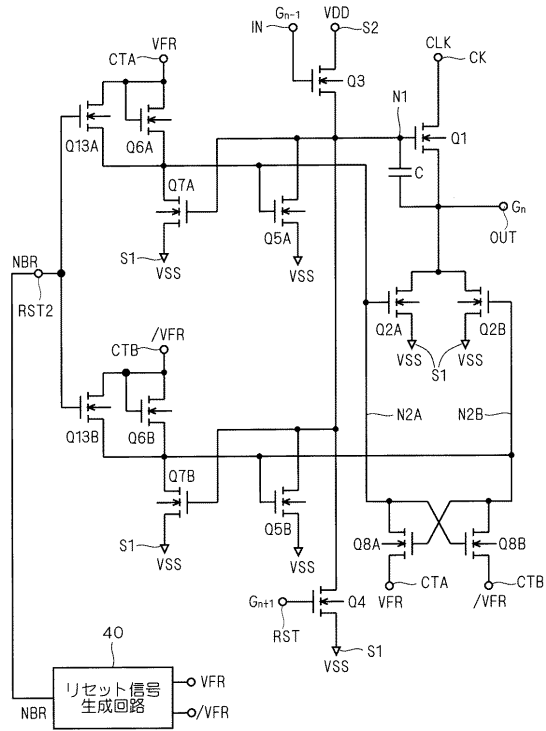
【図 18】



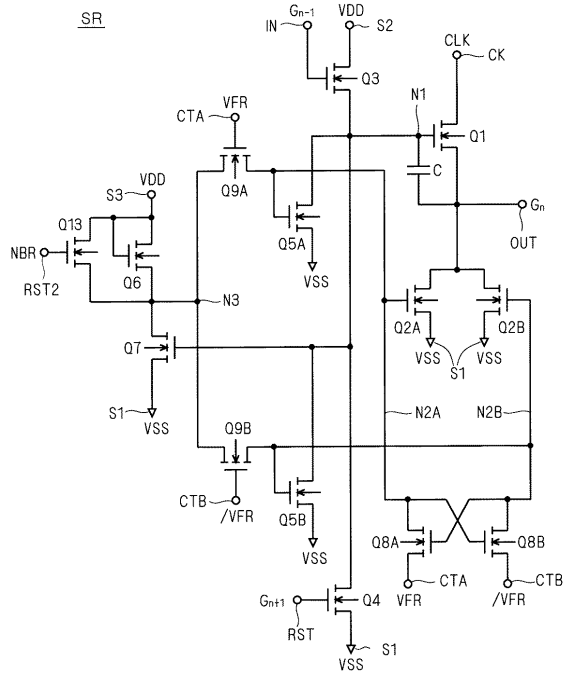
【图 2 3】

[illegible]

【図 24】



【図 25】



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F	1/133	5 0 5
G 0 2 F	1/133	5 5 0
G 1 1 C	19/00	J
G 1 1 C	19/00	K
G 1 1 C	19/00	G

(56)参考文献 特開 2 0 0 6 - 1 8 9 7 6 2 (J P, A)

特開 2 0 0 6 - 3 4 4 3 0 6 (J P, A)

特開 2 0 0 7 - 2 5 0 0 5 2 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G 1 1 C 1 9 / 2 8

G 1 1 C 1 9 / 0 0