

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 4 日 (04.01.2024)



(10) 国际公布号
WO 2024/000496 A1

- (51) 国际专利分类号:
G09G 3/20 (2006.01) G09G 3/36 (2006.01)
G09G 3/3266 (2016.01)
- (21) 国际申请号: PCT/CN2022/103086
- (22) 国际申请日: 2022 年 6 月 30 日 (30.06.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区鄂尔多斯装备制造基地, Inner Mongolia 017020 (CN)。

- (72) 发明人: 霍培荣 (HUO, Peirong); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘长城 (LIU, Changcheng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。徐敬义 (XU, Jingyi); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。梁朝 (LIANG, Chao); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。肖振宏 (XIAO, Zhenhong); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘鹏 (LIU, Peng); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。闫伟 (YAN, Wei); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘建涛 (LIU, Jiantao); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李波 (LI, Bo); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘

(54) Title: GATE DRIVING CIRCUIT AND DISPLAY PANEL

(54) 发明名称: 栅极驱动电路和显示面板

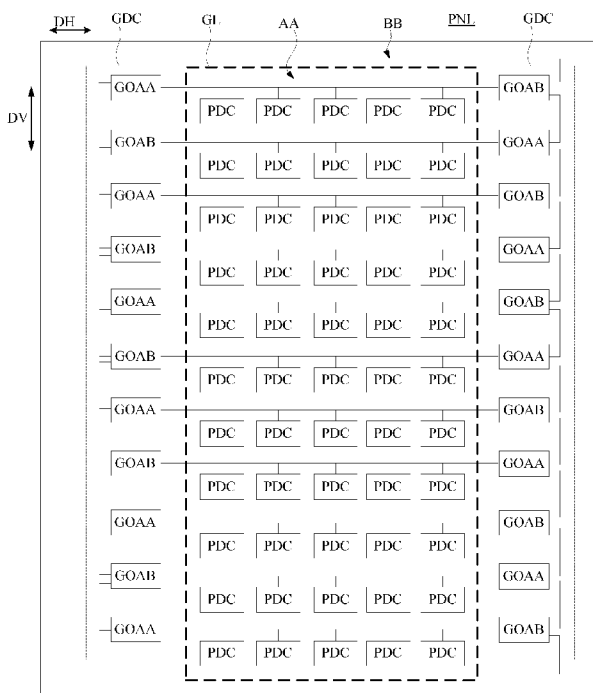


图 1

(57) Abstract: A gate driving circuit (GDC) and a display panel (PNL). The display panel (PNL) comprises a display area (AA) and a peripheral area (BB) surrounding the display area (AA). Gate driving circuits (GDC) are provided in the peripheral region (BB), and each gate driving circuit (GDC) comprises a plurality of shift register units (GOA) cascaded in sequence. The shift register units (GOA) comprise first shift register units (GOAA) and second shift register units (GOAB). The first shift register units (GOAA) and the second shift register units (GOAB) are spaced apart from one another, and the number of transistors of the first shift register units (GOAA) is less than the number of transistors of the second shift register units (GOAB).

(57) 摘要: 一种栅极驱动电路 (GDC) 和显示面板 (PNL)。显示面板 (PNL), 包括显示区 (AA) 和围绕显示区 (AA) 的外围区 (BB); 外围区 (BB) 中设置有栅极驱动电路 (GDC); 栅极驱动电路 (GDC) 包括依次级联的多个移位寄存器单元 (GOA)。其中, 移位寄存器单元 (GOA) 包括第一移位寄存器单元 (GOAA) 和第二移位寄存器单元 (GOAB), 第一移位寄存器单元 (GOAA) 和第二移位寄存器单元 (GOAB) 相互间隔; 第一移位寄存器单元 (GOAA) 的晶体管数量小于第二移位寄存器单元 (GOAB) 的晶体管数量。

WO 2024/000496 A1

弘 (LIU, Hong); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路5号 B1605、B1606、B1607, Beijing 100101 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

栅极驱动电路和显示面板

技术领域

本公开涉及显示技术领域，具体而言，涉及一种栅极驱动电路和显示面板。

5 背景技术

随着显示技术的发展，窄边框产品的应用范围越来越广泛。显示面板的边缘一般需要设置栅极驱动电路，栅极驱动电路的尺寸过大会制约显示面板的窄边框化。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于克服上述现有技术的不足，提供一种栅极驱动电路和显示面板，减小显示面板的边框。

15 根据本公开的一个方面，提供一种显示面板，包括显示区和围绕所述显示区的外围区；所述外围区中设置有栅极驱动电路；所述栅极驱动电路包括依次级联的多个移位寄存器单元；

其中，所述移位寄存器单元包括第一移位寄存器单元和第二移位寄存器单元，所述第一移位寄存器单元和所述第二移位寄存器单元相互间隔；所述第一移位寄存器单元的晶体管数量小于所述第二移位寄存器单元的晶体管数量。

根据本公开的一种实施方式，所述显示区设置有多个像素驱动电路；至少部分所述第一移位寄存器单元输出的信号和至少部分所述第二移位寄存器单元输出的信号用于驱动所述像素驱动电路。

25 根据本公开的一种实施方式，所述栅极驱动电路设于所述显示区在行方向的一侧；

所述外围区设置有用于布设所述第一移位寄存器单元的第一电路区

域和用于布设所述第二移位寄存器单元的第二电路区域；

其中，所述第二电路区域的部分区域位于所述第一电路区域远离所述显示区的一侧。

根据本公开的一种实施方式，所述栅极驱动电路包括多个移位寄存器单元组，每个所述移位寄存器单元组包括相邻的一个第一移位寄存器单元和一个第二移位寄存器单元；同一所述移位寄存器单元组中，第一移位寄存器单元对应的第一电路区域和第二移位寄存器单元对应的第二电路区域互补成矩形。

根据本公开的一种实施方式，所述显示面板设置有与所述栅极驱动电路对应的内走线组和外走线组，所述内走线组和所述外走线组中的驱动走线均用于驱动所述栅极驱动电路，且所述内走线组位于所述外走线组靠近所述显示区的一侧；

所述移位寄存器单元组与所述外走线组的任意一个驱动走线之间通过最多一个转接线电连接。

根据本公开的一种实施方式，所述外走线组包括沿列方向延伸的第一低电平信号线、复位控制线、第一扫描控制线 and 第二扫描控制线；

分别位于两个不同的移位寄存器单元组中且相邻的第一移位寄存器单元和第二移位寄存器单元，与同一所述第一低电平信号线电连接；

所述复位控制线用于向所述移位寄存器单元组提供复位控制信号；

所述第一扫描控制线用于向所述移位寄存器单元组提供第一扫描控制信号；所述第二扫描控制线拥有向所述移位寄存器单元组提供第二扫描控制信号；所述第一扫描控制信号和所述第二扫描控制信号为反相信号。

根据本公开的一种实施方式，所述第一移位寄存器单元包括第一输入晶体管和第二输入晶体管；所述第二移位寄存器单元包括第一输入晶体管和第二输入晶体管；所述第一输入晶体管位于所述第一输入晶体管与所述外走线组之间，且沿行方向排列；所述第二输入晶体管位于所述第二输入晶体管与所述外走线组之间，且沿行方向排列；

所述第一输入晶体管的源极和所述第一输入晶体管的源极通过同一导电结构电连接至所述第一扫描控制线；

所述第二输入晶体管的源极和所述第二输入晶体管的源极通过同一导电结构电连接至所述第二扫描控制线。

根据本公开的一种实施方式，所述第一移位寄存器单元包括：

5 第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极与上拉节点电连接，所述第一输入晶体管的栅极用于与上一级移位寄存器单元的输出端电连接；

10 第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极与所述上拉节点电连接，所述第二输入晶体管的栅极与下拉节点电连接，且用于与下一级移位寄存器单元的输出端电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

第三电容，具有第三电容的第一电极板和第三电容的第二电极板；所述第三电容的第二电极板与所述上拉节点电连接，所述第三电容的第一电极板与所述第一移位寄存器单元的输出端电连接；

15 第一输出晶体管，所述第一输出晶体管的漏极与第三电容的第一电极板电连接，所述第一输出晶体管的栅极与所述上拉节点电连接；所述第一移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为反相信号；

20 第二输出晶体管，所述第二输出晶体管的源极用于加载低电平信号，所述第二输出晶体管的漏极与所述第三电容的第一电极板电连接，所述第二输出晶体管的栅极与所述下拉节点电连接；

25 下拉控制晶体管，所述下拉控制晶体管的源极用于加载所述低电平信号，所述下拉控制晶体管的漏极与所述下拉节点电连接，所述下拉控制晶体管的栅极与所述第一输入晶体管的栅极电连接。

根据本公开的一种实施方式，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

30 所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

根据本公开的一种实施方式，所述第一移位寄存器单元还包括：

触控控制晶体管，所述触控控制晶体管的源极用于加载所述低电平信号，所述触控控制晶体管的漏极与所述第三电容的第一电极板电连接，所述触控控制晶体管的栅极用于加载触控控制信号。

5 根据本公开的一种实施方式，所述第二移位寄存器单元包括：

第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极用于与上拉控制节点电连接，所述第一输入晶体管的栅极用于与上一级所述移位寄存器单元的输出端电连接；

10 第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极用于与所述上拉控制节点电连接，所述第二输入晶体管的栅极用于与下一级所述移位寄存器单元的输出端电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

第一电容，包括第一电容的第一电极板和第一电容的第二电极板；
15 所述第一电容的第一电极板与所述第二移位寄存器单元的输出端电连接，所述第一电容的第二电极板与上拉节点电连接；

第二电容，包括第二电容的第一电极板和第二电容的第二电极板；
所述第二电容的第一电极板与下拉节点电连接，所述第二电容的第二电极板用于加载低电平信号；

20 第一输出晶体管，所述第一输出晶体管的漏极与所述上拉节点电连接，所述第一输出晶体管的漏极与所述第一电容的第一电极板电连接；
所述第二移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为
25 反相信号；

第二输出晶体管，所述第二输出晶体管的源极用于加载所述低电平信号，所述第二输出晶体管的漏极与所述第一电容的第一电极板电连接，所述第二输出晶体管的栅极与所述下拉节点电连接；

第一下拉晶体管，所述第一下拉晶体管的源极用于加载所述低电平
30 信号，所述第一下拉晶体管的漏极与所述上拉控制节点电连接，所述第

一下拉晶体管的栅极与所述下拉节点电连接；

第一下拉控制晶体管，所述第一下拉控制晶体管的源极用于加载所述低电平信号，所述第一下拉控制晶体管的漏极与所述下拉节点电连接，所述第一下拉控制晶体管的栅极与所述上拉控制节点电连接；

5 第二下拉控制晶体管，所述第二下拉控制晶体管的漏极与所述下拉节点电连接，所述第二下拉控制晶体管的栅极与所述第二下拉控制晶体管的源极电连接；所述第二下拉控制晶体管的源极和所述第一输出晶体管的源极中的一个用于加载所述第一时钟信号且另一个用于加载所述第二时钟信号；

10 第二下拉晶体管，所述第二下拉晶体管的源极用于加载所述低电平信号，所述第二下拉晶体管的漏极与所述下拉节点电连接，所述第二下拉晶体管的栅极与所述第一电容的第一电极板电连接；

复位晶体管，所述复位晶体管的源极用于加载所述低电平信号，所述复位晶体管的漏极与所述上拉控制节点电连接，所述复位晶体管的栅极用于加载复位控制信号；

所述上拉控制节点和所述上拉节点电连接。

根据本公开的一种实施方式，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

20 根据本公开的一种实施方式，所述第二移位寄存器单元还包括使能晶体管和触控控制晶体管；所述上拉控制节点和所述上拉节点通过所述使能晶体管电连接；

其中，所述使能晶体管的源极与所述上拉控制节点电连接，所述使能晶体管的漏极与所述上拉节点电连接，所述使能晶体管的栅极用于加载高电平信号；所述触控控制晶体管的源极与所述低电平信号电连接，所述触控控制晶体管的漏极与所述第一电容的第一电极板电连接，所述触控控制晶体管的栅极用于加载触控控制信号；所述触控控制信号与所述高电平信号为反相信号。

30 根据本公开的一种实施方式，所述显示面板包括两个所述栅极驱动

电路，两个所述栅极驱动电路分别位于所述显示区的两侧；

任意一行所述像素驱动电路被两个所述栅极驱动电路同时驱动。

根据本公开的一种实施方式，任意一行所述像素驱动电路，被一个所述栅极驱动电路的第一移位寄存器单元驱动，且被另一个所述栅极驱动电路的第二移位寄存器单元驱动。

根据本公开的第二个方面，提供一种栅极驱动电路，包括依次级联的多个移位寄存器单元；其中，所述移位寄存器单元包括第一移位寄存器单元和第二移位寄存器单元，所述第一移位寄存器单元和所述第二移位寄存器单元相互间隔；所述第一移位寄存器单元的晶体管数量小于所述第二移位寄存器单元的晶体管数量。

根据本公开的一种实施方式，每个所述移位寄存器单元用于驱动一行像素驱动电路。

根据本公开的一种实施方式，所述第一移位寄存器单元包括：

第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极与上拉节点电连接，所述第一输入晶体管的栅极用于与上一级移位寄存器单元的输出端电连接；

第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极与所述上拉节点电连接，所述第二输入晶体管的栅极与下拉节点电连接，且用于与下一级移位寄存器单元的输出端电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

第三电容，具有第三电容的第一电极板和第三电容的第二电极板；所述第三电容的第二电极板与所述上拉节点电连接，所述第三电容的第一电极板与所述第一移位寄存器单元的输出端电连接；

第一输出晶体管，所述第一输出晶体管的漏极与第三电容的第一电极板电连接，所述第一输出晶体管的栅极与所述上拉节点电连接；所述第一移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为反相信号；

第二输出晶体管，所述第二输出晶体管的源极用于加载低电平信号，所述第二输出晶体管的漏极与所述第三电容的第一电极板电连接，所述第二输出晶体管的栅极与所述下拉节点电连接；

5 下拉控制晶体管，所述下拉控制晶体管的源极用于加载所述低电平信号，所述下拉控制晶体管的漏极与所述下拉节点电连接，所述下拉控制晶体管的栅极与所述第一输入晶体管的栅极电连接。

根据本公开的一种实施方式，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

10 所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

根据本公开的一种实施方式，所述第二移位寄存器单元包括：

15 第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极用于与上拉控制节点电连接，所述第一输入晶体管的栅极用于与上一级所述移位寄存器单元的输出端电连接；

第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极用于与所述上拉控制节点电连接，所述第二输入晶体管的栅极用于与下一级所述移位寄存器单元的输出端电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

20 第一电容，包括第一电容的第一电极板和第一电容的第二电极板；所述第一电容的第一电极板与所述第二移位寄存器单元的输出端电连接，所述第一电容的第二电极板与上拉节点电连接；

25 第二电容，包括第二电容的第一电极板和第二电容的第二电极板；所述第二电容的第一电极板与下拉节点电连接，所述第二电容的第二电极板用于加载低电平信号；

30 第一输出晶体管，所述第一输出晶体管的漏极与所述上拉节点电连接，所述第一输出晶体管的漏极与所述第一电容的第一电极板电连接；所述第二移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为

反相信号;

第二输出晶体管, 所述第二输出晶体管的源极用于加载所述低电平信号, 所述第二输出晶体管的漏极与所述第一电容的第一电极板电连接, 所述第二输出晶体管的栅极与所述下拉节点电连接;

5 第一下拉晶体管, 所述第一下拉晶体管的源极用于加载所述低电平信号, 所述第一下拉晶体管的漏极与所述上拉控制节点电连接, 所述第一下拉晶体管的栅极与所述下拉节点电连接;

10 第一下拉控制晶体管, 所述第一下拉控制晶体管的源极用于加载所述低电平信号, 所述第一下拉控制晶体管的漏极与所述下拉节点电连接, 所述第一下拉控制晶体管的栅极与所述上拉控制节点电连接;

15 第二下拉控制晶体管, 所述第二下拉控制晶体管的漏极与所述下拉节点电连接, 所述第二下拉控制晶体管的栅极与所述第二下拉控制晶体管的源极电连接; 所述第二下拉控制晶体管的源极和所述第一输出晶体管的源极中的一个用于加载所述第一时钟信号且另一个用于加载所述第二时钟信号;

第二下拉晶体管, 所述第二下拉晶体管的源极用于加载所述低电平信号, 所述第二下拉晶体管的漏极与所述下拉节点电连接, 所述第二下拉晶体管的栅极与所述第一电容的第一电极板电连接;

20 复位晶体管, 所述复位晶体管的源极用于加载所述低电平信号, 所述复位晶体管的漏极与所述上拉控制节点电连接, 所述复位晶体管的栅极用于加载复位控制信号;

所述上拉控制节点和所述上拉节点电连接。

根据本公开的一种实施方式, 所述第一输入晶体管包括串联的两个亚晶体管, 两个亚晶体管共栅极;

25 所述第二输入晶体管包括串联的两个亚晶体管, 两个亚晶体管共栅极。

应当理解的是, 以上的一般描述和后文的细节描述仅是示例性和解释性的, 并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本公开一种实施方式中，显示面板的结构示意图。

图 2 为本公开一种实施方式中，栅极驱动电路的分布示意图。

图 3 为本公开一种实施方式中，栅极驱动电路的分布示意图。

图 4 为本公开一种实施方式中，移位寄存器单元的结构示意图。

图 5 为本公开一种实施方式中，半导体层的结构示意图。

图 6 为本公开一种实施方式中，栅极层的结构示意图。

图 7 为本公开一种实施方式中，源漏金属层的结构示意图。

图 8 为本公开一种实施方式中，半导体层、栅极层和源漏金属层的层叠结构示意图。

图 9 为本公开一种实施方式中，相邻两级移位寄存器单元之间的时序示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的实施方式；相反，提供这些实施方式使得本公开将全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。此外，附图仅为本公开的示意性图解，并非一定是按比例绘制。

虽然本说明书中使用相对性的用语，例如“上”“下”来描述图标的一个组件对于另一组件的相对关系，但是这些术语用于本说明书中仅出于方便，例如根据附图中所述的示例的方向。能理解的是，如果将图标的装置翻转使其上下颠倒，则所叙述在“上”的组件将会成为在“下”的组件。当某结构在其它结构“上”时，有可能是指某结构一体形成于其它结构上，

或指某结构“直接”设置在其它结构上，或指某结构通过另一结构“间接”设置在其它结构上。

用语“一个”、“一”、“该”、“所述”和“至少一个”用以表示存在一个或多个要素/组成部分/等；用语“包括”和“具有”用以表示开放式的包括在内的意思并且是指除了列出的要素/组成部分/等之外还可存在另外的要素/组成部分/等；用语“第一”、“第二”和“第三”等仅作为标记使用，不是对其对象的数量限制。

晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏电极(漏电极端子、漏区域或漏电极)与源电极(源电极端子、源区域或源电极)之间具有沟道区，并且电流可以流过漏极、沟道区以及源极。沟道区是指电流主要流过的区域。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源极”及“漏极”的功能有时互相调换。因此，在本说明书中，“源极”和“漏极”可以互相调换。

结构层 A 位于结构层 B 背离衬底基板的一侧，可以理解为，结构层 A 在结构层 B 背离衬底基板的一侧形成。当结构层 B 为图案化结构时，结构层 A 的部分结构也可以位于结构层 B 的同一物理高度或低于结构层 B 的物理高度，其中，衬底基板为高度基准。

本公开提供一种显示面板 PNL 以及驱动该显示面板 PNL 的栅极驱动电路 GDC。参见图 1，显示面板 PNL 包括显示区 AA 和围绕所述显示区 AA 的外围区 BB。在显示区 AA 中，设置有子像素和用于驱动子像素的像素驱动电路 PDC，子像素可以为光阀或者自发光元件。在像素驱动电路 PDC 的控制下，各个子像素各自独立的发光，以使得显示面板 PNL 显示画面。

举例而言，在本公开的一种实施方式中，显示面板 PNL 可以为液晶显示面板，其包括对盒设置的阵列基板和彩膜基板，在阵列基板和彩膜基板形成的液晶盒中填充有液晶。这样，子像素可以为作为光阀的液晶单元；该液晶单元包括用于控制电场的两个电极和在电场的控制下翻转或者倒伏的液晶。两个电极中的一个可以作为像素电极，且另一个可以作为公共电极；各个公共电极可以相互电连接以共同加载公共电压；像素驱动电路

PDC 可以与各个像素电极一一对应的电连接,以通过对像素电极上的电压的控制来调节像素电极对应的区域的电场,进而控制该像素电极对应的区域的液晶的翻转或者倒伏程度。如此,显示面板 PNL 在上偏光片、下偏光片的配合下,能够控制各个子像素的透光率。

5 再举例而言,在本公开的一种实施方式中,显示面板 PNL 可以为具有自发光元件的显示面板,自发光元件包括但不限于 OLED、PLED、QLED、Q-OLED、Micro LED、Mini LED 等。显示面板 PNL 可以包括依次层叠设置的衬底基板 BP、驱动层和像素层;其中,发光元件设置于像素层中作为子像素,驱动层中设置有驱动子像素的像素驱动电路 PDC。像素驱动
10 电路 PDC 可以控制流过发光元件的电流的大小,进而控制发光元件的发光亮度。

参见图 1,显示面板 PNL 还可以设置有沿行方向 DH 延伸的扫描线 GL 和沿列方向 DV 延伸的驱动数据线,像素驱动电路 PDC 可以与扫描线 GL 和驱动数据线电连接。在扫描线 GL 上的扫描信号的控制下,像素驱动
15 电路 PDC 可以接收加载在驱动数据线上的驱动数据,进而根据所接收的驱动数据控制子像素的亮度。示例性的,像素驱动电路 PDC 可以包括一个数据写入晶体管,该数据写入晶体管的控制端与扫描线 GL 电连接,该数据写入晶体管的输入端与驱动数据线电连接。当扫描线 GL 上加载扫描信号时,该数据写入晶体管导通,进而使得驱动数据线上加载的驱动数
20 据被写入像素驱动电路 PDC 的电容中。当扫描线 GL 上不加载扫描信号时,该数据写入晶体管电截止,进而使得驱动数据线上加载的驱动数据不能够被写入像素驱动电路 PDC 的电容中。

参见图 1,在显示区 AA 的一侧可以设置有栅极驱动电路 GDC,以用于向各个扫描线 GL 加载扫描信号。可选的,栅极驱动电路 GDC 设置于
25 显示区 AA 沿行方向 DH 的一侧,其可以包括依次级联的多个移位寄存器单元 GOA,每个扫描线 GL 可以与一个移位寄存器单元 GOA 的输出端电连接。这样,当移位寄存器单元 GOA 输出扫描信号时,该扫描信号可以加载至扫描线 GL。在相关技术中,栅极驱动电路 GDC 中的各个移位寄存器单元 GOA 均是相同的,且沿列方向 DV 依次排列。然而,这种设置方
30 式会导致栅极驱动电路 GDC 占用的面积较大,进而会导致显示面板 PNL

的边框增大，不利于显示面板 PNL 的窄边框化。

在本公开的实施方式中，栅极驱动电路 GDC 中设置两种不同的移位寄存器单元 GOA，即第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB；所述第一移位寄存器单元 GOAA 的晶体管数量小于所述第二移位寄存器单元 GOAB 的晶体管数量。其中，在级联关系上，第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 相互间隔。这样，本公开的像素驱动电路 PDC 包括依次级联的多个移位寄存器单元 GOA，移位寄存器单元 GOA 包括第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 两种，第一移位寄存器单元 GOAA 和所述第二移位寄存器单元 GOAB 相互间隔设置。

如此，本公开的栅极驱动电路 GDC 通过交替设置第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB，既可以利用第二移位寄存器单元 GOAB 具有更多晶体管而带来的功能和益处，例如具有更高的稳定性等；又可以通过设置第一移位寄存器单元 GOAA 来减少栅极驱动电路 GDC 所需的晶体管的总体数量，且借助第二移位寄存器单元 GOAB 来提高自身的稳定性，克服全部采用第一移位寄存器单元 GOAA 时所面临的功能不足的问题。这样，本公开的栅极驱动电路 GDC，即避免了全部设置第二移位寄存器单元 GOAB 所面临的晶体管数量太多的问题，又避免了全部设置第一移位寄存器单元 GOAA 而导致在整体上面临功能不足的问题，通过间隔与第一移位寄存器单元 GOAA 之间的第二移位寄存器单元 GOAB 来在整体层面对栅极驱动电路 GDC 的功能进行补足。

在本公开的一种实施方式中，参见图 1，所述显示区 AA 设置有多个像素驱动电路 PDC；至少部分所述第一移位寄存器单元 GOAA 输出的信号和至少部分所述第二移位寄存器单元 GOAB 输出的信号用于驱动所述像素驱动电路 PDC。换言之，在该实施方式中，第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 均具有驱动像素驱动电路 PDC 的能力，这样可以减少栅极驱动电路 GDC 中移位寄存器单元 GOA 的数量，进而减小栅极驱动电路 GDC 的面积。

在一种示例中，参见图 1，像素驱动电路 PDC 中的各个移位寄存器单元 GOA 与扫描线 GL 一一对应设置，每个移位寄存器单元 GOA 拥有驱动

对应的扫描线 GL。

在本公开的一种实施方式中，参见图 2，所述栅极驱动电路设于所述显示区 AA 在行方向 DH 的一侧。所述外围区 BB 设置有用于布设所述第一移位寄存器单元 GOAA 的第一电路区域 XA 和用于布设所述第二移位寄存器单元 GOAB 的第二电路区域 XB；其中，所述第二电路区域 XB 的部分区域位于所述第一电路区域 XA 远离所述显示区 AA 的一侧。这样，第二移位寄存器单元 GOAB 中的部分晶体管可以布设在第一移位寄存器单元 GOAA 远离显示区 AA 的一侧；一方面，这可以减小第二移位寄存器单元 GOAB 在行方向上的尺寸，进而减小显示面板 PNL 的边框宽度。另一方面，这可以避免第二电路区域 XB 间隔在第一电路区域 XA 和显示区 AA 之间，进而避免第一移位寄存器单元 GOAA 的输出走线贯穿第二电路区域 XB 以驱动扫描线 GL，进而避免了因交叠等而引起的寄生电容。

可选的，参见图 2，所述栅极驱动电路包括多个移位寄存器单元组 GOAS，每个所述移位寄存器单元组 GOAS 包括相邻的一个第一移位寄存器单元 GOAA 和一个第二移位寄存器单元 GOAB；同一所述移位寄存器单元组 GOAS 中，第一移位寄存器单元 GOAA 对应的第一电路区域 XA 和第二移位寄存器单元 GOAB 对应的第二电路区域 XB 互补成矩形。换言之，在图 2 的示例中，用于布设第一移位寄存器单元 GOAA 的第一电路区域 XA 和用于布设第二移位寄存器单元 GOAB 的第二电路区域 XB 之间互不成矩形，则该第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 可以作为一个移位寄存器单元组 GOAS。这种设置方式，能够使得栅极驱动电路 GDC 的布图更为紧凑，减少面积浪费以利于减小显示面板 PNL 的边框。

在本公开的一种实施方式中，参见图 2 和图 3，所述显示面板 PNL 设置有与所述栅极驱动电路对应的内走线组 WLAS 和外走线组 WLBS，所述内走线组 WLAS 和所述外走线组 WLBS 中的驱动走线均用于驱动所述栅极驱动电路，且所述内走线组 WLAS 位于所述外走线组 WLBS 靠近所述显示区 AA 的一侧。所述移位寄存器单元组 GOAS 与所述外走线组 WLBS 的任意一个驱动走线之间通过最多一个转接线电连接。这样，移位寄存器单元组 GOAS 中的第一移位寄存器单元 GOAA 和第二移位寄存器

单元 GOAB，无需均各自独立地通过转接线与外走线组 WLBS 中的驱动走线电连接，这样可以减少走线之间的交叠，进而减低阻抗和减小串扰，提高栅极驱动电路 GDC 的稳定性。

进一步的，参见图 8，在第一移位寄存器单元 GOAA 中，第二移位寄存器单元 GOAB 通过转接线与外走线组 WLBS 中的各个驱动走线电连接。这样，即便走线交叠引起的信号波动等，也可以被第二移位寄存器单元 GOAB 凭借更多的功能而抑制或者耐受，既能够充分利用第二移位寄存器单元 GOAB 通过设置更多晶体管而具有更多功能和更好性能的特点，又可以使得第二移位寄存器单元 GOAB 在一定程度上作为缓冲，来提高传输至第一移位寄存器单元 GOAA 的信号的稳定性，降低第一移位寄存器单元 GOAA 因晶体管较少而面临的性能不足的问题。

在一种示例中，参见图 8，述外走线组 WLBS 包括沿列方向 DV 延伸的第一低电平信号线 VGLLA、复位控制线 RSTL、第一扫描控制线 CNL 和第二扫描控制线 CNBL。分别位于两个不同的移位寄存器单元组 GOAS 中且相邻的第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB，与同一所述第一低电平信号线 VGLLA 电连接；所述复位控制线 RSTL 用于向所述移位寄存器单元组 GOAS 提供复位控制信号 Rst；所述第一扫描控制线 CNL 用于向所述移位寄存器单元组 GOAS 提供第一扫描控制信号 CN；所述第二扫描控制线 CNBL 拥有向所述移位寄存器单元组 GOAS 提供第二扫描控制信号 CNB；所述第一扫描控制信号 CN 和所述第二扫描控制信号 CNB 为反相信号。

在一种示例中，参见图 8，所述第一移位寄存器单元 GOAA 包括第一输入晶体管 AT1 和第二输入晶体管 AT2；所述第二移位寄存器单元 GOAB 包括第一输入晶体管 BT1 和第二输入晶体管 BT2；所述第一输入晶体管 BT1 位于所述第一输入晶体管 AT1 与所述外走线组 WLBS 之间，且沿行方向 DH 排列；所述第二输入晶体管 BT2 位于所述第二输入晶体管 AT2 与所述外走线组 WLBS 之间，且沿行方向 DH 排列。所述第一输入晶体管的源极 AT1S 和所述第一输入晶体管的源极 BT1S 通过同一导电结构电连接至所述第一扫描控制线 CNL。所述第二输入晶体管的源极 AT2S 和所述第二输入晶体管的源极 BT2S 通过同一导电结构电连接至所述第二扫描控

制线 CNBL。这样，可以简化移位寄存器单元组 GOAS 的布线，且提高移位寄存器单元组 GOAS 中晶体管布设的紧凑性。另一方面，栅极驱动电路 GDC 在工作时，可以通过控制第二扫描控制线 CNBL 上加载的第二扫描控制信号 CNB 和第一扫描控制线 CNL 上加载的第一扫描控制信号 CN，

5 使得栅极驱动电路 GDC 实现正扫和反扫等不同的工作模式。换言之，在该示例中，尽管第一移位寄存器单元 GOAA 具有较少的晶体管数量，但是其依然可以与第一移位寄存器单元 GOAA 级联，且实现正扫模式和反扫模式。这可以使得栅极驱动电路 GDC 的功能更为完善。

在本公开实施方式中，AT 开头的编号用于表示第一移位寄存器单元

10 GOAA 中的晶体管或者晶体管的源极、栅极、漏极、沟道区，以便与第二移位寄存器单元 GOAB 中的晶体管在标号上进行区分。

在本公开的一种实施方式中，所述第一移位寄存器单元 GOAA 包括：

第一输入晶体管 AT1，所述第一输入晶体管的源极 AT1S 用于加载第一扫描控制信号 CN，所述第一输入晶体管的漏极 AT1D 与上拉节点 APU

15 （同时作为上拉控制节点）电连接，所述第一输入晶体管的栅极 AT1G 用于与上一级移位寄存器单元 GOA 的输出端电连接；

第二输入晶体管 AT2，所述第二输入晶体管的源极 AT2S 用于加载第二扫描控制信号 CNB，所述第二输入晶体管的漏极 AT2D 与所述上拉节点 APU 电连接，所述第二输入晶体管的栅极 AT2G 与下拉节点 APD 电连接，

20 且用于与下一级移位寄存器单元 GOA 的输出端电连接；所述第一扫描控制信号 CN 和所述第二扫描控制信号 CNB 为反相信号；

第三电容 C3，具有第三电容的第一电极板 CP5 和第三电容的第二电极板 CP6；所述第三电容的第二电极板 CP6 与所述上拉节点 APU 电连接，所述第三电容的第一电极板 CP5 与所述第一移位寄存器单元 GOAA 的输

25 出端电连接；

第一输出晶体管 AT3，所述第一输出晶体管的漏极 AT3D 与第三电容的第一电极板 CP5 电连接，所述第一输出晶体管的栅极 AT3G 与所述上拉节点 APU 电连接；所述第一移位寄存器单元 GOAA 的第一输出晶体管的源极 AT3S 和相邻的所述移位寄存器单元 GOA 的第一输出晶体管的源极

30 BT3S 中，一个用于加载第一时钟信号 CK 且另一个用于加载第二时钟信

号 CKB；所述第一时钟信号 CK 和所述第二时钟信号 CKB 为反相信号；

第二输出晶体管 AT4，所述第二输出晶体管的源极 AT4S 用于加载低电平信号 VGL，所述第二输出晶体管的漏极 AT4D 与所述第三电容的第一电极板 CP5 电连接，所述第二输出晶体管的栅极 AT4G 与所述下拉节点
5 APD 电连接；

下拉控制晶体管 AT12，所述下拉控制晶体管的源极 AT12S 用于加载所述低电平信号 VGL，所述下拉控制晶体管的漏极 AT12D 与所述下拉节点 APD 电连接，所述下拉控制晶体管的栅极 AT12G 与所述第一输入晶体管的栅极 AT1G 电连接。

10 在该第一移位寄存器单元 GOAA 中，第一输入晶体管 AT1 和第二输入晶体管 AT2 可以作为输入模块，用于接收上一级移位寄存器单元 GOA 的输出和下一级移位寄存器单元 GOA 的输出，并通过第一扫描控制信号 CN 和第二扫描控制信号 CNB 来实现正扫模式和反扫模式。在该示例中，下拉控制晶体管 AT12 可以与上一级移位寄存器单元 GOA 的输出电连接，
15 进而可以在上一级移位寄存器单元 GOA 的输出端的电压的控制下，对下拉节点 APD 进行稳压，避免了下拉节点 APD 浮接而可能出现的不稳定。

在本公开的一种实施方式中，参见图 8，所述第一输入晶体管 AT1 包括串联的两个亚晶体管，两个亚晶体管共栅极。所述第二输入晶体管 AT2 包括串联的两个亚晶体管，两个亚晶体管共栅极。由于第一输入晶体管
20 AT1 和第二输入晶体管 AT2 的源漏两端会较长时间保持较大的压差，这不利于第一输入晶体管 AT1 和第二输入晶体管 AT2 的耐受；为此，本公开通过使得第一输入晶体管 AT1 和第二输入晶体管 AT2 均为两个串联的亚晶体管，可以使得两个亚晶体管分压，进而降低每个亚晶体管的源漏端的电压差，提高第一输入晶体管 AT1、第二输入晶体管 AT2 的耐受性。举例
25 而言，当第一输入晶体管 AT1 两端的点压差为 16V 时，通过两个亚晶体管的分压，两个亚晶体管的连接处的电压可以为 9V，这使得一个亚晶体管的源漏压差为 7V，且另一个亚晶体管的源漏压差为 9V，进而减小了源漏压差，降低了第一输入晶体管 AT1 背击穿的风险。

在本公开的一种实施方式中，第一输入晶体管 AT1 和第二输入晶体管
30 AT2 的每个亚晶体管的尺寸相同。例如每个亚晶体管的沟道区宽度为 15.7

微米，每个亚晶体管的沟道区长度为 5 微米。

在本公开的一种实施方式中，第一输出晶体管 AT3A 可以具有大的宽长比，以提高第一输出晶体管 AT3 的驱动能力。进一步的，可以将第一输出晶体管 AT3 分为多个并联的亚晶体管，以利于第一输出晶体管 AT3 的
5 制备和排布。举例而言，参见图 8，第一输出晶体管 AT3 可以被分为四个亚晶体管，四个亚晶体管分为两组，两组亚晶体管共源极设置，两组亚晶体管的漏极电连接以与第一输出线 OUTLA 电连接。

作为一种示例，第一输出晶体管 AT3A 的总长度为 108 微米，第一输出晶体管 AT3A 的宽度为 7 微米。

10 在本公开的一种实施方式中，第二输出晶体管 AT4A 也可以具有稍大的宽长比，且第二输出晶体管 AT4A 的宽长比小于第一输出晶体管 AT3A 的宽长比。例如，第二输出晶体管 AT4A 总长度为 32 微米，第二输出晶体管 AT4A 的宽度为 7 微米。进一步的，可以将第二输出晶体管 AT4 可以分为多个并联的亚晶体管，以利于第二输出晶体管 AT4 的制备和排布。举
15 例而言，参见图 8，第二输出晶体管 AT4 可以被分为两个亚晶体管。

在一种示例中，第二输出晶体管 AT4 的两个亚晶体管和第一输出晶体管 AT3 的其中两个亚晶体管可以共漏极设置，并与第一输出线 OUTLA 电连接。这样，可以提高第一移位寄存器单元 GOAA 布线的紧凑性。

在本公开的一种实施方式中，所述第一移位寄存器单元 GOAA 还包括：
20

触控控制晶体管 AT11，所述触控控制晶体管的源极 AT11S 用于加载所述低电平信号 VGL，所述触控控制晶体管的漏极 AT11D 与所述第三电容的第一电极板 CP5 电连接，所述触控控制晶体管的栅极 AT11G 用于加载触控控制信号 ENT。当显示面板 PNL 进行触控时，触控控制信号 ENT
25 会加载至触控控制晶体管的栅极 AT11G 而使得触控控制晶体管的栅极 AT11G 导通，进而使得第一输出线 OUTLA 不输出扫描信号。

进一步的，参见图 2 和图 8，内走线组 WLAS 包括用于加载触控控制信号 ENT 的触控控制线 ENTL，触控控制晶体管的栅极 AT11G 与触控控制线 ENTL 电连接。

30 在本公开实施方式中，BT 开头的编号用于表示第二移位寄存器单元

GOAB 中的晶体管或者晶体管的源极、栅极、漏极、沟道区，以便与第一移位寄存器单元 GOAA 中的晶体管在标号上进行区分。

在本公开的一种实施方式中，所述第二移位寄存器单元 GOAB 包括：

5 第一输入晶体管 BT1，所述第一输入晶体管的源极 BT1S 用于加载第一扫描控制信号 CN，所述第一输入晶体管的漏极 BT1D 用于与上拉控制节点 BPUCN 电连接，所述第一输入晶体管的栅极 BT1G 用于与上一级所述移位寄存器单元 GOA 的输出端电连接；

10 第二输入晶体管 BT2，所述第二输入晶体管的源极 BT2S 用于加载第二扫描控制信号 CNB，所述第二输入晶体管的漏极 BT2D 用于与所述上拉控制节点 BPUCN 电连接，所述第二输入晶体管的栅极 BT2G 用于与下一级所述移位寄存器单元 GOA 的输出端电连接；所述第一扫描控制信号 CN 和所述第二扫描控制信号 CNB 为反相信号；

15 第一电容 C1，包括第一电容的第一电极板 CP1 和第一电容的第二电极板 CP2；所述第一电容的第一电极板 CP1 与所述第二移位寄存器单元 GOAB 的输出端电连接，所述第一电容的第二电极板 CP2 与上拉节点 BPU 电连接；

第二电容 C2，包括第二电容的第一电极板 CP3 和第二电容的第二电极板 CP4；所述第二电容的第一电极板 CP3 与下拉节点 BPD 电连接，所述第二电容的第二电极板 CP4 用于加载低电平信号 VGL；

20 第一输出晶体管 BT3，所述第一输出晶体管的漏极 BT3D 与所述上拉节点 BPU 电连接，所述第一输出晶体管的漏极 BT3D 与所述第一电容的第一电极板 CP1 电连接；所述第二移位寄存器单元 GOAB 的第一输出晶体管的源极 BT3S 和相邻的所述移位寄存器单元 GOA 的第一输出晶体管的源极 BT3S 中，一个用于加载第一时钟信号 CK 且另一个用于加载第二
25 时钟信号 CKB；所述第一时钟信号 CK 和所述第二时钟信号 CKB 为反相信号；

30 第二输出晶体管 BT4，所述第二输出晶体管的源极 BT4S 用于加载所述低电平信号 VGL，所述第二输出晶体管的漏极 BT4D 与所述第一电容的第一电极板 CP1 电连接，所述第二输出晶体管的栅极 BT4G 与所述下拉节点 BPD 电连接；

第一下拉晶体管 BT5，所述第一下拉晶体管的源极 BT5S 用于加载所述低电平信号 VGL，所述第一下拉晶体管的漏极 BT5D 与所述上拉控制节点 BPUCN 电连接，所述第一下拉晶体管的栅极 BT5G 与所述下拉节点 BPD 电连接；

5 第一下拉控制晶体管 BT6，所述第一下拉控制晶体管的源极 BT6S 用于加载所述低电平信号 VGL，所述第一下拉控制晶体管的漏极 BT6D 与所述下拉节点 BPD 电连接，所述第一下拉控制晶体管的栅极 BT6G 与所述上拉控制节点 BPUCN 电连接；

10 第二下拉控制晶体管 BT7，所述第二下拉控制晶体管的漏极 BT7D 与所述下拉节点 BPD 电连接，所述第二下拉控制晶体管的栅极 BT7G 与所述第二下拉控制晶体管的源极 BT7S 电连接；所述第二下拉控制晶体管的源极 BT7S 和所述第一输出晶体管的源极 BT3S 中的一个用于加载所述第一时钟信号 CK 且另一个用于加载所述第二时钟信号 CKB；

15 第二下拉晶体管 BT8，所述第二下拉晶体管的源极 BT8S 用于加载所述低电平信号 VGL，所述第二下拉晶体管的漏极 BT8D 与所述下拉节点 BPD 电连接，所述第二下拉晶体管的栅极 BT8G 与所述第一电容的第一电极板 CP1 电连接；

20 复位晶体管 BT10，所述复位晶体管的源极 BT10S 用于加载所述低电平信号 VGL，所述复位晶体管的漏极 BT10D 与所述上拉控制节点 BPUCN 电连接，所述复位晶体管的栅极 BT10G 用于加载复位控制信号 Rst；

所述上拉控制节点 BPUCN 和所述上拉节点 BPU 电连接。

25 在该第二移位寄存器单元 GOAB 中，第一输入晶体管 BT1 和第二输入晶体管 BT2 可以作为输入模块，用于接收上一级移位寄存器单元 GOA 的输出和下一级移位寄存器单元 GOA 的输出，并通过第一扫描控制信号 CN 和第二扫描控制信号 CNB 来实现正扫模式和反扫模式。在该示例中，第二下拉控制晶体管 BT7 用于响应第二时钟信号 CKB 以控制下拉节点 BPD，以通过下拉节点 BPD 的电压来周期性的控制第一下拉晶体管 BT5 导通，进而实现对上拉控制节点 BPUCN 的周期性下拉；且通过下拉节点 BPD 的高电平信号使得第二输出晶体管 BT4 保持导通，使得第二移位寄
30 存器单元 GOAB 输出低电平信号。当输入模块使得上拉控制节点 BPUCN

上拉时，第一下拉控制晶体管 BT6 可以下拉下拉节点 BPD，进而使得第一下拉晶体管 BT5 和第二输出晶体管 BT4 截止，使得上拉控制节点 BPUCN 的电压被维持，进而使得上拉节点 BPU 的电压为维持在高电平，使得第一输出晶体管 BT3 导通而输出扫描信号。在第一输出晶体管 BT3 导通而输出扫描信号时，第二下拉晶体管 BT8 可以导通以下拉下拉节点 BPD，进而使得下拉节点 BPD 维持低电平、上拉控制节点 BPUCN 维持高电平、上拉节点 BPU 维持高电平、第一输出晶体管 BT3 导通而输出扫描信号，直至第一时钟信号 CK 变为低电平信号。

在一种示例中，参见图 4，所述第二移位寄存器单元 GOAB 还包括使能晶体管 BT9 和触控控制晶体管 BT11；所述上拉控制节点 BPUCN 和所述上拉节点 BPU 通过所述使能晶体管 BT9 电连接；

其中，所述使能晶体管的源极 BT9S 与所述上拉控制节点 BPUCN 电连接，所述使能晶体管的漏极 BT9D 与所述上拉节点 BPU 电连接，所述使能晶体管的栅极 BT9G 用于加载高电平信号 VGH；所述触控控制晶体管的源极 BT11S 与所述低电平信号 VGL 电连接，所述触控控制晶体管的漏极 BT11D 与所述第一电容的第一电极板 CP1 电连接，所述触控控制晶体管的栅极 BT11G 用于加载触控控制信号 ENT；所述触控控制信号 ENT 与所述高电平信号 VGH 为反相信号。

这样，当显示面板 PNL 进行触控时，可以通过触控控制线 ENT_L 向触控控制晶体管的栅极 BT11G 加载高电平的触控控制信号 ENT，进而使得触控控制晶体管 BT11 导通，这使得第二移位寄存器单元 GOAB 的输出为低电平信号。相应的。高电平信号 VGH 变为电平信号，进而使得使能晶体管 BT9 截止，进而避免第一输出晶体管 BT3 导通。

在一种示例中，参见图 8，所述第一输入晶体管 BT1 包括串联的两个亚晶体管，两个亚晶体管共栅极；所述第二输入晶体管 BT2 包括串联的两个亚晶体管，两个亚晶体管共栅极。由于第一输入晶体管 BT1 和第二输入晶体管 BT2 的源漏两端会较长时间保持较大的压差，这不利于第一输入晶体管 BT1 和第二输入晶体管 BT2 的耐受；为此，本公开通过使得第一输入晶体管 BT1 和第二输入晶体管 BT2 均为两个串联的亚晶体管，可以使

得两个亚晶体管分压，进而降低每个亚晶体管的源漏端的电压差，提高第

一输入晶体管 BT1、第二输入晶体管 BT2 的耐受性。进一步的，第一输入晶体管 BT1 和第二输入晶体管 BT2 对阈值偏移的耐受可以达到 6V。

5 在一种示例中，第二移位寄存器单元 GOAB 的第一输入晶体管 BT1A 的尺寸与第一移位寄存器单元 GOAA 的第一输入晶体管 AT1A 的尺寸相同；第二移位寄存器单元 GOAB 的第二输入晶体管 BT2A 的尺寸与第一移位寄存器单元 GOAA 的第二输入晶体管 AT2A 的尺寸相同。

10 在一种示例中，参见图 8，第一输出晶体管 BT3A 可以具有大的宽长比，以提高第一输出晶体管 BT3 的驱动能力。进一步的，可以将第一输出晶体管 BT3 分为多个并联的亚晶体管，以利于第一输出晶体管 BT3 的制备和排布。举例而言，参见图 8，第一输出晶体管 BT3 可以被分为四个并

15 联亚晶体管，四个亚晶体管沿行方向依次排列。在一种示例中，在一种示例中，第二移位寄存器单元 GOAB 的第一输出晶体管 BT3A 的尺寸与第一移位寄存器单元 GOAA 的第一输出晶体管 AT3A 的尺寸相同。

20 在本公开的一种实施方式中，第二输出晶体管 BT4A 也可以具有稍大的宽长比，且第二输出晶体管 BT4A 的宽长比小于第一输出晶体管 BT3A 的宽长比。进一步的，可以将第二输出晶体管 BT4 可以分为多个并联的亚晶体管，以利于第二输出晶体管 BT4 的制备和排布。举例而言，参见图 8，第二输出晶体管 BT4 可以被分为两个亚晶体管。

25 在一种示例中，在一种示例中，第二移位寄存器单元 GOAB 的第二输出晶体管 BT4A 的尺寸与第一移位寄存器单元 GOAA 的第二输出晶体管 AT4A 的尺寸相同。

30 在本公开提供的上述示例性的栅极驱动电路 GDC 中，尽管第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 的晶体管的数量并不相同，但是均具有类似的输入模块（第一移位寄存器单元 GOAA 中的第一输入晶体管 AT1 和第二输入晶体管 AT2，第二移位寄存器单元 GOAB 中的第一输入晶体管 BT1、第二输入晶体管 BT2）和输出模块（第一移位寄存器单元 GOAA 中的第一输出晶体管 AT3 和第二输出晶体管 AT4，第二移位寄存器单元 GOAB 中的第一输出晶体管 BT3 和第二输出晶体管 BT4），相应的也都具有与上拉节点电连接的电容（例如第一移位寄存器单元

GOAA 中与上拉节点 APU 电连接的第三电容 C3、第二移位寄存器单元 GOAB 中与上拉节点 BPU 电连接的第一电容 C1)，且都设置有下拉节点（例如第一移位寄存器单元 GOAA 中的下拉节点 APD 和第二移位寄存器单元 GOAB 中的下拉节点 BPD）。因此，第一移位寄存器单元 GOAA 和

5 第二移位寄存器单元 GOAB 均能够通过输入模块实现信号的输入，使得级联的移位寄存器单元 GOA 能够逐级输出扫描信号。第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 均能够响应上拉节点的电压拉升，而输出高电平的扫描信号；第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 均能够响应下拉的电压拉升，而输出低电平信号。相应的，

10 第二移位寄存器单元 GOAB 中设置有其他提高第二移位寄存器单元 GOAB 性能和功能的晶体管（例如第二移位寄存器单元 GOAB 中的第二下拉控制晶体管 BT7、第一下拉晶体管 BT5、第一下拉控制晶体管 BT6、第二下拉晶体管 BT8 和复位晶体管 BT10），第二移位寄存器单元 GOAB 中的这些晶体管在使得第二移位寄存器单元 GOAB 性能稳定的同时，还可以

15 通过向第一移位寄存器单元 GOAA 的第一输入晶体管 BT12 加载信号而使得第一移位寄存器单元 GOAA 的下拉节点 APD 保持稳定，避免下拉节点 APD 的浮接，这使得第一移位寄存器单元 GOAA 能够依赖第二移位寄存器单元 GOAB 的稳定而保持性能稳定。同时，该示例性的栅极驱动电路 GDC 中，第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB

20 通过设置基本相同的输出模块，可以使得第一移位寄存器单元 GOAA 与第二移位寄存器单元 GOAB 具有类似或者相同的驱动能力；通过第二移位寄存器单元 GOAB 的输出端对第一移位寄存器单元 GOAA 的下拉节点 APD 的控制，还可以使得第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 具有基本相同的响应速度。

25 参见图 9，其示例了相邻的两个移位寄存器单元 GOA 之间的驱动时序，工作模式为正扫描模式。其中，其中一级移位寄存器单元 GOA 为第一移位寄存器单元 GOAA，且另一级移位寄存器单元 GOA 为第二移位寄存器单元 GOAB。其中，在该示例中，上一级移位寄存器单元 GOA 的第一输出晶体管的源极和栅极用于加载第二时钟信号 CKB，本级移位寄存器单元 GOA 的第一输出晶体管的源极和栅极用于加载第一时钟信号 CK。

30

参见图 9，在第一时刻 t_1 ，第二时钟信号 CKB 为高电平信号且第一时钟信号 CK 为低电平信号，此时上一级移位寄存器单元 GOA 输出高电平的扫描信号；这使得本级移位寄存器单元 GOA 的 PU 第一扫描控制信号 CN 开始拉升，进而使得 PU 开始拉升，下拉节点被下拉。本级移位寄存器单元 GOA 输出低电平信号。在第二时刻 t_2 ，第二时钟信号 CKB 变为低电平信号，上一级移位寄存器单元 GOA 输出的电压变为低电平信号，因此对本级移位寄存器单元 GOA 的各个节点的电压和输出的电压没有影响。在第三时刻 t_3 ，第一时钟信号 CK 变为高电平信号；此时，本级移位寄存器单元 GOA 可以将第一时钟信号 CK 的高电平信号输出，进而使得本级移位寄存器单元 GOA 输出高电平的扫描信号。在耦合作用下，上拉节点和上拉控制节点的电压被拉升，进一步使得移位寄存器单元 GOA 保持输出高电平的扫描信号。在第四时刻 t_4 ，第一时钟信号 CK 变为低电平信号，进而使得本级移位寄存器单元 GOA 的输出端的电压下降，通过耦合作用，使得下拉节点和下拉控制节点的电压下降，此时移位寄存器单元 GOA 的输出端为低电平信号。在第五时刻 t_5 ，下一级移位寄存器单元 GOA 输出高电平信号，进而使得本级移位寄存器单元 GOA 的第二输入晶体管向上拉节点加载低电平信号，进而使得本级移位寄存器单元 GOA 的上拉节点为低电平信号。如此，上一级移位寄存器单元 GOA、本级移位寄存器单元 GOA 和下一级移位寄存器单元 GOA 依次输出高电平的扫描信号，这种依次输出，与移位寄存器单元 GOA 是第一移位寄存器单元 GOAA 还是第二移位寄存器单元 GOAB 没有关系。

因此，本公开上述示例的栅极驱动电路 GDC 能够在保证栅极驱动电路 GDC 性能稳定和功能完整的情况下，减少栅极驱动电路 GDC 的晶体管数量，进而利于减小显示面板 PNL 的边框。可以理解的是，本公开通过的上述示例的栅极驱动电路 GDC，尤其是提供的图 4 中的第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 的示例性的结构，仅为本公开的栅极驱动电路 GDC 的一种示例。为了达成相同的目的和适应显示面板 PNL 的需要，栅极驱动电路 GDC 也可以采用其他结构的第一移位寄存器单元 GOAA 和其他结构的第二移位寄存器单元 GOAB。

在本公开的一些实施方式中，参见图 1，所述显示面板 PNL 包括两个

所述栅极驱动电路，两个所述栅极驱动电路分别位于所述显示区 AA 的两侧；任意一行所述像素驱动电路 PDC 被两个所述栅极驱动电路同时驱动。换言之，本公开的显示面板 PNL 可以在显示区 AA 的两侧分别设置栅极驱动电路 GDC，且每行像素驱动电路 PDC 同时通过两个栅极驱动电路 GDC 进行驱动。这样，可以提高对每行像素驱动电路 PDC 的驱动能力，进而提高像素驱动电路 PDC 的充电率，克服了单个栅极驱动电路 GDC 可能的充电能力不足的问题。尤其是在大尺寸显示面板 PNL 中，这可以显著的提高像素驱动电路 PDC 的充电率；在一些实施方式中，像素驱动电路 PDC 的充电率可以提高 2.37% 或者更多。

在相关技术中，显示面板 PNL 两侧分别设置栅极驱动电路 GDC 的方式会导致显示面板 PNL 边框更大；然而在本公开中，每个栅极驱动电路 GDC 的宽度更小，这可以更有效的减小显示面板 PNL 的边框，使得该栅极驱动电路 GDC 尤其适合在双栅极驱动电路 GDC 的显示面板 PNL 中。

在本公开的一种实施方式中，任意一行所述像素驱动电路 PDC，被一个所述栅极驱动电路的第一移位寄存器单元 GOAA 驱动，且被另一个所述栅极驱动电路的第二移位寄存器单元 GOAB 驱动。换言之，扫描线 GL 的两端分别连接两个移位寄存器单元 GOA，两个移位寄存器单元 GOA 分别为第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB。这样，连接于同一扫描线 GL 上的第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 分别属于不同的栅极驱动电路 GDC，但是可以通过所连接的扫描线 GL 相互配合，达成对扫描线 GL 上所连接的像素驱动电路 PDC 的共同驱动。这样，第一移位寄存器单元 GOAA 不仅可以获得同一栅极驱动电路 GDC 中相邻的第二移位寄存器单元 GOAB 的功能支持而维持稳定和保持良好性能，而且连接于同一扫描线 GL 上的第二移位寄存器单元 GOAB 也可以对其输出端提供影响，避免了第一移位寄存器单元 GOAA 因可能的波动、响应慢而对下一级第二移位寄存器单元 GOAB 的影响。

从另一方面看，参见图 1，两个栅极驱动电路 GDC 通过扫描线 GL 连接，且每一个扫描线 GL 均连接有第二移位寄存器单元 GOAB，这在一定程度上相当于第二移位寄存器单元 GOAB 跨显示区 AA 依次级联，进而保持栅极驱动电路 GDC 的高性能；第一移位寄存器单元 GOAA 作为补偿电

路对扫描线 GL 进行驱动与连接于同一扫描线 GL 上的第二移位寄存器单元 GOAB 进行协同来提高对该扫描线 GL 上的像素驱动电路 PDC 的驱动能力。

如下,结合一种具体的示例,对本公开的栅极驱动电路 GDC 的结构、
5 原理和实现做更进一步的说明。该示例性的栅极驱动电路 GDC 中,第一移位寄存器单元 GOAA 和第二移位寄存器单元 GOAB 的等效电流如图 4 所示。

在该示例中,显示面板 PNL 包括依次层叠设置的衬底基板 BP、半导体层 SEMI、栅极层 GT 和半导体层 SD,在半导体层 SEMI 和栅极层 GT
10 之间设置有栅极绝缘层,在栅极层 GT 和半导体层 SD 之间设置有层间电介质层。其中

参见图 5 和图 8,在一个移位寄存器单元组 GOAS 对应的第一电路区域 XA 和第二电路区域 XB 内,半导体层 SEMI 可以包括移位寄存器单元 GOA 的各个晶体管的沟道区,以及包括位于沟道区两侧的晶体管的源极
15 和晶体管的漏极。半导体层 SEMI 还可以设置有一些电容的电极板,以增大电容的容量或者缩小电容的面积。其中,晶体管的沟道区可以保持半导体特性,具体的可以保持 N 型半导体特性,以使得各个晶体管为 N 型晶体管。晶体管的源极和晶体管的漏极、电极板可以被导体化。

参见图 5 和图 8,第一电路区域 XA 和第二电路区域 XB 均靠近显示
20 区 AA 设置;在第二电路区域 XB 具有一凸出区域,该凸出区域位于第一电路区域 XA 远离显示区 AA 的一侧。这样,可以减小第二电路区域 XB 的宽度,进而减小栅极驱动电路 GDC 的宽度。其中,在第二电路区域 XB 的凸出区域,设置有第二移位寄存器单元 GOAB 的第一输入晶体管 BT1 和第二输入晶体管 BT2;在第一电路区域 XA 远离显示区 AA 的一侧,设置
25 有移位寄存器单元 GOA 的第一输入晶体管 AT1 和第二输入晶体管 AT2。

其中,半导体层 SEMI 中设置的电极板包括第四底电极板 CP4A、第一底电极板 CP1A 和第五顶电极板 CP5A。在第四底电极板 CP4A,具有用于与第四顶电极板 CP4B 通过过孔连接的第一底过孔区 H1A。第一底电极板 CP1A 具有用于与第一顶电极板 CP1B 通过过孔连接的第一电容的第一
30 电极板 CP1LA;第五顶电极板 CP5A 具有用于与第五底电极板 CP5B 通

过过孔连接的第五电极板的第一突出部 CP5LA。

其中,部分晶体管可以共漏极设置,例如第一输出晶体管的漏极 BT3D 的一部分可以复用为第二输出晶体管的漏极 BT4D,第一输出晶体管的漏极 AT3D 的一部分可以复用为第二输出晶体管的漏极 AT4D,第一输入晶体管 5 的漏极 BT1D 和第二输入晶体管的漏极 BT2D 相互复用,第一输入晶体管的漏极 AT1D 和第二输入晶体管的漏极 AT2D 相互复用。

参见图 6 和图 8,栅极层 GT 设置有各个晶体管的栅极,以及设置有电容的电极板和一些转接走线。参见图 7 和图 8,半导体层 SD 设置有驱动走线、电极板和一些转接走线。

10 其中,参见图 7,驱动走线包括位于第一电路区域 XA 和第二电路区域 XB 远离显示区 AA 一侧的第一低电平信号线 VGLLA、复位控制线 RSTL、高电平走线 VGHL、第一扫描控制线 CNL 和第二扫描控制线 CNBL。其中,第一低电平信号线 VGLLA 用于加载低电平信号 VGL,复位控制线 RSTL 用于加载复位控制信号 Rst,高电平走线 VGHL 用于加载高电平信号 VGH,第一扫描控制线 CNL 用于加载第一扫描控制信号 CN,第二扫描控制线 CNBL 用于加载第二扫描控制信号 CNB。驱动走线还包括位于 15 第一电路区域 XA 和第二电路区域 XB 靠近显示区 AA 一端的第一时钟走线 CKL、第二时钟走线 CKBL、第二低电平转接线 VGLLB 和触控控制线 ENTL,其中,第一时钟走线 CKL 用于加载第一时钟信号 CK,第二时钟走线 CKBL 用于加载第二时钟信号 CKB,第二低电平转接线 VGLLB 用于加载低电平信号 VGL,触控控制线 ENTL 用于加载触控控制信号 ENT。

参见图 5~图 8,半导体层 SD 还设置有第五顶转接线 TRB5;栅极层 GT 设置有第一低电平转接线 VGLTA;第一低电平转接线 VGLTA 远离显示区 AA 的端部与第一低电平信号线 VGLLA 通过过孔连接,第一低电平转接线 VGLTA 靠近显示区 AA 的端部具有第三底过孔区 H3A。第五顶转接线 TRB5 远离显示区 AA 的端部与复位晶体管的源极 BT10S 通过过孔连接,第五顶转接线 TRB5 靠近显示区 AA 的端部与位于半导体层 SD 的第四顶电极板 CP4B 连接。在第五顶转接线 TRB5 上,设置有具有第三顶过孔区 H3B 的膨胀部和与第一下拉晶体管的源极 BT5S 通过过孔连接的侧枝部;第三顶过孔区 H3B 与第三底过孔区 H3A 通过过孔连接。第四顶电极 25 30

板 CP4B 靠近第五底转接线 TRA5 的一端连接有第十二顶转接线 TRB12, 第四顶电极板 CP4B 靠近显示区 AA 的一端具有第一顶过孔区 H1B, 第四顶电极板 CP4B 靠近第一输出晶体管 BT3 的一侧连接有第十一顶转接线 TRB11; 其中, 第十二顶转接线 TRB12 通过过孔与第一下拉控制晶体管的源极 BT6S 电连接, 第十一顶转接线 TRB11 通过过孔与第二下拉晶体管的源极 BT8S、第二输出晶体管的源极 BT4S 电连接。这样, 在第二移位寄存器单元 GOAB 中, 低电平信号 VGL 可以加载至复位晶体管的源极 BT10S、第一下拉晶体管的源极 BT5S、第一下拉控制晶体管的源极 BT6S、第二下拉晶体管的源极 BT8S 和第二输出晶体管的源极 BT4S, 以及加载至第二电容的第一电极板 CP3。其中, 在第一电路区域 XA 中, 半导体层 SD 设置有第十九顶转接线 TRB19, 第十九顶转接线 TRB19 与相邻的第二电路区域 XB 中的第四顶电极板 CP4B 电连接, 且第十九顶转接线 TRB19 通过过孔与下拉控制晶体管的源极 AT12S、第二输出晶体管的源极 AT4S 电连接。这样, 低电平信号 VGL 也可以加载至第二输出晶体管的源极 AT4S 和下拉控制晶体管的源极 AT12S。

参见图 5~图 8, 半导体层 SD 设置有复位控制线 RSTL, 栅极层 GT 设置有复位转接线 RSTT。其中, 复位转接线 RSTT 远离显示区 AA 的一端通过过孔与复位控制线 RSTL 电连接, 复位转接线 RSTT 靠近显示区 AA 的一端作为复位晶体管的栅极 BT10G 而与复位晶体管 BT10A 交叠设置。

参见图 5~图 8, 半导体层 SD 设置有高电平走线 VGHL, 栅极层 GT 设置有高电平转接线 VGHT。其中, 高电平转接线 VGHT 远离显示区 AA 的一端通过过孔与高电平走线 VGHL 电连接, 高电平转接线 VGHT 靠近显示区 AA 的一端作为使能晶体管的栅极 BT9G 而与使能晶体管 BT9A 交叠设置。

参见图 5~图 8, 半导体层 SD 设置有第一扫描控制线 CNL 和第一顶转接线 TRB1, 栅极层 GT 设置有第一扫描控制转接线 CNT。其中, 第一扫描控制转接线 CNT 远离显示区 AA 的一端通过过孔与第一扫描控制线 CNL 电连接, 第一扫描控制转接线 CNT 靠近显示区 AA 的一端与第一顶转接线 TRB1 远离显示区 AA 的一端通过过孔连接; 第一顶转接线 TRB1

向靠近显示区 AA 的方向延伸，且依次通过过孔与第一输入晶体管的源极 BT1S、第一输入晶体管的源极 AT1S 电连接。

参见图 5~图 8，半导体层 SD 设置有与第二扫描控制线 CNBL 电连接的
5 第二扫描控制转接线 CNBT，第二扫描控制转接线 CNBT 沿行方向 DH
向显示区 AA 一侧延伸，且分别通过过孔与第二输入晶体管的源极 BT2S、
第二输入晶体管的源极 AT2S 电连接。

参见图 5~图 8，半导体层 SD 还设置有第七顶转接线 TRB7、第九顶
转接线 TRB9、第十五顶转接线 TRB15；其中，栅极层 GT 设置有第一时
钟转接线 CKBTA、第二时钟转接线 CKBTB。第一时钟转接线 CKBTA 靠
10 近显示区 AA 的一端通过过孔与第二时钟走线 CKBL 电连接，第一时钟转
接线 CKBTA 远离显示区 AA 的一端通过过孔与第十五顶转接线 TRB15
靠近显示区 AA 的端部连接；第十五顶转接线 TRB15 与第一输出晶体
管的源极 AT3S 通过过孔电连接。第二时钟转接线 CKBTB 靠近显示区 AA
15 的一端通过过孔与第二时钟走线 CKBL 电连接，第二时钟转接线 CKBTB
远离显示区 AA 的一端作为第二下拉控制晶体管的栅极 BT7G 而与第二下
拉控制晶体管 BT7A 交叠。第二时钟转接线 CKBTB 具有第十二底过孔区
H12A；第九顶转接线 TRB9 具有第十二顶过孔区 H12B，第十二底过孔区
H12A 和第十二顶过孔区 H12B 相互交叠且通过过孔电连接。这样，第九
顶转接线 TRB9 一端与第二时钟转接线 CKBTB 通过过孔电连接，另一端
20 与第二下拉控制晶体管的源极 BT7S 通过过孔电连接。第七顶转接线 TRB7
与第一时钟走线 CKL 电连接，且向远离显示区 AA 的方向延伸，并与第
一输出晶体管的源极 BT3S 通过过孔电连接。这样，该示例中的第二移位
寄存器单元 GOAB 的第二下拉控制晶体管的源极 BT7S 能够加载第二时钟
信号 CKB，该示例中的第一移位寄存器单元 GOAA 的第一输出晶体管的
25 源极 AT3S 能够加载第二时钟信号 CKB，该示例中的第二移位寄存器单元
GOAB 的第一输出晶体管的源极 BT3S 能够加载第一时钟信号 CK。

参见图 5~图 8，半导体层 SD 设置有第三顶转接线 TRB3，第三顶转
接线 TRB3 一端与第一输入晶体管的漏极 BT1D 通过过孔电连接，另一端
具有第九顶过孔区 H9B。其中，第三顶转接线 TRB3 设置有与使能晶体
30 管的源极 BT9S 通过过孔电连接的侧枝部，且能够与复位晶体管的漏极

BT10D、第一下拉晶体管的漏极 BT5D 通过过孔电连接。栅极层 GT 中，第一下拉控制晶体管的栅极 BT6G 具有突出部，该突出部具有第九底过孔区 H9A，第九底过孔区 H9A 与第九顶过孔区 H9B 通过过孔电连接。这样，第一输入晶体管的漏极 BT1D 作为上拉控制节点 BPUCN 的一部分，可以
5 与使能晶体管的源极 BT9S、复位晶体管的漏极 BT10D、第一下拉晶体管的漏极 BT5D、第一下拉控制晶体管的栅极 BT6G 电连接。

参见图 5~图 8，半导体层 SD 设置有第六顶转接线 TRB6、第一顶电极板 CP1B、第四顶转接线 TRB4；栅极层 GT 设置有第一电容的第二电极板 CP2、第一输出晶体管 BT3A 和第二输出线 OUTLB；其中，第一电容
10 的第二电极板 CP2 具有第七底过孔区 H7A，且与第一输出晶体管的栅极 BT3G 电连接。第四顶转接线 TRB4 一端与使能晶体管的漏极 BT9D 通过过孔电连接，另一端具有第七顶过孔区 H7B；第七顶过孔区 H7B 与第七底过孔区 H7A 通过过孔电连接。第六顶转接线 TRB6 与第一顶电极板 CP1B 电连接，且与第一输出晶体管的漏极 BT3D 电连接。第六顶转接线
15 TRB6 靠近显示区 AA 的端部设置有第十三顶过孔区 H13B，第二输出线 OUTLB 远离显示区 AA 的端部具有第十三底过孔区 H13A；第十一底过孔区 H11A 和第十一顶过孔区 H11B 相互交叠且通过过孔电连接。第六顶转接线 TRB6 具有膨大部，膨大部上设置有第十顶过孔区 H10B；第二下拉晶体管的栅极 BT8G 具有突出部，突出部上设置有第十底过孔区 H10A；
20 第十底过孔区 H10A 和第十顶过孔区 H10B 相互交叠且通过过孔电连接。

进一步的，第一底电极板 CP1A 具有第一电极板的第一突出部 CL1LA，第一顶电极板 CP1B 具有第一电极板的第三突出部 CP1LC；第一电极板的第三突出部 CP1LC 和第一电极板的第一突出部 CL1LA 相互交叠且通过过孔电连接。第一顶电极板 CP1B 具有第一电极板的第二突出部 CP1LB，第一
25 电极板的第二突出部 CP1LB 设置有第六顶过孔区 H6B；栅极层 GT 设置有与第一输入晶体管的栅极 AT1G 连接的第四底转接线 TRA4，第四底转接线 TRA4 的端部具有第六底过孔区 H6A；第六底过孔区 H6A 和第六顶过孔区 H6B 相互交叠且通过过孔电连接。第一顶电极板 CP1B 具有第一电极板的第四突出部 CP1LD，第一电极板的第二突出部 CP1LB 设置有第
30 八顶过孔区 H8B；栅极层 GT 设置有与第三底转接线 TRA3，第三底转接

线 TRA3 一端连接上一级第一移位寄存器单元 GOAA 的第二输入晶体管的栅极 AT2G, 另一端具有第八底过孔区 H8A; 第八底过孔区 H8A 和第八顶过孔区 H8B 相互交叠且通过过孔电连接。

参见图 5~图 8, 栅极层 GT 设置有第二电容的第一电极板 CP3, 一端
5 与第一下拉晶体管的栅极 BT5G 连接, 另一端与第二输出晶体管的栅极 BT4G 连接, 且第二电容的第一电极板 CP3 具有第二底过孔区 H2A; 第二输出晶体管的栅极 BT4G 远离第二电容的第一电极板 CP3 的一端具有膨大部, 膨大部上设置有第十一底过孔区 H11A。半导体层 SD 设置有第八顶转接线 TRB8 和第十顶转接线 TRB10。其中, 第八顶转接线 TRB8 一端具
10 有第二顶过孔区 H2B, 第二底过孔区 H2A 和第二顶过孔区 H2B 相互交叠且通过过孔电连接。第八顶转接线 TRB8 通过过孔与第二下拉晶体管的漏极 BT8D、第一下拉控制晶体管的漏极 BT6D 电连接。第十顶转接线 TRB10 通过过孔与第二下拉控制晶体管的漏极 BT7D 电连接, 且第十顶转接线 TRB10 具有第十一顶过孔区 H11B, 第十一底过孔区 H11A 和第十一顶过
15 孔区 H11B 相互交叠且通过过孔电连接。其中, 第四顶电极板 CP4B 具有第一顶过孔区 H1B, 第一底过孔区 H1A 和第一顶过孔区 H1B 相互交叠且通过过孔电连接。

参见图 5~图 8, 半导体层 SD 设置有第五底电极板 CP5B、第十六顶
20 转接线 TRB16 和第十七顶转接线 TRB17; 第五底电极板 CP5B 具有第五电极板的第二突出部 CP5LB, 设置于半导体层 SEMI 的第五顶电极板 CP5A 具有第五电极板的第一突出部 CP5LA; 第五电极板的第一突出部 CP5LA 和第五电极板的第二突出部 CP5LB 相互交叠且通过过孔电连接。第十六顶转接线 TRB16 与第五底电极板 CP5B 电连接, 且与第一输出晶体管的漏极 AT3D 的一部分电连接; 第十七顶转接线 TRB17 与第五底电
25 极板 CP5B 电连接, 且与第一输出晶体管的漏极 AT3D 的其余部分电连接; 第十七顶转接线 TRB17 还与第二输出晶体管的漏极 AT4D 电连接。栅极层 GT 设置有第一输出线 OUTLA, 第十七顶转接线 TRB17 靠近显示区 AA 的端部与第一输出线 OUTLA 远离显示区 AA 的端部通过过孔电连接。

参见图 5~图 8, 半导体层 SD 设置有第十四顶转接线 TRB14、第十八
30 顶转接线 TRB18, 栅极层 GT 设置第六底转接线 TRA6 和第三电容的第二

电极板 CP6。其中，第十四顶转接线 TRB14 靠近显示区 AA 的一端设置有第十六顶过孔区 H16B，第三电容的第二电极板 CP6 设置有第十五底过孔区 H16A；第十五底过孔区 H16A 和第十六顶过孔区 H16B 相互交叠且通过过孔电连接。第十四顶转接线 TRB14 远离显示区 AA 的端部通过过孔与第一输入晶体管的漏极 AT1D 电连接。第二输入晶体管的栅极 AT2G 具有突出部，该突出部设置有第十四底过孔区 H14A；第二输出晶体管的栅极 AT4G 具有突出部，该突出部设置有第十五底过孔区 H15A；第十八顶转接线 TRB18 的两端分别具有第十四顶过孔区 H14B 和第十五顶过孔区 H15B，第十四底过孔区 H14A 和第十四顶过孔区 H14B 相互交叠且通过过孔电连接，第十五底过孔区 H15A 和第十五顶过孔区 H15B 相互交叠且通过过孔电连接。第六底转接线 TRA6 一端与第一输入晶体管的栅极 AT1G 电连接，另一端与下拉控制晶体管的栅极 AT12G 电连接。

参见图 5~图 8，半导体层 SD 设置有第二顶转接线 TRB2，栅极层 GT 设置有第一底转接线 TRA1；第一底转接线 TRA1 与第一输入晶体管的栅极 BT1G 电连接，且末端设置有第四底过孔区 H4A；第二顶转接线 TRB2 跨移位寄存器单元组 GOAS 设置，其一端具有第四顶过孔区 H4B，第四底过孔区 H4A 和第四顶过孔区 H4B 相互交叠且通过过孔电连接。第二顶转接线 TRB2 的另一端，与上一级第一移位寄存器单元 GOAA 的第五底电极板 CP5B 电连接。

参见图 5~图 8，栅极层 GT 设置有第二底转接线 TRA2，第二底转接线 TRA2 一端与第二输入晶体管的栅极 BT2G 电连接，另一端具有第五底过孔区 H5A；第二顶转接线 TRB2 具有第五顶过孔区 H5B，第五底过孔区 H5A 和第五顶过孔区 H5B 相互交叠且通过过孔电连接。

参见图 5~图 8，半导体层 SD 还设置有第十三顶转接线 TRB13 和第二十顶转接线 TRB20；栅极层 GT 还设置有第一触控转接线 TSA 和第二触控转接线 TSB。第一触控转接线 TSA 通过过孔与触控控制线 ENTL 电连接，且与触控控制晶体管的栅极 BT11G 电连接；第二触控转接线 TSB 通过过孔与触控控制线 ENTL 电连接，且与触控控制晶体管的栅极 AT11G 电连接。第十三顶转接线 TRB13 通过过孔与第二输出线 OUTLB 电连接，且与触控控制晶体管的漏极 BT11D 电连接，触控控制晶体管的源极 BT11S

通过过孔与第二低电平转接线 VGLLB 电连接。第二十顶转接线 TRB20 通过过孔与第一输出线 OUTLA 电连接，且与触控控制晶体管的漏极 AT11D 电连接，触控控制晶体管的源极 AT11S 通过过孔与第二低电平转接线 VGLLB 电连接。

- 5 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和精神由所附的权
- 10 利要求指出。

权利要求

1、一种显示面板，包括显示区和围绕所述显示区的外围区；所述外围区中设置有栅极驱动电路；所述栅极驱动电路包括依次级联的多个移位寄存器单元；

5 其中，所述移位寄存器单元包括第一移位寄存器单元和第二移位寄存器单元，所述第一移位寄存器单元和所述第二移位寄存器单元相互间隔；所述第一移位寄存器单元的晶体管数量小于所述第二移位寄存器单元的晶体管数量。

10 2、根据权利要求1所述的显示面板，其中，所述显示区设置有多个像素驱动电路；至少部分所述第一移位寄存器单元输出的信号和至少部分所述第二移位寄存器单元输出的信号用于驱动所述像素驱动电路。

3、根据权利要求1所述的显示面板，其中，所述栅极驱动电路设于所述显示区在行方向的一侧；

15 所述外围区设置有用布设所述第一移位寄存器单元的第一电路区域和用于布设所述第二移位寄存器单元的第二电路区域；

其中，所述第二电路区域的部分区域位于所述第一电路区域远离所述显示区的一侧。

20 4、根据权利要求3所述的显示面板，其中，所述栅极驱动电路包括多个移位寄存器单元组，每个所述移位寄存器单元组包括相邻的一个第一移位寄存器单元和一个第二移位寄存器单元；同一所述移位寄存器单元组中，第一移位寄存器单元对应的第一电路区域和第二移位寄存器单元对应的第二电路区域互补成矩形。

25 5、根据权利要求4所述的显示面板，其中，所述显示面板设置有与所述栅极驱动电路对应的内走线组和外走线组，所述内走线组和所述外走线组中的驱动走线均用于驱动所述栅极驱动电路，且所述内走线组位于所述外走线组靠近所述显示区的一侧；

所述移位寄存器单元组与所述外走线组的任意一个驱动走线之间通过最多一个转接线电连接。

30 6、根据权利要求5所述的显示面板，其中，所述外走线组包括沿列方向延伸的第一低电平信号线、复位控制线、第一扫描控制线和第二扫

描控制线;

分别位于两个不同的移位寄存器单元组中且相邻的第一移位寄存器单元和第二移位寄存器单元,与同一所述第一低电平信号线电连接;

所述复位控制线用于向所述移位寄存器单元组提供复位控制信号;

5 所述第一扫描控制线用于向所述移位寄存器单元组提供第一扫描控制信号;所述第二扫描控制线拥有向所述移位寄存器单元组提供第二扫描控制信号;所述第一扫描控制信号和所述第二扫描控制信号为反相信号。

7、根据权利要求6所述的显示面板,其中,所述第一移位寄存器单元包括第一输入晶体管和第二输入晶体管;所述第二移位寄存器单元包括第一输入晶体管和第二输入晶体管;所述第一输入晶体管位于所述第一输入晶体管与所述外走线组之间,且沿行方向排列;所述第二输入晶体管位于所述第二输入晶体管与所述外走线组之间,且沿行方向排列;

10 所述第一输入晶体管的源极和所述第一输入晶体管的源极通过同一导电结构电连接至所述第一扫描控制线;

15 所述第二输入晶体管的源极和所述第二输入晶体管的源极通过同一导电结构电连接至所述第二扫描控制线。

8、根据权利要求1所述的显示面板,其中,所述第一移位寄存器单元包括:

20 第一输入晶体管,所述第一输入晶体管的源极用于加载第一扫描控制信号,所述第一输入晶体管的漏极与上拉节点电连接,所述第一输入晶体管的栅极用于与上一级移位寄存器单元的输出端电连接;

25 第二输入晶体管,所述第二输入晶体管的源极用于加载第二扫描控制信号,所述第二输入晶体管的漏极与所述上拉节点电连接,所述第二输入晶体管的栅极与下拉节点电连接,且用于与下一级移位寄存器单元的输出端电连接;所述第一扫描控制信号和所述第二扫描控制信号为反相信号;

30 第三电容,具有第三电容的第一电极板和第三电容的第二电极板;所述第三电容的第二电极板与所述上拉节点电连接,所述第三电容的第一电极板与所述第一移位寄存器单元的输出端电连接;

第一输出晶体管，所述第一输出晶体管的漏极与第三电容的第一电极板电连接，所述第一输出晶体管的栅极与所述上拉节点电连接；所述第一移位寄存器单元的第一输出晶体管的源极和相邻的所述第一移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为反相信号；

第二输出晶体管，所述第二输出晶体管的源极用于加载低电平信号，所述第二输出晶体管的漏极与所述第三电容的第一电极板电连接，所述第二输出晶体管的栅极与所述下拉节点电连接；

10 下拉控制晶体管，所述下拉控制晶体管的源极用于加载所述低电平信号，所述下拉控制晶体管的漏极与所述下拉节点电连接，所述下拉控制晶体管的栅极与所述第一输入晶体管的栅极电连接。

9、根据权利要求8所述的显示面板，其中，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

15 所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

10、根据权利要求8所述的显示面板，其中，所述第一移位寄存器单元还包括：

20 触控控制晶体管，所述触控控制晶体管的源极用于加载所述低电平信号，所述触控控制晶体管的漏极与所述第三电容的第一电极板电连接，所述触控控制晶体管的栅极用于加载触控控制信号。

11、根据权利要求1所述的显示面板，其中，所述第二移位寄存器单元包括：

25 第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极用于与上拉控制节点电连接，所述第一输入晶体管的栅极用于与上一级所述移位寄存器单元的输出端电连接；

30 第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极用于与所述上拉控制节点电连接，所述第二输入晶体管的栅极用于与下一级所述移位寄存器单元的输出端

电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

第一电容，包括第一电容的第一电极板和第一电容的第二电极板；
所述第一电容的第一电极板与所述第二移位寄存器单元的输出端电连接，
所述第一电容的第二电极板与上拉节点电连接；

5 第二电容，包括第二电容的第一电极板和第二电容的第二电极板；
所述第二电容的第一电极板与下拉节点电连接，所述第二电容的第二电
极板用于加载低电平信号；

第一输出晶体管，所述第一输出晶体管的漏极与所述上拉节点电连
接，所述第一输出晶体管的漏极与所述第一电容的第一电极板电连接；
10 所述第二移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄
存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另
一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为
反相信号；

第二输出晶体管，所述第二输出晶体管的源极用于加载所述低电平
15 信号，所述第二输出晶体管的漏极与所述第一电容的第一电极板电连接，
所述第二输出晶体管的栅极与所述下拉节点电连接；

第一下拉晶体管，所述第一下拉晶体管的源极用于加载所述低电平
信号，所述第一下拉晶体管的漏极与所述上拉控制节点电连接，所述第
一下拉晶体管的栅极与所述下拉节点电连接；

20 第一下拉控制晶体管，所述第一下拉控制晶体管的源极用于加载所
述低电平信号，所述第一下拉控制晶体管的漏极与所述下拉节点电连接，
所述第一下拉控制晶体管的栅极与所述上拉控制节点电连接；

第二下拉控制晶体管，所述第二下拉控制晶体管的漏极与所述下拉
节点电连接，所述第二下拉控制晶体管的栅极与所述第二下拉控制晶体
25 管的源极电连接；所述第二下拉控制晶体管的源极和所述第一输出晶体
管的源极中的一个用于加载所述第一时钟信号且另一个用于加载所述第
二时钟信号；

第二下拉晶体管，所述第二下拉晶体管的源极用于加载所述低电平
信号，所述第二下拉晶体管的漏极与所述下拉节点电连接，所述第二下
30 拉晶体管的栅极与所述第一电容的第一电极板电连接；

复位晶体管，所述复位晶体管的源极用于加载所述低电平信号，所述复位晶体管的漏极与所述上拉控制节点电连接，所述复位晶体管的栅极用于加载复位控制信号；

所述上拉控制节点和所述上拉节点电连接。

5 12、根据权利要求 11 所述的显示面板，其中，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

10 13、根据权利要求 11 所述的显示面板，其中，所述第二移位寄存器单元还包括使能晶体管和触控控制晶体管；所述上拉控制节点和所述上拉节点通过所述使能晶体管电连接；

其中，所述使能晶体管的源极与所述上拉控制节点电连接，所述使能晶体管的漏极与所述上拉节点电连接，所述使能晶体管的栅极用于加载高电平信号；所述触控控制晶体管的源极与所述低电平信号电连接，
15 所述触控控制晶体管的漏极与所述第一电容的第一电极板电连接，所述触控控制晶体管的栅极用于加载触控控制信号；所述触控控制信号与所述高电平信号为反相信号。

14、根据权利要求 1~13 任意一项所述的显示面板，其中，所述显示面板包括两个所述栅极驱动电路，两个所述栅极驱动电路分别位于所述
20 显示区的两侧；

任意一行所述像素驱动电路被两个所述栅极驱动电路同时驱动。

15、根据权利要求 14 所述的显示面板，其中，任意一行所述像素驱动电路，被一个所述栅极驱动电路的第一移位寄存器单元驱动，且被另一个所述栅极驱动电路的第二移位寄存器单元驱动。

25 16、一种栅极驱动电路，包括依次级联的多个移位寄存器单元；其中，所述移位寄存器单元包括第一移位寄存器单元和第二移位寄存器单元，所述第一移位寄存器单元和所述第二移位寄存器单元相互间隔；所述第一移位寄存器单元的晶体管数量小于所述第二移位寄存器单元的晶体管数量。

30 17、根据权利要求 16 所述的栅极驱动电路，其中，每个所述移位寄

存器单元用于驱动一行像素驱动电路。

18、根据权利要求 16 所述的栅极驱动电路，其中，

所述第一移位寄存器单元包括：

5 第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极与上拉节点电连接，所述第一输入晶体管的栅极用于与上一级移位寄存器单元的输出端电连接；

10 第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极与所述上拉节点电连接，所述第二输入晶体管的栅极与下拉节点电连接，且用于与下一级移位寄存器单元的输出端电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

第三电容，具有第三电容的第一电极板和第三电容的第二电极板；所述第三电容的第二电极板与所述上拉节点电连接，所述第三电容的第一电极板与所述第一移位寄存器单元的输出端电连接；

15 第一输出晶体管，所述第一输出晶体管的漏极与第三电容的第一电极板电连接，所述第一输出晶体管的栅极与所述上拉节点电连接；所述第一移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为反相信号；

20 第二输出晶体管，所述第二输出晶体管的源极用于加载低电平信号，所述第二输出晶体管的漏极与所述第三电容的第一电极板电连接，所述第二输出晶体管的栅极与所述下拉节点电连接；

25 下拉控制晶体管，所述下拉控制晶体管的源极用于加载所述低电平信号，所述下拉控制晶体管的漏极与所述下拉节点电连接，所述下拉控制晶体管的栅极与所述第一输入晶体管的栅极电连接。

19、根据权利要求 18 所述的栅极驱动电路，其中，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

30 所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

20、根据权利要求 16 所述的栅极驱动电路，其中，所述第二移位寄存器单元包括：

第一输入晶体管，所述第一输入晶体管的源极用于加载第一扫描控制信号，所述第一输入晶体管的漏极用于与上拉控制节点电连接，所述
5 第一输入晶体管的栅极用于与上一级所述移位寄存器单元的输出端电连接；

第二输入晶体管，所述第二输入晶体管的源极用于加载第二扫描控制信号，所述第二输入晶体管的漏极用于与所述上拉控制节点电连接，
10 所述第二输入晶体管的栅极用于与下一级所述移位寄存器单元的输出端电连接；所述第一扫描控制信号和所述第二扫描控制信号为反相信号；

第一电容，包括第一电容的第一电极板和第一电容的第二电极板；
所述第一电容的第一电极板与所述第二移位寄存器单元的输出端电连接，
所述第一电容的第二电极板与上拉节点电连接；

第二电容，包括第二电容的第一电极板和第二电容的第二电极板；
15 所述第二电容的第一电极板与下拉节点电连接，所述第二电容的第二电极板用于加载低电平信号；

第一输出晶体管，所述第一输出晶体管的漏极与所述上拉节点电连接，所述第一输出晶体管的漏极与所述第一电容的第一电极板电连接；
所述第二移位寄存器单元的第一输出晶体管的源极和相邻的所述移位寄存器单元的第一输出晶体管的源极中，一个用于加载第一时钟信号且另一个用于加载第二时钟信号；所述第一时钟信号和所述第二时钟信号为
20 反相信号；

第二输出晶体管，所述第二输出晶体管的源极用于加载所述低电平信号，所述第二输出晶体管的漏极与所述第一电容的第一电极板电连接，
25 所述第二输出晶体管的栅极与所述下拉节点电连接；

第一下拉晶体管，所述第一下拉晶体管的源极用于加载所述低电平信号，所述第一下拉晶体管的漏极与所述上拉控制节点电连接，所述第一下拉晶体管的栅极与所述下拉节点电连接；

第一下拉控制晶体管，所述第一下拉控制晶体管的源极用于加载所述低电平信号，所述第一下拉控制晶体管的漏极与所述下拉节点电连接，
30

所述第一下拉控制晶体管的栅极与所述上拉控制节点电连接；

第二下拉控制晶体管，所述第二下拉控制晶体管的漏极与所述下拉节点电连接，所述第二下拉控制晶体管的栅极与所述第二下拉控制晶体管的源极电连接；所述第二下拉控制晶体管的源极和所述第一输出晶体管的源极中的一个用于加载所述第一时钟信号且另一个用于加载所述第二时钟信号；

第二下拉晶体管，所述第二下拉晶体管的源极用于加载所述低电平信号，所述第二下拉晶体管的漏极与所述下拉节点电连接，所述第二下拉晶体管的栅极与所述第一电容的第一电极板电连接；

10 复位晶体管，所述复位晶体管的源极用于加载所述低电平信号，所述复位晶体管的漏极与所述上拉控制节点电连接，所述复位晶体管的栅极用于加载复位控制信号；

所述上拉控制节点和所述上拉节点电连接。

21、根据权利要求 20 所述的栅极驱动电路，其中，所述第一输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极；

15 所述第二输入晶体管包括串联的两个亚晶体管，两个亚晶体管共栅极。

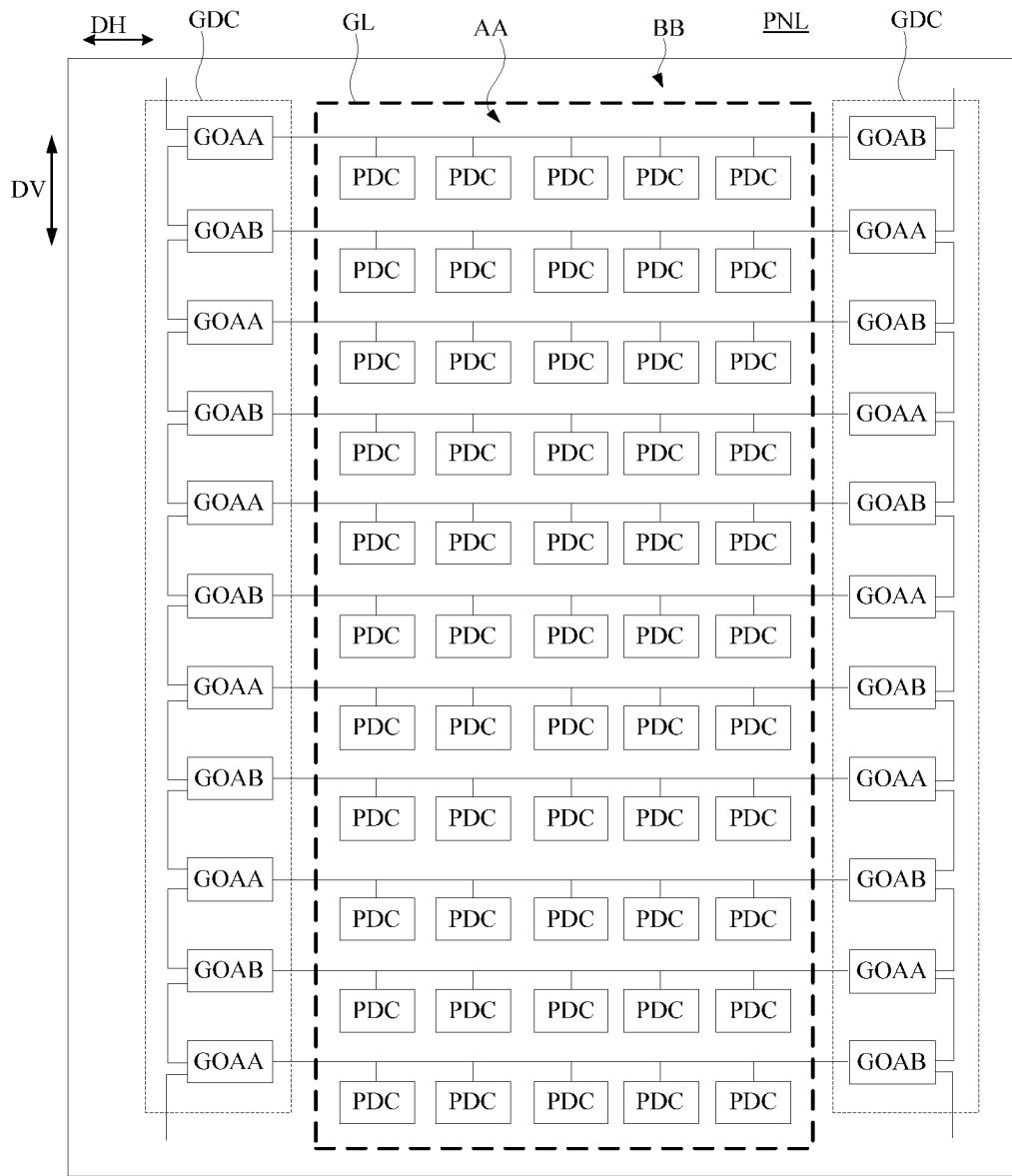


图 1

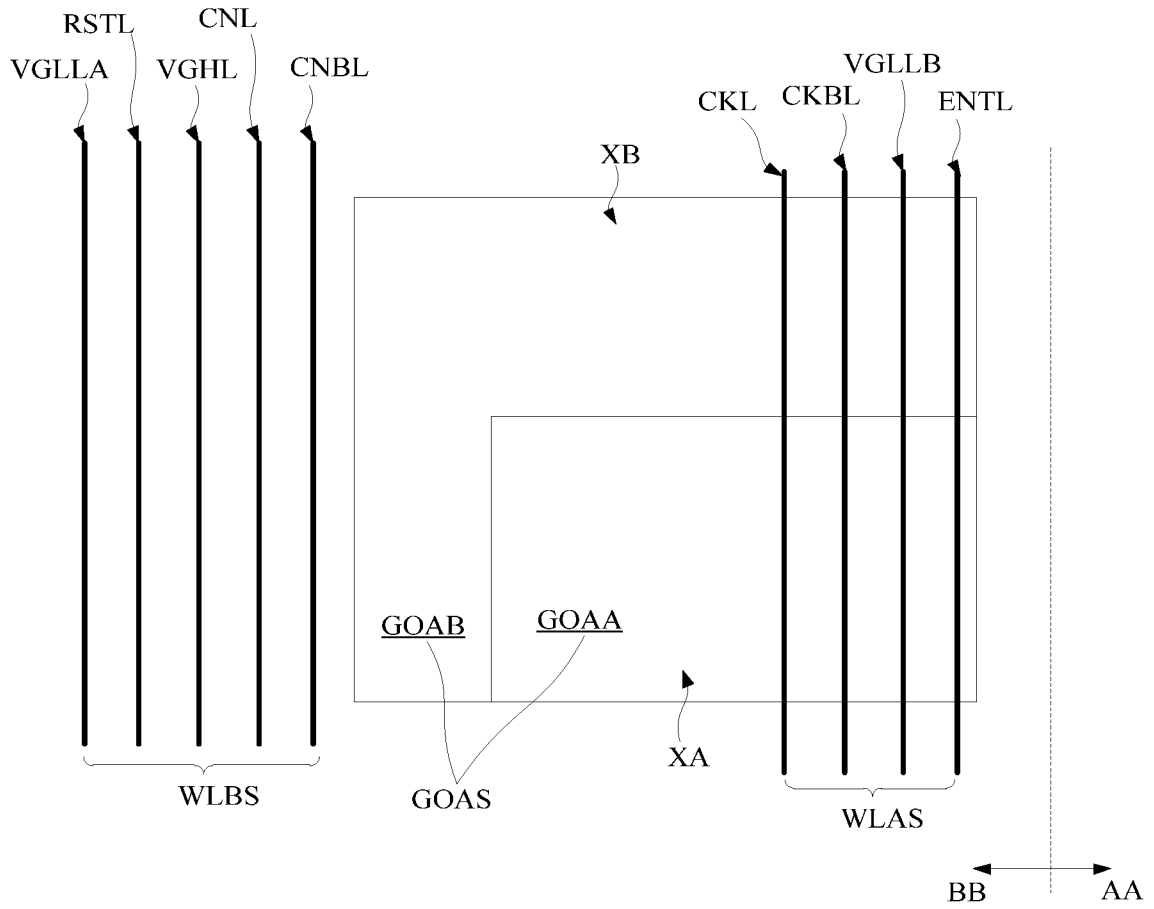


图 2

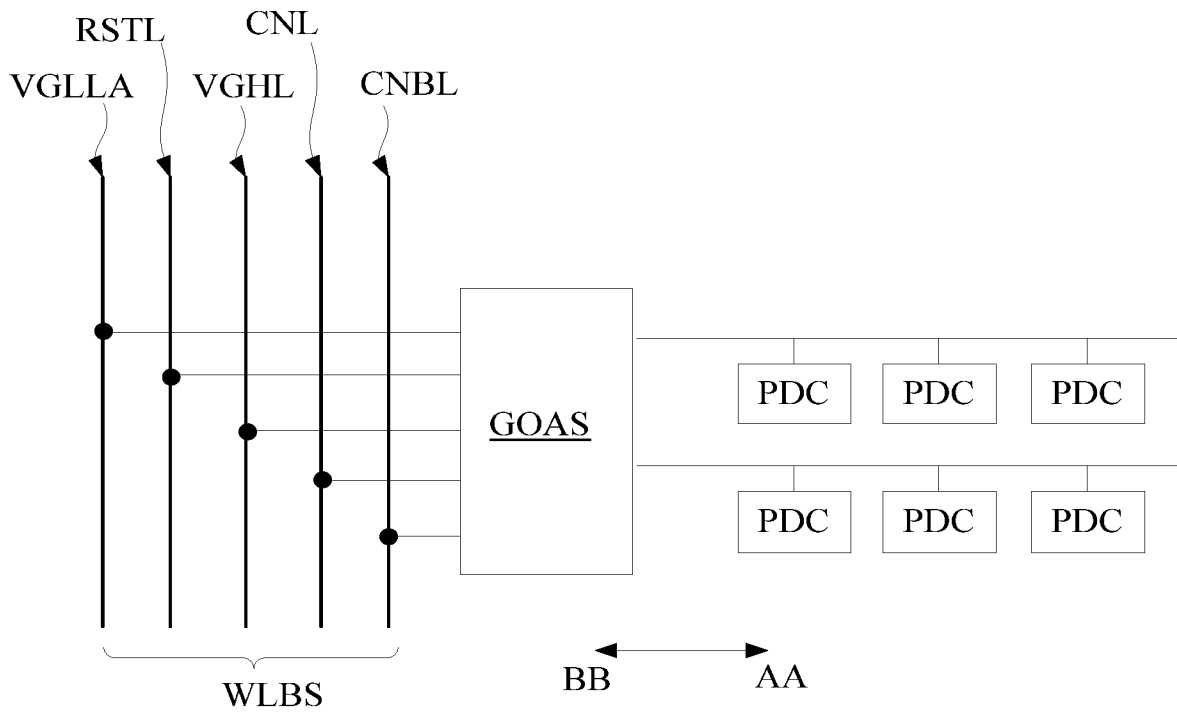


图 3

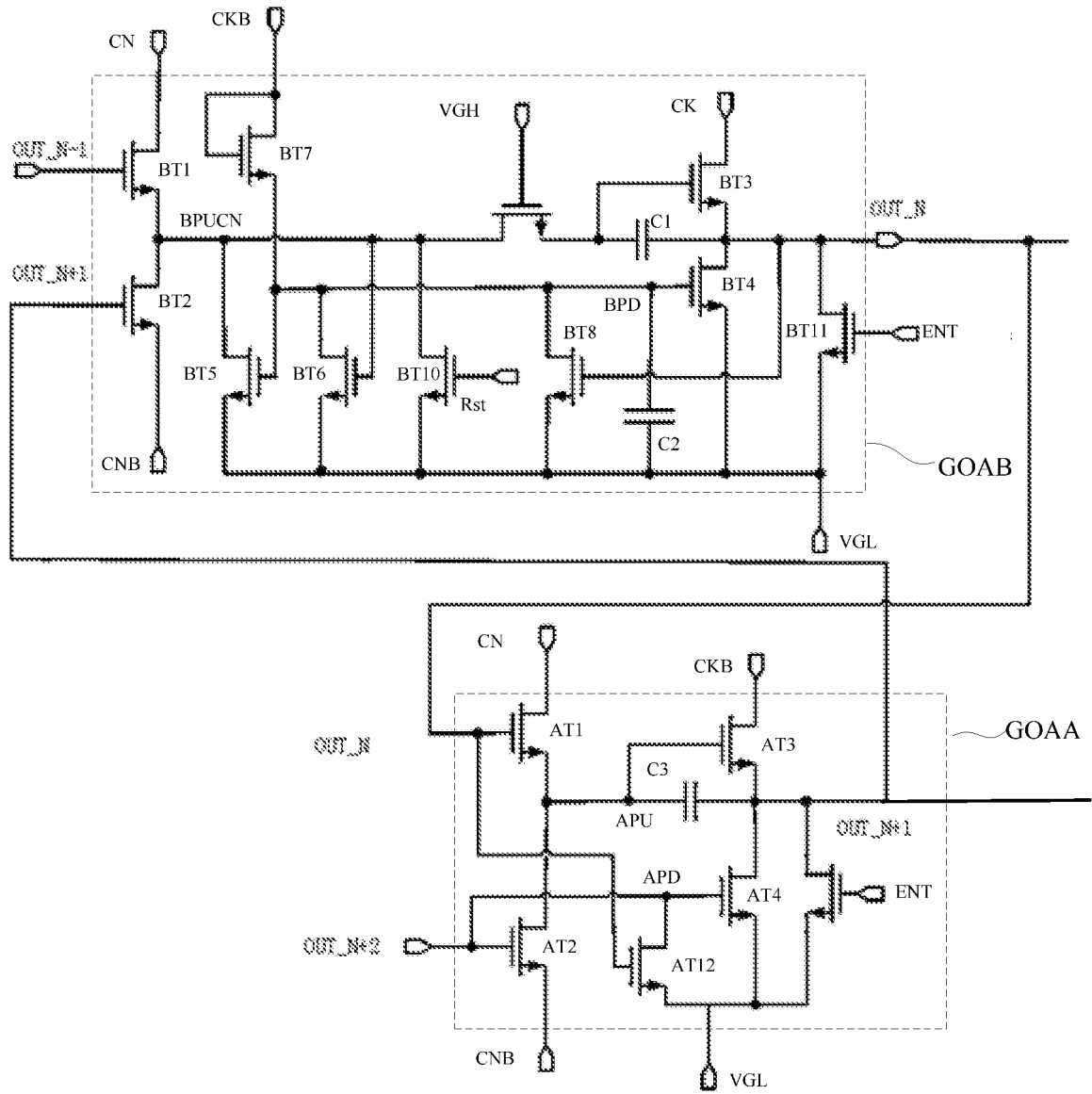


图 4

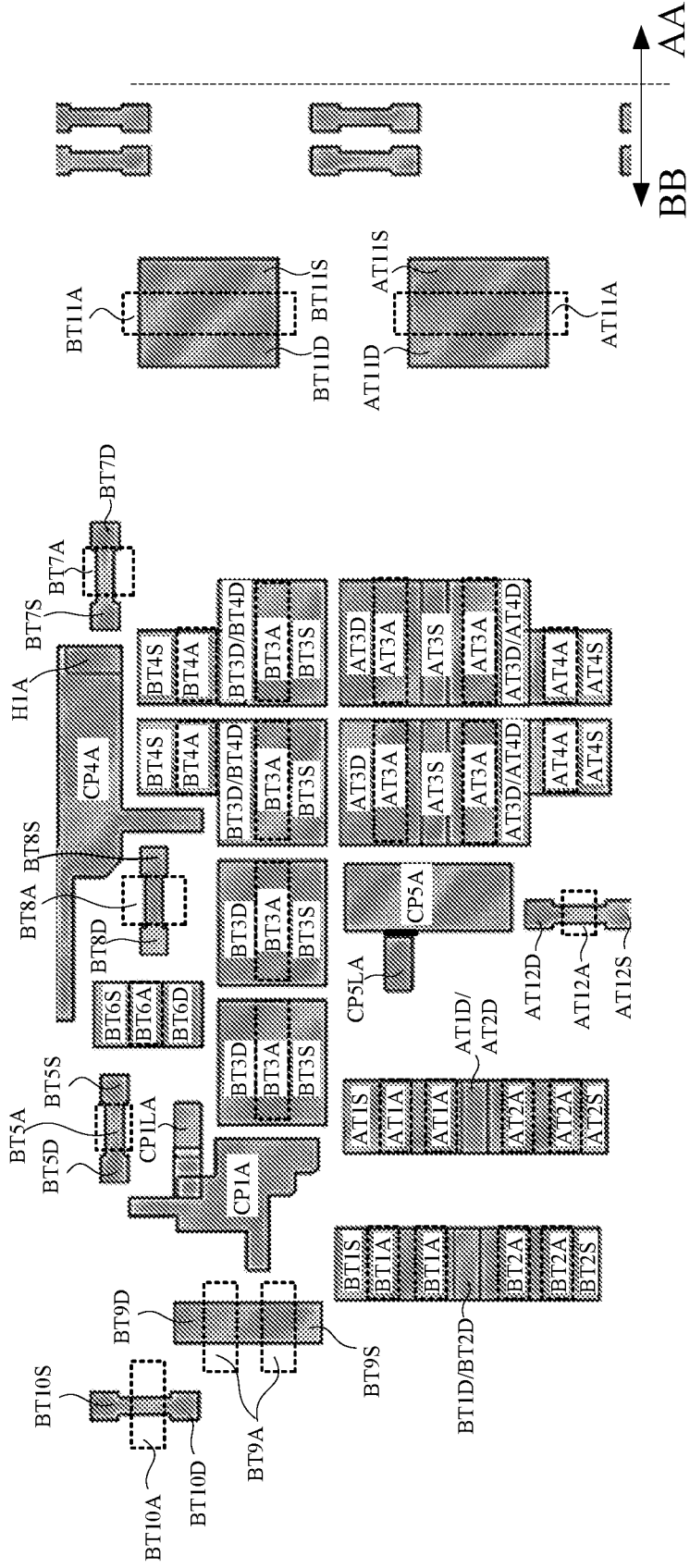


图 5

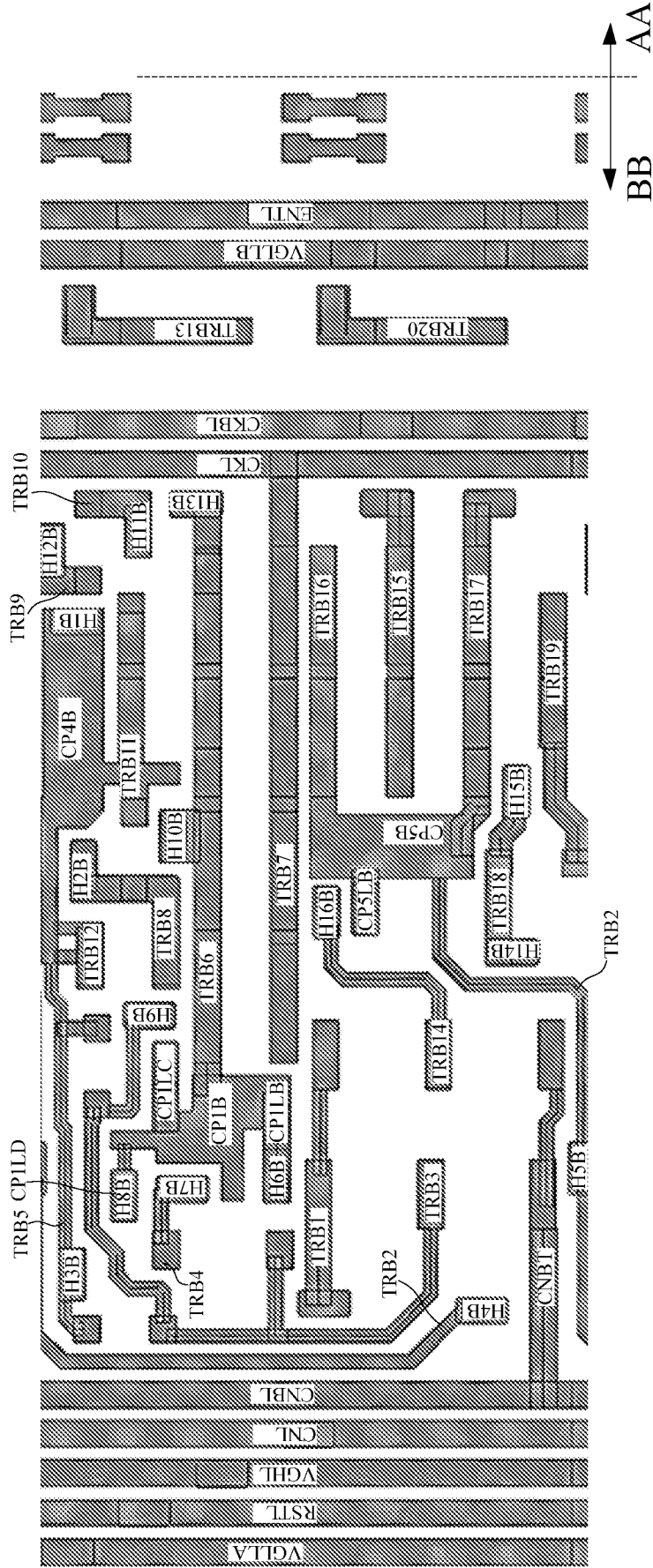


图 7

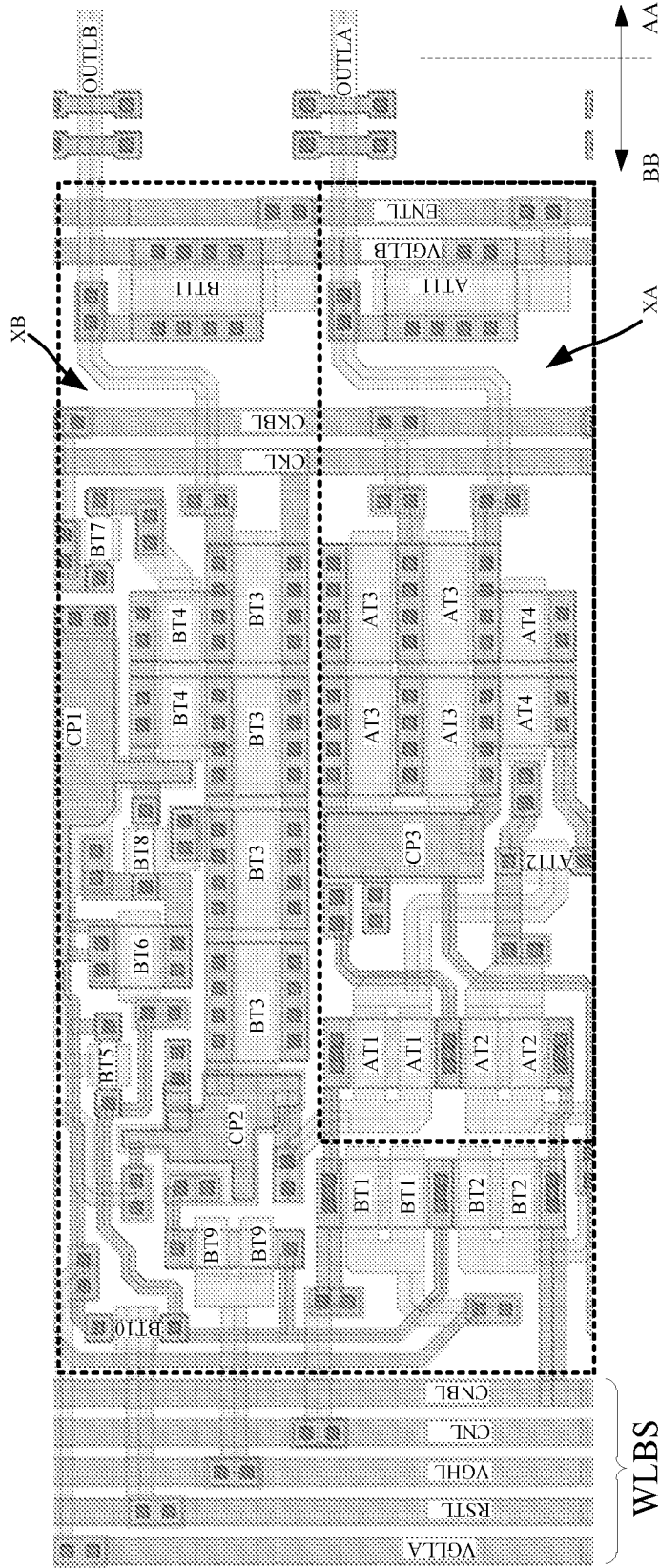


图 8

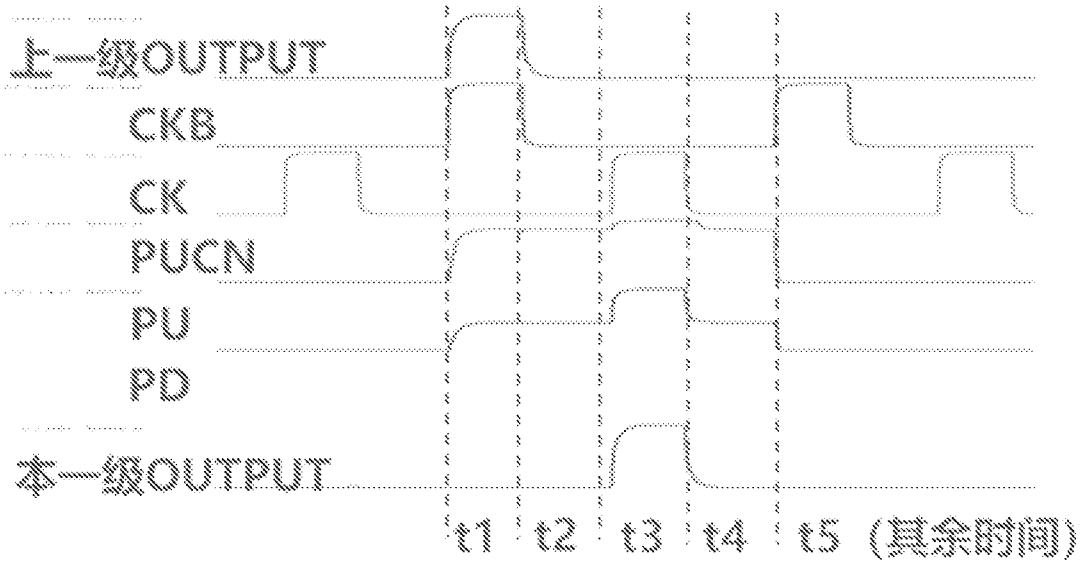


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/103086

A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/20(2006.01)i; G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G; G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; CNKI; VEN; USTXT; EPTXT; WOTXT: 京东方, 移位寄存, 移位暂存, 双边驱动, 栅极驱动, 晶体管, 窄边框, 尺寸, 减小边框, 数量, 个数, 大于, 小于, 多于, 少于, 不同, 不等, 不相同, 不相等, 补偿, 交替, 间隔, shift register, driv+, compensat+, simpl+, reduc+, narrow, bilateral, both side, left side, right side		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109147711 A (NANJING CEC PANDA FPD TECHNOLOGY CO., LTD. et al.) 04 January 2019 (2019-01-04) description, paragraphs [0024]-[0073], and figures 3-11	1-7, 14-17
A	CN 106448595 A (NANJING HUADONG ELECTRONICS INFORMATION TECHNOLOGY CO., LTD.) 22 February 2017 (2017-02-22) entire document	1-21
A	CN 103400559 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 November 2013 (2013-11-20) entire document	1-21
A	CN 108806581 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD.) 13 November 2018 (2018-11-13) entire document	1-21
A	CN 112735315 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD.) 30 April 2021 (2021-04-30) entire document	1-21
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 November 2022		Date of mailing of the international search report 05 December 2022
Name and mailing address of the ISA/CN China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/103086

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 108877636 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.) 23 November 2018 (2018-11-23) entire document	1-21
A	US 2011002437 A1 (AU OPTRONICS CORP.) 06 January 2011 (2011-01-06) entire document	1-21
A	CN 106548740 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 29 March 2017 (2017-03-29) entire document	1-21

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/103086

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109147711	A	04 January 2019	CN	109147711	B	26 February 2019
CN	106448595	A	22 February 2017	CN	106448595	B	09 November 2018
CN	103400559	A	20 November 2013	US	2016358570	A1	08 December 2016
				WO	2015014030	A1	05 February 2015
				CN	103400559	B	13 May 2015
				US	9773466	B2	26 September 2017
CN	108806581	A	13 November 2018	CN	108806581	B	13 August 2021
CN	112735315	A	30 April 2021	None			
CN	108877636	A	23 November 2018	US	2020075113	A1	05 March 2020
				CN	108877636	B	14 May 2021
US	2011002437	A1	06 January 2011	TW	201103030	A	16 January 2011
				US	8422620	B2	16 April 2013
					TWI413986	B	01 November 2013
CN	106548740	A	29 March 2017	EP	3549125	A1	09 October 2019
				WO	2018099047	A1	07 June 2018
				US	10490295	B2	26 November 2019
				EP	3549125	A4	20 May 2020
				US	2018336957	A1	22 November 2018

A. 主题的分类 G09G 3/20(2006.01)i; G09G 3/3266(2016.01)i; G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;CNKI;VEN;USTXT;EPTXT;WOTXT:京东方, 移位寄存, 移位暂存, 双边驱动, 栅极驱动, 晶体管, 窄边框, 尺寸, 减小边框, 数量, 个数, 大于, 小于, 多于, 少于, 不同, 不等, 不相同, 不相等, 补偿, 交替, 间隔, shift register, driv+, compensat+, simpl+, reduc+, narrow, bilateral, both side, left side, right side		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109147711 A (南京中电熊猫平板显示科技有限公司 等) 2019年1月4日 (2019 - 01 - 04) 说明书第[0024]-[0073]段, 图3-11	1-7、14-17
A	CN 106448595 A (南京华东电子信息科技股份有限公司) 2017年2月22日 (2017 - 02 - 22) 全文	1-21
A	CN 103400559 A (京东方科技集团股份有限公司 等) 2013年11月20日 (2013 - 11 - 20) 全文	1-21
A	CN 108806581 A (厦门天马微电子有限公司) 2018年11月13日 (2018 - 11 - 13) 全文	1-21
A	CN 112735315 A (厦门天马微电子有限公司) 2021年4月30日 (2021 - 04 - 30) 全文	1-21
A	CN 108877636 A (合肥鑫晟光电科技有限公司 等) 2018年11月23日 (2018 - 11 - 23) 全文	1-21
<input checked="" type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2022年11月15日		国际检索报告邮寄日期 2022年12月5日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 凤艳艳 电话号码 (86-512)88997325

C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 2011002437 A1 (AU OPTRONICS CORP) 2011年1月6日 (2011 - 01 - 06) 全文	1-21
A	CN 106548740 A (京东方科技集团股份有限公司 等) 2017年3月29日 (2017 - 03 - 29) 全文	1-21

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/103086

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109147711	A	2019年1月4日	CN	109147711	B	2019年2月26日
CN	106448595	A	2017年2月22日	CN	106448595	B	2018年11月9日
CN	103400559	A	2013年11月20日	US	2016358570	A1	2016年12月8日
				WO	2015014030	A1	2015年2月5日
				CN	103400559	B	2015年5月13日
				US	9773466	B2	2017年9月26日
CN	108806581	A	2018年11月13日	CN	108806581	B	2021年8月13日
CN	112735315	A	2021年4月30日	无			
CN	108877636	A	2018年11月23日	US	2020075113	A1	2020年3月5日
				CN	108877636	B	2021年5月14日
US	2011002437	A1	2011年1月6日	TW	201103030	A	2011年1月16日
				US	8422620	B2	2013年4月16日
					TWI413986	B	2013年11月1日
CN	106548740	A	2017年3月29日	EP	3549125	A1	2019年10月9日
				WO	2018099047	A1	2018年6月7日
				US	10490295	B2	2019年11月26日
				EP	3549125	A4	2020年5月20日
				US	2018336957	A1	2018年11月22日