(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 2 月 7 日(07.02.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/018595 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2012/068757

(22) 国際出願日: 2012 年 7 月 25 日(25.07.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-169051 2011 年 8 月 2 日(02.08.2011) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山本 薫(YAMAMOTO, Kaoru). 金子 誠二(KANEKO, Seiji). 小川 康行(OGAWA, Yasuyuki). 田中 耕平(TANAKA, Kohhei). 内田 誠一(UCHIDA, Seiichi). 高丸 泰(TAKAMARU, Yutaka). 森 重恭(MORI, Shigeyasu).

(74) 代理人: 島田 明宏(SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

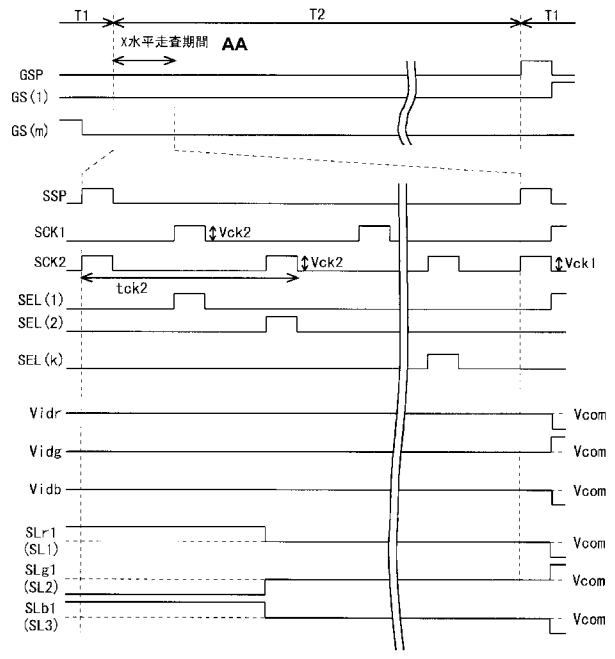
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) **Title**: DISPLAY DEVICE AND METHOD FOR POWERING SAME

(54) 発明の名称 : 表示装置およびその駆動方法

[図9]



AA X horizontal scanning period

(57) **Abstract**: Provided is a display device that reduces power consumption, and has a display unit and an image signal drive circuit integrally formed with one another. A source driver (300) is configured from a shift register (310) and a sampling circuit (320). The sampling circuit (320) is configured from sampling blocks (40(1)-40(k)). Each sampling block is configured from three thin-film transistors. The shift register outputs selection signals (SEL(1)-SEL(k)) on the basis of a source clock signal (SCK2). The selection signals (SEL(1)-SEL(k)) are assigned to the sampling blocks (40(1)-40(k)). A scanning period (T1) is followed by an idle period (T2). During the idle period (T2), the shift register (310) operates on the basis of the source clock signal (SCK) of the idle period frequency (fck2). The idle period frequency (fck2) is lower than the scanning period frequency (fck1).

(57) 要約: 消費電力を低減した、表示部と映像信号線駆動回路とが一体的に形成された表示装置を提供する。 ソースドライバ（３００）はシフトレジスタ（３１０）およびサンプリング回路（３２０）により構成される。サンプリング回路（３２０）はサンプリングブロック（４０（１）～４０（ｋ））により構成される。各サンプリングブロックは３つの薄膜トランジスタにより構成される。シフトレジスタはソースクロック信号（ＳＣＫ２）に基づいて選択信号（ＳＥＬ（１）～ＳＥＬ（ｋ））を出力する。選択信号（ＳＥＬ（１）～ＳＥＬ（ｋ））はサンプリングブロック（４０（１）～４０（ｋ））に与えられる。走査期間（Ｔ１）の後に休止期間（Ｔ２）が設けられる。休止期間（Ｔ２）では、休止期間周波数（ｆｃｋ２）のソースクロック信号（ＳＣＫ）に基づいてシフトレジスタ（３１０）が動作する。休止期間周波数（ｆｃｋ２）は走査期間周波数（ｆｃｋ１）よりも低い。

WO 2013/018595 A1

GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 表示装置およびその駆動方法

技術分野

[0001] 本発明は、表示装置およびその駆動方法に関し、特に、表示部と映像信号線駆動回路とが一体的に形成された表示装置およびその駆動方法に関する。

背景技術

[0002] 従来、液晶表示装置のソースライン（映像信号線）を駆動するためのソースドライバ（映像信号線駆動回路）は、液晶パネルを構成する基板の周辺部にＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）チップとして搭載されることが多かった。しかし近年、基板上に直接的にソースドライバを形成する試みがなされてきている。このようなソースドライバは「モノリシックソースドライバ」等と呼ばれている。このモノリシックソースドライバを備えた液晶表示装置（以下「ソースドライバモノリシック型の液晶表示装置」という）は、例えば特許文献１に開示されている。このソースドライバモノリシック型の液晶表示装置によれば、狭額縁化および低コスト化を図ることができる。なお、このソースドライバモノリシック型の液晶表示装置では、従来よりアモルファスシリコン（ａ－Ｓｉ）を半導体層に用いた薄膜トランジスタ（以下「ａ－ＳｉＴＦＴ」という）等が駆動素子として採用されている。

[0003] ところで、特許文献２には、ゲートラインを走査する走査期間Ｔ１の後に、全てのゲートラインを非走査状態にする休止期間Ｔ２を設ける表示装置の駆動方法が開示されている。この休止期間Ｔ２では、ゲートドライバにクロック信号等が与えられない。このため、走査期間Ｔ１においてゲートラインを６０Ｈｚで走査したとしても、例えばこの走査期間Ｔ１の同じ長さの休止期間Ｔ２を設けることにより、全体としてのゲートラインの駆動周波数が３０Ｈｚ程度になる。このため、低消費電力化を図ることができる。

先行技術文献

特許文献

[0004] 特許文献1：日本の特開２００４－７８１７２号公報

特許文献2：日本の特開２００１－３１２２５３号公報

発明の概要

発明が解決しようとする課題

[0005] 従来から、表示装置等の電子機器には低消費電力化が求められている。

[0006] そこで、本発明は、消費電力を低減した、表示部と映像信号線駆動回路とが一体的に形成された表示装置およびその駆動方法を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の第１の局面は、表示装置であって、

複数の映像信号線、該複数の映像信号線と交差する複数の走査信号線を含み、画像を表示するための表示部と、

前記表示部と一体的に形成され、前記複数の映像信号線を駆動するための映像信号線駆動回路と、

前記映像信号線駆動回路に、オンレベルとオフレベルとを周期的に繰り返すクロック信号、および前記表示部に表示すべき画像に対応する１以上の所定数の映像信号を与える表示制御回路と、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路とを備え、

前記映像信号線駆動回路は、

前記クロック信号に基づいて複数の出力信号を順次にオンレベルにするシフトレジスタと、

前記複数の出力信号がそれぞれ与えられる複数のサンプリングブロックとを含み、

各サンプリングブロックが、該サンプリングブロックの受け取る前記出力信号に基づいて、前記所定数の映像信号を該所定数の映像信号線に与え、

前記走査期間における前記クロック信号の周波数よりも、前記休止期間における該クロック信号の周波数が低いことを特徴とする。

[0008] 本発明の第２の局面は、本発明の第１の局面において、

前記休止期間における前記クロック信号の振幅が、前記走査期間における該クロック信号の振幅よりも小さいことを特徴とする。

[0009] 本発明の第３の局面は、本発明の第１の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

[0010] 本発明の第４の局面は、本発明の第１の局面において、

各サンプリングブロックは、該サンプリングブロックの受け取る前記出力信号が制御端子に与えられ、前記所定数の映像信号のうちのいずれかが第１導通端子に与えられ、前記複数の映像信号線のうちのいずれかに第２導通端子が接続された１以上のスイッチング素子を有することを特徴とする。

[0011] 本発明の第５の局面は、本発明の第４の局面において、

各サンプリングブロックは前記スイッチング素子を複数有することを特徴とする。

[0012] 本発明の第６の局面は、本発明の第５の局面において、

前記表示部が複数の原色に基づくカラー画像を表示し、

前記所定数の映像信号が前記複数の原色にそれぞれ対応し、

各サンプリングブロックにおける前記複数のスイッチング素子の数が前記複数の原色と同数であり、

前記表示制御回路が、各サンプリングブロックにおける前記複数のスイッチング素子の前記第１導通端子に互いに異なる前記所定数の映像信号をそれぞれ与えることを特徴とする。

[0013] 本発明の第７の局面は、本発明の第５の局面において、

前記表示部が複数の原色に基づくカラー画像を表示し、

各サンプリングブロックにおける前記複数のスイッチング素子の数が前記複数の原色の整数倍であり、

前記表示制御回路が、各サンプリングブロックにおける前記複数のスイッ

チング素子のうちの、互いに隣接する映像信号線に前記第２導通端子が接続されたスイッチング素子の前記第１導通端子に、前記所定数の映像信号のうちの互いに異なる原色に対応する映像信号をそれぞれ与えることを特徴とする。

[0014] 本発明の第８の局面は、本発明の第１の局面において、

前記映像信号線駆動回路は、

前記表示部に対して一方に位置する第１映像信号線駆動回路と、

前記表示部に対して他方に位置する第２映像信号線駆動回路とにより構成されることを特徴とする。

[0015] 本発明の第９の局面は、本発明の第１の局面から第８の局面までのいずれかにおいて、

前記映像信号線駆動回路が、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

[0016] 本発明の第１０の局面は、本発明の第１の局面から第８の局面までのいずれかにおいて、

前記映像信号線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする。

[0017] 本発明の第１１の局面は、複数の映像信号線、該複数の映像信号線と交差する複数の走査信号線を含み、画像を表示するための表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号および該表示部に表示すべき画像に対応する１以上の所定数の映像信号を出力する表示制御回路と、該表示部と一体的に形成され、該クロック信号に基づいて複数の出力信号を順次にオンレベルにするシフトレジスタおよび該複数の出力信号がそれぞれ与えられる複数のサンプリングブロックとを含む映像信号線駆動回路と、前記複数の走査信号線を駆動するための走査信号線駆動回路とを備える表示装置の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とから

なるフレーム期間を周期として交互に現れるように前記複数の走査信号線を駆動するステップと、

各サンプリングブロックの受け取る前記出力信号に基づいて、前記所定数の映像信号を該所定数の映像信号線に与えるステップと、

前記走査期間における前記クロック信号の周波数よりも、前記休止期間における該クロック信号の周波数を低くするステップとを備えることを特徴とする。

[0018] 本発明の第１２の局面は、本発明の第１１の局面において、

前記休止期間における前記クロック信号の振幅が、前記走査期間における該クロック信号の振幅よりも小さいことを特徴とする。

[0019] 本発明の第１３の局面は、本発明の第１１の局面において、

前記休止期間が前記走査期間よりも長いことを特徴とする。

発明の効果

[0020] 本発明の第１の局面によれば、表示部と映像信号線駆動回路とが一体的に形成された表示装置において、１フレーム期間が上記走査期間および上記休止期間からなる。この休止期間におけるクロック信号の周波数は、走査期間におけるクロック信号の周波数よりも低くなる。このため、１フレーム期間全体での選択回路の駆動周波数が低減される。これにより、消費電力が低減される。また、表示部と映像信号線駆動回路とが一体的に形成されているので、額縁面積が縮小されると共に、映像信号線駆動回路のコストが低減される。

[0021] 本発明の第２の局面によれば、休止期間におけるクロック信号の振幅が、走査期間におけるクロック信号の振幅よりも小さくなる。このため、さらなる低消費電力化を図ることができる。

[0022] 本発明の第３の局面によれば、休止期間が走査期間によりも長くなる。このため、さらなる低消費電力化を図ることができる。

[0023] 本発明の第４の局面によれば、１以上のスイッチング素子によりサンプリングブロックを実現することができる。ここで、休止期間において、クロッ

ク信号に基づいてシフトレジスタの出力信号がハイレベルになるタイミングで、この出力信号が与えられるサンプリングブロック内のスイッチング素子に映像信号が与えられる。このため、休止期間において映像信号線が受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間におけるクロック信号の周波数が走査期間におけるものよりも低くなるので、スイッチング素子に掛かる負荷が低減される。したがって、スイッチング素子におけるしきい値変動が低減されるので、当該スイッチング素子の信頼性低下を抑制することができる。

[0024] 本発明の第５の局面によれば、映像信号を同時に複数のソースラインに与える順次駆動を行うことができる。

[0025] 本発明の第６の局面によれば、複数原色に基づく画像表示を行う表示装置において、上記第５の発明と同様の効果を奏することができる。

[0026] 本発明の第７の局面によれば、複数原色に基づく画像表示を行う表示装置において、複数の原色からなる画素の整数倍分の映像信号が一度に書き込まれる。走査期間を短くすることにより十分な休止期間を確保することができるか、または、映像信号の書き込み時間を十分に確保することができる。また、サンプリングブロックの数を削減することができるので、シフトレジスタの段数を削減することができる。

[0027] 本発明の第８の局面によれば、映像信号線駆動回路の段数が約半分になる。このため、走査信号線の延びる方向におけるレイアウトピッチが倍に広がる。これにより、例えば表示部の高精細化を図ることができる。

[0028] 本発明の第９の局面によれば、酸化物半導体により半導体層が形成された薄膜トランジスタを用いて映像信号線駆動回路が実現される。この薄膜トランジスタのリーク電流は十分に小さいので、休止期間におけるクロック信号の周波数をさらに低くすることができる。このため、さらなる低消費電力化を図ることができる。また、酸化物半導体により半導体層が形成された薄膜トランジスタのオン電流は十分に大きいので、この薄膜トランジスタのサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図る

ことができる。

[0029] 本発明の第１０の局面によれば、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて映像信号線駆動回路が実現される。このため、さらなる低コスト化を図ることができる。

[0030] 本発明の第１１の局面から第１３の局面までによれば、表示装置の駆動方法において、本発明の第１の局面から第３の局面までとそれぞれ同様の効果を奏することができる。

図面の簡単な説明

[0031] [図1]本発明の第１の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

[図2]上記第１の実施形態におけるソースドライバの構成を説明するためのブロック図である。

[図3]上記第１の実施形態におけるシフトレジスタの構成を示すブロック図である。

[図4]上記第１の実施形態におけるシフトレジスタの動作を説明するための信号波形図である。

[図5]上記第１の実施形態における双安定回路の構成を示す回路図である。

[図6]上記第１の実施形態における双安定回路の動作を説明するための信号波形図である。

[図7]上記第１の実施形態におけるサンプリング回路の構成を説明するための回路図である。

[図8]上記第１の実施形態における液晶表示装置の走査期間での動作を説明するための信号波形図である。

[図9]上記第１の実施形態における液晶表示装置の休止期間での動作を説明するための信号波形図である。

[図10]上記第１の実施形態における双安定回路の休止期間での動作を説明するための信号波形図である。

[図11]ａ－ＳｉＴＦＴおよびＩＧＺＯＴＦＴのドレイン電流－ゲート電圧特

性を示す図である。

[図12]本発明の第２の実施形態における液晶表示装置の休止期間での動作を説明するための信号波形図である。

[図13]本発明の第３の実施形態におけるサンプリング回路の構成を説明するための回路図である。

[図14]上記第３の実施形態における液晶表示装置の走査期間での動作を説明するための信号波形図である。

[図15]上記第３の実施形態における液晶表示装置の休止期間での動作を説明するための信号波形図である。

[図16]本発明の第４の実施形態におけるソースドライバの構成を説明するための回路図である。

[図17]上記第４の実施形態におけるソースドライバの構成の他の例を説明するための回路図である。

発明を実施するための形態

[0032] 以下、添付図面を参照しながら、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子は制御端子に相当し、ドレイン端子は第１導通端子に相当し、ソース端子は第２導通端子に相当する。また、薄膜トランジスタはすべてｎチャネル型であるものとして説明する。

[0033] ＜１．第１の実施形態＞

＜１．１　全体構成および動作＞

図１は、本発明の第１の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。この液晶表示装置は、電源１００とＤＣ／ＤＣコンバータ１１０と表示制御回路２００とソースドライバ（映像信号線駆動回路）３００とゲートドライバ（走査信号線駆動回路）４００と共通電極駆動回路５００と表示部６００とを備えている。

[0034] ソースドライバ３００は、アモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体（例えばＩＧＺＯ）等を用いて、表示部６

００を含む液晶表示パネル７００上に形成されている。すなわち、本実施形態に係る液晶表示装置は、ソースドライバ３００と表示部６００とが同一基板（液晶表示パネルを構成する２枚の基板のうちの一方の基板であるアレイ基板）上に形成されたソースドライバモノリシック型の液晶表示装置である。なお、ゲートドライバ４００もアモルファスシリコン、多結晶シリコン、微結晶シリコン、または酸化物半導体等を用いて液晶表示パネル７００上に形成されていても良い。これらのアモルファスシリコンおよびＩＧＺＯを用いた具体的な実現例については後述する。

[0035] 表示部６００には、ｎ本のソースライン（映像信号線）ＳＬ１～ＳＬｎと、ｍ本のゲートライン（走査信号線）ＧＬ１～ＧＬｍと、これらのソースラインＳＬ１～ＳＬｎとゲートラインＧＬ１～ＧＬｍとの交差点にそれぞれ対応して設けられたｍ×ｎ個の画素形成部とが形成されている。上記ｍ×ｎ個の画素形成部は、マトリクス状に配置されることにより画素アレイを構成している。各画素形成部は、対応する交差点を通過するゲートラインにゲート端子が接続されると共に当該交差点を通過するソースラインにソース端子が接続されたスイッチング素子である画素薄膜トランジスタ８０と、その画素薄膜トランジスタ８０のドレイン端子に接続された画素電極と、上記複数個の画素形成部に共通的に設けられた対向電極である共通電極Ｅｃと、上記複数個の画素形成部に共通的に設けられ画素電極と共通電極Ｅｃとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ｅｃとにより形成される液晶容量により、画素容量Ｃｐが構成される。なお通常、画素容量Ｃｐに確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0036] 本実施形態に係る液晶表示装置では、ＲＧＢの３原色によるカラー画像表示が行われる。このため、上記画素形成部は、Ｒ、Ｇ、およびＢにそれぞれ対応する３個の画素形成部を１組として構成されている。この１組により１画素が形成される。以下では、Ｒ、Ｇ、およびＢにそれぞれ対応する画素形成部を「Ｒ画素形成部」、「Ｇ画素形成部」、および「Ｂ画素形成部」とい

う。

[0037] 電源１００は、ＤＣ／ＤＣコンバータ１１０と表示制御回路２００と共通電極駆動回路５００とに所定の電源電圧を供給する。ＤＣ／ＤＣコンバータ１１０は、ソースドライバ３００およびゲートドライバ４００を動作させるための所定の直流電圧を電源電圧から生成し、それをソースドライバ３００およびゲートドライバ４００に供給する。共通電極駆動回路５００は、共通電極Ｅｃに所定の電位Ｖｃｏｍを与える。

[0038] 表示制御回路２００は、外部から送られる画像信号ＤＡＴおよび水平同期信号や垂直同期信号などのタイミング信号群ＴＧを受け取り、映像信号Ｖｉｄと、表示部６００における画像表示を制御するためのソーススタートパルス信号ＳＳＰ、ソースクロック信号ＳＣＫ、ゲートスタートパルス信号ＧＳＰ、およびゲートクロック信号ＧＣＫを出力する。ソースクロック信号ＳＣＫのハイレベル側の電位はＶｄｄ電位、ローレベル側の電位はＶｓｓ電位となっている。

[0039] 本実施形態では、このソースクロック信号ＳＣＫは２相のソースクロック信号ＳＣＫ１およびＳＣＫ２からなっている。以下では、ソースクロック信号ＳＣＫ１を「第１ソースクロック信号」といい、ソースクロック信号ＳＣＫ２を「第２ソースクロック信号」という。また、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれがローレベル電位からハイレベル電位に変化する時点から、ハイレベル電位からローレベル電位に変化する時点までの期間を便宜上「サンプリング期間」という。これらの第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２は、互いに１サンプリング期間だけ位相がずれており、いずれも２サンプリング期間中の１サンプリング期間だけハイレベル電位（Ｖｄｄ電位）になる（ただし、後述の休止期間Ｔ２を除く）。

[0040] ソースドライバ３００は、表示制御回路２００から出力される映像信号Ｖｉｄ、ソーススタートパルス信号ＳＳＰ、およびソースクロック信号ＳＣＫを受け取る。このソースドライバ３００は、受け取った映像信号Ｖｉｄを所

定のタイミングでソースラインＳＬ１～ＳＬｎに与える。この映像信号Ｖｉｄは、３つの映像信号Ｖｉｄｒ、Ｖｉｄｇ、およびＶｉｄｂからなっている。以下では、映像信号Ｖｉｄｒを「Ｒ用映像信号」といい、映像信号Ｖｉｄｇを「Ｇ用映像信号」といい、映像信号Ｖｉｄｂを「Ｂ用映像信号」という。Ｒ用映像信号Ｖｉｄｒ、Ｇ用映像信号Ｖｉｄｇ、およびＢ用映像信号Ｖｉｄｂはそれぞれ Ｒ画素形成部、Ｇ画素形成部、およびＢ画素形成部に対応している。本実施形態におけるソースドライバ３００は、いわゆる点順次駆動を行う。なお、このソースドライバについての詳しい説明は後述する。

[0041] ゲートドライバ４００は、表示制御回路２００から出力されるゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫに基づいて、ハイレベル電位の走査信号ＧＳ（１）～ＧＳ（ｍ）のゲートラインＧＬ１～ＧＬｍそれぞれへの印加を１フレーム期間を周期として繰り返す。以下では、各ゲートラインにハイレベル電位が与えられることにより、当該ゲートラインが選択状態となっている期間（１水平走査期間）を「走査選択期間」という。さらに、ゲートラインＧＬｉが選択状態となっている期間（１水平走査期間）を「第ｉ走査選択期間」という（ｉ＝１～ｍ）。本実施形態では、１フレーム期間が走査期間Ｔ１と、当該走査期間Ｔ１の後に設けられた休止期間Ｔ２とからなっている。ゲートドライバ４００は、この走査期間Ｔ１では走査信号ＧＳ（１）～ＧＳ（ｍ）をゲートクロック信号ＧＣＫに基づいて順次にハイレベル電位にする。一方休止期間Ｔ２では、ゲートドライバ４００は、ｍ本のゲートラインＧＬ１～ＧＬｍ（走査信号ＧＳ（１）～ＧＳ（ｍ））をローレベル電位にする。

[0042] 以上のようにして、ソースラインＳＬ１～ＳＬｎに映像信号が印加され、ゲートラインＧＬ１～ＧＬｍに走査信号ＧＳ（１）～ＧＳ（ｍ）がそれぞれ印加されることにより、外部から送られた画像信号ＤＡＴに基づく画像が表示部６００に表示される。

[0043] ＜１．２　ソースドライバの構成および動作＞

図２は、本実施形態におけるソースドライバ３００の構成を示すブロック

図である。図２に示すように、このソースドライバ３００は、シフトレジスタ３１０およびサンプリング回路３２０により構成されている。

[0044] シフトレジスタ３１０は、表示制御回路２００から出力されたソーススタートパルス信号ＳＳＰおよびソースクロック信号ＳＣＫを受け取る。このシフトレジスタ３１０は、これらのソーススタートパルス信号ＳＳＰおよびソースクロック信号ＳＣＫに基づいて、ソーススタートパルス信号ＳＳＰに含まれるパルスを入力端から出力端へと順次転送する。この転送に応じて、このシフトレジスタ３１０の出力信号である選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。これらの選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）は、サンプリング回路３２０に与えられる。

[0045] サンプリング回路３２０は、シフトレジスタ３１０から出力された選択信号ＳＥＬ（１）～（ｋ）と、表示制御回路２００から出力された映像信号Ｖｉｄとを受け取る。サンプリング回路３２０は、これらの選択信号ＳＥＬ（１）～（ｋ）がハイレベル電位になるタイミングで、映像信号Ｖｉｄをソースライン ＳＬ１～ＳＬｎに与える。

[0046] ＜１．３　シフトレジスタの構成および動作＞

図３は、本実施形態におけるシフトレジスタ３１０の構成を示すブロック図である。このシフトレジスタ３１０は、ｋ個の双安定回路３０（１）～３０（ｋ）と、１個のダミー用双安定回路３０（ｋ＋１）により構成されている。なお、以下の説明では、ｘ段目（ｘ＝１～ｋ＋１）の双安定回路のことを、単に「ｘ段目」ということがある。また、ｋ＋１段目を「ダミー段」ということがある。各双安定回路は、各時点において２つの状態（第１の状態および第２の状態）のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する。本実施形態では、双安定回路が第１の状態となっていれば、当該双安定回路からはハイレベル（オンレベル）電位の状態信号が出力され、双安定回路が第２の状態となっていれば、当該双安定回路からはローレベル（オフレベル）電位の状態信号が出力される。この状態信号は、上述の選択信号に相当する。すなわち、双安定回

路３０（１）～３０（ｋ）の状態信号はそれぞれ、選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）に相当する。

[0047] 各双安定回路には、クロック信号ＣＫ１（以下「第１クロック信号」という）を受け取るための入力端子、クロック信号ＣＫ２（以下「第２クロック信号」という）を受け取るための入力端子、ローレベルの直流電源電位Ｖｓｓ（この電位の大きさのことを上記「Ｖｓｓ電位」ともいう）を受け取るための入力端子（図示しない）、セット信号Ｓを受け取るための入力端子、リセット信号Ｒを受け取るための入力端子、および状態信号Ｚを出力するための出力端子が設けられている。

[0048] このシフトレジスタ３１０には、ソースクロック信号ＳＣＫとして、上述のように２相の第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２が与えられる。なお、本発明はこれに限定されるものではなく、３相以上のソースクロック信号を用いた態様としても良い。

[0049] シフトレジスタ３１０の各段（各双安定回路）の入力端子に与えられる信号は次のようになっている。すなわち、第１ソースクロック信号ＳＣＫ１が第１クロック信号ＣＫ１として与えられ、第２ソースクロック信号ＳＣＫ２が第２クロック信号ＣＫ２として与えられる。偶数段目には、第１ソースクロック信号ＳＣＫ１が第２クロック信号ＣＫ２として与えられ、第２ソースクロック信号ＳＣＫ２が第１クロック信号ＣＫ１として与えられる。また、各段には図示しない手段によりローレベルの直流電源電位Ｖｓｓが共通的に与えられる。

[0050] 各段には、前段から出力される状態信号Ｚがセット信号Ｓとして与えられ、次段から出力される状態信号Ｚがリセット信号Ｒとして与えられる。ただし、１段目（最前段）３０（１）には、ソーススタートパルス信号ＳＳＰがセット信号Ｓとして与えられる。このソーススタートパルス信号ＳＳＰは、各走査選択期間のうちの、最初の１サンプリング期間においてハイレベル電位になる信号である。また、ｋ段目（最後段）３０（ｋ）には、ダミー段３０（ｋ＋１）から出力される状態信号がリセット信号Ｒとして与えられる。

なお、ダミー段３０（ｋ＋１）には、ｋ段目３０（ｋ）から出力される状態信号Ｚがセット信号Ｓとして与えられ、自身の状態信号Ｚがリセット信号Ｒとして与えられる。このため、ダミー段３０（ｋ＋１）の状態信号Ｚがハイレベル電位になっている期間は、他の段の状態信号Ｚがハイレベル電位になっている期間よりも短い。このようなダミー段３０（ｋ＋１）を設けることに代えて、ｋ段目３０（ｋ）にリセット信号Ｒとして、ソースエンドパルス信号ＳＥＰを与えても良い。このソースエンドパルス信号ＳＥＰは、ｋ段目の走査選択期間終了後の１サンプリング期間においてハイレベル電位になる信号である。

[0051] 以上のような構成において、シフトレジスタ３１０の１段目３０（１）にセット信号Ｓとしてのソーススタートパルス信号ＳＳＰが与えられると、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２に基づいて、ソーススタートパルス信号ＳＳＰに含まれるパルス（このパルスは各段から出力される状態信号Ｚに含まれる）が１段目３０（１）からｋ段目３０（ｋ）へと順次に転送される。そして、このパルスの転送に応じて、１段目３０（１）～ｋ段目３０（ｋ）からそれぞれ出力される状態信号Ｚが順次にハイレベル電位となる。これらの１段目３０（１）～３０（ｋ）からそれぞれ出力される状態信号Ｚは、選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）としてサンプリング回路３２０に与えられる。以上により、図４に示すように、１サンプリング期間ずつ順次にハイレベル電位となる選択信号がサンプリング回路３２０に与えられる。以下では、各選択信号がハイレベル電位になる期間を「サンプリング選択期間」という。さらに、選択信号ＳＥＬ（ｊ）がハイレベルになる期間を「第ｊサンプリング選択期間」という。

[0052] ＜１．４　双安定回路の構成および動作＞

図５は、本実施形態における各双安定回路の構成を示す回路図である。図５に示すように、この双安定回路は、４個の薄膜トランジスタ（スイッチング素子）Ｍ１～Ｍ４、コンデンサＣ１、４個の入力端子３１～３４、ローレベルの直流電源電位Ｖｓｓ用の入力端子、および出力端子３９により構成さ

れている。ここで、第１クロック信号ＣＫ１を受け取る入力端子には符号３１を付し、第２クロック信号ＣＫ２を受け取る入力端子には符号３２を付し、セット信号Ｓを受け取る入力端子には符号３３を付し、リセット信号Ｒを受け取る入力端子には符号３４を付している。また、状態信号Ｚを出力する出力端子には符号３９を付している。なお、シフトレジスタ３１０の双安定回路としては、本実施形態における双安定回路の構成に限定されるものではなく、種々の構成の双安定回路を採用することができる。

[0053] 次に、この双安定回路内における構成要素間の接続関係について説明する。薄膜トランジスタＭ１のゲート端子、薄膜トランジスタＭ３のソース端子、薄膜トランジスタＭ４のドレイン端子、およびコンデンサＣ１の一端は互いに接続されている。以下では、これらが互いに接続されている接続点（配線）のことを便宜上「第１ノード」という。この第１ノードには符号Ｎ１を付す。

[0054] 薄膜トランジスタＭ１については、ゲート端子が第１ノードＮ１に接続され、ドレイン端子が入力端子３１に接続され、ソース端子が出力端子３９に接続されている。薄膜トランジスタＭ２については、ゲート端子が入力端子３２に接続され、ドレイン端子が出力端子３９に接続され、ソース端子が直流電源電位Ｖｓｓ用の入力端子に接続されている。薄膜トランジスタＭ３については、ゲート端子およびドレイン端子が入力端子３３に接続され（すなわち、ダイオード接続となっている）、ソース端子が第１ノードＮ１に接続されている。薄膜トランジスタＭ４については、ゲート端子が入力端子３４に接続され、ドレイン端子が第１ノードＮ１に接続され、ソース端子が直流電源電位Ｖｓｓ用の入力端子に接続されている。コンデンサＣ１については、一端が第１ノードＮ１に接続され、他端が出力端子３９に接続されている。

[0055] 次に、この双安定回路における各構成要素の機能について説明する。薄膜トランジスタＭ１は、第１ノードＮ１の電位がハイレベルになっているときに、第１クロック信号ＣＫの電位を出力端子３９に与える。薄膜トランジス

タＭ２は、第２クロック信号ＣＫ２の電位がハイレベルになっているときに、出力端子３９の電位をＶｓｓ電位に向けて変化させる。薄膜トランジスタＭ３は、セット信号Ｓの電位がハイレベルになっているときに、第１ノードＮ１の電位をハイレベルに向けて変化させる。薄膜トランジスタＭ４は、リセット信号Ｒの電位がハイレベルになっているときに、第１ノードＮ１の電位をＶｓｓ電位に向けて変化させる。コンデンサＣ１は、第１ノードＮ１がブートストラップされるときの補助容量として機能する。

[0056] 図６は、本実施形態における双安定回路の動作のうち、特に走査期間Ｔ１での動作を説明するための信号波形図である。なお、他の双安定回路の動作も同様であるので、説明を省略する。ここで、この双安定回路は奇数段目であるものとして説明する。奇数段目では、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２がそれぞれ第１クロック信号ＣＫ１および第２クロック信号ＣＫ２に相当する。図６における時点ｔ１から時点ｔ２までの期間はサンプリング選択期間に相当する。走査期間Ｔ１での動作説明においては、サンプリング選択期間直前の１サンプリング期間のことを「セット期間」といい、サンプリング選択期間直後の１サンプリング期間のことを「リセット期間」という。また、走査期間のうちの、選択期間、セット期間、およびリセット期間以外の期間のことを「通常動作期間」という。

[0057] セット期間になると（時点ｔ０になると）、セット信号Ｓの電位がローレベルからハイレベルに変化する。薄膜トランジスタＭ３が図５に示すようにダイオード接続となっているので、セット信号Ｓの電位がハイレベルになることによって薄膜トランジスタＭ３がオン状態になり、コンデンサＣ１が充電（ここではプリチャージ）される。これにより、第１ノードＮ１の電位がローレベルからハイレベルに変化し、薄膜トランジスタＭ１がオン状態となる。しかし、セット期間では、第１ソースクロック信号ＳＣＫ１（第１クロック信号ＣＫ１）の電位がローレベルとなっているので、状態信号Ｚの電位はローレベルで維持される。

[0058] サンプリング選択期間になると（時点ｔ１になると）、セット信号Ｓがハ

イレベルからローレベルに変化する。これにより、薄膜トランジスタＭ３がオフ状態になる。このとき、第１ノードＮ１はフローティング状態になる。この時点ｔ１では、第１ソースクロック信号ＳＣＫ１の電位がローレベルからハイレベルに変化する。薄膜トランジスタＭ１はオン状態でありゲート容量が存在するので、入力端子３１の電位の上昇に伴って第１ノードＮ１の電位も上昇する（第１ノードＮ１がブートストラップされる）。この際、コンデンサＣ１は第１ノードＮ１の電位上昇を促進するように働く。その結果、薄膜トランジスタＭ１のゲート電位は十分に高いレベルになるので、第１ソースクロック信号ＳＣＫ１のハイレベル（Ｖｄｄ電位）まで状態信号Ｚの電位が上昇する。

[0059] リセット期間になると（時点ｔ２になると）、第１ソースクロック信号ＳＣＫ１の電位がハイレベルからローレベルに変化する。時点ｔ２には薄膜トランジスタＭ１がオン状態となっているので、入力端子３１の電位の低下と共に状態信号Ｚの電位が低下する。このように状態信号Ｚの電位が低下することによって、コンデンサＣ１を介して第１ノードＮ１の電位も低下する。また、リセット期間には、リセット信号Ｒがローレベルからハイレベルに変化する。このため、薄膜トランジスタＭ４がオン状態になる。その結果、リセット期間には、第１ノードＮ１の電位が確実にローレベルに低下する。さらに、リセット期間には、第２ソースクロック信号ＳＣＫ２（第２クロック信号ＣＫ２）がローレベルからハイレベルに変化する。このため、薄膜トランジスタＭ２がオン状態になるので、状態信号Ｚの電位が確実にローレベルに低下する。

[0060] 通常動作期間では、第２ソースクロック信号ＳＣＫ２の電位が１水平走査期間毎にハイレベルとローレベルとを繰り返すことにより、薄膜トランジスタＭ２が１水平走査期間毎にオン状態になる。このため、状態信号Ｚの電位をローレベルに維持することができる。

[0061] なお、以下の説明では、走査期間Ｔ１における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの周期（以下「走

査期間周期」という）を符号ｔｃｋ１で表す。また、走査期間Ｔ１における第１ゲートクロック信号ＧＣＫ１および第２ゲートクロック信号ＧＣＫ２のそれぞれの周波数（以下「走査期間周波数」という）を符号ｆｃｋ１で表す。さらに、走査期間Ｔ１における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの振幅（以下「走査期間振幅」という）を符号Ｖｃｋ１で表す。

[0062] ＜１．５　サンプリング回路の構成＞

図７は、本実施形態におけるサンプリング回路３２０の構成を説明するための回路図である。図７に示すように、このサンプリング回路３２０は、ｋ個のサンプリングブロック４０（１）～４０（ｋ）により構成されている。表示部６００には上述のようにｍ行×ｎ列の画素マトリクスが形成されており、これらの画素マトリクスの各列と３対１で対応するように上記サンプリングブロックが設けられている。

[0063] サンプリングブロック４０（１）～４０（ｋ）にはそれぞれ選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が与えられている（対応している）。また、サンプリングブロック４０（１）～４０（ｋ）のそれぞれには互いに異なる３本のソースラインが接続されている。サンプリングブロック４０（ｊ）にはソースラインＳＬ３ｊ－２～ＳＬ３ｊが接続されている（ｊ＝１～ｋ）。各サンプリングブロックには、Ｒ用映像信号Ｖｉｄｒ、Ｇ用映像信号Ｖｉｄｇ、およびＢ用映像信号Ｖｉｄｂが与えられている。

[0064] 図７に示すように、ソースラインＳＬ１～ＳＬｎは、３本を単位としてソースライン組ＳＧ１～ＳＧｋに組み分けされている。ここで、ソースライン組ＳＧｊは３本のソースラインＳＬ３ｊ－２～ＳＬ３ｊからなっている。これらのソースライン組ＳＧ１～ＳＧｋはそれぞれ、サンプリングブロック４０（１）～４０（ｋ）に対応している。図７において、ソースライン組ＳＧｊ中の、Ｒに対応するソースライン（以下「Ｒ用ソースライン」という）を符号ＳＬｒｊで表し、Ｇに対応するソースライン（以下「Ｇ用ソースライン」という）を符号ＳＬｇｊで表し、Ｂに対応するソースライン（以下「Ｂ用

ソースライン」という）を符号ＳＬｂｊで表している。また、Ｒ用ソースラインＳＬｒｊとゲートラインＧＬｉとの交差点に対応して設けられたＲ画素形成部を符号ｒｉｊで表し（ｉ＝１～ｍ）、Ｇ用ソースラインＳＬｇｊとゲートラインＧＬｉとの交差点に対応して設けられたＧ画素形成部を符号ｇｉｊで表し、Ｂ用ソースラインＳＬｂｊとゲートラインＧＬｉとの交差点に対応して設けられてＢ画素形成部を符号ｂｉｊで表している。

[0065] 図７に示すように、各サンプリングブロックは３つの薄膜トランジスタにより構成されている。以下では、サンプリングブロック４０（ｊ）内の３つの薄膜トランジスタをそれぞれ、「Ｒ用薄膜トランジスタ４１ｒ（ｊ）」、「Ｇ用薄膜トランジスタ４１ｇ（ｊ）」、および「Ｂ用薄膜トランジスタ４１ｂ（ｊ）」という。

[0066] 各Ｒ用薄膜トランジスタについては、ゲート端子には当該Ｒ用薄膜トランジスタを含むサンプリングブロックに対応する選択信号が与えられ、ソース端子にはＲ用映像信号Ｖｉｄｒが与えられ、ドレイン端子には当該Ｒ用薄膜トランジスタを含むサンプリングブロックに対応するソースライン組内のＲ用ソースラインが接続されている。各Ｇ用薄膜トランジスタについては、ゲート端子には当該Ｇ用薄膜トランジスタを含むサンプリングブロックに対応する選択信号が与えられ、ソース端子にはＧ用映像信号Ｖｉｄｇが与えられ、ドレイン端子には当該Ｇ用薄膜トランジスタを含むサンプリングブロックに対応するソースライン組内のＧ用ソースラインが接続されている。各Ｂ用薄膜トランジスタについては、ゲート端子には当該Ｂ用薄膜トランジスタを含むサンプリングブロックに対応する選択信号が与えられ、ソース端子にはＢ用映像信号Ｖｉｄｂが与えられ、ドレイン端子には当該Ｂ用薄膜トランジスタを含むサンプリングブロックに対応するソースライン組内のＢ用ソースラインが接続されている。

[0067] このようなサンプリング回路３２０を含むソースドライバ３００により、１水平走査期間において映像信号ＶｉｄをＲ／Ｇ／Ｂの各画素からなる絵素単位で順次にソースラインに与える点順次駆動が実現される。なお、この動

作について詳しい説明は後述する。

[0068] ＜１．６　液晶表示装置の動作＞

本実施形態では、上述のように１フレーム期間が走査期間Ｔ１と、当該走査期間Ｔ１の後に設けられた休止期間Ｔ２とからなっている。ここで、本実施形態に係る液晶表示装置の動作を、走査期間Ｔ１における動作と休止期間Ｔ２における動作とに分けて説明する。

[0069] ＜１．６．１　走査期間の動作＞

図８は、本実施形態に係る液晶表示装置の走査期間Ｔ１における動作を説明するための信号波形図である。図８に示すように、走査期間Ｔ１では走査信号ＧＳ（１）～ＧＳ（ｍ）がゲートクロック信号ＧＣＫに基づいて順次に選択状態になる。各選択期間では、ブロック単位（ソース組単位）でソースラインに映像信号が順次に与えられる。図８では、第１走査選択期間における、ソースドライバ３００の駆動に関する各種信号波形を示している。なお、第１走査選択期間以外の走査選択期間での動作についても同様であるので、その説明を省略する。

[0070] 第１走査選択期間において、最初の１サンプリング期間でソーススタートパルス信号ＳＳＰがハイレベル電位になる。その後、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２に基づいて選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。図８に示すように、本実施形態では、走査期間周期ｔｃｋ１は２サンプリング期間である。

[0071] Ｒ用映像信号Ｖｉｄｒは、第ｉ走査選択期間中の第ｊサンプリング期間でＲ画素形成部ｒｉｊに対応する電位となっている（ｉ＝１～ｍ、ｊ＝１～ｋ）。Ｇ用映像信号Ｖｉｄｇは、第ｉ走査選択期間中の第ｊサンプリング期間でＧ画素形成部ｇｉｊに対応する電位となっている。Ｂ用映像信号Ｖｉｄｂは、第ｉ走査選択期間中の第ｊサンプリング期間でＢ画素形成部ｂｉｊに対応する電位となっている。なお、本実施形態および後述の各実施形態では、１サンプリング期間毎に各映像信号の極性を反転させ且つ互いに隣接する出力信号線に与えられる映像信号の極性を互いに反転させると共に、フレーム

期間毎に各映像信号の極性を反転させることにより極性反転駆動を行っているが、本発明はこれに限定されるものではない。

[0072] 第１サンプリング期間では選択信号ＳＥＬ（１）がハイレベル電位になるので、図７に示すサンプリングブロック４０（１）内のＲ用薄膜トランジスタ４１ｒ（１）、Ｇ用薄膜トランジスタ４１ｇ（１）、およびＢ用薄膜トランジスタ４１ｂ（１）がオン状態になる。このため、Ｒ画素形成部ｒ１１に対応する電位になっているＲ用映像信号ＶｉｄｒがＲ用ソースラインＳＬｒ１に与えられ、Ｇ画素形成部ｇ１１に対応する電位になっているＧ用映像信号ＶｉｄｇがＧ用ソースラインＳＬｇ１に与えられ、Ｂ画素形成部ｂ１１に対応する電位になっているＢ用映像信号ＶｉｄｂがＢ用ソースラインＳＬｂ１に与えられる。この第１サンプリング期間では、Ｒ用ソースラインＳＬｒ１、Ｇ用ソースラインＳＬｇ１、およびＢ用ソースラインＳＬｂ１の電位は、先行の休止期間Ｔ２における電位（Ｖｃｏｍ電位）からそれぞれ、正極性、負極性、および正極性に変化する。これらのＲ用ソースラインＳＬｒ１、Ｇ用ソースラインＳＬｇ１、およびＢ用ソースラインＳＬｂ１の電位はそれぞれ、Ｒ画素形成部ｒ１１、Ｇ画素形成部ｇ１１、およびＢ画素形成部ｂ１１に書き込まれる。なお、第２～ｍサンプリング期間での動作も同様であるので、その説明を省略する。

[0073] 以上のような１サンプリング期間が繰り返されることにより１走査選択期間の動作が実現され、この１走査選択期間が繰り返されることにより走査期間Ｔ１の動作が実現される。

[0074] ＜１．６．２　休止期間の動作＞

図９は、本実施形態に係る液晶表示装置の休止期間Ｔ２における動作を説明するための信号波形図である。図９に示すように、休止期間Ｔ２では、ｍ本のゲートラインＧＬ１～ＧＬｍ（走査信号ＧＳ（１）～ＧＳ（ｍ））のいずれもがローレベル電位になっている。実施形態および後述の各実施形態では、休止期間Ｔ２が走査期間Ｔ１よりも長く設けられている。ただし、本発明はこれに限定されるものではなく、休止期間Ｔ２が走査期間Ｔ１よりも短

くても良い。図９では、休止期間Ｔ２における最初の、Ｘ回分の１走査選択期間（１水平走査期間）の長さに相当する期間（以下「Ｘ水平走査期間」という）でのソースドライバ３００の駆動に関する各種信号波形を示している。ここで、Ｘは例えば２以上の整数であるが、本発明はこれに限定されるものではない。なお、他のＸ水平走査期間での動作についても同様であるので、その説明を省略する。

[0075] 図９に示すように、この休止期間Ｔ２では、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２は走査期間周期ｔｃｋ１よりも長い周期で、１サンプリング期間でハイレベル電位になる。以下では、休止期間Ｔ２における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの周期（以下「休止期間周期」という）を符号ｔｃｋ２で表す。また、休止期間Ｔ２における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの周波数（以下「休止期間周波数」という）を符号ｆｃｋ２で表す。また、休止期間Ｔ２における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの振幅（以下「休止期間振幅」という）を符号Ｖｃｋ２で表す。

[0076] 上述のように、休止期間周期ｔｃｋ２は走査期間周期ｔｃｋ１よりも長い。すなわち、休止期間周波数ｆｃｋ２は走査期間周波数ｆｃｋ１よりも低い。ここで、走査期間周波数ｆｃｋ１は休止期間周波数ｆｃｋ２の整数倍であることが望ましい。これにより、表示制御回路２００等を簡易な構成とすることができる。また、走査期間周波数ｆｃｋ１は休止期間周波数ｆｃｋ２の２倍以上であることが望ましい。言い換えると、休止期間周波数ｆｃｋ２は走査期間周波数ｆｃｋ１の１／２倍以下であることが望ましい。これにより、ソースドライバ３００の駆動に要する消費電力を十分に低減することができる。このようなソースクロック信号ＳＣＫの周波数（周期）の制御は、例えば表示制御回路２００において行われる。なお、本実施形態では、休止期間振幅Ｖｃｋ２および走査期間振幅Ｖｃｋ１は互いに同じ大きさである。

[0077] 図９に示すように、休止期間Ｔ２ではＲ用映像信号Ｖｉｄｒ、Ｇ用映像信

号Ｖｉｄｇ、およびＢ用映像信号ＶｉｄｂがＶｃｏｍ電位になっている。なお、Ｖｃｏｍ電位に限らず、他の固定電位となっていても良い。また、休止期間Ｔ２では走査信号ＧＳ（１）～ＧＳ（ｍ）はハイレベル電位にならないので、Ｒ画素形成部ｒｉｊ、Ｇ画素形成部ｇｉｊ、およびＢ画素形成部ｂｉｊには映像信号は書き込まれない。

[0078] 図９に示すように、Ｘ水平走査期間での最初の１サンプリング期間においてソーススタートパルス信号ＳＳＰがハイレベル電位になる。したがって、走査期間周波数ｆｃｋ１よりも低い休止期間周波数ｆｃｋ２である第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２に基づいて、選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。

[0079] 図１０は、本実施形態における双安定回路の動作のうち、特に休止期間Ｔ２での動作を説明するための信号波形図である。なお、他の双安定回路の動作も同様であるので、説明を省略する。休止期間Ｔ２での動作説明においては、セット信号Ｓがハイレベル電位になっている１水平走査期間を「セット期間」といい、セット期間の終了時点からサンプリング選択期間開始時点までの期間を「選択待ち期間」といい、サンプリング選択期間終了時点からリセット信号Ｒがハイレベル電位に変化する時点までの期間を「リセット待ち期間」といい、リセット信号Ｒがハイレベル電位になっている期間を「リセット期間」という。また、休止期間Ｔ２のうちの、サンプリング選択期間、セット期間、選択待ち期間、リセット待ち期間およびリセット期間以外の期間のことを「通常動作期間」という。

[0080] セット期間（時点ｓ０～ｓ１）の動作については、走査期間Ｔ１におけるセット期間での動作と同様であるので説明を省略する。

[0081] 選択待ち期間になると（時点ｓ１になると）、セット信号Ｓの電位がハイレベルからローレベルに変化するので薄膜トランジスタＭ３がオフ状態になる（図５を参照）。このため、第１ノードＮ１はフローティング状態になる。また、第１ソースクロック信号ＳＣＫ１はローレベル電位のままである。このため、選択待ち期間では、セット期間における第１ノードＮ１の電位が

維持される。なお、第２ソースクロック信号ＳＣＫ２の電位がローレベルに変化するので、薄膜トランジスタＭ２がオフ状態になる。

[0082] サンプリング選択期間（時点ｓ２～ｓ３）の動作については、走査期間Ｔ１におけるセット期間での動作と同様であるので説明を省略する。

[0083] リセット待ち期間になると（時点ｓ３になると）、第１ソースクロック信号ＳＣＫ１の電位がハイレベルからローレベルに変化するので、薄膜トランジスタＭ１のゲートードレイン間の寄生容量の影響により第１ノードＮ１の電位が下降する。この電位の下降量は、上述のブーストストラップによる電位の上昇量に相当する。このため、薄膜トランジスタＭ１はオフ状態にはならない。したがって、上述のように第１ソースクロック信号ＳＣＫ１の電位がハイレベルからローレベルに変化することにより、状態信号Ｚの電位がローレベルに変化する。また、その後も、第１ソースクロック信号ＳＣＫ１の電位はローレベルを維持するので、状態信号Ｚの電位はローレベルを維持する。

[0084] このようにして、本実施形態では、休止期間Ｔ２において、走査期間Ｔ１における周期よりも長い周期で選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。このため、サンプリングブロック４０（１）～４０（ｋ）のそれぞれのＲ用薄膜トランジスタ、Ｇ用薄膜トランジスタ、およびＢ用薄膜トランジスタが順次にオン状態になる。Ｒ用薄膜トランジスタがオン状態になると、Ｖｃｏｍ電位になっているＲ用映像信号ＶｉｄｒがＲ用ソースラインに与えられる。Ｇ用薄膜トランジスタがオン状態になると、Ｖｃｏｍ電位になっているＧ用映像信号ＶｉｄｇがＧ用ソースラインに与えられる。Ｂ用薄膜トランジスタがオン状態になると、Ｖｃｏｍ電位になっているＢ用映像信号ＶｉｄｂがＢ用ソースラインに与えられる。なお、上述のように休止期間Ｔ２では走査信号ＧＳ（１）～ＧＳ（ｍ）がハイレベル電位にならないので、これらのＲ用ソースライン、Ｇ用ソースライン、Ｂ用ソースラインの電位はそれぞれＲ画素形成部、Ｇ画素形成部、およびＢ画素形成部に書き込まれない。

[0085] ＜１．７　考察＞

上記従来のソースドライバモノリシック型の液晶表示装置において特許文献２に記載の駆動方法を単純に用いる場合、休止期間Ｔ２においてソースラインを所定電位（Ｖｃｏｍ電位）に固定するために、休止期間Ｔ２においてサンプリング回路３２０内の各薄膜トランジスタをオフ状態に維持するか、または、休止期間Ｔ２において当該薄膜トランジスタをオン状態維持すると共に各映像信号をＶｃｏｍ電位にすることが考えられる。

[0086] しかし、休止期間Ｔ２においてサンプリング回路３２０内の各薄膜トランジスタをオフ状態に維持すると、ソースラインがフローティング状態になる。このため、休止期間Ｔ２においてソースラインがノイズ等の影響を受けやすくなってしまう。ソースラインと画素電極との間には寄生容量があり、画素電極もフローティング状態なので、ソースラインのノイズは容量カップリングにより画素電位へも影響する。その結果、表示品位の低下を招くおそれがある。これに対して、本実施形態では、休止期間Ｔ２において、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２にシフトレジスタ３１０が動作することにより、選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。このため、各選択信号がハイレベルになるタイミングでこれに対応するソースライン組内のソースラインにＶｃｏｍ電位が与えられることとなる。これにより、休止期間Ｔ２においてソースラインＳＬ１～ＳＬｍがフローティング状態になることによりこれらのソースラインＳＬ１～ＳＬｍが受けるノイズ等の影響が低減される。その結果、表示品位の低下を抑制することができる。

[0087] 一方、休止期間Ｔ２においてサンプリング回路３２０内の各薄膜トランジスタをオン状態維持すると共に各映像信号をＶｃｏｍ電位にすると、薄膜トランジスタのゲート端子にハイレベル電位を与え続ける必要がある。この薄膜トランジスタにゲートバイアスストレスが長時間掛かることとなるので、この薄膜トランジスタおけるしきい値変動が大きくなる。その結果、この薄膜トランジスタが低下する。これに対して、本実施形態では、休止期間Ｔ２

において、第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２に基づいてシフトレジスタ３１０が動作することにより、各Ｘ水平走査期間で選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。このように、各Ｘ水平走査期間中の１サンプリング期間にのみ、サンプリング回路３２０内の薄膜トランジスタのゲート端子にハイレベル電位が与えられる。これにより、本実施形態ではこの薄膜トランジスタに掛かるゲートバイアスストレスが低減されるので、この薄膜トランジスタにおけるしきい値変動が低減される。その結果、サンプリング回路３２０内の各薄膜トランジスタの駆動能力（信頼性）の低下を抑制することができる。

[0088] ＜１．８　実現例＞

本実施形態におけるサンプリング回路３２０内の各薄膜トランジスタの半導体層には、例えば、ａ－Ｓｉまたは酸化物半導体等を用いることができる。なお、酸化物半導体としては、典型的には、インジウム、ガリウム、亜鉛、および酸素を主成分とする酸化物半導体である$InGaZnO_x$（以下、「ＩＧＺＯ」という）が用いられるが本発明はこれに限定されるものではない。例えば、インジウム、ガリウム、亜鉛、銅、珪素、錫、アルミニウム、カルシウム、ゲルマニウム、および鉛のうち少なくとも１つを含む酸化物半導体であれば良い。

[0089] 図１１は、ａ－ＳｉＴＦＴおよびＩＧＺＯを半導体層に用いたＴＦＴ（以下「ＩＧＺＯＴＦＴ」という）のドレイン電流－ゲート電圧特性を示す図である。図１１において、横軸はゲート電圧Ｖｇを表し、縦軸はドレイン電流Ｉｄｓを表している。図１１に示すように、ＩＧＺＯＴＦＴのリーク電流はａ－ＳｉＴＦＴのリーク電流の１／１０００以下であると共に、ＩＧＺＯＴＦＴのオン電流はａ－ＳｉＴＦＴのオン電流の約２０倍である。

[0090] ＩＧＺＯＴＦＴは上述のようにリーク電流が小さいので、ＩＧＺＯＴＦＴを本実施形態におけるサンプリング回路３２０内の各薄膜トランジスタとして用いた場合、ａ－ＳｉＴＦＴをこの薄膜トランジスタとして用いた場合によりも、ソースドライバ３００（サンプリング回路３２０）の駆動電力を低

減することができる（１／１００以下）。

[0091] また、ＩＧＺＯＴＦＴは上述のようにオン電流が大きいので、ＩＧＺＯＴＦＴを用いた場合、ａ－ＳｉＴＦＴを用いた場合に比べてＴＦＴのサイズを１／２０程度に小さくすることができる。

[0092] なお、ａ－ＳｉＴＦＴを用いた場合は、ＩＧＺＯＴＦＴを用いた場合よりも低コストで本実施形態を実現することができる。

[0093] ＜１．９　効果＞

本実施形態によれば、点順次駆動方式のソースドライバモノリシック型の液晶表示装置において、１フレーム期間内で走査期間Ｔ１の後に休止期間Ｔ２が設けられる。休止期間周波数ｆｃｋ２が走査期間周波数ｆｃｋ１よりも低いので、ソースドライバ３００の１フレーム期間全体の駆動周波数が低減される。このため、ソースドライバ３００の駆動に要する消費電力が低減される。また、ソースドライバ３００がモノリシック化されて形成されているので、液晶表示パネル７００の額縁面積が縮小されると共に、ソースドライバ３００のコストが低減される。

[0094] また、本実施形態によれば、休止期間Ｔ２において、各選択信号がハイレベルになるタイミングでこれに対応するソースライン組内のソースラインにＶｃｏｍ電位が与えられる。このため、休止期間Ｔ２においてソースラインＳＬ１～ＳＬｍがフローティング状態になることによりこれらのソースラインＳＬ１～ＳＬｍが受けるノイズ等の影響が低減される。これにより、表示品位の低下を抑制することができる。また、休止期間Ｔ２において、各Ｘ水平走査期間中の１サンプリング期間にのみ、サンプリング回路３２０内の各薄膜トランジスタのゲート端子にハイレベル電位が与えられるので、この薄膜トランジスタに掛かるゲートバイアスストレスが低減される。その結果、サンプリング回路３２０内の各薄膜トランジスタの駆動能力（信頼性）の低下を抑制することができる。

[0095] また、本実施形態によれば、休止期間Ｔ２が走査期間Ｔ１よりも長く設けられているので、さらなる消費電力化を図ることができる。

[0096] ＩＧＺＯＴＦＴを本実施形態におけるサンプリング回路３２０内の各薄膜トランジスタとして用いた場合には、ＩＧＺＯＴＦＴのリーク電流が十分に小さいので、休止期間周波数ｆｃｋ２をさらに低くすることができる。このため、消費電力を低減することができる。また、この場合、ＩＧＺＯＴＦＴのオン電流が十分に大きいので、ＴＦＴサイズを十分に小さくすることができる。これにより、さらなる狭額縁化を図ることができる。なお、ＩＧＺＯＴＦＴを、双安定回路内の各薄膜トランジスタとしても用いることにより、さらなる低消費電力化および狭額縁化を図ることができる。

[0097] 一方、ａ－ＳｉＴＦＴを本実施形態におけるサンプリング回路３２０内の各薄膜トランジスタとして用いた場合には、さらなる低コスト化を図ることができる。

[0098] ＜２．第２の実施形態＞

＜２．１　休止期間の動作＞

図１２は、本発明の第２の実施形態における液晶表示装置の休止期間Ｔ２での動作を説明するための信号波形図である。なお、本実施形態は、休止期間の動作を除き上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態における休止期間振幅Ｖｃｋ２は走査期間振幅Ｖｃｋ１よりも小さい。なお、休止期間Ｔ２においてサンプリング回路３２０内の各薄膜トランジスタを確実にオン状態にするためには、この薄膜トランジスタのしきい値電圧よりも大きい必要がある。すなわち、本実施形態における休止期間振幅Ｖｃｋは、走査期間振幅Ｖｃｋ２よりも小さく且つサンプリング回路３２０内の各薄膜トランジスタのしきい値電圧よりも大きい。

[0099] ＜２．２　効果＞

本実施形態によれば、休止期間Ｔ２における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの振幅である休止期間振幅Ｖｃｋ２が、走査期間Ｔ１における第１ソースクロック信号ＳＣＫ１および第２ソースクロック信号ＳＣＫ２のそれぞれの振幅である走査期間振

幅Ｖｃｋ１よりも小さい。このため、さらなる低消費電力化を図ることができる。また、休止期間Ｔ２にＲ用薄膜トランジスタ、Ｇ用薄膜トランジスタ、およびＢ用薄膜トランジスタに掛かるゲートバイアスストレスがさらに低減されるので、これらのＲ用薄膜トランジスタ、Ｇ用薄膜トランジスタ、およびＢ用薄膜トランジスタのさらなる高信頼性化を図ることができる。

[0100] ＜３．第３の実施形態＞

＜３．１　サンプリング回路の構成＞

図１３は、本発明の第３の実施形態におけるサンプリング回路３２０の構成を説明するための回路図である。なお、本実施形態は、サンプリング回路３２０の構成および液晶表示装置の詳細な動作を除き上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。本実施形態では、サンプリングブロック４０（１）～４０（ｋ）とソースラインＳＬ１～ＳＬｎとの関係が上記第１の実施形態と異なり、画素マトリクスの各列と２４対１で対応するようにサンプリングブロックが設けられている。

[0101] 本実施形態では、映像信号Ｖｉｄが２４個の映像信号Ｖｉｄｒ１～Ｖｉｄｒ８、Ｖｉｄｇ１～Ｖｉｄｇ８、およびＶｉｄｂ１～Ｖｉｄｂ８からなっている。以下では、映像信号Ｖｉｄｒｘを「第ｘＲ用映像信号」といい、映像信号Ｖｉｄｇｘを「第ｘＧ用映像信号」といい、映像信号Ｖｉｄｂｘを「第ｘＢ用映像信号」という（ｘ＝１～８）。第１～第８Ｒ用映像信号Ｖｉｄｒ１～Ｖｉｄｒ８はＲ画素形成部に対応し、第１～８Ｇ用映像信号Ｖｉｄｇ１～Ｖｉｄｇ８はＧ画素形成部に対応し、第１～８Ｂ用映像信号Ｖｉｄｂ１～Ｖｉｄｂ８はＢ画素形成部に対応している。

[0102] サンプリングブロック４０（１）～４０（ｋ）にはそれぞれ選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が与えられている（対応している）。また、サンプリングブロック４０（１）～４０（ｋ）のそれぞれには互いに異なる２４本のソースラインが接続されている。サンプリングブロック４０（ｊ）にはソースラインＳＬ２４ｊ－２３～ＳＬ２４ｊが接続されている（ｊ＝１～ｋ）。各サンプリングブロックには、第１～第８Ｒ用映像信号Ｖｉｄｒ１～Ｖｉ

ｄｒ８、第１～８Ｇ用映像信号Ｖｉｄｇ１～Ｖｉｄｇ８、および第１～８Ｂ用映像信号Ｖｉｄｂ１～Ｖｉｄｂ８が与えられている。

[0103] 本実施形態では、ソースラインＳＬ１～ＳＬｎが２４本を単位としてソースライン組ＳＧ１～ＳＧｋに組み分けされている。ここで、ソースライン組ＳＧｊは２４本のソースラインＳＬ２４ｊ－２３～ＳＬ２４ｊからなっている。これらのソースライン組ＳＧ１～ＳＧｋはそれぞれ、サンプリングブロック４０（１）～４０（ｋ）に対応している。各ソースライン組内には、同色に対応するソースラインが８本設けられている。図１３において、ソースライン組ＳＧｊ中の８本のＲ用ソースラインをそれぞれ「第ｘＲ用ソースライン」といい、それぞれを符号ＳＬｒｊ＿ｘで表す（ｘ＝１～８）。同様に、ソースライン組ＳＧｊ中の８本のＧ用ソースラインをそれぞれ「第ｘＧ用ソースライン」といい、それぞれを符号ＳＬｇｊ＿ｘで表す。また同様に、ソースライン組ＳＧｊ中の８本のＢ用ソースラインをそれぞれ「第ｘＢ用ソースライン」といい、それぞれ符号ＳＬｂｊ＿ｘで表している。

[0104] また、第ｘＲ用ソースラインＳＬｒｊ＿ｘとゲートラインＧＬｉとの交差点に対応して設けられたＲ画素形成部を符号ｒｉｊ＿ｘで表し（ｉ～ｍ）、第ｘＧ用ソースラインＳＬｇｊ＿ｘとゲートラインＧＬｉとの交差点に対して設けられたＧ画素形成部を符号ｇｉｊ＿ｘで表し、第ｘｂ用ソースラインＳＬｂｊ＿ｘとゲートラインＧＬｉとの交差点に対応して設けられたＧ画素形成部を符号ｂｉｊ＿ｘで表している。

[0105] 各サンプリングブロックは、図１３に示すように２４個の薄膜トランジスタにより構成されている。以下では、サンプリングブロック４０（ｊ）内の２４個の薄膜トランジスタをそれぞれ、第ｘＲ用薄膜トランジスタ４１ｘ１（ｊ）、第ｘＧ用薄膜トランジスタ４１ｇｘ（ｊ）、および第ｘＢ用薄膜トランジスタ４１ｂｘ（ｊ）という（ｘ＝１～８）。

[0106] 各第ｘＲ用薄膜トランジスタについては、ゲート端子には当該第ｘＲ用薄膜トランジスタを含むサンプリングブロックに対応する選択信号が与えられ、ソース端子には第ｘＲ用映像信号Ｖｉｄｒｘが与えられ、ドレイン端子に

は当該第ｘＲ用薄膜トランジスタを含むサンプリングブロックに対応するソースライン組内の第ｘＲ用ソースラインが接続されている。各第ｘＧ用薄膜トランジスタについては、ゲート端子には当該第ｘＧ用薄膜トランジスタを含むサンプリングブロックに対応する選択信号が与えられ、ソース端子には第ｘＧ用映像信号Ｖｉｄｇｘが与えられ、ドレイン端子には当該第ｘＧ用薄膜トランジスタを含むサンプリングブロックに対応するソースライン組内の第ｘＧ用ソースラインが接続されている。各第ｘＢ用薄膜トランジスタについては、ゲート端子には当該第ｘＢ用薄膜トランジスタを含むサンプリングブロックに対応する選択信号が与えられ、ソース端子には第ｘＢ用映像信号Ｖｉｄｂｘが与えられ、ドレイン端子には当該第ｘＢ用薄膜トランジスタを含むサンプリングブロックに対応するソースライン組内の第ｘＢ用ソースラインが接続されている。

[0107] このようなサンプリング回路３２０を含むソースドライバ３００により、１水平走査期間において映像信号Ｖｉｄをブロック単位（ソース組単位）で順次にソースラインに与えて複数の絵素を同時に書き込むブロック順次駆動が実現される。なお、この動作について詳しい説明は後述する。

[0108] ＜３．２　液晶表示装置の動作＞

＜３．２．１　走査期間の動作＞

図１４は、本実施形態に係る液晶表示装置の走査期間Ｔ１における動作を説明するための信号波形図である。ここで、本実施形態において上記第１の実施形態との共通部分については適宜説明を省略する。図１４では、第１走査選択期間における、ソースドライバ３００の駆動に関する各種信号波形を示している。なお、第１走査選択期間以外の走査選択期間での動作についても同様であるので、その説明を省略する。

[0109] 第ｘＲ映像信号Ｖｉｄｒｘは、第ｉ走査選択期間中の第ｊサンプリング期間で第ｘＲ画素形成部ｒｉｊ＿ｘに対応する電位となっている（ｘ＝１～８、ｉ＝１～ｍ、ｊ＝１～ｋ）。第ｘＧ映像信号Ｖｉｄｇｘは、第ｉ走査選択期間中の第ｊサンプリング期間で第ｘＧ画素形成部ｇｉｊ＿ｘに対応する電

位となっている。第ｘＢ映像信号Ｖｉｄｂｘは、第ｉ走査選択期間中の第ｊサンプリング期間で第ｘＢ画素形成部ｂｉｊ＿ｘに対応する電位となっている。

[0110] 第１サンプリング期間では選択信号ＳＥＬ（１）がハイレベル電位になるので、図１３に示すサンプリングブロック４０（１）内の第ｘＲ用薄膜トランジスタ４１ｒｘ（１）、第ｘＧ用薄膜トランジスタ４１ｇｘ（１）、および第ｘＢ用薄膜トランジスタ４１ｂｘ（１）がオン状態になる。このため、Ｒ画素形成部ｒ１１＿ｘに対応する電位になっている第ｘＲ用映像信号Ｖｉｄｒｘが第ｘＲ用ソースラインＳＬｒ１＿ｘに与えられ、Ｇ画素形成部ｇ１１＿ｘに対応する電位になっている第ｘＧ用映像信号Ｖｉｄｇｘが第ｘＧ用ソースラインＳＬｇ１＿ｘに与えられ、Ｂ画素形成部ｂ１１＿ｘに対応する電位になっている第ｘＢ用映像信号Ｖｉｄｂｘが第ｘＢ用ソースラインＳＬｂ１＿ｘに与えられる。この第１サンプリング期間では、第ｘＲ用ソースラインＳＬｒ１＿ｘ、第ｘＧ用ソースラインＳＬｇ１＿ｘ、および第ｘＢ用ソースラインＳＬｂ１＿ｘの電位は、先行の休止期間Ｔ２における電位（Ｖｃｏｍ電位）から正極性または負極性に変化する。これらの第ｘＲ用ソースラインＳＬｒ１＿ｘ、第ｘＧ用ソースラインＳＬｇ１＿ｘ、および第ｘＢ用ソースラインＳＬｂ１＿ｘの電位はそれぞれ、Ｒ画素形成部ｒ１１＿ｘ、Ｇ画素形成部ｇ１１＿ｘ、およびＢ画素形成部ｂ１１＿ｘに書き込まれる。なお、第２～ｍサンプリング期間での動作も同様であるので、その説明を省略する。

[0111] 以上のような１サンプリング期間が繰り返されることにより１走査選択期間の動作が実現され、この１走査選択期間が繰り返されることにより走査期間Ｔ１の動作が実現される。

[0112] ＜３．２．２　休止期間の動作＞

図１５は、本実施形態に係る液晶表示装置の休止期間Ｔ２における動作を説明するための信号波形図である。図１５に示すように、この休止期間Ｔ２では第ｘＲ用Ｖｉｄｒｘ、第ｘＧ用Ｖｉｄｇｘ、および第ｘＢ用Ｖｉｄｂｘ

がＶｃｏｍ電位になっている。なお、Ｖｃｏｍ電位に限らず、他の固定電位となっていても良い。

[0113] 本実施形態では、上記第１の実施形態と同様に、休止期間Ｔ２において、走査期間Ｔ１における周期よりも長い周期で選択信号ＳＥＬ（１）～ＳＥＬ（ｋ）が順次にハイレベル電位になる。このため、サンプリングブロック４０（１）～４０（ｋ）のそれぞれの第ｘＲ用薄膜トランジスタ、第ｘＧ用薄膜トランジスタ、および第ｘＢ用薄膜トランジスタが順次にオン状態になる（ｘ＝１～８）。第ｘＲ用薄膜トランジスタがオン状態になると、Ｖｃｏｍ電位になっている第ｘＲ用映像信号Ｖｉｄｒｘが第ｘＲ用ソースラインに与えられる。第ｘＧ用薄膜トランジスタがオン状態になると、Ｖｃｏｍ電位になっている第ｘＧ用映像信号Ｖｉｄｇｘが第ｘＧ用ソースラインに与えられる。第ｘＢ用薄膜トランジスタがオン状態になると、Ｖｃｏｍ電位になっている第ｘＢ用映像信号Ｖｉｄｂｘが第ｘＢ用ソースラインに与えられる。なお、上述のように休止期間Ｔ２では走査信号ＧＳ（１）～ＧＳ（ｍ）がハイレベル電位にならないので、これらの第ｘＲ用ソースライン、第ｘＧ用ソースライン、第ｘＢ用ソースラインの電位はそれぞれＲ画素形成部、Ｇ画素形成部、およびＢ画素形成部に書き込まれない。

[0114] ＜３．３　効果＞

本実施形態によれば、上記第１の実施形態によりも映像信号を一度に書き込める画素形成部数が増加する。このため、上記第１の実施形態よりも走査期間Ｔ１を短くすることにより十分な休止期間Ｔ２を確保することができるか、または、上記第１の実施形態と同じ長さ走査期間Ｔ１を設けることにより各画素形成部に対する映像信号の書き込み時間を十分に確保することができる。また、サンプリングブロックの数を削減することにより、シフトレジスタ３１０の段数を削減することができる。

[0115] ＜４．第４の実施形態＞

＜４．１　ソースドライバの構成＞

図１６は、本発明の第４の実施形態におけるソースドライバ３００の構成

を説明するための回路図である。本実施形態はソースドライバ３００の構成を除く上記第１の実施形態と同様であるので、当該同様の部分についての説明を省略する。図１６に示すように、本実施形態におけるソースドライバ３００は、表示部６００の両側（図１６における上下）にそれぞれ分れて構成されている。以下では、ソースドライバ３００のうち、表示部６００の上側に配置されている部分を「第１ソースドライバ」といい、符号３００ａで表す。また、ソースドライバ３００のうち、表示部６００の下側に配置されている部分を「第２ソースドライバ」といい、符号３００ｂで表す。

[0116] 本実施形態におけるシフトレジスタ３１０は、表示部６００の両側にそれぞれ分けて構成されている。以下では、シフトレジスタ３１０のうち、表示部６００の上側に配置されている部分を「第１シフトレジスタ」といい、符号３１０ａで表す。また、シフトレジスタ３１０のうち、表示部６００の下側に配置されている部分を「第２シフトレジスタ」といい、符号３１０ｂで表す。第１シフトレジスタ３１０ａは、上記第１の実施形態におけるシフトレジスタ３１０のうちの奇数段の双安定回路からなる部分に相当する。第２シフトレジスタ３１０ｂは、上記第１の実施形態におけるシフトレジスタのうちの偶数段の双安定回路からなる部分に相当する。

[0117] 本実施形態におけるサンプリング回路３２０は、表示部６００の両側にそれぞれ分けて構成されている。以下では、サンプリング回路３２０のうち、表示部６００の上側に配置されている部分を「第１サンプリング回路」といい、符号３２０ａで表す。また、サンプリング回路３２０のうち、表示部６００の下側に配置されている部分を「第２サンプリング回路」といい、符号３２０ｂで表す。第１サンプリング回路３２０ａは、上記第１の実施形態におけるサンプリング回路３２０のうちの、ゲートドライバ４００が配置されている側から数えて奇数番目のサンプリングブロックからなる部分に相当する。第２サンプリング回路３２０ｂは、上記第１の実施形態におけるサンプリング回路３２０のうちの、ゲートドライバ４００が配置されている側から数えて偶数番目のサンプリングブロックからなる部分に相当する。

[0118] 第１ソースドライバ３００ａは、第１シフトレジスタ３１０ａおよび第１サンプリング回路３２０ａにより構成されている。第２ソースドライバ３００ｂは、第２シフトレジスタ３１０ｂおよび第２サンプリング回路３２０ｂにより構成されている。

[0119] ＜４．２　効果＞

本実施形態によれば、表示部の上側および下側にそれぞれ配置された第１ソースドライバ３００ａおよび第２ソースドライバ３００ｂのそれぞれの段数が、上記第１の実施形態におけるソースドライバ３００の段数の約半分になる。このため、ゲートラインの延びる方向におけるレイアウトピッチが倍に広がる。これにより、例えばより高精細な液晶表示パネルに対応可能となる。

[0120] なお、本実施形態の構成に限らず、例えば図１７に示すように、第１サンプリング回路３２０ａと第２サンプリング回路３２０ｂがサンプリングブロック４０（１）～４０（ｋ）を共有した構成としても良い。すなわちこの場合、ゲートドライバ４００が配置されている側から数えて奇数番目のサンプリングブロックは、表示部６００の上側に配置されたＲ用薄膜トランジスタおよびＢ用薄膜トランジスタと、表示部６００の下側に配置されたＧ用薄膜トランジスタとにより構成されている。また、ゲートドライバ４００が配置されている側から数えて偶数番目のサンプリングブロックは、表示部６００の上側に配置されたＧ用薄膜トランジスタと、表示部６００の下側に配置されたＲ用薄膜トランジスタおよびＢ用薄膜トランジスタとにより構成されている。なお、この場合、第１シフトレジスタ３１０ａおよび第２シフトレジスタ３１０ｂに代えて、２つの上記第１の実施形態におけるシフトレジスタ３１０がそれぞれ設けられる。このように、図１７に示す例では、第１ソースドライバ３００ａはシフトレジスタ３１０および第１サンプリング回路３２０ａにより構成され、第２ソースドライバ３００ａはシフトレジスタ３１０および第２サンプリング回路３２０ｂにより構成される。

[0121] この例によれば、表示部の上側および下側のそれぞれに配置されたシフト

レジスタ３１０の段数は、上記第１の実施形態におけるシフトレジスタ３１０の段数と同じであるものの、表示部の上側および下側にそれぞれ配置された第１サンプリング回路３２０ａおよび第２サンプリング回路３２０ｂのそれぞれの段数が、上記第１の実施形態におけるサンプリング回路３２０の段数の約半分になる。このため、上記第４の実施形態と同様に、ゲートラインの延びる方向におけるレイアウトピッチを倍に広げることができる。

[0122] ＜５．その他＞

上記各実施形態では、ソースクロック信号ＳＣＫの周波数および振幅の制御は表示制御回路２００において行われることが望ましいが、ソースドライバ３００においてこのような制御が行われる構成としても良い。

[0123] 上記各実施形態では、ＲＧＢの３原色によるカラー画像表示が行われる例を挙げて説明したが、本発明はこれに限定されるものではない。例えばＲＧＢＹ等の４原色、または５原色以上によりカラー画像表示が行われても良い。またモノクロ画像表示が行われて良い。

[0124] 上記第３の実施形態では、各ソースライン組が２４本のソースラインにより構成されているが本発明はこれに限定されるものではない。例えば、各ソースライン組が原色数の倍数のソースラインにより構成されていれば良い。

[0125] 上記各実施形態では、薄膜トランジスタはすべてｎチャネル型であるものとして説明したが、本発明はこれに限定されるものではない。薄膜トランジスタがｐチャネル型であっても本発明を適用することができる。

[0126] 上記各実施形態では液晶表示装置を例に挙げて説明したが、本発明はこれに限定されない。有機ＥＬ（Ｅｌｅｃｔｒｏ Ｌｕｍｉｎｅｓｃｅｎｃｅ）表示装置等の他の表示装置にも本発明を適用することができる。また、その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

[0127] 以上により、消費電力を低減した、表示部と映像信号線駆動回路とが一体的に形成された表示装置および当該表示装置内の映像信号線駆動回路の制御方法を提供する。

産業上の利用可能性

[0128] 本発明は、表示部と映像信号線駆動回路とが一体的に形成された表示装置に適用することができる。

符号の説明

[0129] ４０（ｊ）…サンプリングブロック

４１ｘ（ｊ）…薄膜トランジスタ（ｘ＝ｒ、ｇ、ｂ）

４１ｘ１（ｊ）～４１ｘ８（ｊ）…薄膜トランジスタ（ｘ＝ｒ、ｇ、ｂ）

２００…表示制御回路

３００…ソースドライバ（映像信号線駆動回路）

３１０…シフトレジスタ

３２０…サンプリング回路

４００…ゲートドライバ（走査信号線駆動回路）

６００…表示部

７００…液晶表示パネル

ＳＣＫ１、ＳＣＫ２…ソースクロック信号

Ｖｉｄｘ…映像信号（ｘ＝ｒ、ｇ、ｂ）

Ｖｉｄｘ１～Ｖｉｄｘ８…映像信号（ｘ＝ｒ、ｇ、ｂ）

ＳＬｘｊ…ソースライン（映像信号線）（ｘ＝ｒ、ｇ、ｂ）

ＳＬｘｊ＿１～ＳＬｘｊ＿８…ソースライン（映像信号線）（ｘ＝ｒ、ｇ、ｂ）

ＳＧｊ…ソースライン組（映像信号線組）

ｘｉｊ…画素形成部（ｘ＝ｒ、ｇ、ｂ）

ｘｉｊ＿１～ｘｉｊ＿８…画素形成部（ｘ＝ｒ、ｇ、ｂ）

Ｔ１…走査期間

Ｔ２…休止期間

ｔｃｋ１…走査期間周期

ｔｃｋ２…休止期間周期

ｆｃｋ１…走査期間周波数

ｆｃｋ２…休止期間周波数

Ｖｃｋ１…走査期間振幅

Ｖｃｋ２…休止期間振幅

Ｖｓｓ…ローレベルの直流電源電位

Ｖｄｄ…ハイレベルの直流電源電位

請求の範囲

［請求項1］ 複数の映像信号線、該複数の映像信号線と交差する複数の走査信号線を含み、画像を表示するための表示部と、

前記表示部と一体的に形成され、前記複数の映像信号線を駆動するための映像信号線駆動回路と、

前記映像信号線駆動回路に、オンレベルとオフレベルとを周期的に繰り返すクロック信号、および前記表示部に表示すべき画像に対応する１以上の所定数の映像信号を与える表示制御回路と、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように、前記複数の走査信号線を駆動するための走査信号線駆動回路とを備え、

前記映像信号線駆動回路は、

前記クロック信号に基づいて複数の出力信号を順次にオンレベルにするシフトレジスタと、

前記複数の出力信号がそれぞれ与えられる複数のサンプリングブロックとを含み、

各サンプリングブロックが、該サンプリングブロックの受け取る前記出力信号に基づいて、前記所定数の映像信号を該所定数の映像信号線に与え、

前記走査期間における前記クロック信号の周波数よりも、前記休止期間における該クロック信号の周波数が低いことを特徴とする、表示装置。

［請求項2］ 前記休止期間における前記クロック信号の振幅が、前記走査期間における該クロック信号の振幅よりも小さいことを特徴とする、請求項１に記載の表示装置。

［請求項3］ 前記休止期間が前記走査期間よりも長いことを特徴とする、請求項１に記載の表示装置。

[請求項4] 各サンプリングブロックは、該サンプリングブロックの受け取る前記出力信号が制御端子に与えられ、前記所定数の映像信号のうちのいずれかが第１導通端子に与えられ、前記複数の映像信号線のうちのいずれかに第２導通端子が接続された１以上のスイッチング素子を有することを特徴とする、請求項１に記載の表示装置。

[請求項5] 各サンプリングブロックは前記スイッチング素子を複数有することを特徴とする、請求項４に記載の表示装置。

[請求項6] 前記表示部が複数の原色に基づくカラー画像を表示し、

前記所定数の映像信号が前記複数の原色にそれぞれ対応し、

各サンプリングブロックにおける前記複数のスイッチング素子の数が前記複数の原色と同数であり、

前記表示制御回路が、各サンプリングブロックにおける前記複数のスイッチング素子の前記第１導通端子に互いに異なる前記所定数の映像信号をそれぞれ与えることを特徴とする、請求項５に記載の表示装置。

[請求項7] 前記表示部が複数の原色に基づくカラー画像を表示し、

各サンプリングブロックにおける前記複数のスイッチング素子の数が前記複数の原色の整数倍であり、

前記表示制御回路が、各サンプリングブロックにおける前記複数のスイッチング素子のうちの、互いに隣接する映像信号線に前記第２導通端子が接続されたスイッチング素子の前記第１導通端子に、前記所定数の映像信号のうちの互いに異なる原色に対応する映像信号をそれぞれ与えることを特徴とする、請求項５に記載の表示装置。

[請求項8] 前記映像信号線駆動回路は、

前記表示部に対して一方に位置する第１映像信号線駆動回路と、

前記表示部に対して他方に位置する第２映像信号線駆動回路とにより構成されることを特徴とする、請求項１に記載の表示装置。

[請求項9] 前記映像信号線駆動回路が、酸化物半導体により半導体層が形成さ

れた薄膜トランジスタを用いて実現されていることを特徴とする、請求項１から８までのいずれか１項に記載の表示装置。

[請求項10] 前記映像信号線駆動回路が、アモルファスシリコンにより半導体層が形成された薄膜トランジスタを用いて実現されていることを特徴とする、請求項１から８までのいずれか１項に記載の表示装置。

[請求項11] 複数の映像信号線、該複数の映像信号線と交差する複数の走査信号線を含み、画像を表示するための表示部と、オンレベルとオフレベルとを周期的に繰り返すクロック信号および該表示部に表示すべき画像に対応する１以上の所定数の映像信号を出力する表示制御回路と、該表示部と一体的に形成され、該クロック信号に基づいて複数の出力信号を順次にオンレベルにするシフトレジスタおよび該複数の出力信号がそれぞれ与えられる複数のサンプリングブロックとを含む映像信号線駆動回路と、前記複数の走査信号線を駆動するための走査信号線駆動回路とを備える表示装置の駆動方法であって、

前記複数の走査信号線が順次選択される走査期間と該複数の走査信号線のいずれもが非選択状態となる休止期間とが、該走査期間と該休止期間とからなるフレーム期間を周期として交互に現れるように前記複数の走査信号線を駆動するステップと、

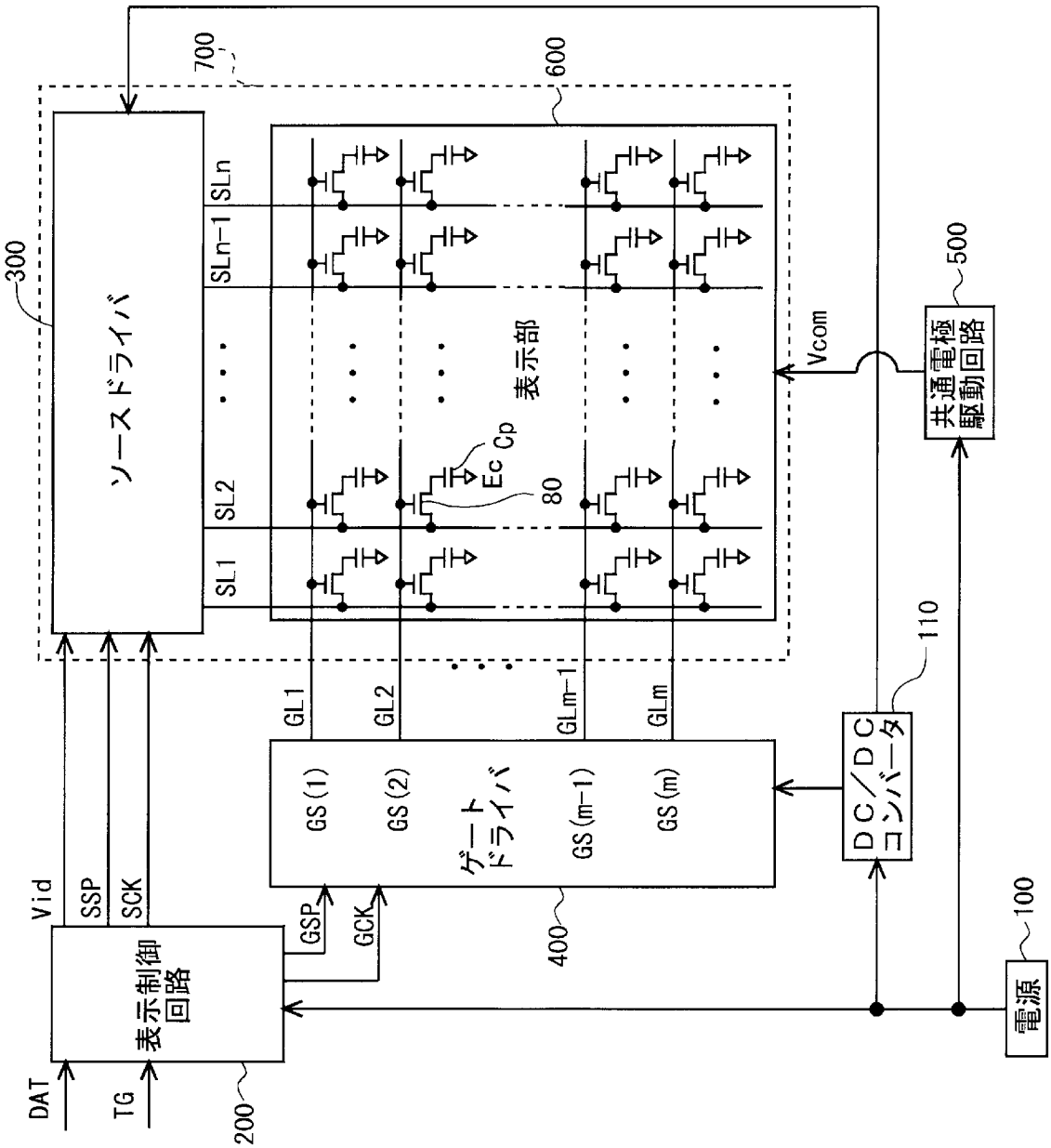
各サンプリングブロックの受け取る前記出力信号に基づいて、前記所定数の映像信号を該所定数の映像信号線に与えるステップと、

前記走査期間における前記クロック信号の周波数よりも、前記休止期間における該クロック信号の周波数を低くするステップとを備えることを特徴とする、駆動方法。

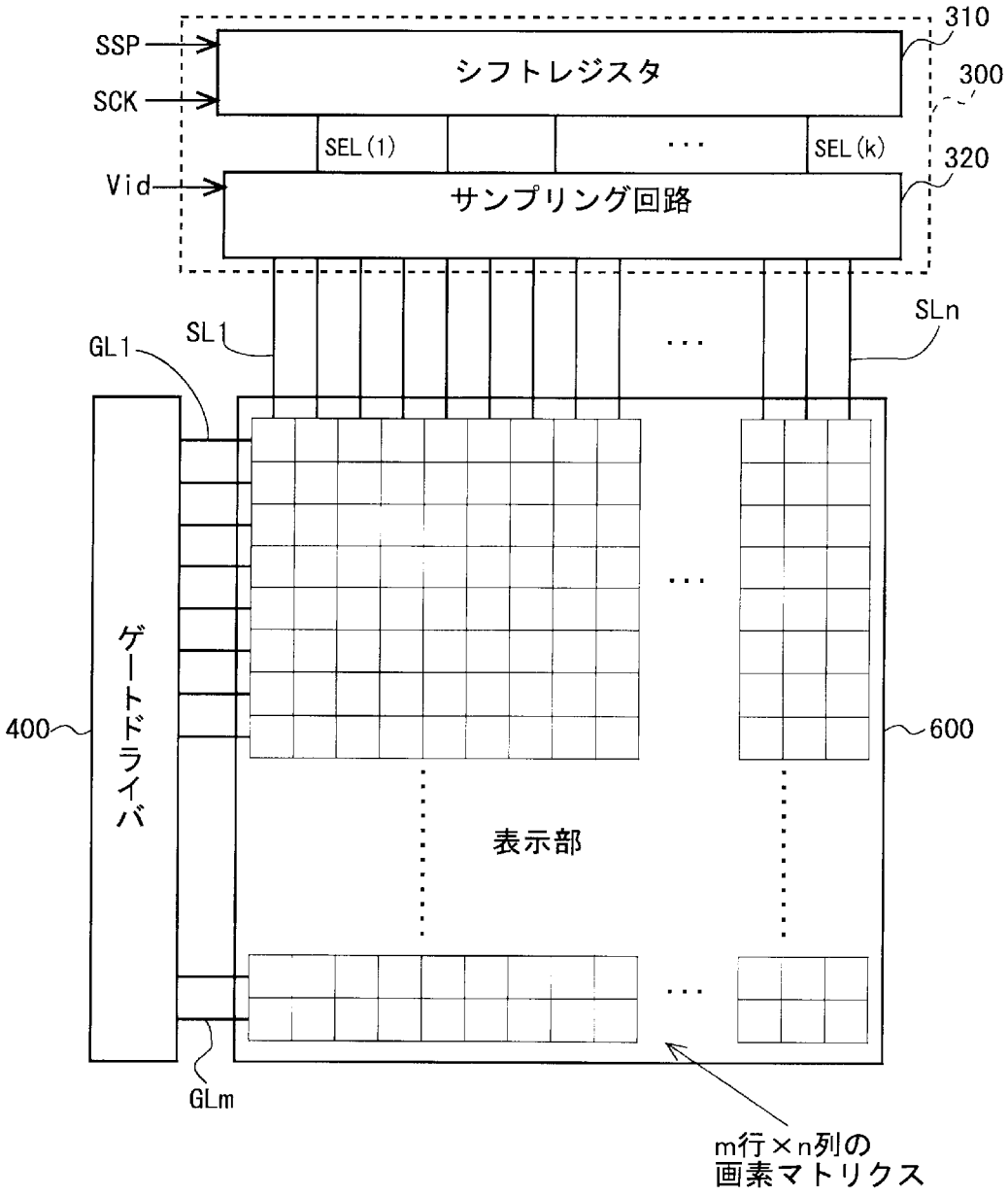
[請求項12] 前記休止期間における前記クロック信号の振幅が、前記走査期間における該クロック信号の振幅よりも小さいことを特徴とする、請求項１１に記載の駆動方法。

[請求項13] 前記休止期間が前記走査期間よりも長いことを特徴とする、請求項１１に記載の駆動方法。

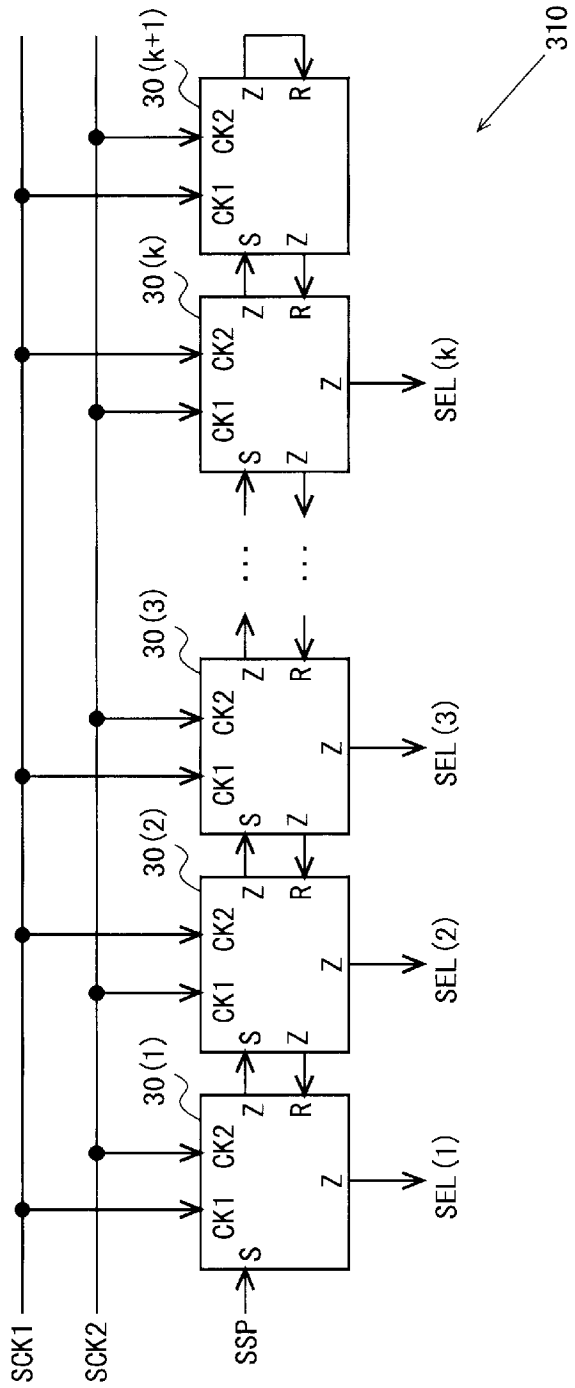
[図1]


700
600
300
ソースドライバ
SLn
SLn-1
SL2
SL1
表示部
Ec
Cp
80
500
共通電極駆動回路
Vcom
110
DC／DCコンバータ
GL1
GL2
GLm-1
GLm
GS(1)
GS(2)
ゲートドライバ
GS(m-1)
GS(m)
400
GSP
GCK
Vid
SSP
SCK
表示制御回路
200
DAT
TG
100
電源

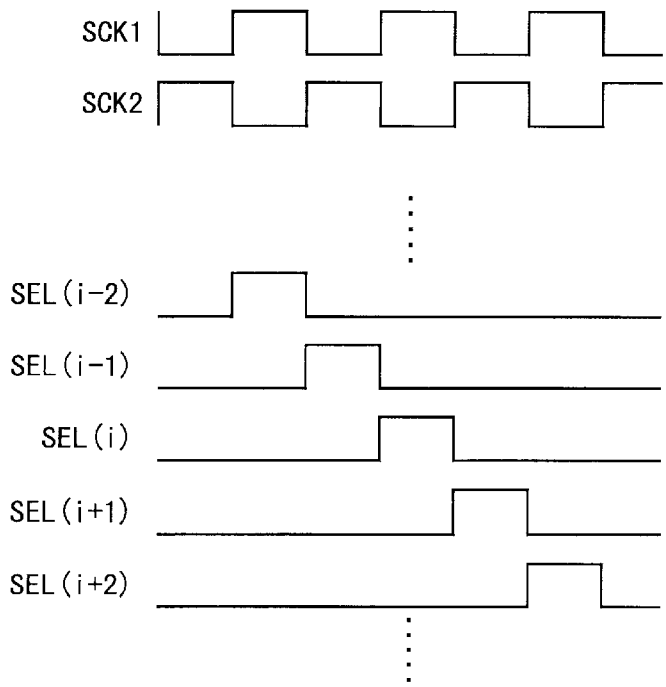
[図2]


SSP
SCK
Vid
シフトレジスタ
サンプリング回路
SEL(1)
SEL(k)
310
300
320
GL1
SL1
SLn
ゲートドライバ
400
600
表示部
GLm
m行×n列の
画素マトリクス

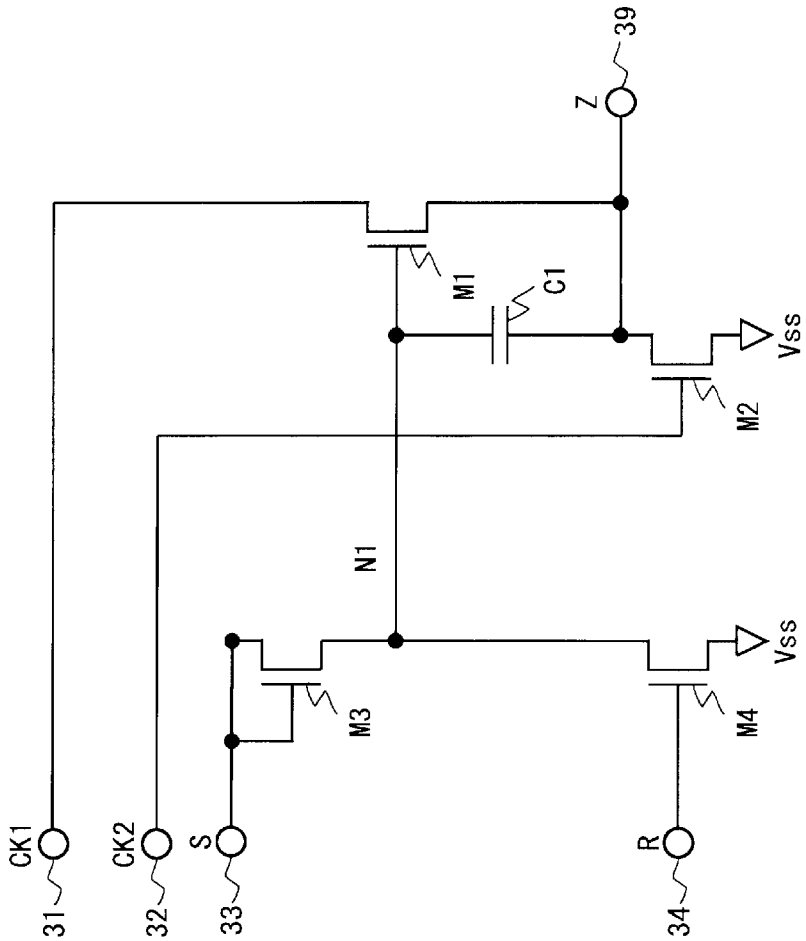
[図3]


310
30(k+1)
30(k)
30(3)
30(2)
30(1)
CK1
CK2
S
Z
R
SEL(k)
SEL(3)
SEL(2)
SEL(1)
SCK1
SCK2
SSP

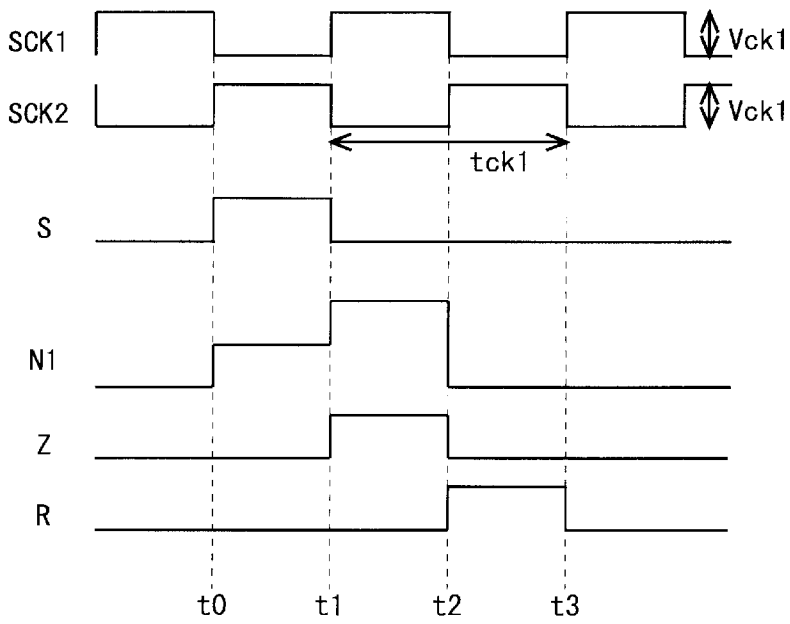
[図4]



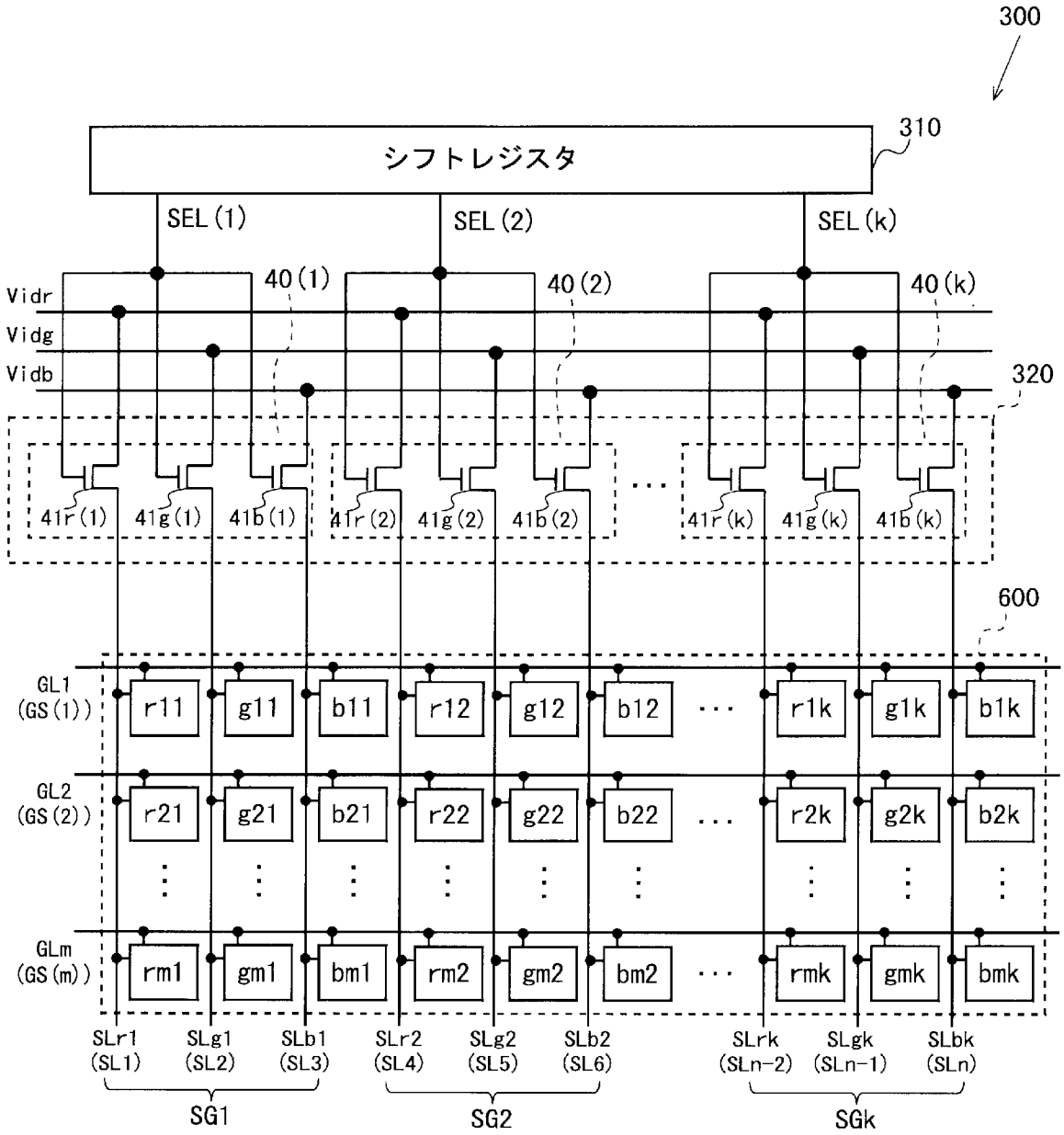
[図5]



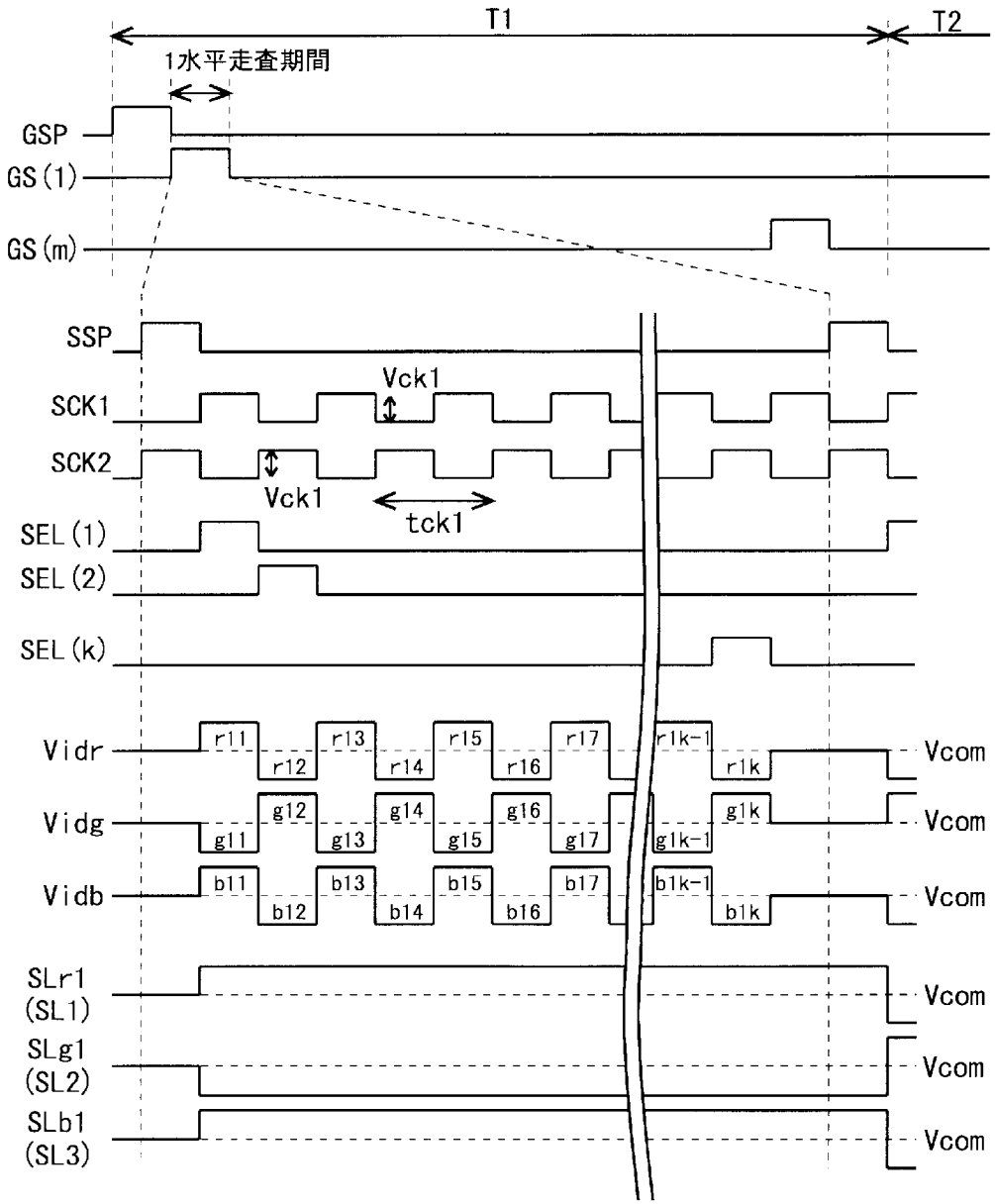
[図6]



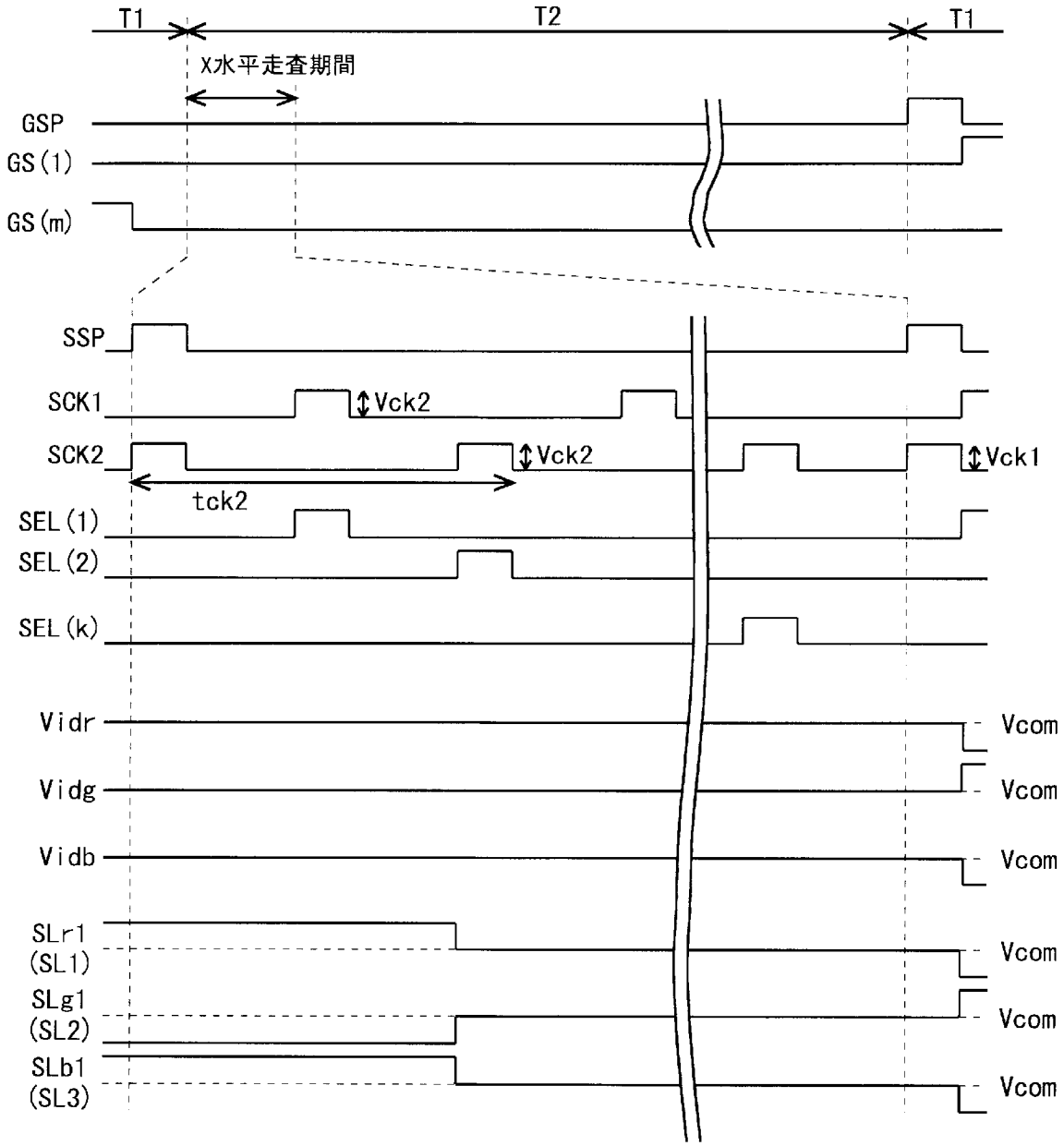
[図7]


300
310
シフトレジスタ
SEL (1)
SEL (2)
SEL (k)
40 (1)
40 (2)
40 (k)
Vidr
Vidg
Vidb
320
41r (1)
41g (1)
41b (1)
41r (2)
41g (2)
41b (2)
41r (k)
41g (k)
41b (k)
600
GL1
(GS (1))
GL2
(GS (2))
GLm
(GS (m))
r11
g11
b11
r12
g12
b12
r1k
g1k
b1k
r21
g21
b21
r22
g22
b22
r2k
g2k
b2k
rm1
gm1
bm1
rm2
gm2
bm2
rmk
gmk
bmk
SLr1
(SL1)
SLg1
(SL2)
SLb1
(SL3)
SLr2
(SL4)
SLg2
(SL5)
SLb2
(SL6)
SLrk
(SLn-2)
SLgk
(SLn-1)
SLbk
(SLn)
SG1
SG2
SGk

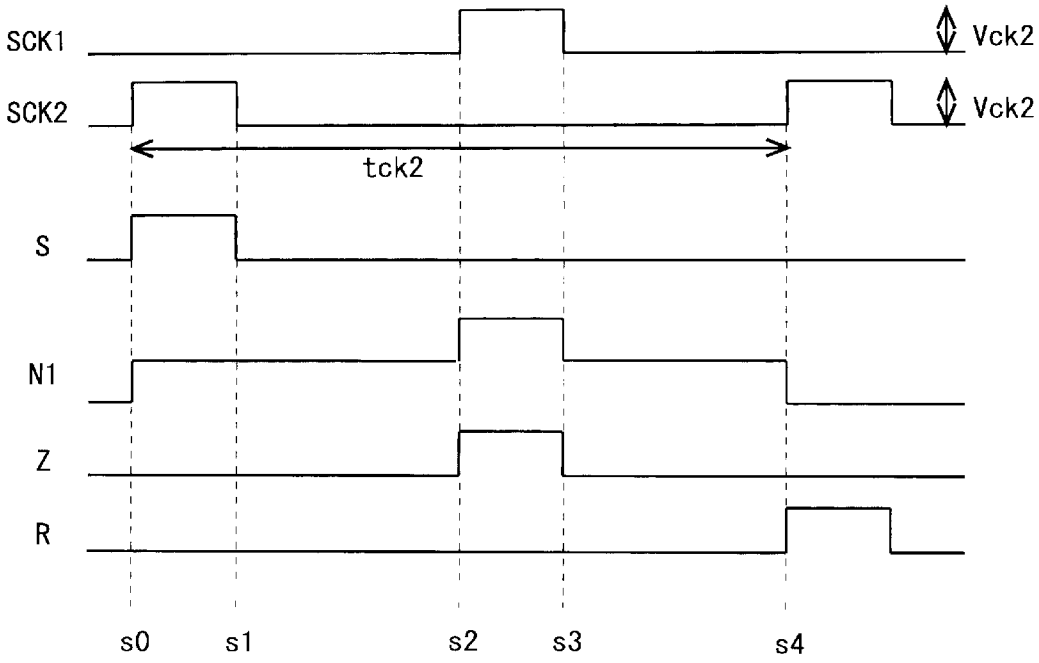
[図8]


T1
T2
1水平走査期間
GSP
GS(1)
GS(m)
SSP
SCK1
SCK2
Vck1
Vck1
tck1
SEL(1)
SEL(2)
SEL(k)
Vidr
Vidg
Vidb
r11
r12
r13
r14
r15
r16
r17
r1k-1
r1k
g11
g12
g13
g14
g15
g16
g17
g1k-1
g1k
b11
b12
b13
b14
b15
b16
b17
b1k-1
b1k
Vcom
SLr1
(SL1)
SLg1
(SL2)
SLb1
(SL3)

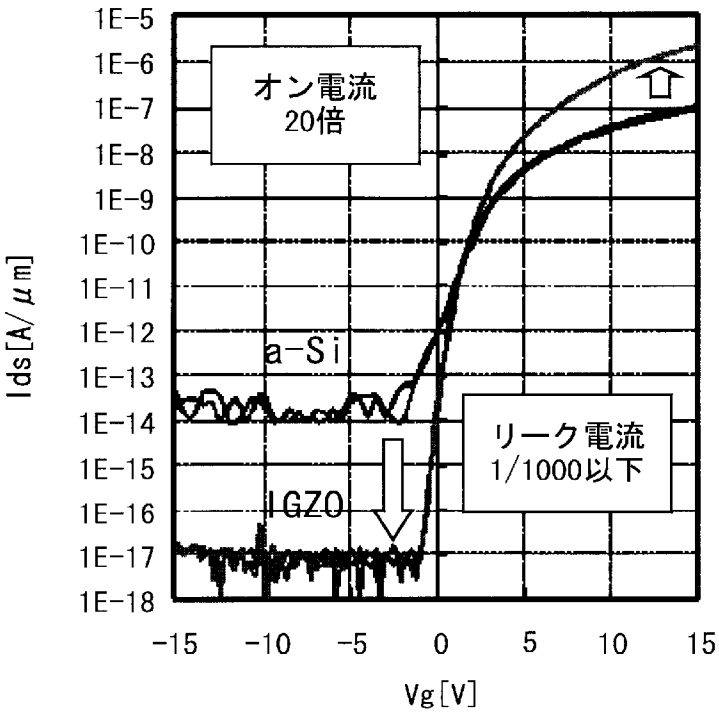
[図9]


T1
T2
T1
X水平走査期間
GSP
GS(1)
GS(m)
SSP
SCK1
Vck2
SCK2
Vck2
Vck1
tck2
SEL(1)
SEL(2)
SEL(k)
Vidr
Vidg
Vidb
SLr1
(SL1)
SLg1
(SL2)
SLb1
(SL3)
Vcom
Vcom
Vcom
Vcom
Vcom
Vcom

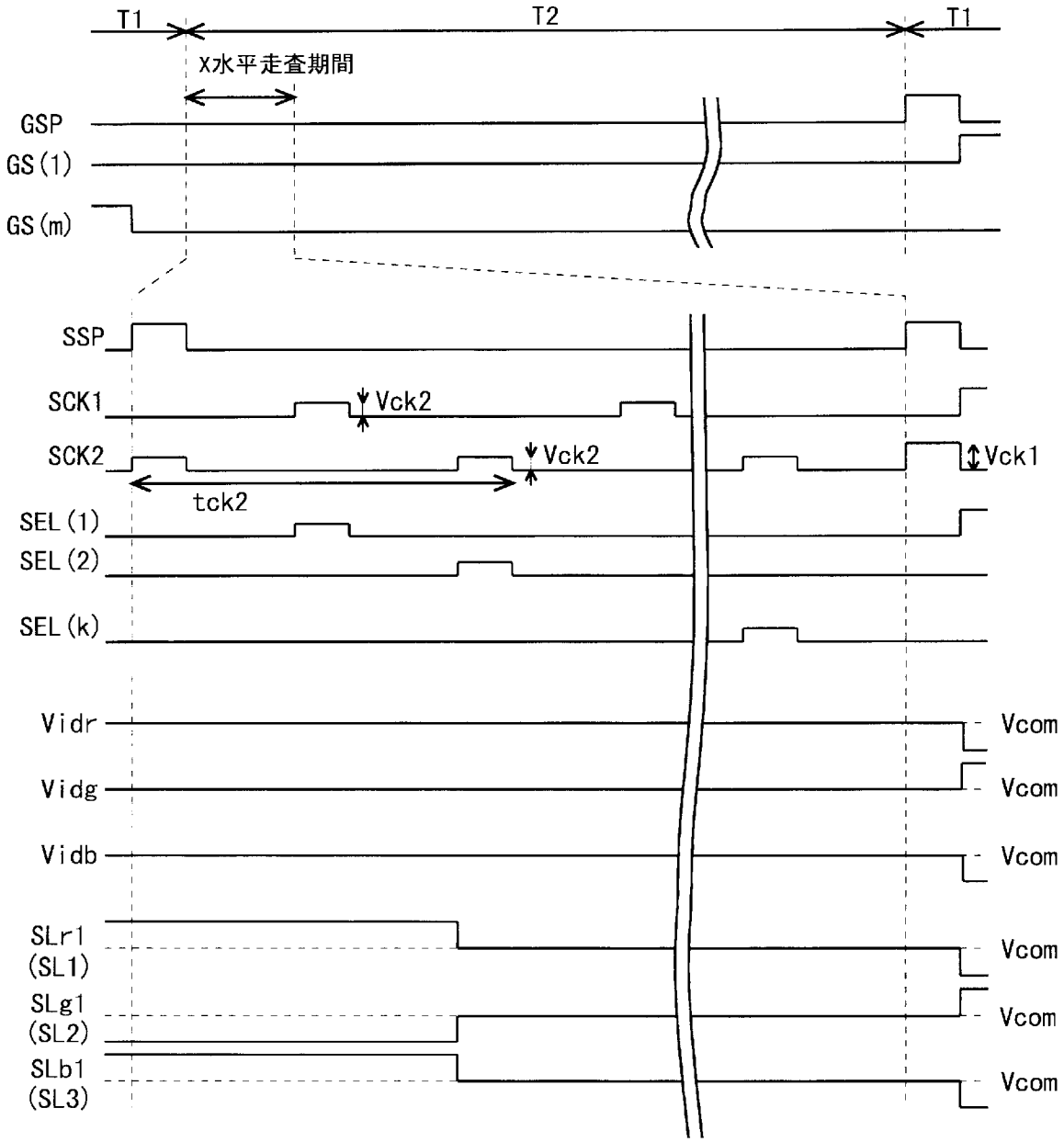
[図10]



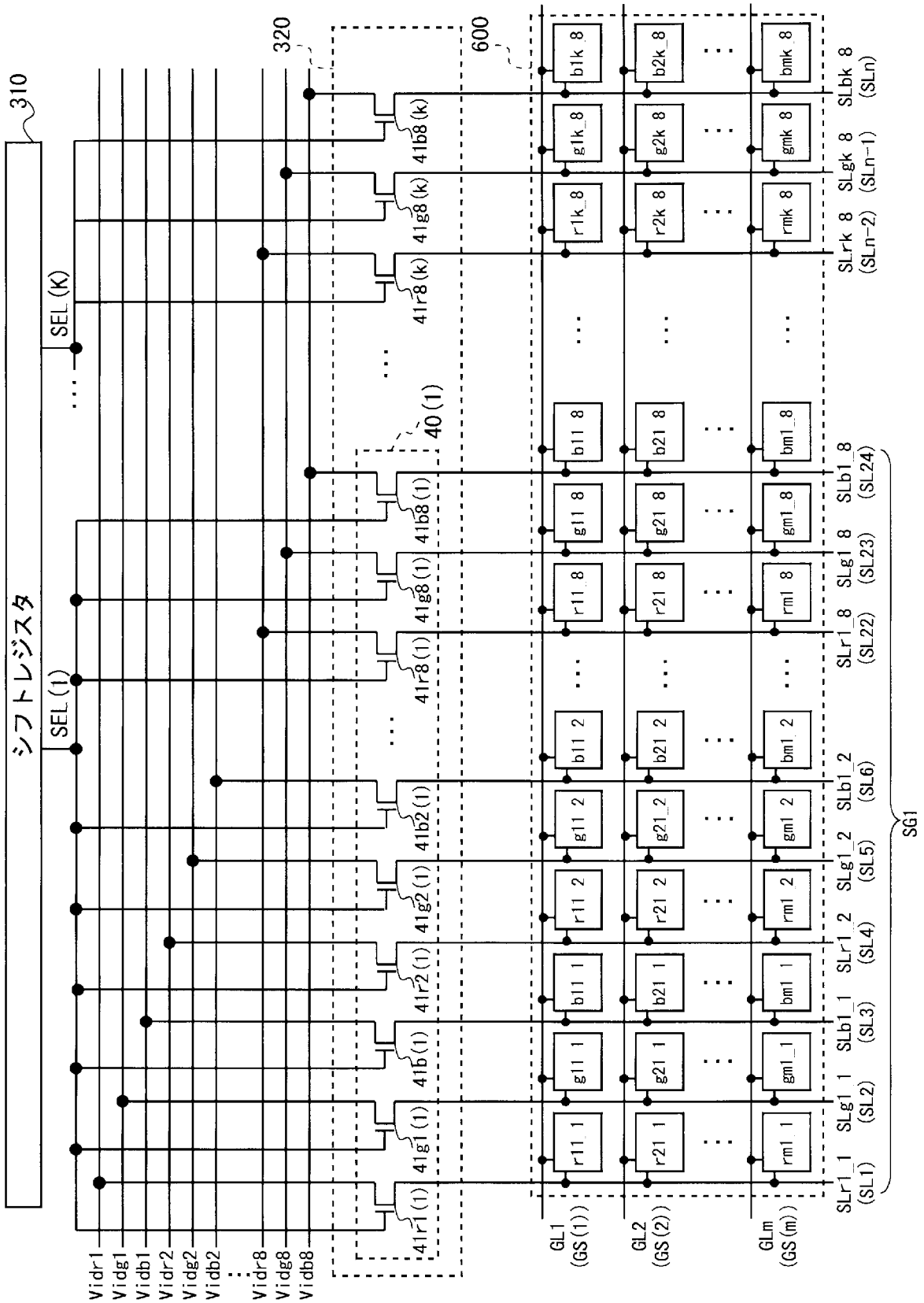
[図11]


1E-5
1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
1E-13
1E-14
1E-15
1E-16
1E-17
1E-18
Ids[A/μm]
オン電流
20倍
a-Si
IGZO
リーク電流
1/1000以下
-15
-10
-5
0
5
10
15
Vg[V]

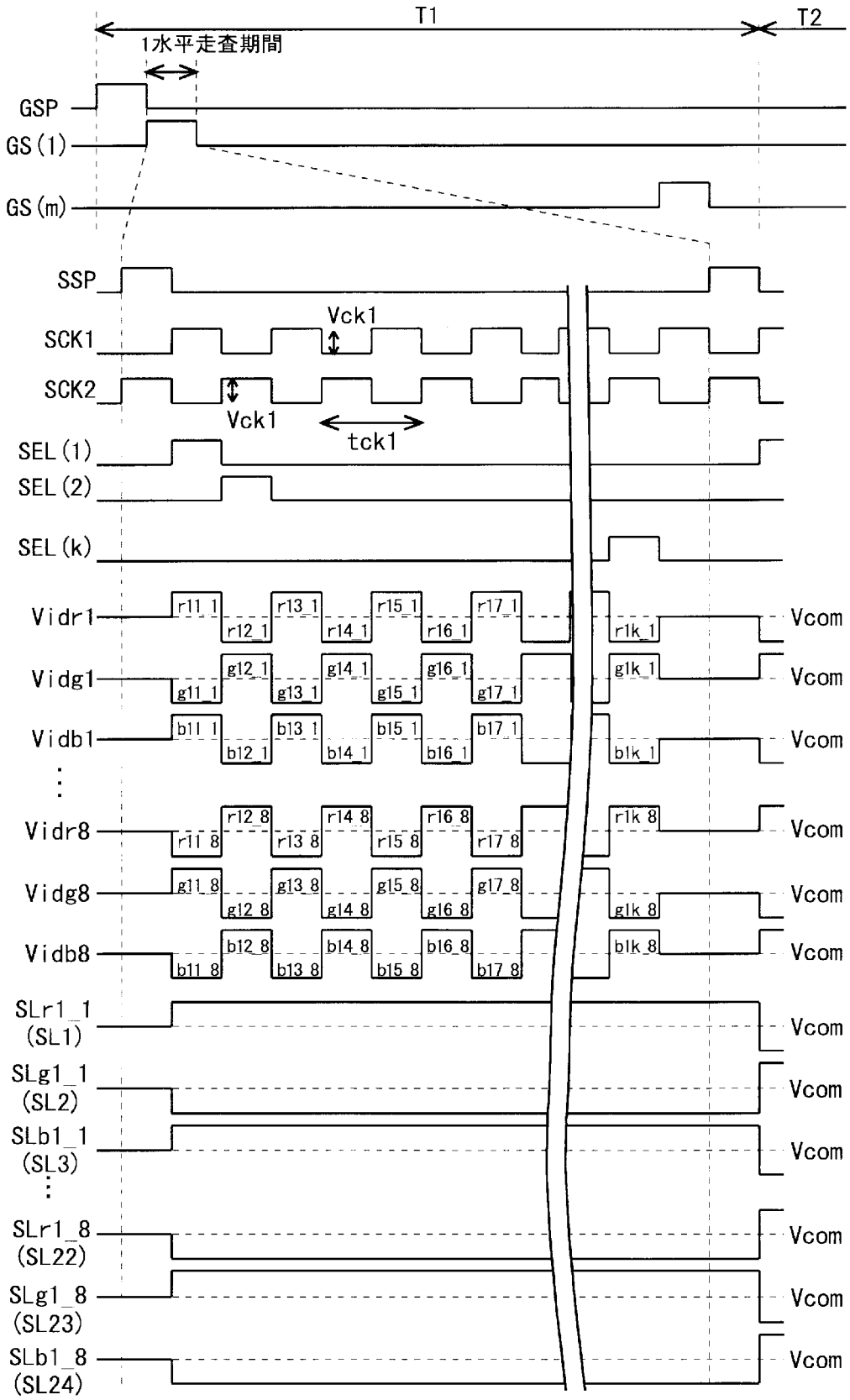
[図12]


T1
T2
T1
X水平走査期間
GSP
GS(1)
GS(m)
SSP
SCK1
Vck2
SCK2
Vck2
Vck1
tck2
SEL(1)
SEL(2)
SEL(k)
Vidr
Vidg
Vidb
SLr1
(SL1)
SLg1
(SL2)
SLb1
(SL3)
Vcom
Vcom
Vcom
Vcom
Vcom
Vcom

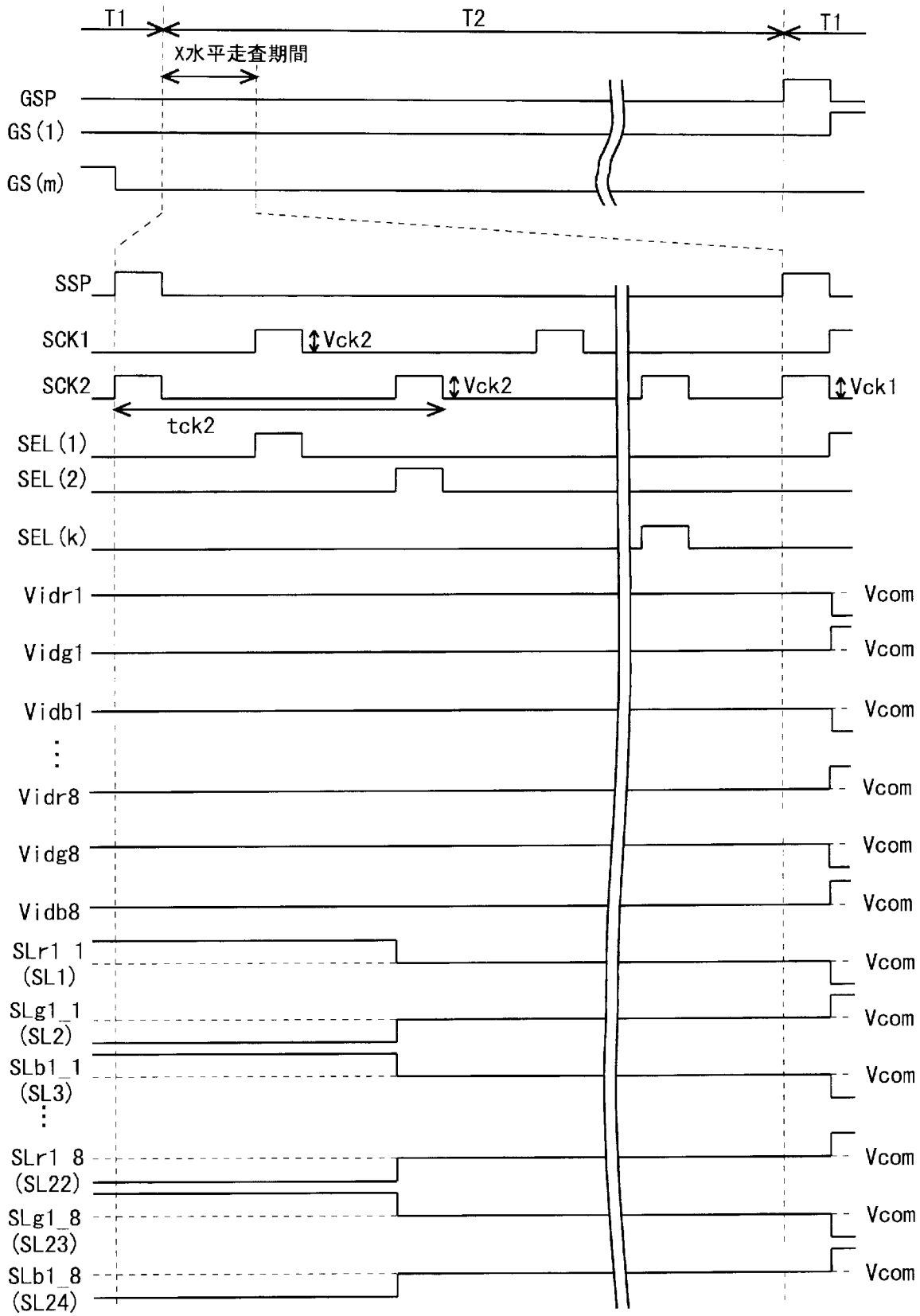
[図13]


シフトレジスタ
310
SEL(1)
SEL(K)
320
600
40(1)
Vidr1
Vidg1
Vidb1
Vidr2
Vidg2
Vidb2
Vidr8
Vidg8
Vidb8
41r1(1)
41g1(1)
41b1(1)
41r2(1)
41g2(1)
41b2(1)
41r8(1)
41g8(1)
41b8(1)
41r8(k)
41g8(k)
41b8(k)
GL1 (GS(1))
GL2 (GS(2))
GLm (GS(m))
SLr1_1 (SL1)
SLg1_1 (SL2)
SLb1_1 (SL3)
SLr1_2 (SL4)
SLg1_2 (SL5)
SLb1_2 (SL6)
SLr1_8 (SL22)
SLg1_8 (SL23)
SLb1_8 (SL24)
SLrk_8 (SLn-2)
SLgk_8 (SLn-1)
SLbk_8 (SLn)
SG1

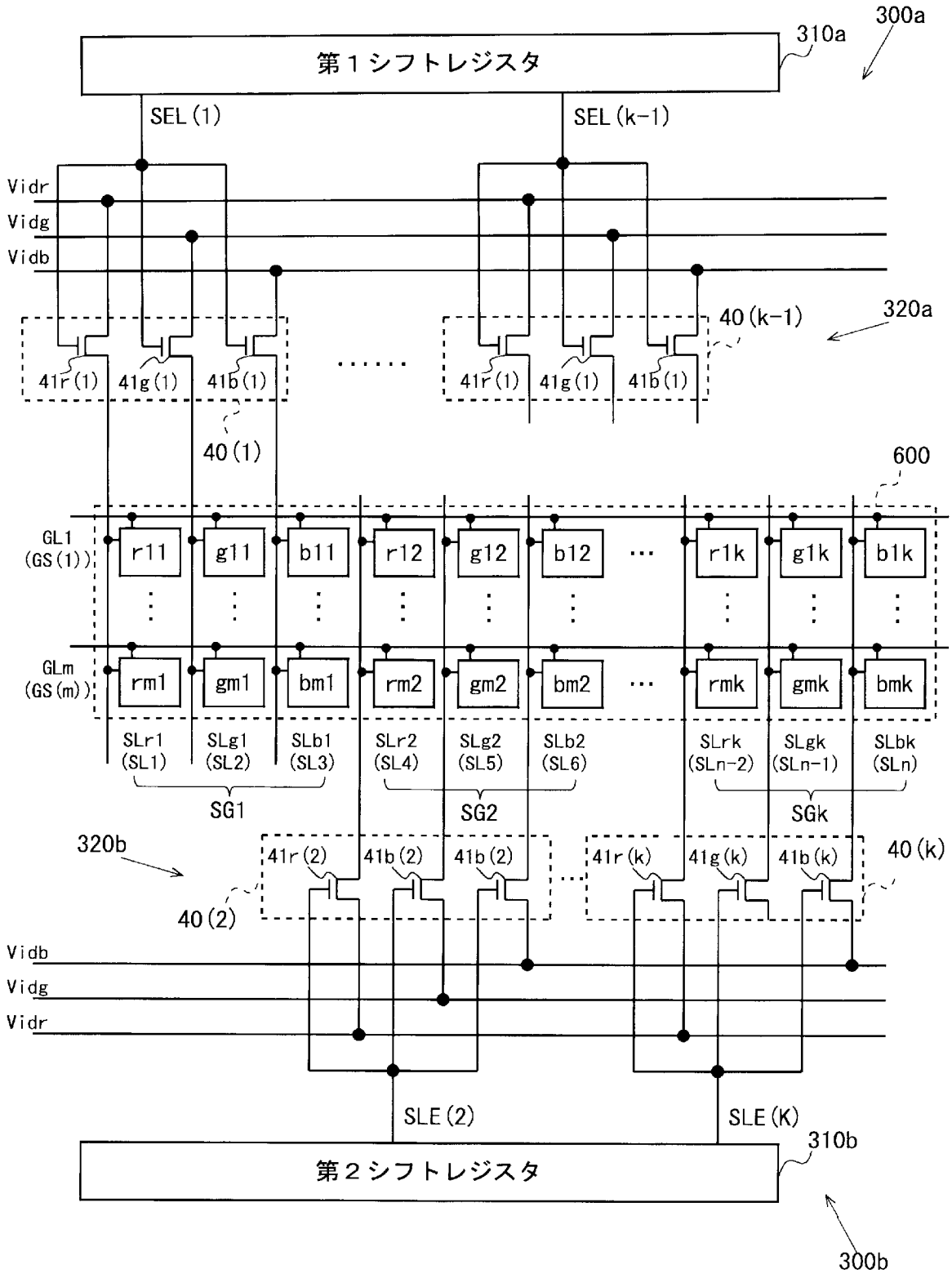
[図14]


T1
T2
1水平走査期間
GSP
GS(1)
GS(m)
SSP
SCK1
SCK2
Vck1
Vck1
tck1
SEL(1)
SEL(2)
SEL(k)
Vidr1
Vidg1
Vidb1
Vidr8
Vidg8
Vidb8
r11_1
r12_1
r13_1
r14_1
r15_1
r16_1
r17_1
r1k_1
g11_1
g12_1
g13_1
g14_1
g15_1
g16_1
g17_1
g1k_1
b11_1
b12_1
b13_1
b14_1
b15_1
b16_1
b17_1
b1k_1
r11_8
r12_8
r13_8
r14_8
r15_8
r16_8
r17_8
r1k_8
g11_8
g12_8
g13_8
g14_8
g15_8
g16_8
g17_8
g1k_8
b11_8
b12_8
b13_8
b14_8
b15_8
b16_8
b17_8
b1k_8
Vcom
SLr1_1 (SL1)
SLg1_1 (SL2)
SLb1_1 (SL3)
SLr1_8 (SL22)
SLg1_8 (SL23)
SLb1_8 (SL24)

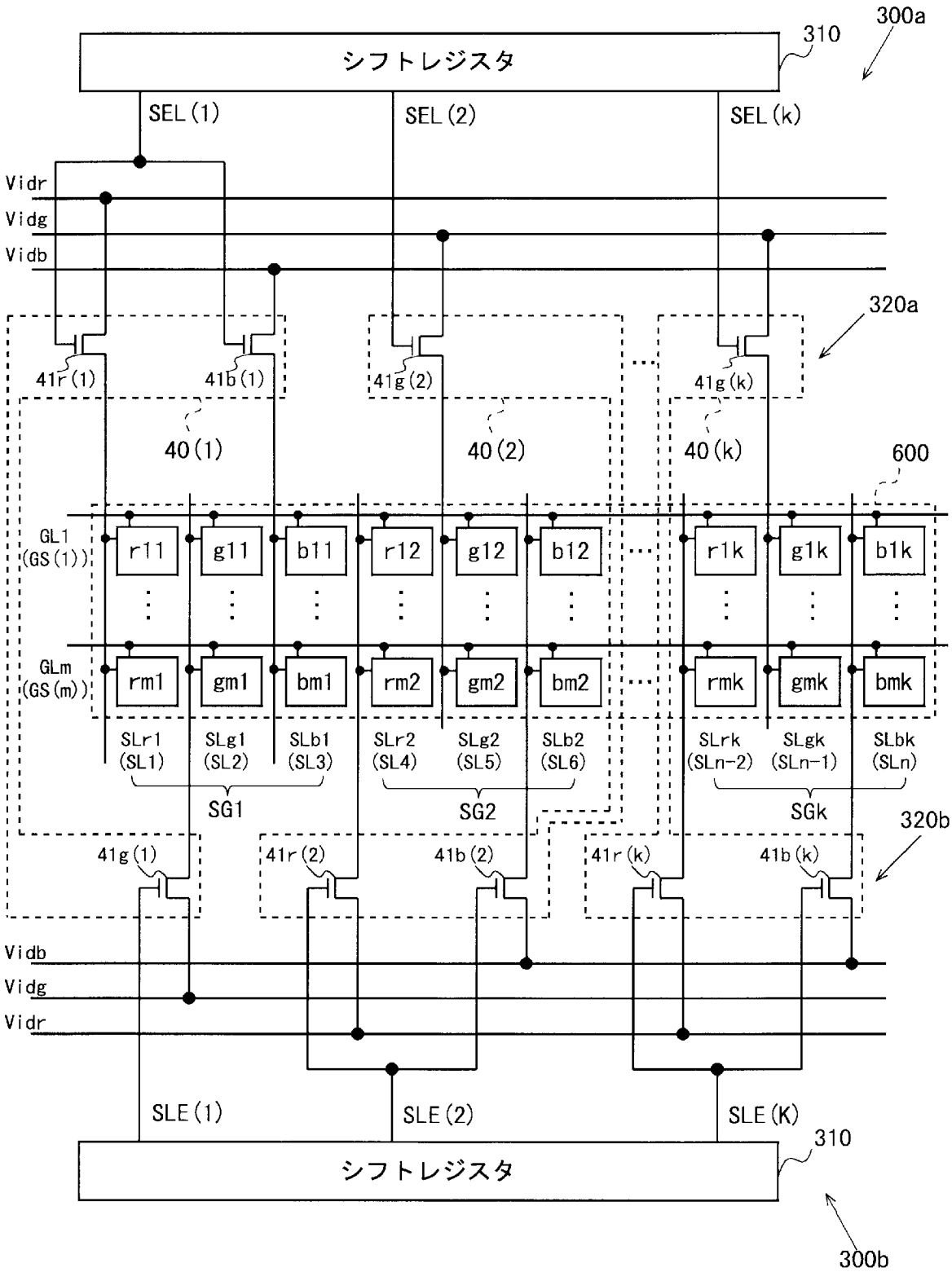
[図15]


T1
T2
T1
X水平走査期間
GSP
GS(1)
GS(m)
SSP
SCK1
Vck2
SCK2
Vck2
Vck1
tck2
SEL(1)
SEL(2)
SEL(k)
Vidr1
Vidg1
Vidb1
Vidr8
Vidg8
Vidb8
SLr1_1 (SL1)
SLg1_1 (SL2)
SLb1_1 (SL3)
SLr1_8 (SL22)
SLg1_8 (SL23)
SLb1_8 (SL24)
Vcom

[図16]


300a
310a
第１シフトレジスタ
SEL (1)
SEL (k-1)
Vidr
Vidg
Vidb
40 (k-1)
320a
41r (1)
41g (1)
41b (1)
40 (1)
600
GL1
(GS (1))
GLm
(GS (m))
r11
g11
b11
r12
g12
b12
r1k
g1k
b1k
rm1
gm1
bm1
rm2
gm2
bm2
rmk
gmk
bmk
SLr1
(SL1)
SLg1
(SL2)
SLb1
(SL3)
SLr2
(SL4)
SLg2
(SL5)
SLb2
(SL6)
SLrk
(SLn-2)
SLgk
(SLn-1)
SLbk
(SLn)
SG1
SG2
SGk
320b
41r (2)
41b (2)
41b (2)
41r (k)
41g (k)
41b (k)
40 (k)
40 (2)
Vidb
Vidg
Vidr
SLE (2)
SLE (K)
310b
第２シフトレジスタ
300b

[図17]


300a
310
シフトレジスタ
SEL(1)
SEL(2)
SEL(k)
Vidr
Vidg
Vidb
320a
41r(1)
41b(1)
41g(2)
41g(k)
40(1)
40(2)
40(k)
600
GL1
(GS(1))
r11
g11
b11
r12
g12
b12
r1k
g1k
b1k
GLm
(GS(m))
rm1
gm1
bm1
rm2
gm2
bm2
rmk
gmk
bmk
SLr1
(SL1)
SLg1
(SL2)
SLb1
(SL3)
SLr2
(SL4)
SLg2
(SL5)
SLb2
(SL6)
SLrk
(SLn-2)
SLgk
(SLn-1)
SLbk
(SLn)
SG1
SG2
SGk
320b
41g(1)
41r(2)
41b(2)
41r(k)
41b(k)
Vidb
Vidg
Vidr
SLE(1)
SLE(2)
SLE(K)
310
シフトレジスタ
300b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/068757

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-296148 A (Seiko Epson Corp.), 29 October 1999 (29.10.1999), paragraphs [0045] to [0077] (Family: none)	1-13
Y	JP 2006-053349 A (Citizen Watch Co., Ltd.), 23 February 2006 (23.02.2006), paragraphs [0012], [0029]; fig. 2 (Family: none)	1-13
Y	JP 2006-267313 A (Sharp Corp.), 05 October 2006 (05.10.2006), paragraph [0043]; fig. 11 (Family: none)	2,12

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
14 September, 2012 (14.09.12)	25 September, 2012 (25.09.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/068757

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-312253 A (Sharp Corp.), 09 November 2001 (09.11.2001), fig. 1 & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3,13
Y	JP 1-174186 A (Sharp Corp.), 10 July 1989 (10.07.1989), fig. 5 (Family: none)	8
A	JP 2010-192019 A (Sharp Corp.), 02 September 2010 (02.09.2010), fig. 28 (Family: none)	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０６８７５７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 11-296148 A（セイコーエプソン株式会社）1999.10.29, 【００４５】－【００７７】（ファミリーなし）	1-13
Y	JP 2006-053349 A（シチズン時計株式会社）2006.02.23, 【００１２】,【００２９】, 図２（ファミリーなし）	1-13
Y	JP 2006-267313 A（シャープ株式会社）2006.10.05, 【００４３】, 図１１（ファミリーなし）	2, 12

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １４．０９．２０１２	国際調査報告の発送日 ２５．０９．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　４４０２ 森口　忠紀 電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2001-312253 A (シャープ株式会社) 2001.11.09, 図１ & US 2002/0180673 A1 & EP 1296174 A1 & WO 2001/084226 A1 & TW 573167 B & CN 1440514 A	3, 13
Y	JP 1-174186 A (シャープ株式会社) 1989.07.10, 第５図（ファミリーなし）	8
A	JP 2010-192019 A (シャープ株式会社) 2010.09.02, 図２８（ファミリーなし）	1-13