

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 7/00

(45) 공고일자 2001년02월01일

(11) 등록번호 10-0280397

(24) 등록일자 2000년11월10일

(21) 출원번호	10-1997-0039804	(65) 공개번호	특1999-0017038
(22) 출원일자	1997년08월21일	(43) 공개일자	1999년03월15일

(73) 특허권자	현대반도체주식회사 김영환
(72) 발명자	충청북도 청주시 흥덕구 향정동 1번지 김재운 충청북도 청주시 흥덕구 향정동 50번지 박종훈
(74) 대리인	충청북도 청주시 흥덕구 복대2동 2008 삼일아파트 6동 402호 박장원

심사관 : 최정윤

(54) 입력버퍼회로

요약

본 발명은 입력버퍼회로에 관한 것으로 종래의 입력버퍼회로는 전원전압패드 및 접지전압패드와 입력버퍼회로부의 위치를 고려하지 않고, 동일한 채널길이 대 채널폭의 비를 갖는 MOS 트랜지스터를 사용하여 전원전압과 접지전압이 인가되는 파워라인 고유의 저항에 의해 접지전압패드와의 거리가 먼 입력버퍼회로부일수록 인가되는 접지전압이 증가하고, 전원전압패드와의 거리가 먼 입력버퍼회로부일수록 인가되는 전원전압의 값이 감소하여 각 입력버퍼회로부의 로직 문턱전압이 변화하게 됨으로써, 각 입력버퍼회로의 출력이 고르지 않아 각 입력버퍼회로를 통해 입력신호를 인가 받은 내부회로가 오동작을 하는 문제점이 있었다. 이와 같은 문제점을 발견한 본 발명은 종래 입력버퍼회로부에 구비된 피모스 트랜지스터를 전원전압패드(VCC PAD)로 부터 거리가 먼 것일수록 채널길이 대 채널폭의 크기를 크게 하고, 접지전압(VSS)으로부터 멀리 있을수록 그 엔모스 트랜지스터의 채널길이 대 채널폭의 비를 큰 것으로 사용함으로써, 각 입력버퍼회로부에 구비된 엔모스 트랜지스터 및 피모스 트랜지스터의 채널길이 대 채널폭의 비를 파워라인의 고유저항값을 고려하여 조절함으로써, 각 입력버퍼회로부의 로직문턱전압을 동일하게 하여 안정된 입력신호를 내부회로에 인가하여 내부회로를 안정화시키는 효과가 있다.

대표도

도7

명세서

도면의 간단한 설명

도1은 일반적인 입력버퍼회로도.

도2는 도1의 동작파형도.

도3은 일반적인 반도체 칩의 블록도.

도4는 종래 입력버퍼회로도.

도5는 도4의 등가회로도.

도6은 도4의 동작파형도.

도7은 본 발명 입력버퍼회로도.

도8은 도7의 등가회로도.

도9는 도7의 동작파형도.

도면의 주요 부분에 대한 부호의 설명

1~9: 입력버퍼회로부 PAD1~PAD9: 입력패드

VCC PAD: 전원전압패드 VSS PAD: 접지전압패드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 입력버퍼회로에 관한 것으로, 특히 반도체 칩 내부의 전원전압 및 접지전압이 인가되는 패드와 각 입력버퍼회로의 위치에 따라 입력버퍼회로에 사용되는 트랜지스터의 크기를 달리하여 입력버퍼의 로직 문턱전압의 변화를 방지하는데 적당하도록 한 입력버퍼회로에 관한 것이다.

일반적으로, 하나의 반도체 칩에는 다수의 입력버퍼회로가 구비되며, 각각 사용목적에 따라 씨모스 로직에서 저전위 또는 고전위로 인식하는 전압값을 티티엘에서 저전위 또는 고전위로 인식하는 전압값으로 변환하게 된다. 이때, 각 입력버퍼는 전원전압과 접지전압이 인가되는 패드와의 거리에 따라 전압강하 등의 이유로 씨모스 로직에서 티티엘로의 전압변화 또는 티티엘에서의 씨모스 로직으로의 전압변화가 정확하지 않을 수 있게 되며, 이와 같은 종래 입력버퍼회로를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도1은 종래 입력버퍼회로도로서, 이에 도시한 바와 같이 전원전압(VCC)과 접지전압(VSS)사이에서 직렬접속되어, 각 게이트에 인가되는 입력신호(IN)에 따라 도통제어되어, 그 접속점에서 출력신호(OUT)를 출력하는 피모스 트랜지스터(PM1) 및 엔모스 트랜지스터(NM1)로 구성된다.

이와 같이 인버터의 형태로 구성된 입력버퍼회로는 도2의 (a)에 도시한 바와 같이 2.2V의 입력신호(IN)가 입력되면, 피모스 트랜지스터(PM1)가 오프되고, 엔모스 트랜지스터(NM1)가 도통되어 그 출력신호(OUT)는 도2의 (b)에 도시한 바와 같이 접지전압값인 0V로 출력된다.

또한, 도2의 (a)에 도시한 바와 같이 입력신호(IN)가 저전위인 0.8V로 입력되면, 피모스 트랜지스터(PM1)가 도통되고, 엔모스 트랜지스터(NM1)가 턴오프되어 도2의 (b)에 도시한 전원전압값(VCC)인 5V로 출력된다.

이와 같은 동작으로, 입력버퍼회로는 티티엘에서 사용되는 전압을 씨모스 로직에서 사용하는 전압으로 변환하게 된다.

도3은 일반적인 반도체 칩의 블록도로서, 전원전압(VCC)과 접지전압(VSS)을 인가하는 패드(VCC PAD), (VSS PAD)와 다수의 입력패드(PAD1~PAD9)를 구비하여 구성된다.

그리고, 도4는 종래 반도체 칩 내부의 입력버퍼회로도로서, 이에 도시한 바와 같이 전원전압패드(VCC PAD) 및 접지전압패드(VSS PAD)를 통해 입력되는 전원전압(VCC)과 접지전압(VSS)을 각 사이에 위치하는 저항(R1~R16)을 통해 인가 받고, 입력패드(PAD1~PAD9)를 통해 인가되는 각 입력신호(IN1~IN9)에 따라 도통제어되어 출력신호(OUT1~OUT9)를 출력하는 다수의 입력버퍼회로부(1~9)를 포함하여 구성된다.

또한, 상기 도4에 도시한 바와 같은 입력버퍼회로를 등가회로로 각각 분리하여 도시한 도5에 도시한 바와 같이, 전원전압(VCC)이 인가되는 전원전압패드(VCC PAD)와 가장 인접하고, 접지전압(VSS)이 인가되는 접지전압패드(VSS PAD)와 가장 멀리 위치하는 입력버퍼회로부(1)는 전원전압(VCC)을 직접 소스에 인가 받고, 입력패드(PAD1)를 통해 입력되는 입력신호(IN1)에 따라 도통제어되는 피모스 트랜지스터(PM1)와, 상기 피모스 트랜지스터(PM1)의 드레인에 그 드레인이 접속되고, 상기 입력신호(IN1)에 따라 도통제어되는 엔모스 트랜지스터(NM1)와, 상기 엔모스 트랜지스터(NM1)의 소스에 일측이 접속되고, 타측에 접지전압(VSS)을 인가 받는 저항(RVSS)으로 구성되며, 전원전압패드(VCC PAD)와 가장 멀리 위치하고, 접지전압(VSS)과 가장 인접한 입력버퍼회로부(9)는 일측에 전원전압(VCC)을 인가 받는 저항(RVCC)과; 상기 저항(RVCC)의 타측에 소스가 접속되고, 입력패드(PAD9)를 통해 인가되는 입력신호(IN9)에 따라 도통제어되는 피모스 트랜지스터(PM9)와; 상기 피모스 트랜지스터(PM9)의 드레인에 그 드레인이 접속되고, 소스에 접지전압(VSS)을 인가받으며, 상기 입력신호(IN9)에 따라 도통제어되는 엔모스 트랜지스터(NM9)로 구성된다.

상기 저항(RVSS)은 파워라인 저항(R9~R12) 각각을 더한 등가저항이며, 저항(RVCC)은 저항(R1~R8) 각각을 더한 등가저항이며, 각각의 입력버퍼회로부(1~9)를 구성하는 피모스 트랜지스터(PM1~PM9) 또는 엔모스 트랜지스터(NM1~NM9)는 모두 동일한 채널폭 대 채널길이의 비를 갖는다.

상기와 같이 구성된 종래의 입력버퍼회로의 동작은 각각의 입력버퍼회로부(1~9)가 상기 도1에 도시한 입력버퍼회로와 동일한 동작을 하게 되나, 각각의 입력버퍼회로부(1~9)의 저항값의 차에 의해 출력신호는 도6에 도시한 바와 같이 차이를 갖게 된다.

즉, 입력버퍼회로부(1)의 문턱전압은 정상적인 입력버퍼회로부의 로직 문턱전압이 1.5V인 경우, 그 문턱전압이 증가하여 1.7V의 값을 갖으며, 입력버퍼회로부(9)의 로직 문턱전압값은 감소하여 1.4V를 갖게 됨을 알 수 있다.

발명이 이루고자 하는 기술적 과제

상기한 바와 같이 종래의 입력버퍼회로는 전원전압패드 및 접지전압패드와 입력버퍼회로부의 위치를 고려하지 않고, 동일한 채널길이 대 채널폭의 비를 갖는 모스 트랜지스터를 사용하여 전원전압과 접지전압이 인가되는 파워라인 고유의 저항에 의해 접지전압패드와의 거리가 먼 입력버퍼회로부일수록 인가되는 접지전압이 증가하고, 전원전압패드와의 거리가 먼 입력버퍼회로부일수록 인가되는 전원전압의 값이 감소하여 각 입력버퍼회로부의 로직 문턱전압이 변화하게 됨으로써, 각 입력버퍼회로의 출력이 고르지 않아 각 입력버퍼회로를 통해 입력신호를 인가 받은 내부회로가 오동작을 하는 문제점이 있었다.

이와 같은 문제점을 감안한 본 발명은 파워라인 고유의 저항을 고려하여 각 입력버퍼회로부를 구성하는 모스 트랜지스터의 채널길이 대 채널폭의 비를 다른 것을 사용하여 각각의 입력버퍼회로부가 동일한 로직 문턱전압을 갖는 입력버퍼회로의 제공에 그 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적은 전원전압패드 및 전원전압 라인을 통해 전원전압을 소스에 인가 받고, 입력신호에 따라 도통제어되는 피모스 트랜지스터와; 상기 피모스 트랜지스터의 드레인측에 그 드레인이 접속되며, 접지전압패드 및 접지전압 라인을 통해 접지전압을 인가 받고, 게이트에 인가되는 상기 입력신호에 따라 도통제어되는 엔모스 트랜지스터를 각각 구비하는 다수의 입력버퍼회로부를 포함하는 입력버퍼회로에 있어서, 상기 피모스 트랜지스터와, 엔모스 트랜지스터는 상기 전원전압 라인 및 접지전압 라인의 고유저항을 고려하여 채널길이 대 채널폭의 비를 조절하여 구성함으로써 달성되는 것으로, 이와 같은 본 발명 입력버퍼회로를 첨부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도7은 본 발명에 의한 각 입력버퍼회로도로서, 이에 도시한 바와 같이 다른 구성은 종래와 동일하며, 각 입력버퍼회로부(1~9)에 구비된 피모스 트랜지스터(PM2~PM9)와 엔모스 트랜지스터(NM1~NM8)의 채널길이 대 채널폭의 비를 파워라인의 저항을 고려하여 조정하여 구성된다. 즉, 전원전압패드(VCC PAD)와의 거리가 먼 입력버퍼회로부일수록 피모스 트랜지스터(PM2~PM9)의 채널길이 대 채널폭의 비를 점차 크게하여 로직 문턱전압값을 증가시키고, 접지전압패드(VSS PAD)와의 거리가 먼 입력버퍼회로부일수록 엔모스 트랜지스터(NM1~NM8)의 채널길이 대 채널폭의 비를 역시 점차 크게하여 로직 문턱전압값을 감소시킨다.

이와 같은 본 발명의 입력버퍼회로부의 등가회로를 보인 도8에 도시한 바와 같이 전원전압패드(VCC PAD)와 가장 인접하고, 접지전압패드(VSS PAD)와 가장 먼 입력버퍼회로부(1)는 전원전압(VCC)을 소스에 인가 받고, 게이트에 입력패드(PAD1)를 통해 인가되는 입력신호(IN1)에 따라 도통제어되는 피모스 트랜지스터(PM1)와; 상기 피모스 트랜지스터(PM1)의 드레인에 드레인이 접속되고, 상기 입력신호(IN1)에 따라 도통제어되는 엔모스 트랜지스터(NM1)와; 상기 엔모스 트랜지스터(NM1)의 소스에 일측이 접속되고, 타측에 접지전압(VSS)을 인가 받는 저항(RVSS)으로 구성되며, 전원전압패드(VCC PAD)와 가장 거리가 멀고, 접지전압패드(VSS PAD)와 가장 인접한 입력버퍼회로부(9)는 전원전압(VCC)을 일측에 인가 받는 저항(RVCC)과; 상기 저항(RVCC)의 타측에 소스가 접속되고, 게이트에 입력패드(PAD9)를 통해 인가되는 입력신호(IN9)에 따라 도통제어되는 피모스 트랜지스터(PM9)와; 상기 피모스 트랜지스터(PM9)의 드레인에 그 드레인이 접속되고, 소스에는 접지전압(VSS)을 인가받으며, 상기 입력신호(IN9)에 따라 도통제어되는 엔모스 트랜지스터(NM9)로 구성된다.

이때, 상기 저항(RVCC)은 전원전압(VCC)측 파워라인의 고유저항(R1~R8)을 모두 합한 등가저항이며, 저항(RVSS)은 접지전압(VSS)측 파워라인의 고유저항(R9~R16)을 모두 합한 등가저항이고, 상기 엔모스 트랜지스터(NM1)는 엔모스 트랜지스터(NM9)보다 채널길이 대 채널폭의 비가 크고, 상기 피모스 트랜지스터(PM9)는 피모스 트랜지스터(PM1)보다 채널길이 대 채널폭의 비가 큰 것을 특징으로 한다.

이하, 상기와 같이 구성된 본 발명 입력버퍼회로의 동작을 설명한다.

먼저, 도9에 도시한 바와 같이 입력신호(IN1~IN9)가 서서히 증가하도록 입력되는 경우, 상기 입력버퍼회로부(1)의 엔모스 트랜지스터(NM1)는 그 채널길이 대 채널폭의 비가 엔모스 트랜지스터(NM9)보다 크기 때문에 일찍 도통되나, 그 엔모스 트랜지스터(NM1)의 소스와 접지사이의 저항(RVSS)의 영향으로 엔모스 트랜지스터(NM1)의 소스에는 접지전압(VSS)이상의 값이 인가되어 엔모스 트랜지스터(NM1)가 소스에 접지전압(VSS)을 인가 받은 엔모스 트랜지스터(NM9)보다 늦게 도통되기 때문에 두 성분이 서로 상쇄되며, 이로 인해 각 입력버퍼회로부(1~9)의 엔모스 트랜지스터(NM1~NM9)는 동일한 순간에 도통된다.

그 다음, 입력신호(IN1~IN9)가 서서히 감소하도록 입력되는 경우, 상기 입력버퍼회로부(9)의 피모스 트랜지스터(PM1)의 소스에는 파워라인 고유의 저항값(RVCC)에 의한 전원전압(VCC)값의 감소로 전원전압(VCC)보다 작은 전압값이 인가되고, 이는 피모스 트랜지스터(PM9)가 피모스 트랜지스터(PM1)보다 늦게 도통되는 원인이 되었으나, 그 피모스 트랜지스터(PM9)의 채널길이 대 채널폭의 비를 피모스 트랜지스터(PM1)보다 크게하여 빨리 도통되게 함으로써, 각 입력버퍼회로부(1~9)의 피모스 트랜지스터(PM1~PM9)가 동시에 도통된다.

발명의 효과

상기한 바와 같이 본 발명 입력버퍼회로는 각 입력버퍼회로부에 구비된 엔모스 트랜지스터 및 피모스 트랜지스터의 채널길이 대 채널폭의 비를 파워라인의 고유저항값을 고려하여 조절함으로써, 각 입력버퍼회로부의 로직문턱전압을 동일하게 하여 안정된 입력신호를 내부회로에 인가하여 내부회로를 안정화시키는 효과가 있다.

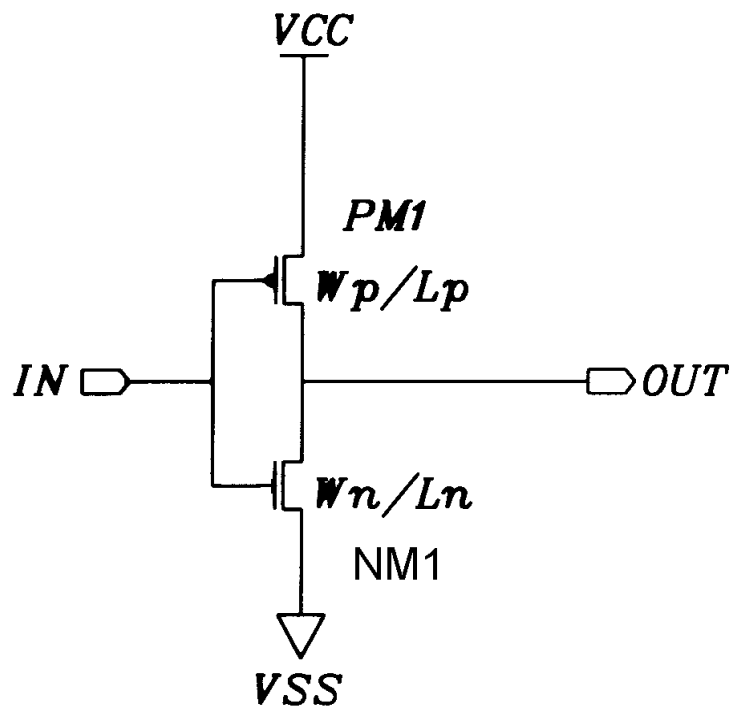
(57) 청구의 범위

청구항 1

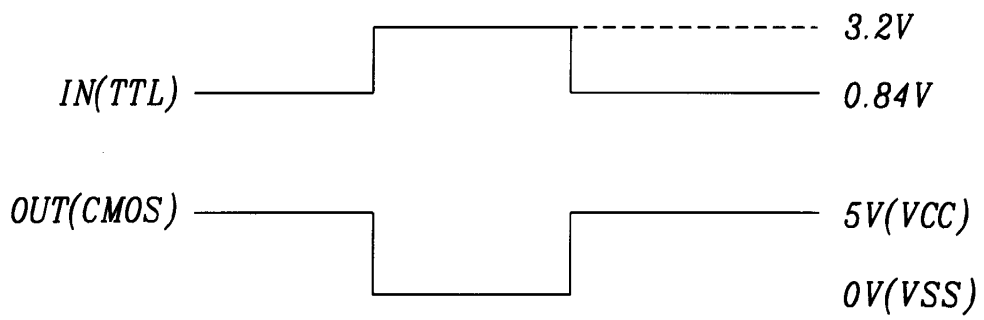
전원전압패드 및 전원전압 라인을 통해 전원전압을 소스에 인가 받고, 입력신호에 따라 도통제어되는 피모스 트랜지스터와; 상기 피모스 트랜지스터의 드레인측에 그 드레인이 접속되며, 접지전압패드 및 접지전압 라인을 통해 접지전압을 인가 받고, 게이트에 인가되는 상기 입력신호에 따라 도통제어되는 엔모스 트랜지스터를 각각 구비하는 다수의 입력버퍼회로부를 포함하는 입력버퍼회로에 있어서, 상기 피모스 트랜지스터와 엔모스 트랜지스터는 상기 전원전압 라인 및 접지전압 라인의 고유저항을 고려하여 채널길이 대 채널폭의 비가 각기 다른 것을 사용하는 것을 특징으로 하는 입력버퍼회로.

도면

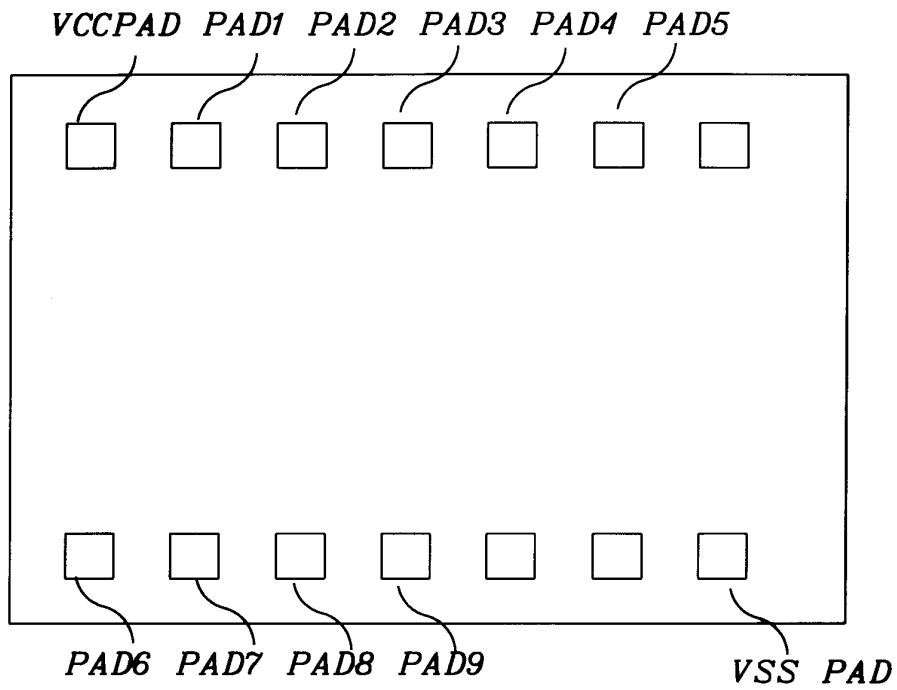
도면1



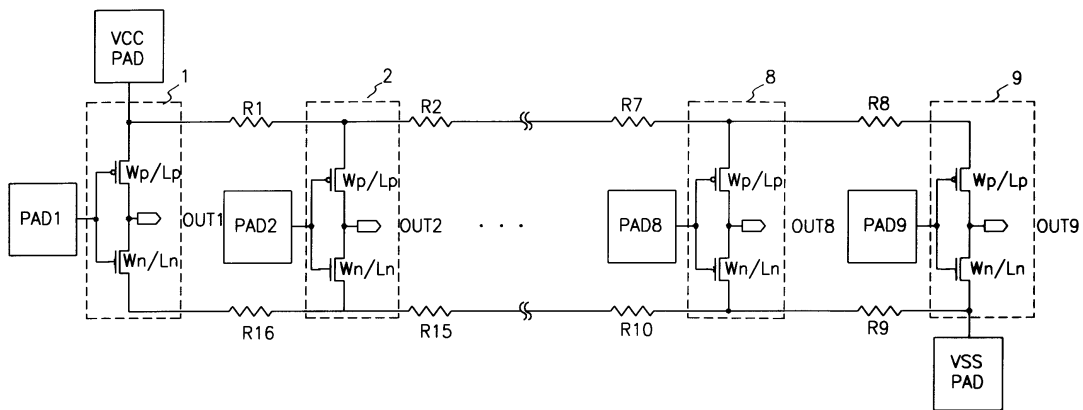
도면2



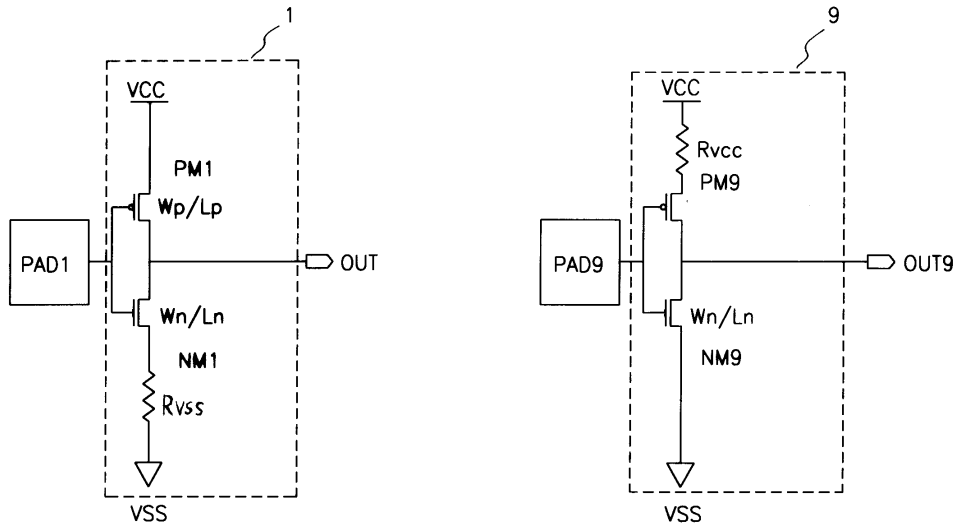
도면3



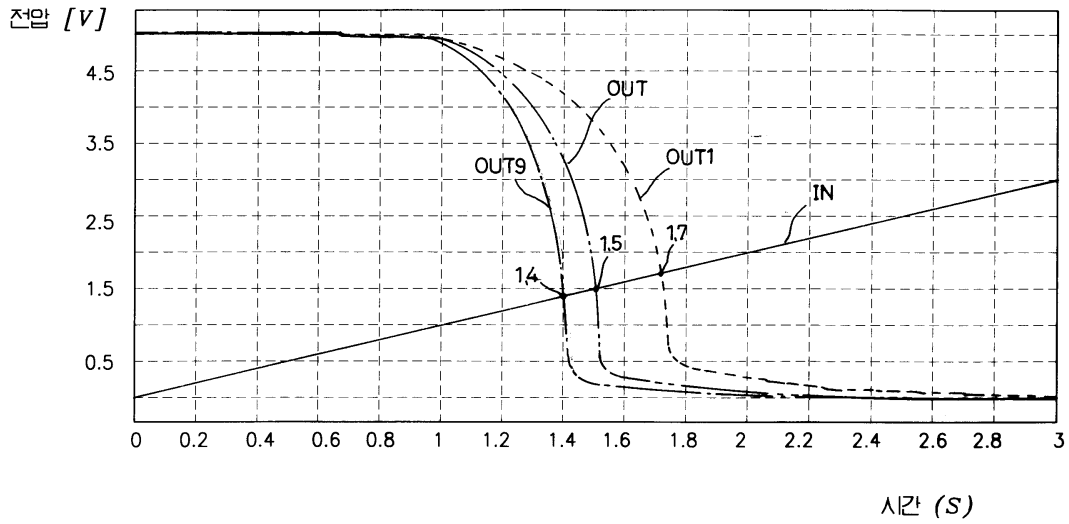
도면4



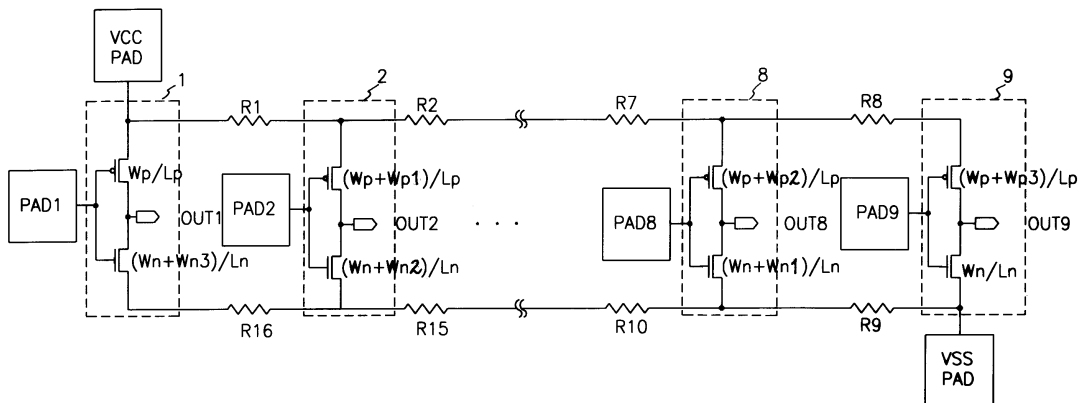
도면5



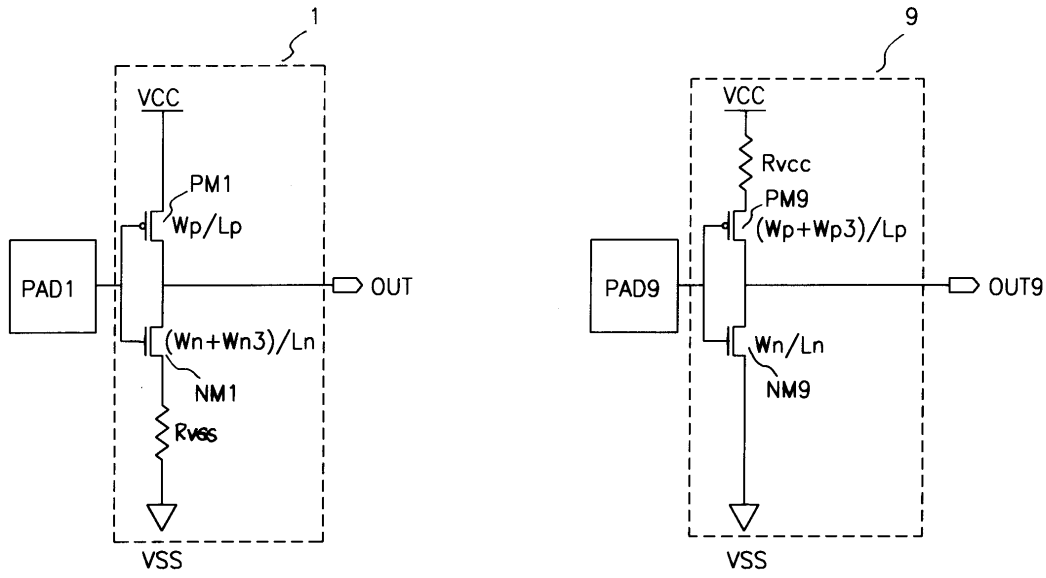
도면6



도면7



도면8



도면9

