(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年3月10日(10.03.2022)

WIPO | PCT

(10) 国際公開番号
WO 2022/049752 A1

(51) 国際特許分類:
H01L 29/737 (2006.01) *H01L 21/331* (2006.01)

(21) 国際出願番号： PCT/JP2020/033722

(22) 国際出願日： 2020年9月7日(07.09.2020)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 日本電信電話株式会社 (**NIPPON TELEGRAPH AND TELEPHONE CORPORATION**) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目５番１号 Tokyo (JP).

(72) 発明者: 白鳥 悠太 (**SHIRATORI, Yuta**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ＮＴＴ知的財産センタ内 Tokyo (JP).

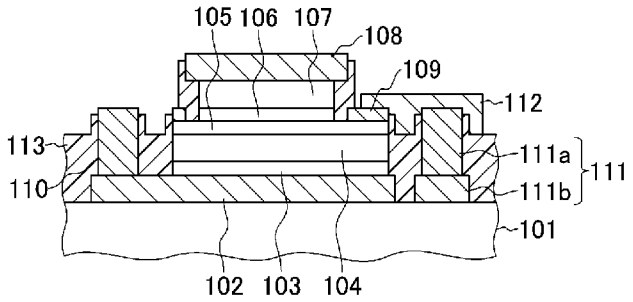
(74) 代理人: 山川 茂樹, 外 (**YAMAKAWA, Shigeki** et al.); 〒1006104 東京都千代田区永田町２丁目１１番１号 山王パークタワー４階 山川国際特許事務所内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) **Title:** HETEROJUNCTION BIPOLAR TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称： ヘテロ接合バイポーラトランジスタおよびその製造方法



(57) **Abstract:** A heterojunction bipolar transistor comprises, on a substrate (101), a collector electrode (102), a sub-collector layer (103), a collector layer (104), a base layer (105), an emitter layer (106), an emitter cap layer (107), an emitter electrode (108), and a base electrode (109), a base pad electrode (112) being electrically connected to the base electrode (109) and being formed extending outward from the base layer (105) in plan view, and a support part (111) supporting an extension part of the base pad electrode (112) above the collector electrode (102).

(57) 要約：ＨＢＴは、基板（１０１）の上に、コレクタ電極（１０２）、サブコレクタ層（１０３）、コレクタ層（１０４）、ベース層（１０５）、エミッタ層（１０６）、エミッタキャップ層（１０７）、エミッタ電極（１０８）、ベース電極（１０９）を備え、ベースパッド電極（１１２）が、ベース電極（１０９）に電気的に接続し、平面視でベース層（１０５）より外側に延在して形成され、支持部（１１１）は、コレクタ電極（１０２）の上でベースパッド電極（１１２）の延在部を支持している。

WO 2022/049752 A1

［続葉有］

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

明　細　書

発明の名称 ：

ヘテロ接合バイポーラトランジスタおよびその製造方法

技術分野

[0001] 本発明は、ヘテロ接合バイポーラトランジスタおよびその製造方法に関する。

背景技術

[0002] インジウムリン（ＩｎＰ）系ヘテロ接合バイポーラトランジスタ（ＨＢＴ）は、光／無線通信用集積回路に適した、高速性に優れたトランジスタである。ＩｎＰ系ＨＢＴの更なる高速化を実現するためには、動作電流量を維持しつつ、素子微細化により真性容量および寄生容量を削減し、充放電時間を短縮することが重要となる。一方で、微細化により素子の熱抵抗が増大することから、素子の接合温度（素子内部の温度）は、微細化により増加する。接合温度は、電子速度や電流利得といった直接的な電気的特性だけでなく、長期信頼性に対しても大きな影響を与える要因となるため、ＨＢＴ高速化において放熱対策は必須事項である。

[0003] ＨＢＴの放熱性の向上には、例えば非特許文献１に示されている技術がある。非特許文献１には、図３に示すようなＨＢＴが開示されている。このＨＢＴは、放熱基板３０１の上に形成された金属層３０２と、金属層３０２の上に形成されたサブコレクタ層３０３、コレクタ層３０４、ベース層３０５、エミッタ層３０６、エミッタキャップ層３０７を備える。エミッタキャップ層３０７の上には、エミッタ電極３０８が形成され、エミッタ層３０６の周囲のベース層３０５の上には、ベース電極３０９が形成されている。また、金属層３０２が、コレクタ電極として機能する。

[0004] 上述した構成のＨＢＴにおいて、非特許文献１の技術では、ベース電極３０９の一部が、図視していない上層配線と接続するために、より広い面積に形成された、いわゆるベースパッド構造を成している。

[0005] ＨＢＴ内部で発生した熱は、一般的にコレクタ層３０４から放熱基板３０１の側に向かって固体中の熱伝導により放熱される。上記の構造によれば、サブコレクタ層３０３より放熱基板３０１の側の層（金属層３０２）は、エミッタ層３０６、ベース層３０５、コレクタ層３０４、サブコレクタ層３０３を構成する化合物半導体よりも熱伝導率が高い材料で構成されていることから、ＨＢＴの放熱性を向上させることができる。

[0006] しかしながら、非特許文献１の構造において、ベースパッド構造のベース電極３０９とコレクタ電極となる金属層３０２との間に生じるコレクタ寄生容量を精度良く削減することが困難なため、高速化に制約が生じるという新たな課題が生じる。以下にその詳細を説明する。

[0007] 一般的に、ベースパッド構造の寄生容量を削減する方法は大きく２つ考えられる。第１に、ベースパッド構造の面積を縮小することであり、第２に、ベースパッド構造のベース電極とコレクタ電極との間に存在する半導体層（ベース層、コレクタ層、サブコレクタ層）を除去することである。

[0008] 一般に、ベースパッド構造においては、エミッタ幅０．２５μｍ級のヘテロ接合バイポーラトランジスタを製造する際に使用する露光技術を用いた場合、上層配線とベースパッド電極とのコンタクト位置精度やコンタクトホールの寸法ばらつきなどを考慮すると、典型的には１μｍ^{2}程度の面積が必要とされる。このため、第１の方法により、ベースパッド構造を大幅に縮小することは、接続不良や端子間のショートといった別種の問題を引き起こす可能性がある。

[0009] ベースパッド構造と上部配線の接続工程のみ、解像度の高い露光技術を用いることで、原理的にはベースパッド構造の縮小化を図ることは可能である。しかしながら、この１工程のために高解像度の露光装置を導入することは、プロセスコストの増大を招く。このため、素子形成工程と同等の露光技術で、上層配線と歩留まりよく接続可能な面積を有するベースパッド構造が望ましいことは言うまでもない。

[0010] また、第２の方法として挙げたベースパッド構造直下の半導体層（ベース

層、コレクタ層、サブコレクタ層）を除去するためには、典型的には、ベース層、コレクタ層、サブコレクタ層の材料に対応した薬液を用いたウェットエッチングにより除去する方法が採られる。しかしながら、ウェットエッチングは、薬液温度や濃度、被エッチング面の面積や密度、結晶方位などのエッチング条件によって、時間当たりのエッチング量が大きく影響を受ける。このため、例えば、ウェハ面内でトランジスタ密度が異なる領域では、ベースパッド構造直下の半導体層のサイドエッチング量にばらつきが生じ、結果としてウェハ面内においてトランジスタの寄生コレクタ容量ばらつきが生じる要因となりうる。

[0011] サイドエッチ量が不足すれば、有意に寄生コレクタ容量を削減することはできない。一方、ベースパッド電極直下の半導体層が過剰にサイドエッチされた場合、ベースパッド電極の自重や形成時の応力によりベースパッド電極端が基板側にたわみ、最悪の場合、ベースパッド電極とコレクタ電極が接触することで、ベース電極とコレクタ電極が電気的に短絡することが懸念される。

[0012] 加えて、ベースパッド構造そのものが遮蔽物となり、直下の半導体層のサイドエッチング量を電子顕微鏡等により非破壊で観察することが困難なために、ウェットエッチング時間の最適化も困難である。

先行技術文献

非特許文献

[0013] 非特許文献1：Y. Shiratori et al., "High-Speed InP/InGaAsSb DHBT on High-Thermal-Conductivity SiC Substrate", IEEE Electron Device Letters, vol. 39, no. 6, pp. 807-810, 2018.

発明の概要

発明が解決しようとする課題

[0014] 以上に説明したように、放熱性を改善するために放熱基板上にＩｎＰ系ＨＢＴを形成する場合において、ベースパッド構造直下の寄生コレクタ容量を

ウェハ面内で均一性良く削減することが難しく、高速化に制限が生じるという課題がある。

[0015] 本発明は、以上のような問題点を解消するためになされたものであり、ベースパッド構造における寄生コレクタ容量が、高速性を犠牲にすることなく低減できるようにすることを目的とする。

課題を解決するための手段

[0016] 本発明に係るヘテロ接合バイポーラトランジスタは、基板の上に、平面視で基板より小さい面積に形成されたコレクタ電極と、コレクタ電極の上に、平面視でコレクタ電極より小さい面積に形成された、化合物半導体からなるサブコレクタ層と、サブコレクタ層の上に形成された、化合物半導体からなるコレクタ層と、コレクタ層の上に形成された、化合物半導体からなるベース層と、ベース層の上に、平面視でベース層より小さい面積に形成された、化合物半導体からなるエミッタ層と、エミッタ層の上に形成された、化合物半導体からなるエミッタキャップ層と、エミッタキャップ層の上に形成されたエミッタ電極と、エミッタ層の周囲のベース層の上に形成されたベース電極と、サブコレクタ層の周囲のコレクタ電極の上に形成されたコレクタポスト電極と、ベース電極に接続し、平面視でベース層より外側に延在して形成されたベースパッド電極と、コレクタ電極から離間して、コレクタ電極の周囲の基板の上に形成され、コレクタ電極の上でベースパッド電極の延在部を支持する支持部とを備える。

[0017] また、本発明に係るヘテロ接合バイポーラトランジスタの製造方法は、化合物半導体からなる成長基板の上に、各々化合物半導体からなるエミッタキャップ形成層、エミッタ形成層、ベース形成層、コレクタ形成層、およびサブコレクタ形成層を、これらの順に結晶成長して形成する第１工程と、サブコレクタ形成層の上に金属からなる金属層を形成する第２工程と、金属層の上に、基板を貼り合わせる第３工程と、金属層の上に基板を貼り合わせた後で、成長基板を除去する第４工程と、基板の上に金属層を介して形成された、サブコレクタ形成層、コレクタ形成層、ベース形成層、エミッタ形成層、

エミッタキャップ形成層をパターニングすることで、金属層の上に、サブコレクタ層、コレクタ層、ベース層、平面視でベース層より小さい面積のエミッタ層、エミッタキャップ層を形成し、エミッタキャップ層の上にエミッタ電極を形成し、エミッタ層の周囲のベース層の上にベース電極を形成する第５工程と、サブコレクタ層、コレクタ層、ベース層、エミッタ層、エミッタキャップ層を備える素子部の周囲の金属層の上に、コレクタポスト電極および第１支持部を形成する第６工程と、金属層を、第１支持部が形成されている領域と素子部の領域と、第１支持部の領域とに分離して、素子部の下の基板の上に配置されたコレクタ電極と、第１支持部の下の基板の上に配置された第２支持部とを形成し、第１支持部と第２支持部とから構成された支持部を、コレクタ電極から離間して、コレクタ電極の周囲の基板の上に形成する第７工程と、素子部を覆う保護層を形成する第８工程と、ベース電極の上部、コレクタポスト電極の上部、および支持部の上部を、保護層より露出させる第９工程と、支持部の側に形成され、保護層より露出したベース電極に接続し、平面視で、ベース層より外側で支持部の上にまで延在するベースパッド電極を、保護層の上に形成する第１０工程とを備える。

発明の効果

[0018] 以上説明したように、本発明によれば、平面視でベース層より外側に延在してベースパッド電極を形成し、ベースパッド電極の延在部を支持部で支持するので、ベースパッド構造における寄生コレクタ容量が、高速性を犠牲にすることなく低減できる。

図面の簡単な説明

[0019] [図1]図１は、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの構成を示す断面図である。

[図2A]図２Ａは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2B]図２Ｂは、本発明の実施の形態に係るヘテロ接合バイポーラトランジ

スタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2C]図２Ｃは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2D]図２Ｄは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2E]図２Ｅは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2F]図２Ｆは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2G]図２Ｇは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2H]図２Ｈは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図2I]図２Ｉは、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法を説明するための途中工程の素子の状態を示す断面図である。

[図3]図３は、従来のヘテロ接合バイポーラトランジスタの構成を示す断面図である。

発明を実施するための形態

[0020] 以下、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタについて図１を参照して説明する。

[0021] このヘテロ接合バイポーラトランジスタ（ＨＢＴ）は、まず、基板１０１の上に、平面視で基板１０１より小さい面積に形成されたコレクタ電極１０２を備える。基板１０１は、この種の技術分野で、放熱基板とされる材料から構成されている。この例では、基板１０１の上に接して、コレクタ電極１０２が形成されている。

[0022] 基板１０１は、例えば、ＩｎＰよりも熱伝導率が高く、かつ素子間の電気的分離を容易にするために、ＩｎＰと同等の絶縁性を有している材料から構成することが望ましい。基板１０１は、例えば、Ｓｉ、ＡｌＮ、ＧａＮ、ＳｉＣ、ダイヤモンド、あるいはこれらの材料を組み合わせた積層構造から構成することができる。また、コレクタ電極１０２は、例えば、基板１０１の側からＡｕ／Ｔｉあるいは、Ａｕ／Ｍｏとされた金属から構成されている。

[0023] また、このＨＢＴは、コレクタ電極１０２の上に、平面視でコレクタ電極１０２より小さい面積に形成された、化合物半導体からなるサブコレクタ層１０３と、サブコレクタ層１０３の上に形成された、化合物半導体からなるコレクタ層１０４と、コレクタ層１０４の上に形成された、化合物半導体からなるベース層１０５とを備える。この例では、コレクタ電極１０２の上に接して、サブコレクタ層１０３が形成されている。

[0024] サブコレクタ層１０３，コレクタ層１０４，ベース層１０５は、平面視で同一の面積に形成されて、これらで、第１メサが構成されている。第１メサは、例えば、平面視矩形の柱状とされている。サブコレクタ層１０３は、例えば、Ｓｉが高濃度にドープされてｎ型とされたn^+－ＩｎＧａＡｓから構成されている。コレクタ層１０４は、例えば、Ｓｉが低濃度にドープされてｎ型とされたｎ－ＩｎＧａＡｓから構成されている。ベース層１０５は、例えば、Ｃが高濃度にドープされてｐ型とされたp^+－ＧａＡｓＳｂから構成されている。

[0025] また、このＨＢＴは、ベース層１０５の上に、平面視でベース層１０５より小さい面積に形成された、化合物半導体からなるエミッタ層１０６と、エミッタ層１０６の上に形成された、化合物半導体からなるエミッタキャップ

層１０７とを備える。エミッタ層１０６、エミッタキャップ層１０７は、平面視で同一の面積に形成されて、これらで、第２メサが構成されている。第２メサは、例えば、平面視矩形の柱状とされている。第２メサは、平面視で、第１メサの内側に配置されている。

[0026] 例えば、エミッタ層１０６は、Ｓｉが低濃度にドープされてｎ型とされたｎ－ＩｎＰから構成されている。また、エミッタキャップ層１０７は、Ｓｉが高濃度にドープされてｎ型とされたn_+－ＩｎＧａＡｓから構成されている。

[0027] また、このＨＢＴは、エミッタキャップ層１０７の上に形成されたエミッタ電極１０８と、エミッタ層１０６の周囲のベース層１０５の上に形成されたベース電極１０９とを備える。エミッタ電極１０８は、Ｍｏ／Ｗなどの金属から構成することができる。ベース電極１０９は、Ａｕ／Ｔｉなどの金属から構成することができる。

[0028] 上述した構成に加え、このＨＢＴは、支持部１１１、コレクタポスト電極１１０、ベースパッド電極１１２を備える。

[0029] コレクタポスト電極１１０は、サブコレクタ層１０３の周囲のコレクタ電極１０２の上に形成されている。ベースパッド電極１１２は、ベース電極１０９に電気的に接続し、平面視でベース層１０５（第１メサ）より外側に延在して形成されている。この例では、第１メサの上で、支持部１１１の側をより広い面積として、第２メサが配置されている。また、ベース電極１０９も、支持部１１１の側をより広い面積とされている。このより広い面積とされている領域のベース電極１０９に、ベースパッド電極１１２が接続している。

[0030] 支持部１１１は、コレクタ電極１０２から離間して、コレクタ電極１０２の周囲の基板１０１の上に形成されている。また、支持部１１１は、コレクタ電極１０２の上でベースパッド電極１１２の延在部を支持している。言い換えると、ベースパッド電極１１２は、支持部１１１と、支持部１１１の側に形成されたベース電極１０９との間に架設されている。支持部１１１は、

例えば、柱状に形成されている。

[0031] なお、この例において、支持部１１１は、第１支持部１１１ａと第２支持部１１１ｂとから構成されている。第１支持部１１１ａは、第２支持部１１１ｂの上に形成されている。また、支持部１１１（第１支持部１１１ａ）は、基板１０１の表面を基準として、ベース電極１０９より高く形成されている。例えば、第２支持部１１１ｂは、コレクタ電極１０２と同じ材料から構成することができる。例えば、コレクタ電極１０２を形成するときに、同時に、第２支持部１１１ｂを形成することができる。また、第１支持部１１１ａは、コレクタポスト電極１１０と同じ材料から構成することができる。例えば、コレクタポスト電極１１０を形成するときに、同時に、第１支持部１１１ａを形成することができる。

[0032] また、このＨＢＴは、コレクタ電極１０２、サブコレクタ層１０３、コレクタ層１０４、ベース層１０５、エミッタ層１０６、およびエミッタキャップ層１０７を備える素子部を覆って形成された保護層１１３を備える。保護層１１３は、例えば、ベンゾシクロブテン（ＢＣＢ）などの樹脂から構成されている。ここで、ベースパッド電極１１２は、素子部の周囲の保護層１１３の上に形成されている。なお、エミッタ電極１０８、ベース電極１０９の上部は、保護層１１３より露出している。また、コレクタポスト電極１１０の上部は、保護層１１３より露出している。また、支持部１１１（第１支持部１１１ａ）の上部は、保護層１１３より露出している。この露出している支持部１１１の上部に、ベースパッド電極１１２が接触して支持されている。

[0033] 実施の形態によれば、原理的に、ベース電極１０９以外の領域の、平面視でベース層１０５（第１メサ）より外側に延在しているベースパッド電極１１２の直下には、比誘電率が高い半導体層は存在しない。実施の形態では、この領域に、比誘電率が半導体層より低い保護層１１３が形成されている。この結果、ベースパッド電極１１２で生じる寄生コレクタ容量を、精度よく削減することができる。

[0034] また、ベース電極１０９とベースパッド電極１１２との接続部の幅を狭くすることで、この接続部の領域で生じる寄生コレクタ容量も最小限にすることができる。この構成では、この接続部直下のベース層１０５、コレクタ層１０４、サブコレクタ層１０３に、アンダーカット構造を適用する必要はないため、寄生コレクタ容量のばらつきを最小限に抑えることもできる。

[0035] ここで、実施の形態では、支持部１１１を、第１支持部１１１ａと第２支持部１１１ｂとから構成している。第２支持部１１１ｂは、例えば、コレクタ電極１０２と同一工程で形成可能である。また、第１支持部１１１ａは、コレクタポスト電極１１０を、同一工程で形成可能である。このように、実施の形態によれば、従来の放熱基板上のＨＢＴの製造工程に対して、最小限度の工程を追加するだけで、実施の形態に係るＨＢＴが製造できる。また、基板１０１の表面を基準とした、コレクタポスト電極１１０の高さと、ベースパッド電極１１２の高さとを、同等にすることが可能である。

[0036] これにより上層配線と、ベースパッド電極１１２との接続工程も容易になる。例えば、上層配線を形成する際には、図１を用いて説明した素子の構造を形成し後に、層間絶縁膜を形成し、コレクタポスト電極１１０およびベースパッド電極１１２上の層間絶縁膜を除去し、配線金属を形成する。この際、コレクタポスト電極１１０およびベースパッド電極１１２の、基板１０１からの高さがほぼ同等であれば、同一条件でコレクタポスト電極１１０およびベースパッド電極１１２上の層間絶縁膜を除去することができ、工程数を削減できる。

[0037] また、副次的にではあるが、支持部１１１を金属から構成することで、素子で発生した熱を、ベース電極１０９，ベースパッド電極１１２、および支持部１１１を介して基板１０１に放熱するパスが新たに形成され、基板１０１上に形成された素子の放熱性を、更に向上させることが可能である。

[0038] 以上示したように、実施の形態によれば、ベースパッド構造における寄生コレクタ容量が、高速性（高周波特性）を犠牲にすることなく低減できるようになる。また、実施の形態によれば、ウェハ面内で均一性良くベースパッ

ド構造を形成できる。

[0039] 次に、本発明の実施の形態に係るヘテロ接合バイポーラトランジスタの製造方法について、図２Ａ～図２Ｉを参照して説明する。

[0040] まず、図２Ａに示すように、化合物半導体（ＩｎＰからなる）からなる成長基板１５１の上に、各々化合物半導体からなるエミッタキャップ形成層１３１、エミッタ形成層１３２、ベース形成層１３３、コレクタ形成層１３４、およびサブコレクタ形成層１３５を、これらの順に結晶成長して形成する（第１工程）。

[0041] 例えば、n_+－ＩｎＧａＡｓからなるエミッタキャップ形成層１３１、ｎ－ＩｎＰからなるエミッタ形成層１３２、p^+－ＧａＡｓＳｂからなるベース形成層１３３、ｎ－ＩｎＧａＡｓからなるコレクタ形成層１３４、n^+－ＩｎＧａＡｓからなるサブコレクタ形成層１３５を、成長基板１５１の上に、順次にエピタキシャル成長する。例えば、有機金属気相堆積法や分子線エピタキシー法により、上述した各層のエピタキシャル成長ができる。上述した各層は、ＩｎＰからなる成長基板１５１の上に格子整合した状態でエピタキシャル成長できるため、転位や欠陥の少ない良好な結晶性を得ることができる。

[0042] 次に、図２Ｂに示すように、サブコレクタ形成層１３５の上に金属からなる金属層１３６を形成する（第２工程）。例えば、サブコレクタ形成層１３５に接する側からＴｉ／ＡｕあるいはＭｏ／Ａｕの複合構造として、真空蒸着法やスパッタ法を用いてこれら金属を堆積することで、金属層１３６が形成できる。ＴｉやＭｏを用いることで、ＩｎＧａＡｓからなるサブコレクタ形成層１３５と金属層１３６との良好な密着性が得られる。これにより、後述するＨＢＴの素子形成工程において発生する熱や機械的応力によりＨＢＴ素子形成層が、基板１０１から剥離することがない。また、Ａｕは、ヤング率が低く酸化しないため、後述する基板１０１と容易に接合させることができる。金属層１３６の材料は、後記する、基板１０１の貼り合わせが、ＨＢＴの最大許容温度以下で接合可能な材料から構成することができる。

[0043] 次に、図２Ｃに示すように、金属層１３６の上に、基板１０１を貼り合わ

せる（第３工程）。この貼り合わせにおいては、金属層１３６と導入の金属層を、基板１０１の側に形成しておき、金属層同士で張り合わせ（接合）を実施することができる。この貼り合わせ（接合）の方法としては、例えば、表面活性化接合法や原子拡散接合法などの、公知の技術を用いることができる。何れの接合技術においても、ＩｎＰ系ＨＢＴの最大プロセス温度（４００℃）以下の接合温度で、接合を実施することが可能である。成長基板１５１の除去は、公知の機械研磨や塩酸系の薬液を用いたウェットエッチングを用いて実施することができる。

[0044] 以上のように、金属層１３６に基板１０１を貼り合わせた後で、成長基板１５１を除去し（第４工程）、図２Ｄに示すように、エミッタキャップ形成層１３１の表面を露出させる。この結果、基板１０１の上に、金属層１３６を介して、サブコレクタ形成層１３５、コレクタ形成層１３４、ベース形成層１３３、エミッタ形成層１３２、エミッタキャップ形成層１３１が形成された状態となる。

[0045] 次に、図２Ｅに示すように、金属層１３６の上に、サブコレクタ層１０３、コレクタ層１０４、ベース層１０５、エミッタ層１０６、エミッタキャップ層１０７、エミッタ電極１０８、およびベース電極１０９を形成する（第５工程）。

[0046] 例えば、エミッタキャップ形成層１３１の上に、フォトリソグラフィによるパターニングで、エミッタ電極１０８とする箇所に開口を備えるレジストパターンを形成する。次いで、真空蒸着法により、エミッタ電極材料を堆積する。この後、レジストパターンをリフトオフすることにより、エミッタキャップ形成層１３１の上にエミッタ電極１０８が形成できる。

[0047] 次いで、エミッタ形成層１３２、エミッタキャップ形成層１３１をパターニングすることで、エミッタ層１０６を形成する。エミッタ層１０６、エミッタキャップ層１０７は、平面視で同一の面積に形成して第２メサとする。

[0048] また、エミッタキャップ層１０７およびエミッタ層１０６は、エミッタ電極１０８をマスクとして、エミッタキャップ形成層１３１およびエミッタ形

成層１３２を、それぞれクエン酸系エッチャント、塩酸系エッチャントを用いてエッチングすることで形成できる。クエン酸系エッチャントは、ＩｎＰからなるエミッタ形成層１３２を殆どエッチングしない。また、塩酸系エッチャントはＩｎＧａＡｓからなるエミッタキャップ層１０７およびＧａＡｓＳｂからなるベース形成層１３３を殆どエッチングしない。従って、上記エッチャントを用いることで、エミッタキャップ層１０７とエミッタ層１０６とを個別に形成することができる。

[0049] 次に、エミッタ層１０６の周囲のベース形成層１３３（ベース層１０５）の上にベース電極１０９を形成する。ベース電極１０９は、エミッタ電極１０８と同様の製造方法（リフトオフ法）により形成することができる。なお、エミッタ層１０６の両脇に形成されたベース電極１０９の一方は、他方より少し幅広く形成し、ベースパッド電極１１２の接続部とする。これは、後述する、ベースパッド電極１１２を形成する際の位置合わせ精度のマージンをもたせるためである。ただし、この接続のための領域の面積が広がると寄生コレクタ容量が増大するため、ベースパッド電極１１２と歩留まりよく接続できる限りにおいて、上述した領域の面積を狭くすることが高周波特性上望ましい。

[0050] 次いで、サブコレクタ形成層１３５、コレクタ形成層１３４、ベース形成層１３３をパターニングすることで、サブコレクタ層１０３、コレクタ層１０４、ベース層１０５を形成する。エミッタ層１０６、エミッタキャップ層１０７が、平面視でベース層１０５より小さい面積となるように、ベース層１０５を形成する。サブコレクタ層１０３，コレクタ層１０４，ベース層１０５は、平面視で同一の面積に形成して第１メサとする。

[0051] ベース層１０５、コレクタ層１０４、サブコレクタ層１０３は、エミッタ電極１０８と同様にパターニングしたレジストマスクを用いて、ベース形成層１３３、コレクタ形成層１３４、サブコレクタ形成層１３５をそれぞれクエン酸系エッチャント、塩酸系エッチャント、クエン酸系エッチャントを用いてエッチングすることで、形成できる。

[0052] 次に、図２Ｆに示すように、サブコレクタ層１０３、コレクタ層１０４、ベース層１０５、エミッタ層１０６、エミッタキャップ層１０７を備える素子部の周囲の金属層１３６の上に、コレクタポスト電極１１０および第１支持部１１１ａを形成する（第６工程）。例えば、前述したリフトオフ法により、コレクタポスト電極１１０および第１支持部１１１ａが形成できる。適切な厚さ（高さ）のコレクタポスト電極１１０および第１支持部１１１ａを形成することで、上層配線との接続を容易にすることができる。厚さとしては、少なくとも、サブコレクタ層１０３、コレクタ層１０４、およびベース層１０５の合計より厚くすることが望ましい。基板１０１の表面を基準として、第１支持部１１１ａをベース電極１０９と同等かベース電極１０９より高く形成する。

[0053] 次に、金属層１３６を、第１支持部１１１ａが形成されている領域と素子部の領域と、第１支持部１１１ａの領域とに分離して、図２Ｇに示すように、コレクタ電極１０２と第２支持部１１１ｂとを形成する（第７工程）。コレクタ電極１０２から離間して、コレクタ電極１０２の周囲の基板１０１の上に第２支持部１１１ｂを形成する。所定のレジストパターンをマスクとしたエッチング処理により、金属層１３６をパターニングすることで、コレクタ電極１０２および第２支持部１１１ｂが形成できる。例えば、ＴｉやＭｏなどの金属は、フッ素系のドライエッチングによりエッチング処理ができる。また、Ａｕは、ヨウ素系の薬液を用いたウェットエッチングあるいはＡｒ系のガスを用いたイオンミリングによりエッチング処理ができる。

[0054] コレクタ電極１０２は、素子部の下の基板１０１の上に配置される。第２支持部１１１ｂは、第１支持部１１１ａの下の基板１０１の上に配置される。第１支持部１１１ａと第２支持部１１１ｂとから、支持部１１１が構成された状態となる。また、コレクタ電極１０２から離間して、コレクタ電極１０２の周囲の基板１０１の上に支持部１１１が形成せれた状態となる。

[0055] 次に、図２Ｈに示すように、素子部を覆う保護層１１３を形成する（第８工程）。例えば、ＢＣＢをスピンコートして塗布膜を形成し、この塗布膜を

高温で加熱処理して硬化することで、保護層１１３が形成できる。この段階における保護層１１３の設計厚さが、コレクタ電極１０２、サブコレクタ層１０３、コレクタ層１０４，ベース層１０５の合計厚さより薄くなるように、ＢＣＢの粘性やスピンコート回転数を調整する。これにより、素子部が形成されていない基板１０１の上には、設計厚の保護層１１３が形成され、一方で、設計厚より高い領域（具体的にはエミッタ電極１０８、ベース電極１０９、支持部１１１、コレクタポスト電極１１０上は、保護層１１３が非常に薄い状態に形成される。

[0056] 次に、図２Ｉに示すように、ベース電極１０９の上部、コレクタポスト電極１１０の上部、および支持部１１１の上部を、保護層１１３より露出させる（第９工程）。例えば、保護層１１３の全域（全面）をエッチバックすることで、ベース電極１０９の上部、コレクタポスト電極１１０の上部、および支持部１１１の上部を、保護層１１３より露出させることができる。保護層１１３の形成時に、適切な厚さに保護層１１３を形成することで、ベース電極１０９の上部、コレクタポスト電極１１０の上部、および支持部１１１の上部のみを露出させることができる。

[0057] 次に、支持部１１１の側に形成され、保護層１１３より露出したベース電極１０９に接続し、平面視で、ベース層１０５より外側で支持部１１１の上にまで延在するベースパッド電極１１２を、保護層１１３の上に形成する（第１０工程）。この結果、図１を用いて説明したヘテロ接合バイポーラトランジスタが得られる。例えば、前述したリフトオフ法により、ベースパッド電極１１２が形成できる。

[0058] 以上に説明したように、本発明によれば、平面視でベース層より外側に延在してベースパッド電極を形成し、ベースパッド電極の延在部を支持部で支持するので、支持部とベース電極との間にベースパッド電極が架設されるものとなり、ベースパッド構造における寄生コレクタ容量が、高速性を犠牲にすることなく低減できるようになる。

[0059] なお、本発明は以上に説明した実施の形態に限定されるものではなく、本

発明の技術的思想内で、当分野において通常の知識を有する者により、多くの変形および組み合わせが実施可能であることは明白である。例えば、上述では、超高速集積回路を実現する上で有望な放熱基板上のｎｐｎ型ＩｎＰ／ＧａＡｓＳｂ系ＨＢＴについて詳細に述べたが、同様な効果は、他のＨＢＴに対しても有効である。

符号の説明

[0060] １０１…基板、１０２…コレクタ電極、１０３…サブコレクタ層、１０４…コレクタ層、１０５…ベース層、１０６…エミッタ層、１０７…エミッタキャップ層、１０８…エミッタ電極、１０９…ベース電極、１１０…コレクタポスト電極、１１１…支持部、１１１ａ…第１支持部、１１１ｂ…第２支持部、１１２…ベースパッド電極、１１３…保護層。

請求の範囲

[請求項1] 基板の上に、平面視で前記基板より小さい面積に形成されたコレクタ電極と、

前記コレクタ電極の上に、平面視で前記コレクタ電極より小さい面積に形成された、化合物半導体からなるサブコレクタ層と、

前記サブコレクタ層の上に形成された、化合物半導体からなるコレクタ層と、

前記コレクタ層の上に形成された、化合物半導体からなるベース層と、

前記ベース層の上に、平面視で前記ベース層より小さい面積に形成された、化合物半導体からなるエミッタ層と、

前記エミッタ層の上に形成された、化合物半導体からなるエミッタキャップ層と、

前記エミッタキャップ層の上に形成されたエミッタ電極と、

前記エミッタ層の周囲の前記ベース層の上に形成されたベース電極と、

前記サブコレクタ層の周囲の前記コレクタ電極の上に形成されたコレクタポスト電極と、

前記ベース電極に接続し、平面視で前記ベース層より外側に延在して形成されたベースパッド電極と、

前記コレクタ電極から離間して、前記コレクタ電極の周囲の前記基板の上に形成され、前記コレクタ電極の上で前記ベースパッド電極の延在部を支持する支持部と

を備えるヘテロ接合バイポーラトランジスタ。

[請求項2] 請求項１記載のヘテロ接合バイポーラトランジスタにおいて、

前記コレクタ電極、前記サブコレクタ層、前記コレクタ層、前記ベース層、前記エミッタ層、および前記エミッタキャップ層を備える素子部を覆って形成された保護層を備え、

前記ベースパッド電極は、前記素子部の周囲の前記保護層の上に形成されている

ことを特徴とするヘテロ接合バイポーラトランジスタ。

[請求項3] 請求項１または２記載のヘテロ接合バイポーラトランジスタにおいて、

前記支持部は、前記基板の表面を基準として、前記ベース電極と同等か前記ベース電極より高く形成されていることを特徴とするヘテロ接合バイポーラトランジスタ。

[請求項4] 化合物半導体からなる成長基板の上に、各々化合物半導体からなるエミッタキャップ形成層、エミッタ形成層、ベース形成層、コレクタ形成層、およびサブコレクタ形成層を、これらの順に結晶成長して形成する第１工程と、

前記サブコレクタ形成層の上に金属からなる金属層を形成する第２工程と、

前記金属層の上に、基板を貼り合わせる第３工程と、

前記金属層の上に基板を張り合わせた後で、前記成長基板を除去する第４工程と、

前記基板の上に前記金属層を介して形成された、前記サブコレクタ形成層、前記コレクタ形成層、前記ベース形成層、前記エミッタ形成層、前記エミッタキャップ形成層をパターニングすることで、前記金属層の上に、サブコレクタ層、コレクタ層、ベース層、平面視で前記ベース層より小さい面積のエミッタ層、エミッタキャップ層を形成し、前記エミッタキャップ層の上にエミッタ電極を形成し、前記エミッタ層の周囲の前記ベース層の上にベース電極を形成する第５工程と、

前記サブコレクタ層、前記コレクタ層、前記ベース層、前記エミッタ層、前記エミッタキャップ層を備える素子部の周囲の前記金属層の上に、コレクタポスト電極および第１支持部を形成する第６工程と、

前記金属層を、前記第１支持部が形成されている領域と前記素子部

の領域と、前記第１支持部の領域とに分離して、前記素子部の下の前記基板の上に配置されたコレクタ電極と、前記第１支持部の下の前記基板の上に配置された第２支持部とを形成し、前記第１支持部と前記第２支持部とから構成された支持部を、前記コレクタ電極から離間して、前記コレクタ電極の周囲の前記基板の上に形成する第７工程と、

前記素子部を覆う保護層を形成する第８工程と、

前記ベース電極の上部、前記コレクタポスト電極の上部、および前記支持部の上部を、前記保護層より露出させる第９工程と、

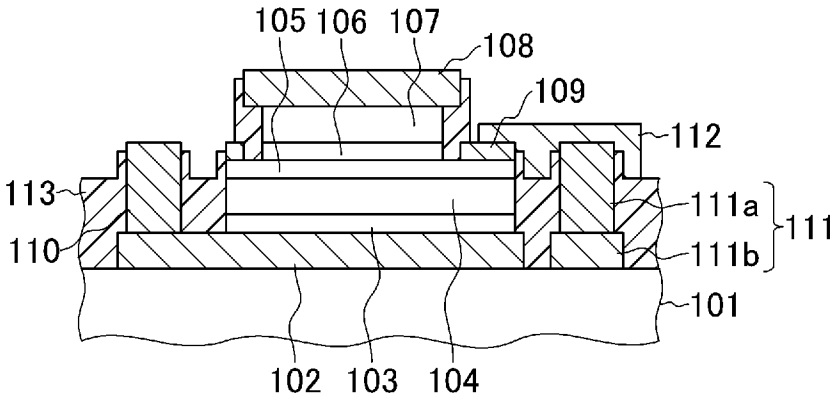
前記支持部の側に形成され、前記保護層より露出した前記ベース電極に接続し、平面視で、前記ベース層より外側で前記支持部の上にまで延在するベースパッド電極を、前記保護層の上に形成する第１０工程と

を備えるヘテロ接合バイポーラトランジスタの製造方法。

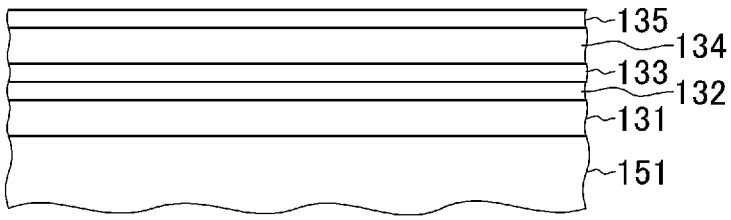
[請求項5] 請求項４記載のヘテロ接合バイポーラトランジスタの製造方法において、

前記第６工程は、前記基板の表面を基準として、前記第１支持部を前記ベース電極と同等か前記ベース電極より高く形成することを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

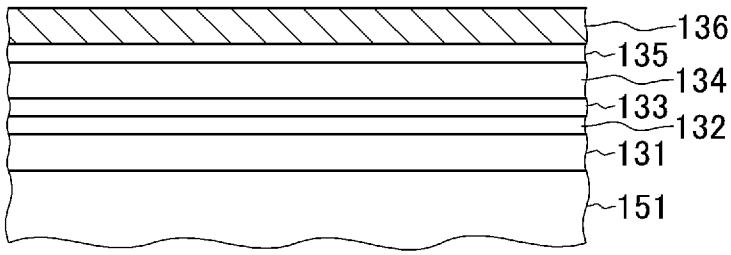
[図1]


105
106
107
108
109
112
113
110
111a
111b
111
101
102
103
104

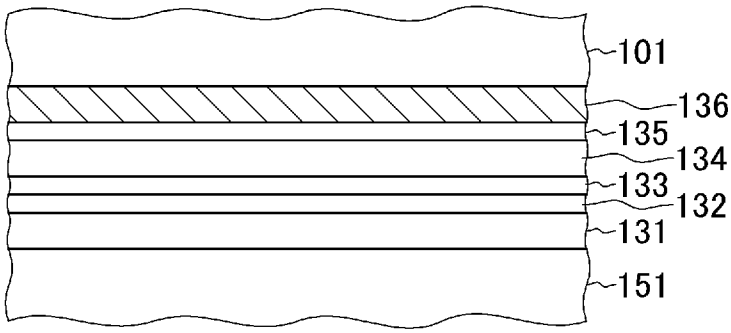
[図2A]


135
134
133
132
131
151

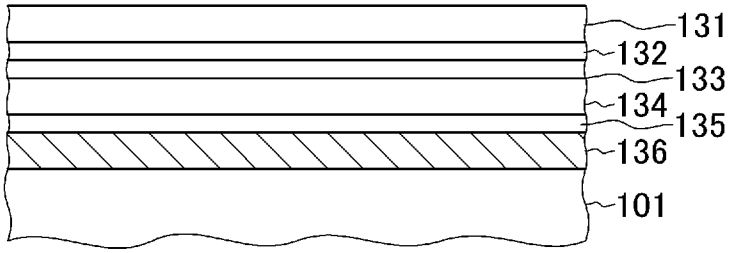
[図2B]


136
135
134
133
132
131
151

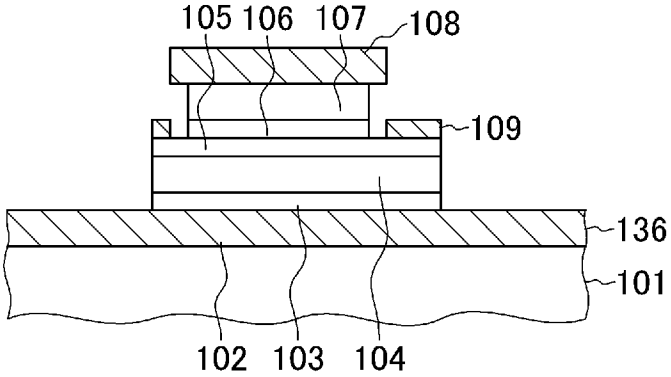
[図2C]


101
136
135
134
133
132
131
151

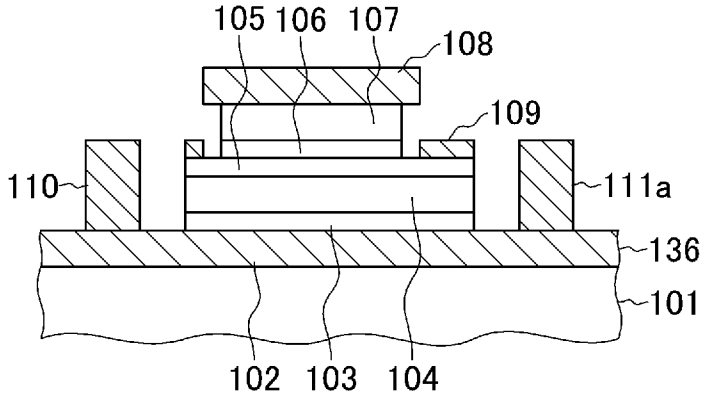
[図2D]


131
132
133
134
135
136
101

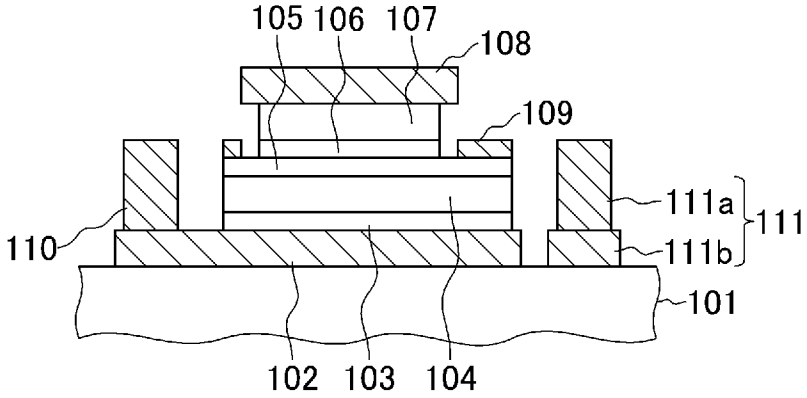
[図2E]


105 106 107
108
109
136
101
102 103 104

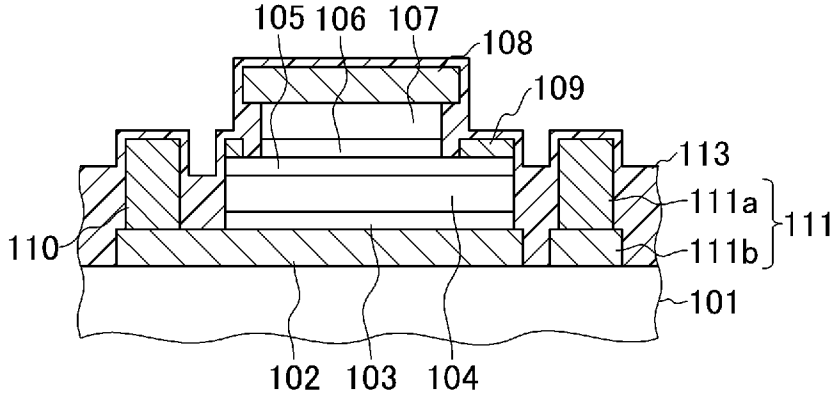
[図2F]


105 106 107
108
109
110
111a
136
101
102 103 104

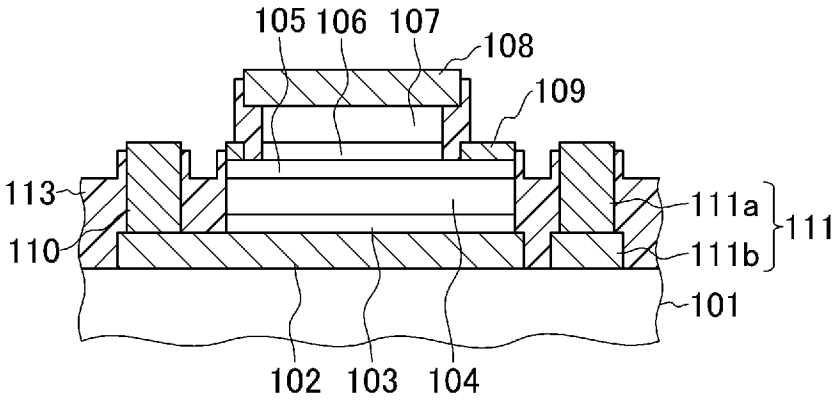
[図2G]


105 106 107
108
109
111a
111
110
111b
101
102 103 104

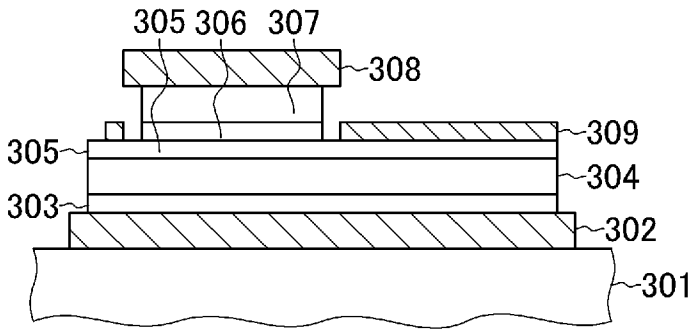
[図2H]


105 106 107
108
109
113
111a
111
110
111b
101
102 103 104

[図2I]


105
106
107
108
109
113
110
111a
111b
111
101
102
103
104

[図3]


305
306
307
308
309
305
304
303
302
301

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2020/033722

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H01L29/737(2006.01)i, H01L21/331(2006.01)i
FI: H01L29/72 H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H01L29/737, H01L21/331

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2019/208295 A1 (NIPPON TELEGRAPH AND TELEPHONE CORP.) 31 October 2019	1-5
A	JP 2019-054120 A (MURATA MFG. CO., LTD.) 04 April 2019	1-5
A	JP 2006-310517 A (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 09 November 2006	1-5
A	US 2004/0090834 A1 (YANG, Hoon Kyoung) 13 May 2004	1-5

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
28.10.2020	10.11.2020
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/033722

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
WO 2019/208295 A1	31.10.2019	JP 2019-192745 A	
JP 2019-054120 A	04.04.2019	US 2019/0088768 A1 CN 109616516 A TW 201926712 A	
JP 2006-310517 A	09.11.2006	(Family: none)	
US 2004/0090834 A1	13.05.2004	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2020/033722

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 29/737(2006.01)i; H01L 21/331(2006.01)i
FI: H01L29/72 H

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L29/737; H01L21/331

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2019/208295 A1 (日本電信電話株式会社) 31.10.2019 (2019-10-31)	1-5
A	JP 2019-054120 A (株式会社村田製作所) 04.04.2019 (2019-04-04)	1-5
A	JP 2006-310517 A (韓国科学技術院) 09.11.2006 (2006-11-09)	1-5
A	US 2004/0090834 A1 (YANG, Hoon Kyoung) 13.05.2004 (2004-05-13)	1-5

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
28.10.2020	10.11.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

岩本　勉 5F 9355

電話番号 03-3581-1101 内線 3516

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2020/033722

引用文献	公表日	パテントファミリー文献	公表日
WO 2019/208295 A1	31.10.2019	JP 2019-192745 A	
JP 2019-054120 A	04.04.2019	US 2019/0088768 A1	
		CN 109616516 A	
		TW 201926712 A	
JP 2006-310517 A	09.11.2006	（ファミリーなし）	
US 2004/0090834 A1	13.05.2004	（ファミリーなし）	