

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-526287

(P2016-526287A)

(43) 公表日 平成28年9月1日(2016.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 21/822 (2006.01)	H01L 27/04 V	5F038
H01L 27/04 (2006.01)	H01L 27/00 3O1B	5K011
H01L 27/00 (2006.01)	H01L 27/04 L	
H04B 1/52 (2015.01)	H01L 27/04 C	
H04B 1/00 (2006.01)	H04B 1/52	

審査請求 未請求 予備審査請求 有 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2016-512967 (P2016-512967)
 (86) (22) 出願日 平成26年5月2日 (2014.5.2)
 (85) 翻訳文提出日 平成27年11月2日 (2015.11.2)
 (86) 国際出願番号 PCT/US2014/036524
 (87) 国際公開番号 W02014/182556
 (87) 国際公開日 平成26年11月13日 (2014.11.13)
 (31) 優先権主張番号 13/887, 568
 (32) 優先日 平成25年5月6日 (2013.5.6)
 (33) 優先権主張国 米国 (US)

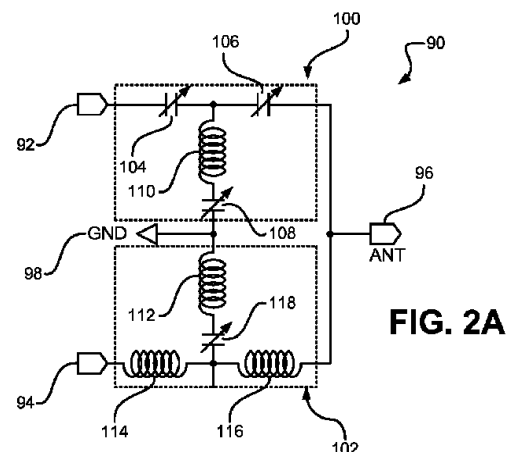
(71) 出願人 507364838
 クアルコム、インコーポレイテッド
 アメリカ合衆国 カリフォルニア 921
 21 サン ディエゴ モアハウス ドラ
 イヴ 5775
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100163522
 弁理士 黒田 晋平
 (72) 発明者 チェンジエ・ズオ
 アメリカ合衆国・カリフォルニア・921
 21・サン・ディエゴ・モアハウス・ドラ
 イヴ・5775

最終頁に続く

(54) 【発明の名称】 3次元 (3D) 集積回路 (IC) (3DIC) における調整可能なダイプレクサならびに関連構成要素および方法

(57) 【要約】

3次元(3D)集積回路(IC)(3DIC)内の調整可能なダイプレクサが開示される。一実施形態において、調整可能なダイプレクサは、ダイプレクサ内にバラクタまたは可変インダクタのいずれか1つを提供することによって形成され得る。バラクタまたは可変インダクタの可変的な性質により、ダイプレクサにおけるノッチが同調されて、所望の周波数で高調波を除去するように、また、通過帯域の遮断周波数を制御するように帯域消去を選択することが可能となる。ダイプレクサの素子を3次元に積層することによって、空間が節約され、様々なバラクタおよびインダクタを使用することができる。



【特許請求の範囲】**【請求項 1】**

少なくとも1つのインダクタを含む第1の層と、
前記少なくとも1つのインダクタに結合された少なくとも1つのバラクタを含む第2の層とを含み、前記少なくとも1つのインダクタおよび前記少なくとも1つのバラクタが、調整可能なダイプレクサを集合的に形成する、
3次元(3D)集積回路(IC)(3DIC)。

【請求項 2】

前記少なくとも1つのバラクタが、シリコンオンガラス(SOG)バラクタを含む、請求項1に記載の3DIC。

10

【請求項 3】

前記少なくとも1つのインダクタが、ガラス貫通ビア(TGV)インダクタを含む、請求項1に記載の3DIC。

【請求項 4】

前記少なくとも1つのインダクタおよび前記少なくとも1つのバラクタが、前記調整可能なダイプレクサ内にローパス(LP)フィルタを含む、請求項1に記載の3DIC。

【請求項 5】

前記第1の層内の複数の第2のインダクタに結合された前記第2の層内に配置された第2のバラクタをさらに含み、前記第2のバラクタおよび前記複数の第2のインダクタが、前記調整可能なダイプレクサのLPフィルタを集合的に形成する、請求項1に記載の3DIC。

20

【請求項 6】

前記少なくとも1つのバラクタが、前記調整可能なダイプレクサ内のフィルタのノッチ周波数を調整するように構成される、請求項1に記載の3DIC。

【請求項 7】

前記少なくとも1つのインダクタが、前記調整可能なダイプレクサ内のフィルタのための遮断周波数を制御するように構成される、請求項1に記載の3DIC。

【請求項 8】

半導体ダイに統合される、請求項1に記載の3DIC。

【請求項 9】

前記3DICが統合される、セットトップボックス、エンタテインメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、モバイル位置データユニット、モバイル電話、携帯電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、パーソナルデジタルアシスタント(PDA)、モニター、コンピュータモニター、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、およびポータブルデジタルビデオプレーヤからなるグループから選択されたデバイスをさらに含む、請求項1に記載の3DIC。

30

【請求項 10】

調整可能なダイプレクサを形成する方法であって、
3次元(3D)集積回路(IC)(3DIC)の第1の層にインダクタを形成するステップと、
前記3DICの第2の層にバラクタを形成するステップと、
前記インダクタおよび前記バラクタが、前記調整可能なダイプレクサのためのフィルタを形成するように、前記3DICにおいて前記バラクタを前記インダクタに電氣的に結合するステップと
を含む、方法。

40

【請求項 11】

前記バラクタを前記インダクタに電氣的に結合するステップが、基板搬送を実施するステップと、金属と金属のボンディングを使用するステップとを含む、請求項10に記載の方法。

【請求項 12】

50

前記バラクタを前記インダクタに電氣的に結合するステップが、前記第2の層を前記第1の層上にダイ積層するステップと、フリップチップパンプを使用するステップとを含む、請求項10に記載の方法。

【請求項13】

前記インダクタを形成するステップが、ガラス貫通ビア(TGV)インダクタを形成するステップを含む、請求項10に記載の方法。

【請求項14】

前記第2の層に前記バラクタを形成するステップが、シリコンオンガラス(SOG)バラクタを形成するステップを含む、請求項10に記載の方法。

【請求項15】

誘導のための少なくとも1つの手段を含む第1の層と、
前記誘導のための少なくとも1つの手段に結合された、可変静電容量を提供するための少なくとも1つの手段を含む第2の層とを含み、前記誘導のための少なくとも1つの手段および前記可変静電容量を提供するための少なくとも1つの手段が、調整可能なダイプレクサを集合的に形成する
3次元(3D)集積回路(IC)(3DIC)。

10

【請求項16】

第1の周波数帯域を有する第1の信号を送受信するように構成された第1の周波数ポートと、

前記第1の周波数帯域とは別の第2の周波数帯域を有する第2の周波数信号を送受信するように構成された第2の周波数ポートと、

20

アンテナポートと、

前記第1の周波数ポートと前記アンテナポートとの間の、前記第1の周波数帯域内で信号を通過させるように構成された第1のパスフィルタと、

前記第2の周波数ポートと前記アンテナポートとの間の、前記第2の周波数帯域内で信号を通過させるように構成された第2のパスフィルタと、

バラクタおよび可変インダクタのうちの少なくとも1つを含み、前記第1の周波数ポートと、前記第2の周波数ポートと、前記アンテナポートとのうちの少なくとも2つの間の、調整可能なノッチ帯域を提供するように構成された少なくとも1つのノッチフィルタとを含む、調整可能なダイプレクサ集積回路(IC)。

30

【請求項17】

前記バラクタが高Qバラクタを含み、Qが2GHzで100よりも大きいか、または100と等しい、請求項16に記載の調整可能なダイプレクサ。

【請求項18】

前記インダクタが高Qインダクタを含み、Qが1GHzで30よりも大きいか、または30と等しい、請求項16に記載の調整可能なダイプレクサ。

【請求項19】

前記ノッチフィルタが、前記第1の周波数帯域において前記信号の高調波を阻止するように構成される、請求項16に記載の調整可能なダイプレクサ。

【請求項20】

前記インダクタが、ガラス貫通ビア(TGV)インダクタを含む、請求項16に記載の調整可能なダイプレクサ。

40

【発明の詳細な説明】

【技術分野】

【0001】

優先権の主張

本出願は、その全体を参照することにより本明細書に組み込まれている、2013年5月6日に出願した、「TUNABLE DIPLEXERS IN THREE-DIMENSIONAL (3D) INTEGRATED CIRCUITS (IC) (3DIC) AND RELATED COMPONENTS AND METHODS」という表題の米国特許出願第13/887,568号の優先権を主張するものである。

50

【 0 0 0 2 】

関連出願

本出願は、その全体を参照することにより本明細書に組み込まれている、2013年1月11日に出願した、「DIPLEXER DESIGN USING THROUGH GLASS VIA TECHNOLOGY」という表題の米国仮特許出願第61/751,539号に関連するものである。

【 0 0 0 3 】

本出願は、その全体を参照することによりやはり本明細書に組み込まれている「539出願の実用特許への変更、すなわち、2013年3月13日に出願した、「DIPLEXER DESIGN USING THROUGH GLASS VIA TECHNOLOGY」という表題の米国特許出願第13/798,733号にも関連するものである。

10

【 0 0 0 4 】

本開示の技術は、一般に集積回路に関し、詳細には、集積回路におけるダイプレクサ構成に関する。

【 背景技術 】

【 0 0 0 5 】

ワイヤレス通信産業は、可能な限り広い帯域幅を消費者に提供するように努力し続けている。この目的のために、多くのワイヤレスキャリアは、現世代通信にキャリアアグリゲーション方針を採用している。すなわち、AT&T(登録商標)などのワイヤレスキャリアは、特定の地域において2つの周波数帯域(たとえば、700MHzおよび2GHz)の権利を所有できる。利用可能な帯域幅を最大にするために、ワイヤレスキャリアは、1つの通信ストリームに両方の周波数を同時に使用できる。これにより、エンドユーザに提供され得るデータ量が増加するが、データを送信するのに使用される周波数の各々が、高調波周波数でノイズを生じさせるという問題がある。AT&Tの例では、700MHzの伝送は2.1GHzで高調波を引き起こし、これは、2GHzの周波数でブロードキャストされるデータを干渉し得るものである。そのような状況においては、ダイプレクサが、キャリアアグリゲーションシステムにおいて搬送される信号を処理するのに役立ち得る。そのようなキャリアアグリゲーションシステムを使用するデバイス用のチップセットにおいて、高性能を確実にするように、ダイプレクサがアンテナとチューナ(または、無線周波数(RF)スイッチ)との間に挿入されるのが通常である。通常、ダイプレクサ構成はインダクタとキャパシタとを含む。ダイプレクサは、クオリティ(Q)ファクタの高いインダクタおよびキャパシタを使用することによって、高性能を達成できる。各構成要素の形状および方向を調整することによって実現することができる各構成要素間の電磁結合の低減によって、高性能ダイプレクサを実現することもできる。ダイプレクサの性能は、特定の周波数での挿入損失および阻止(たとえば、デシベル(dB)単位で表される数量)を測定することによって数量化することができる。

20

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

高Qを実現するのに必要とされる材料が容易な製造プロセスに適さないことがあるので、効率的且つ費用対効果の高い方法で高性能のダイプレクサを製造することには問題がある。ダイプレクサ内の様々な構成要素間の電磁結合を低減させ、一方、ダイプレクサを小型化し、リソースを最も経済的に利用すると有利である。

40

【 0 0 0 7 】

予め組み込まれた関連出願は、1つのワイヤレスキャリアに適したダイプレクサを製造するいくつかの方法を提供する。しかしながら、ワイヤレスデバイス製造業者は、複数のキャリアで動作するワイヤレスデバイスを製造することを望んでいるであろう。残念ながら、ワイヤレスキャリアは同一の周波数帯域では動作せず、周波数帯域の1つのセットで動作するように最適化されたダイプレクサは、周波数帯域の異なるセットには適さないであろう。それゆえ、複数のキャリアアグリゲーション方式のために複数の周波数帯域で受信機が動作することを可能とする方法が必要である。

【 課題を解決するための手段 】

50

【0008】

発明を実施するための形態において開示される実施形態は、3次元(3D)集積回路(IC)(3DIC)内の調整可能なダイプレクサを備える。関連構成要素および方法も開示される。調整可能なダイプレクサは、ダイプレクサ内にバラクタまたは可変インダクタのうちのいずれか1つを提供することによって形成され得る。バラクタまたは可変インダクタの可変的な性質により、ダイプレクサにおけるノッチが同調されて、所望の周波数で高調波を除去するように、また、通過帯域の遮断周波数を制御するように帯域消去を選択することが可能となる。ダイプレクサの素子を3次元に積層することによって、空間が節約され、様々なバラクタおよびインダクタを使用することができる。第1の実施形態において、3DICは基板搬送を介して作られる。第2の実施形態において、3DICはダイ積層プロセスを介して作

10

【0009】

一実施形態ではこの点に関して、3DICが開示される。3DICは、少なくとも1つのインダクタを含む第1の層を備える。3DICは、少なくとも1つのインダクタに結合された少なくとも1つのバラクタを含む第2の層をさらに備え、少なくとも1つのインダクタおよび少なくとも1つのバラクタは、調整可能なダイプレクサを集合的に形成する。

【0010】

別の実施形態において、調整可能なダイプレクサを形成する方法が開示される。方法は、3DICの第1の層にインダクタを形成することを備える。方法は、3DICの第2の層にバラクタを形成することをさらに備える。方法は、インダクタおよびバラクタが、調整可能なダイプレクサのためのフィルタを形成するように、3DICにおいてバラクタをインダクタに電氣的に結合することをさらに備える。

20

【0011】

別の実施形態において、3DICが開示される。3DICは、誘導(inducting)のための少なくとも1つの手段を含む第1の層を備える。3DICは、誘導のための少なくとも1つの手段に結合された、可変静電容量を提供するための少なくとも1つの手段を含む第2の層をさらに備え、誘導のための少なくとも1つの手段および可変静電容量を提供するための少なくとも1つの手段が、調整可能なダイプレクサを集合的に形成する。

【0012】

別の実施形態において、調整可能なダイプレクサICが開示される。調整可能なダイプレクサICは、第1の周波数帯域を有する第1の信号を送受信するように構成された第1の周波数ポートを備える。調整可能なダイプレクサICは、第1の周波数帯域とは別の第2の周波数帯域を有する第2の周波数信号を送受信するように構成された第2の周波数ポートをさらに備える。調整可能なダイプレクサICは、アンテナポートをさらに備える。調整可能なダイプレクサICは、第1の周波数ポートとアンテナポートとの間の、第1の周波数帯域内で信号を通過させるように構成された第1のパスフィルタをさらに備える。調整可能なダイプレクサICは、第2の周波数ポートとアンテナポートとの間の、第2の周波数帯域内で信号を通過させるように構成された第2のパスフィルタをさらに備える。調整可能なダイプレクサICは、バラクタおよび可変インダクタのうちの少なくとも1つを含み、第1の周波数ポートと、第2の周波数ポートと、アンテナポートとのうちの少なくとも2つの間の、調整可能なノッチ帯域を提供するように構成された少なくとも1つのノッチフィルタをさらに備える。

30

40

【図面の簡単な説明】

【0013】

【図1A】例示的な従来のダイプレクサの概略図である。

【図1B】図1Aのダイプレクサの典型的な周波数応答のグラフである。

【図1C】ダイプレクサを使用する例示的なチップセットの概略図である。

【図2A】本開示の例示的な実施形態に従ったダイプレクサの概略図である。

【図2B】図2Aのダイプレクサの典型的な周波数応答のグラフである。

【図3】本開示の代替的な例示的な実施形態に従ったダイプレクサの概略図である。

50

【図4】本開示の実施形態に従ったダイプレクサの組立ての間の3次元(3D)集積回路(IC)(3DIC)の例示的な実施形態の概略側面図である。

【図5】本開示の実施形態に従った組立ての別の段階での3DICの概略側面図である。

【図6】本開示の実施形態のための例示的な製造プロセスを示すフローチャートである。

【図7】本開示の実施形態に従ったダイプレクサの組立てプロセスの第2の例示的な実施形態の概略側面図である。

【図8】図2Aまたは図3のダイプレクサを備えることのできる、例示的なプロセッサベースのシステムのブロック図である。

【発明を実施するための形態】

【0014】

10

次に図面を参照して、本開示のいくつかの例示的な実施形態が説明される。「例示的」という用語は、本明細書において、「実施例、例または実例として役立つこと」を意味するように使用される。「例示的」なものとして本明細書において説明されるどの実施形態も、他の実施形態と比較して好ましい、または有利であると必ずしも解釈する必要はない。

【0015】

発明を実施するための形態において開示される実施形態は、3次元(3D)集積回路(IC)(3DIC)内に調整可能なダイプレクサを備える。関連構成要素および方法も開示される。調整可能なダイプレクサは、ダイプレクサ内にバラクタまたは可変インダクタのうちのいずれか1つを提供することによって形成され得る。バラクタまたは可変インダクタの可変的な性質により、ダイプレクサにおけるノッチが同調されて、所望の周波数で高調波を除去するように、また、通過帯域の遮断周波数を制御するように帯域消去を選択することが可能となる。ダイプレクサの素子を3次元に積層することによって、空間が節約され、様々なバラクタおよびインダクタを使用することができる。第1の実施形態において、3DICは基板搬送を介して作られる。第2の実施形態において、3DICはダイ積層プロセスを介して作られる。

20

【0016】

可変インダクタまたはバラクタを有するダイプレクサを提供することによって、帯域消去のノッチ周波数および通過帯域の遮断周波数は、ダイプレクサが複数のキャリアアグリゲーションシステムで動作することができるように、期待通りに調整され得る。こうして、たとえば、様々なワイヤレスキャリアのためのキャリアアグリゲーションシステムで動作する携帯電話などのモバイル端末が製造され得る。

30

【0017】

3DIC内の調整可能なダイプレクサの例示的な実施形態を扱う前に、従来のダイプレクサの概要が、図1A~図1Cを参照して提供される。本開示の例示的な実施形態に従った調整可能なダイプレクサの実施形態は、図2A以降を参照して始まる。

【0018】

この点に関して、図1Aは、第1のポート12、第2のポート14およびアンテナポート16を備える従来のダイプレクサ10の概略図である。アース18への追加のポートが提供されてもよい。第1のポート12とアンテナポート16との間には、ハイパス(HP)フィルタ20がある。同様に、第2のポート14とアンテナポート16との間には、ローパス(LP)フィルタ22がある。HPフィルタ20は、第1のHPキャパシタ24、第2のHPキャパシタ26、第3のHPキャパシタ28およびHPインダクタ30を備える。共に、第1のHPキャパシタ24およびHPインダクタ30は、HPフィルタ20の高周波数を定める。さらに、第3のHPキャパシタ28およびHPインダクタ30は、帯域消去のノッチ周波数を定める。第2のHPキャパシタ26は、通過帯域のための遮断周波数の急峻性を定めるのに役立つ。本明細書において説明されるインダクタは、誘導のための手段として言及されることもあることに留意されたい。さらに、説明されるキャパシタは、静電容量を提供するための手段として本明細書において言及されることもあり、本明細書において説明されるバラクタは、可変静電容量を提供するための手段として本明細書において言及されることもある。

40

50

【 0 0 1 9 】

引き続き図1Aを参照すると、LPフィルタ22は、第1のLPインダクタ32、第2のLPインダクタ34、第3のLPインダクタ36、およびLPキャパシタ38を備える。共に、第2のLPインダクタ34およびLPキャパシタ38は、LPフィルタ22の低周波数を定める。さらに、第1のLPインダクタ32およびLPキャパシタ38は、帯域消去のノッチ周波数を定める。第3のLPインダクタ36は、通過帯域のための遮断周波数の急峻性を定めるのに役立つ。

【 0 0 2 0 】

予め組み込まれた出願に従ったダイプレクサからの例示的な周波数応答のグラフ40が、図1Bに提供される。容易に理解されるように、HPフィルタ20は、帯域消去44のために710MHzでノッチ42を有する。HP通過帯域46は、およそ1.710GHzで始まる。さらに、LPフィルタ22は、帯域消去50のために2.130GHzでノッチ48を有する。LP通過帯域52は、約1.040GHzで終わる。グラフ40は、予め組み込まれた出願において述べられた概念に従って製造されたダイプレクサのための例示的な周波数応答を示すものであり、そのようなダイプレクサは、ただ1つのワイヤレスキャリアアグリゲーションシステムのために動作する。すなわち、このダイプレクサは1つのキャリアのためには適切に動作できるが、第2のキャリアは、不要な高調波を阻止するために、異なる周波数でのノッチを必要とし得る。このように、複数のワイヤレスキャリアにわたってチップセットの利用を容易にし、また、複数のワイヤレスキャリアアグリゲーションシステムに適応可能なダイプレクサへのニーズが依然としてある。

【 0 0 2 1 】

完全性のために、ダイプレクサ10などのダイプレクサは、図1Cに示した送受信機用のチップセット60内に配置され得ることを理解すべきである。チップセット60は、電力増幅器62、デュプレクサ/フィルタ64、無線周波数(RF)スイッチモジュール66、パッシブコンバイナ68、受信機70、チューナ回路72(たとえば、第1のチューナ回路72Aおよび第2のチューナ回路72B)、ダイプレクサ10、キャパシタ74、インダクタ76、アース端子78およびアンテナ80を備える。電力増幅器62は、信号を伝送できるように特定の電力レベルに増幅する。デュプレクサ/フィルタ64は、周波数、挿入損失、阻止、または他の同様のパラメータを含む様々な異なるパラメータに応じて入出力信号をフィルタリングする。RFスイッチモジュール66は、入力信号の一定の部分を選択して、チップセット60のその他の構成要素に伝えることができる。パッシブコンバイナ68は、第1のチューナ回路72Aおよび第2のチューナ回路72Bからの検出された電力を結合する。受信機70は、パッシブコンバイナ68からの情報を処理して、チップセット60をさらに動作させるようにこの情報を使用する。チューナ回路72は、チューナ、ポータブルデータ入力ターミナル(PDET)、およびハウスキーピングアナログ-デジタルコンバータ(HKADC)などの構成要素を備える。チューナ回路72は、アンテナ80のインピーダンス同調(たとえば、電圧定在波比(VSWR)最適化)を実行してよい。

【 0 0 2 2 】

図1Cに示すように、ダイプレクサ10は、チューナ回路72のチューナ構成要素と、キャパシタ74、インダクタ76およびアンテナ80との間にある。ダイプレクサ10は、チップセット60に高いシステム性能を提供するように、アンテナ80とチューナ回路72との間に配置されてもよい。ダイプレクサ10は、高帯域周波数と低帯域周波数の両方に対して周波数ドメイン多重化も実行する。ダイプレクサ10が入力信号に対してダイプレクサ10の周波数多重化機能を実行した後、ダイプレクサ10の出力が、キャパシタ74とインダクタ76とを含む任意のLC(インダクタ/キャパシタ)ネットワークに送られる。LCネットワークは、必要に応じて、アンテナ80の追加のインピーダンス整合構成要素を構成してよい。その場合、特定の周波数を有する信号がアンテナ80によって送受信される。

【 0 0 2 3 】

本開示は、ダイプレクサ内に高Qの可変リアクタンス素子を導入することにより、複数のワイヤレスキャリアアグリゲーションシステムにわたって使用可能なダイプレクサを提供する。ダイプレクサ内の素子の静電容量またはインダクタンスを変化させることによって、ノッチ周波数および遮断周波数は、特定のキャリアアグリゲーションシステムのニ

ズに応えるように必要に応じて変化されてもよい。本開示は、チップセット内の面積を犠牲にすることなく、不要な電力排出を生じさせることなく、また、素子間の望ましくない寄生容量を生じさせることなく、高Qの素子を適切に提供する構造、方法および技法を提供する。

【0024】

この点に関して、ダイプレクサ90の第1の実施形態が、図2Aに示してある。ダイプレクサ90は、第1のポート92、第2のポート94およびアンテナポート96を備える。アース98への追加のポートが提供されてもよい。第1のポート92とアンテナポート96との間には、可変HPフィルタ100がある。同様に、第2のポート94とアンテナポート96との間には、可変LPフィルタ102がある。可変HPフィルタ100は、第1のHPバラクタ104、第2のHPバラクタ106、第3のHPバラクタ108およびHPインダクタ110を備える。共に、第1のHPバラクタ104およびHPインダクタ110は、可変HPフィルタ100の高周波数を定める。さらに、第3のHPバラクタ108およびHPインダクタ110は、帯域消去のノッチ周波数を定める。第2のHPバラクタ106は、通過帯域のための遮断周波数の急峻性を定めるのに役立つ。

10

【0025】

引き続き図2Aを参照すると、可変LPフィルタ102は、第1のLPインダクタ112、第2のLPインダクタ114、第3のLPインダクタ116およびLPバラクタ118を備える。共に、第2のLPインダクタ114およびLPバラクタ118は、可変LPフィルタ102の低周波数を定める。さらに、第1のLPインダクタ112およびLPバラクタ118は、帯域消去のノッチ周波数を定める。第3のLPインダクタ116は、通過帯域のための遮断周波数の急峻性を定めるのに役立つ。

20

【0026】

引き続き図2Aを参照すると、インダクタ110、112、114および116は、一般に、ガラス貫通ビア(TGV)インダクタとして、または、基板貫通ビア(TSV)インダクタを使用して形成され得る。TGVおよびTSVインダクタに関する詳細について、関心のある読者は、予め組み込まれた出願に注意を向ける。TSVインダクタは、1GHzで、約30またはそれ以上のQを提供し、TGVインダクタは、1GHzで、60よりも多いQを提供でき、および/または、2GHzで100よりも多いQを提供できる。このように、TGVインダクタは高Qインダクタンスを提供し、これにより、複数のキャリアアグリゲーションシステムで動作するダイプレクサを実現するのに必要とされるノッチおよび通過帯域の特性が提供される。例示的な実施形態において、バラクタ104、106、108および118は、シリコンオンインシュレータ(SOI)バラクタであり、特に検討された例示的な実施形態においては、バラクタはシリコンオンガラス(SOG)バラクタである。実施可能なバラクタに関する詳細について、関心のある読者は「'DISTORTION-FREE' VARACTOR DIODE TOPOLOGIES FOR RF ADAPTIVITY」Buisman他著、Microwave Symposium Digest、2005 IEEE MTT-S International、(著作権) 2005、IEEEを参照されたい。Buisman他著の論文は、その全体を参照することにより本明細書に組み込まれる。

30

【0027】

この点に関して、図2Bは、ダイプレクサ90のための典型的な周波数応答のグラフ120を示す。特に、ノッチ122および124は、バラクタ104、106、108および118に応じて、矢印126および128によりそれぞれ示されるように変化し得る。すなわち、バラクタ104、106、108および118の静電容量を変化させることによって、ノッチ122、124が移動でき、効果的に帯域消去の周波数を変化させる。容量性素子すべてがバラクタ104、106、108および118として示されているが、容量性素子の一部分のみがバラクタを含むことが可能であることに留意されたい。たとえば、バラクタ104および106は、非可変のキャパシタと交換されてもよい。この代用は実施可能であり、本開示の範囲内にあるが、バラクタ108、118のみを有するダイプレクサの周波数応答は、4つのバラクタ104、106、108および118を有するものほど最適でないであろう。

40

【0028】

バラクタ104、106、108および118がノッチ122、124を変化させるのに適しているが、本開示はそれに制限されない。バラクタ104、106、108および118の代わりに、図3に良好に示したように、むしろ可変インダクタが使用されてもよい。ダイプレクサ130が図3に示さ

50

れる。ダイプレクサ130は、第1のポート132、第2のポート134およびアンテナポート136を備える。アース138への追加のポートが提供されてもよい。第1のポート132とアンテナポート136との間には、可変HPフィルタ140がある。同様に、第2のポート134とアンテナポート136との間には、可変LPフィルタ142がある。HPフィルタ140は、第1のHPキャパシタ144、第2のHPキャパシタ146、第3のHPキャパシタ148および可変HPインダクタ150を備える。共に、第1のHPキャパシタ144および可変HPインダクタ150は、HPフィルタ140の高周波数を定める。さらに、第3のHPキャパシタ148およびHPインダクタ150は、帯域消去のノッチ周波数を定める。第2のHPキャパシタ146は、通過帯域のための遮断周波数の急峻性を定めるのに役立つ。

【0029】

引き続き図3を参照すると、可変LPフィルタ142は、第1の可変LPインダクタ152、第2の可変LPインダクタ154、第3の可変LPインダクタ156およびLPキャパシタ158を備える。共に、第2の可変LPインダクタ154およびLPキャパシタ158は、可変LPフィルタ142の低周波数を定める。さらに、第1の可変LPインダクタ152およびLPキャパシタ158は、帯域消去のノッチ周波数を定める。第3の可変LPインダクタ156は、通過帯域のための遮断周波数の急峻性を定めるのに役立つ。可変インダクタが使用されてもよいが、これらを使用すると、生産効率と、ダイプレクサ90をポータブルデバイス用の最新のチップセットにおいて実行可能とする省スペース特性との多くが排除されることを理解すべきである。さらに、図示しないが、誘導性素子と容量性素子の両方が同一の装置内で可変とすることができることに留意すべきである。すなわち、バラクタおよび可変インダクタは、一部またはすべてのリアクタンス素子のために同一のダイプレクサ内で使用できる。

【0030】

ダイプレクサ90または130などのダイプレクサを形成できる少なくとも2つの技法がある。第1の技法は基板搬送であり(図4および図5に示す)、第2の技法はダイ積層プロセスを介するものである(図7に示す)。この点に関して、図4は、基板搬送を介してダイプレクサ90を生成する間の中間段階である、組み立てられていないダイプレクサ160の概略側面図を示す。組み立てられていないダイプレクサ160は、第1の層162および第2の層164を有する。第1の層162は、そこを通して形成された導電性素子168を有するガラス基板166を備えることができ、インダクタ110、112、114および116などの1つまたは複数のインダクタを形成する。導電性素子168は、例示的な実施形態においては、TGV素子とすることができる。基板が、ガラス基板166ではなくシリコンである場合、導電性素子168はTSV素子とすることができる。

【0031】

引き続き図4を参照すると、第2の層164は、基板170と、1つまたは複数のバラクタをその内部に有する活性領域172とを含むことができる。バラクタ174は、バラクタ104、106、108および118とすることができる。上述のように、バラクタ174は、SOIまたはSOGバラクタとすることができる。あるいは、バラクタは、SOIもしくはシリコンオンサファイア(SOS)の切換え可能なキャパシタバンクまたはMEMS切換え可能なキャパシタバンクから形成されてもよい。SOGバラクタが対象の周波数で最も高いQを有するが、他のバラクタが様々な技術的制約に適していることもある。

【0032】

図4と図5との間の過程で、第2の層164は、矢印175によって明示されるように第1の層162の上に反転されて、余分な基板170は除去される。第2の層164内のバラクタ174を第1の層162のインダクタに非常に近接して配置することによって、電力を排出する寄生容量が回避され、また、追加の接続が回避され、これにより、ダイプレクサ内の素子のQがおおむね改善される。さらに、ダイプレクサの全体の面積が削減されるので、絶えず小型化のプレッシャーに対処している回路設計者にとって、このダイプレクサはより魅力的となる。

【0033】

引き続き図5を参照すると、余分な基板170を除去した後、ウェハレベルチップスケールパッケージ(WLCSP)ボールなどのコンタクト176を提供でき、組み立てられていないダイブ

10

20

30

40

50

レクサ160はここで上述のダイプレクサ90と類似したダイプレクサ90Aとなる。必要であれば、他のコンタクトが提供されてもよい。

【0034】

図5のダイプレクサ90Aを形成するプロセス180が、図6で説明される。まず、プロセス180は、第1の層162内の基板166にインダクタを形成することによって始まる(ブロック182)。同時に、またはこれに続いて、半導体バラクタが第2の層164に形成される(ブロック184)。第2の層164が第1の層162上へ反転され、そこに接合される(ブロック186)。余分な基板170が第2の層164から除去される(ブロック188)。次いで、プロセス180は、バックエンドオンライン(BEOL)処理を終了し、WLCSPボール(すなわち、コンタクト176)を提供する。

【0035】

プロセス180は適切なダイプレクサをもたらすが、ダイの積層など他のプロセスが使用されてもよい。この点に関して、図7は、ダイを積層したダイプレクサ192の実例を提供する。ダイプレクサ192は、TGVインダクタなどのインダクタ形成するように、ガラス基板などの基板196と、その基板を通る導電性素子198を有する第1の層194を備える。ダイプレクサ192はさらに、SOGバラクタ、SOIもしくはSOSの切換え可能なキャパシタバンクまたはMEMS切換え可能なキャパシタバンクなどの可変容量素子をその内部に有する第2の層200を備える。第1の層194は、プリント回路板(PCB)に接続するためのマルチダイ積層を容易にするのに使用され得る、フリップチップ bumps 202およびWLCSPボールなどのボール204により、第2の層200に接合される。

【0036】

本明細書において開示される実施形態に従った3DIC内の調整可能なダイプレクサおよび関連構成要素ならびに方法は、任意のプロセッサベースのデバイス内に提供されてもよく、またはそこに統合されてもよい。実施例は、無制限に、セットトップボックス、エンタテインメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、モバイル位置データユニット、モバイル電話、携帯電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、パーソナルデジタルアシスタント(PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、およびポータブルデジタルビデオプレーヤを備える。

【0037】

この点に関して、図8は、図2A、図3および図7に示したダイプレクサ90、90A、130、192を使用できるプロセッサベースのシステム210の実施例を示す。ダイプレクサ90、90A、130、192は半導体ダイに組み込まれ、それ以外の場合は、そのようなプロセッサベースのシステム210において使用され得る。この実施例において、プロセッサベースのシステム210は、それぞれが1つまたは複数のプロセッサ214を備える1つまたは複数の中央処理装置(CPU)212を備える。CPU212は、マスタデバイスとすることができる。CPU212は、一時的に記憶されたデータに迅速にアクセスするために、プロセッサ214に結合されたキャッシュメモリ216を有することができる。CPU212は、システムバス218に結合され、プロセッサベースのシステム210内に含まれるマスタデバイスおよびスレーブデバイスに相互接続できる。よく知られているように、CPU212は、システムバス218を介して、アドレス、制御およびデータ情報を交換することによって、これらの他のデバイスと通信する。たとえば、CPU212は、スレーブデバイスの実施例として、バストランザクシヨニクエストをメモリコントローラ220に伝達できる。図8に示していないが、複数のシステムバス218が提供されてもよく、この場合、各システムバス218は異なるファブリックを構成する。

【0038】

他のマスタデバイスおよびスレーブデバイスが、システムバス218に接続されてもよい。図8に示すように、これらのデバイスは、実施例として、メモリシステム222、1つまたは複数の入力デバイス224、1つまたは複数の出力デバイス226、1つまたは複数のネットワークインターフェースデバイス228、および1つまたは複数のディスプレイコントローラ23

10

20

30

40

50

0を備えることができる。入力デバイス224は、これに限定されないが、入力キー、スイッチ、音声プロセッサ等を含む、任意のタイプの入力デバイスを備えることができる。出力デバイス226は、これに限定されないが、音声、ビデオ、他の視覚インジケータ等を含む、任意のタイプの出力デバイスを備えることができる。ネットワークインターフェースデバイス228は、ネットワーク232へのデータ、およびそこからデータのやり取りを可能にするように構成される任意のデバイスとすることができる。ネットワーク232は、これに限定されないが、有線またはワイヤレスネットワーク、私設または公衆ネットワーク、ローカルエリアネットワーク(LAN)、ワイドローカルエリアネットワーク(WLAN)、およびインターネットを含む、任意のタイプのネットワークとすることができる。ネットワークインターフェースデバイス228は、任意のタイプの所望の通信プロトコルをサポートするように構成され得る。メモリシステム222は、1つまたは複数のメモリユニット234(0~N)を含むことができる。

10

【0039】

CPU212はまた、システムバス218を介してディスプレイコントローラ230にアクセスし、1つまたは複数のディスプレイ236に送られる情報を制御するように構成され得る。ディスプレイコントローラ230は、表示すべき情報をディスプレイ236に適した形式に処理する1つまたは複数のビデオプロセッサ238を介して、情報を、表示されるようにディスプレイ236に送る。ディスプレイ236は、これに限定されないが、陰極線管(CRT)、液晶ディスプレイ(LCD)、プラズマディスプレイ等を含む、任意のタイプのディスプレイを備えることができる。

20

【0040】

本明細書において開示される実施形態に関して説明された、様々な説明的な論理ブロック、モジュール、回路およびアルゴリズムは、電子ハードウェアとして、メモリまたは別のコンピュータ可読媒体に記憶され、且つプロセッサまたは他の処理装置によって実行される命令として、または両方の組合せとして実施され得ることを、当業者はさらに理解するであろう。本明細書において説明されるアービタ、マスタデバイスおよびスレーブデバイスは、実施例として、任意の回路、ハードウェア構成要素、ICまたはICチップにおいて使用され得る。本明細書において開示されるメモリは、任意のタイプおよびサイズのメモリとすることができ、また、任意のタイプの所望の情報を記憶するように構成され得る。この互換性を明確に説明するために、様々な説明的な構成要素、ブロック、モジュール、回路、およびステップが、全般にそれらの機能の観点で上述された。そのような機能がどのように実施されるかは、特定の用途、設計上の選択、および/または、システム全体に課された設計上の制約によって決まる。当業者は、各特定の用途に適した様々な方法で、説明された機能を実施できるが、そのような実施の決定は、本開示の範囲からの逸脱を生じさせるものと解釈すべきでない。

30

【0041】

本明細書において開示される実施形態に関して説明された、様々な説明的な論理ブロック、モジュールおよび回路は、本明細書において説明される機能を実施するように設計された、プロセッサ、デジタルシグナルプロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラム可能な論理デバイス、ディスクリートなゲートもしくはトランジスタ論理、ディスクリートなハードウェア構成要素、またはそれらの任意の組合せにより、実施または実行され得る。プロセッサは、マイクロプロセッサとすることができるが、別の方法では、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはステートマシンとすることができる。プロセッサはまた、処理装置の組合せとして、たとえば、マイクロプロセッサ、複数のマイクロプロセッサ、DSPコアと関連した1つまたは複数のマイクロプロセッサ、または任意の他のそのような構成と、DSPとの組合せとして実施され得る。

40

【0042】

本明細書において開示される実施形態は、ハードウェアにおいて、また、ハードウェアに記憶された命令において具体化でき、さらに、たとえば、ランダムアクセスメモリ(RAM

50

)、フラッシュメモリ、リードオンリメモリ(ROM)、電氣的プログラマブルROM(EPROM)、電氣的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当分野で知られたコンピュータ可読媒体の任意の他の形態内に常駐できる。例示的な記憶媒体はプロセッサに結合され、プロセッサはこの記憶媒体から情報を読み出し、また、そこに情報を書き込むことができる。別の方法では、記憶媒体は、プロセッサと一体化され得る。プロセッサおよび記憶媒体は、ASIC内に常駐できる。ASICは遠隔ステーションに常駐できる。別の方法では、プロセッサおよび記憶媒体は、ディスクリートの構成要素として、遠隔ステーション、基地局またはサーバに常駐できる。

【0043】

本明細書における例示的な実施形態のいずれかで説明された作業手順は、実施例および考察を提供するために説明されるものであることにも留意されたい。説明された作業は、示された順序以外の多くの異なる順序で実施され得る。さらに、単一の作業手順において説明された作業は、実際には多数の異なる手順で実施され得る。加えて、例示的な実施形態において説明された1つまたは複数の作業手順は、組み合わせることができる。当業者には容易に明らかとなるように、フローチャート図に示した作業手順は多くの様々な修正を受けてもよいことを理解すべきである。情報および信号は、多種多様な技術および技法のいずれかを使用して表され得ることも、当業者には理解されよう。たとえば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁性粒子、光学場もしくは光学粒子、またはそれらの任意の組合せによって表され得る。

【0044】

本開示の先の説明は、当業者が本開示を製造または使用することを可能にするために提供されるものである。本開示に対する様々な修正形態が当業者には容易に明らかとなり、本明細書において規定された包括的な原則は、本開示の精神および範囲から逸脱することなく、他の変形形態に適用され得る。それゆえ、本開示は、本明細書において説明される実施例および設計に限定されることを意図しておらず、本明細書において開示される原則および新規性の特徴と一致した最も広範な範囲を与えるものである。

【符号の説明】

【0045】

- 10 ダイプレクサ
- 12 第1のポート
- 14 第2のポート
- 16 アンテナポート
- 18 アース
- 20 ハイパス(HP)フィルタ
- 22 ローパス(LP)フィルタ
- 24 第1のHPキャパシタ
- 26 第2のHPキャパシタ
- 28 第3のHPキャパシタ
- 30 HPインダクタ
- 32 第1のLPインダクタ
- 34 第2のLPインダクタ
- 36 第3のLPインダクタ
- 38 LPキャパシタ
- 40 グラフ
- 42 ノッチ
- 44 帯域消去
- 46 HP通過帯域
- 48 ノッチ
- 50 帯域消去

10

20

30

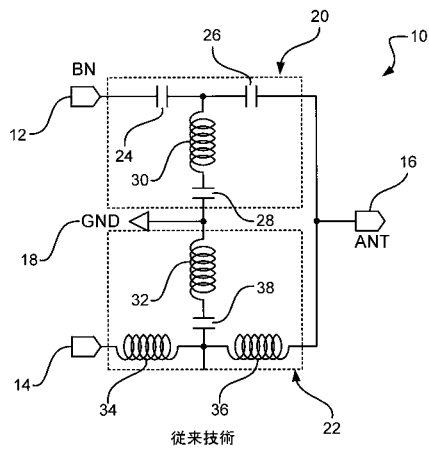
40

50

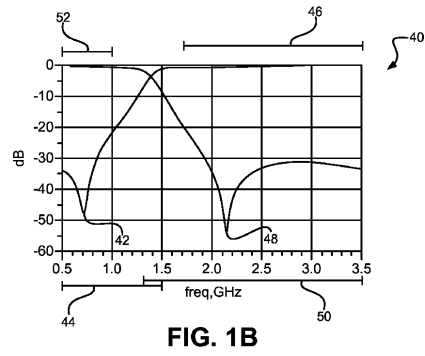
52	LP通過帯域	
60	チップセット	
62	電力増幅器	
64	デュプレクサ/フィルタ	
66	無線周波数(RF)スイッチモジュール	
68	パッシブコンバイナ	
70	受信機	
72	チューナ回路	
72A	第1のチューナ回路	
72B	第2のチューナ回路	10
74	キャパシタ	
76	インダクタ	
78	アース端子	
80	アンテナ	
90	ダイプレクサ	
90A	ダイプレクサ	
92	第1のポート	
94	第2のポート	
96	アンテナポート	
98	アース	20
100	可変HPフィルタ	
102	可変LPフィルタ	
104	第1のHPバラクタ	
106	第2のHPバラクタ	
108	第3のHPバラクタ	
110	HPインダクタ	
112	第1のLPインダクタ	
114	第2のLPインダクタ	
116	第3のLPインダクタ	
118	LPバラクタ	30
120	グラフ	
122	ノッチ	
124	ノッチ	
126	矢印	
128	矢印	
130	ダイプレクサ	
132	第1のポート	
134	第2のポート	
136	アンテナポート	
138	アース	40
140	可変HPフィルタ	
142	可変LPフィルタ	
144	第1のHPキャパシタ	
146	第2のHPキャパシタ	
148	第3のHPキャパシタ	
150	可変HPインダクタ	
152	第1の可変LPインダクタ	
154	第2の可変LPインダクタ	
156	第3の可変LPインダクタ	
158	LPキャパシタ	50

160	ダイプレクサ	
162	第1の層	
164	第2の層	
166	ガラス基板	
168	導電性素子	
170	基板	
172	活性領域	
174	バラクタ	
175	矢印	
176	コンタクト	10
192	ダイプレクサ	
194	第1の層	
196	基板	
198	導電性素子	
200	第2の層	
202	フリップチップバンプ	
204	ボール	
210	プロセッサベースのシステム	
212	中央処理装置 (CPU)	
214	プロセッサ	20
216	キャッシュメモリ	
218	システムバス	
220	メモリコントローラ	
222	メモリシステム	
224	入力デバイス	
226	出力デバイス	
228	ネットワークインターフェースデバイス	
230	ディスプレイコントローラ	
232	ネットワーク	
234	メモリユニット	30
236	ディスプレイ	
238	ビデオプロセッサ	

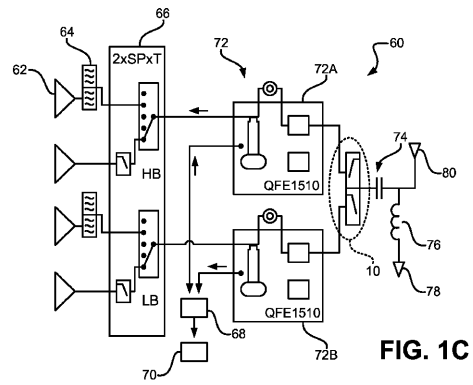
【図 1 A】



【図 1 B】



【図 1 C】



【図 2 A】

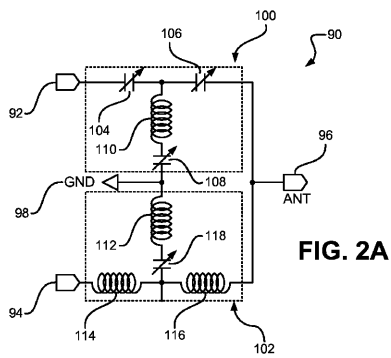


FIG. 2A

【図 3】

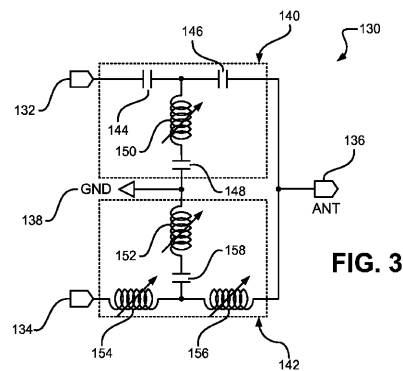


FIG. 3

【図 2 B】

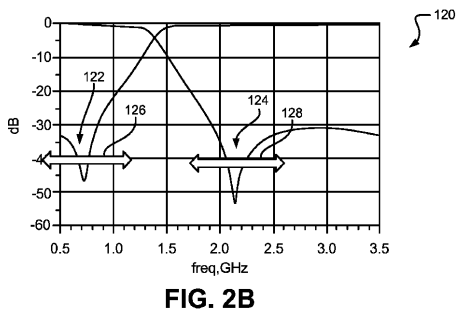
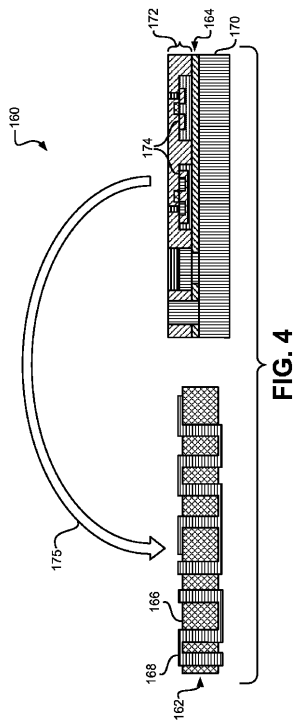
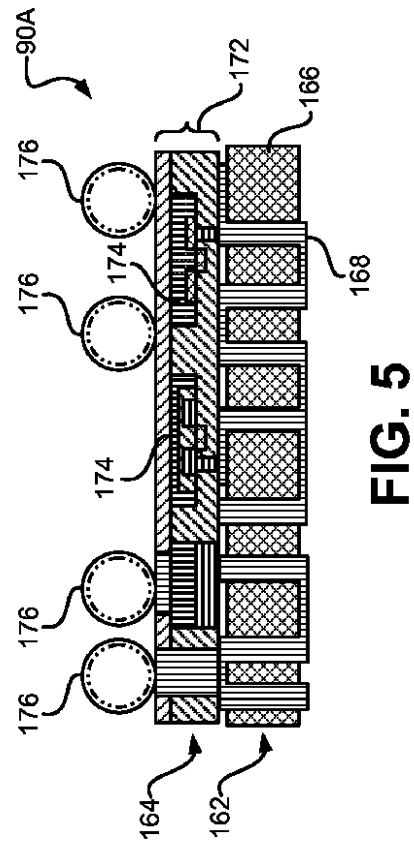


FIG. 2B

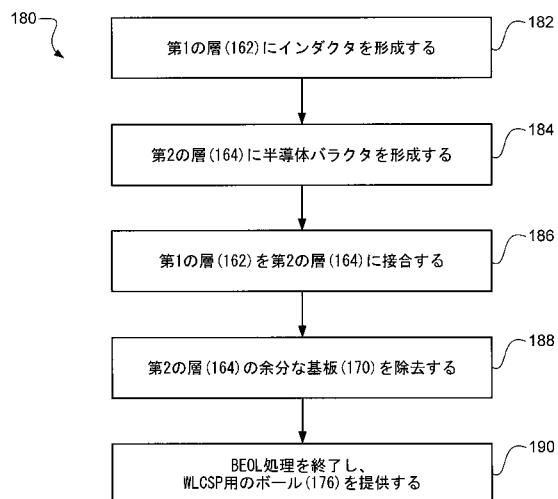
【 図 4 】



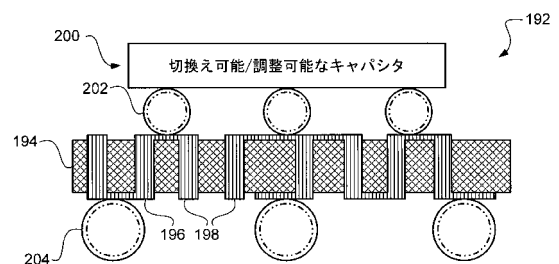
【 図 5 】



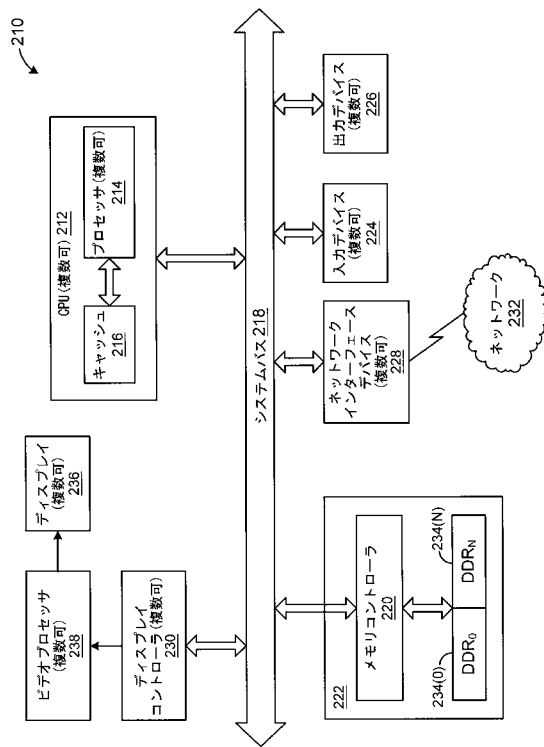
【 図 6 】



【 図 7 】



【図 8】



【手続補正書】

【提出日】平成27年6月30日(2015.6.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

少なくとも1つのインダクタを含む第1の層であって、前記少なくとも1つのインダクタが基板貫通ビアインダクタを含む、第1の層と、

前記少なくとも1つのインダクタに結合された少なくとも1つのバラクタを含む第2の層とを含み、前記少なくとも1つのインダクタおよび前記少なくとも1つのバラクタが、調整可能なダイプレクサを集合的に形成する、
3次元(3D)集積回路(IC)(3DIC)。

【請求項 2】

前記少なくとも1つのバラクタが、ガラス基板上シリコン(SOG)バラクタを含む、請求項1に記載の3DIC。

【請求項 3】

前記少なくとも1つの基板貫通ビアインダクタが、ガラス貫通ビア(TGV)インダクタを含む、請求項1に記載の3DIC。

【請求項 4】

前記少なくとも1つのインダクタおよび前記少なくとも1つのバラクタが、前記調整可能なダイプレクサ内にローパス(LP)フィルタを形成する、請求項1に記載の3DIC。

【請求項 5】

前記第1の層内の複数の第2のインダクタに結合された前記第2の層内に配置された第2のバラクタをさらに含み、前記第2のバラクタおよび前記複数の第2のインダクタが、前記調整可能なダイプレクサのLPフィルタを集合的に形成する、請求項1に記載の3DIC。

【請求項6】

前記少なくとも1つのバラクタが、前記調整可能なダイプレクサ内のフィルタのノッチ周波数を調整するように構成される、請求項1に記載の3DIC。

【請求項7】

前記少なくとも1つの基板貫通ビアインダクタが、前記調整可能なダイプレクサ内のフィルタのための遮断周波数を制御するように構成される、請求項1に記載の3DIC。

【請求項8】

半導体ダイに統合される、請求項1に記載の3DIC。

【請求項9】

セットトップボックス、エンタテインメントユニット、ナビゲーションデバイス、通信デバイス、固定位置データユニット、モバイル位置データユニット、モバイル電話、携帯電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、パーソナルデジタルアシスタント(PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、およびポータブルデジタルビデオプレーヤを備えるグループから選択されたデバイスに統合される、請求項1に記載の3DIC。

【請求項10】

調整可能なダイプレクサを形成する方法であって、

3次元(3D)集積回路(IC)(3DIC)の第1の層に基板貫通ビアインダクタを形成するステップと、

前記3DICの第2の層にバラクタを形成するステップと、

前記基板貫通ビアインダクタおよび前記バラクタが、前記調整可能なダイプレクサのためのフィルタを形成するように、前記3DICにおいて前記バラクタを前記基板貫通ビアインダクタに電氣的に結合するステップと

を含む、方法。

【請求項11】

前記バラクタを前記基板貫通ビアインダクタに電氣的に結合するステップが、基板搬送を実施するステップと、金属と金属のボンディングを使用するステップとを含む、請求項10に記載の方法。

【請求項12】

前記バラクタを前記基板貫通ビアインダクタに電氣的に結合するステップが、前記第2の層を前記第1の層上にダイ積層するステップと、フリップチップバンプを使用するステップとを含む、請求項10に記載の方法。

【請求項13】

前記基板貫通ビアインダクタを形成するステップが、ガラス貫通ビア(TGV)インダクタを形成するステップを含む、請求項10に記載の方法。

【請求項14】

前記第2の層に前記バラクタを形成するステップが、ガラス基板上シリコン(SOG)バラクタを形成するステップを含む、請求項10に記載の方法。

【請求項15】

少なくとも1つの基板貫通ビアインダクタを含む第1の層と、

前記少なくとも1つの基板貫通ビアインダクタに結合された、可変静電容量を提供するための少なくとも1つの手段を含む第2の層とを含み、前記少なくとも1つの基板貫通ビアインダクタおよび前記可変静電容量を提供するための少なくとも1つの手段が、調整可能なダイプレクサを集合的に形成する

3次元(3D)集積回路(IC)(3DIC)。

【請求項 16】

第1の周波数帯域を有する第1の信号を送受信するように構成された第1の周波数ポートと、

前記第1の周波数帯域とは別の第2の周波数帯域を有する第2の周波数信号を送受信するように構成された第2の周波数ポートと、

アンテナポートと、

前記第1の周波数ポートと前記アンテナポートとの間の、前記第1の周波数帯域内で信号を通過させるように構成された第1のパスフィルタと、

前記第2の周波数ポートと前記アンテナポートとの間の、前記第2の周波数帯域内で信号を通過させるように構成された第2のパスフィルタと、

バラクタおよび可変基板貫通ビアインダクタのうちの少なくとも1つを含み、前記第1の周波数ポートと、前記第2の周波数ポートと、前記アンテナポートとのうちの少なくとも2つの間の、調整可能なノッチ帯域を提供するように構成された少なくとも1つのノッチフィルタと

を含む、調整可能なダイプレクサ集積回路(IC)。

【請求項 17】

前記バラクタが高Qバラクタを含み、Qが2GHzで100よりも大きいか、または100と等しい、請求項16に記載の調整可能なダイプレクサIC。

【請求項 18】

前記可変基板貫通ビアインダクタが高Qインダクタを含み、Qが1GHzで30よりも大きいか、または30と等しい、請求項16に記載の調整可能なダイプレクサIC。

【請求項 19】

前記ノッチフィルタが、前記第1の周波数帯域において前記信号の高調波を阻止するように構成される、請求項16に記載の調整可能なダイプレクサIC。

【請求項 20】

前記可変基板貫通ビアインダクタが、ガラス貫通ビア(TGV)インダクタを含む、請求項16に記載の調整可能なダイプレクサIC。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2014/036524

A. CLASSIFICATION OF SUBJECT MATTER

INV. H03H7/46
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data, INSPEC, COMPENDEX, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SAITOU K ET AL: "Tunable duplexer having multilayer structure using LTCC", 2003 IEEE MTT-S INTERNATIONAL MICROWAVE SYMPOSIUM DIGEST.(IMS 2003). PHILADELPHIA, PA, JUNE 8 - 13, 2003; [IEEE MTT-S INTERNATIONAL MICROWAVE SYMPOSIUM], NEW YORK, NY : IEEE, US, 8 June 2003 (2003-06-08), page 1763, XP032412591, DOI: 10.1109/MWSYM.2003.1210481 ISBN: 978-0-7803-7695-3 figures 1,5,6 ----- -/--	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

13 August 2014

Date of mailing of the international search report

22/08/2014

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

Radomirescu, B-M

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2014/036524

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KOEN BUISMAN ET AL: "A Monolithic Low-Distortion Low-Loss Silicon-on-Glass Varactor-Tuned Filter With Optimized Biasing", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, IEEE SERVICE CENTER, NEW YORK, NY, US, vol. 17, no. 1, 1 January 2007 (2007-01-01), pages 58-60, XP011154487, ISSN: 1531-1309, DOI: 10.1109/LMWC.2006.887262 ch. III, 1st paragraph -----	1-20
A	US 2011/248405 A1 (LI YIMING [US] ET AL) 13 October 2011 (2011-10-13) paragraph [0023] -----	1-20
A	US 2012/075216 A1 (BLACK JUSTIN PHELPS [US] ET AL) 29 March 2012 (2012-03-29) figure 14 -----	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2014/036524

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2011248405 A1	13-10-2011	CN 102884870 A EP 2556730 A1 JP 2013524534 A KR 20130014568 A US 2011248405 A1 WO 2011127041 A1	16-01-2013 13-02-2013 17-06-2013 07-02-2013 13-10-2011 13-10-2011
US 2012075216 A1	29-03-2012	CN 103119703 A EP 2619791 A1 JP 2013538010 A TW 201222768 A US 2012075216 A1 WO 2012040063 A1	22-05-2013 31-07-2013 07-10-2013 01-06-2012 29-03-2012 29-03-2012

フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 3 H	7/46	(2006.01)	H 0 4 B 1/00 2 5 7	
			H 0 3 H 7/46 A	
			H 0 3 H 7/46 C	

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72)発明者 デイク・ディー・キム
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ジェ・ション・ラン
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ジョンヘ・キム
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 マリオ・フランシスコ・ヴェレズ
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 チャンハン・ユン
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 デイヴィッド・エフ・ベルディ
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ロバート・ピー・ミクルカ
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 マシュー・エム・ノワク
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 シャンドン・ジャン
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

(72)発明者 ブアイ・エイチ・シー
アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ドライブ・5 7 7 5

F ターム(参考) 5F038 AC03 AC06 AV06 AZ04 BE07 CA16 CD13 EZ05 EZ06 EZ07
5K011 DA01 DA27 EA06