

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 2 月 2 日(02.02.2017)



(10) 国際公開番号
WO 2017/017772 A1

- (51) 国際特許分類:
H01L 31/0224 (2006.01)
- (21) 国際出願番号: PCT/JP2015/071295
- (22) 国際出願日: 2015 年 7 月 27 日(27.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 長州産業株式会社(CHOSHU INDUSTRY CO., LTD.) [JP/JP]; 〒7578511 山口県山陽小野田市大字山野井字新山野井 3 7 4 0 番地 Yamaguchi (JP).
- (72) 発明者: 小林 英治(KOBAYASHI Eiji); 〒7578511 山口県山陽小野田市大字山野井字新山野井 3 7 4 0 番地 長州産業株式会社内 Yamaguchi (JP).
- (74) 代理人: 天野 一規(AMANO Kazunori); 〒6500025 兵庫県神戸市中央区相生町 1 丁目 1 番 1 8 号 富士興業西元町ビル 6 階 天野特許事務所内 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロアジア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

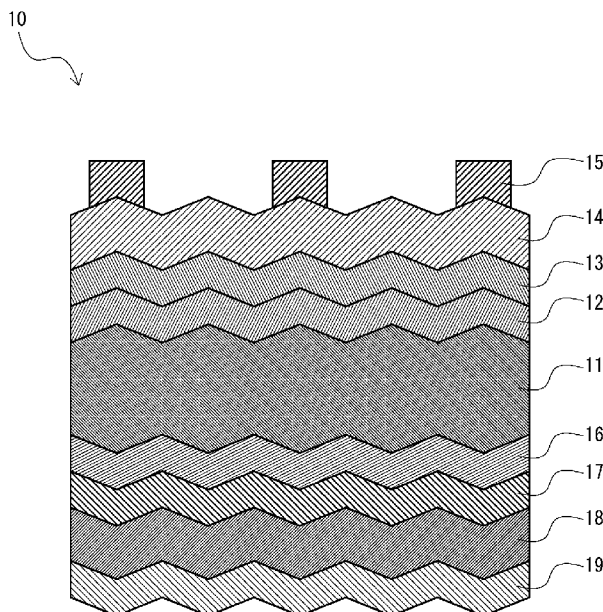
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: PHOTOVOLTAIC POWER GENERATION ELEMENT AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 光発電素子及びその製造方法

[図1]



(57) Abstract: Provided are: a photovoltaic power generation element wherein a collector electrode on the rear surface side can be formed in a thin film, while maintaining output characteristics; and a method for manufacturing the photovoltaic power generation element. A photovoltaic power generation element of the present invention is provided with: a p-type or n-type crystalline semiconductor substrate; a first intrinsic amorphous semiconductor layer, a p-type amorphous semiconductor layer, a first transparent conductive film, and a first collector electrode, which are laminated in this order on one surface side of the crystalline semiconductor substrate; and a first intrinsic amorphous semiconductor layer, an n-type amorphous semiconductor layer, a second transparent conductive film, and a second collector electrode, which are laminated in this order on the other surface side of the crystalline semiconductor substrate. The photovoltaic power generation element is characterized in that the first collector electrode or the second collector electrode is a metal film containing silver, copper, and palladium and/or gallium. The average thickness of the metal film is preferably 15-60 nm. It is preferable that the photovoltaic power

generation element is annealed.

(57) 要約:

[続葉有]

WO 2017/017772 A1



出力特性を維持したまま、裏面側の集電極の薄膜化を図ることができる光発電素子及びその製造方法を提供する。本発明は、p型又はn型の結晶半導体基板と、この結晶半導体基板の一方の面側に以下の順で積層される第1の真性非晶質系半導体層、p型非晶質系半導体層、第1の透明導電膜及び第1の集電極と、上記結晶半導体基板の他方の面側に以下の順で積層される第1の真性非晶質系半導体層、n型非晶質系半導体層、第2の透明導電膜及び第2の集電極とを備える光発電素子であって、上記第1の集電極及び第2の集電極のいずれか一方が、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜であることを特徴とする。上記金属膜の平均厚さとしては、15 nm以上60 nm以下が好ましい。当該光発電素子は、アニール処理が施されていることが好ましい。

明 細 書

発明の名称：光発電素子及びその製造方法

技術分野

[0001] 本発明は、光発電素子及びその製造方法に関する。

背景技術

[0002] CO₂等の温室効果ガスを発生しないクリーンな発電手段として、あるいは原子力発電に代わる操業安全性の高い発電手段として、太陽電池が近年特に注目されている。太陽電池の一つとして、発電効率の高いヘテロ接合型の太陽電池がある。

[0003] このようなヘテロ接合型の太陽電池セルは、例えばn型結晶半導体基板の一方の面側に第1の真性非晶質系半導体層、p型非晶質系半導体層及び第1の透明導電膜がこの順に積層され、n型結晶半導体基板の他方の面側に第2の真性非晶質系半導体層、n型非晶質系半導体層及び第2の透明導電膜がこの順に積層されている。また、第1の透明導電膜及び第2の透明導電膜の各外面には、発生した電気を集める集電極が配設されている。入射面（表面）側の集電極は、通常、平行に配設された線状のフィンガー電極と、これらのフィンガー電極と直交する帯状のバスバー電極とから構成される。一方、裏面側の集電極は、集電性や、吸収されずに透過した光を反射させることを考慮し、金属膜により形成されるものがある（国際公開第2012/105148号参照）。この金属膜には、透過してくる近赤外領域の波長の光の反射率が高いことや、導電性に優れることなどの理由で、純銀が好適に用いられている。

[0004] しかし、裏面側の集電極膜を純銀で形成した場合、厚さを60nmよりも大きくしないと出力特性が低下する。従って、厚さが60nmを超える膜を形成する必要がある、コスト高の要因にもなっている。

先行技術文献

特許文献

[0005] 特許文献1：国際公開第2012／105148号

発明の概要

発明が解決しようとする課題

[0006] 本発明は、以上のような事情に基づいてなされたものであり、その目的は、出力特性を維持したまま、裏面側の集電極の薄膜化を図ることができる光発電素子及びその製造方法を提供することである。

課題を解決するための手段

[0007] 上記課題を解決するためになされた本発明は、p型又はn型の結晶半導体基板と、この結晶半導体基板の一方の面側に以下の順で積層される第1の真性非晶質系半導体層、p型非晶質系半導体層、第1の透明導電膜及び第1の集電極と、上記結晶半導体基板の他方の面側に以下の順で積層される第1の真性非晶質系半導体層、n型非晶質系半導体層、第2の透明導電膜及び第2の集電極とを備える光発電素子であって、上記第1の集電極及び第2の集電極のいずれか一方が、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜であることを特徴とする。

[0008] 当該光発電素子においては、第1の集電極及び第2の集電極のうちの、裏面側となる集電極が、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜により構成されている。このような組成の金属膜を用いることで、厚さ60nm以下に薄膜化した場合も、出力特性の低下を抑えることができる。

[0009] このような効果が生じる理由については、以下の理由が推察される。ヘテロ接合型の光発電素子においては、アニール処理により、キャリアの再結合を抑制する真性非晶質系半導体層のパッシベーション能力が向上することを発明者らは知見している。しかし、金属膜においては、アニール処理により、金属（銀など）の粒成長に伴う島結晶の凝集が起こる。この島結晶の凝集の結果、金属膜において局所的に膜厚が薄くなる箇所が現れ、金属膜の導電性の低下が生じる。このため、銀により集電極を形成する場合、十分な出力特性を発揮させるために、凝集の影響を受けない十分な厚さの膜厚にしてお

く必要がある。一方、金属膜を厚く形成すると製造コストが増大する。これに対し、本願発明のように、集電極を銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜とした場合、これらのドーパント種が粒成長を抑制し、島結晶の凝集が抑えられる。従って、このような組成の金属膜を用いることで、出力特性を維持したまま、集電極の薄膜化に伴うコスト低減を図ることができる。

[0010] 上記金属膜の平均厚さとしては、15 nm以上60 nm以下が好ましい。上記金属膜の平均厚さを上記範囲とすることで、出力特性の低下を抑えつつ、金属膜を十分に薄膜化することができる。

[0011] 当該光発電素子は、アニール処理が施されていることが好ましい。アニール処理により、真性非晶質系半導体層のパッシベーション能力が高まり、一方、当該光発電素子が備える金属膜は、アニール処理によっても導電性が低下し難い。従って、アニール処理が施されていることにより、当該光発電素子の出力特性を高めることができる。

[0012] 上記課題を解決するためになされた別の本発明は、p型又はn型の結晶半導体基板と、この結晶半導体基板の一方の面側に以下の順で積層される第1の真性非晶質系半導体層、p型非晶質系半導体層、及び第1の透明導電膜と、上記結晶半導体基板の他方の面側に以下の順で積層される第2の真性非晶質系半導体層、n型非晶質系半導体層、及び第2の透明導電膜とを有する層構造体を得る工程、上記層構造体の一方の外面に、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜を積層する工程、及び上記金属膜が積層された層構造体をアニール処理する工程を備える光発電素子の製造方法である。

[0013] 当該製造方法によれば、裏面側の集電極を銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜とし、かつアニール処理を施すことにより、出力特性を維持したまま、裏面側の集電極の薄膜化が図られた光発電素子を製造することができる。

[0014] ここで、非晶質系半導体層における「非晶質系」とは、完全な非晶質体の

みならず、非晶質中に微結晶が存在するものも含む。真性非晶質系半導体層における「真性」とは、不純物が意図的にドーピングされていないことをいい、原料に本来含まれる不純物や製造過程において非意図的に混入した不純物が存在するものも含む意味である。「平均厚さ」とは、任意の十点において測定した厚さの平均値をいう。また、「主成分」とは、質量基準で最も含有量が多い成分をいう。

発明の効果

[0015] 本発明の光発電素子によれば、出力特性を維持したまま、裏面側の集電極の薄膜化を図ることができる。本発明の光発電素子の製造方法によれば、出力特性を維持したまま、裏面側の集電極の薄膜化が図られた光発電素子を製造することができる。従って、本発明の光発電素子の製造方法によれば、光発電素子の製造コストの低減を図ることができる。

図面の簡単な説明

[0016] [図1]図1は、本発明の一実施形態に係る光発電素子の模式的断面図である。
[図2] (a) は、実施例における光発電素子の短絡電流を示すグラフである。
(b) は、実施例における光発電素子の曲線因子を示すグラフである。(c) は、実施例における光発電素子の変換効率を示すグラフである。
[図3]図3は、実施例における接触抵抗測定の結果を示すグラフである。
[図4]図4は、膜厚測定方法を示す模式図である。

発明を実施するための形態

[0017] 以下、適宜図面を参照しつつ、本発明の一実施形態に係る光発電素子及びその製造方法について詳説する。

[0018] <光発電素子>

図1の光発電素子10は、n型結晶半導体基板11と、n型結晶半導体基板11の一方の面側(図1における上側)に以下の順で積層される第1の真性非晶質系半導体層12、p型非晶質系半導体層13、第1の透明導電膜14及び第1の集電極15と、n型結晶半導体基板11の他方の面側(図1における下側)に以下の順で積層される第2の真性非晶質系半導体層16、n

型非晶質系半導体層 17、第2の透明導電膜 18 及び第2の集電極 19 とを備える。なお「外面」とは、n 型結晶半導体基板 11 を中心とし、n 型結晶半導体基板 11 と反対側の面をいう。また、「内面」とは、n 型結晶半導体基板 12 側の面をいう。

[0019] n 型結晶半導体基板 11 は、n 型結晶半導体から形成されている。n 型の基板を用いることで、p 型の基板に特有の光劣化現象を回避することができる。n 型結晶半導体とは、通常、シリコン等の半導体に微量の 5 価の元素が添加されてなる結晶体である。n 型結晶半導体基板 11 を構成する結晶半導体としては、シリコン (Si) の他、SiC、SiGe 等を挙げることができるが、生産性等の点からシリコンが好ましい。n 型結晶半導体基板 11 は、単結晶体であってもよいし、多結晶体であってもよい。

[0020] n 型結晶半導体基板 11 の両面には、ピラミッド状の微細な凹凸構造が形成されている。このような構造により、光の閉じ込め機能を高めることができる。この凹凸構造（テクスチャー構造）の高さや大きさは不揃いであってもよく、隣り合う凹凸の一部が重なっていてもよい。また、頂点や谷部が丸みを帯びていてもよい。この凹凸の高さとしては、数 μm ～数十 μm 程度である。このような凹凸構造は、例えば約 1 ～ 5 質量%の水酸化ナトリウムを含むエッチング液に基板材料を浸漬し、基板材料の (100) 面を異方性エッチングすることにより得ることができる。

[0021] n 型結晶半導体基板 11 の平均厚さとしては特に制限されない。この平均厚さの上限としては、例えば 300 μm であり、200 μm が好ましい。また、この下限としては、例えば 50 μm とすることができる。このように n 型結晶半導体基板 12 を薄型化することにより、光発電素子 10 自体の小型化、低コスト化等を図ることができる。

[0022] 第1の真性非晶質系半導体層 12 及び第2の真性非晶質系半導体層 16 は、通常シリコンから形成されている。このような真性非晶質系半導体層により、キャリアの再結合を抑制し、出力特性を高めることができる。なお、第1の真性非晶質系半導体層 12 及び第2の真性非晶質系半導体層 16 の平均

厚さとしては、例えば1 nm以上10 nm以下とすることができる。

[0023] p型非晶質系半導体層13は、通常、シリコンに微量の3価の元素が添加されてなる非晶質層である。p型非晶質系半導体層13の平均厚さとしては、例えば1 nm以上20 nm以下とすることができる。

[0024] n型非晶質系半導体層17は、通常、シリコンに微量の5価の元素が添加されてなる非晶質層である。n型非晶質系半導体層17の平均厚さとしては、例えば1 nm以上20 nm以下とすることができる。

[0025] 第1の透明導電膜14及び第2の透明導電膜18を構成する透明導電性材料としては、例えばインジウムスズ酸化物（ITO）、インジウムタングステン酸化物（IWO）、インジウムセリウム酸化物（ICO）、アルミニウム亜鉛酸化物（AZO）、ガリウム亜鉛酸化物（GZO）等を挙げることができる。第1の透明導電膜14及び第2の透明導電膜18の平均膜厚としては特に制限されないが、例えばそれぞれ40 nm以上200 nm以下とすることができる。

[0026] 表面側、すなわち光入射面側に配置される第1の集電極15は、例えば平行に配設された複数の線状のフィンガー電極と、これらのフィンガー電極と直交する複数の帯状のバスバー電極とから構成される。なお、第1の集電極15は、例えばフィンガー電極のみから構成されていてもよい。第1の集電極は、導電性材料から形成されている。この導電性材料としては、銀ペースト等の導電性接着剤や、銅線等の金属導線を用いることができる。各フィンガー電極の幅としては、例えば10 μm以上300 μm以下程度である。各フィンガー電極間の間隔としては、例えば0.5 mm以上4 mm以下程度である。また、各バスバー電極の幅としては、例えば0.5 mm以上2 mm以下程度である。

[0027] 裏面側に配置される第2の集電極19は、銀（Ag）と、パラジウム（Pd）及びガリウム（Ga）のうちの少なくとも一種と、銅（Cu）とを含む金属膜である。第2の集電極19は、第2の透明導電膜18の外全面に積層されている。当該光発電素子10は、裏面の第2の集電極19が、このよ

うな元素を含む金属膜であることで、薄型化した場合も良好な出力特性を維持することができる。この理由は、これらの元素を含む第2の集電極19は、アニール処理の際の銀の島結晶の凝集が生じにくいこと、隣接する第2の透明導電膜18に起因するアニール処理の際の酸化が生じ難いことなどによると推測される。

[0028] 第2の集電極19は、好ましくはAgを主成分とし、Pd及びGaの少なくとも一種並びにCuが添加されてなるAg-Pd-Cu系又はAg-Ga-Cu系銀合金から形成される。第2の集電極19におけるAgの含有量としては、例えば90原子%以上99原子%以下とすることができる。第2の集電極19におけるPdの含有量としては、例えば0.5原子%以上5原子%以下とすることができる。第2の集電極19におけるGaの含有量としては、例えば0.5原子%以上5原子%以下とすることができる。第2の集電極19にPd及びGaの両方を含有しても良く、Pd及びGaの合計の含有量としては、例えば0.5原子%以上5原子%以下とすることができる。第2の集電極19におけるCuの含有量としては、例えば0.1原子%以上5原子%以下とすることができる。第2の集電極19がこのような組成の銀合金から形成されていることにより、アニール処理による導電性の低下がより抑えられる。なお、第2の集電極19には、本発明の効果を阻害しない範囲で、その他の成分が含有されていてもよい。

[0029] 第2の集電極19（金属膜）の平均厚さとしては、特に限定されないが、下限として例えば15nmが好ましく、30nmがより好ましい。一方、この上限としては、例えば100nmであってよいが、60nmが好ましく、50nmがより好ましい。さらに、この上限は、40nmであってよく、30nmであってよい。第2の集電極19（金属膜）の平均厚さを上記範囲とすることで、金属膜を薄膜化し、かつ出力特性の低下を抑えることができる。平均厚さが上記下限未満の場合は、出力特性が低下するおそれがある。一方、平均厚さが上記上限を超える場合は、十分な薄型化を図ることができない。また、平均厚さが上記上限を超える場合は、使用する材料及びコスト

の十分な低減を図ることができない。

[0030] 当該光発電素子 10 において、光入射面は、第 1 の集電極 15 側となる。光発電素子 10 は、通常、複数を直列に接続して使用される。複数の光発電素子 10 を直列接続して使用することで、発電電圧を高めることができる。

[0031] <光発電素子の製造方法>

光発電素子 10 は、例えば

n 型結晶半導体基板 11 と、この結晶半導体基板 11 の一方の面側に以下の順で積層される第 1 の真性非晶質系半導体層 12、p 型非晶質系半導体層 13、及び第 1 の透明導電膜 14 と、上記結晶半導体基板 11 の他方の面側に以下の順で積層される第 2 の真性非晶質系半導体層 16、n 型非晶質系半導体層 17、及び第 2 の透明導電膜 18 とを有する層構造体を得る工程 (a)、

上記層構造体の一方の外面に、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜を積層する工程 (b)、

上記層構造体の他方の外面に、第 1 の集電極 15 を形成する工程 (c)、及び

上記金属膜が積層された層構造体をアニール処理する工程 (d)

を備える製造方法により好適に得ることができる。以下各工程について説明する。

[0032] [工程 (a)]

工程 (a) は、具体的には、n 型結晶半導体基板 11 の一方の面側に第 1 の真性非晶質系半導体層 12 を積層する工程、さらに p 型非晶質系半導体層 13 を積層する工程、さらに第 1 の透明導電膜 14 を積層する工程、n 型結晶半導体基板 11 の他方の面側に第 2 の真性非晶質系半導体層 16 を積層する工程、さらに n 型非晶質系半導体層 17 を積層する工程、及びさらに第 2 の透明導電膜 18 を積層する工程を有する。なお、各工程の順は、所望の層構造を得ることができる順である限り特に限定されるものではない。

[0033] 第 1 の真性非晶質系半導体層 12 及び第 2 の真性非晶質系半導体層 16 を

積層する方法としては、例えば化学気相成長法などの公知の方法が挙げられる。化学気相成長法としては、例えばプラズマCVD法や触媒CVD法（別名ホットワイヤCVD法）等が挙げられる。プラズマCVD法による場合、原料ガスとしては例えば SiH_4 と H_2 との混合ガスを用いることができる。

[0034] p型非晶質系半導体層13及びn型非晶質系半導体層17を積層する方法としても、真性非晶質系半導体層の積層と同様の、化学気相成長法などの公知の方法により成膜することができる。プラズマCVD法による場合、原料ガスとしては、p型非晶質系半導体層13においては、例えば SiH_4 と H_2 と B_2H_6 との混合ガスを用いることができる。n型非晶質系半導体層17においては、例えば SiH_4 と H_2 と PH_3 との混合ガスを用いることができる。

[0035] 第1の透明導電膜14及び第2の透明導電膜18を積層する方法としては、例えばスパッタリング法、真空蒸着法、イオンプレーティング法（反応性プラズマ蒸着法）等を挙げることができるが、スパッタリング法及びイオンプレーティング法によることが好ましい。スパッタリング法は、膜厚制御性に優れ、また、イオンプレーティング法等に比べて低コストで行うことができる。一方、イオンプレーティング法によれば、欠陥の発生を抑制した成膜を行うことができる。

[0036] [工程(b)]

工程(b)においては、上記層構造体の一方の外面、すなわち第2の透明導電膜18の外面に、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜を積層する。この金属膜が、第2の集電極19となる。金属膜の積層方法としては特に限定されないが、スパッタリングにより好適に積層することができる。このスパッタリングは、所望する第2の集電極19と同じ組成からなるスパッタリングターゲットを用いて行うことができる。また、第2の集電極19を構成する各元素のスパッタリングターゲットを用い、放電量を制御して同時にスパッタリングすることにより成膜してもよい。

[0037] [工程(c)]

工程（c）においては、上記層構造体の他方の外面、すなわち第1の透明導電膜14の外面に、第1の集電極15を形成する。この第1の集電極15の形成は、形成材料として導電性接着剤が用いられている場合、スクリーン印刷やグラビアオフセット印刷等の印刷法により形成することができる。また、第1の集電極15に金属導線を用いる場合、導電性接着剤や低融点金属（半田等）により第1の透明導電膜14上に固定することにより、第1の集電極15を形成することができる。その他、第1の集電極15は、メッキ処理等により形成してもよい。

[0038] [工程（d）]

工程（d）においては、上記金属膜が積層された層構造体をアニール処理する。このようなアニーリングを行うことで、第1の真性非晶質系半導体層12のパッシベーション能力等が向上し、ヘテロ接合型の光電変換素子の出力特性を高めることができる。また、印刷法により形成した場合の第1の集電極15の乾燥及び硬化を行うことができる。一方、このアニーリングの際に、第2の集電極19（金属膜）もアニーリングされるが、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む合金から形成されているため、島結晶の凝集等抑えられ、導電性が大きく低下することが無い。従って、このアニール処理によって、得られる光発電素子10の出力特性を高めることができる。

[0039] アニール処理の条件としては、特に限定されないが、例えば処理温度の下限としては150℃とすることができ、180℃が好ましい。一方、この上限としては300℃とすることができ、250℃が好ましい。また、処理時間の下限としては10分が好ましく、20分がより好ましい。一方、この上限としては、1時間が好ましく、40分がより好ましい。

[0040] 本発明は上述した実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲でその構成を変更することもできる。例えば、図1の構造の光発電素子において、第1の集電極及び第2の集電極の構造を逆にし、図1における下側（第2の透明導電膜側）を光入射面とした光発電素子であって

もよい。また、 n 型結晶半導体基板の代わりに、 p 型結晶半導体基板を用いてもよい。

実施例

[0041] 以下、実施例及び比較例を挙げて、本発明の内容をより具体的に説明する。なお、本発明は以下の実施例に限定されるものではない。

[0042] <実施例 1>

第1の透明導電膜/ p 型非晶質系シリコン層/第1の真性非晶質系シリコン層/ n 型結晶シリコン基板/第2の真性非晶質系シリコン層/ n 型非晶質系シリコン層/第2の透明導電膜からなる層構造体を作成した。 n 型結晶シリコン基板は、両面に無数のピラミッド形状を有する微細な凹凸構造（テクスチャー構造）が形成された単結晶基板を用いた。この凹凸構造は、約3質量%の水酸化ナトリウムを含むエッチング液に基板材料を浸漬し、基板材料の（100）面を異方性エッチングすることにより形成した。また、各シリコン層は、プラズマCVD法により積層した。各透明導電膜は、酸化錫を3質量%含有した酸化インジウム（ユミコア社のスパッタリングターゲット）を用い、スパッタリングにより積層した。なお、 p 型非晶質系シリコン層、第1の真性非晶質系シリコン層、 n 型結晶シリコン基板、第2の真性非晶質系シリコン層、 n 型非晶質系シリコン層は、それぞれ p 型非晶質系半導体層、第1の真性非晶質系半導体層、 n 型結晶半導体基板、第2の真性非晶質系半導体層、 n 型非晶質系半導体層に対応する。

[0043] 次いで、裏面側となる第2の透明導電膜の外面に、フルヤ金属社のAPC-TRターゲットを用い、スパッタリングによりAg-Pd-Cu系合金からなる金属膜を形成した。次いで、表面側となる第1の透明導電膜の外面に、銀ペーストを用いた印刷法により線状の集電極を形成した。最後に、200℃30分のアニール処理を行い、実施例の光発電素子を得た。なお、この金属膜（集電極）の平均厚さを15nmから130nmの間で変化させたものを複数種作製した。

[0044] <実施例 2>

裏面側となる第2の透明導電膜の外面に、AGCターゲット（Ag：97.0～99.7質量%、Ga：0.2～1.5質量%、Cu：0.1～1.5質量%）を用い、スパッタリングによりAg-Ga-Cu系合金からなる金属膜を形成した以外は、実施例1と同様にして実施例2の光発電素子を得た。実施例1と同様に、金属膜（集電極）の平均厚さを15nmから130nmの間で変化させたものを複数種作製した。

[0045] <比較例>

裏面側となる第2の透明導電膜の外面に、スパッタリングにより純銀からなる金属膜を形成したこと以外は実施例と同様にして比較例の光発電素子を得た。実施例1、2と同様に、金属膜（集電極）の平均厚さを15nmから130nmの間で変化させたものを複数種作製した。

[0046] <評価>

得られた各光発電素子の短絡電流（A）、曲線因子及び変換効率（%）を計測した。結果を図2に示す。図2（a）～（c）において、横軸は、各光発電素子の裏面側の第2の集電極（金属膜）の平均厚さを示す。図2に示されるように、純銀を裏面側の集電極に用いた比較例の光発電素子は、金属膜の厚さを60nm以下とした場合に急激に出力特性が低下する。一方、実施例1、2の光発電素子は、金属膜の厚さを薄くしても、出力特性はほぼ変わらないことがわかる。

[0047] <接触抵抗測定>

酸化錫を3質量%含有した酸化インジウムからなる透明導電膜表面に、以下の試験膜（平均厚み50nm）をスパッタリングにより形成し、その後アニール処理（200℃、30分）を行った。アニール処理前後の各試験膜の接触抵抗率を測定した。測定結果を図3に示す。なお、試験膜1、2（Ag-Pd-Cu系合金膜）は、実施例1で用いたAPC-TRターゲットを用いて製膜した。試験膜3、4（Ag-Ga-Cu系合金膜）は、実施例2で用いたAGCターゲットを用いて製膜した。

・試験膜1：Ag-Pd-Cu系合金（アニール処理前）

- ・試験膜 2 : A g - P d - C u 系合金 (アニール処理後)
- ・試験膜 3 : A g - G a - C u 系合金 (アニール処理前)
- ・試験膜 4 : A g - G a - C u 系合金 (アニール処理後)
- ・試験膜 5 : A l - N i 系合金 (アニール処理前)
- ・試験膜 6 : A l - N i 系合金 (アニール処理後)
- ・試験膜 7 : M o (アニール処理前)
- ・試験膜 8 : M o (アニール処理後)

なお、いずれのアニール処理も、200℃、30分間行った。

[0048] 図3に示されるように、A g - P d - C u 系合金を用いた場合 (試験膜 1、2) と、A g - G a - C u 系合金を用いた場合 (試験膜 3、4) とは、アニール処理前後のいずれにもいても低い抵抗を示していることがわかる。

[0049] ここで、本明細書における各層又は膜の測定方法について説明する。金属膜等の厚さは、各層又は膜の面に対して垂直方向の厚みをいう。具体的に仮想的な基板 50 を示した図4により説明する。図4の基板 50 は、平滑部 51 と凹凸部 52 とを両方有する。例えば透過型電子顕微鏡 (TEM) を用いることで、層 53 の基板 50 (平滑部 51) の平面に対して垂直な厚さ t 、及び基板 50 (凹凸部 52) の斜面に垂直な厚さ t' 、並びに凹凸部 52 の斜面の角度 α をそれぞれ測定することができる。平滑部 51 に積層された層 53 の厚さは t を指す、凹凸部 52 に積層された層 53 の厚さは t' を指す。三角関数から $t' = t \times \cos \alpha$ が成り立つ。

産業上の利用可能性

[0050] 本発明の光発電素子は、出力特性を維持したまま、裏面側の集電極の薄膜化を図ることができ、太陽光発電に好適に用いることができる。

符号の説明

- [0051] 10 光発電素子
- 11 n型結晶半導体基板
- 12 第1の真性非晶質系半導体層
- 13 p型非晶質系半導体層

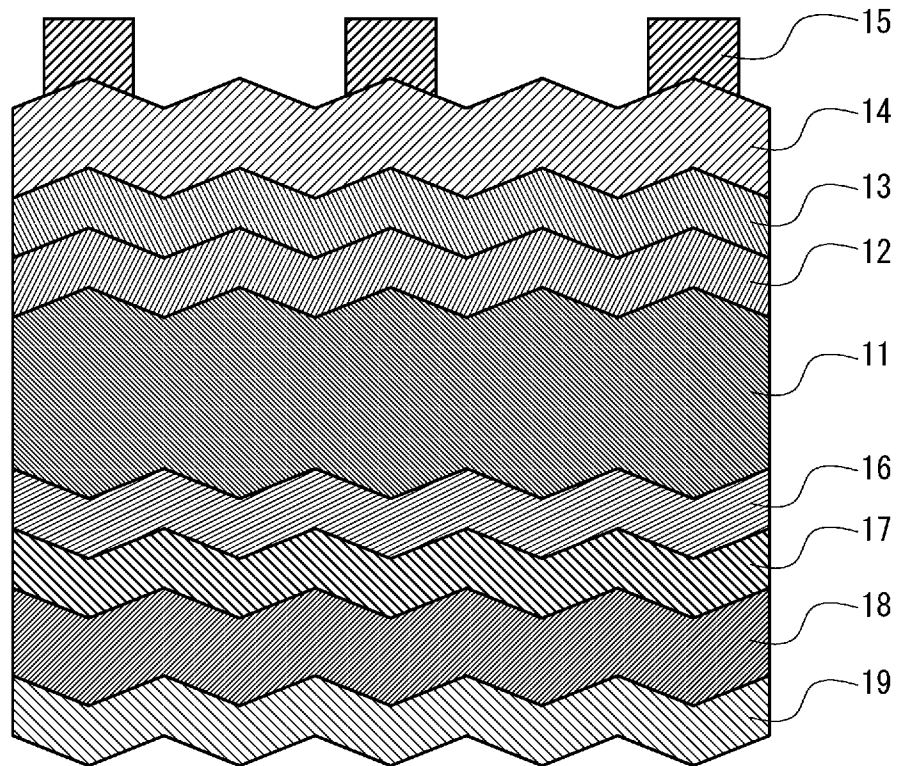
- 1 4 第1の透明導電膜
- 1 5 第1の集電極
- 1 6 第2の真性非晶質系半導体層
- 1 7 n型非晶質系半導体層
- 1 8 第2の透明導電膜
- 1 9 第2の集電極
- 5 0 基板
- 5 1 平滑部
- 5 2 凹凸部
- 5 3 層

請求の範囲

- [請求項1] p型又はn型の結晶半導体基板と、この結晶半導体基板の一方の面側に以下の順で積層される第1の真性非晶質系半導体層、p型非晶質系半導体層、第1の透明導電膜及び第1の集電極と、上記結晶半導体基板の他方の面側に以下の順で積層される第1の真性非晶質系半導体層、n型非晶質系半導体層、第2の透明導電膜及び第2の集電極とを備える光発電素子であって、
- 上記第1の集電極及び第2の集電極のいずれか一方が、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜であることを特徴とする光発電素子。
- [請求項2] 上記金属膜の平均厚さが、15nm以上60nm以下である請求項1に記載の光発電素子。
- [請求項3] アニール処理が施されている請求項1又は請求項2に記載の光発電素子。
- [請求項4] p型又はn型の結晶半導体基板と、この結晶半導体基板の一方の面側に以下の順で積層される第1の真性非晶質系半導体層、p型非晶質系半導体層、及び第1の透明導電膜と、上記結晶半導体基板の他方の面側に以下の順で積層される第2の真性非晶質系半導体層、n型非晶質系半導体層、及び第2の透明導電膜とを有する層構造体を得る工程、
- 上記層構造体の一方の外面に、銀と、パラジウム及びガリウムのうちの少なくとも一種と、銅とを含む金属膜を積層する工程、及び
- 上記金属膜が積層された層構造体をアニール処理する工程
- を備える光発電素子の製造方法。

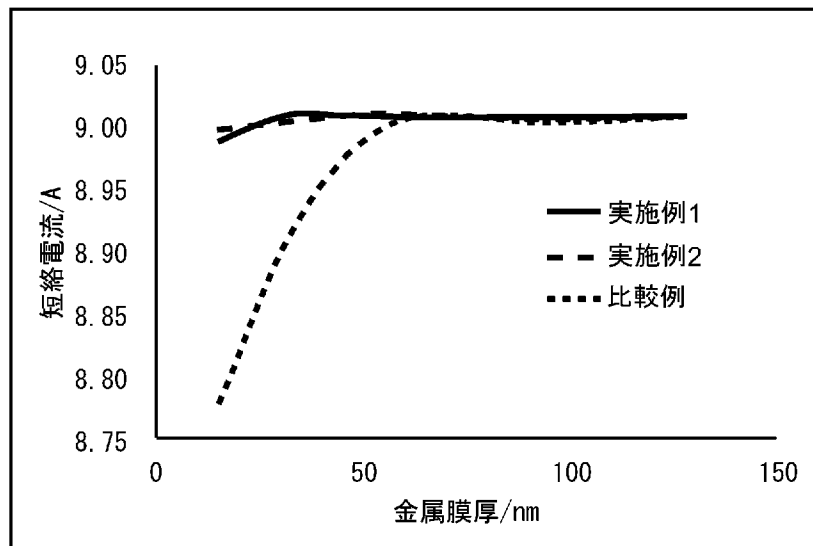
[図1]

10

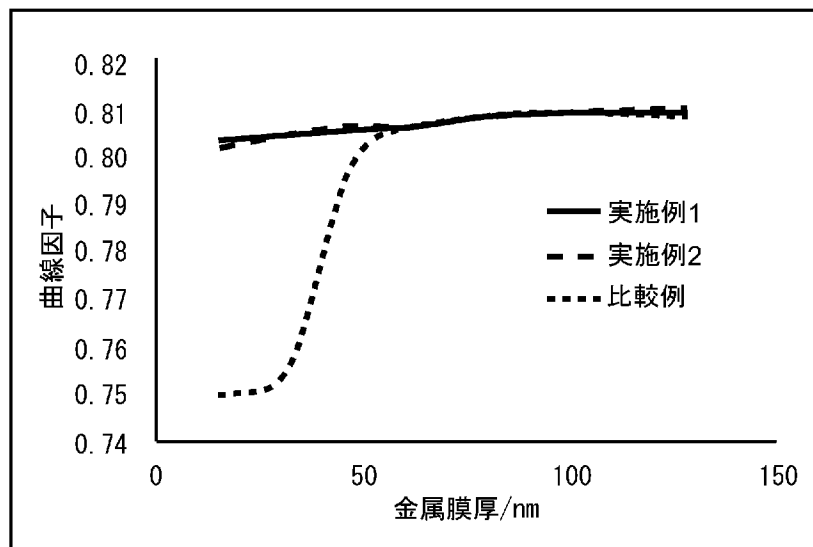


[図2]

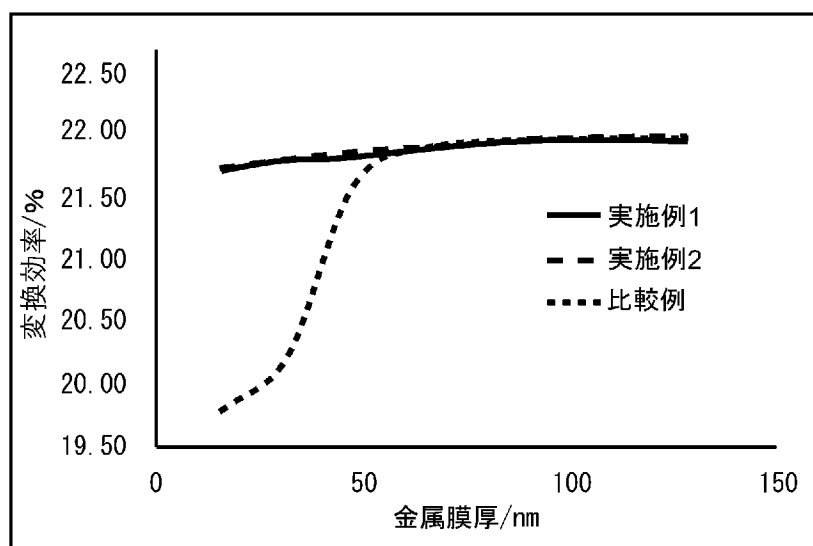
(a)



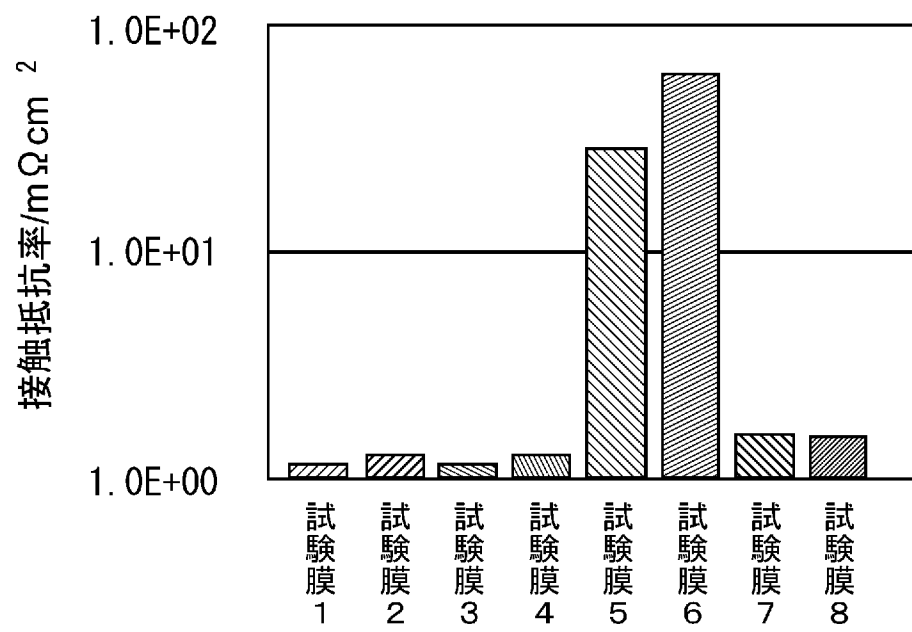
(b)



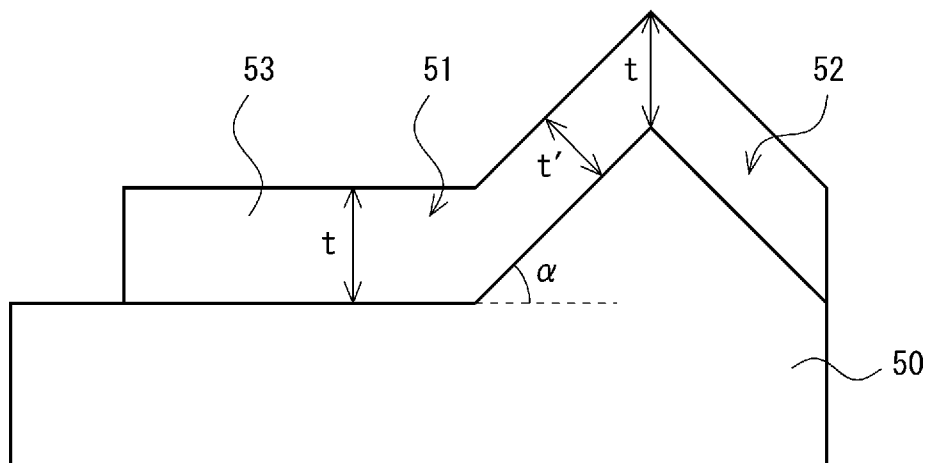
(c)



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/071295

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/0224(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/0224

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2012/001857 A1 (Mitsubishi Electric Corp.), 05 January 2012 (05.01.2012), claim 2; paragraphs [0019], [0034] (Family: none)	1-4
Y	JP 2003-297158 A (Canon Inc.), 17 October 2003 (17.10.2003), paragraphs [0031] to [0042] (Family: none)	1-4
A	JP 11-17202 A (Kyocera Corp.), 22 January 1999 (22.01.1999), paragraphs [0015] to [0016] (Family: none)	1-4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 October 2015 (14.10.15)

Date of mailing of the international search report
27 October 2015 (27.10.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/071295

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-241392 A (Kaneka Corp.), 25 December 2014 (25.12.2014), paragraphs [0179], [0206] & WO 2014/054600 A1 & EP 2905814 A & CN 103999242 A & TW 201424029 A	1-4
A	JP 2006-295197 A (E.I. Du Pont de Nemours & Co.), 26 October 2006 (26.10.2006), paragraph [0030] & US 2006/0231802 A1 & US 2008/0178930 A1 & US 2010/0227433 A1 & EP 1713093 A2 & DE 602006002767 D & KR 10-2006-0108550 A & CN 1877748 A & AU 2006201554 A & TW 00I339400 B	1-4

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/0224(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/0224

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2012/001857 A1（三菱電機株式会社） 2012.01.05, [請求項 2], [0019], [0034]（ファミリーなし）	1 - 4
Y	JP 2003-297158 A（キヤノン株式会社） 2003.10.17, [0031] - [0042]（ファミリーなし）	1 - 4
A	JP 11-17202 A（京セラ株式会社） 1999.01.22, [0015] - [0016]（ファミリーなし）	1 - 4

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 1 0 . 2 0 1 5

国際調査報告の発送日

2 7 . 1 0 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

池谷 香次郎

2 K

9 5 1 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2014-241392 A (株式会社カネカ) 2014.12.25, [0179], [0206] & WO 2014/054600 A1 & EP 2905814 A & CN 103999242 A & TW 201424029 A	1 - 4
A	JP 2006-295197 A (イー・アイ・デュポン・ドウ・ヌムール・アンド・カンパニー) 2006.10.26, [0030] & US 2006/0231802 A1 & US 2008/0178930 A1 & US 2010/0227433 A1 & EP 1713093 A2 & DE 602006002767 D & KR 10-2006-0108550 A & CN 1877748 A & AU 2006201554 A & TW 00I339400 B	1 - 4