

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5487421号
(P5487421)

(45) 発行日 平成26年5月7日(2014.5.7)

(24) 登録日 平成26年3月7日(2014.3.7)

(51) Int.CI.

H01L 29/786 (2006.01)

F 1

H01L 29/78 618B
H01L 29/78 618C
H01L 29/78 626A
H01L 29/78 626Z
H01L 29/78 616T

請求項の数 12 (全 27 頁)

(21) 出願番号 特願2008-549110 (P2008-549110)
 (86) (22) 出願日 平成19年1月9日 (2007.1.9)
 (65) 公表番号 特表2009-522802 (P2009-522802A)
 (43) 公表日 平成21年6月11日 (2009.6.11)
 (86) 國際出願番号 PCT/IL2007/000025
 (87) 國際公開番号 WO2007/080575
 (87) 國際公開日 平成19年7月19日 (2007.7.19)
 審査請求日 平成22年1月6日 (2010.1.6)
 (31) 優先権主張番号 60/756,997
 (32) 優先日 平成18年1月9日 (2006.1.9)
 (33) 優先権主張国 米国(US)

(73) 特許権者 591141821
 テクニオン リサーチ アンド ディベロ
ップメント ファウンデーション リミテ
ィド
イスラエル国, ハイファ 32000, テ
クニオン シティ (番地なし)
 (74) 代理人 100096024
 弁理士 柏原 三枝子
 (74) 代理人 100125520
 弁理士 高橋 剛一
 (74) 代理人 100155310
 弁理士 柴田 雅仁
 (72) 発明者 テスラ, ニール
 イスラエル国 ジックロン ヤーコヴ 3
0900, ハノトリムストリート 24
最終頁に続く

(54) 【発明の名称】トランジスタの構造及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

ソース、ドレイン及びゲート電極及びチャネル領域を具えるトランジスタ構造をえる電子デバイスであって、

前記チャネルの有効長さを減らすことで、前記デバイスを通る電流を増やすよう構成され、

前記ソース及びドレイン電極が、同じ層において間隔を空けた分離した電極であり、前記チャネル領域が、前記ソース及びドレイン電極間に配置されており、

前記チャネル領域が、パターンを形成した導電層に結合され、

前記導電層が、前記チャネル領域の中、前記チャネル領域の下方又は前記チャネル領域の上方に、前記チャネルに沿って間隔を空けた関係で配置された孤立した島又は細長い領域の形式で導電領域の配列を規定するパターンを有し、

前記パターンが、前記孤立した島又は細長い領域が前記孤立した島又は細長い領域間の間隔よりも大きく、電気的に間隔を空けた電荷リザーバとして機能するように、構成されていることで、前記チャネルに沿った導電率の不連続性を形成して前記チャネルの有効長さを減らし、これにより、前記デバイスを通る電流を増やすことを特徴とする電子デバイス。

【請求項2】

ソース、ドレイン及びゲート電極及びチャネルを具えるトランジスタ構造をえる電子デバイスであって、

10

20

前記チャネルを電荷キャリアが通過するための有効ギャップを減らすことで、前記デバイスを通る電流を増やすよう構成され、

前記ソース及びドレイン電極が、異なる層に配置されており、前記チャネル領域が、前記ソース及びドレイン電極間の半導体層に配置されており、

前記ソース電極の仕事関数が、前記チャネルの前記半導体層への電荷注入に対する障壁として動作するよう選択され、

前記ソース又はドレイン電極のうちのいずれか一方が、パターンを形成した導電層として構成され、

前記パターンが、前記パターンを形成した電極の連続的な導電領域の間に配置された間隔を開けた穴の形式であることにより、前記パターンを形成した電極に沿った導電率の不連続性を形成して前記ゲート電極による電界が前記パターンを形成した電極を通過でき、これにより、前記デバイスを通る電流を増やすことを特徴とする電子デバイス。10

【請求項 3】

前記トランジスタ構造が、薄膜トランジスタ構造として構成されることを特徴とする請求項 1 に記載のデバイス。

【請求項 4】

前記チャネルが、半導体、ポリマー、ポリシリコン及びアモルファスシリコン材料のうちの少なくとも 1 でできていることを特徴とする請求項 2 に記載のデバイス。

【請求項 5】

前記導電領域の配列が、最短距離で前記ソース電極と前記ドレイン電極とを結ぶ線に沿った軸に対して傾いた少なくとも 1 つの軸に沿って延びていることを特徴とする請求項 1 に記載のデバイス。20

【請求項 6】

前記パターンを形成した導電層のための基板として機能するブロック共重合体層を具えることを特徴とする請求項 1 から 5 のいずれか 1 項に記載のデバイス。

【請求項 7】

前記ブロック共重合体層が前記導電層の前記パターンのためのテンプレートとして機能することを特徴とする請求項 6 に記載のデバイス。

【請求項 8】

前記チャネルに結合されたパターンを形成した導電層を具える前記チャネルが、前記ゲート電極の上方に配置され、前記ゲート電極から電気的に絶縁され。30

前記ソース及びドレイン電極を含む層が、前記チャネルの上方に配置され、前記チャネルへの電気接点を有することを特徴とする請求項 1 に記載のデバイス。

【請求項 9】

前記ソース及びドレイン電極を含む層が、前記ソース及びドレイン電極間に配置され前記ソース及びドレイン電極と前記チャネルとから電気的に絶縁された第 2 のフローティングゲート電極として機能する導電領域を具える前記パターンを形成した導電層であることを特徴とする請求項 1 に記載のデバイス。

【請求項 10】

前記間隔を空けた導電領域が n 型アモルファスシリコンで形成されていることを特徴とする請求項 1 に記載のデバイス。40

【請求項 11】

前記間隔を空けた導電領域が金属で形成されていることを特徴とする請求項 1 に記載のデバイス。

【請求項 12】

前記パターンが 2 次元配列の前記導電領域の形式であることを特徴とする請求項 1 から 11 のいずれか 1 項に記載のデバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、電子デバイス構造の設計の分野に関する。より詳細には、本発明は、例えば、有機エレクトロニクス、ディスプレイ装置及び検出器に使用するための薄膜トランジスタに関する。

【背景技術】

【0002】

以下の参考文献は、本発明の背景技術を理解することを目的とした関連するものと考えられる。

- [1] . H . S i r r i n g h a u s , N . T e s s l e r , 及び R . H . F r i e n d , S c i e n c e 2 8 0 , 1 7 4 1 - 1 7 4 3 (1 9 9 8) ;
- [2] . N . S t u t z m a n n e t a l . , 「 S e l f - a l i g n e d , v e r t i c a l - c h a n n e l , p o l y m e r f i e l d - e f f e c t t r a n s i s t o r s 」 , S c i e n c e 2 9 9 , 1 8 8 1 - 1 8 8 4 (2 0 0 3) ;
- [3] . S . T a n a k a e t a l , 「 V e r t i c a l - a n d l a t e r a l - t y p e o r g a n i c F E T u s i n g p e n t a c e n e e v a p o r a t e d f i l m s , 」 , E l e c t r i c a l E n g i n e e r i n g i n J a p a n , v o l . 1 4 9 , p p . 4 3 - 4 8 , 2 0 0 4 ;
- [4] . J . I . N i s h i z a w a , T . T e r a s a k i , 及び J . S h i b a t a , 「 F i e l d - E f f e c t T r a n s i s t o r V e r s u s A n a l o g T r a n s i s t o r (S t a t i c I n d u c t i o n T r a n s i s t o r) 」 , I e e e T r a n s a c t i o n s o n E l e c t r o n D e v i c e s , v o l . E D 2 2 , p p . 1 8 5 - 1 9 7 , 1 9 7 5 ;
- [5] . L . M a 及び Y . Y a n g , 「 U n i q u e a r c h i t e c t u r e a n d c o n c e p t f o r h i g h - p e r f o r m a n c e o r g a n i c t r a n s i s t o r s 」 , A p p l i e d P h y s i c s L e t t e r s 8 5 , 5 0 8 4 - 5 0 8 6 (2 0 0 4) ;
- [6] . V . K . S m i r n o v e t a l . , 「 T e c h n o l o g y f o r n a n o p e r i o d i c d o p i n g o f a m e t a l - o x i d e - s e m i c o n d u c t o r f i e l d - e f f e c t t r a n s i s t o r c h a n n e l u s i n g a s e l f - f o r m i n g w a v e - o r d e r e d s t r u c t u r e , 」 , N a n o t e c h n o l o g y , v o l . 1 4 , p p . 7 0 9 - 7 1 5 , 2 0 0 3 ;
- [7] . X . - Z . B o e t a l . , 「 P e n t a c e n e - c a r b o n n a n o t u b e s : S e m i c o n d u c t i n g a s s e m b l i e s f o r t h i n - f i l m t r a n s i s t o r a p p l i c a t i o n s , 」 , A p p l . P h y s . L e t t . , v o l . 8 7 , p p . 2 0 3 5 1 0 , 2 0 0 5 ;
- [8] . B . D . G a t e s , Q . B . X u , J . C . L o v e , D . B . W o l f e , 及び G . M . W h i t e s i d e s , 「 U n c o n v e n t i o n a l n a n o f a b r i c a t i o n , 」 , A n n u a l R e v i e w o f M a t e r i a l s R e s e a r c h 3 4 , 3 3 9 - 3 7 2 (2 0 0 4) ;
- [9] . W . A . L o p e s 及び H . M . J a e g e r , 「 H i e r a r c h i c a l s e l f - a s s e m b l y o f m e t a l n a n o s t r u c t u r e s o n d i b l o c k c o p o l y m e r s c a f f o l d s 」 , N a t u r e 4 1 4 , 7 3 5 - 7 3 8 (2 0 0 1) ;
- [10] . M . P . S t o y k o v i c h e t a l . , 「 D i r e c t e d a s s e m b l y o f b l o c k c o p o l y m e r b l e n d s i n t o n o n r e g u l a r d e v i c e - o r i e n t e d s t r u c t u r e s 」 , S c i e n c e 3 0 8 , 1 4 4 2 - 1 4 4 6 (2 0 0 5) ;
- [11] . D . S . P a r k e t a l . , 「 C h a r a c t e r i s t i c s o f p e r y l e n e - b a s e d o r g a n i c t h i n - f i l m t r a n s i s t o r w i t h o c t a d e c y l t r i c h l o r o s i l a n e 」 , J o u

rnal of Vacuum Science & Technology B 23, 926-929 (2005);

[12]. M. Yoshida et al., 'Surface potential control of an insulator layer for the high performance organic FET' Synthetic Metals 137, 967-968 (2003);

[13]. T. B. Singh et al., 'High-mobility n-channel organic field-effect transistors based on epitaxially grown C₆₀ films', Organic Electronics 6, 105-110 (2005)

【0003】

薄膜トランジスタ(TFT)は、電界効果トランジスタ(FET)と関連しており、その中では、ゲートによって生じた電界が、ソースからドレインに向けたトランジスタのチャネルに沿った電流を制御する。有機薄膜トランジスタ及びアモルファスシリコン(a-Si)の使用に基づくトランジスタを含むTFTは、(液晶ディスプレイ、電子インクといった)非放射型ディスプレイ、(有機発光ダイオード(OLED)ディスプレイといった)放射型ディスプレイ用のバックプレーン、及びロジック回路といった、様々な適用のために開発されている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

ポテンシャルの十分な理解への道における最も大きな障害は、このようなトランジスタが出力できる電流を制限するチャネルを通るキャリアの流れを制限する電荷の低い移動度である。例えば、LEDよりもかなり大きなトランジスタは、十分な電流密度を供給するために使用され、LEDの放射を行わせた[1]。ロジック領域では、トランジスタが切り替え速度を制限して背景雑音に対する感度を増やす。

【0005】

高輝度及び高性能の有機LEDベースのスクリーンが、Samsung, Philips, Sony, Kodak及びDupontといった業界最大手によって開発されている。近年、ガラス基板上に作製された高品質の有機ディスプレイが市場に浸透し始めており、より大きなスクリーンが近い将来において現れるものと期待される。有機LEDの刺激的な可能性は、その可撓性に由来する。世界中の企業が、可撓性のある放射型ディスプレイを可能にするであろう可撓性のあるバックプレーン・トランジスタアレイを開発しようとしている。今までのところ、有機材料の電荷キャリアの移動度が制限されている($1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ よりも低い)ことで、発光ダイオードに必要とする電流を出力するのに十分ではない。

【0006】

有機TFTの性能は、アモルファスシリコンに基づく性能に最も良く相当しており、無機結晶材料ベースのデバイスと比較して依然として性能が不足している。大部分の取り組みが、従来の横型TFT構造に依然として集まっている。これらの方法は、絶縁体-チャネル界面の接触抵抗及びトラップ状態を減らすことを目的としているものを含んでおり；ゲートの誘電体の誘電率を増やしたり、又は高性能のリソグラフィを用いてチャネル長さを減らす。

【0007】

有機TFT(OTFT)の研究の終局段階で、2つの主要な方法が今までのところ導入されている：

【0008】

第1の方法は、溶解処理法を用いて電極間の距離(すなわち、チャネル長さ)が(平面構造における数ミクロンと比較して)100nm程度に薄い有機物層の厚さによって規定されるように、垂直方向に積層したトランジスタの作製に基づいている。製造コストが減

10

20

30

40

50

少することを別にすれば、これらのデバイスは、DC性能及びスイッチング速度を高めるべきである。

【0009】

ゲート-ソース-ドレインの縦型の有機物電界効果トランジスタ（VOFET）構造が開発されており[5]、そのトランジスタはゲート電極がソース電極の下方に設けられていて、絶縁（誘電体）層によって活性領域から隔てられている。これは、図1a及び1bに表されており、(a)は、VOFET構造及び共通のソース電極の凹凸の概略を示し、(b)は、ソース電極面の原子間力顕微鏡の画像を示す。このような方法は、薄くて全体として導電性の金属電極の作製に依存する。著者らは、コンデンサセルの上の活性セルとしてこのような構造を規定する。このようなトランジスタは、ソース電極として、薄い領域及び厚い領域を有する極めて不均一な膜を使用している。図1cは、様々なゲート-ソース電圧に対するVOFETのコンダクタンス特性を示す。このようなデバイスの優れた性能は、 4×10^6 に近いON/OFF比を具えた4Vのドレイン-ソースボテンシャル V_{DS} 及び5Vのゲート-ソースボテンシャル V_{GS} における10mAのチャネル電流を含む。しかしながら、このようなトランジスタ構成は、きめ細かな凹凸（すなわち、膜の厚さに対する薄さの特性の最適化）を具えたソース電極を形成する必要性に悩まされており、これらの結果の再現性を低くしている。

10

【0010】

第2の方法は、標準的な横型形態に基づくものであるが、チャネル長さを効果的に短くしている。これは、チャネルに高い伝導領域を含めることによって実現し得る。電荷が半導体の中を通過するのに必要な有効長さを短くすることで、全体的なチャネル抵抗が減少してより大きな電流が得られる。

20

【0011】

自己形成する1次元のナノ構造が開発されており、低エネルギー（約1から10keV）の窒素イオンによるアモルファスシリコン層のオフノーマル（off-normal）照射[6]によって生じる制御可能な規則的な波形周期（20-180nm）を具えた構成として設計される。本方法によれば、ナノ構造がプラズマ中における反応性イオン・エッティングによって改良され、金属-酸化物-半導体電界効果トランジスタ（MOSFET）のチャネル領域の面上に周期的なナノマスクを形成する。ナノマスクを通したヒ素イオン注入に続くMOSFETの製造を完了させる技術的段階により、周期的にドープされたチャネル電界効果トランジスタ（PDCEFT）が形成され、これは共通ゲートを具えた一連の短いチャネルを有するMOSFET又は短いチャネルを具えた事実上单一のFETとして考えることができる。このようなことが、チャネル領域のナノ周期のドーピング形態の概略を示す図2aに表されている。

30

【0012】

平面構造の電界のいくつかの他の方法が、端子間の有効距離を減らすように、平面構造の端子間に導電性カーボンナノチューブのサブパーコレーション・ネットワークの形成を使用する[7]。特に導電性カーボンナノチューブがフィラーとして使用され、浸透限界の直下のポイントにそれを充填する目的でチャネル領域にスピンドル（spun）された。このような方法は、導電性のナノチューブを通った短絡を防止する要請によって制限され、比較的低密度のチューブの使用を決定付ける。このような要請は、言い換えると、非常に限られた効果につながる。

40

【0013】

また、アモルファスシリコンベースのTFTは、一般に、アモルファスシリコンの電子的特性が単結晶又は多結晶シリコンに及ばないため、遅いスイッチングスピード及び低い電流処理能力に悩まされている。このような問題に対する既知の解決法は、例えば、アモルファスシリコンを多結晶シリコンに代えることによる材料の電子的特性の増大；トランジスタのゲート長さを減らすような形状の縮小化；及び代替的なトランジスタ構造の使用を含んでいる。これら全ての解決法は、かなりの研究及び現行の製造ラインの変更を要する。

50

【課題を解決するための手段】**【0014】**

トランジスタ構造の技術において従来のトランジスタと比較して性能をかなり高める必要性（大きな電流及び短い切り替え時間）がある。このような性能を強化したトランジスタは、好適には、最新技術のトランジスタと同じ材料及び製造技術に基づくべきである。

【0015】

本発明の一態様では、電子デバイスの能動素子、すなわち、トランジスタのケースではソース、ドレイン又はチャネルのうちのいずれか一方に関連した、パターンを形成した導電層を有する新たな電子デバイス（特にトランジスタ構造）を提供することによって、問題を解決する。このようなパターンは、層に沿って不連続な導電率を形成する。特に、このようなパターン（ある実施例では、ナノスケールのパターン）は、比較的低い導電率の領域（例えば、誘電体、又は半導体領域）とは隔てられた間隔を空けた導電領域（例えば、島）の配列（好適には2次元配列）の形式である。このような方法により、チャネル材料のドーピングをしないでトランジスタチャネルの「有効長さ」が減少する。

10

【0016】

別の態様によれば、本発明は、選択的なドーピングを使用してトランジスタのチャネル領域にパターンを形成することによって、トランジスタチャネルの有効長さを減らす上記の問題を解決する。このようなチャネル領域の選択的なドーピングは、チャネルのドープ領域の2次元パターンを与え、チャネルのドープ領域の少なくとも90%の充填率をもたらす。チャネルは、当技術で様々に知られているものから選択されるドーパント原子又は分子（例えば、P及びAlがSiに対するドーパントとして知られ、又はチオフェンに対するスルホン酸塩が知られている）を具える既知の適切な材料のうちの1つで作製される。

20

【0017】

本発明のある実施例によれば、パターンを形成した導電層が、ソース又はドレイン電極であり、当該電極に沿った導電度の不連続性を形成する。これは、縦型形態のトランジスタ構造で特に有用である。

【0018】

横型形態のトランジスタ構造に関する本発明のいくつかの他の実施例によれば、パターンを形成した導電層が、トランジスタチャネルに関連する。これは、チャネル層の上方又は下方の間隔を空けた導電領域（例えば、島）の配列の形式で、このようなパターンを形成した層を配置することによって実現する。金属原子及び/又は導電ポリマーへの親和性を変えることによる適切な有機材料（好適には、ブロック共重合体）の使用によって、パターン形成を実現できる。いくつかの他の方法が、様々なプリンティング、ソフトリソグラフィ法[8]、又は（アモルファスシリコンのプロセスで使用されるような）標準的なリソグラフィを有している。

30

【0019】

さらに他の実施例によれば、チャネル材料への空間の選択的なドーピングを含む追加のプロセスによって島の2次元配列を形成してもよい。

【0020】

40

縦型のトランジスタ構成を考えると、電極（ソース又はドレイン）が格子状の構造（金属ストライプのネットワーク）であり；平面トランジスタ構造では、ソース及びドレイン間のチャネル領域が、高密度（高充填率）の導電領域のパターン（好適には2次元のパターン）であり、導電領域の規模では場合により不均一又は不規則のパターンであるがチャネル長さの規模では均一なパターンを形成する。

【0021】

本発明は、特に有機物電子機器及び薄膜トランジスタ（TFT）及び検出器の分野で有用である。例えば、本発明は、有機物材料で達成し得るよりもかなり高い電荷の実効移動度を具えるプラスチックの電子デバイスの製造に有利に使用できる。

【0022】

50

このように、本発明の1つの広い態様によれば、電子デバイスの能動素子に関連するパターンを形成した導電層を具えた電子デバイスが設けられており、当該導電層は間隔を空けた導電領域を配列を規定するパターンを有するため、デバイスを通る電流を増やす。

【0023】

特に、本発明は、薄膜トランジスタデバイスに関するものである。この方法では、チャネルが、半導体材料、ポリマー材料、多結晶シリコン、又はアモルファスシリコンを具えてよい。本発明は、薄膜トランジスタにおける導電パターンの様々な構成を提供し、あるものはポリマーベースのTFTに適しており、またあるものはアモルファスシリコンベースのTFTに適している。

【0024】

本発明のある実施例では、横型形態のTFT（同じ層において間隔を空けた関係で配置されたソース及びドレイン電極）が考えられる。これらの実施例では、パターンを形成した導電層がソース及びドレイン電極間のトランジスタチャネルと関連している。

【0025】

これらの実施例のある例では、導電層が、チャネル層の上方又は下方において、チャネル素子に沿った領域に間隔を空けた関係で配置された導電材料の島の配列の形式又は導電材料の細長い領域の形式でよい。

【0026】

導電領域の配列は、好適には、2次元配列である。

【0027】

導電領域の配列は、チャネル軸に対して傾いた少なくとも1つの軸に沿って延びている。

【0028】

本発明のある実施例では、導電材料への親和性を変える適切な有機材料（好適にはブロック共重合体）を、パターンを形成した導電層のための基板及び導電層にパターンを形成するためのテンプレートとして使用する。好適には、ブロック共重合体は、PS-b-PMMMAである。一般に、以下のブロック共重合体のうちの少なくとも1つを使用できる：すなわち、ポリスチレン-ブロック-ポリ（メタクリル酸メチル）（PS-PMMA）、ポリスチレン-ブロック-ポリ（エチレンオキシド）（PS-PEO）、ポリスチレン-ブロック-ポリ（4-ビニル ピリジン）（PS-P4VP）、PS-P2VP及びポリスチレン-ブロック-ポリ（フェロセニルジメチルシラン）（PS-PFES）である。他の実施例では、有機材料の組成が、相分離している少なくとも2つの異なる有機材料を具える。これらは、ポリスチレン、ポリ（メタクリル酸メチル）、及び他のポリマーの組み合わせである。さらに別の実施例では、有機材料が、チャネル層の面上に単層を形成し得る材料である。一般に、このような有機材料は、1又はそれ以上の以下の典型的な材料である：すなわち、オクタデシルトリクロロシラン[CH₃-CH₂)₁₇-SiCl₃, (OTS)]、1H, 1H, 2H, 2H-ペルフルオロドデシルトリクロロシラン[CF₃-CH₂)₁₂-CH₂-CH₂-SiCl₃, (Pf)]、10-undecenyl トリクロロシラン[CH₂=CH-(CH₂)₉-SiCl₃、(10un)、metoxy エトキシウンデシル トリクロロシラン[CH₃-O-(CH₂)₂-O-(CH₂)₁₁-SiCl₃, (MET)]、11-acetoxymyndecyl トリクロロシラン[CH₃-(CO)-O-(CH₂)₁₁-SiCl₃, (AC)]である。このような単相は、親和性パターンを形成するようパターンが形成される。

【0029】

横型TFTの形態は、その形態が、ゲート電極と、ゲートの上方に配置されてゲートから絶縁されたパターンを形成した関連する導電層を具えるチャネル素子と、チャネルの上方に配置されチャネルへの電気接点を有するソース及びドレイン電極を含む層とを有するような形態でもよい。ソース及びドレイン電極を含む層は、パターンを形成した導電層であり、ソース及びドレイン電極間に配置されソース及びドレイン電極とチャネル層とから電気的に絶縁された第2のフローティングゲート電極として機能する導電領域を具える。

10

20

30

40

50

代替的に、ソース及びドレイン電極を、チャネル層の対応する領域の上方を延びてチャネル層から電気的に絶縁された延びた領域を具えて構成してもよい。

【0030】

TFT構成は、TFTが、絶縁体によって覆われたゲート電極と、絶縁体の上のアモルファスシリコンチャネル層と、チャネルとソース及びドレイン電極との間にn型アモルファスシリコンの領域を具えたチャネルの上方のソース及びドレイン電極を含む層と、を有する。ソース及びドレイン電極を含む層は、ソース及びドレイン電極間のチャネルの上方の領域内に間隔を空けた導電領域の配列を規定するパターンを形成した導電層として機能する。この実施例において、形態は、間隔を空けた導電領域のそれぞれが、n型アモルファスシリコン及びその上の金属のスタック(stack)形式;又はn型アモルファスシリコン層のみの形式;又は金属層のみの形式となるような形態となっている。

10

【0031】

さらに別の実施例では、TFTが、絶縁体によって覆われたゲート電極と、絶縁体の上のパターンを形成した導電層の間隔を空けた導電領域の配列と、パターンを形成した導電層の上のアモルファスシリコンチャネル層と、チャネルとソース及びドレイン電極との間にn型アモルファスシリコン領域を具えたチャネルの上方のソース及びドレイン電極と、を有する。このケースでは、パターンを形成した導電層がn型アモルファスシリコンでできている。

【0032】

横型TFTのさらに別の実施例では、TFTが、第1の絶縁体によって覆われたゲート電極と、絶縁体の上の前記アモルファスシリコンチャネル層と、チャネル層の上の第2の絶縁体層と、ソース及びドレイン電極がチャネルに対する電気接点を有するように、第2の絶縁体の上方のソース及びドレイン電極を含む層と、を有する。ソース及びドレイン電極を含む層は、ソース及びドレイン電極の間のチャネルの上方の領域の中に間隔を空けた導電領域の配列を規定するパターンを形成した導電層である。

20

【0033】

本発明の他の実施例では、発明が、縦型薄膜トランジスタ(TFT)のための新たな構造を具えており、すなわち、ソース及びドレイン電極が別の層に配置されている。このような実施例では、パターンを形成した導電層が、ソース及びドレイン電極のうちの少なくとも一方であり、いわゆるパターンを形成したソース縦型TFT(PS-VTFT)又はパターンを形成したドレイン縦型TFT(PD-VTFT)である。このようなTFTは、既知の特定の種類の構造とは事実上非常に異なっている。本発明の縦型トランジスタ(ゲート電極/誘電体/ソース電極/活性層/ドレイン電極)では、ソース又はドレイン電極のいずれかが、格子状の導電層、すなわち、細い金属ライン(細くなくてもよい)によって囲まれた孔(又は隙間)を含むようパターン形成されている。この孔は、好適には、半導体の厚さに相当する特有の直径を有する。このトランジスタ構造は、Ag電極を具えたSiベースの構造である。これらの実施例では、適切な有機材料をパターンを形成したソース又はドレイン電極のための絶縁体及びテンプレートとして使用してもよい。

30

【0034】

縦型トランジスタ構造を、ゲート電極と;ゲート電極の上のゲート誘電体構造と;ゲート誘電体構造の上で半導体チャネル素子を担持するパターンを形成したソース電極層と;上部ドレイン電極とを規定するよう構成してもよい。ゲート誘電体構造は、誘電体とプロックポリマー薄膜とを有する。

40

【0035】

別の例では、縦型TFTが、ゲート電極と、ゲート電極の上のゲート誘電体構造と、ゲート誘電体構造の上で半導体チャネル素子を担持するパターンを形成したドレイン電極層と、上部ソース電極と、を有する。ゲート誘電体構造が誘電体及びプロック共重合体薄膜を有している。

【0036】

パターンを形成したソース電極が、表面エネルギー・ナノスケールのパターン形成によって

50

形成された有孔金属層でもよい。他の実施例では、パターンを形成した電極が、金属ストライプのネットワークとして構成される。パターンは、好適には、導電領域の2次元配列の形式である。

【0037】

本発明の別の広い態様によれば、ソース及びドレイン電極間にチャネル素子を具える横型形態の薄膜トランジスタデバイスが提供されており、チャネル素子が、低い導電率を有する領域によって間隔を空けて配置された高い導電率を有する材料の間隔を空けた領域の2次元配列の形式のパターンを有する。

【0038】

チャネル素子は、2次元配列に配置された間隔を空けた領域の中に高い導電率を有する第2の材料を選択的に添加した第1の低い導電率を有する材料層を具えていてもよい。

10

【0039】

チャネル素子は、低い導電率を有する材料の第1の連続層と、第1の層に近接して配置され高い導電率を有する材料領域の2次元配列を規定するようパターンを形成した第2の層と、を具えていてもよい。第2のパターンを形成した層が、第1の層とソース及びドレインを含む層との間に配置されていてもよい。第1の層及びパターンを形成した第2の層間に絶縁層を具えていてもよい。代替的に、第2のパターンを形成した層が、ゲート絶縁層の上であって第1の層の下方に配置されている。

【0040】

本発明のさらに別の広い態様によれば、縦型の薄膜トランジスタ構造を製造する際に使用するための方法が提供されており、この方法は、ソース及びドレイン電極層のうちの少なくとも一方にパターンを形成するステップを具えて電極に沿った導電率の不連続性を形成するため、トランジスタ構造のその次の層の導電率を増大させる。

20

【0041】

縦型TFTのケースでは、本発明はゲート電圧がデバイスの電流に影響を及ぼし得るための本質的に異なる解決法を提供する。本発明によれば、格子状の電極（例えば、ソース電極）を使用しており、ゲート電界フラックスが金属によって覆われていない領域（すなわち、ソース電極層の中の非導電領域）のソース電極層に浸透することが可能であり、格子から外に電荷を引き出して電流が流れ易くする。このような独特の電極構造により、スイッチオン駆動する物理的プロセスが文献[5]のそれとは非常に異なるものとなり、より一層の強靭さ（robust）及び信頼性のある生産を促進する。

30

【0042】

本発明の縦型トランジスタ構造は、横型OFTのチャネルに充填するのと非常に似た方法で、半導体-絶縁体界面におけるソース金属から露出した領域への電界キャリアに影響を及ぼす電界フラックスを形成する。このような点で、ゲート電極、誘電体、格子電極、及び半導体を規定する層の構造が、横型下部接点FETと非常に似た方法で機能し、ソース及びドレイン電極の双方を等しい電位に保持し、ゲートを使用して電極間の領域に導電チャネル（キャリアリザーバ）を形成する。現在の構造の上部電極は、ゲートによって引き出される電荷の部分が結果としてドレインに流れデバイスの電流を生じるように、半導体の電位をバランスさせる。ソース電極の金属は、ドレイン電極がソース電極から電流を直接引き出せないように半導体の中への電荷注入に対する障壁を有するよう選択される。

40

【0043】

非常に似た構造であるが、好適には大きな孔を具えたものが、ゲート電界を使用して上部電極から電荷を引き出して格子ラインの間の領域（キャリアリザーバ）を満たす構造となっている。このような注入は、上部接点FET構成におけるチャネル構成と似ている。このような構造では、上部電極がソースとして機能し、パターンを形成した（格子状の）電極がドレインとして機能する。さらに、ソース電極の金属を、ドレイン電極がソースから電流を直接引き出せないように半導体の中への電荷注入に対する障壁を有するよう選択する。

50

【 0 0 4 4 】

本発明のさらに別の態様によれば、発明が横型薄膜トランジスタ構造を提供し、トランジスタチャネル素子が、低い導電率を有する第1のチャネル層と、チャネル層の下方又は上方であって高い導電率を有する間隔を空けた領域の配列の形式の第2の層と、を具えている。

【 0 0 4 5 】

本発明は、表面エネルギーのナノスケールのパターンの様々な新規な適用を提供する。本発明によれば、表面エネルギーのナノスケールのパターンを使用して、次の層の導電率を高める。「表面エネルギー」という用語は、本書では疎水性／親水性、静電気等といった機構によって仲立ちされる力に言及していることに留意されたい。

10

【 0 0 4 6 】

表面エネルギーのナノスケールのパターンを使用して、制御可能な方法で溶液から作製した半導体、導体又は金属材料の不均一な膜を形成できる。さらに、このような効果を使用して、縦型電界効果トランジスタに要する不均一又は「粗い」溶液から作製した電極を提供できる。

【 0 0 4 7 】

表面エネルギーのナノスケールのパターンを使用して、半導体分子の移動度を高めるように（分子のパッキングを良くして結晶粒界が制御できる）、半導体分子のパッキング及び膜形成に作用することができる。

【 0 0 4 8 】

20

表面エネルギーのナノスケールのパターンを使用して、溶液から作製した非常に高い表面被覆率を具えた（しかしながら短絡を防ぐよう不連続な）半導体、導体又は金属材料の不連続膜を形成できる。後者を使用して、次の層に不均一にドーピングするとともに、2つの金属電極間の距離を効果的に減らすことができ、例えば、電界効果トランジスタ（FET）の有効チャネル長さを減らす。さらに、これらの効果を使用してTFTに対する非理想的な接点の効果を高めることができる。例えば、光に敏感な電荷注入の効果を高めることによって、高性能の検出器を形成できる。

【 0 0 4 9 】

本発明は、ブロック共重合体を使用して上記の効果のうちの1つを実現するのに要する表面エネルギーの改善を提供する。

30

【 0 0 5 0 】

本発明は、サブパーコレーション導電ネットワークの分野で有用である。金属のナノチューブを使用してこのようなネットワークを形成することが提案されている。しかしながら、このような既知の方法は、駆動機構としてパーコレーションを利用する。最も良好な性能を実現するために、短絡を防止するようにネットワークをその閾値に近付けて閾値の下方で保持しなければならない。パーコレーションの閾値の下方で、短い距離が非常に限られた領域のみで得られるが、デバイスの残りの部分では距離がかなり大きく、全体的効果が小さい。

【 0 0 5 1 】

発明者は、ブロック共重合体の使用により、有効隙間が非常に小さくなるように、デバイス全体にわたって非常に小さな隙間を有する所定の導電パターンを形成することを見出している。本発明によれば、ブロック共重合体とともに（金属の代わりに）導電ポリマーを使用する。ブロック共重合体によって提供されるパターンを、他の一般により高度なりソグラフィ又はプリント／エンボス加工法で模倣することができる。

40

【 0 0 5 2 】

また、本発明は、従来のシリコンベースの方法を使用できる新規なアモルファスシリコンベースのTFTを提供する。

【 0 0 5 3 】

また、本発明は、動作の際に生じる電子状態が電荷リザーバによって不動態化されるように、チャネルに近接する電荷が豊富な領域（n型にドープしたアモルファスシリコン）

50

を設けることによって、（アモルファスシリコンのような）不規則なFETの動作の劣化を減らすための方法を提供する。ある態様では、電荷豊富領域がチャネルに沿って分布する多数の領域（島）とすることができます。本発明の別の態様では、これらの領域のうちの少なくとも1つがソース又はドレイン電極に直接的に接続されていない。

【0054】

ここで、本発明を理解してどのように本発明を実際に実施するのかを把握するために、添付の図面を参照し、単に非限定的な方法によって、好適な実施例を説明することとする。

【発明を実施するための最良の形態】

【0055】

図1a及び図1bは、L. Ma及びY. Yangによる上記の論文、「Unique architecture and concept for high-performance organic transistors」, Applied Physics Letters 85, 5084-5086 (2004)に記載された既知の縦型のゲート・ソース・ドレイン有機物電界効果トランジスタ(VOFET)の構造を示す。図1cは、様々なゲート・ソース電圧に関するVOFETの導電特性を示す。

【0056】

図2a及び2bは、参考文献[6, 7]に記載された既知の平面トランジスタを示す。

【0057】

本発明の一態様によれば、トランジスタの能動素子と関連するパターンを形成した導電層を有する新たなトランジスタ構造を提供する。この導電層は、間隔を置いた導電領域を規定する2次元のパターンを有する。これにより、トランジスタのスイッチング速度とともにトランジスタを通る電流を増やすことが可能となる。

【0058】

本発明を縦型のトランジスタ及び横型のトランジスタで使用できる。以下は、縦型TFTに関する本発明のいくつかの実施例である。

【0059】

縦型トランジスタ構造では、チャネル長さがチャネル層（例えば、ポリシリコン、又はアモルファスシリコン、又はポリマー層）の厚さによって決まり、ドレイン及びソース電極間の水平距離によって決まらない。このようなデバイスでは、ゲート電極がソース及びドレイン電極の下方に配置される。このような構造の主要な障害は、ゲート電界がチャネルの中に浸透するのを遮るソース電極から生じる。本発明は、間隔を置いた導電領域の形式のパターンを有する導電層としてソース又はドレイン電極、例えば、有孔電極を用いることによって、このような問題を解決する。このような解決法により、ゲート電界が有孔のソース／ドレイン電極を浸透でき、フラックスがソース電極からチャネル材料の中への注入電流を制御し得る。

【0060】

図3Aから図3Cは、縦型トランジスタ構成で使用される本発明の例を図式的に示す。図3Aは、上記のようにパターンを形成した導電層を与える電極10の平面図を示す。電極10にはパターン、すなわち、穴（貫通孔）11が形成されており、格子状の構造を与える。導電（金属）層に作られたこのようなパターンが、実際には層に沿った不連続な電気伝導を与える。

【0061】

図3Bは、ソース電極としてこのような電極10を用いたTFT100（いわゆる、「PS-VTFT」）の側面図を示す。TFT100は、絶縁体13によって電極層10と間隔を置いたゲート電極12と、チャネル素子層14（本例では半導体層）と、ドレイン電極層16とを有する。

【0062】

ソース10の金属は、ソース10が半導体層14の中に電荷注入するための障壁を有するように選択され、ドレイン電極16に向けたソース金属からの直接注入が抑えられる。

10

20

30

40

50

この金属は、既知の金属（アルミニウム、銅、銀、金等）のうちの1つであり、注入障壁を形成するようにその仕事関数が半導体のレベル（又は帯域）から間隔を置くように選択される。注入できるようにするために、まずチャネル14にゲート電圧を用いて電荷キャリアを充填する（すなわち、ギャップ領域）。半導体材料14の中に電荷が与えられると、それらはドレイン集電極16に向けて自由に移動し、トランジスタ100がON状態となる。ソース電極10に対するゼロ（又は逆）バイアスが、これらの領域を空にすることで、トランジスタがOFF状態となる。

【0063】

図3Cは、同じような縦型TFT構造200を示す。理解し易くするために、同じ符号を本発明の全ての実施例で共通する部品を特定するために使用する。トランジスタ200では、上記のような導電パターン層がドレイン電極16によって構成されている。ここでは、ゲート電界を使用して、この場合ソースとして機能する上部電極10から電荷を引き込む。

【0064】

従来のリソグラフィを用いてパターンを形成した導電層を形成してもよい。これは、多結晶シリコン又はアモルファスシリコンのチャネル材料の場合、より適した技術である。代替的に、パターン形成が絶縁層13への選択的な金属の蒸着に基づいてもよく、このようなケースでは、絶縁層13が蒸着金属（例えば、PS-b-PMMMAといったブロック共重合体）への親和性を変える有機材料を有する。このような方法は、ポリマー-金属チャネルの場合に好適である。

【0065】

独創的なパターンを形成したソースの縦型TFT（PS-VTFT）300の形態及び作用を例示する図4A-4Fについて説明する。図4Aに示すように、PS-VTFT300は、ゲート電極層12と絶縁層13と（上記のパターンを形成した導電層で構成する）ソースグリッド層10とチャネル素子（半導体）層14とドレイン電極層16とを規定する積層を有している。格子状のソース電極10により、ゲート電界フラックスがソース電極の導電領域間の空間においてソース電極層を浸透し得る。電界フラックスは、横型O-FETにチャネルを満たすのと非常に似た方法で、ソース金属から半導体-絶縁体界面が露出した領域に電荷キャリアを引き込む。半導体の中への電荷注入の障壁を有するようにソース電極の金属が選択されるという事実により、ゲート電極の電圧を調整することで、このような注入障壁を低くするための所要の電界を与える。

【0066】

図4B及び図4Cは、同じドレイン・ソース間電圧（ $V_{DS} = 5V$ ）及び異なるゲート・ソース間電圧（図4Aで $V_{GS} = 0V$ であり図4Bで $V_{GS} = 5V$ ）でのPS-VTFTについてのグリッドの近くの計算した電位分布を示す。 $V_{GS} = 5V$ の場合ソースグリッド界面の近くでより大きな電位降下が生じることに留意されたい。

【0067】

このデバイスは、ゲート-ソース-ドレイン電極間のポテンシャル分布に関する二次元ポアソン方程式を解くことによって、設計された。この計算は、ソース・グリッド電極が $V_S = 0V$ 、ドレイン（上部）電極が $V_D = V_{DS} = 5V$ 、及びゲート電極が $V_G = V_{GS}$ 又は $V_G = V_{GS} = 5V$ のいずれかであると仮定して実行された。計算は、ゲートがソース・グリッド電極から半導体への電荷注入にどのくらい影響を及ぼす可能性があるかを示す。

【0068】

上記のように、このような特定の実施例では、ブロック共重合体が絶縁材料及びソース又はドレイン電極に関するテンプレートとして機能する。図4Eの実施例でさらに具体的に示すように、トランジスタ構成400は、全体として上記の構成300と似ており、すなわち、ゲート電極12（PをドープしたSi）、ゲート誘電体層構造13（SiO₂及びブロック共重合体（BCP）薄膜）、パターンを形成したソース層10（Ag）、チャネル（半導体）層14（C₆₀）、及び上部ドレイン電極16（Ag）を有している。ト

10

20

30

40

50

ランジスタ 400 では、パターン形成したソース 10 からチャネル素子 14 の中への電流注入が、チャネル 14 と導電パターン 10 の間に薄い非導電層 15 を挿入することによって最適化される。縦型 FET におけるこのような内部層 15 の使用は、以下のことに関連する：すなわち、導電パターン 10 と半導体チャネル 14 との間のオーム接触は好ましくなく、（ゲート電界が確実に注入を増やすように）電界依存性の接触が与えられる。これは、パターン形成したソース 10 及びチャネル 14 の間に薄い絶縁体を使用することによって実現される。

【 0069 】

薄くて多孔性の金属のソース電極 10 は、図 4D により具体的に示すように、BCP テンプレートの上部（層 13 の上面）に配置されている。このトランジスタに関する対象とする適用の 1 つは、アクティブマトリックス式有機 EL ベースの大面積ディスプレイ（AM-OLED）である。

【 0070 】

パターンを形成したこのような電極を作製するための適切な方法は、上記の文献 [8] 又は [9] に記載された適切に最適化した技術に基づいており、BCP 膜の面の形態を制御し得るため、金属層のレイアウトを最適化して、その製品を高度に再現性のあるものにする。BCP 面のパターンの最適化は、様々な BCP 組成、様々な相対的なブロック長さ、基板の表面特性の制御を含んでいる。上記のように、同じような方法を使用して、静電誘トランジスタ（SIT）構成といった他の縦型トランジスタ形態にゲート電極を形成する。

【 0071 】

テンプレートとして BCP 薄膜の使用を用いることで、本発明者は電界が浸透し得る隙間を具えたナノスケールの Ag パターン（図 4D）を実現している。Ag パターンの開口部は、PMMA ブロックの長さによって決まるが、一様な大きさで約 7 mm である。上記のように、様々な BCP 組成及びブロック長さを用いて BCT 膜の面の形態及び化学的特性を制御する性能により、金属層の配置を最適化し、その製品を高度に再現性のあるものにする。本発明者は、金属ラインの形成（図 4D）を実現しており、垂直方向に積層した TFT（図 4E）を作製している。図 4F は、このような縦型 TFT の出力特性を示す。BCP 技術を用いることによって、ゲート効果を実現し得ることを示している。

【 0072 】

2 次元ポワソン解の結果は、様々なスケールの BCP を用いて本デバイスの性能を改善し得ることを示している。本デバイスの性能は、様々なブロック共重合体の組成及び得られた金属パターンのドメインサイズの効果及び金属層間の構造（例えば、隙間の形態及び寸法）の依存性によって決定される。 10^6 の ON / OFF 比がロバストで利用でき、信頼できる製造方法である。

【 0073 】

以下は、特定の種類の既知の技術と比較した、本発明の技術及びその新規な態様の説明である。

【 0074 】

図 5 は、走査型プローブ顕微鏡によって取得されたポリスチレン・ブロック・ポリ（メタクリル酸メチル）（PS - b - PMMA）ブロック共重合体のテンプレートの画像を示す。左側の枠は高さのコントラストを示し、右側の枠は PS（暗い）及び PMMA（明るい）間の位相（硬さ）のコントラストを示しており；差し込み図は、2 次元のフーリエ変換を表しており、これは周期的構造を示す。このようなブロック共重合体テンプレートを、例えば以下のようなものから成る既知の方法のうちの 1 つによって用意できる。

【 0075 】

円筒形成ブロック共重合体の溶液（約 0.3 の体積分率の PMMA を具えた PS - b - PMMA）が、基板（例えば、シリコンの酸化物の上部層を具えたシリコンウェハ）上に回転成形されて、ブロック共重合体の 1 つの周期に相当する厚さを有する薄膜を形成する。続いて、ポリマーのガラス転移温度よりも高い温度での数時間の焼鈍により、ミクロ相

10

20

30

40

50

の分離及び様々なブロックに対応する分離したドメインの形成をもたらす。あまり大きくないブロックは、他のブロックでできたマトリクスの中に円筒を形成する。膜の上部は、約45nmの周期を具えた露出した半円筒のパターンを形成し、これがテンプレートとして機能する。

【0076】

本発明は、上記のような既知の技術を利用して表面エネルギーのパターンを形成膜を形成でき、このような膜は、本発明の実施例では、絶縁体（トランジスタの中のゲート誘電体）としても機能する。様々な方法を使用して円筒形の向きを配向させて、電界の使用、パターン形成面、及び空間的な制限を含むそれらの規則度を高めることができる。このような方法は、例として文献[10]に開示されている。

10

【0077】

例示されたブロック共重合体を、パターン形成したテンプレートに関する代替的なブロック共重合体に変えてよいことに留意されたい。適切なブロック共重合体は、例えば、以下のものを有している：すなわち、ポリスチレン-ブロック-ポリ（メタクリル酸メチル）（PS-PMMA）、ポリスチレン-ブロック-ポリ（エチレンオキシド）（PS-PEO）、ポリスチレン-ブロック-ポリ（4-ビニルピリジン）（PS-P4VP）（さらには、PS-P2VP）、ポリスチレン-ブロック-ポリ（フェロセニルジメチルシラン）（PS-PFES）、及びこれら以外のものである。

【0078】

PMMAは、ポリスチレン（PS）のドメインに向けた蒸着金属（例えば、銀、金、及びそれら以外；ある金属は後の短時間の焼純ステップを要する文献[9]）の高い選択性を与える、これはパターンを有する基板の形成に対して有用な特性である。さらに、PMMAは極性を有しており、同じような目的に關してPEDOT/PSSに対する粘着力が良い。PMMAブロックを他のポリアクリル酸塩又はポリ（アクリル酸）（PAA）に代えることができる。PEOは水溶性であるため、縦型FETの作製に要するPEDOT/PSSナノワイヤの形成が可能となる。P4VPはピリジンの単位に容易にプロトン化するため、静電相互作用によりPEDOT/PSSのそのドメインへの付着増強を与える。PS-PFESに関しては、PFESのFe原子をFeナノ粒子に変換でき、このナノ粒子が、パターンが形成されるとパターンの中で組織となっている導電島の形成の代替的なものとして機能する。これらの全てのオプションにおいて、第1のブロックとしてのPSを、ポリイソブレン（PI）、ポリブタジエン（PBD）、又はポリ（エチレン-プロピレン）（PEP）に代えることができるが、これら全ては本来は疎水性であり、第2のブロックに対して化学的なコントラストを与える。

20

【0079】

ここで、導電性のナノスケールの金属パターンを形成する既知の技術を考える。これに関連して、ナノスケールの導電性金属パターンの走査型電子顕微鏡の画像を示す図6A及び図6Bについて説明する。ミクロ相分離したブロック共重合体薄膜への金属原子（例えば、銀）の熱蒸発により、あるタイプのブロック共重合体ドメインの上部での金属原子の選択分離をもたらし、一般に約10から30nmの寸法を有する金属島又はワイヤネットワークを形成する。蒸発金属の総量は、生じたネットワークの形態及び導電性を決定する。図6Aは、下側にあるブロック共重合体薄膜を反映する導電性のナノスケールの金属ワイヤのネットワークを示す。図6Bは、ポリマーの膜に少量の金属を蒸発させることによって得られ、孤立しているがブロック共重合体のパターンによく似た島を得た。

30

【0080】

本発明は、例えば、上記の例と同じテンプレートを用いた導電性のナノスケールのPEDOT/PSSパターン形成を提供する。導電性ポリマーであるポリ（3,4-エチレンジオキシチオフェン）/ポリ（スチレンスルホン酸）（PEDOT/PSS）の水溶液がフィルタを通して沈殿し薄膜の上部にスピンコートされる。高さ8mmのガラス化したPEDOT/PSSの液滴が、図7に示すように、ブロック共重合体のパターンにしたがつて1列に並んだ親水性のブロック共重合体ドメインの上部に形成する。この図は、20n

40

50

mの高さのコントラストの走査型プローブ顕微鏡写真を示しており；差し込み図は48nmに相当する細い輪を具えた2次元フーリエ変換を示している。

【0081】

解のパラメータであるブロック共重合体の長さスケール及びその組成を変えることによつて、小さな液滴から細長い線、そして最終的にはアモルファスネットワークにP E D O T構造を調整することができる。

【0082】

前述のように、本発明はトランジスタにおけるブロック共重合体の利用を提供し、電荷移動度を増大させる。マイクロエレクトロニクスにおける現在の取り組みは、デバイスの性能を高めるOTFTのための新たな誘電性絶縁体材料の開発に集中している（文献[11, 12]）。本発明者は、PS-b-PMMAブロック共重合体を使用して（薄いSiO₂層の上に配置された）OTFT誘電性絶縁体の上面を規定した。本発明者は、移動度が増大して $1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ を超えたことを見出している。付随的な効果は、閾値電圧が（誘電性絶縁体としてSiO₂のみを使用した場合と比較して）1/5に減少したことであった。

10

【0083】

ブロック共重合体絶縁層を追加の絶縁層又は単独の絶縁層として使用できることに留意されたい。ブロック共重合体膜は、最寄りの有機物半導体層の形態又は規則度（又は結晶粒径）に影響を及ぼし、これによってTFTチャネルの中の電荷キャリアの移動度を増大させる。SiO₂/ブロック共重合体の絶縁体を具えたC₆₀OTFTについては、結果が文献[13]で報告されているC₆₀OTFTの最良の結果を優に上回っており、一般に既知のN型有機トランジスタの中でも一番良い。

20

【0084】

上記のように、本発明はまた、新たな横型構成のトランジスタを提供し、このトランジスタでは導電領域とは間隔を置いてパターンを形成した導電層をトランジスタのチャネル素子に関連して使用する。これに関連して、閾値におけるパーコレーションネットワークの概要図を示す図8について説明する。サブパーコレーション導電ネットワークの最高の性能が、電気的短絡を防止するように、その閾値に非常に近付けられるがそれよりも下に維持されるネットワークを要する。図8に示すように、形成される第1の浸透経路は一般に非常に細くてほとんど場所を取らない。

30

【0085】

本発明の横型トランジスタ構造では、パターンを形成した導電層が、ソース及びドレイン電極間のチャネル領域（隙間）に非常に近接して設けられている。

【0086】

これに関連して、本発明に係る横型のトランジスタ構造の2つの例を各々示す図9及び図9Bについて説明する。図9Aの例では、トランジスタ500が、基板層18（例えばSiO₂）と、基板の上のゲート電極12と、絶縁層13と、チャネル層14（例えば、半導体又はポリマー）と、チャネル層14の上方に間隔を置いた金属島の形式のパターンを形成した導電層20と、上部層のソース及びドレイン電極10及び16と、を有している。この島をチャネル層14の上に直接設けるか、又は薄い絶縁層15によってそれから離してもよい。前述のように、このように薄い絶縁体の提供により、島からチャネルの中への電流注入を最適化し得る。島の間のスペースは、長さに依存する影響が最小限及び/又は平均化されるように、パターンを形成した領域にわたって変わる。

40

【0087】

図9Bは、全体として同じような横型トランジスタ構成600を示しており、それは、パターン形成した導電層20がチャネル層14の下方に設けられている点で上記の例とは区別される。このトランジスタ600は、基板層18（例えば、SiO₂）と、基板の上のゲート電極12と、絶縁層13と、間隔を置いた金属島の形式のパターンを形成した導電層20と、チャネル層14（例えば、半導体又はポリマー）と、上部層のソース及びドレイン電極10及び16と、を有する。

50

【0088】

図9C - 図9Dは、図9Bのデバイスと同じようなトランジスタデバイスの製造についてより具体的に示す。図9Cに示すように、ゲート層12がまず設けられ、そしてSiO₂13の絶縁層がゲート層12の上に蒸着される。その後、パターンを形成した導電層20が、直接的な蒸着及びリソグラフィによるパターン形成、又は上記のような適切な有機物層の使用及び選択的な蒸着のいずれかによって、絶縁層13の上に設けられる。本実施例では、層20が白金でできており、島の大きさは、Xを島と島との間の距離とすると10Xである。そして、図9Dに示すように、半導体(チャネル)層14をパターン形成層20の上に蒸着する。

【0089】

図10A及び図10Bは、縦横に並んだ島20及びそれらの上に同じように並んだソース/ドレイン層の顕微鏡像をそれぞれ示す。

【0090】

図11A - 図11Cは、本発明の横型トランジスタ構造によって得られた結果を標準的な横型FETの結果と比較したものである。図11Aは、27000μmの幅で100μmの長さのマトリクスを使用した本発明のFETについてドレイン/ソース電圧の関数として表されるトランジスタを通る電流を示しており、図11Bは、10000μmの幅で5μmの長さのマトリクスを使用した標準的なFETについての同じような関数を示す。図11Cは、幅/長さの比に規格化した電流を示す。発明者は、10倍の増大を得るものと見積もったが、結果は従来のトランジスタと比較して実に16倍の増大を示した。

【0091】

チャネルの上方又は下方の層の間隔を空けた導電領域のパターンは、好適には、2次元のパターンである。これは、全体的な構造に対する局所的な欠陥の影響を防ぐことを目的とする。

【0092】

ここで、本発明の横型トランジスタの2つのさらなる例を示す図12A及び図12Bについて説明する。これらの実施例は、トランジスタのチャネルの有効長さがソース及びドレイン電極間の隙間Gが減少することによって減少している点で上記のものとは異なる。トランジスタ700は、ゲート電極12と、絶縁体13と、チャネル層14と、絶縁体15と、チャネル層14と直接接触するソース及びドレイン電極10及び16と、絶縁体15によってチャネル14とは間隔を空けたパターンを形成した導電層30と、を有する。パターンを形成した導電層30は、絶縁体15によってチャネルと間隔を空けたソース及びドレイン電極の領域10'及び16'と、それらの間の同じ層である導電領域12'によって形成される。この領域12'は、いわゆる「フローティングゲート」として存在しており、アクティブなポテンシャル供給を対象としないが、デバイスの2次元の性質によりチャネル14内でポテンシャルをショートさせる働きをする。このため、ソース及びドレイン間の隙間Gが、ソース及びドレイン及びフローティングゲート間の隙間G₁及びG₂によって形成される。チャネル14とともに上部絶縁体15が、正確な2次元構造を形成するようにソース-ドレインの距離と比較して非常に薄い(少なくとも1桁小さい)ことは重要である。例えば、5ミクロンのソース-ドレイン間の距離に対して、その厚さは、好適には、500nmであり、より好適には、100nmである。上部絶縁体15はOFF状態において漏れ電流の一因とはならないため、上部絶縁体15が完全な絶縁体である必要がないことに留意されたい。

【0093】

図12Bは、トランジスタ800を示しており、上部絶縁体15を設けることにより、絶縁体15の上方にパターンを形成した導電層40であって、層15の上方をドレイン及びソース層の領域の一方又は双方を対向するよう延びることによって形成される層40を形成することによって隙間Gが減少する。延びているソース/ドレイン領域がON状態で注入しOFF状態で絶縁されるように、チャネル及びソース/ドレイン間の絶縁層15が電界に依存するチャネルへの接点を形成するよう構成されていることに留意されたい。

10

20

30

40

50

【0094】

上記のように、本発明のいくつかの実施例では、ブロック共重合体を利用して、有効隙間が非常に小さくなるようにデバイス全体にわたって非常に小さな隙間を有する所定の導電パターンを形成する。

【0095】

このように、本発明は、従来の浸透法に基づくものではなく接着力に依存するブロック共重合体薄膜技術によって与えられる制御パターンを採用する。これにより、ナノスケールでは不均一であるがミクロンスケール（低コストのトランジスタについて関連するスケール）では均一に見えるパターンを形成する高密度（充填率）の導電領域を形成し得る。これは、ソース及びドレイン電極10及び16間に導電領域50を有する横型FET900の側面及び平面を示す図13A及び図13Bに表されている。チャネル14及び島50間の絶縁体15は、ブロック共重合体である。図13Bは、導電領域が非導電領域よりもかなり広いスペースを取ることを示す小さな領域上の拡大図である。

10

【0096】

本発明を光に敏感で切替可能な有機物TFT（OTFT）に使用できる。横型C₆₀OTFTは、光に敏感である。光のエネルギーが、C₆₀活性層への電流注入を増大させ及び/又は絶縁体-半導体界面での捕獲電荷を解放する。照射がOTFT電流を3桁増大させることができる一方で、ゲート電極によってデバイスのオン/オフ状態を制御する。不連続な金属膜（「金属」は導電ポリマーをも意味する）を採用することによって、チャネルのコンダクタンスが増大して接点の効果が劇的に増大しデバイスを「実用的」にする。

20

【0097】

光に敏感で切り替え可能なOTFTを、フルページ・タブレットスキャナとして又はデジタルのX線用のプレートとして大面積のセンサアレイに使用してもよい。図14は、光に敏感で切り替え可能なOTFTのV_{DS} = 18Vで測定した光を当てない試料（ブルー）及び光を当てた試料（ピンク）についての相互コンダクタンス特性を示す。

【0098】

チャネル材料としてアモルファスシリコンを使用した本発明の横型TFTの5つの例をそれぞれ示す図15Aから15Eに付いて説明する。

【0099】

図15Aに示すTFT1000Aは、ガラス基板18と、誘電体（絶縁体）層13（例えば、窒化シリコン又は酸化シリコン）によって覆われた基板の上のゲート電極12と、アモルファスシリコンのチャネル層14と、チャネル層の上方でソース10及びドレイン16電極を規定するようパターンを形成した金属層60と、（ポリマー又は酸化シリコンの例に合った不動態）上部保護層66とを有する。図に示すように、n型アモルファスシリコンの層62が設けられており、アモルファスシリコン・チャネル層とソース及びドレイン電極間にn型アモルファスシリコンを規定するよう適切にパターンが形成されている。この層62は、アモルファスシリコン層14と金属層60との間のオーム接触を改善する。さらに図に示すように、層60及び62が、ソース及びドレイン電極領域間で間隔を空けた導電領域（島）64を規定するようパターン形成されている。このため、本例では、トランジスタチャネルに関するパターンを形成した導電層が、ソース及びドレイン電極及びn型アモルファスシリコン領域を形成する層構造によって形成される。領域64は2層積層である。

30

【0100】

図15Bは、全体的に図15Aと同じように構成されたトランジスタ1000Bを示しているが、n型アモルファスシリコン材料によって形成された領域64は単層領域である。この層62は、一般に、アモルファスシリコン14よりも高く且つ金属60よりも低い導電率を有する。

40

【0101】

図15Cは、チャネルの上方のソース及びドレイン電極間の導電領域64が、チャネル層の上に配置された電極材料で形成された単層領域である点（下方にn型アモルファスシ

50

リコン材料を有しない)で、図15Bの形態とは異なるトランジスタ1000Cを示す。これは、例えばダブルエッチング、すなわち初めにソース及びドレイン電極間の領域内のn型アモルファスシリコン材を除去し、次に当該領域に金属層をパターン形成することによって実現可能である。

【0102】

図15Dは、ガラス基板18と、ガラス基板18の上に絶縁体13によって覆われたゲート電極12と、間隔を空けたn型アモルフスシリコン層64を規定するようパターンを形成した第1のn型アモルフスシリコン層62'、チャネル層14と、第2のn型アモルフスシリコン層62と、その上方の金属層60とを有するトランジスタ1000Dを示す。層60及び62は、n型アモルファスシリコン層62の領域によってチャネル層14とは間隔を空けたソース及びドレイン電極10及び16を規定するようパターン形成されている。このように、本例では、チャネル領域に関連したパターンを形成した導電層が、チャネル領域の下方に設けられている。

【0103】

図15Eは、図15Aから図15Cの形態と全体として同じトランジスタ構成1000Eを示しており、チャネル14と関連するパターンを形成した導電層64がチャネル領域の上方に配置されているが、チャネル層14と当該パターンを形成した導電層64との間に間に薄い絶縁層15を有している。

【0104】

トランジスタチャネルに関する導電層のパターンの様々な例を自明の方法で示す図16Aから図16Eについて説明する。これらの例では、パターンを形成した導電層がメッシュ状（格子）状であり、格子の要素は、チャネルに沿って延びており（図16A、図16B及び図16E）又はチャネル軸に対してある傾いた角度（約45°）で延びており（図16C、図16D）、又は双方（図16E）である要素M1を含んでいる。また、チャネル（図16A、16B、16C、及び16Eにおける領域M₂、及び図16C及び図16Dにおける領域M₁）にわたって延びる導電領域が、デバイスの動作の際に生じたものを含む深いトラップを不働態化する電荷リザーバとしての機能を有するためその安定性（アモルファスシリコンでは、水素欠乏といった異常がデバイスの動作の際に生じて閾値電圧のシフトが発生することが知られている）を高めることに留意されたい。

【0105】

以下は、横型トランジスタ形態のチャネルと極めて近接した間隔を空けた導電領域を規定する本発明における使用に適したパターン形成法のいくつかの実施例である。

【0106】

レジストを現像するレーザ干渉を使用してマスク又は接点無しにミクロン又はサブミクロンのパターンを実現ことにより、又は堅い又は軟らかいマスクでエンボス加工して高分解能のエッチングマスクを形成することにより、チャネルを覆うレジスト層にパターンを形成することによってパターンを形成する。他の実施例では、エッチングマスク又はレジストパターン形成マスクを、下位の連続的な液体の蒸着層のディウェッティング（dewetting）を用いて形成できる。

【0107】

蒸着金属の不連続な島の成長を維持するように、ある厚さ、速度、基板温度等で金属を蒸着又はスパッタリングすることによって、孤立した金属島を導電体及び/又はエッチングマスクとして生成してもよい。

【0108】

一方の相が2次元配列で他方の相のマトリクスの中に孤立した島を形成するように、多成分の相分離混合物のレジスト材料を使用してよい。マトリクスを選択的に分解、エッチング又はそうでなければ除去することができ、残った島をパターンとして使用する。他の実施例では、同じような混合法を使用してもよいが、一方の相が導電体であるか；又は一方の相が金属のナノ粒子を含む。

【0109】

10

20

30

40

50

パターン形成をチャネル層を覆う金属及び / 又は n 型層にミクロ接触プリントイングを使用して適用してもよい。他の実施例では、同じような方法を使用できるが、接点をパターン形成する材料が自己組織化单分子層 (S A M) である。

【 0 1 1 0 】

パターン形成を自己組織化ブロック共重合体を使用してチャネル導電体に適用でき、2 次元配列のラメラー又は島型のネットワークを形成して、レジストを現像するための光マスクとして使用するか、又は選択的にエッチングしてその後のエッチングパターンの転写のために使用する。

【 0 1 1 1 】

有機物、高分子半導体又は溶液からつくった無機物トランジスタといった他の実施例では、チャネルが半導体マトリクスにおける孤立した導電体領域の相分離混合物であってよい。

10

【 0 1 1 2 】

上記のように、本発明は、その別の態様において、チャネル材料よりも高い導電率を有する材料の間隔を空けた領域の 2 次元配列の形式でチャネルの中にパターンを形成することによって、トランジスタチャネルの有効長さを減らす。このような 2 次元の導電パターンをドーピングといった追加的なプロセスによってチャネル材料の中に印加し得る。

【 0 1 1 3 】

図 17 A は、アモルファスシリコンのシャドーマスクを介したドーピングをすることでのドーパント拡散又はイオン衝撃の既知の機構を用いて 2 次元の導電パターンを形成することを例示する。マスクは物理的なシャドーマスクである必要はなく、他のフォトリソグラフィー法を用いて同じような効果を達成することが可能である。（無機結晶）シリコン型のケースでは、元素の周期律表を用いて Si が存在する列に隣接する列 (A 1 または P) からドーパント原子が選択される。得られる構造の例を図 17 B に示す。

20

【 0 1 1 4 】

代替的に、特に有機物材料のケースでは、例としてドーパントを半導体チャネルの上に直接プリントでき、内部への拡散が可能となる。これは、説明的な方法として図 17 C に表されている。有機分子のケースでは、ドーパントは、一般に、電子（正孔）リッチの分子であり、チャネル材料に対して電子を与え（取り込み）易い。様々な有機物半導体に対する適切なドーパントは、科学文献に豊富にある。例として、カチオン染料ピロニン B 塩化物が、1, 4, 5, 8 - ナフタレンテトラカルボン酸二無水物 (N T C D A) 膜のドーパントとして研究されている。他の例は、チオフェンを材質とする場合であり、酸素等といったものでスルホン酸化した化合物を使用できる。

30

【 0 1 1 5 】

このように、本発明は、トランジスタ構造及びそれに応じてこのようなトランジスタを用いたデバイスの性能を改善するための新規な方法を提供する。本発明は、間隔を空けた導電領域の配列（好適には 2 次元の配列）によって形成された層を用意するステップと、トランジスタ能動素子と関連して不連続な導電層を提供するステップとから成り；又は導電率が低いチャネル材料の内側の導電率が高い材料から成る間隔を空けた領域の 2 次元の配列の形式のパターンを用意する。

40

【 0 1 1 6 】

縦型トランジスタ構造では、このような導電率の不連続性を、多孔性の（金属領域によって囲まれた穴を規定するようパターンを形成した）、すなわち、金属縞のネットワーク（格子）を与えるトランジスタの電極（例えば、ソース電極）内で実現する。このような方法により、ゲート電界がソース電極に浸透することができ、そのフラックスがソース電極から半導体材料の中に流れる注入電流を制御し得る。好適には、ブロック共重合体を使用してこのようなネットワークパターンの中にソース電極を形成する：ブロック共重合体をソース（又はドレイン）電極のための絶縁材料及びテンプレートとして使用し；薄くて多孔性の金属のソース電極をブロック共重合体テンプレートの上に配置する。横型トランジスタ構造では、導電率の不連続性をトランジスタチャネルと関連して実現し、チャネル

50

と非常に近接する間隔を空けた導電領域の配列を設けることによってこれを達成する。このような領域は、チャネルの上方又は下方の層であり；この層はチャネルの下方又上方に直接配置されているか又は薄い絶縁膜によってそれから間隔を空けて配置されており；これらの領域は、チャネル及びソース／ドレインを含む層の間の層であるか、又は同じソース／ドレインを含む層に作製される。

【0117】

当業者は、添付の特許請求の範囲の中で及びこれによって規定される発明の範囲を逸脱することなしに、上記に例示された本発明の実施例に様々な改良及び変更を適用し得ることを容易に理解するであろう。

【図面の簡単な説明】

10

【0118】

【図1】図1A - Bは、文献[5]に記載された既知のゲート - ソース - ドレイン縦型有機電界効果トランジスタ(VOFET)構造を示す。図1Cは、図1a - bのトランジスタ構造における様々なゲート - ソース電圧に対するVOFETのコンダクタンス特性を示す。

【図2】図2A - Bは、文献[6]及び[7]にそれぞれ記載された既知の平面型トランジスタを示す。

【図3】図3A - Cは、縦型トランジスタ構造を利用した本発明の実例を示しており：図3Aは、本発明に従って構成されたソース又はドレイン電極の平面図を示しており、図3Bは、このような電極を使用したパターンを形成したソース縦型TFT(PS-VTFT)の側面図であり、図3Cは、本発明のパターンを形成したドレイン縦型TFT(PD-VTFT)。

20

【図4A】図4Aは、本発明のパターンを形成したソース縦型TFT(PS-VTFT)の形態及び動作の実例を示す。

【図4B】図4B - Cは、本発明のパターンを形成したソース縦型TFT(PS-VTFT)の形態及び動作の実例を示す。

【図4D】図4D - Fは、本発明のパターンを形成したソース縦型TFT(PS-VTFT)の形態及び動作の実例を示す。

【図5】図5は、既知の方法によって用意されたPS-b-PMMaブロック共重合体テンプレートの走査型プローブ顕微鏡画像を示す。

30

【図6】図6A - Bは、ナノスケールの導電金属パターンの走査型電子顕微鏡像を示しており：図6Aは、下にあるブロック共重合体薄膜を反射する導電性のナノスケール金属ワイヤのネットワークを示し、図6Bは、ポリマーの膜に少量の金属を蒸着することによって取得されたネットワークを示しており、孤立した島となっているにもかかわらず、ブロック共重合体のパターンをまねている。

【図7】図7は、ブロック共重合体構造の上のガラス化したポリ(3,4-エチレンオキシチオフェン)／ポリ(4-スルホン化スチレン)(PEDOT/PSS)ドメインの液滴の走査型プローブ顕微鏡像を示す。

【図8】図8は、閾値におけるパーコレーションネットワークの概略図を示す。

【図9 - 1】図9A - Bは、本発明の横型形態のトランジスタデバイスの2つの例をそれぞれ示す。

40

【図9 - 2】図9C - Dは、図9Bのトランジスタデバイスの実施例を示す。

【図10】図10A - Bは、パターンを形成した層のマトリクス及びその上のソース及びドレインマトリクスをそれぞれより詳細に示す。

【図11 - 1】図11A - Bは、従来のものと比較した本発明のトランジスタデバイスの特性を示す。

【図11 - 2】図11Cは、従来のものと比較した本発明のトランジスタデバイスの特性を示す。

【図12】図12A - Bは、本発明に係る横型形態のトランジスタデバイスの2つの例をそれぞれ示す。

50

【図13】図13A-Bは、ソース及びドレイン電極間に導電領域を有する本発明の横型FETの側面及び平面図を示す。

【図14】図14は、 $V_{DS} = 18\text{ V}$ で測定した、非照射（ブルー）及び照射（ピンク）試料についての光に敏感な切り替え可能なOTFTの相互コンダクタンス特性を示す。

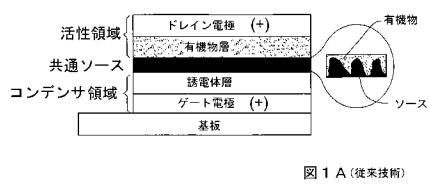
【図15】図15A-Eは、チャネル材料としてアモルファスシリコンを用いた本発明に係る横型形態のTFTの5つの例をそれぞれ示す。

【図16】図16A-Eは、トランジスタチャネルと関連する導電層におけるパターンの様々な例を説明を要しない方法で示す。

【図17】図17Aは、トランジスタチャネルの中に2次元配列の添加領域を形成するための本発明に係るドーピング方法の例を概略的に示す。図17Bは、図17Aの方法で得られる構造を概略的に示す。図17Cは、トランジスタチャネルの中に2次元配列のドーピング領域を形成するための本発明に係るドーピング方法の別の例を示す。

10

【図1】



【図2】

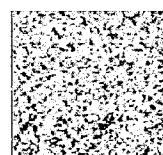
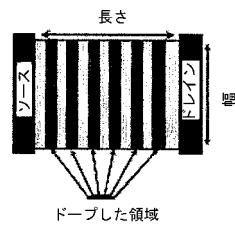


図1B (従来技術)

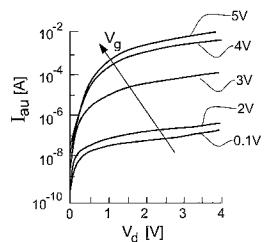


図1C (従来技術)

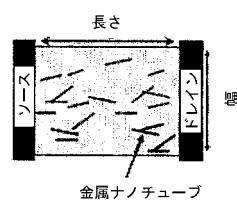
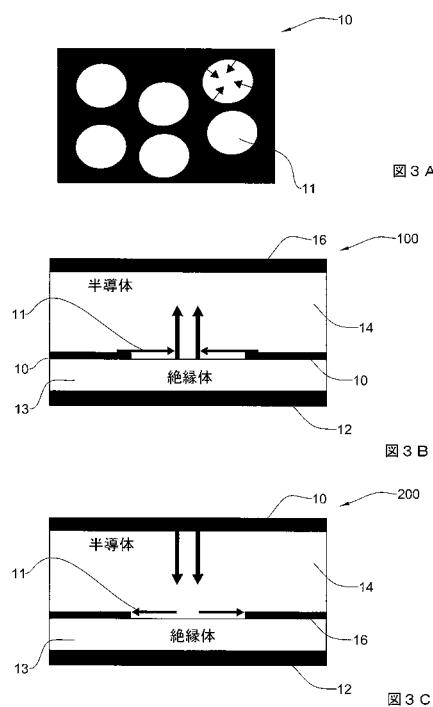
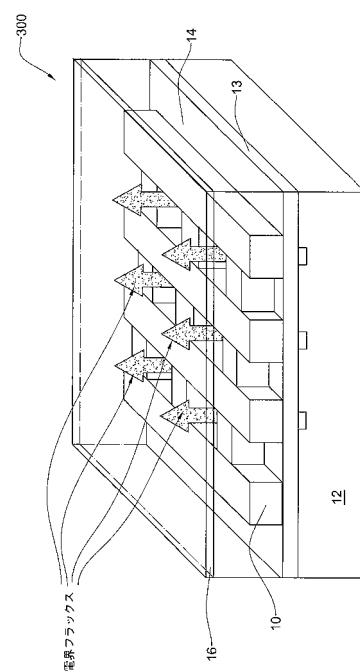


図2B

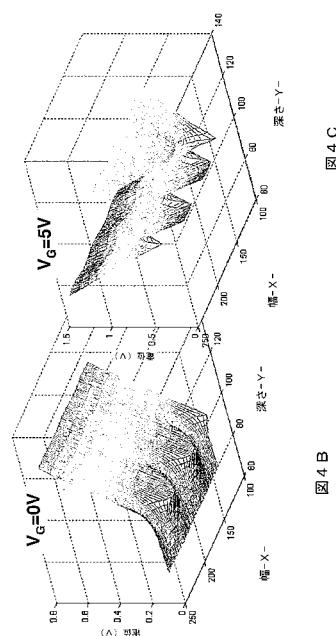
【図3】



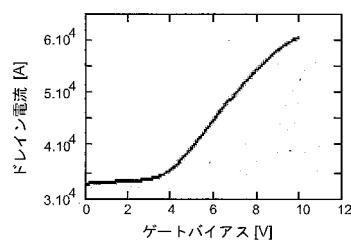
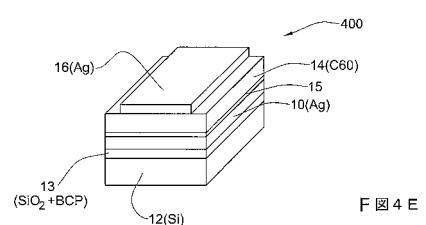
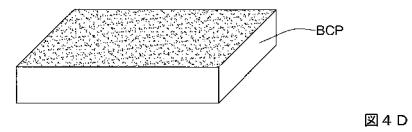
【図4 A】



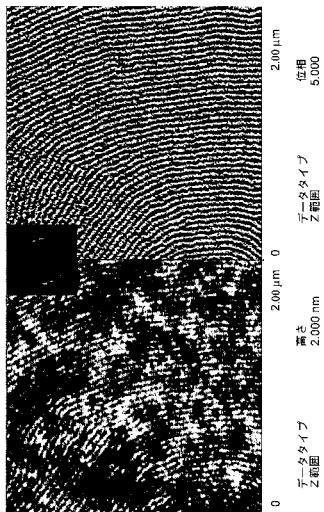
【図4 B】



【図4 D】



【図5】



【図6】

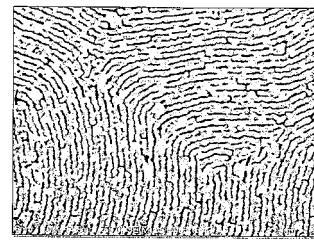


図6 A

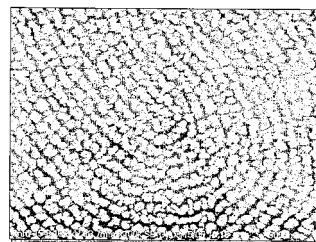


図6 B

【図7】

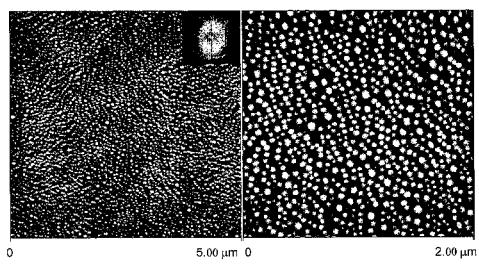


図7

【図8】



図8

【図 9 - 1】

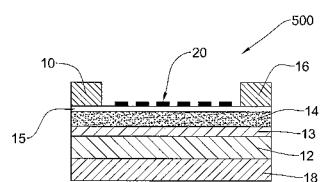


図 9 A

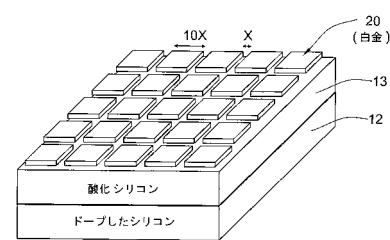


図 9 C

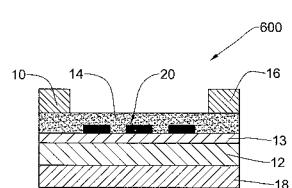


図 9 B

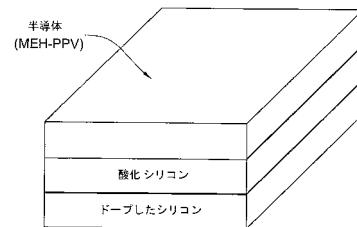
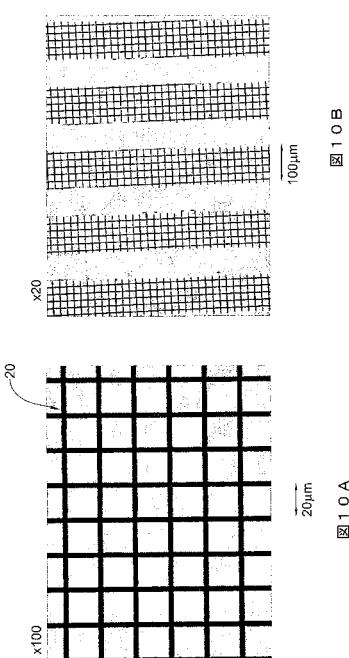
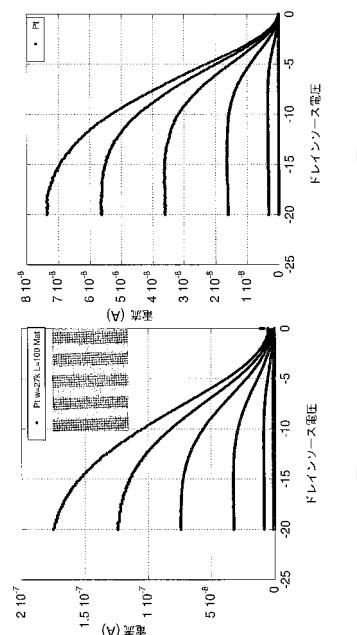


図 9 D

【図 10】



【図 11 - 1】

図 11 A
図 11 B

【図 1 1 - 2】

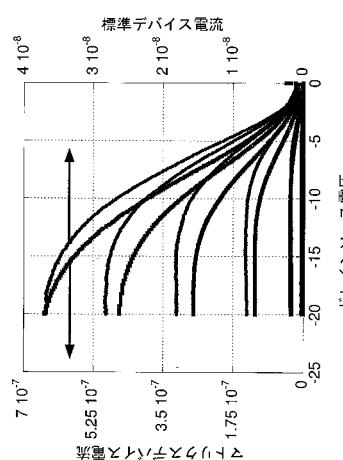


図 1 1 C

【図 1 2】

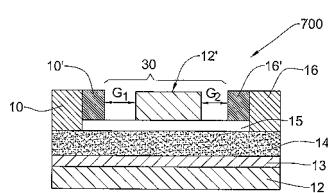


図 1 2 A

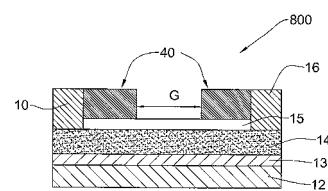
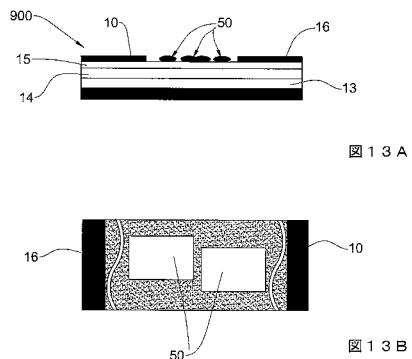
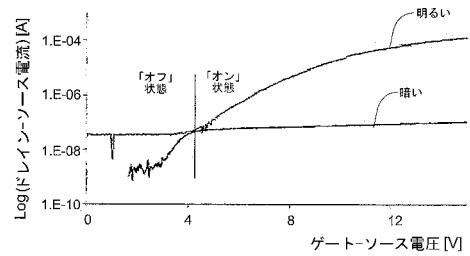


図 1 2 B

【図 1 3】



【図 1 4】



【図15】

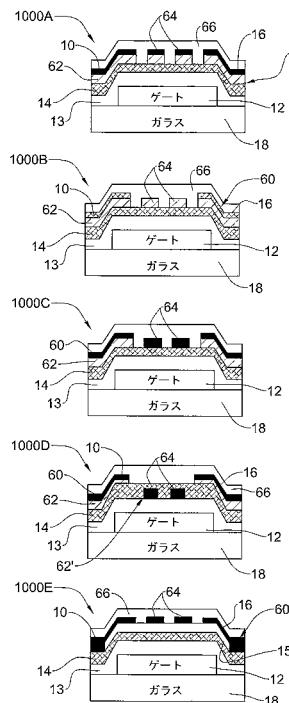


図15A

図15B

図15C

図15D

図15E

【図16】

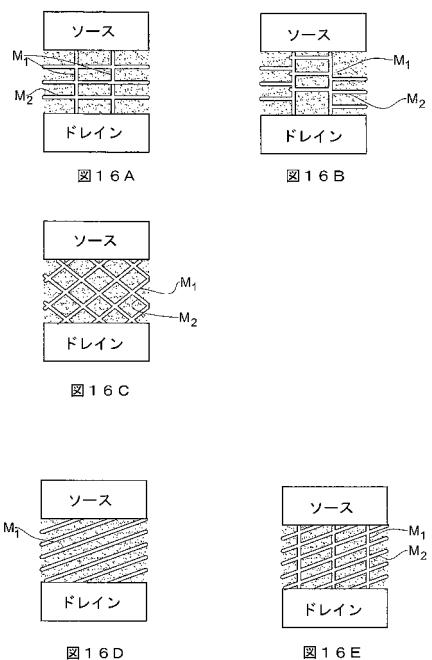


図16A

図16B

図16C

図16D

図16E

【図17】

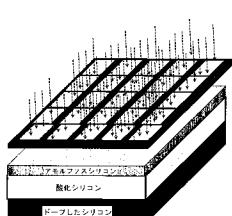


図17A

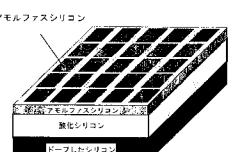


図17B

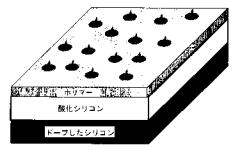


図17C

フロントページの続き

(72)発明者 マルガリート, モティ

イスラエル国 ジックロン ヤーコヴ 30900, ハシタストリート 21

(72)発明者 グロバーマン, オーデッド

イスラエル国 エベンイエフダ ピーオー 5193 40500, ストリートシェンア'アリ
7

(72)発明者 シエンバー, ロイ

イスラエル国 メヴァセッレトジョン 90805, オフィールストリート 1

審査官 鈴木 聰一郎

(56)参考文献 特開2004-296819 (JP, A)

特開昭61-234041 (JP, A)

特開平06-181315 (JP, A)

特開平07-211913 (JP, A)

特開2005-056871 (JP, A)

特開2000-114529 (JP, A)

国際公開第2004/027497 (WO, A1)

特開2001-151834 (JP, A)

特開平06-125085 (JP, A)

特開2004-335688 (JP, A)

特開2004-006827 (JP, A)

特開2004-356538 (JP, A)

特開2003-096313 (JP, A)

特開2002-050704 (JP, A)

特開平11-354802 (JP, A)

国際公開第2005/008785 (WO, A1)

特開2003-243411 (JP, A)

特開2005-079352 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 21/76

H01L 21/8234

H01L 27/04

H01L 27/088

H01L 29/06

H01L 29/12

H01L 29/739

H01L 29/78-29/786