(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3561556号
(P3561556)
(45)発行日　平成16年9月2日(2004.9.2)　(24)登録日　平成16年6月4日(2004.6.4)

(51)Int.Cl.[7]	F I		
G03F 1/08	G03F	1/08	D
H01L 21/027	H01L	21/30	502P
	H01L	21/30	516A

請求項の数 9　(全 22 頁)

(21)出願番号　特願平7-163266
(22)出願日　平成7年6月29日(1995.6.29)
(65)公開番号　特開平9-15834
(43)公開日　平成9年1月17日(1997.1.17)
審査請求日　平成13年12月18日(2001.12.18)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100083552
弁理士　秋田　収喜
(72)発明者　今井　彰
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　岡崎　信次
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内

審査官　多田　達也

最終頁に続く

(54)【発明の名称】マスクの製造方法

(57)【特許請求の範囲】
【請求項１】
マスク上に形成されたマスクパタンを結像光学系を介して基板上に投影露光することにより、前記基板上に形成されたパタンに該マスクパタンを重ね合わせ転写するパタン転写方法で用いるマスクの製造方法において、
前記結像光学系を介して前記基板上に投影されたマスクパタン投影像の結像位置と前記基板上に形成されたパタンとの重ね合わせ誤差を小さくするように、マスクパタン位置に対する露光チップ内のマスクパタン投影像結像位置のずれと、前記基板上に形成されたパタンのウエハ処理プロセスにより生じる露光チップ内のパタン位置歪みを、被重ね合わせパタンを基板に露光・処理し、それを測定することによって求めて補正するように前記マスクパタンのマスク上の位置を調整する工程を含み、
前記マスクパタン位置に対する露光チップ内のマスクパタン投影像結像位置のずれの補正、および前記基板上に形成されたパタンのウエハ処理プロセスにより生じる露光チップ内のパタン位置歪み補正は、前記露光チップ内に想定した行列の格子点位置でのディストーションの測定結果を用いることを特徴とするマスクの製造方法。
【請求項２】
マスク上に形成されたマスクパタンを結像光学系を介して基板上に投影露光することにより、前記基板上に形成されたパタンに該マスクパタンを重ね合わせ転写するパタン転写方法で用いるマスクの製造方法において、
前記結像光学系を介して前記基板上に投影されたマスクパタン投影像の結像位置と前記基

板上に形成されたパタンとの重ね合わせ誤差を小さくするように、前記結像光学系のディストーション誤差により生じる露光チップ内のマスクパタン投影像の結像位置歪みと、前記基板上に形成されたパタンのウエハ処理プロセスにより生じる露光チップ内のパタン位置歪みを、被重ね合わせパタンを基板に露光・処理し、それを測定することによって求めて補正するように前記マスクパタンのマスク上の位置を調整する工程を含み、
前記結像光学系のディストーション誤差により生じる露光チップ内のマスクパタン投影像の結像位置歪みの補正、および前記基板上に形成されたパタンのウエハ処理プロセスにより生じる露光チップ内のパタン位置歪み補正は、前記露光チップ内に想定した行列の格子点位置でのディストーションの測定結果を用いることを特徴とするマスクの製造方法。

【請求項３】

請求項１又は２に記載のマスクの製造方法において、前記結像光学系のディストーション誤差の測定結果を補間して求めた値を用いてマスクパターン位置を調整することを特徴とするマスクの製造方法。

【請求項４】

請求項３に記載のマスクの製造方法において、前記結像光学系のディストーション誤差の測定結果をスプライン関数を用いて補間することを特徴とするマスクの製造方法。

【請求項５】

熱処理を含む処理工程と、投影露光装置を用いてパタン形成を行う工程とを有する固体素子の製造方法において、
前記熱処理を含む処理工程に起因して生じる基板上に形成されたパタンの露光チップ内のパタン位置歪みを、被重ね合わせパタンを基板に露光・処理し、それを測定することによって求めた非線型歪み量、及び前記投影露光装置の結像光学系に起因する露光チップ内のパタン結像位置のずれをあらかじめ考慮してパタン位置が補正されたマスクを準備する工程と、
前記熱処理を含む処理工程に起因して生じる基板上に形成されたパタンの露光チップ内の非線型歪み量の補正、および前記熱処理を含む処理工程を経た基板上に前記投影露光装置により前記マスクのパタンを転写する工程とを有し、
前記投影露光装置の結像光学系に起因する露光チップ内のパタン結像位置のずれの補正は、前記露光チップ内に想定した行列の格子点位置でのディストーションの測定結果を用いることを特徴とする固体素子の製造方法。

【請求項６】

請求項５に記載の固体素子の製造方法において、前記マスクのパタンは、ゲート配線パタンであることを特徴とする固体素子の製造方法。

【請求項７】

第１の投影露光装置及び第２の投影露光装置を用いてパタン形成を行う固体素子の製造方法であって、
第１の基板を準備する工程と、
前記第１の投影露光装置の結像光学系に起因する露光チップ内のパタン投影結像位置のずれを予め考慮してパタン位置が補正された第１のマスクを準備する工程と、
前記第１のマスクを用いて第２の基板に第１の回路パタンを形成し、前記第２の基板に所定のプロセス処理を行ない、前記第２の投影露光装置の結像光学系に起因する露光チップ内のパタン投影結像位置のずれを予め考慮してパタン位置が補正された第２のマスクを用いて前記第１の回路パタンが形成された前記第２の基板に第２の回路パタンを形成し、前記第１の回路パタンと前記第２の回路パタンとの重ね合わせ誤差を検査して前記第２の基板の露光チップ内の歪量を求め、前記第２のマスクに更に前記歪量を考慮してパタン位置を補正して製造された第３のマスクを準備する工程と、
前記第１の投影露光装置を用い、前記第１のマスクの第１の回路パタンを前記第１の基板に転写する工程と、
前記第１の基板を所定のプロセス処理する工程と、
前記第２の投影露光装置を用い、前記第３のマスクの第２の回路パタンを前記第１の基板

に転写する工程とを有することを特徴とする固体素子の製造方法。
【請求項８】
前記所定のプロセスは熱処理であることを特徴とする請求項７に記載の固体素子の製造方法。
【請求項９】
前記第１の投影露光装置と前記第２の投影露光装置とは異なることを特徴とする請求項７又は８に記載の固体素子の製造方法。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は、半導体素子、超伝導体素子、磁性体素子、光集積回路素子、等の各種固体素子における微細パタン形成に用いられる露光用マスクの製造技術に関するものである。
【０００２】
【従来の技術】
従来、大規模半導体集積回路等の固体素子における微細パタンの形成には、主に光リソグラフィ法の一つである縮小投影露光法が用いられてきた。本方法は、マスクあるいはレチクル（以下、マスクと総称する）上に形成されたマスクパタンを結像光学系を用いて基板上に縮小転写する方法である。
【０００３】
上記縮小投影露光法を用いて転写される基板上最小パタン寸法は、例えば６４メガビットダイナミックランダムアクセスメモリー（６４［Ｍ　ｂｉｔ］ＤＲＡＭ）では０．３～０．４［μｍ］程度、２５６［Ｍ　ｂｉｔ］ＤＲＡＭでは０．３［μｍ］以下にまで微細化してきている。半導体等の固体素子を製造するには、複数のパタンを高精度に重ね合わせて形成することが必要である。このときの重ね合わせ誤差は、一般に最小加工寸法の３分の１から４分の１以下であることが必要とされている。従って、高集積化のためには最小加工寸法の微細化とともに重ね合わせ精度の高精度化も必要である。
【０００４】
光リソグラフィ法において重ね合せ精度に影響を与える主要因としては、露光装置精度、マスク精度、ウエハプロセス（ウエハ歪み、位置合わせ露光用マーク形状劣化、レジスト塗布むら等）がある。
【０００５】
これらのうちウエハプロセスに関しては、例えば熱処理時の歪みや熱膨張率の異なる材料の重ね合わせによるウエハ歪み等がある。
【０００６】
また、露光装置精度に関しては、例えば最近では重ね合わせずれ量の平均＋３σ（σは重ね合わせずれ値分布の標準偏差）で６０［ｎｍ］以下の性能が得られるような露光装置も発表されている。
【０００７】
しかし、上記値は各露光装置単体で重ね合せ露光した場合の性能であり、複数の投影露光装置間での重ね合せ露光精度は装置間差のためにこれよりも劣化してしまう。このときの重ね合わせ精度劣化の大きな原因として、製造誤差による結像光学系の誤差があげられる。
【０００８】
重ね合せ精度に大きく影響を与える結像光学系の誤差として、ディストーション誤差（倍率誤差及び投影光学像の歪曲収差を含む結像特性）がある。これは、結像光学系を介して基板上に投影された投影光学像の位置が本来転写されるべきマスクパタンどおりの位置に対して変位した位置に転写されてしまう誤差としてあらわれる。
【０００９】
各投影露光装置において、ディストーション誤差値が極力小さくなり、理想位置からのずれ量がこの装置を用いて転写する最小パタン寸法よりも十分に小さくなるように、例えば

ずれ量が５０［ｎｍ］以下になるように結像光学系が調整されている。しかし、誤差をゼロにすることは不可能であるため、ディストーション誤差は各露光装置毎に異なった固有の値を有することになる。また、ウエハプロセスにより生じる歪みも、伸縮方向等にある一定の傾向を持つ。

【００１０】

ここで、ある２つの投影露光装置間での重ね合わせ誤差を見積もると、各露光装置のディストーション誤差が５０［ｎｍ］以下であったとしても、２つの露光装置間の重ね合わせ誤差としては誤差の２倍の１００［ｎｍ］になる恐れがある。さらに、ウエハプロセスによるウエハ歪みもウエハサイズの拡大に伴い大きくなり、数１０［ｎｍ］以上の重ね合わせ誤差が生じる恐れもある。従って、ディストーション誤差による重ね合わせ誤差が上述の重ね合わせ精度に対して非常に大きな値となることがわかる。

【００１１】

このような投影露光装置間のディストーション誤差によるアライメントエラーを抑えるために、従来は各ロット毎にある特定の投影露光装置のみを使用するという方法が用いられてきた。また、別の方法として、ディストーション誤差による重ね合わせ誤差が許容範囲内に収まるような投影露光装置の組み合わせをあらかじめ求めておき、この組み合わせの中の投影露光装置のみを用いてあるロットの処理を行なうという方法もある。

【００１２】

また、ウエハプロセスによるウエハ歪みの補正方法としては、ウエハプロセスにより生じるウエハ歪み、具体的にはチップ配列の伸縮とチップサイズの伸縮を予め測定するか、あるいは重ね合わせ露光時に露光装置を用いてこれら歪みを測定して、重ね合わせ露光時にこれら誤差を補正してパタン転写するという方法がある。

【００１３】

【発明が解決しようとする課題】

重ね合わせ精度の高精度化のためには結像光学系のディストーション誤差とウエハプロセスによるウエハ歪みを極力小さくすることが望ましい。しかし、製造誤差等のためにこれらをゼロにすることは不可能である。通常、露光フィールド内全面でのディストーション誤差がある許容値範囲内に収まるように結像光学系は調整されている。このときの許容値範囲は、この結像光学系を用いて転写する最小パタン寸法や固体素子製造工程での許容重ね合わせ誤差よりも小さな値、例えば１００［ｎｍ］以下、あるいは５０［ｎｍ］以下といった微小な値であることが求められている。

【００１４】

上述のディストーション誤差は各投影露光装置毎に固有の値を持っている。このため、複数の投影露光装置間の露光チップ内の重ね合わせ誤差は、各装置間のディストーション誤差の差の分だけ劣化してしまう恐れがある。

【００１５】

例えば、露光チップ内のある位置でのディストーション誤差があるひとつの露光装置では露光チップ中心方向へ３０［ｎｍ］、別の露光装置では露光チップ中心方向と反対の向きへ５０［ｎｍ］あったとする。ふたつの露光装置間の重ね合わせ誤差は、露光チップ内の他の位置での重ね合わせ誤差が０［ｎｍ］であったとしても、この位置では誤差が８０［ｎｍ］生じてしまう。このように、ディストーション誤差が重ね合わせ精度劣化の大きな要因となる恐れがあることがわかる。従って、重ね合わせ精度向上のためには、ディストーション誤差の装置間差を小さくすることが重要である。

【００１６】

しかし、結像光学系のディストーション誤差のみを任意に調整することは一般に困難である。そこで、ある一つのロットの処理ではある特定の露光装置のみを用いる方法、あるいは、ディストーション誤差の差による重ね合わせ誤差がより小さくなるような露光装置の組み合わせを求め、ある一つのロットの処理では求めた組み合わせ内の露光装置のみを用いる方法がある。

【００１７】

これらの方法を用いることにより、重ね合わせ誤差をより小さく抑えることが可能である。しかし、実際の装置使用状況を考慮すると組み合わせ内の露光装置数が不十分であったり、あるいは適当な組み合わせがないことも考えられる。このような場合、素子製造工程の遅延を生じたり、必要な重ね合わせ精度が得られなくなってしまうという問題があった。また、ロット毎に使用する投影露光装置が決められているために、露光装置のトラブルにより露光作業が停止したような場合や、製造工程によって複数のロットを同時に処理しなければならなくなってロット処理が遅延した場合等に、素子製造に要する時間が増加し、結果的に製造コストが上昇してしまうという問題もあった。また、例えば投影露光装置と電子線描画装置とを組み合わせて使用した場合に、投影露光装置のディストーション誤差のために重ね合わせ精度が劣化してしまうという問題もあった。

【００１８】

さらに、ウエハ歪みについては、チップ配列の伸縮はウエハステージの移動量を制御することによりＸ、Ｙ方向それぞれ異なった補正値を用いて補正することが可能であるが、チップサイズの伸縮の補正はチップ全体の倍率誤差しか補正できないので、例えば被重ね合わせパタンに依存して非線型なウエハ歪みが生じていた場合の補正ができないという問題もあった。

【００１９】

本発明の目的は、ディストーション誤差による重ね合わせ精度劣化を抑え、高重ね合わせ精度でパタンを転写することが可能な技術を提供することにある。

【００２０】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【００２１】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【００２２】

上記問題は、マスク上に形成されたマスクパタンを、結像光学系を介して基板上に投影露光することにより該マスクパタンを基板上に転写するマスクパタン転写方法において用いる結像光学系のディストーション誤差を測定する工程と、該測定により得たディストーション誤差を補正するようにマスクパタン位置を調整したマスクを製造する工程とを含むマスク製造方法により、さらに上記ディストーションを補正する方法としてディストーション誤差測定結果を補間して得た値を用いて、例えばスプライン関数を用いて補間して求めた値を用いてマスクパタン位置を補正するマスク製造方法により解決される。

【００２３】

【作用】

前述のように、パタンを転写する基板の歪みやディストーション誤差が重ね合わせ精度劣化の大きな要因となりうる。そこで、精度向上のためにはこれら誤差の影響を小さくすることが重要である。ディストーション誤差による転写パタン位置のずれを抑えるには、転写パタン位置のずれが小さくなるようにあらかじめマスクパタン位置を補正してやればよい。また、パタンを重ね合わせ転写する基板の非線型歪み量をあらかじめ、もしくは重ね合わせ露光直前に測定しておくか、あるいは計算により基板の歪み量を予測し、これらの結果に基づいてマスクパタン位置をさらに補正してやればよい。これらにより、基板上の被転写パタン位置とマスクパタン投影光学像との位置ずれ量をより小さく抑えることが可能となるので、結果として重ね合わせ誤差をより小さく抑えることができる。

【００２４】

マスクパタン位置を補正したマスクを製造する工程の一例を図１を用いて説明する。まず、対象とする露光装置の露光チップ内のディストーション誤差を測定する工程１を行なう。ディストーション誤差の測定方法としては公知の様々な方法を用いることができる。

【００２５】

例えば、レーザ干渉計等の位置計測手段を有する精密な基板ステージ上に感光性樹脂を塗布した基板を乗せ、結像光学系の光軸に対応する露光フィールド中心に投影された計測用基準パタン像を、その基板ステージをステッピング駆動することで上記基板上の多数の計測位置に露光する。次に、その露光フィールド中の各計測位置の計測基準パタンに近接するように多数の計測用参照パタン像を一括露光し、現像処理後に露光フィールド内の各計測位置の計測用基準パタン位置に対する計測用参照パタンの相対位置を求め、この相対位置に差をディストーション誤差とする方法がある。あるいは、特開平６－１７６９９９号公報において述べられているような測定方法を用いることもできる。

【００２６】

次に、上記測定により得られたディストーション誤差測定値を用いて、ディストーション誤差により生じた転写パタン位置の変位を補償するようにマスクパタン位置を補正したマスクを製造する工程２を行なう。ここで、ディストーション誤差を露光チップ内のすべての位置に対して測定することは不可能である。そこで、ディストーション誤差測定点以外の部分でのマスクパタン位置の補正には、周辺のディストーション誤差測定値から求めた値を用いればよい。

【００２７】

例えば、ディストーション誤差測定点間の位置では測定値を補間して求めた値を補正するようにマスクパタン位置を補正すれば良い。補間方法としてはさまざまな方法があるが、例えば３次元空間でｘ、ｙ軸を基板面上のｘ、ｙ軸と一致させ、ｚ軸をディストーションのｘ方向誤差あるいはｙ方向誤差と考えて、測定値である３次元空間の離散点を通過する曲面あるいは多面体面を求め、これを用いて任意のｘ、ｙ値に対する誤差値ｚを求めれば良い。上記曲面あるいは多面体面を表す方法としては、例えば図２に示したような多面体面で表す方法がある。図において、２１－１から２１－９はディストーション誤差測定点、２２－１から２２－９は各測定点でのディストーション誤差測定値のｘ成分を３次元表示したものである。位置２３に対する多面体面上の点２４のｚ座標値をこの位置の誤差値として用い、この誤差を補正するようにマスクパタン位置を調整すればよい。

【００２８】

ここで、位置補正の対象とするマスクパタンは、マスクパタンの中心位置あるいは重心位置に対する誤差値を用いる方法、図１４に模式的に示したようにマスクパタン４１をある決められた単位図形４２以下の大きさの図形４２および図形４２－１～４２－５に分割し、各図形の中心位置４３、４３－１～４３－５、もしくは重心位置に対する誤差値を用いる方法、多面体面から求めた誤差値を用いて誤差値を等高線表示し、等高線で分けられた領域内では領域の境界となる誤差値の平均値をこの領域の誤差値として用いる方法等がある。

【００２９】

あるいは、例えば図１３に模式的に示したようにｘ、ｙ座標に対してｚ軸方向を誤差値とし、スプライン関数を用いたスプライン曲面を用いて誤差値を３次元的に表し、これを用いて誤差値を補正する方法もある。図１３において、２１－１から２１－９はディストーション誤差測定点、２２－１から２２－９は各測定点でのディストーション誤差測定値のｘ成分を３次元表示したものである。位置２３に対する曲面上の点２５のｚ座標値をこの位置の誤差値として用い、この誤差を補正するようにマスクパタン位置を調整すればよい。

【００３０】

一般的には、３次のスプライン関数を用いて測定データを補間することにより、露光フィールド面内の任意の位置におけるディストーション誤差測定結果を実用的に十分な精度で表すことができる。また、スプライン関数を用いることによりディストーション誤差の測定誤差を平滑化した曲面あるいは多面体面を得ることができるので、より滑らかに誤差を補正することも可能である。

【００３１】

ここで、スプライン関数を用いた測定結果の補正方法の一例について簡単に説明する。以

下ではディストーション誤差（Ｄｘ，Ｄｙ）のｘ成分：Ｄｘの補正方法について説明するが、ｙ成分：Ｄｙについても同様である。ディストーション誤差のｘ成分Ｄｘ（ｉ，ｊ）は露光チップ内領域の格子点（ｘｉ，ｙｉ）（ｉ＝０，１，２，．．．，Ｉ；ｊ＝０，１，２，．．．，Ｊ）の上で与えられているとする。また、露光チップ領域はａ＝ｘ０≦ｘ≦ｘＩ＝ｂ，ｃ＝ｙ０≦ｙ≦ｙＪ＝ｄで定義されているとする。このとき、測定値を通る（ｍ－１）次のスプライン関数Ｓ（ｘ，ｙ）を求める。実用的には３次のスプライン関数により測定値を十分に補間して表すことができるので、ここでは３次のスプライン関数を求めることにする。ｘ方向の内部節点を、

【００３２】

【数１】

$$\xi_1 < \xi_2 < \cdots\cdots\cdots < \xi_h \qquad (数1)$$

【００３３】

ｙ方向の内部節点を、

【００３４】

【数２】

$$\eta_1 < \eta_2 < \cdots\cdots\cdots < \eta_h \qquad (数2)$$

【００３５】

とする。このとき、ｘ方向について、

【００３６】

【数３】

$$\left.\begin{array}{l} I+1=h+m \\ x_0 < \xi_1 < x_m \\ x_1 < \xi_2 < x_{m+1} \\ \cdots\cdots\cdots\cdots\cdots \\ x_{I-m} < \xi_h < x_I \end{array}\right\} \qquad (数3)$$

【００３７】

ｙ方向について、

【００３８】

【数４】

$$\left.\begin{array}{l} J+1=k+m \\ y_0 < \eta_1 < y_m \\ y_1 < \eta_2 < y_{m+1} \\ \cdots\cdots\cdots\cdots\cdots \\ y_{J-m} < \eta_k < y_J \end{array}\right\} \quad (数4)$$

【００３９】
が成り立つと仮定する。スプライン関数Ｓ（ｘ，ｙ）は一組の基底関数を用いて表すことができる。この基底関数は１次元の基底関数のテンソル積でつくることができる。必要な基底関数をつくるために、ｘ方向に２ｍ個の付加節点
【００４０】
【数５】

$$\left.\begin{array}{l} \xi_{1-m} = \cdots\cdots\cdots = \xi_0 = a \\ \xi_{h+1} = \cdots\cdots\cdots = \xi_{h+m} = b \end{array}\right\} \quad (数5)$$

【００４１】
を、ｙ方向にも同様に２ｍ個の付加節点
【００４２】
【数６】

$$\left.\begin{array}{l} \eta_{1-m} = \cdots\cdots\cdots = \eta_0 = c \\ \eta_{k+1} = \cdots\cdots\cdots = \eta_{k+m} = d \end{array}\right\} \quad (数6)$$

【００４３】
を、それぞれ導入する。これにより、スプライン関数Ｓ（ｘ，ｙ）は、
【００４４】
【数７】

$$S(x,y) = \sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij}^{*} M_{mi}(x) M_{mj}(y) \quad (数7)$$

$$= \sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} N_{mi}(x) N_{mj}(y)$$

【００４５】
と表せる。ここで、Ｎｍｉ（ｘ）、Ｎｍｊ（ｙ）は、
【００４６】
【数８】

$$\left.\begin{aligned} N_{mi}(x) &= (\xi_i - \xi_{i-m})\, M_{mi}(x) \\ N_{mj}(y) &= (\eta_j - \eta_{j-m})\, M_{mj}(y) \end{aligned}\right\} \quad (数8)$$

【００４７】
を満たし、それぞれ正規化されたｍ階（（ｍ－１）次）のＢ－スプライン（あるいは、ｆｕｎｄａｍｅｎｔａｌ　ｓｐｌｉｎｅ）である。Ｂ－スプラインの値は次の漸化式によって計算できる。

【００４８】
【数９】

$$M_{ri}(x) = \frac{(x - \xi_{i-r})\, M_{r-1,i-1}(x) + (\xi_i - x)\, M_{r-1,i}(x)}{\xi_i - \xi_{i-r}} \quad (数9)$$

但し、

$$M_{1i}(x) = \begin{cases} (\xi_i - \xi_{i-1}) & (\xi_{i-1} \leq x < \xi_i) \\ 0 & (その他) \end{cases}$$

$$r = 2, 3, \cdots\cdots, m$$

【００４９】
【数１０】

$$M_{rj}(y) = \frac{(y - \eta_{j-r})\, M_{r-1,j-1}(y) + (\eta_j - y)\, M_{r-1,j}(y)}{\eta_j - \eta_{j-r}} \quad (数10)$$

但し、

$$M_{1j}(y) = \begin{cases} (\eta_j - \eta_{j-1}) & (\eta_{j-1} \leq y < \eta_j) \\ 0 & (その他) \end{cases}$$

$$r = 2, 3, \cdots\cdots, m$$

【００５０】
（数７）式が与えられた測定値の補間関数となるためには、

【００５１】
【数１１】

$$\sum_{i=1}^{h+m} \sum_{j=1}^{k+m} C_{ij} N_{mi}(x_s) N_{mj}(y_s) = Dx \quad (数11)$$

$$(r = 0, 1, \cdots; l\ ;\ s = 0, 1, \cdots; J)$$

【００５２】
となればよい。（数１１）式はＣｉｊを未知数とする連立１次方程式であり、（数３）式、（数４）式、（数５）式の条件により一意的な解を有する。（数１１）を解くことによ

りＳ（ｘ，ｙ）を求めることができる。
【００５３】
ある位置（Ｘｓ，Ｙｓ）における補間値Ｄｘｓの計算は、以下のようにすればよい。まず、（Ｘｓ，Ｙｓ）が入る小領域Ｒ、
【００５４】
【数１２】

$$\left.\begin{aligned} \xi_{i-1} \leq x_s \leq \xi_i \\ \eta_{j-1} \leq y_s \leq \eta_j \end{aligned}\right\} \qquad (数12)$$

【００５５】
を見つける。すると、Ｂ－スプラインの局所性から、
【００５６】
【数１３】

$$S(x_s, y_s) = \sum_{p=i}^{i+m-1} \sum_{q=j}^{j+m-1} C_{pq} N_{mp}(x_s) N_{mq}(y_s) \qquad (数13)$$

【００５７】
により、補間値Ｄｘｓ＝Ｓ（Ｘｓ，Ｙｓ）が求まる。この値を用いてマスクパタン位置を補正すればよい。
【００５８】
あるいは、ディストーション誤差測定結果を用いてある一定の誤差値変化毎に領域を分類し、各領域毎に補正量を定めても良い。例えば、図３に模式的に示したように、誤差値０［ｎｍ］を中心にディストーション誤差１０［ｎｍ］毎にマスクパタン領域を分類し、例えば誤差が１５［ｎｍ］から２５［ｎｍ］となる領域内のマスクパタンに対してはマスクパタン位置を－１０［ｎｍ］補正するようにすれば良い。図３では、一例として２０［ｎｍ］角チップ内においてディストーション誤差－５［ｎｍ］以上＋５［ｎｍ］未満の第１の領域６１、誤差＋５［ｎｍ］以上＋１５［ｎｍ］未満の第２の領域６２、以下、第３の領域６３は誤差＋１５［ｎｍ］以上＋２５［ｎｍ］未満、第４の領域６４は誤差＋２５［ｎｍ］以上＋３５［ｎｍ］未満、第５の領域６５は－１５［ｎｍ］以上－５［ｎｍ］未満、第６の領域６６は誤差－２５［ｎｍ］以上－１５［ｎｍ］、第７の領域６７は誤差－３５［ｎｍ］以上－２５［ｎｍ］未満の領域を表している。各領域内の誤差値は、第１の領域６１では０［ｎｍ］、第２の領域６２、第３の領域６３、第４の領域６４、第５の領域６５、第６の領域６６、第７の領域６７ではそれぞれ＋１０［ｎｍ］、＋２０［ｎｍ］、＋３０［ｎｍ］、－１０［ｎｍ］、－２０［ｎｍ］、－３０［ｎｍ］を用いる。マスクパタン位置はこの値を用いて補正すればよい。この方法を誤差のｘ、ｙ両成分に対して行なえばよい。
【００５９】
また、より簡略な補正方法としては、図４に模式的に示したように測定点３３の周辺にある第１の補正領域３１を設定し、この領域内での補正値はこの測定点での測定値を用いてこれを補償するようにマスクパタン位置を補正してもよい。この場合、第１の補正領域３１と第２の補正領域３２との境界でマスクパタン位置補正値が不連続に変化する恐れがあるために、マスクパタン位置補正後のマスクにおいてマスクパタンが不連続になる恐れがある。しかし、通常上記ずれ量は数１０［ｎｍ］以下でマスク製造時にマスクパタンを描画する電子線描画装置等のパタン描画装置の解像限界以下の微小量であるので、連続したマスクパタンを形成することが可能である。
【００６０】
ところで、縮小投影露光法は基板上にマスクパタンを縮小して転写する方法である。この

ときのマスクパタン縮小比は現在は５：１が主流であるが、この他にも４：１あるいは２．５：１も用いられている。マスク上の寸法はマスクパタン縮小比の逆数倍になるので、例えば縮小比５：１の場合、基板上に０．４［μｍ］パタンを転写するためのマスクパタンの寸法は２．０［μｍ］となる。マスクパタン位置も同様に、ウエハ上の転写パタン位置を３０［ｎｍ］移動させるにはマスク上でマスクパタン位置を１５０［ｎｍ］移動させればよい。すなわち、ウエハ上寸法の縮小比の逆数倍の精度でマスクパタン位置を補正することが可能である。

【００６１】

さらに、マスクパタンを重ね合わせ転写する基板上にあらかじめ形成されたパタンが熱処理工程等のウエハ処理プロセスによりパタン位置歪みを生じている場合、歪み量を予め測定するか、あるいは計算により歪み量を予測する。得られた結果を用いて上記パタン位置歪みに応じてマスクパタン位置をさらに補正する工程３（図１）を行なう。

【００６２】

以上で述べたようにしてマスクパタン位置を補正してマスクを製造する工程４（図１）を行なう。さらに、製造したマスクと前記露光装置とを組み合わせて用いてマスクパタンを転写する工程５（図１）を行なうことにより、露光装置に依存した転写パタン位置の変位やウエハ歪みによる被転写パタン位置のずれを補正したパタン転写が可能となる。この結果、重ね合わせ誤差を小さく抑えることができる。

【００６３】

以上で述べた方法を用いて、各露光装置毎にマスクを製造してパタン転写に用いることが好ましい。しかし、同じパタンを転写するためのマスクを各露光装置毎に製造することは、コストの点からは好ましくない。そこで、ディストーション誤差の差が重ね合わせ許容誤差と比較して十分に小さい露光装置の組合せがある場合、一つのマスクをこれら露光装置間で共有することも可能である。このためには、図５に示したように、あらかじめディストーション誤差の差が許容範囲内におさまるような露光装置の組み合わせを求める工程５１、上記工程５１により求まった露光装置のディストーション誤差の平均値を求める工程５２、工程５２で求まったディストーション誤差平均値を用いてマスクパタン位置を補正したマスクを製造する工程５３、を処理すれば良い。このようにして製造したマスクを上記露光装置の組み合わせ内で用いてパタンを転写する工程５４を行なうことにより、重ね合わせ精度を許容値に抑えることが可能である。

【００６４】

重ね合わせ精度をさらに向上するためには、熱処理等のウエハプロセスにより生じたウエハ歪によるパタン歪も補正することが必要である。ウエハプロセスによりウエハ歪が生じていた場合、この歪量をあらかじめ測定しておくか、あるいは計算によりウエハ歪みをあらかじめ予測しておき、マスク製造時に得られた歪量に応じてマスクパタン位置を補正してやればよい。

【００６５】

ところで、光リソグラフィ法以外の実用化されているリソグラフィー法として、電子線直接描画法がある。電子線描画法の場合は、基板を搭載した基板ステージの移動と電子線の偏向により、パタンを描画あるいは転写する。下地パタン上に重ね合わせ描画する場合、例えば、描画チップの４すみに重ね合わせ描画用の位置マークパタンを配置しておき、これらの位置を検出して描画位置を補正してパタンを描画する。従って、下地の被重ね合わせパタンが投影露光装置で転写されていて、ディストーション誤差のために４すみのマークパタン位置が変位していたとすると、マークパタン位置誤差のために描画パタン位置も誤差を生じてしまう。

【００６６】

電子線描画装置側でこの誤差の補正を行なうことも可能であるが、各露光装置それぞれの誤差特性やウエハロット毎の補正値を電子線描画装置に入力しなければならない。これに対して、上記方法はマスクと露光装置との組み合わせを決めれば良いので、工程がより簡便である。

【００６７】
【実施例】
以下、本発明の実施例について説明する。
【００６８】
（実　施　例　１）
本実施例は、最小設計寸法０．２５［μｍ］、チップサイズ２０［ｍｍ］×２０［ｍｍ］の２５６メガビットＤＲＡＭ（ダイナミックランダムアクセスメモリ）級の半導体大規模集積回路の回路パタン加工工程について説明する。
【００６９】
本実施例では、ＮＡ＝０．５５のＫｒＦエキシマレーザステッパ（投影露光装置）〔縮小比５：１、露光波長２４８［ｎｍ］〕を用いてパタン転写した。
【００７０】
本実施例で用いた第１のＫｒＦエキシマレーザステッパの２０［ｎｍ］角露光チップ内でのディストーション誤差の測定結果を図６に模式的に示す。本実施例では、２０［ｎｍ］角チップ内の５行５列（５ｍｍピッチ）の格子点でのディストーション誤差を測定した。図では、ベクトルの向き及び長さで各格子点位置でのディストーション誤差測定値を模式的に示している。図７は各格子点位置でのディストーション誤差測定結果を示したものである。行及び列の番号は、各格子点位置をチップの左上側から数えた番号を示している。測定の結果、ウエハ面上２次元ｘｙ座標系において、露光フィールド内の位置２１（１行１列目の位置）においてｘ方向に－１０［ｎｍ］、ｙ方向に＋４４［ｎｍ］のディストーション誤差が測定された。
【００７１】
上記ディストーション誤差測定結果を用いてマスクパタン位置を補正した。例えば、位置２１に対応するマスク上の位置２１’に配置されたマスクパタン位置をｘ方向に＋５０［ｎｍ］、ｙ方向に－２２０［ｎｍ］シフトさせた。ディストーション誤差の測定点間位置では、隣接測定点のディストーション誤差測定値をスプライン関数を用いて補間して求めた誤差値を補正するようにマスクパタン位置を補正した。他の位置についても同様にマスクパタン位置を補正して、第１のマスクを製造した。
【００７２】
以上のようにして製造したマスクを用いて、第１の回路パタンを所定の工程を処理した基板上に転写した。所定の回路パタン加工工程を処理した後、第２のステッパを用いて第２の回路パタンを転写した。
【００７３】
本実施例で用いた第２のＫｒＦエキシマレーザステッパの２０［ｍｍ］角露光チップ内でのディストーション誤差の測定結果を図８に模式的に示す。本実施例では、２０［ｍｍ］角チップ内の５行５列（５［ｍｍ］ピッチ）の格子点でのディストーション誤差を測定した。図では、ベクトルの向き及び長さで各格子点位置でのディストーション誤差値を模式的に示している。
【００７４】
図９は各格子点位置でのディストーション誤差測定結果を示したものである。行及び列の番号は各格子点位置をチップの左上側から数えた番号を示している。
【００７５】
測定の結果、ウエハ面上２次元ｘｙ座標系において、露光フィールド内の位置３１（３行１列目の位置）においてｘ方向に－３４［ｎｍ］、ｙ方向に－２２［ｎｍ］のディストーション誤差が測定された。
【００７６】
以上の測定結果を用いてマスクパタン位置を補正した。例えば位置３１に対応するマスク上の位置３１’に配置されたマスクパタン位置をｘ方向に＋１７０［ｎｍ］、ｙ方向に－１１０［ｎｍ］シフトさせた。また、他のマスクパタン位置についても第１のマスクと同様に補正して、第２のマスクを製造した。

【００７７】
以上のようにして製造したマスクを用いて第２の回路パタンを第１の回路パタン上に重ね合わせて転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、第１の回路パタンと第２の回路パタンの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲１００［ｎｍ］以下であり、良好な重ね合わせ精度で第２の回路パタンを転写することができた。
【００７８】
本実施例で製造した大規模集積回路の一部分である、ＭＯＳトランジスタ部の一部分の断面構造を図１６に模式的に示す。本実施例で転写した第１のマスクは素子分離パタン７１を形成する工程で用い、また、第２のマスクはゲート配線パタン７２を形成する工程で用いた。
【００７９】
以上のようにしてパタン転写することにより、ディストーション誤差によるパタン配置誤差を抑えることができる。これにより、重ね合わせ誤差をより小さく抑えることが可能である。従って、固体素子の製造工程歩留まりを向上させることができる。
【００８０】
さらに、重ね合わせ誤差を小さくできることから、重ね合わせずれに起因した素子特性のばらつきも抑えることができるので、製造工程歩留まりを向上させるとともに高性能な固体素子の製造も可能である。
【００８１】
なお、図１６において、７０は基板、７３は絶縁膜、７４はソース領域、７５はドレイン領域である。
【００８２】
（実　施　例　２）
本実施例は、最小設計寸法０．２５［μｍ］、チップサイズ２０［ｍｍ］×２０［ｍｍ］の２５６メガビットＤＲＡＭ（ダイナミックランダムアクセスメモリ）級の大規模集積回路の回路パタン加工工程について説明する。
【００８３】
本実施例では、ＮＡ＝０．５５のｋｒＦエキシマレーザステッパ（投影露光装置）〔縮小比５：１、露光波長２４８［ｎｍ］〕を用いて実施例１と同じ第１の回路パタンを所定の工程を処理した基板上に転写した。
【００８４】
本実施例で用いたＫｒＦエキシマレーザステッパの２０［ｍｍ］角露光チップ内でのディストーション誤差を測定した。本実施例では、第１の実施例と同様に２０［ｍｍ］角チップ内の５行５列（５［ｍｍ］ピッチ）の格子点でのディストーション誤差を測定した。
【００８５】
上記測定結果と、実施例１で用いたＫｒＦエキシマレーザステッパのディストーション誤差測定結果との差を図１０に示す。測定結果から、本実施例で用いたステッパと第１の実施例で用いた第１のステッパとのディストーション誤差の差は±３０［ｎｍ］以内で、許容重ね合わせ誤差１００［ｎｍ］の３分の１以下であった。そこで、本実施例では第１の実施例で製造した第１のマスクを用いて第１の回路パタンを転写した。
【００８６】
転写したパタンを走査型電子顕微鏡を用いて検査した結果、第１の回路パタンとそれ以前の工程で形成されていた下地パタンとの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲１００［ｎｍ］以下であり、良好な重ね合わせ精度で第１の回路パタンを転写することができた。
【００８７】
（実　施　例　３）
本実施例は、最小設計寸法０．２５［μｍ］、チップサイズ２０［ｍｍ］×２０［ｍｍ］の２５６メガビットＤＲＡＭ（ダイナミックランダムアクセスメモリ）級の大規模集積回路の回路パタン加工工程について説明する。

【００８８】
本実施例では、実施例１と同様にしてＮＡ＝０．５５のＫｒＦエキシマレーザステッパ（投影露光装置）〔縮小比５：１、露光波長２４８［ｎｍ］〕で用いる第１の回路パタン転写用のマスクを製造した。製造したマスクおよび上記ステッパを用いて、第１の回路パタンを所定の工程を処理した基板上に転写した。所定の回路パタン加工工程を処理した後、第２のステッパを用いて第２の回路パタンを転写した。
【００８９】
本実施例では、実施例１と同じ第２のＫｒＦエキシマレーザステッパを用いて第２の回路パタンを転写した。図９は各格子点位置でのディストーション誤差測定結果を示したものである。行及び列の番号は、各格子点位置をチップの左上側から数えた番号を示している。
【００９０】
測定の結果、ウエハ面上２次元ｘｙ座標系において、露光フィールド内の位置３１（３行１列目の位置）においてｘ方向に－３４［ｎｍ］、ｙ方向に－２２［ｎｍ］のディストーション誤差が測定された。
【００９１】
以上の測定結果を用いてマスクパタン位置を補正した。例えば、位置３１に対応するマスク上の位置３１’に配置されたマスクパタン位置をｘ方向に＋１７０［ｎｍ］、ｙ方向に－１１０［ｎｍ］シフトさせた。また、他のマスクパタン位置についても第１のマスクと同様に補正して、第２のマスクを製造した。
【００９２】
以上のようにして製造したマスクを用いて第２の回路パタンを第１の回路パタン上に重ね合わせて転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、基板が歪んでいたために図１５に示したような重ね合わせ誤差が生じていることがわかった。図の横軸はチップ中心を原点としたｘｙ座標系のｘ軸上の位置を、縦軸は重ね合わせずれ量を表し、基板上のある一つの転写チップの測定結果を示している。また、図中の点線はこのチップ内の重ね合わせずれ量測定値の平均値を表している。図示した以外のチップでは、重ね合わせずれ量の平均値は－７０［ｎｍ］から＋４３［ｎｍ］の範囲でばらついていた。測定結果から、所望の重ね合わせ許容範囲±８０［ｎｍ］以下の重ね合わせずれ値が得られていないことがわかり、また、図１５に示されたように基板歪による重ね合わせずれ量は２０［ｎｍ］程度と重ね合わせずれ許容範囲と比較して大きかったので、重ね合わせ誤差測定結果を用いて第２のマスクのマスクパタン位置をさらに補正することとした。すなわち、図１５に示した重ね合わせ誤差を補正するように、ディストーション誤差測定結果を用いて補正したマスクパタン位置をさらに補正した。以上のようにしてパタン位置を補正したマスクパタンデータを用いて第２の回路パタン転写用の第２のマスクを再度製造した。
【００９３】
以上のようにして製造したマスクを用いて第２の回路パタンを第１の回路パタン上に重ね合わせ転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、第１の回路パタンと第２の回路パタンの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲±８０［ｎｍ］以下であり、良好な重ね合わせ精度で第２の回路パタンを転写することができた。
【００９４】
以上のようにしてパタン転写することにより、ディストーション誤差と基板歪によるパタン配置誤差を抑えることができる。これにより、重ね合わせ誤差をより小さく抑えることが可能である。従って、固体素子の製造工程歩留まりを向上させることができる。
【００９５】
さらに、重ね合わせ誤差を小さくできることから、重ね合わせずれに起因した素子特性のばらつきも抑えることができるので、製造工程歩留まりを向上させるとともに高性能な固体素子の製造も可能である。
【００９６】

（実　施　例　４）
本実施例は、最小設計寸法０．３［μｍ］、チップサイズ２０［ｍｍ］×２０［ｍｍ］の６４メガビットＤＲＡＭ（ダイナミックランダムアクセスメモリ）級の大規模集積回路の回路パタン加工工程について説明する。
【００９７】
本実施例では、ＮＡ＝０．６３のｉ線ステッパ（投影露光装置）〔縮小比５：１、露光波長３６５［ｎｍ］〕を用いて第１の回路パタンを所定の工程を処理した基板上に転写した。
【００９８】
本実施例で用いたｉ線露光装置の２０［ｍｍ］角露光チップ内でのディストーション誤差の測定結果を図１１に示す。本実施例では、２０ｍｍ角チップ内の５行５列（５［ｍｍ］ピッチ）の格子点でのディストーション誤差を測定した。
【００９９】
以上の測定結果を用いてマスクパタン位置を補正してマスクを製造した。製造したマスクを用いて第１の回路パタンを転写した。
【０１００】
所定の回路パタン加工工程を処理した後、今度は電子線直接描画装置を用いて第２の回路パタンを転写した。重ね合わせ描画した際に用いた位置マークパタンの配置位置を図１２に模式的に示す。重ね合わせ描画用のマークパタン１１をチップ１０の４隅に配置した。このマークパタンは上記第１の回路パタン加工時に同時に形成されたものである。
【０１０１】
上記位置マークパタンを検出してパタン描画位置を補正しながら第２の回路パタンを描画、転写した。パタン転写後、第１の回路パタンと第２の回路パタンとの重ね合わせ誤差を走査型電子線顕微鏡を用いて測定したところ、重ね合わせ誤差が１００［ｎｍ］より大きくなっている部分は見られなかった。すなわち、２つのパタンの重ね合わせ誤差は、重ね合わせ誤差許容範囲の１００［ｎｍ］以下であり、所望の重ね合わせ精度が達成された。
【０１０２】
以上で述べたようにして大規模集積回路素子を製造することにより、所望の重ね合わせ精度で所定のパタンを加工することができるため、高い歩留まりで素子を製造することが可能である。
【０１０３】
（実　施　例　５）
本実施例は、実施例１と同様にしてディストーション誤差を測定し、測定結果からスプライン関数を用いてスプライン曲面によりパタン転写領域内の任意の位置でのｘおよびｙ方向のディストーション誤差を求めた。これにより求めた値を誤差値１０［ｎｍ］毎の領域に分割し、各領域を誤差量を補正するようにマスクパタン位置を補正した。なお、領域を分割する際の誤差値の変化量は１０［ｎｍ］に限るものではないが、マスクパタン位置の補正精度を考慮すると、少なくとも固体素子製造工程での必要重ね合わせ精度以下としなければならない。
【０１０４】
本実施例におけるマスクパタン位置の補正方法を図３を用いて説明する。図３ではディストーション誤差値のｘ成分を表したが、ｙ成分についても同様に表すことができる。図３において、マスク上の領域６１はディストーション誤差値が－５［ｎｍ］以上５［ｎｍ］未満の領域、領域６２はディストーション誤差値が５以上１５［ｎｍ］未満の領域、以下領域６３、領域６４はそれぞれ１５以上２５［ｎｍ］未満、２５以上３５［ｎｍ］未満の領域を表している。同様に、領域６５は－１５以上－５［ｎｍ］未満、領域６６は－２５以上－１５［ｎｍ］未満、領域６７は－３５以上－２５［ｎｍ］未満の領域を表している。なお、本実施例で用いた露光装置では、露光領域内でのディストーション誤差のｘ成分は±３５［ｎｍ］未満であった。
【０１０５】

そこで、マスク製造時に領域６１内をマスクパタン描画する際、ｘ方向成分に対してマスクパタン位置の補正は行なわなかった。また、領域６２内を描画する場合、ｘ方向成分に対して－１０［ｎｍ］描画位置を補正した。他の領域についても同様に、各領域のディストーション誤差範囲の中間値を補正するようにマスクパタン描画位置を補正した。なお、ｙ方向成分に対しても同様に補正した。

【０１０６】

以上のようにして製造したマスクを用いて、第１の回路パタンを所定の工程を処理した基板上に転写した。所定の回路パタン加工工程を処理した後、今度は電子線直接描画装置を用いて第２の回路パタンを転写した。重ね合わせ描画した際に用いた位置マークパタンの配置位置は実施例３と同様に図１２に模式的に示した位置とした。また、重ね合わせ描画用のマークパタン１１をチップ１０の４隅に配置した。このマークパタン１１は上記第１の回路パタン加工時に同時に形成されたものである。

【０１０７】

上記位置マークパタンを検出してパタン描画位置を補正しながら第２の回路パタンを描画、転写した。パタン転写後、第１の回路パタンと第２の回路パタンとの重ね合わせ誤差を走査型電子線顕微鏡を用いて測定したところ、重ね合わせ誤差が１００［ｎｍ］より大きくなっている部分は見られなかった。すなわち、２つのパタンの重ね合わせ誤差は、重ね合わせ誤差許容範囲の１００［ｎｍ］以下であり、所望の重ね合わせ精度が達成された。

【０１０８】

以上で述べたようにして大規模集積回路素子を製造することにより、所望の重ね合わせ精度で所定のパタンを加工することができるため、高い歩留まりで素子を製造することが可能である。

【０１０９】

（実　施　例　６）

本実施例は、最小設計寸法０．２５［μｍ］、チップサイズ２０［ｍｍ］×２０［ｍｍ］の２５６メガビットＤＲＡＭ（ダイナミックランダムアクセスメモリ）級の大規模集積回路の回路パタン加工工程について説明する。

【０１１０】

本実施例では、ＮＡ＝０．５５のＫｒＦエキシマレーザステッパ（投影露光装置）〔縮小比５：１、露光波長２４８［ｎｍ］〕を用いて第１の回路パタンを所定の工程を処理した基板上に転写した。所定の回路パタン加工工程を処理した後に、第２のステッパを用いて第２の回路パタンを転写した。

【０１１１】

本実施例では、実施例１と同じ第２のＫｒＦエキシマレーザステッパを用いて第２の回路パタンを転写した。図９は各格子点位置でのディストーション誤差測定結果を示したものである。行及列の番号は、各格子点位置をチップの左上側から数えた番号を示している。測定の結果、ウエハ面上２次元ｘｙ座標系において、例えば露光フィールド内の位置３１（３１行１列目の位置）においてｘ方向に－３４［ｎｍ］、ｙ方向に－２２［ｎｍ］のディストーション誤差が測定された。

【０１１２】

一方、基板上に形成された回路パタンの位置が素子製造工程により、図１７に示したようにチップ内で複雑に歪むことが事前の検討からわかった。ここで、図１７のグラフの横軸はチップ中心を原点とし、チップの各辺に平行な方向に２次元ｘｙ座標系をとったときのｙ軸上の位置を表わしている。また、縦軸は回路パタンを加工するために転写したレジストパタン位置からの、素子製造工程によるこの回路パタン位置のずれ量を表わしている。図は２０［ｍｍ］角のチップ８１内の１５［ｍｍ］角領域８２内にウエハ歪みを生じさせる材料を加工した回路パタンが配置されている場合を表わしている。

【０１１３】

図１８は、領域８２の中心位置をチップ８１の中心位置と一致させて配置し、領域８２の寸法を０［ｍｍ］角から２０［ｍｍ］角まで変化させたときの、２０［ｍｍ］角チップ８

１のチップ寸法の伸縮率（チップ倍率変更率）を表わしたものである。図の横軸は、領域８２の寸法を表わしている。ここで、領域８２内の上記回路パタンはｘ方向に対して周期的なラインアンドスペースパタンと同様の回路パタンであった。図１８に示されるように、ｘ方向とｙ方向とでチップ８１の伸縮率の差が最大０．５［ｐｐｍ］程度生じていることもわかった。

【０１１４】

本実施例では、領域８２のサイズは１５［ｍｍ］角であったので、ｘ方向のチップ倍率誤差が－０．６［ｐｐｍ］、ｙ方向のチップ倍率誤差が－０．９［ｐｐｍ］生じるとして、マスクパタンのチップ寸法を補正した。なお、伸縮率－０．６［ｐｐｍ］はチップ上寸法１８［ｍｍ］に対して約１１［ｎｍ］の縮みに対応する。。さらに図１７に示したように、パタン位置がチップ内で変化するので、この位置ずれを補正するようにマスク上の回路パタン位置を補正した。さらに、上述のディストーション誤差を補正するように、実施例１と同様にしてマスクパタンデータをさにら補正した。

【０１１５】

以上のようにして補正したマスクパタンデータを用いて第２の回路パタン転写用の第２のマスクを製造した。

【０１１６】

製造したマスクを用いて第２の回路パタンを第１の回路パタン上に重ね合わせ転写した。転写したパタンを走査型電子顕微鏡を用いて検査した結果、第１の回路パタンと第２の回路パタンの重ね合わせ誤差は所望の重ね合わせ誤差許容範囲±８０［ｎｍ］以下であり、良好な重ね合わせ精度で第２の回路パタンを転写することができた。

【０１１７】

以上のようにしてパタン転写することにより、ディストーション誤差と基板歪みによるパタン配置誤差を抑えることができる。これにより、重ね合わせ誤差をより小さく抑えることが可能である。従って、固体素子の製造工程歩留まりを向上させることができる。

【０１１８】

さらに、重ね合わせ誤差を小さくできることから、重ね合わせずれに起因した素子特性のばらつきも抑えることができるので、製造工程歩留まりを向上させると共に高性能な固体素子の製造も可能である。

【０１１９】

なお、本発明の実施例で使用されるステッパ（投影露光装置）の構成の例を図１９に示す。

【０１２０】

図１９に示すように、光源１３１から発する光は、フライアイレンズ１３２、コンデンサレンズ１３３、ミラー１３４及びコンデンサレンズ１３３を介してマスク１３６を照明する。マスク１３６上には異物付着によるパターン転写不良を防止するためのペリクル１３７が設けられている。マスク１３６上に描かれたマスクパタンは、投影レンズ１３８を介して試料基板であるウエハ１３９上に投影される。なお、マスク１３６はマスク位置制御手段１４７で制御されたマスクステージ１４８上に載置され、その中心と投影レンズ１３８の光軸とは正確に位置合わせがなされている。ウエハ１３９は、試料台１４０上に真空吸着されている。試料台１４０は、投影レンズ１３８の光軸方向すなわちＺ方向（縦方向）に移動可能なＺステージ１４１上に載置され、さらにＸＹステージ１４２上に搭載されている。Ｚステージ１４１及びＸＹステージ１４２は、主制御系１４９からの制御命令に応じてそれぞれの駆動手段１１３、１１４によって駆動されるので、所望の露光位置に移動可能である。その位置はＺステージ１４１に固定されたミラー１４６の位置として、レーザ測長機１４５で正確にモニターされている。また、ウエハ１３９の表面位置は、通常の露光装置が有する焦点位置検出手段で計測される。計測結果に応じてＺステージ１４１を駆動させることにより、ウエハ１３９の表面は常に投影レンズ１３８の結像面と一致させることができる。

【０１２１】

以上、本発明者によってなされた発明を、上記実施例に基づき具体的に説明したが、本発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【０１２２】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【０１２３】

以上本発明によれば、ディストーション誤差による重ね合わせ精度劣化を抑え、高重ね合わせ精度でパタンを転写することができる。

【図面の簡単な説明】

【図１】本発明によるマスク製造工程を示す工程図である。

【図２】本発明によるマスクパタン補正方法を示す模式図である。

【図３】本発明によるマスクパタン補正方法を示す模式図である。

【図４】本発明によるマスクパタン補正方法を示す模式図である。

【図５】本発明によるマスク製造工程を示す工程図である。

【図６】本発明の実施例１における第１のステッパのディストーション誤差測定結果を示す模式図。

【図７】本発明の実施例１における第１のステッパのディストーション誤差測定結果を示す図である。

【図８】実施例１における第２のステッパのディストーション誤差測定結果を示す模式図である。

【図９】本発明の実施例１における第２のステッパのディストーション誤差測定結果を示す図である。

【図１０】本発明の実施例２における２台のステッパのディストーション誤差の差の測定結果を示す図である。

【図１１】本発明の実施例３におけるステッパのディストーション誤差測定結果を示す図である。

【図１２】本発明の実施例３における位置マークパタンの配置を示す模式図である。

【図１３】本発明によるマスクパタン補正方法を示す模式図である。

【図１４】本発明によるマスクパタン補正方法を示す模式図である。

【図１５】本発明の実施例３において測定した重ね合わせ誤差測定結果を示す図である。

【図１６】大規模集積回路に搭載されるＭＯＳトランジスタ部の一部分の断面構造を示す模式図である。

【図１７】基板上に形成された回路パタンのパタン位置ずれ量を示す模式図である。

【図１８】基板上に形成されたチップの２次元方向の伸縮変化率を示す模式図である。

【図１９】本発明の実施例で使用されるステッパの構成の例を示す概略構成図である。

【符号の説明】

１…ディストーション誤差を測定する工程、２…上記結果を用いてマスクパタン位置を補正する工程、３…基板上のパタン位置歪に応じてマスクパタン位置を補正する工程、４…マスクを製造する工程、５…マスクパタンを転写する工程、

１０…チップ、１１…位置マーク、

２１－１，２１－２，２１－３，２１－４，２１－５，２１－６，２１－７，２１－８，２１－９，２２－１，２２－２，２２－３，２２－４，２２－５，２２－６，２２－７，２２－８，２２－９…測定値、２３…パタン位置、２４，２５…誤差値、

３１…第１の補正領域、３２…第２の補正領域、３３…測定点、４１…マスクパタン、

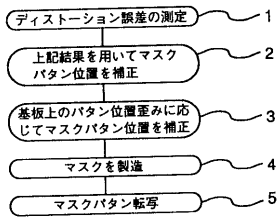
４２…図形、２－１，４２－２，４２－３，４２－４，４２－５…図形、４３…図形の中心位置、４３－１，４３－２，４３－３，４３－４，４３－５：図形の中心位置、

５１…露光装置の組み合せを求める工程、５２…上記露光装置群のディストーション誤差の平均を求める工程、５３…マスクパタン位置を補正したマスクを製造する工程、５４…

製造したマスクを用いてパタン転写する工程、
６０…チップ、６１…第１の領域、６２…第２の領域、６３…第３の領域、６４…第４の領域、６５…第５の領域、６６…第６の領域、６７…第７の領域、
７０…基板、７１…素子分離パタン、７２…ゲート配線パタン、７３…絶縁膜、７４…ソース領域、７５…ドレイン領域である。

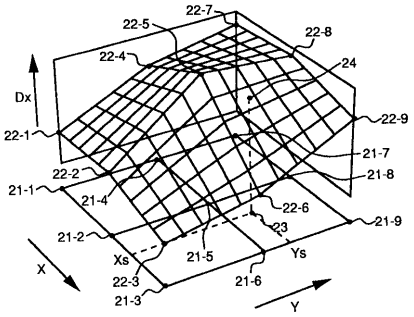
【図１】

図１



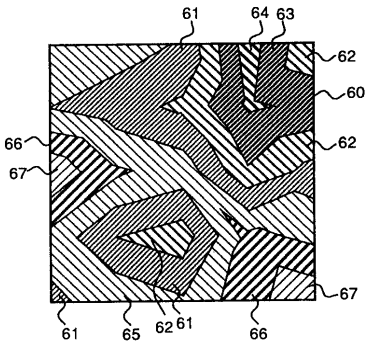
【図２】

図２



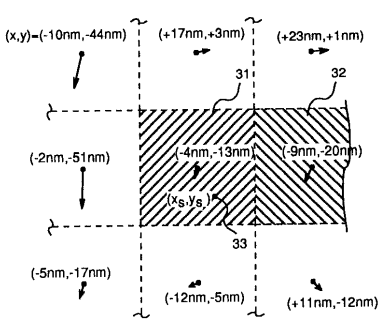
【図３】

図３



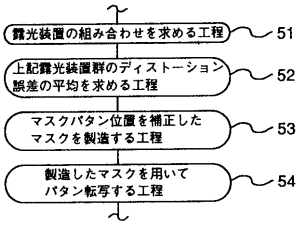
【図４】

図４



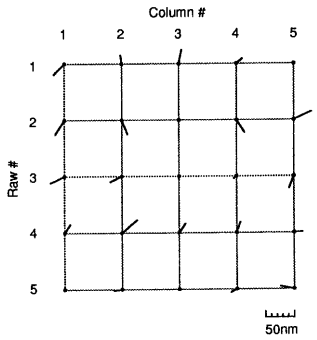
【図５】

図５



【図６】

図６



【図７】

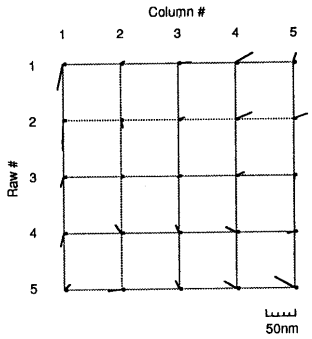
図７

		Column #				
		1	2	3	4	5
Raw #	1	(-18,-18)	(-2,+14)	(+5,+26)	(+11, +8)	(-3, 0)
	2	(-16,-25)	(+10,-23)	(+7, 0)	(+13,-18)	(+29,+14)
	3	(-24,-11)	(-18, -9)	(-1, -7)	(-5, -5)	(-8,-23)
	4	(+8,+13)	(+25,+25)	(+11,+17)	(+7,+19)	(+14, +1)
	5	(0, +6)	(-13, -2)	(+3, 0)	(-11, -7)	(-24, +5)

(x,y), 単位:nm

【図８】

図８



【図９】

図９

		Colum n#				
		1	2	3	4	5
Raw #	1	(-10,-44)	(+7, +3)	(+23, +1)	(+29,+18)	(+6,+16)
	2	(-2,-51)	(+4,-13)	(+11, +4)	(+27,+12)	(+23, +9)
	3	(-5,-17)	(+2, 0)	(-2, -2)	(+14, +6)	(+1, -7)
	4	(-7,-23)	(-11,+14)	(-5,+12)	(-18, +9)	(-12, -3)
	5	(+10,+10)	(-23, -2)	(-7,+15)	(-21,+13)	(-34,+20)

(x,y), 単位:nm

【図１０】

図１０

		Column #				
		1	2	3	4	5
Raw #	1	(-8,+26)	(-9,+11)	(-18,+25)	(-18,-10)	(-9,-16)
	2	(-14,+26)	(+6,-10)	(-4, -4)	(-14,-30)	(+6, +5)
	3	(-19,+16)	(-20, -9)	(+1, -5)	(-19,-11)	(-9,-16)
	4	(-15,+28)	(+10,+11)	(+16,-10)	(+10,+10)	(+26, +4)
	5	(-10, -4)	(+28, 0)	(+10,-15)	(+20,-19)	(+10,-15)

(x,y), 単位:nm

【図１１】

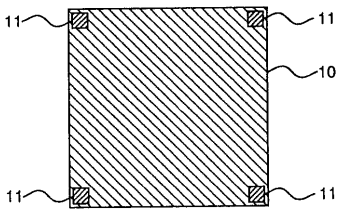
図１１

		Column#				
		1	2	3	4	5
Raw#	1	(-8,+26)	(-9,+11)	(-18,+25)	(-18,-10)	(-9,-16)
	2	(-14,+26)	(+6,-10)	(-4, -4)	(-14,-30)	(+6, +5)
	3	(-19, +6)	(-20, -9)	(+1, -5)	(-19,-11)	(-9,-16)
	4	(+15,+36)	(+36,+11)	(+16, +5)	(+25,+10)	(+26, +4)
	5	(-10, -4)	(+10, 0)	(+10,-15)	(+10,-20)	(+10,-15)

(x,y), 単位:nm

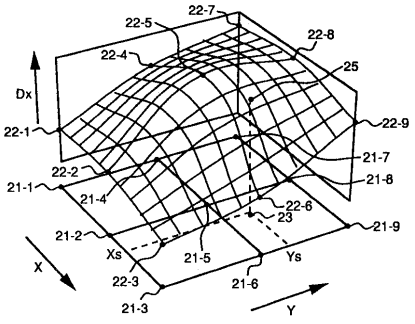
【図１２】

図１２



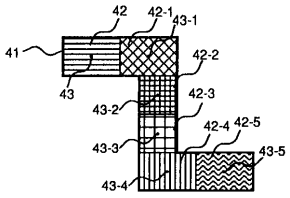
【図１３】

図１３



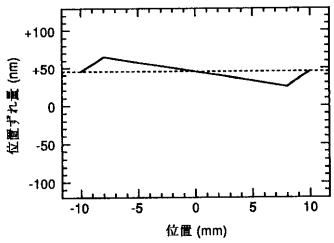
【図１４】

図１４



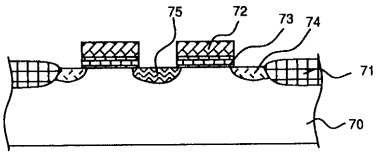
【図１５】

図１５



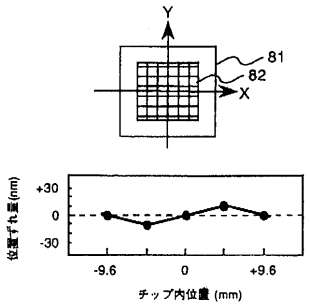
【図１６】

図１６



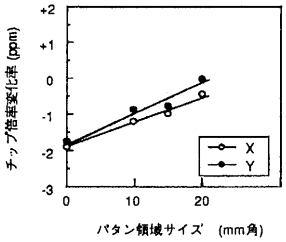
【図１７】

図１７



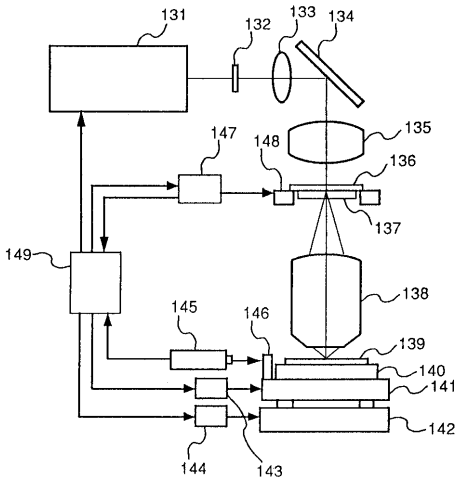
【図１８】

図１８



【図１９】

図１９



フロントページの続き

(56)参考文献 特開平０１－０７４５４７（ＪＰ，Ａ）
特開平０５－０６７５５５（ＪＰ，Ａ）
特開平０６－２５２０２７（ＪＰ，Ａ）
特開昭５８－１１００４０（ＪＰ，Ａ）
特開平０６－３４９７０２（ＪＰ，Ａ）
特開昭６１－２２８６２６（ＪＰ，Ａ）
特開平０２－１５１８６１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G03F 1/08
H01L 21/027