

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7068676号

(P7068676)

(45)発行日 令和4年5月17日(2022.5.17)

(24)登録日 令和4年5月9日(2022.5.9)

(51)国際特許分類

F I

H 0 1 L 21/205 (2006.01)

H 0 1 L 21/205

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/80

H

H 0 1 L 29/778 (2006.01)

H 0 1 L 29/80

C

H 0 1 L 29/812 (2006.01)

H 0 1 L 29/80

E

H 0 1 L 21/337 (2006.01)

H 0 1 L 29/78

3 0 1 B

請求項の数 13 (全11頁) 最終頁に続く

(21)出願番号 特願2018-534035(P2018-534035)

(86)(22)出願日 平成28年12月28日(2016.12.28)

(65)公表番号 特表2019-500755(P2019-500755

A)

(43)公表日 平成31年1月10日(2019.1.10)

(86)国際出願番号 PCT/US2016/069051

(87)国際公開番号 WO2017/117315

(87)国際公開日 平成29年7月6日(2017.7.6)

審査請求日 令和1年12月23日(2019.12.23)

(31)優先権主張番号 14/981,348

(32)優先日 平成27年12月28日(2015.12.28)

(33)優先権主張国・地域又は機関

米国(US)

(73)特許権者 507107291

テキサス インスツルメンツ インコーポ

レイテッド

アメリカ合衆国 テキサス州 7 5 2 6 5

- 5 4 7 4 ダラス メール ステーション

3 9 9 9 ピーオーボックス 6 5 5 4 7 4

(74)代理人 100098497

弁理士 片寄 恭三

(72)発明者 アサド マフムード ハイダー

アメリカ合衆国 7 5 0 2 5 テキサス州

ブレイノ, ロングビュー ドライブ 9

2 0 9

(72)発明者 カリド ファリード

アメリカ合衆国 7 5 0 7 4 テキサス州

ブレイノ, ブラブーラ ドライブ 1 2

最終頁に続く

(54)【発明の名称】 I I I A - N族デバイスのための非エッチ気体冷却エピタキシャルスタック

(57)【特許請求の範囲】

【請求項1】

I I I A - N族トランジスタを製造する方法であって、
堆積システムの堆積チャンバにおいて第1の温度で基板上に少なくとも第1のI I I A - N族バッファ層を堆積することと、
前記堆積システムの前記堆積チャンバにおいて前記第1の温度より低い又は等しい第2の温度で前記第1のI I I A - N族バッファ層上に少なくとも1つのI I I A - N族表面キャップ層を堆積することであって、その後、前記堆積チャンバがベントされる冷却温度まで継続的に前記堆積チャンバに気体混合物を供給する冷却プロセスを用いて前記基板を5 5 0 又は5 5 0 より低い温度まで冷却し、前記気体混合物がN H ₃と容量で4 0 %未満のH₂を含む少なくとも1つの他の気体とを含み、前記I I I A - N族表面キャップ層の表面において、(i) 2乗平均平方根(r m s)粗さが1 0 より大きく、(i i) 2 n m深さより大きいピット層に対するピット密度が0 . 0 5 μ mより小さな平均ピット直径で1 0ピット/ μ m²よりも小さくなるように、前記気体混合物が前記堆積チャンバにおいて前記キャップ層に対して非エッチである雰囲気を提供する、前記堆積することと、
前記I I I A - N族表面キャップ層上にゲート誘電体層を形成することと、
前記ゲート誘電体層上に金属ゲート電極を形成することと、
前記I I I A - N族表面キャップ層へのソースコンタクトを有するソースと前記I I I A - N族表面キャップ層へのドレインコンタクトを有するドレインとを形成することと、
を含む、方法。

【請求項 2】

請求項 1 に記載の方法であって、

前記第 1 の III A - N 族バッファ層を堆積した後で前記 III A - N 族表面キャップ層を堆積する前に、前記基板を前記第 1 の温度からキャップ層堆積温度へ冷却する間に前記冷却プロセスを用いることを更に含む、方法。

【請求項 3】

請求項 1 に記載の方法であって、

前記堆積システムが、有機金属化学気相成長 (MOCVD) システム、分子ビームエピタキシー (MBE) システム、又はハイドライド気相エピタキシー (HVPE) システムを含む、方法。

10

【請求項 4】

請求項 1 に記載の方法であって、

前記 III A - N 族表面キャップ層の厚みが 0.5 nm と 30 nm との間の範囲である、方法。

【請求項 5】

請求項 1 に記載の方法であって、

前記第 1 の III A - N 族バッファ層と前記 III A - N 族表面キャップ層との両方が、Ga₂N₃又はAlGa₂N₃を含む、方法。

【請求項 6】

請求項 1 に記載の方法であって、

前記基板が、サファイア、シリコン、又はシリコンカーバイド (SiC) を含む、方法。

20

【請求項 7】

請求項 1 に記載の方法であって、

前記気体混合物が N₂ を更に含む、方法。

【請求項 8】

請求項 1 に記載の方法であって、

前記気体混合物が H₂ を含まない、方法。

【請求項 9】

III A - N 族トランジスタを製造する方法であって、

堆積システムの堆積チャンバにおいて第 1 の温度で基板上に第 1 の III A - N 族バッファ層を堆積することと、

30

前記堆積チャンバにおける雰囲気の前記第 1 の III A - N 族バッファ層に対して非エッチであるように NH₃ と少なくとも 1 つの他の気体とを含む気体混合物を用いて前記第 1 の温度より低い第 2 の温度で前記基板を冷却することと、

前記堆積システムの堆積チャンバにおいて前記第 2 の温度で前記第 1 の III A - N 族バッファ層上に III A - N 族表面キャップ層を堆積することであって、前記堆積チャンバがベントされるまで 550 °C 以下への冷却プロセスが続き、前記冷却プロセスが NH₃ と N₂ とを含む前記堆積チャンバに供給される気体混合体を利用する、前記堆積することと、前記 III A - N 族表面キャップ層上にゲート誘電体層を形成することと、

前記ゲート誘電体層上に金属ゲート電極を形成することと、

40

前記 III A - N 族表面キャップ層へのソースコンタクトを有するソースと前記 III A - N 族表面キャップ層へのドレインコンタクトを有するドレインとを形成することと、を含む、方法。

【請求項 10】

請求項 9 に記載の方法であって、

前記堆積システムが、有機金属化学気相成長 (MOCVD) システム、分子ビームエピタキシー (MBE) システム、又はハイドライド気相エピタキシー (HVPE) システムを含む、方法。

【請求項 11】

請求項 9 に記載の方法であって、

50

【請求項 1 2】

前記基板がシリコン基板である、方法。

【請求項 13】

前記堆積システムの前記堆積チャンバにおいて前記第 1 の温度より低い第 2 の温度で前記第 1 の I I I A - N 族バッファ層上に少なくとも 1 つの I I I A - N 族表面キャップ層を堆積することであって、続いて、前記堆積チャンバがベントされる冷却温度まで継続的に前記堆積チャンバに気体混合物を提供する冷却プロセスを用いて前記基板を 5 5 0 度以下に冷却し、前記気体混合物が N H ₃ と容量で 4 0 % 未満の H ₂ を含む少なくとも 1 つの他の気体とを含み、前記 I I I A - N 族表面キャップ層の表面において、(i) 2 乗平均平方根 (r m s) 粗さが 1 n m 未満であり、(i i) 2 n m 深さより大きいピットに対するピット密度が 0 . 0 5 μ m より小さな平均ピット直径で 1 0 ピット / μ m ² 未満であるように、前記気体混合物が前記 I I I A - N 族表面キャップ層に対して非エッチである前記堆積チャンバにおける雰囲気を提供する、前記堆積することと、

前記ゲート誘電体層上に金属ゲート電極を形成することと、

前記ⅠⅠⅠＡ－Ｎ族表面キャップ層へのソースコンタクトを有するソースと前記ⅠⅠⅠＡ－Ｎ族表面キャップ層へのドレインコンタクトを有するドレインとを形成することと、を含む、方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本願は、ⅢⅢⅢA-N族(Group IIIA-N)(例えば、GaN)電界効果トランジスタ(FET)に関し、更に特定して言えば、このようなFETのためのバッファ層に関連する。

【背景技術】

【 0 0 0 2 】

ガリウム窒化物 (GaN) は、通常用いられる IIIA - N 族材料であり、IIIA - N 族要素 (Ga、ボロン、アルミニウム、インジウム、及びタリウムなど) は、13 族要素と称されることもある。GaN は、ウルツ鉱結晶構造を有するバイナリ IIIA / V 直接バンドギャップ半導体である。室温で 3 . 4 eV の (シリコンに対する 1 . 1 eV に対して) 比較的広いバンドギャップは、オプトエレクトロニクス、高パワーデバイス、及び高周波数電子デバイスにおける様々な用途に対して特殊な特性を与える。

【 0 0 0 3 】

GaN及びシリコンは著しい熱膨張係数ミスマッチを有するので、通常、ひずみ管理のためにシリコン基板とGaN層との間にバッファ層が用いられる。このバッファ技術は、ヘテロ構造FET(HFET)又は変調ドーブFET(MODFET)デバイスとしても知られる高電子移動度トランジスタ(HEMT)のために通常用いられる、大抵のGaNオンSi技術のベースを形成し、これらのデバイスは、(MOSFETに対して概してみられるような)ドーブされる領域の代わりに、チャネルとして異なるバンドギャップを有する2つの材料間の接合(即ち、ヘテロ接合)を組み込む電界効果トランジスタである。このようなデバイスのための幾つかのバッファ配置は、超格子構造又は段階的バッファ構造を用いる。

【 0 0 0 4 】

少なくとも一つのバッファ層の堆積の後、Ga₂Nキャップ層堆積が続く。従来のバッファ層及びキャップ層堆積プロセスは、それぞれの堆積温度からの冷却の間、NH₃及びH₂

を用いる。H₂ 体積流量は、NH₃ 体積流量の概して数倍である。

【発明の概要】

【0005】

記載される例において、III A - N 族トランジスタのためのエピタキシャルスタックを製造する方法が、堆積システムの堆積チャンバにおいて基板上に少なくとも一つのIII A - N 族バッファ層を堆積することを含む。その後、第1のIII A - N 族バッファ層上に、少なくとも一つのIII A - N 族キャップ層が堆積される。キャップ層堆積のための堆積温度からの冷却の間、堆積チャンバに供給される気体混合物は、NH₃ 及び少なくとも一つの他の気体を含む。この気体混合物は、堆積チャンバにおいてキャップ層に対して非エッチングである雰囲気を提供し、そのため、キャップ層の表面において、(a) 二乗平均平方根 (rms) 粗さが10 より小さくなり、(b) 0.05 μm より小さ平均ピット直径で、2 nm 深さより大きいピットのためのピット密度が10 ピット/μm² よりも小さくなるようにする。

10

【図面の簡単な説明】

【0006】

【図1】例示の一実施例に従った、パワーIII A - N 族トランジスタのための少なくとも一つの低欠陥密度キャップ層を含むエピタキシャル層スタックを製造する例示の方法における工程のフローチャートである。

【0007】

【図2】例示の一実施例に従った、低欠陥密度キャップ層を上を備えるIII A - N 族バッファ層を含む、例示のデバイススタックの断面図である。

20

【0008】

【図3A】例示の一実施例に従った、低欠陥密度キャップ層を有するエピタキシャル層スタックを備える、例示のデプリーションモード高電子移動度トランジスタ (HEMT) の断面図である。

【0009】

【図3B】例示の一実施例に従った、低欠陥密度キャップ層を有するエピタキシャル層スタックを備えるノーマリーオフゲートを備える、例示のエンハンスメントモード HEMT の断面図である。

【0010】

【図3C】図3Aに示すデプリーションモード HEMT パワーデバイス及び図3Bに示すエンハンスメントモード HEMT を含む例示のICの断面図であり、これらのデバイスは、いずれもバッファスタック上の同じ低欠陥密度キャップ層上にある。

30

【発明を実施するための形態】

【0011】

図面は必ずしも一定の縮尺で描いてはいない。図面において、類似の参照番号は、類似の又は等価の要素を示す。幾つかの例示の行為又は事象は、異なる順で及び/又は他の行為又は事象と同時に起こり得る。また、幾つかの例示の行為又は事象は、本記載に従った方法論を実装するために必要とされない可能性がある。

【0012】

例示の実施例は、III A - N 族デバイスのためのエピタキシャルIII A - N 族キャップ層堆積後の冷却の間、堆積チャンバに供給される従来のNH₃ 及びH₂ 気体混合物が、冷却時にキャップ層におけるピットとなり、これらが、優先的なエッチングが起こり得る後続のエッチング/洗浄の後、悪化し得ることを認識している。H₂ は、III A - N 族キャップ層 (GaN 又は AlGaN など) を攻撃し得、ピットを生じさせる。キャップ層における欠陥 (ピットなど) は、パワートランジスタにおける欠陥となり、十分に高い密度でそういった欠陥が存在する場合、それらはデバイス欠陥となる恐れがある。

40

【0013】

記載される例において、基板上の少なくとも一つのバッファ層の堆積の後、NH₃ 及び少なくとも一つのその他の気体を含む供給気体混合物を用いる冷却プロセスを用いるキャッ

50

10

20

30

40

50

50

50

50

50

50

50

50

50

50

キャップ層堆積の後、 NH_3 及び少なくとも一つの他の気体を含む気体混合物を用いる、

堆積温度から概して300 ~ 550 の温度までの冷却プロセスが続き、この気体混合物は、堆積チャンバにおいてキャップ層に対して非エッチングである雰囲気を提供する。本明細書において上記したように、ここでの「非エッチである」とは、結果として得られるキャップ層が、(a) 10 より小さい二乗平均平方根(rms)粗さ、及び、(b) 0.05 µmより小さな平均ピット直径で、10ピット/µm²よりも小さい、2nm深さより大きなピット層に対するピット密度を有することを指す。表面粗さは、原子間力顕微鏡(AFM)システムによって測定され得、ピット密度は、KLA-Tencor CANDLEA(登録商標)8620検査システムなどの欠陥分析ツールによって測定され得る。

【0021】

その他の気体は、N₂、Ar、He、Ne、Kr、及び/又はこのような気体の組み合わせであり得る。一つの特定の実施例において、NH₃が2~20リットル/分で供給され、N₂が50~150リットル/分で供給される。混合物が非エッチのままである限り、水素(H₂)が、容量でH₂約40%まで提供され得る。この冷却プロセスの間のランプダウンレートは、概して5 /分~40 /分であり、本明細書において上記したように、300 ~ 550 の温度まで冷却し得、堆積チャンバは、大気に対して排気され、その後、ウェハのポートが概して堆積チャンバから取り除かれる。

【0022】

工程104は、キャップ層上にゲート誘電体層(例えば、SiN、SiON、Al₂O₃、AlN、シリコン酸化物、又はこれらの層の任意のものの組み合わせ)を形成すること、ゲート誘電体層上に金属ゲート電極を形成すること、並びに、キャップ層上に、ソースコンタクトを有するソース、及びドレインコンタクトを有するドレインを形成することを含む。ゲート電極は、一実施例においてTiW合金を含み得る。ソース及びドレインは、一つの特定の実施例において、Ti/Al/TiNなどの金属スタックをスパッタリングすることによって形成され得る。

【0023】

図2は、例示の一実施例に従った、多層バッファスタック(バッファ層スタック)220を含む例示のデバイススタック200の断面図であり、多層バッファスタック220は、いずれも基板(例えば、シリコン)210上のAlN層として示される、第1のIII A-N族バッファ層220a及び第2のIII A-N族バッファ層220bを含む。GaN層として示されるIII A-N族キャップ層230が、第2のIII A-N族バッファ層220b上にあり、III A-N族キャップ層230は、冷却の間、堆積チャンバにおいてキャップ層に対して非エッチである雰囲気を用いるキャップ層冷却プロセスを用いて形成される低欠陥密度を有する。別の配置において、第1のIII A-N族バッファ層220aがAlNを含み、第2のIII A-N族バッファ層220bがGaNを含み、III A-N族キャップ層230がAlGaNを含む。III A-N族キャップ層230のための例示の厚み範囲は、HEMT層として用いることができる5 ~ 300 、第2のIII A-N族バッファ層220bのための50 ~ 300 、及び、第1のIII A-N族バッファ層220aのための0.1 µm~5 µmであり得る。

【0024】

例示の実施例の利点には、一層高いトランジスタ降伏電圧、一層低い漏れ電流、及び低減された基板撓み/ワープを可能にするために、本質的にボイド及びクラックフリーのキャップ層を含む、本質的にボイド及びクラックフリーのエピタキシャルGaN膜スタックを堆積する能力が含まれる。例えば、パワートランジスタが、1 µamp/mm²の漏れ電流密度で、少なくとも100Vの降伏電圧を提供し得る。

【0025】

記載されるエピタキシャルスタックを用い得るパワー半導体デバイスの例には、HEMT、ダブルヘテロ構造電界効果トランジスタ(DHFEET)、ヘテロ接合バイポーラトランジスタ(HBT)、及びバイポーラ接合トランジスタ(BJT)が含まれる。ヘテロ構造FET(HFET)又は変調ドーピングされたFET(MODFET)としても知られるHE

10

20

30

40

50

MTは、(金属酸化物半導体電界効果トランジスタ(MOSFET)に対して概してみられるような)ドーパされた領域の代わりに、2次元電子ガス(2DEG)チャネル層として異なるバンドギャップを備える2つの半導体材料間の接合(即ち、ヘテロ接合)を組み込む電界効果トランジスタである。HEMTは、GaN及びAlGaNなどの広帯域ギャップを有する化合物半導体を含む。GaN及びIIIA-N材料システムにおける高電子飽和速度に起因して、GaN HEMTにおける電子移動度は、金属酸化物半導体電界効果トランジスタ(MOSFET)などの他の一般的なトランジスタのものより高い。

【0026】

図3Aは、例示の一実施例に従った、基板210上のバッファ層スタック220上にIIIA-N族キャップ層230'を含んで示される記載されるエピタキシャルスタックを備える、例示のデプリーションモードHEMTパワーデバイス300の断面図である。HEMTパワーデバイス300は、シリコン窒化物又はシリコンオキシナイトライドを含むなど、ゲート誘電体層235を有して示される。IIIA-N族キャップ層230'は低欠陥密度キャップ層であり、IIIA-N族キャップ層230'の表面は、(a)10より小さい二乗平均平方根(rms)粗さ、及び、(b)0.05μmより小さな平均ピット直径で、10ピット/μm²よりも小さい、2nm深さより大きいピット層のためのピット密度を有する。この実施例において、IIIA-N族キャップ層230'は、最頂部(第1の)GaN層230cと、第2のIIIA-N族バッファ層220b上にある最低部(第2の)GaN層230aとの間に挟まれる、AlGaN層230bを含み得る。最頂部GaN層230c及び最低部GaN層230aは概して、各々、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ のドーピング濃度を有する。ドーパントは、炭素、マグネシウム、シリコン、又は亜鉛、又はこのようなドーパントの組み合わせを含み得る。

【0027】

HEMTパワーデバイス300は、ディスクリートデバイス、又はIC上の多くのデバイスの一つであり得る。より概して言えば、IIIA-N族キャップ層230'は、GaN、InN、AlN、AlGaN、AlInN、InGaN、及びAlInGaNの一つ又は複数を含み得る。本明細書において上記したように、IIIA-N族層は、Bなどの他のIIIA族要素を含み得、Nは、P、As、又はSbによって部分的に置き換えられ得、また、任意選択のドーパントを含み得る。別の特定の例において、IIIA-N族キャップ層230'は、Al_xGa_yN層又はIn_xAl_yN層の頂部上のGaN層を含み得る。更に別の特定の例は、AlGaN上のInAlN上のGaNを含み得る3層スタックであるIIIA-N族キャップ層230'である。

【0028】

HEMTパワーデバイス300は、ソース241、ドレイン242、及びゲート電極240を含む。ゲート電極240は、ソース241とドレイン242との間に、ドレイン242よりもソース241の近くに置かれる。ソース241、ドレイン242、及びゲート電極240は、金属及び/又は金属窒化物で形成され得るが、例示の実施例はそれらに限定されない。

【0029】

図3Bは、例示の一実施例に従った、基板210上にバッファ層スタック220として示されるバッファ層上にIIIA-N族キャップ層230'を備えるノーマリーオフゲートを備える、例示のエンハンスメントモードHEMTパワーデバイス350の断面図である。IIIA-N族キャップ層230'は、低欠陥密度キャップ層であり、IIIA-N族キャップ層230'の表面が、(a)10より小さい二乗平均平方根(rms)粗さ、及び、(b)0.05μmより小さな平均ピット直径で、10ピット/μm²よりも小さい、2nm深さより大きいピット層のためのピット密度を有する。この実施例において、ゲート電極は、IIIA-N族キャップ層230c(例えば、GaN層)と直接接するpドーパされたゲート電極245(pゲート電極として示される)。図3Cは、いずれも同じキャップ層及びバッファスタックを用いる、図3Aに示すデプリーションモードHEMTパワーデバイス300及び図3Bに示すエンハンスメントモードHEMTを含む、例示のIC

380の断面図である。

【0030】

例示の実施例が更に、以下の例により例示される。

【0031】

キャップ層冷却のための NH_3/H_2 気体混合物を用いて形成される既知のキャップ層と比べた、 NH_3/N_2 キャップ層冷却を用いて形成されるSi基板上のキャップ層に対してAFMデータが取られた。一例において、 NH_3/N_2 フローレシオは、50～150リットル/分の範囲の NH_3 及び N_2 の2～20リットル/分のフローで、1：10である。堆積されると、記載された NH_3/N_2 キャップ層冷却で処理されたウェハは、幾つかの異なる実施からのウェハからのデータで、一貫して表面ピットがないことを示した。これに対し、既知の NH_3/H_2 キャップ層冷却で処理されたウェハは、幾つかの異なる実施からのウェハから得たデータで、10nmから～200nmまでの範囲のサイズで、一貫して、 $1 \times 10^{10}/\text{cm}^2$ の表面ピットを示した。

10

【0032】

キャップ層におけるピットは、欠陥サイトにおいて優先的なエッチングが成されることが分っている後続のエッチング/洗浄の後、悪化し得ることも分かった。 NH_3/N_2 冷却されたキャップ層プロセスからのキャップ層と、キャップ層冷却のために N_2/H_2 気体混合物を用いて形成された既知のキャップ層とを備えるウェハが、2セットの洗浄プロセスを受けた。両方のキャップ層プロセスのためのウェハに対して、AFM分析が実施された。 NH_3/N_2 冷却されたキャップ層からのキャップ層を備えるウェハでは、堆積されたピットの深さは、約0.7nm～1nmであり、2セットの洗浄プロセスの後、約0.7nm～1nmの深さのままであった。既知の NH_3/H_2 冷却されたプロセスからのキャップ層を備えるウェハでは、堆積されたピットの深さは、約1nm～3nmであり、その深さは、2セットの洗浄プロセスの後、6nm～10nmの深さまで増大された。

20

【0033】

高温逆バイアス(HTRB)HEMTデバイスデータが得られ、ここで、キャップ層はGaNを含んでおり、バッファ層は、 N_2/NH_3 キャップ層冷却を用いて形成されるAlGaN、及び既知の NH_3/H_2 キャップ層冷却を用いて形成される制御GaNキャップ層を含んでいた。

【0034】

HTRB欠陥は、GaNキャップ層ピットに起因する信頼性欠陥に関連していた。既知の N_2/H_2 キャップ層冷却を用いて形成される制御GaNキャップ層を有するHEMTは、5%～10%のバーンイン故障率を有し、 NH_3/N_2 キャップ層冷却を用いて形成されるGaNキャップ層を有するHEMTは、2%未満のHTRB欠陥故障率を有していた。

30

【0035】

例示の実施例は、種々の異なるデバイス及び関連する製品を形成するための種々のアッセンブリフローに統合される得る半導体ダイを形成するために有用である。こういった半導体ダイは、その中に種々の要素を含み得、及び/又はその上に種々の層を含み得、これらには、障壁層、誘電体層、デバイス構造、能動要素、並びに、ソース領域、ドレイン領域、ビットライン、ベース、エミッタ、コレクタ、導電性ライン、及び導電性ビアを含む受動要素、が含まれる。また、こういった半導体ダイは、バイポーラ、絶縁ゲートバイポーラトランジスタ(IGBT)、CMOS、BiCMOS、及びMEMSを含む種々のプロセスから形成され得る。

40

【0036】

本発明の特許請求の範囲内で、説明した例示の実施例に改変が成され得、他の実施例も可能である。

【図面】

【図 1】

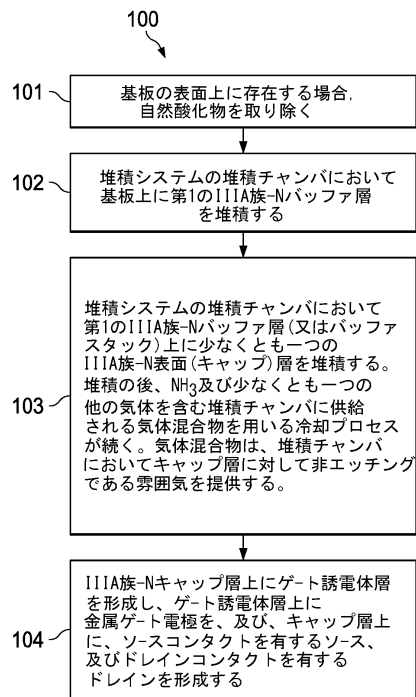


FIG. 1

【図 2】

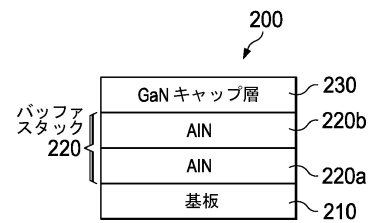


FIG. 2

10

20

【図 3 A】

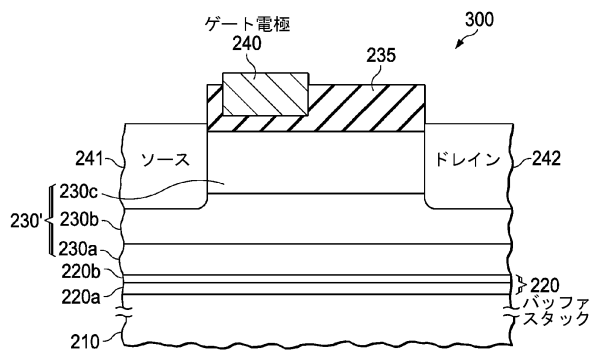


FIG. 3A

【図 3 B】

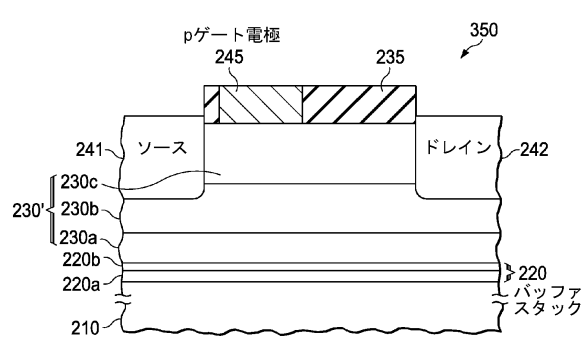


FIG. 3B

30

40

50

【 図 3 C 】

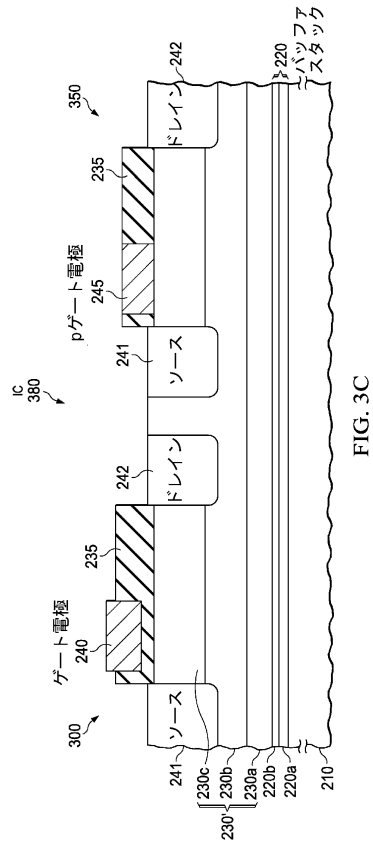


FIG. 3C

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/808 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

0 9

審査官 田中 崇大

(56)参考文献

特開 2 0 1 5 - 1 8 5 8 0 9 (J P , A)

特開 2 0 0 1 - 3 2 0 0 8 4 (J P , A)

特開 2 0 0 3 - 0 3 1 8 4 5 (J P , A)

特開 2 0 0 7 - 1 8 4 3 5 3 (J P , A)

特開 2 0 0 8 - 0 9 8 6 0 3 (J P , A)

特開 2 0 1 4 - 1 9 7 6 4 5 (J P , A)

特開 2 0 1 5 - 1 9 2 0 2 6 (J P , A)

特開 2 0 1 3 - 0 7 4 2 0 9 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 2 0 5

H 0 1 L 2 1 / 3 3 8

H 0 1 L 2 1 / 3 3 7

H 0 1 L 2 1 / 3 3 6