

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 21/24

(11) 공개번호 특2002 - 0002545
(43) 공개일자 2002년01월10일

(21) 출원번호 10 - 2000 - 0036752
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136 - 1
(72) 발명자 이윤직
충청북도청주시흥덕구가경동1189형석1차아파트105 - 1208
(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 소자의 실리사이드막 형성 방법

요약

실리사이드막을 이용한 콘택 형성시 기관의 식각손실을 억제하고 균일한 실리사이드막을 형성하는데 적합한 실리사이드막 형성 방법에 관한 것으로, 본 발명의 실리사이드막 형성 방법은 실리콘층 표면에 질소원자를 포함하는 분위기에서 질화처리하여 질화층을 형성하는 단계; 및 상기 질화층 상에 플라즈마기상증착법으로 티타늄실리사이드막을 형성하는 단계를 포함하여 이루어진다.

대표도
도 4c

색인어
실리사이드막, 티타늄실리사이드, 질화처리, 콘택홀, 금속배선

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 티타늄실리사이드막의 형성 방법을 나타낸 공정 단면도,

도 2는 종래기술에 따른 티타늄 증착전(a)과 증착후(b)의 콘택 단면도,

도 3은 종래기술에 따른 티타늄 증착후의 실리콘 표면을 나타낸 이미지,

도 4a 내지 도 4c는 본 발명의 실시예에 따른 티타늄실리사이드막의 형성 방법을 나타낸 공정 단면도,

도 5는 종래기술과 본 발명의 실시예에 따른 NH_3 처리시간에 따른 실리콘의 식각 두께를 나타낸 도면,

도 6은 본 발명의 실시예에 따른 NH_3 처리 시간에 따른 티타늄실리사이드의 반사율을 나타낸 도면.

*도면의 주요 부분에 대한 부호의 설명

11 : 실리콘기판 12 : 층간절연막

13 : 질화층 14 : 티타늄실리사이드

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 금속콘택에 있어 콘택저항을 낮추기 위한 금속실리사이드막의 형성 방법에 관한 것이다.

일반적으로, 반도체 소자에 금속콘택(Metal contact)을 형성할 때 콘택 저항을 낮추기 위해서 금속실리사이드(Metal silicide)를 형성하는데, 종래기술은 물리기상증착법(Physical Vapor Deposition; 이하 PVD)에 의해 실리콘 기판에 티타늄 (Ti)을 증착한 후 열처리를 하여 티타늄실리사이드(TiSi)를 형성한다.

이 때, 산소 등의 불순물 침투에 의해 티타늄실리사이드가 응집되는 현상을 방지하기 위해 티타늄 상에 금속질화막 예를 들면, TiN을 증착한 후 열처리하는 방법이 사용되기도 한다.

그러나, 반도체 소자의 집적도가 증가하면서 콘택홀 크기가 점점 감소함에 따라 PVD법에 의해 증착된 티타늄막의 피복성(Step coverage)이 문제되고 있다. 즉, 콘택홀 크기가 줄어들면 콘택홀 바닥에 일정두께 이상의 티타늄실리사이드막을 형성하기 위해서 증착해야 하는 티타늄의 양이 늘어나게 되고, 이로 인해 콘택홀 입구가 좁아져 배리어막(Barrier layer)을 증착한 후 금속플러그(Metal plug)를 형성할 때 완전히 채워지지 않는 문제가 있다.

이러한 문제를 해결하기 위해 화학기상증착법(Chemical Vapor Deposition; 이하 CVD)에 의한 티타늄 증착법이 제안되었다. 이 방법은 TiCl_4 기체를 H_2/Ar 또는 SiH_4/Ar 플라즈마에 유입하여 TiCl_4 와 H_2 또는 SiH_4 의 반응에 의해 티타늄이 증착되는 방법으로, 고온에서 증착하므로 실리콘기판 상에서는 인시튜(In-situ) 티타늄실리사이드막을 형성한다. 따라서 CVD법의 특징인 우수한 바닥피복성(Bottom coverage)을 보일뿐만 아니라 인시튜로 티타늄실리사이드를 형성하므로 PVD의 경우와는 달리 실리사이드를 형성하기 위한 고온 열처리 공정이 필요없다는 장점이 있다. 티타늄실리사이드 증착시 TiCl_4/H_2 또는 $\text{TiCl}_4/\text{SiH}_4$ 유량비를 변화시키면서 증착하기도 한다.

도 1은 종래의 PECVD법을 이용하여 티타늄실리사이드 콘택을 형성하는 방법으로, 실리콘기판(1)에 증착한 절연막(2)에 콘택홀을 형성하고 콘택바닥의 불순물 또는 자연산화막을 제거해주기 위한 전세정(Precleaning)을 실시한다.

이어 TiCl_4 기체와 H_2/Ar 플라즈마, 또는 TiCl_4 기체와 SiH_4/Ar 플라즈마를 이용하여 콘택홀 바닥의 실리콘 기판(1)이 드러난 부분에 티타늄실리사이드(3)를 원하는 두께만큼 형성시킨다. 이 때, TiCl_4/H_2 , 또는 $\text{TiCl}_4/\text{SiH}_4$ 유량비를 증착 중에 변화시키기도 한다.

그러나 PECVD법을 이용한 티타늄실리사이드 공정에 사용되는 소스기체인 $TiCl_4$ 와 $TiCl_4/H_2$ 또는 $TiCl_4/SiH_4$ 의 반응 부산물인 HCl 등에 의해 실리콘기판(1)의 식각이 일어나 접합깊이가 줄어드는 효과가 있어 누설전류가 증가하고, 실리사이드와 실리콘의 계면에서의 도핑 농도 감소로 인해 콘택저항이 증가하는 문제점이 있다. 또한 고온 증착 공정이므로 티타늄과 실리콘의 급격한 반응 또는 티타늄 실리사이드의 응집 현상에 의해 실리사이드/실리콘 계면이 거칠어지는 단점이 있다.

도 2a 및 도 2b는 콘택홀이 형성된 실리콘기판에 PECVD(Plasma Enhanced CVD)법으로 티타늄실리사이드를 형성하기 전 후의 단면을 주사전자현미경(Scanning Electron Microscope; SEM)으로 관찰한 결과이다.

도 2b에 도시된 바와 같이, 약 10nm 두께의 티타늄실리사이드 증착 후의 사진을 보면 증착전과 비교해서 실리콘 표면이 아래로 수십 nm만큼 이동한 것을 알 수 있다.

여기서, 10nm의 티타늄 실리사이드가 형성될 때 소비되는 실리콘의 두께는 10nm 미만이므로, 티타늄실리사이드 증착시 $TiCl_4$ 또는 HCl 등 실리콘 식각성 기체인 Cl을 포함하는 기체종에 노출된 실리콘이 $SiCl_x$ 형태로 식각되었다는 것을 알 수 있다.

도 3은 실리콘 기판에 PECVD법으로 티타늄실리사이드를 증착한 후 티타늄실리사이드를 제거한 실리콘 표면의 AFM 이미지이다.

도 3에 도시된 바와 같이, PECVD법을 이용한 티타늄 증착 후, 실리콘 표면이 매우 거칠어진 것을 확인할 수 있으며, 이로부터 티타늄 증착 후 열처리에 의해 티타늄 실리사이드를 형성한 경우에 비해 PECVD 법은 실리사이드와 실리콘 계면의 거칠기도 더 큰 단점이 있음을 알 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, PECVD법을 이용하여 티타늄 증착시 $TiCl_4$ 기체를 증착 챔버내로 유입하기 전에 NH_3 또는 N_2 기체, 또는 그 플라즈마를 이용하여 실리콘 표면을 짧은 시간동안 질화처리해주므로써 실리콘 기판 표면에 얇은 보호층을 형성시켜 이후 $TiCl_4$ 기체 유입 및 티타늄 증착시 발생하는 Cl 포함 기체들에 의한 실리콘 기판 식각 현상을 억제하고 보다 균일한 티타늄 실리사이드 박막을 형성하는데 적합한 실리사이드막의 형성 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기의 목적을 달성하기 위한 본 발명의 실리사이드막 형성 방법은 실리콘층표면에 질소원자를 포함하는 분위기에서 질화처리하여 질화층을 형성하는 단계; 및 상기 질화층 상에 플라즈마기상증착법으로 티타늄실리사이드막을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 4a 내지 도 4c는 본 발명의 실시예에 따른 티타늄실리사이드막의 형성 방법을 나타낸 도면이다.

도 4a에 도시된 바와 같이, 실리콘기판(11) 상에 절연막(12)을 증착하고 상기 절연막(12)을 식각하여 상기 실리콘기판(11)의 소정 표면이 노출되는 콘택홀을 형성한다. 이어 상기 콘택홀 바닥의 불순물 또는 자연산화막을 제거하기 위한 전세정 공정을 실시한다.

도 4b에 도시된 바와 같이, 이어 NH_3 또는 N_2 기체를 유입하여, 또는 NH_3 및 N_2 플라즈마 분위기에서 상기 콘택홀에 의해 노출된 실리콘기판(11)을 질화처리한다. 이 때, 상기 질화처리에 의해 상기 실리콘기판(11)의 표면에는 얇은 질화층(13)이 형성되거나, 질화처리 시간이 짧은 경우에는 수 원자층 두께의 질소흡착층이 형성된다.

이러 TiCl_4/H_2 또는 $\text{TiCl}_4/\text{SiH}_4$ 기체를 유입하여 PECVD법으로 콘택홀 바닥에 티타늄실리사이드(14)를 증착한다.

여기서, 상기 티타늄실리사이드(14)의 증착은 다음 식과 같이 이루어진다.

화학식 1



이 때, 티타늄 증착의 소오스로 사용되는 TiCl_4 기체는 Cl을 포함하고 있어 티타늄은 물론이고 실리콘도 식각할 수 있는 기체이며, 화학식1에서 반응부산물로 생성되는 HCl도 실리콘과 반응하여 SiCl_x 형태의 화합물을 형성하므로써 실리콘 기판을 식각시킬 수 있는 물질이다.

따라서, 상기와 같이 티타늄실리사이드 증착 전에 콘택홀 바닥의 실리콘기판 표면을 질화처리하여 보호층을 형성하므로써 TiCl_4 나 HCl 기체가 실리콘기판과 반응하는 것을 방지하여 주므로 실리콘 기판이 식각되는 양을 감소시킬 수 있다.

또한 급격한 실리사이드 형성 반응을 억제하여 TiCl_4 기체에서 분리된 티타늄 원자와 실리콘이 보다 균일하게 반응이 일어날 수 있도록 반응을 제어해주는 역할을 하므로써 실리콘과 실리사이드의 계면의 거칠기를 감소시켜 줄 수 있다.

그리고, 상기 질화열처리는 티타늄실리사이드 증착용 플라즈마기상증착장치에서 이루어진다.

도 5 는 종래의 PECVD법에 의한 티타늄실리사이드를 증착한 경우와 본 발명의 실시예에 따른 NH_3 처리를 한 후, PECVD법에 의해 티타늄실리사이드를 증착한 경우의 실리콘기판의 식각두께를 비교한 그래프로서, PECVD법에 의한 티타늄 증착 시간은 동일하였으며 이 때 증착된 티타늄실리사이드의 두께도 거의 차이가 없으므로 NH_3 처리에 의한 증착 속도의 감소는 없다.

도 5에 도시된 바와 같이, NH_3 처리를 해준 경우, 실리콘기판의 식각량이 줄어들을 알 수 있으며, NH_3 처리 시간이 길어질수록 실리콘기판의 식각량이 줄어들고 있음을 알 수 있다.

도 6 은 NH_3 처리 시간에 따른 티타늄실리사이드의 반사율 그래프로서, NH_3 처리 시간이 길어질수록 반사율이 증가하여 그 균일성도 좋아지는 것을 알 수 있으며, 이는 PECVD법에 의한 티타늄실리사이드 증착 전에 실리콘기판의 표면을 질화처리해주므로써 보다 부드러운 티타늄실리사이드 박막이 증착됨을 의미한다.

본 발명의 제 2 실시예로서, 실리콘 기판 상에 PVD법 또는 CVD법으로 티타늄질화막(TiN)을 증착한 다음, 그 상부에 PECVD법으로 티타늄실리사이드(TiSi)를 증착한다.

본 발명의 제 3 실시예로서, 실리콘기판을 NH_3 또는 N_2 를 포함한 기체 분위기에서 열처리한 후 그 상부에 PECVD법으로 티타늄실리사이드막을 형성한다.

본 발명의 제 4 실시예로서, 실리콘기판을 NH_3 또는 N_2 플라즈마 처리해준 후, 그 상부에 PECVD법으로 티타늄실리사이드막을 형성한다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 티타늄실리사이드막을 형성하기 전에 실리콘 표면을 질화처리하여 질화층을 형성하여 주므로써 TiCl_4 및 HCl 기체에 의한 실리콘기판의 식각량을 감소시켜 유효접합깊이의 감소를 최소화하여 티타늄실리사이드 증착에 의해 발생하는 누설전류를 억제할 수 있는 효과가 있다.

또한, 실리콘 표면의 질화처리에 의해 실리콘의 식각량을 최소화하므로 실리콘에 포함된 도펀트의 감소를 억제하여 콘택저항의 증가를 방지할 수 있으며, 질화층이 급격한 실리사이드 반응을 억제하여 보다 균일한 실리사이드막을 형성시켜 주므로 부드러운거칠기를 갖는 실리사이드/실리콘 계면을 확보할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1.

반도체 소자의 제조 방법에 있어서,

실리콘층 표면에 질소원자를 포함하는 분위기에서 질화처리하여 질화층을 형성하는 단계; 및

상기 질화층 상에 플라즈마기상증착법으로 티타늄실리사이드막을 형성하는 단계

를 포함하여 이루어짐을 특징으로 하는 실리사이드막 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 질화처리는 NH_3 또는 N_2 기체 분위기에서 열처리하는 것을 특징으로 하는 실리사이드막 형성 방법.

청구항 3.

제 1 항에 있어서,

상기 질화처리는 NH_3 플라즈마 또는 N_2 플라즈마 분위기에서 이루어지는 것을 특징으로 하는 실리사이드막 형성 방법

청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 열처리는 티타늄실리사이드막 형성용 플라즈마기상증착장치에서 이루어지는 것을 특징으로 하는 실리사이드막 형성 방법.

청구항 5.

제 1 항에 있어서,

상기 실리콘층은 콘택홀에 의해 노출된 콘택영역임을 특징으로 하는 실리사이드막 형성 방법.

청구항 6.

반도체 소자의 제조 방법에 있어서,

실리콘층상에 티타늄질화막을 증착하는 단계; 및

상기 티타늄질화막상에 플라즈마기상증착법을 이용하여 티타늄실리사이드막을 증착하는 단계

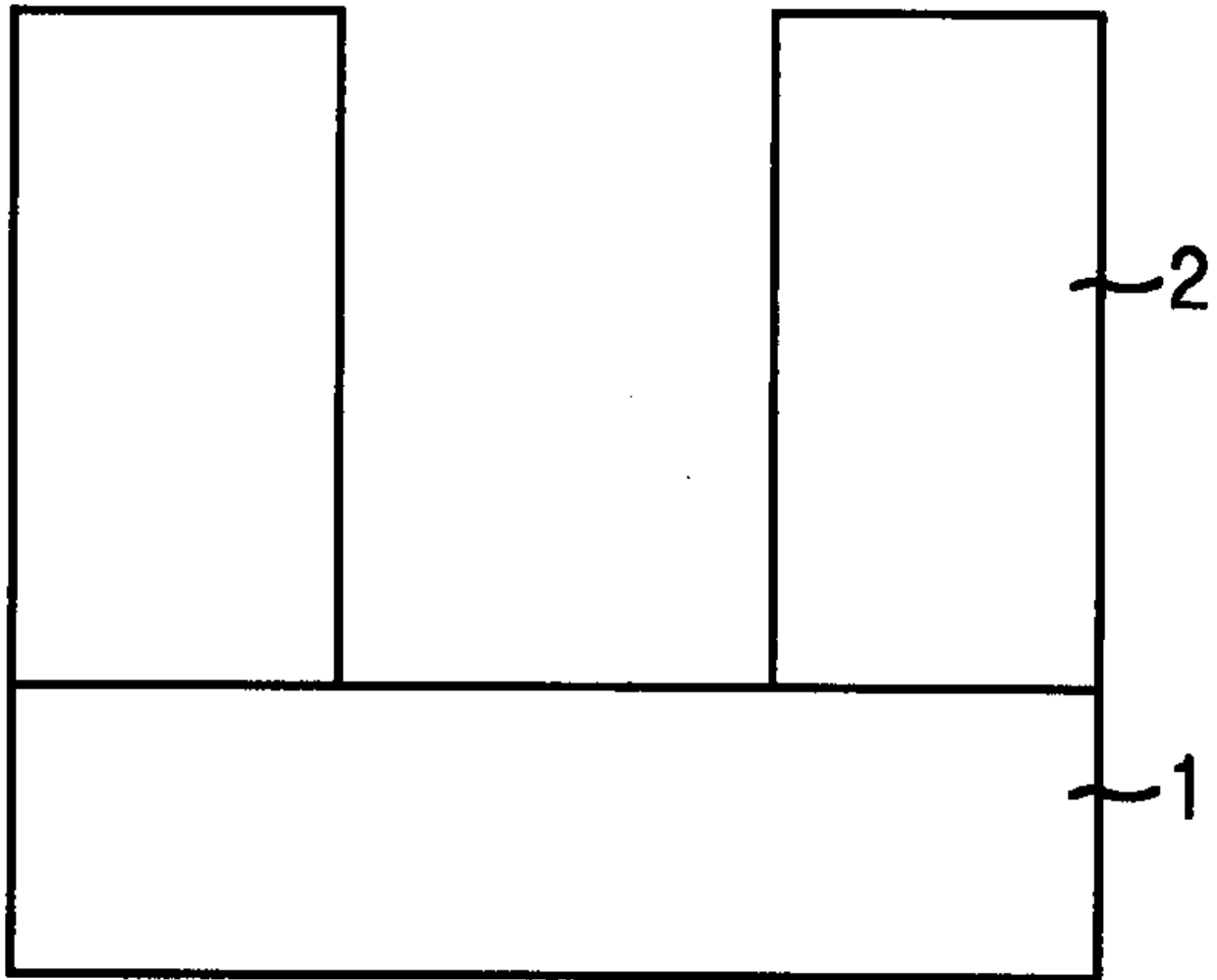
를 포함하여 이루어짐을 특징으로 하는 실리사이드막 형성 방법.

청구항 7.

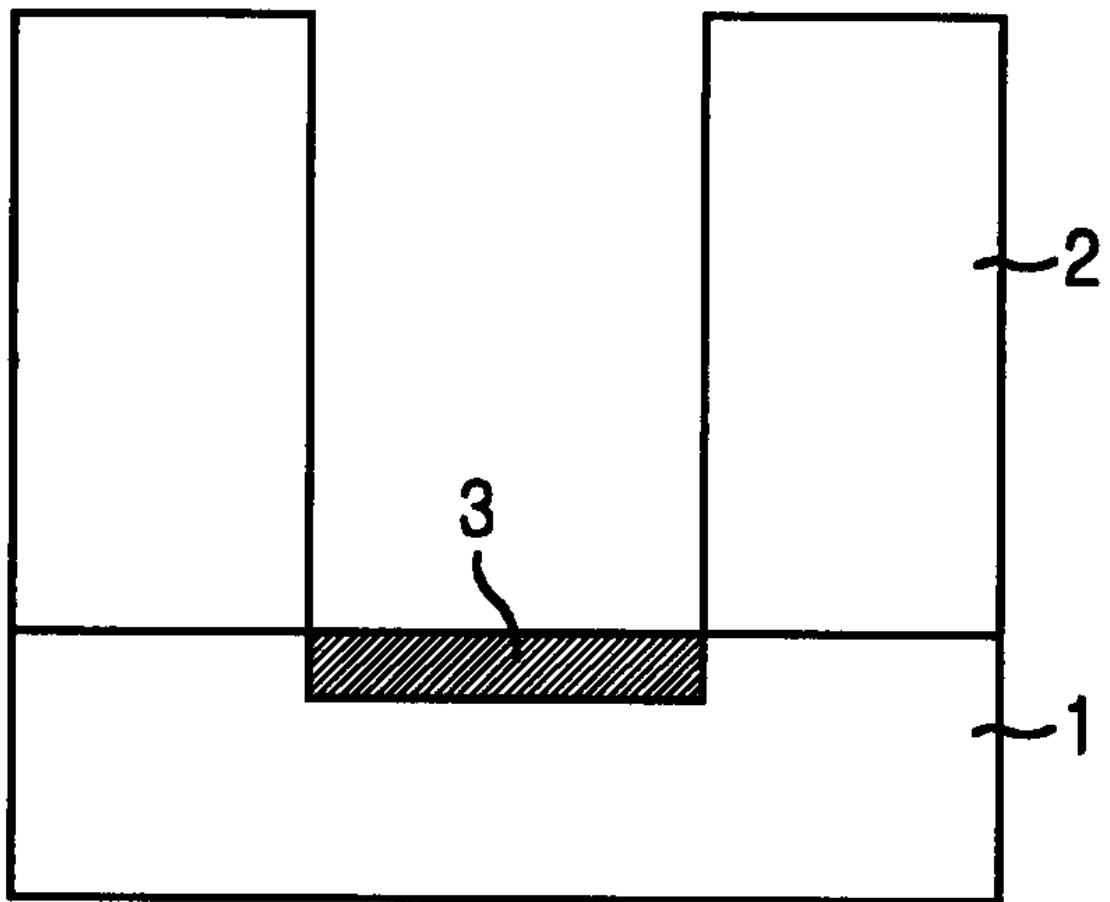
제 6 항에 있어서,

상기 티타늄질화막은 물리적기상증착법 또는 화학기상증착법 중 어느 하나를 이용하여 증착되는 것을 특징으로 하는 실리콘사이드막 형성 방법.

도면 1a



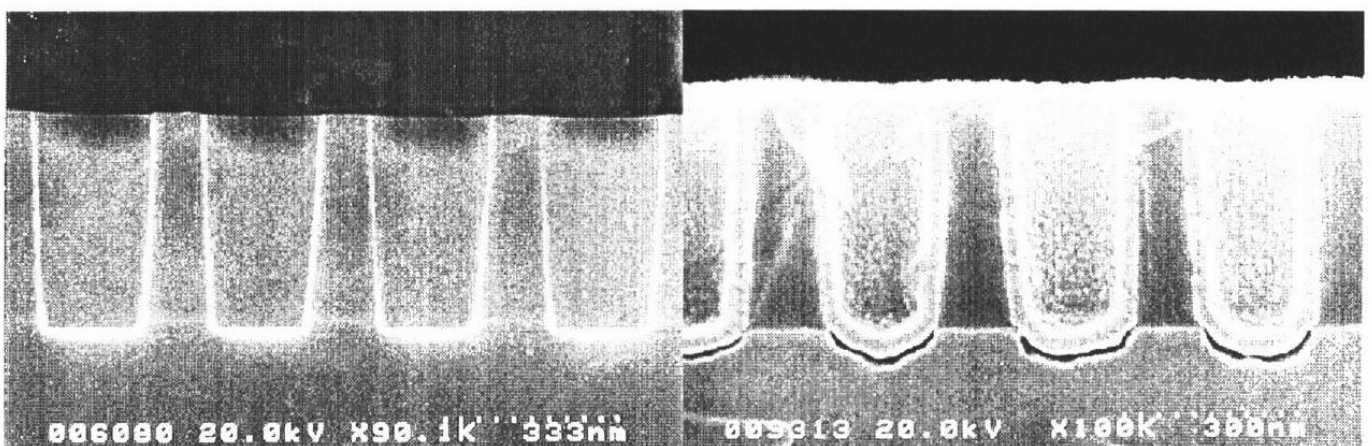
도면 1b



도면 2

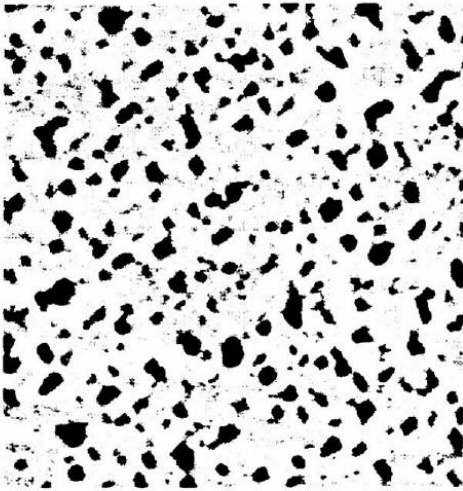
(a)

(b)

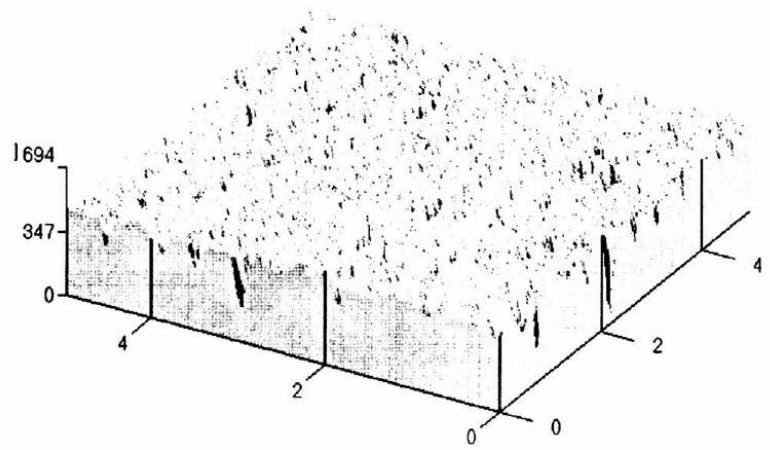


도면 3

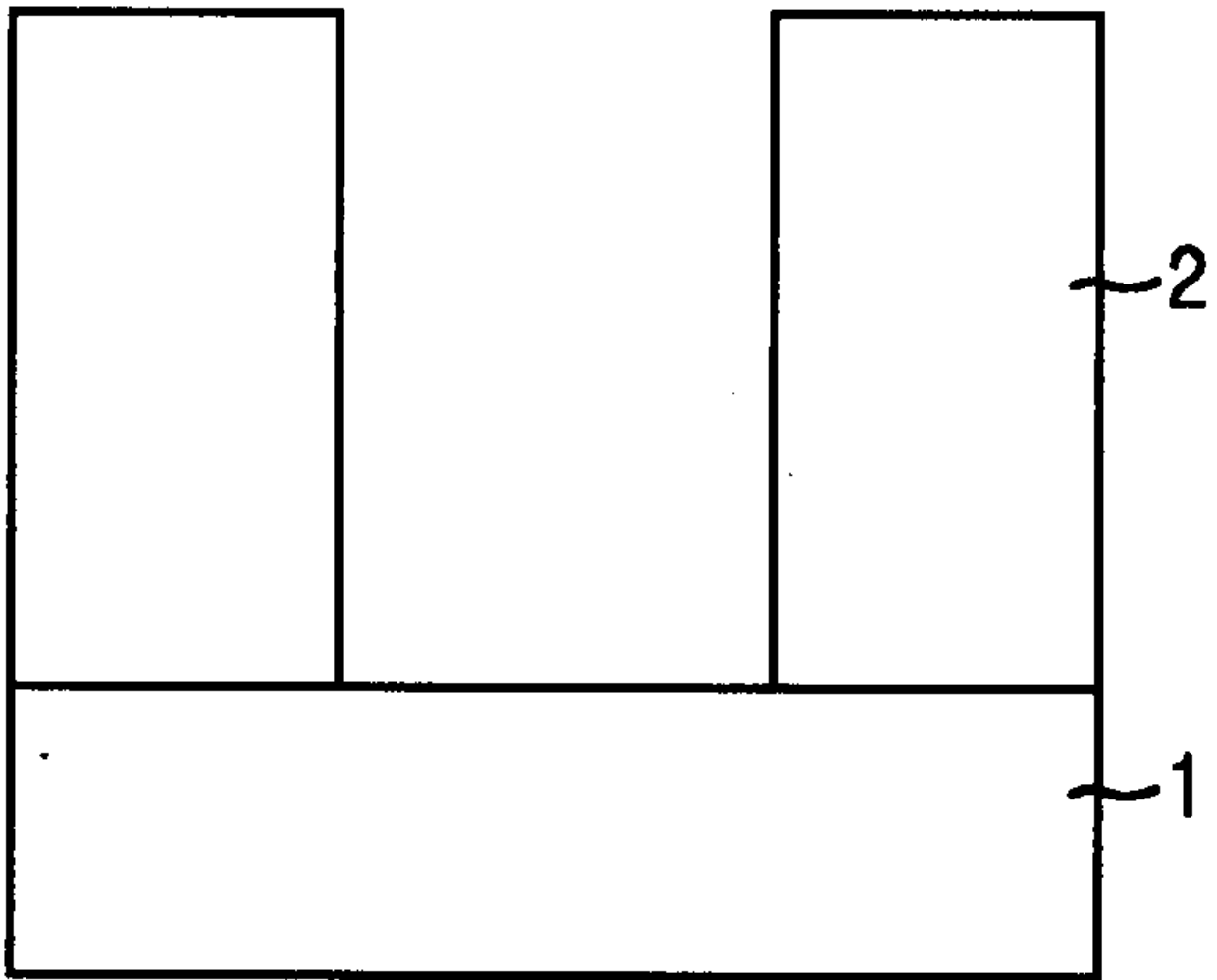
(a)



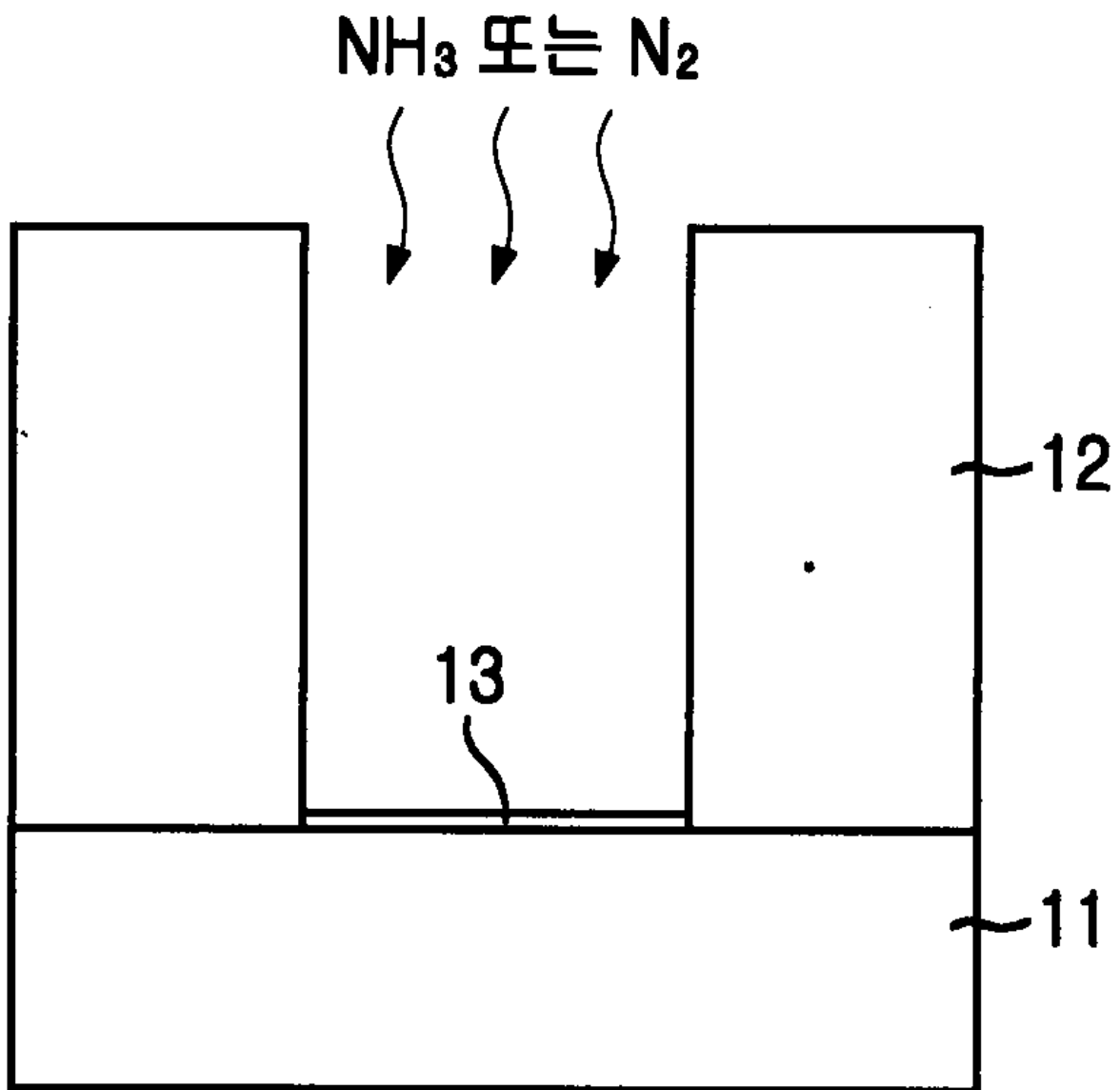
(b)



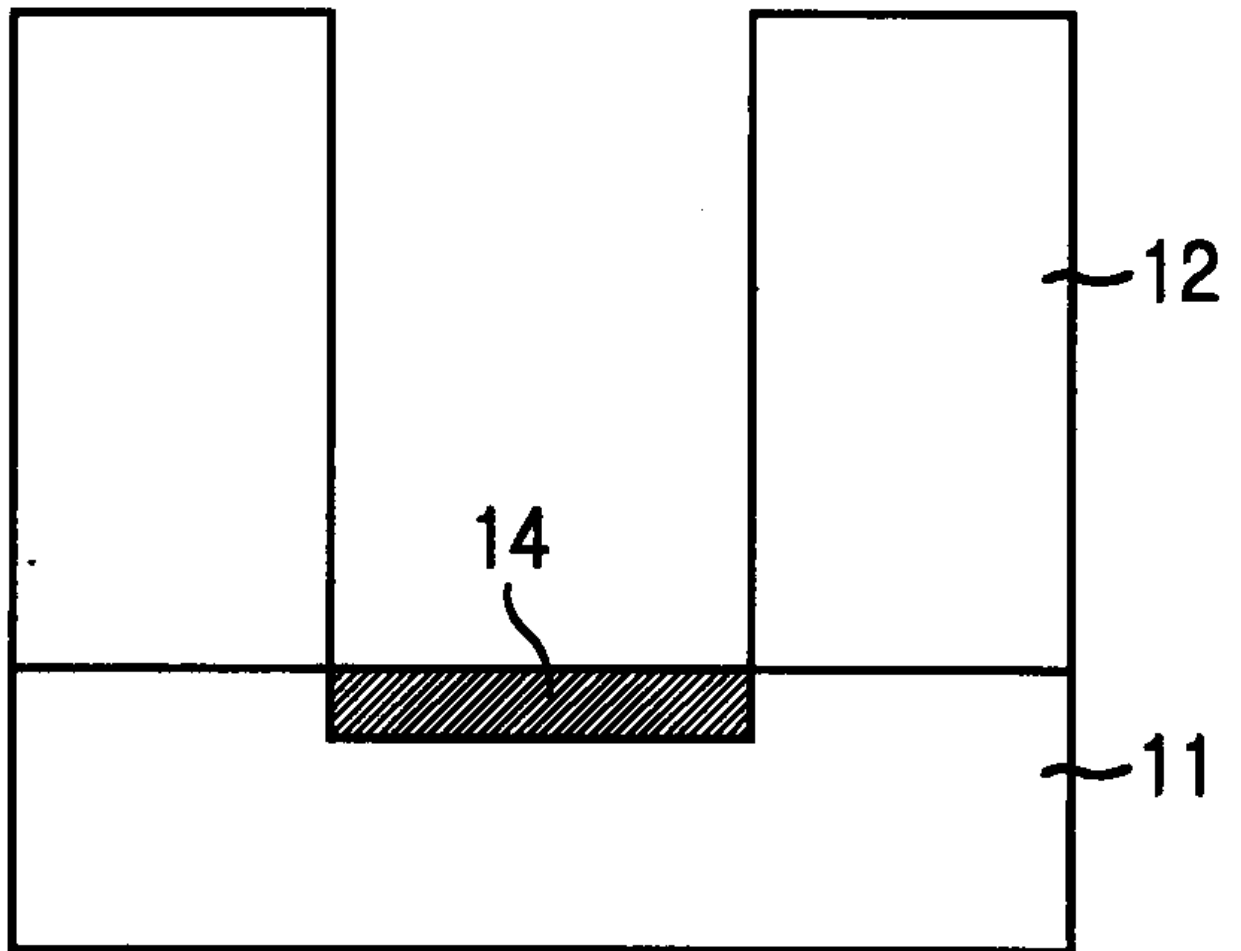
도면 4a



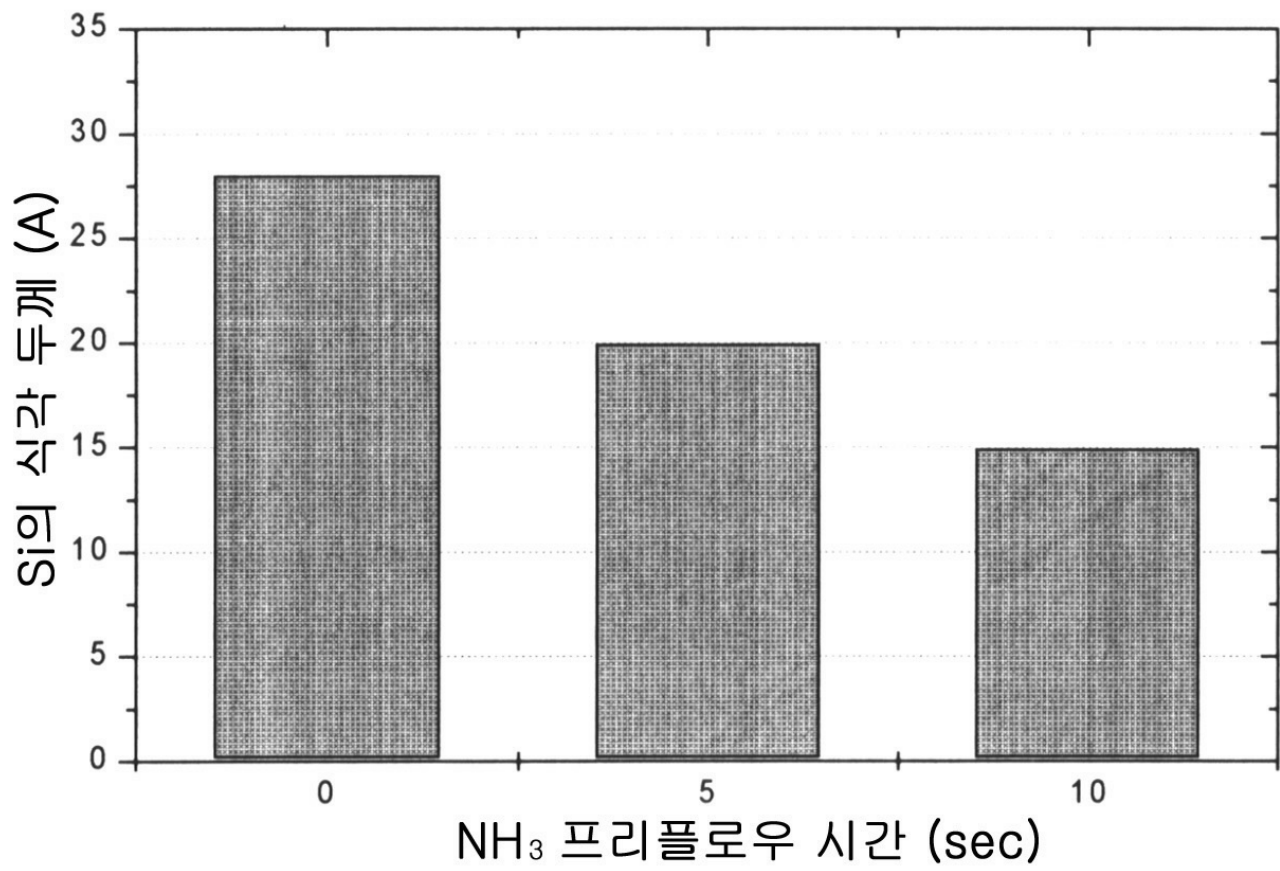
도면 4b



도면 4c



도면 5



도면 6

