

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局



(43) 国际公布日  
2019年1月10日 (10.01.2019)

(10) 国际公布号  
**WO 2019/006812 A1**

- (51) 国际专利分类号:  
**G09G 3/36** (2006.01)
- (21) 国际申请号: PCT/CN2017/095743
- (22) 国际申请日: 2017年8月3日 (03.08.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201710537062.X 2017年7月4日 (04.07.2017) CN
- (71) 申请人: 深圳市华星光电技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 李文英 (LI, Wenying); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (74) 代理人: 北京聿宏知识产权代理有限公司(YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中国北京市西城区宣武门外大街6号庄胜广场第一座西翼713室吴大建/陈伟, Beijing 100052 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY APPARATUS

(54) 发明名称: GOA电路及液晶显示装置

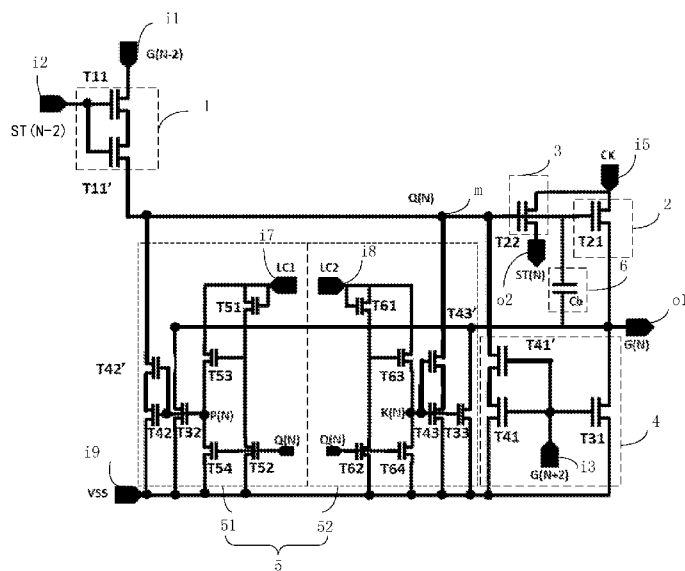


图 3

(57) Abstract: A GOA circuit and a liquid crystal display apparatus. The GOA circuit comprises a plurality of cascaded GOA sub-circuits, wherein in a pull-down unit (4) of the GOA sub-circuit, connection is carried out by means of the serial connection of a first thin film transistor (T41') and a second thin film transistor (T41). The connection method reduces the leakage current at a Q point in a GOA circuit, improves the stability of the GOA circuit in a severe environment, and enhances the reliability of a liquid crystal panel.

(57) 摘要: 一种GOA电路及液晶显示装置, GOA电路包括多个级联的GOA子电路, GOA子电路的下拉单元(4)中采用第一薄膜晶体管(T41')与第二薄膜晶体管(T41)串联的方式进行连接, 这种连接方式降低了GOA电路中Q点处的漏电流, 提升了恶劣环境下GOA电路的稳定性, 增强了液晶面板的可靠性。



WO 2019/006812 A1

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW。

- (84)** 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 发明人资格 (细则4.17(iv))

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

## GOA 电路及液晶显示装置

本申请要求享有 2017 年 7 月 4 日提交的名称为“GOA 电路及液晶显示装置”的中国专利申请 201710537062.X 的优先权，其全部内容通过引用并入本文中。

### 技术领域

本发明涉及液晶显示器技术领域，尤其涉及一种 GOA 电路及液晶显示装置。

### 背景技术

液晶显示器以其高显示品质、价格低廉、携带方便等优点，成为在移动通讯设备、电脑、电视等的显示终端。目前普遍采用的电视液晶显示器的面板驱动技术逐渐趋向于采用阵列基板行驱动(Gate Driver on Array, 简称 GOA)技术，其运用平板显示面板的原有制程，将面板水平扫描线的驱动电路制作在显示区周围的基板上，GOA 技术能简化平板显示面板的制作工序，省去水平扫描线方向的绑定 (bonding) 工艺，可提升产能并降低产品成本，同时可以提升显示面板的集成度使之更适合制作窄边框或无边框显示产品，满足现代人们的视觉追求。

在液晶显示器中，每个像素具有一个薄膜晶体管 (Thin Film Transistor, 简称 TFT)，其栅极连接至扫描线，漏极连接至数据线，源极则连接至像素电极。在扫描线上施加足够的电压，会使得该条线上的所有薄膜晶体管打开，此时数据线上的显示信号电压写入像素，以控制不同液晶的透光度进而达到控制色彩的效果。

现有的 GOA 电路通常包括级联的多个 GOA 单元，每一级 GOA 单元对应驱动一级水平扫描线。GOA 单元主要包括有上拉电路 (Pull-up part)、上拉控制电路 (Pull-up control part)，下传电路 (Transfer Part)、下拉电路 (Key Pull-down Part) 和下拉维持电路 (Pull-down Holding Part)，以及负责电位抬升的自举 (Boast) 电容。其中，上拉电路主要负责将时钟信号 (Clock) 输出为栅极 (Gate) 信号；上拉控制电路负责控制上拉电路的打开时间，一般连接前面级 GOA 单元传递过来的下传信号或者 Gate 信号；下拉电路负责在第一时间将 Gate 信号拉低为低电位，即关闭 Gate 信号；下拉维持电路则负责将 Gate 输出信号和上拉电路的 Gate 信号维持在关闭状态，通常有两个下拉维持模块交替作用；自举电容 (C boast) 则负责 Q 点的二次抬升，这样有利于上拉电路的 G (N) 输

出。

如图 1 所示,在现有技术中,用于平板显示的 GOA 电路的一种多级连接方法,其中,第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压 VSS、及 4 个高频时钟信号 CK1 ~ CK4 的金属线放置于面板左右两侧各级 GOA 电路的外围。数个提供数据信号的数据线,数个提供扫描信号的扫描线,数个像素 P 阵列排布,每一像素 P 电性连接于一条数据线及一条扫描线;数个移位寄存器依序排列 S(n-3) (图中未示出)、S(n-2) (图中未示出)、S(n-1) (图中未示出)、S(n) (图中未示出),每一移位寄存器分别输出一栅极信号,以扫描显示装置中对应的扫描线(gate line),各移位寄存器分别电性连接第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压 VSS 以及四个高频时钟信号 CK1 ~ CK4 中的一个高频时钟信号。具体地,第 n 级 GOA 电路分别接受第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压 VSS、高频时钟信号 CK1 ~ CK4 中的 1 个高频时钟信号、第 n-2 级 GOA 电路产生的 G(n-2) 信号和启动信号 ST(n-2)、第 n+2 级 GOA 电路产生的 G(n+2) 信号,并产生 G(n)、ST(n) 和 Q(n)信号。

图 2 所示为外界条件恶化时的 Q 点电压,从图 2 可知,Q 点电压不能维持(如图 2 中 A 处所示),进而会影响到 GOA 电路的驱动性能。

## 发明内容

本发明提供一种 GOA 电路及液晶显示装置,用以解决现有技术中的 GOA 电路的 Q 点电压不能维持,从而影响 GOA 电路的驱动性能的技术问题。

本发明一方面提供一种 GOA 电路,包括多个级联的 GOA 子电路,每个 GOA 子电路包括上拉控制单元、上拉单元、下传单元、下拉单元、下拉维持单元和自举单元;

其中,上拉控制单元与第一信号输入端、第二信号输入端及第一节点连接,用于在第一信号输入端的控制下将第二信号输入端的电压信号输出至第一节点上;

上拉单元与高频时钟信号输入端、第一信号输出端及第一节点连接,用于将高频时钟信号输入端的时钟信号输入至第一信号输出端;

下传单元与高频时钟信号输入端、第一节点及第二信号输出端相连,用于为另一级 GOA 子电路的第二信号输入端提供电压信号;

下拉维持单元与第一节点、直流低电压输入端、第一低频时钟信号输入端、第二低频时钟信号输入端及第一信号输出端相连,用于将第一信号输出端的输出信号维持在低电位状态;

自举单元与第一节点及第一信号输出端相连,用于抬升第一节点处的电压;

下拉单元包括第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管，其中，第一薄膜晶体管的第一极、第二极和栅极分别与第一节点、第二薄膜晶体管的第一极及第三信号输入端一一对应连接；第二薄膜晶体管的第二极、栅极分别与直流低电压输入端、第三信号输入端一一对应连接；第三薄膜晶体管的第一极、第二极和栅极分别与第一信号输出端、直流低电压输入端及第三信号输入端一一对应连接。

优选的，上拉控制单元包括第四薄膜晶体管和第五薄膜晶体管；

其中，第四薄膜晶体管的第一极、第二极和栅极分别与第一信号输入端、第五薄膜晶体管的第一极和第二信号输入端一一对应连接；

第五薄膜晶体管的第二极和栅极分别与第一节点和第二信号输入端一一对应连接。

优选的，下拉维持单元包括第一下拉维持电路和第二下拉维持电路；

其中，第一下拉维持电路与第一节点、直流低电压输入端、第一低频时钟信号输入端及第一信号输出端相连，用于将第一信号输出端的输出信号维持在低电位状态；

第二下拉维持电路与第一节点、直流低电压输入端、第二低频时钟信号输入端及第一信号输出端相连，用于将第一信号输出端的输出信号维持在低电位状态。

优选的，第一下拉维持电路包括第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管及第十二薄膜晶体管；

其中，第六薄膜晶体管的第一极、第二极和栅极分别与第一节点、第七薄膜晶体管的第一极和第十一薄膜晶体管的第一极一一对应连接；

第七薄膜晶体管的第二极和栅极分别与直流低电压输入端和第十一薄膜晶体管的第一极一一对应连接；

第八薄膜晶体管的第一极、第二极和栅极分别与第一信号输出端、直流低电压输入端和第十一薄膜晶体管的第一极一一对应连接；

第九薄膜晶体管的第一极和栅极均与第一低频时钟信号输入端连接，第九薄膜晶体管的第二极与第十二薄膜晶体管的第一极连接；

第十薄膜晶体管的第一极、第二极和栅极分别与第一低频时钟信号输入端、第十一薄膜晶体管的第一极和第十二薄膜晶体管的第一极一一对应连接；

第十一薄膜晶体管的第二极和栅极分别与直流低电压输入端和第一节点一一对应连接；

第十二薄膜晶体管的第二极和栅极分别与直流低电压输入端和第一节点一一对应连接。

优选的，第二下拉维持电路包括第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜

晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管及第十九薄膜晶体管；

其中，第十三薄膜晶体管的第一极、第二极和栅极分别与第一节点、第十四薄膜晶体管的第一极和第十八薄膜晶体管的第一极一一对应连接；

第十四薄膜晶体管的第二极和栅极分别与直流低电压输入端和第十八薄膜晶体管的第一极一一对应连接；

第十五薄膜晶体管的第一极、第二极和栅极分别与第一信号输出端、直流低电压输入端和第十八薄膜晶体管的第一极一一对应连接；

第十六薄膜晶体管的第一极和栅极均与第二低频时钟信号输入端连接，第十六薄膜晶体管的第二极与第十九薄膜晶体管的第一极连接；

第十七薄膜晶体管的第一极、第二极和栅极分别与第二低频时钟信号输入端、第十八薄膜晶体管的第一极和第十九薄膜晶体管的第一极一一对应连接；

第十八薄膜晶体管的第二极和栅极分别与直流低电压输入端和第一节点一一对应连接；

第十九薄膜晶体管的第二极和栅极分别与直流低电压输入端和第一节点一一对应连接。

优选的，下传单元包括第二十薄膜晶体管，第二十薄膜晶体管的第一极、第二极和栅极分别与高频时钟信号输入端、第二信号输出端和第一节点一一对应连接。

优选的，上拉单元包括第二十一薄膜晶体管，第二十一薄膜晶体管的第一极、第二极和栅极分别与高频时钟信号输入端、第一信号输出端和第一节点一一对应连接。

优选的，自举单元包括电容，电容的第一端与第一节点相连，电容的第二端与第一信号输出端相连。

优选的，第一极为漏极，第二极为源极。

本发明另一方面提供一种液晶显示装置，包括上述的 GOA 电路。

在本发明提供的 GOA 电路及液晶显示装置中，下拉单元中采用第一薄膜晶体管与第二薄膜晶体管串联的方式，这种方式降低了 GOA 电路中 Q 点处（即第一节点 m 处）的漏电流，并且由于第一薄膜晶体管与第二薄膜晶体管串联，使得第一薄膜晶体管或第二薄膜晶体管上承载的电压减小，在一定程度上减弱了第一薄膜晶体管或第二薄膜晶体管的恶化速度，提高了其使用寿命，从而提升了恶劣环境下 GOA 电路的稳定性，也增强了液晶面板的可靠性。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图 1 为现有技术中的 GOA 多级驱动架构示意图；

图 2 为现有技术中的 GOA 电路 Q 点处的电压波形图；

图 3 为本发明实施例提供的 GOA 子电路的结构示意图；

图 4 为本发明实施例提供的各信号时序图；

图 5 为本发明实施例提供的 GOA 电路 Q 点处的电压波形图。

### 具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

图 3 为本发明实施例提供的 GOA 子电路的结构示意图，如图 3 所示，本发明实施例提供一种 GOA 电路，包括多个级联的 GOA 子电路，每个 GOA 子电路包括上拉控制单元 1、上拉单元 2、下传单元 3、下拉单元 4、下拉维持单元 5 和自举单元 6。

一般的，GOA 电路包括有启动信号 STV，第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压 VSS、及 4 个高频时钟信号 CK1 ~ CK4。启动信号用于启动 GOA 的前 2 级的 T11，以及下拉最后两级的 T31 和 T41，低频信号 LC1 和 LC2 交替的进行 GOA 电路的下拉维持，GOA 电路主要为在 Gate 信号处于关闭状态时，保持 Gn 处于稳定的低电位，同时扫描线所需的 Gn 信号主要通过四个高频信号中的一个输出高电平，使显示面板的栅极信号可以很好地打开，以控制数据 (data) 信号输入像素中的薄膜晶体管中，从而使像素可以正常充放电。

在本实施例中，设置有 4 个高频时钟信号，分别用 CK1-CK4 表示，当然高频时钟信号也可以设置为其他个数，在此不做限定。因此，第 N 级 GOA 子电路分别接受第一低频时钟信号 LC1、第二低频时钟信号 LC2、直流低电压信号 VSS、高频时钟信号 CK1-CK4 中的一个、第 N-2 级 GOA 子电路产生的第 N-2 级栅极信号 G(N-2) (由第 N-2 级 GOA 子电路的第一信号输出端 o1 输出) 和第 N-2 级启动信号 ST(N-2) (由第 N-2 级 GOA 子电路的第二信号输出端 o2 输出) 及第 N+2 级 GOA 子电路产生的第 N+2 级栅极信号 G(N+2) (由第 N+2 级 GOA 子电路的第一信号输出端 o1 输出)，并产生第 N 级栅极信号 G(N)、第 N 级下传信号 ST(N) (即第 N+2 级 GOA 子电路的启动信号 ST(N)) 和第一节点 m 处

的第 N 级第一节点输出信号 Q(N)。

在本实施例中，以第 N 级 GOA 子电路为例进行说明，其中，第一信号输入端 i1 提供的信号为第 N-2 级 GOA 子电路产生的第 N-2 级栅极信号 G(N-2)；第二信号输入端 i2 提供的信号为第 N-2 级 GOA 子电路产生的第 N-2 级下传信号 ST(N-2)；第三信号输入端 i3 提供的信号为第 N+2 级 GOA 子电路产生的第 N+2 级栅极信号 G(N+2)。第一信号输出端 o1 输出的信号为第 N 级 GOA 子电路产生的第 N 级栅极信号 G(N)，第一信号输出端 o1 与扫描线连接，以将第 N 级栅极信号 G(N)提供给第 N 级扫描线；第二信号输出端 o2 输出的信号为第 N 级 GOA 子电路产生的第 N 级下传信号 ST(N)；第一节点 m 输出的信号为第 N 级 GOA 子电路产生的第 N 级第一节点输出信号 Q(N)。第一低频时钟信号输入端 i7 提供第一低频时钟信号 LC1；第二低频时钟信号输入端 i8 提供第二低频时钟信号 LC2；直流低电压输入端 i9 提供直流低电压信号 VSS；高频时钟信号输入端 i5 提供高频时钟信号 CK1-CK4 中的一个。在本实施例中，对于前 2 级的 GOA 子电路的第一信号输入端 i1 和最后 2 级的 GOA 子电路的第三信号输入端 i3，对其提供外部启动信号 STV。图 4 为上述的各信号时序图，图 4 中 CK(1)、CK(2)、CK(3)和 CK(4)分别表示 CK1 信号、CK2 信号、CK3 信号和 CK4 信号。

其中，上拉控制单元 1 与第一信号输入端 i1、第二信号输入端 i2 及第一节点 m 连接，用于在第一信号输入端 i1 的控制下将第二信号输入端 i2 的电压信号输出至第一节点 m 上。上拉单元 2 与高频时钟信号输入端 i4、第一信号输出端 o1 及第一节点 m 连接，用于将高频时钟信号输入端 i4 的时钟信号输入至第一信号输出端 o1。

下传单元 3 与高频时钟信号输入端 i4、第一节点 m 及第二信号输出端 o2 相连，用于为另一级 GOA 子电路的第二信号输入端 i2 提供电压信号。

下拉维持单元 5 与第一节点 m、直流低电压输入端 i9、第一低频时钟信号输入端 i7、第二低频时钟信号输入端 i8 及第一信号输出端 o1 相连，用于将第一信号输出端 o1 的输出信号维持在低电位状态。

自举单元 6 与第一节点 m 及第一信号输出端 o1 相连，用于抬升第一节点 m 处的电压。

下拉单元 4 包括第一薄膜晶体管 T41'、第二薄膜晶体管 T41 和第三薄膜晶体管 T31，其中，第一薄膜晶体管 T41'的第一极、第二极和栅极分别与第一节点 m、第二薄膜晶体管 T41 的第一极及第三信号输入端 i3 一一对应连接；第二薄膜晶体管 T41 的第二极、栅极分别与直流低电压输入端 i9、第三信号输入端 i3 一一对应连接；第三薄膜晶体管 T31 的第一极、第二极和栅极分别与第一信号输出端 o1、直流低电压输入端 i9 及第三信号输



入端 i3 一一对应连接。下拉单元 4 用于将第 N 级栅极信号 G (N) 拉低为低电位，即关闭第 N 级栅极信号 G (N)。

在本实施例提供的 GOA 电路中，下拉单元 4 中采用第一薄膜晶体管 T41' 与第二薄膜晶体管 T41 串联的方式，即第一薄膜晶体管 T41' 的第一极、第二极和栅极分别与第一节点 m、第二薄膜晶体管 T41 的第一极及第三信号输入端 i3 一一对应连接，第二薄膜晶体管 T41 的第二极、栅极分别与直流低电压输入端 i9、第三信号输入端 i3 一一对应连接，这种方式降低了 GOA 电路中 Q 点处（即第一节点 m 处）的漏电流，并且由于第一薄膜晶体管 T41' 与第二薄膜晶体管 T41 串联，使得第一薄膜晶体管 T41' 或第二薄膜晶体管 T41 上承载的电压减小，在一定程度上减弱了第一薄膜晶体管 T41' 或第二薄膜晶体管 T41 的恶化速度，提高了其使用寿命，从而提升了恶劣环境下 GOA 电路的稳定性，增强了液晶面板的可靠性。

在本发明一个具体实施例中，上拉控制单元 1 包括第四薄膜晶体管 T11 和第五薄膜晶体管 T11'；其中，第四薄膜晶体管 T11 的第一极、第二极和栅极分别与第一信号输入端 i1、第五薄膜晶体管 T11' 的第一极和第二信号输入端 i2 一一对应连接；第五薄膜晶体管 T11' 的第二极和栅极分别与第一节点 m 和第二信号输入端 i2 一一对应连接。

上述上拉控制单元 1 中第四薄膜晶体管 T11 和第五薄膜晶体管 T11' 也采用串联方式进行连接，从而进一步降低了 GOA 电路中 Q 点处的漏电流，并且由于第四薄膜晶体管 T11 和第五薄膜晶体管 T11' 串联，使得第四薄膜晶体管 T11 或第五薄膜晶体管 T11' 上承载的电压减小，在一定程度上减弱了第四薄膜晶体管 T11 或第五薄膜晶体管 T11' 的恶化速度，提高了其使用寿命，从而提升了恶劣环境下 GOA 电路的稳定性，增强了液晶面板的可靠性。

在本发明一个具体实施例中，下拉维持单元 5 包括第一下拉维持电路 51 和第二下拉维持电路 52；其中，第一下拉维持电路 51 与第一节点 m、直流低电压输入端 i9、第一低频时钟信号输入端 i7 及第一信号输出端 o1 相连，用于将第一信号输出端 o1 的输出信号维持在低电位状态；第二下拉维持电路 52 与第一节点 m、直流低电压输入端 i9、第二低频时钟信号输入端 i8 及第一信号输出端 o1 相连，用于将第一信号输出端 o1 的输出信号维持在低电位状态。第一低频时钟信号输入端 i7 提供的第一低频时钟信号 LC1 和第二低频时钟信号输入端 i8 提供的第二低频时钟信号 LC2 交替的进行 GOA 子电路的下拉维持，以将栅极信号和上拉单元 2 的输出信号维持在关闭状态。

在本发明另一个具体实施例中，第一下拉维持电路 51 包括第六薄膜晶体管 T42'、第七薄膜晶体管 T42、第八薄膜晶体管 T32、第九薄膜晶体管 T51、第十薄膜晶体管 T53、

第十一薄膜晶体管 T54 及第十二薄膜晶体管 T52；其中，第六薄膜晶体管 T42' 的第一极、第二极和栅极分别与第一节点 m、第七薄膜晶体管 T42 的第一极和第十一薄膜晶体管 T54 的第一极一一对应连接；第七薄膜晶体管 T42 的第二极和栅极分别与直流低电压输入端 i9 和第十一薄膜晶体管 T54 的第一极一一对应连接；第八薄膜晶体管 T32 的第一极、第二极和栅极分别与第一信号输出端 o1、直流低电压输入端 i9 和第十一薄膜晶体管 T54 的第一极一一对应连接；第九薄膜晶体管 T51 的第一极和栅极均与第一低频时钟信号输入端 i7 连接，第九薄膜晶体管 T51 的第二极与第十二薄膜晶体管 T52 的第一极连接；第十薄膜晶体管 T53 的第一极、第二极和栅极分别与第一低频时钟信号输入端 i7、第十一薄膜晶体管 T54 的第一极和第十二薄膜晶体管 T52 的第一极一一对应连接；第十一薄膜晶体管 T54 的第二极和栅极分别与直流低电压输入端 i9 和第一节点 m 一一对应连接；第十二薄膜晶体管 T52 的第二极和栅极分别与直流低电压输入端 i9 和第一节点 m 一一对应连接。

在上述第一下拉维持电路中，第六薄膜晶体管 T42' 与第七薄膜晶体管 T42 串联，进一步降低了 GOA 电路中 Q 点处的漏电流，并且由于第六薄膜晶体管 T42' 与第七薄膜晶体管 T42 串联，使得第六薄膜晶体管 T42' 或第七薄膜晶体管 T42 上承载的电压减小，在一定程度上减弱了第六薄膜晶体管 T42' 或第七薄膜晶体管 T42 的恶化速度，提高了其使用寿命，从而提升了恶劣环境下 GOA 电路的稳定性，增强了液晶面板的可靠性。

在本发明又一个具体实施例中，第二下拉维持电路 52 包括第十三薄膜晶体管 T43'、第十四薄膜晶体管 T43、第十五薄膜晶体管 T33、第十六薄膜晶体管 T61、第十七薄膜晶体管 T63、第十八薄膜晶体管 T64 及第十九薄膜晶体管 T62；其中，第十三薄膜晶体管 T43' 的第一极、第二极和栅极分别与第一节点 m、第十四薄膜晶体管 T43 的第一极和第十八薄膜晶体管 T64 的第一极一一对应连接；第十四薄膜晶体管 T43 的第二极和栅极分别与直流低电压输入端 i9 和第十八薄膜晶体管 T64 的第一极一一对应连接；第十五薄膜晶体管 T33 的第一极、第二极和栅极分别与第一信号输出端 o1、直流低电压输入端 i9 和第十八薄膜晶体管 T64 的第一极一一对应连接；第十六薄膜晶体管 T61 的第一极和栅极均与第二低频时钟信号输入端 i8 连接，第十六薄膜晶体管 T61 的第二极与第十九薄膜晶体管 T62 的第一极连接；第十七薄膜晶体管 T63 的第一极、第二极和栅极分别与第二低频时钟信号输入端 i8、第十八薄膜晶体管 T64 的第一极和第十九薄膜晶体管 T62 的第一极一一对应连接；第十八薄膜晶体管 T64 的第二极和栅极分别与直流低电压输入端 i9 和第一节点 m 一一对应连接；第十九薄膜晶体管 T62 的第二极和栅极分别与直流低电压输入端 i9 和第一节点 m 一一对应连接。

在上述第二下拉维持电路中，第十三薄膜晶体管 T43'与第十四薄膜晶体管 T43 串联，进一步降低了 GOA 电路中 Q 点处的漏电流，并且由于第十三薄膜晶体管 T43'与第十四薄膜晶体管 T43 串联，使得第十三薄膜晶体管 T43'或第十四薄膜晶体管 T43 上承载的电压减小，在一定程度上减弱了第十三薄膜晶体管 T43'或第十四薄膜晶体管 T43 的恶化速度，提高了其使用寿命，从而提升了恶劣环境下 GOA 电路的稳定性，增强了液晶面板的可靠性。如图 5 所示的 GOA 电路中 Q 点处波形图，从图 5 中可知，本实施例中提供的 GOA 电路实现了 Q 点电压维持，如图 5 中 B 处所示。

在本发明一个具体实施例中，下传单元 3 包括第二十薄膜晶体管 T22，第二十薄膜晶体管 T22 的第一极、第二极和栅极分别与高频时钟信号输入端 i4、第二信号输出端 o2 和第一节点 m 一一对应连接。下传单元 3 用于为另一级 GOA 子电路的第二信号输入端 i2 提供电压信号，即从下传单元 3 的第二信号输出端 o2 输出的信号作为另一级 GOA 子电路的启动信号。

在本发明一个具体实施例中，上拉单元 2 包括第二十一薄膜晶体管 T21，第二十一薄膜晶体管 T21 的第一极、第二极和栅极分别与高频时钟信号输入端 i4、第一信号输出端 o1 和第一节点 m 一一对应连接。上拉单元 2 主要负责将高频时钟信号输入端 i4 输入的高频时钟信号 CK（为 CK1-CK4 中的一个）输出为第 N 级栅极信号 G（N）。

在本发明一个具体实施例中，自举单元 6 包括电容 Cb，电容 Cb 的第一端与第一节点 m 相连，电容 Cb 的第二端与第一信号输出端 o1 相连。

上述各薄膜晶体管中的第一极为漏极，第二极为源极。

本发明实施例还提供一种液晶显示装置，包括上述实施例中的 GOA 电路。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的保护范围，仍须以所附的权利要求书所界定的范围为准。

## 权利要求书

1. 一种 GOA 电路，包括多个级联的 GOA 子电路，每个 GOA 子电路包括上拉控制单元、上拉单元、下传单元、下拉单元、下拉维持单元和自举单元；

其中，所述上拉控制单元与第一信号输入端、第二信号输入端及第一节点连接，用于在所述第一信号输入端的控制下将所述第二信号输入端的电压信号输出至所述第一节点上；

所述上拉单元与高频时钟信号输入端、第一信号输出端及第一节点连接，用于将所述高频时钟信号输入端的时钟信号输入至所述第一信号输出端；

所述下传单元与所述高频时钟信号输入端、所述第一节点及第二信号输出端相连，用于为另一级所述 GOA 子电路的第二信号输入端提供电压信号；

所述下拉维持单元与所述第一节点、直流低电压输入端、第一低频时钟信号输入端、第二低频时钟信号输入端及所述第一信号输出端相连，用于将所述第一信号输出端的输出信号维持在低电位状态；

所述自举单元与所述第一节点及所述第一信号输出端相连，用于抬升所述第一节点处的电压；

所述下拉单元包括第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管，其中，所述第一薄膜晶体管的第一极、第二极和栅极分别与所述第一节点、所述第二薄膜晶体管的第一极及第三信号输入端一一对应连接；所述第二薄膜晶体管的第二极、栅极分别与所述直流低电压输入端、所述第三信号输入端一一对应连接；所述第三薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输出端、所述直流低电压输入端及所述第三信号输入端一一对应连接。

2. 根据权利要求 1 所述的 GOA 电路，其中，所述上拉控制单元包括第四薄膜晶体管和第五薄膜晶体管；

其中，所述第四薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输入端、所述第五薄膜晶体管的第一极和所述第二信号输入端一一对应连接；

所述第五薄膜晶体管的第二极和栅极分别与所述第一节点和所述第二信号输入端一一对应连接。

3. 根据权利要求 1 所述的 GOA 电路，其中，所述下拉维持单元包括第一下拉维持电路和第二下拉维持电路；

其中，所述第一下拉维持电路与所述第一节点、所述直流低电压输入端、第一低频时钟信号输入端及所述第一信号输出端相连，用于将所述第一信号输出端的输出信号维持在

低电位状态；

所述第二下拉维持电路与所述第一节点、所述直流低电压输入端、第二低频时钟信号输入端及所述第一信号输出端相连,用于将所述第一信号输出端的输出信号维持在低电位状态。

4. 根据权利要求3所述的GOA电路,其中,所述第一下拉维持电路包括第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管及第十二薄膜晶体管;

其中,所述第六薄膜晶体管的第一极、第二极和栅极分别与所述第一节点、所述第七薄膜晶体管的第一极和所述第十一薄膜晶体管的第一极一一对应连接;

所述第七薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第十一薄膜晶体管的第一极一一对应连接;

所述第八薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输出端、所述直流低电压输入端和所述第十一薄膜晶体管的第一极一一对应连接;

所述第九薄膜晶体管的第一极和栅极均与所述第一低频时钟信号输入端连接,所述第九薄膜晶体管的第二极与所述第十二薄膜晶体管的第一极连接;

所述第十薄膜晶体管的第一极、第二极和栅极分别与所述第一低频时钟信号输入端、所述第十一薄膜晶体管的第一极和所述第十二薄膜晶体管的第一极一一对应连接;

所述第十一薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接;

所述第十二薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接。

5. 根据权利要求4所述的GOA电路,其中,所述第二下拉维持电路包括第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管及第十九薄膜晶体管;

其中,所述第十三薄膜晶体管的第一极、第二极和栅极分别与所述第一节点、所述第十四薄膜晶体管的第一极和所述第十八薄膜晶体管的第一极一一对应连接;

所述第十四薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第十八薄膜晶体管的第一极一一对应连接;

所述第十五薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输出端、所述直流低电压输入端和所述第十八薄膜晶体管的第一极一一对应连接;

所述第十六薄膜晶体管的第一极和栅极均与所述第二低频时钟信号输入端连接,所述

第十六薄膜晶体管的第二极与所述第十九薄膜晶体管的第一极连接；

所述第十七薄膜晶体管的第一极、第二极和栅极分别与所述第二低频时钟信号输入端、所述第十八薄膜晶体管的第一极和所述第十九薄膜晶体管的第一极一一对应连接；

所述第十八薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接；

所述第十九薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接。

6. 根据权利要求 1 所述的 GOA 电路，其中，所述下传单元包括第二十薄膜晶体管，所述第二十薄膜晶体管的第一极、第二极和栅极分别与所述高频时钟信号输入端、所述第二信号输出端和所述第一节点一一对应连接。

7. 根据权利要求 1 所述的 GOA 电路，其中，所述上拉单元包括第二十一薄膜晶体管，所述第二十一薄膜晶体管的第一极、第二极和栅极分别与所述高频时钟信号输入端、所述第一信号输出端和所述第一节点一一对应连接。

8. 根据权利要求 1 所述的 GOA 电路，其中，所述自举单元包括电容，所述电容的第一端与所述第一节点相连，所述电容的第二端与所述第一信号输出端相连。

9. 根据权利要求 5 所述的 GOA 电路，其中，所述自举单元包括电容，所述电容的第一端与所述第一节点相连，所述电容的第二端与所述第一信号输出端相连。

10. 根据权利要求 1 所述的 GOA 电路，其中，所述第一极为漏极，所述第二极为源极。

11. 根据权利要求 5 所述的 GOA 电路，其中，所述第一极为漏极，所述第二极为源极。

12. 一种液晶显示装置，其中，包括 GOA 电路；所述 GOA 电路包括多个级联的 GOA 子电路，每个 GOA 子电路包括上拉控制单元、上拉单元、下传单元、下拉单元、下拉维持单元和自举单元；

其中，所述上拉控制单元与第一信号输入端、第二信号输入端及第一节点连接，用于在所述第一信号输入端的控制下将所述第二信号输入端的电压信号输出至所述第一节点上；

所述上拉单元与高频时钟信号输入端、第一信号输出端及第一节点连接，用于将所述高频时钟信号输入端的时钟信号输入至所述第一信号输出端；

所述下传单元与所述高频时钟信号输入端、所述第一节点及第二信号输出端相连，用于为另一级所述 GOA 子电路的第二信号输入端提供电压信号；

所述下拉维持单元与所述第一节点、直流低电压输入端、第一低频时钟信号输入端、第二低频时钟信号输入端及所述第一信号输出端相连,用于将所述第一信号输出端的输出信号维持在低电位状态;

所述自举单元与所述第一节点及所述第一信号输出端相连,用于抬升所述第一节点处的电压;

所述下拉单元包括第一薄膜晶体管、第二薄膜晶体管和第三薄膜晶体管,其中,所述第一薄膜晶体管的第一极、第二极和栅极分别与所述第一节点、所述第二薄膜晶体管的第一极及第三信号输入端一一对应连接;所述第二薄膜晶体管的第二极、栅极分别与所述直流低电压输入端、所述第三信号输入端一一对应连接;所述第三薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输出端、所述直流低电压输入端及所述第三信号输入端一一对应连接。

13. 根据权利要求 12 所述的液晶显示装置,其中,所述上拉控制单元包括第四薄膜晶体管和第五薄膜晶体管;

其中,所述第四薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输入端、所述第五薄膜晶体管的第一极和所述第二信号输入端一一对应连接;

所述第五薄膜晶体管的第二极和栅极分别与所述第一节点和所述第二信号输入端一一对应连接。

14. 根据权利要求 12 所述的液晶显示装置,其中,所述下拉维持单元包括第一下拉维持电路和第二下拉维持电路;

其中,所述第一下拉维持电路与所述第一节点、所述直流低电压输入端、第一低频时钟信号输入端及所述第一信号输出端相连,用于将所述第一信号输出端的输出信号维持在低电位状态;

所述第二下拉维持电路与所述第一节点、所述直流低电压输入端、第二低频时钟信号输入端及所述第一信号输出端相连,用于将所述第一信号输出端的输出信号维持在低电位状态。

15. 根据权利要求 14 所述的液晶显示装置,其中,所述第一下拉维持电路包括第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管及第十二薄膜晶体管;

其中,所述第六薄膜晶体管的第一极、第二极和栅极分别与所述第一节点、所述第七薄膜晶体管的第一极和所述第十一薄膜晶体管的第一极一一对应连接;

所述第七薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第十一薄

膜晶体管的第一极一一对应连接；

所述第八薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输出端、所述直流低电压输入端和所述第十一薄膜晶体管的第一极一一对应连接；

所述第九薄膜晶体管的第一极和栅极均与所述第一低频时钟信号输入端连接，所述第九薄膜晶体管的第二极与所述第十二薄膜晶体管的第一极连接；

所述第十薄膜晶体管的第一极、第二极和栅极分别与所述第一低频时钟信号输入端、所述第十一薄膜晶体管的第一极和所述第十二薄膜晶体管的第一极一一对应连接；

所述第十一薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接；

所述第十二薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接。

16. 根据权利要求 15 所述的液晶显示装置，其中，所述第二下拉维持电路包括第十三薄膜晶体管、第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管、第十八薄膜晶体管及第十九薄膜晶体管；

其中，所述第十三薄膜晶体管的第一极、第二极和栅极分别与所述第一节点、所述第十四薄膜晶体管的第一极和所述第十八薄膜晶体管的第一极一一对应连接；

所述第十四薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第十八薄膜晶体管的第一极一一对应连接；

所述第十五薄膜晶体管的第一极、第二极和栅极分别与所述第一信号输出端、所述直流低电压输入端和所述第十八薄膜晶体管的第一极一一对应连接；

所述第十六薄膜晶体管的第一极和栅极均与所述第二低频时钟信号输入端连接，所述第十六薄膜晶体管的第二极与所述第十九薄膜晶体管的第一极连接；

所述第十七薄膜晶体管的第一极、第二极和栅极分别与所述第二低频时钟信号输入端、所述第十八薄膜晶体管的第一极和所述第十九薄膜晶体管的第一极一一对应连接；

所述第十八薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接；

所述第十九薄膜晶体管的第二极和栅极分别与所述直流低电压输入端和所述第一节点一一对应连接。

17. 根据权利要求 12 所述的液晶显示装置，其中，所述下传单元包括第二十薄膜晶体管，所述第二十薄膜晶体管的第一极、第二极和栅极分别与所述高频时钟信号输入端、所述第二信号输出端和所述第一节点一一对应连接。



18. 根据权利要求 12 所述的液晶显示装置，其中，所述上拉单元包括第二十一薄膜晶体管，所述第二十一薄膜晶体管的第一极、第二极和栅极分别与所述高频时钟信号输入端、所述第一信号输出端和所述第一节点一一对应连接。

19. 根据权利要求 12 所述的液晶显示装置，其中，所述自举单元包括电容，所述电容的第一端与所述第一节点相连，所述电容的第二端与所述第一信号输出端相连。

20. 根据权利要求 12 所述的液晶显示装置，其中，所述第一极为漏极，所述第二极为源极。

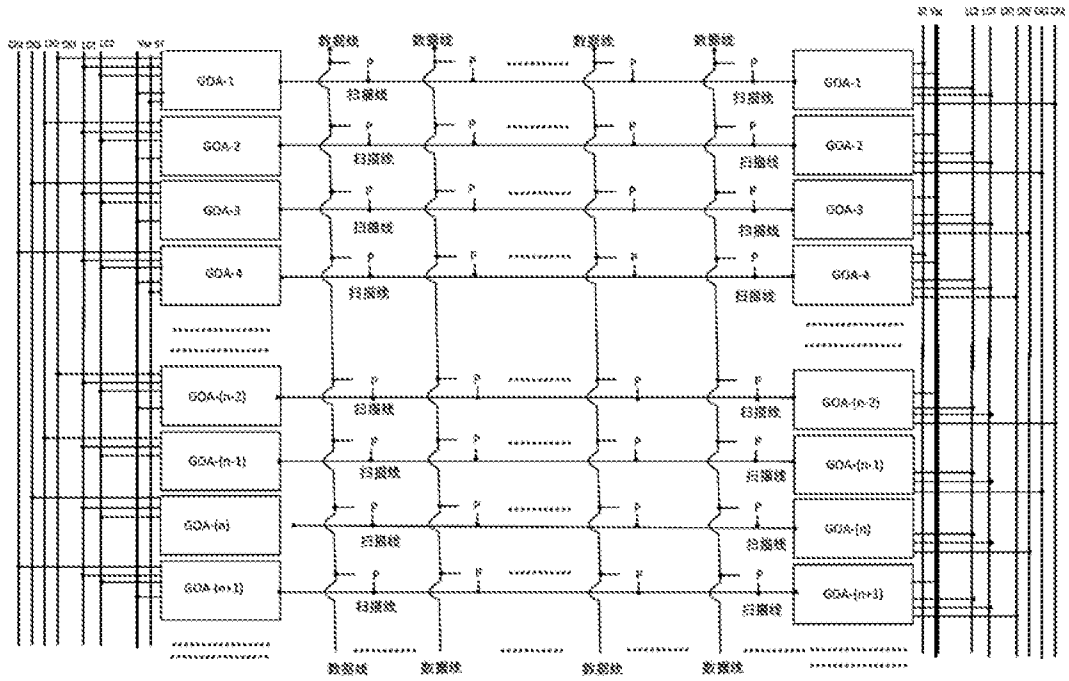


图 1  
(现有技术)

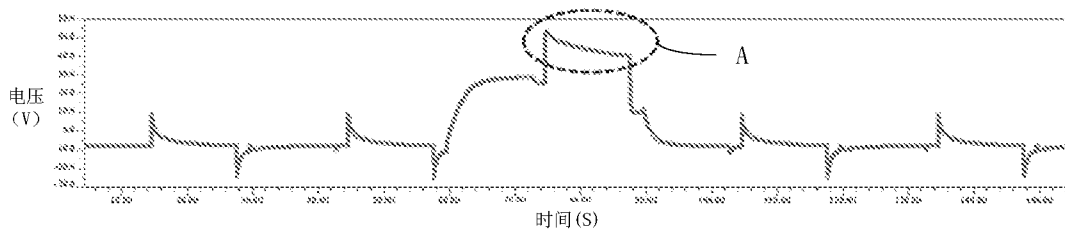


图 2  
(现有技术)

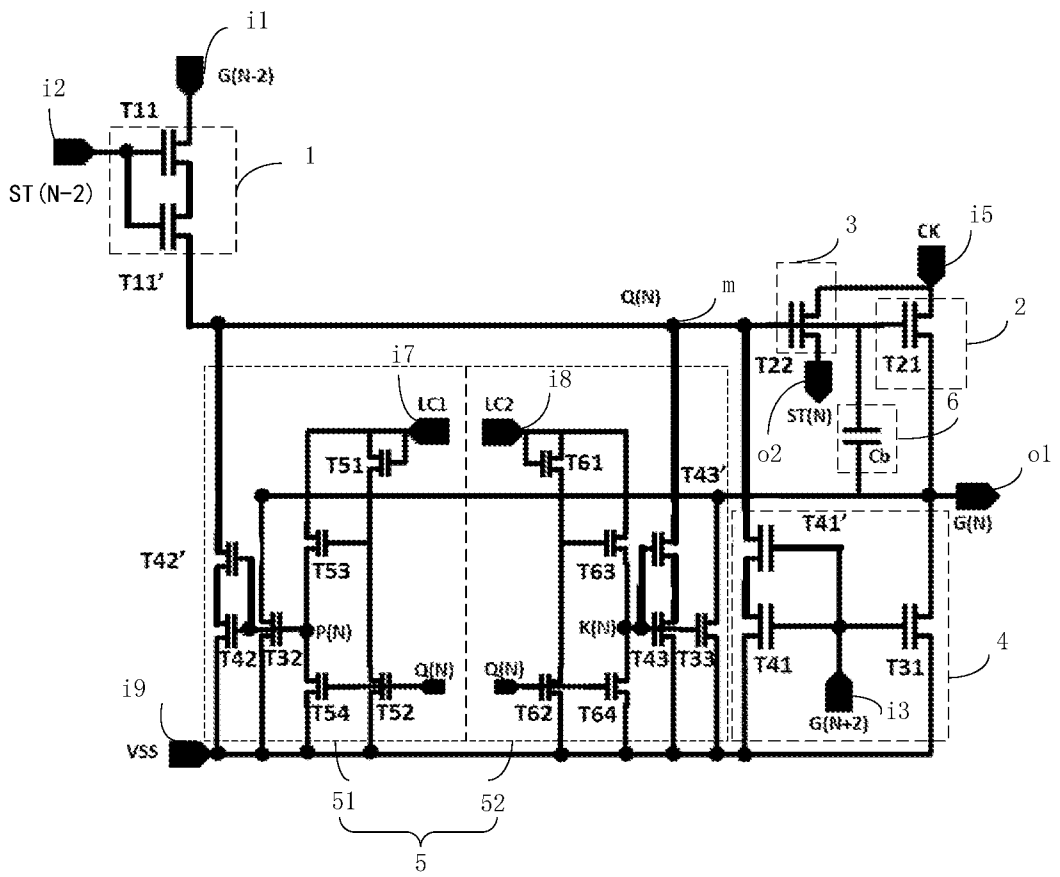


图 3

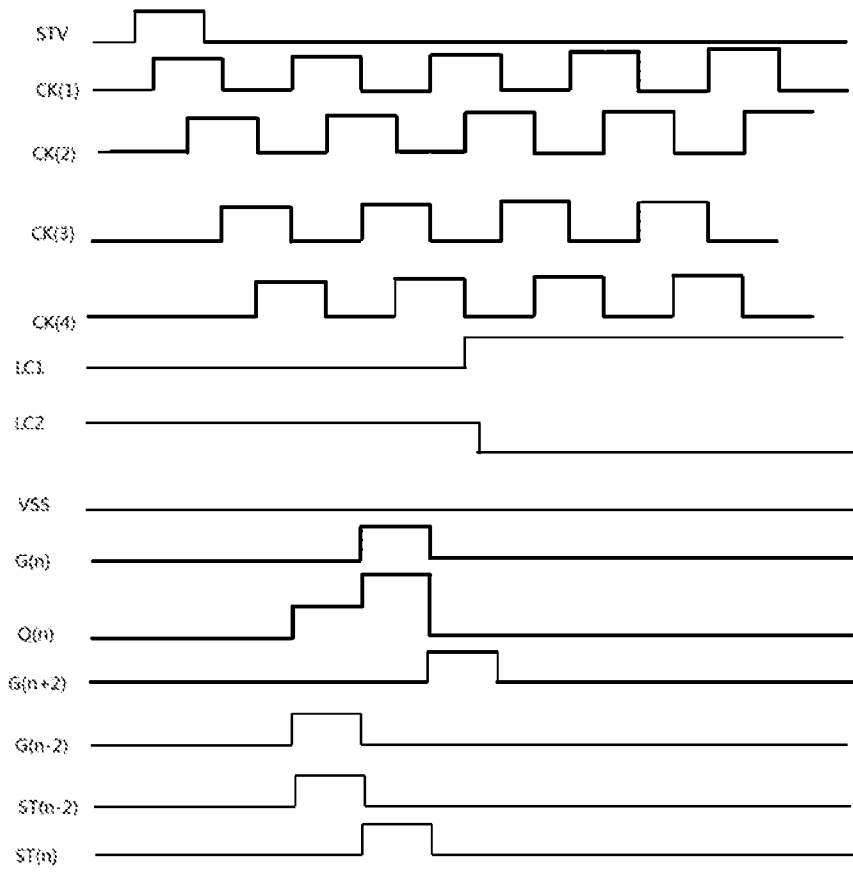


图 4

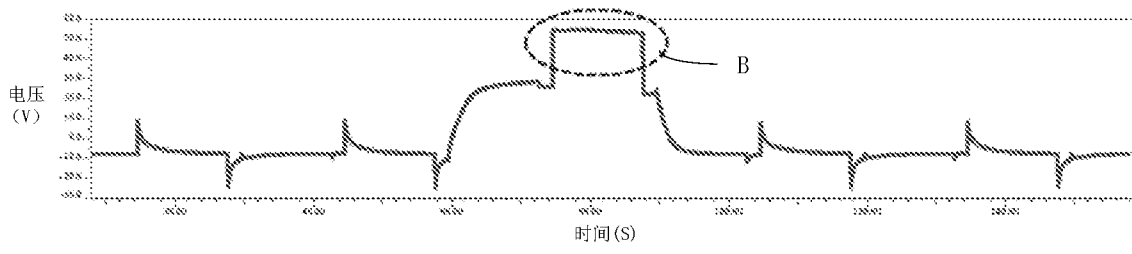


图 5

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2017/095743

## A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: GOA, 栅极, 闸极, 驱动, 移位寄存器, 缓存器, 上拉, 控制, 输入, 下拉, 维持, 节点, 电压, 电位, 电势, 维持, 稳定, 漏电流, 晶体管, 串联, 串接, gate, drive, register, pull up, input, pull down, node, potential, voltage, stability, leak+, current, transistor, serial, connect+

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103559867 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 05 February 2014 (05.02.2014), description, paragraphs [0045]-[0056], [0063] and [0068], and figures 1-6	1-3, 6-8, 10-14, 17-20
A	CN 105355234 A (AU OPTRONICS CORPORATION) 24 February 2016 (24.02.2016), entire document	1-20
A	CN 105374331 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 02 March 2016 (02.03.2016), entire document	1-20
A	CN 102622983 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 August 2012 (01.08.2012), entire document	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search 03 March 2018	Date of mailing of the international search report 28 March 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer  XIE, Jianjun  Telephone No. (86-10) 53962524

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2017/095743

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 106531121 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 22 March 2017 (22.03.2017), entire document	1-20
A	US 2003072116 A1 (MALONEY, TIMOTHY J. et al.) 17 April 2003 (17.04.2003), entire document	1-20



**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2017/095743

Patent Documents referred in the Report	Publication Date	PatentFamily	PublicationDate
CN 103559867 A	05 February 2014	WO 2015051607 A1	16 April 2015
		US 2015102990 A1	16 April 2015
CN 105355234 A	24 February 2016	TW I556222 B	01 November 2016
		TW 201715506 A	01 May 2017
		US 2017124971 A1	04 May 2017
CN 105374331 A	02 March 2016	US 2017236479 A1	17 August 2017
		WO 2017092089 A1	08 June 2017
		CN 105374331 B	17 November 2017
		US 9779684 B2	03 October 2017
CN 102622983 A	01 August 2012	CN 102622983 B	06 November 2013
		US 2015028933 A1	29 January 2015
		WO 2013143157 A1	03 October 2013
CN 106531121 A	22 March 2017	CN 106531121 B	27 October 2017
US 2003072116 A1	17 April 2003	US 6862160 B2	01 March 2005

国际检索报告

国际申请号

PCT/CN2017/095743

<p><b>A. 主题的分类</b></p> <p>G09G 3/36(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, CNKI, WPI, EPODOC:GOA, 栅极, 闸极, 驱动, 移位寄存器, 缓存器, 上拉, 控制, 输入, 下拉, 维持, 节点, 电压, 电位, 电势, 维持, 稳定, 漏电流, 晶体管, 串联, 串接, gate, drive, register, pull up, input, pull down, node, potential, voltage, stability, leak+, current, transistor, serial, connect+</p>																							
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 5日 (2014 - 02 - 05) 说明书第[0045]-[0056], [0063], [0068]段、附图1-6</td> <td>1-3, 6-8, 10-14, 17-20</td> </tr> <tr> <td>A</td> <td>CN 105355234 A (友达光电股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 105374331 A (武汉华星光电技术有限公司) 2016年 3月 2日 (2016 - 03 - 02) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 102622983 A (深圳市华星光电技术有限公司) 2012年 8月 1日 (2012 - 08 - 01) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 106531121 A (京东方科技集团股份有限公司 等) 2017年 3月 22日 (2017 - 03 - 22) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2003072116 A1 (MALONEY, TIMOTHY J. 等) 2003年 4月 17日 (2003 - 04 - 17) 全文</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:          “A” 认为不特别相关的表示了现有技术一般状态的文件          “E” 在国际申请日的当天或之后公布的在先申请或专利          “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)          “O” 涉及口头公开、使用、展览或其他方式公开的文件          “P” 公布日先于国际申请日但迟于所要求的优先权日的文件          “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件          “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性          “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性          “&amp;” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 5日 (2014 - 02 - 05) 说明书第[0045]-[0056], [0063], [0068]段、附图1-6	1-3, 6-8, 10-14, 17-20	A	CN 105355234 A (友达光电股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-20	A	CN 105374331 A (武汉华星光电技术有限公司) 2016年 3月 2日 (2016 - 03 - 02) 全文	1-20	A	CN 102622983 A (深圳市华星光电技术有限公司) 2012年 8月 1日 (2012 - 08 - 01) 全文	1-20	A	CN 106531121 A (京东方科技集团股份有限公司 等) 2017年 3月 22日 (2017 - 03 - 22) 全文	1-20	A	US 2003072116 A1 (MALONEY, TIMOTHY J. 等) 2003年 4月 17日 (2003 - 04 - 17) 全文	1-20
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 103559867 A (深圳市华星光电技术有限公司) 2014年 2月 5日 (2014 - 02 - 05) 说明书第[0045]-[0056], [0063], [0068]段、附图1-6	1-3, 6-8, 10-14, 17-20																					
A	CN 105355234 A (友达光电股份有限公司) 2016年 2月 24日 (2016 - 02 - 24) 全文	1-20																					
A	CN 105374331 A (武汉华星光电技术有限公司) 2016年 3月 2日 (2016 - 03 - 02) 全文	1-20																					
A	CN 102622983 A (深圳市华星光电技术有限公司) 2012年 8月 1日 (2012 - 08 - 01) 全文	1-20																					
A	CN 106531121 A (京东方科技集团股份有限公司 等) 2017年 3月 22日 (2017 - 03 - 22) 全文	1-20																					
A	US 2003072116 A1 (MALONEY, TIMOTHY J. 等) 2003年 4月 17日 (2003 - 04 - 17) 全文	1-20																					
国际检索实际完成的日期	国际检索报告邮寄日期																						
2018年 3月 3日	2018年 3月 28日																						
ISA/CN的名称和邮寄地址	受权官员																						
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	谢建军																						
传真号 (86-10) 62019451	电话号码 (86-10) 53962524																						

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2017/095743

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103559867	A	2014年 2月 5日	WO	2015051607	A1	2015年 4月 16日
				US	2015102990	A1	2015年 4月 16日
CN	105355234	A	2016年 2月 24日	TW	1556222	B	2016年 11月 1日
				TW	201715506	A	2017年 5月 1日
				US	2017124971	A1	2017年 5月 4日
CN	105374331	A	2016年 3月 2日	US	2017236479	A1	2017年 8月 17日
				WO	2017092089	A1	2017年 6月 8日
				CN	105374331	B	2017年 11月 17日
				US	9779684	B2	2017年 10月 3日
CN	102622983	A	2012年 8月 1日	CN	102622983	B	2013年 11月 6日
				US	2015028933	A1	2015年 1月 29日
				WO	2013143157	A1	2013年 10月 3日
CN	106531121	A	2017年 3月 22日	CN	106531121	B	2017年 10月 27日
US	2003072116	A1	2003年 4月 17日	US	6862160	B2	2005年 3月 1日

表 PCT/ISA/210 (同族专利附件) (2009年7月)