(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年12月14日(14.12.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/238749 A1

(51) 国際特許分類:
G02F 1/13 (2006.01) *G02F 1/1343* (2006.01)
G02F 1/1333 (2006.01)

(21) 国際出願番号： PCT/JP2023/020266

(22) 国際出願日： 2023年5月31日(31.05.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-091501 2022年6月6日(06.06.2022) JP

(71) 出願人:株式会社ジャパンディスプレイ(**JAPAN DISPLAY INC.**) [JP/JP]; 〒1050003 東京都港区西新橋三丁目７番１号 Tokyo (JP).

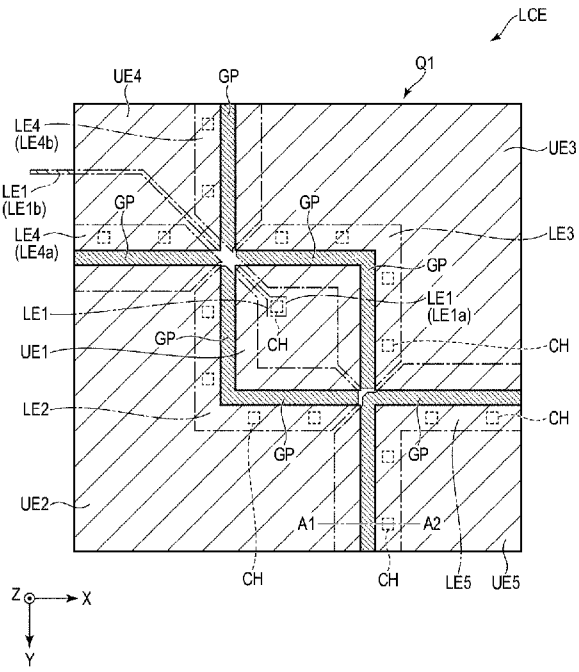
(72) 発明者:田中 仁(**TANAKA, Hitoshi**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 仲戸川 博人(**NAKATOGAWA, Hirondo**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP). 青木 良朗(**AOKI, Yoshiro**); 〒1050003 東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:弁理士法人スズエ国際特許事務所(**S & S INTERNATIONAL PPC**); 〒1050001 東京都港区虎ノ門一丁目１２番９号 スズエ・アンド・スズエビル Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(54) **Title:** ELECTRONIC DEVICE

(54) 発明の名称： 電子機器



(57) **Abstract:** The purpose of the present embodiment is to provide an electronic device in which the occurrence of lines can be suppressed, and a decrease in precision can be suppressed. This electronic device comprises a first lower electrode connected to a first upper electrode, a second lower electrode connected to a second upper electrode, a third lower electrode connected to a third upper electrode, a fourth lower electrode connected to a fourth upper electrode, and a fifth lower electrode connected to a fifth upper electrode, the second lower electrode overlapping the first upper electrode and the second upper electrode, the third lower electrode overlapping the first upper electrode and the third upper electrode, the fourth lower electrode overlapping the second upper electrode, the third upper electrode, and the fourth upper electrode, and the fifth lower electrode overlapping the second upper electrode, the third upper electrode, and the fifth upper electrode.

WO 2023/238749 A1

［続葉有］

(84) 指定国（表示のない限り、全ての種類の広域保護が可能）：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

(57) 要約：本実施形態の目的は、スジの発生を抑制し、精度低下を抑制することが可能な電子機器を提供することにある。 電子機器は、第１上側電極に接続される第１下側電極と、第２上側電極に接続される第２下側電極と、第３上側電極に接続される第３下側電極と、第４上側電極に接続される第４下側電極と、第５上側電極に接続される第５下側電極と、を備え、前記第２下側電極は、前記第１上電極及び前記第２上電極に重畳し、前記第３下側電極は、前記第１上側電極及び前記第３上側電極に重畳し、前記第４下側電極は、前記第２上側電極、前記第３上側電極、及び前記第４上側電極に重畳し、前記第５下側電極は、前記第２上側電極、前記第３上側電極、及び前記第５上側電極に重畳する。

明　細　書

発明の名称 ： 電子機器

技術分野

[0001]　本発明の実施形態は、電子機器に関する。

背景技術

[0002]　小型・薄型化された撮像素子付の電子機器が開発されている。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１８－０９８７５８号公報

発明の概要

発明が解決しようとする課題

[0004]　本実施形態は、スジの発生を抑制し、精度低下を抑制することが可能な電子機器を提供する。

課題を解決するための手段

[0005]　一実施形態に係る電子機器は、

第１上側電極と、

第２上側電極と、

第３上側電極と、

第４上側電極と、

第５上側電極と、

前記第１上側電極に接続される第１下側電極と、

前記第２上側電極に接続される第２下側電極と、

前記第３上側電極に接続される第３下側電極と、

前記第４上側電極に接続される第４下側電極と、

前記第５上側電極に接続される第５下側電極と、

前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、及び前記第５上側電極、並びに、前記第１下側電極、前記第２下側電

極、前記第３下側電極、前記第４下側電極、及び前記第５下側電極の間に設けられる、絶縁層と、

前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、前記第５上側電極、前記第１下側電極、前記第２下側電極、前記第３下側電極、前記第４下側電極、及び前記第５下側電極と対向する対向電極と、

を備え、

前記第２下側電極は、前記第１上側電極及び前記第２上側電極に重畳し、

前記第３下側電極は、前記第１上側電極及び前記第３上側電極に重畳し、

前記第４下側電極は、前記第２上側電極、前記第３上側電極、及び前記第４上側電極に重畳し、

前記第５下側電極は、前記第２上側電極、前記第３上側電極、及び前記第５上側電極に重畳する。

[0006] また、一実施形態に係る電子機器は、

上側電極と、

下側電極と、

前記上側電極及び前記下側電極が設けられない領域と、

を備え、

前記上側電極は、

円形形状を有する中心電極と、

前記中心電極を囲み、円環形状を有する第１周辺電極と、

前記第１周辺電極を囲み、円環形状を有する第２周辺電極と、

前記第２周辺電極を囲み、円環形状を有する第３周辺電極と、

前記第３周辺電極を囲み、円環形状を有する第４周辺電極と、

を有し、

前記中心電極、前記第１周辺電極、前記第２周辺電極、前記第３周辺電極、及び第４周辺電極は、それぞれ、複数の分割電極を有する。

発明の効果

[0007] 本実施形態により、スジの発生を抑制し、精度低下を抑制することが可能な電子機器を提供することができる。

図面の簡単な説明

[0008] [図1]図１は、実施形態において適用可能な電子機器の概略的な構成の一例を示す分解斜視図である。

[図2]図２は、図１に示す電子機器の概略的な構成の一例を示す断面図である。

[図3]図３は、本実施形態の電子機器の部分的な構成の概略を示す分解斜視図である。

[図4]図４は、符号化開口を用いて距離を測定する方法を説明する図である。

[図5]図５は、液晶素子の一部の概略的な構成の一例を示す平面図である。

[図6]図６は、図５に示す線Ａ１－Ａ２に沿った液晶素子の断面図である。

[図7]図７は、液晶素子の概略的な構成の一例を示す断面図である。

[図8A]図８Ａは、比較例１の液晶素子の平面図である。

[図8B]図８Ｂは、比較例１の液晶素子の平面図である。

[図8C]図８Ｃは、比較例１の液晶素子の平面図である。

[図8D]図８Ｄは、比較例１の液晶素子の平面図である。

[図9A]図９Ａは、比較例２の液晶素子の平面図である。

[図9B]図９Ｂは、比較例２の液晶素子の平面図である。

[図9C]図９Ｃは、比較例２の液晶素子の平面図である。

[図9D]図９Ｄは、比較例２の液晶素子の平面図である。

[図10A]図１０Ａは、本実施形態の液晶素子を示す平面図である。

[図10B]図１０Ｂは、本実施形態の液晶素子を示す平面図である。

[図10C]図１０Ｃは、本実施形態の液晶素子を示す平面図である。

[図10D]図１０Ｄは、本実施形態の液晶素子を示す平面図である。

[図11]図１１は、図５の部分拡大図である。

[図12]図１２は、実施形態における液晶素子の他の構成例を示す平面図である。

発明を実施するための形態

[0009] 以下に、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] 本明細書で述べる実施形態は、一般的なものでなく、本発明の同一又は対応する特別な技術的特徴について説明する実施形態である。以下、図面を参照しながら一実施形態に係る電子機器について詳細に説明する。

[0011] 本実施形態においては、第１方向Ｘ、第２方向Ｙ、及び、第３方向Ｚは、互いに直交しているが、９０度以外の角度で交差していてもよい。第３方向Ｚの矢印の先端に向かう方向を上又は上方と定義し、第３方向Ｚの矢印の先端に向かう方向とは反対側の方向を下又は下方と定義する。

[0012] また、「第１部材の上方の第２部材」及び「第１部材の下方の第２部材」とした場合、第２部材は、第１部材に接していてもよく、又は第１部材から離れて位置していてもよい。後者の場合、第１部材と第２部材との間に、第３の部材が介在していてもよい。一方、「第１部材の上の第２部材」及び「第１部材の下の第２部材」とした場合、第２部材は第１部材に接している。

[0013] また、第３方向Ｚの矢印の先端側に電子機器を観察する観察位置があるものとし、この観察位置から、第１方向Ｘ及び第２方向Ｙで規定されるＸ－Ｙ平面に向かって見ることを平面視という。第１方向Ｘ及び第３方向Ｚによって規定されるＸ－Ｚ平面、あるいは第２方向Ｙ及び第３方向Ｚによって規定されるＹ－Ｚ平面における電子機器の断面を見ることを断面視という。

[0014] ［実施形態］

図１は、実施形態において適用可能な電子機器の概略的な構成の一例を示

す分解斜視図である。図１に示す電子機器ＥＲＰは、照明装置ＩＬＤ、表示パネルＰＮＬ、撮像素子ＰＡを有している。詳細は後述するが、表示パネルＰＮＬは液晶表示パネルであり、液晶素子ＬＣＤを有している。

[0015] 照明装置ＩＬＤは、導光板ＬＧ１と、光源ＥＭ１と、筐体ＣＳと、を備えている。このような照明装置ＩＬＤは、例えば、図１において破線で簡略化して示す表示パネルＰＮＬを照明するものである。

[0016] 導光板ＬＧ１は、第１方向Ｘ及び第２方向Ｙによって規定されるＸ－Ｙ平面と平行な平板状に形成されている。導光板ＬＧ１は表示パネルＰＮＬに対向している。導光板ＬＧ１は、側面Ｓ１と、側面Ｓ１の反対側の側面Ｓ２と、開口部ＯＰ１と、を有している。側面Ｓ１及び側面Ｓ２はそれぞれ第１方向Ｘに沿って延出している。例えば、側面Ｓ１及び側面Ｓ２は、第１方向Ｘ及び第３方向Ｚによって規定されるＸ－Ｚ平面と平行な面である。

[0017] 開口部ＯＰ１は、導光板ＬＧ１を第３方向Ｚに沿って貫通した貫通孔である。開口部ＯＰ１は、第２方向Ｙにおいて、側面Ｓ１及び側面Ｓ２との間に位置し、側面Ｓ１よりも側面Ｓ２に近接している。

[0018] 複数の光源ＥＭ１は、第１方向Ｘに沿って間隔をおいて並んでいる。光源ＥＭ１は、それぞれ、配線基板ＦＰＣ１に実装され、配線基板ＦＰＣ１と電気的に接続されている。

[0019] 筐体ＣＳは、導光板ＬＧ１、光源ＥＭ１を収容している。筐体ＣＳは、側壁Ｗ１乃至側壁Ｗ４と、底板ＢＰと、開口部ＯＰ２と、突部ＰＰと、を有している。側壁Ｗ１及び側壁Ｗ２は、第１方向Ｘに沿って延出し、互いに対向している。側壁Ｗ３及び側壁Ｗ４は、第２方向Ｙに沿って延出し、互いに対向している。開口部ＯＰ２は、それぞれ底板ＢＰを第３方向Ｚに沿って貫通した貫通孔である。

[0020] 開口部ＯＰ２は、第３方向Ｚにおいて、開口部ＯＰ１に重畳している。突部ＰＰは、第３方向Ｚに沿って底板ＢＰから表示パネルＰＮＬに向かって突出し、開口部ＯＰ２を囲むように設けられている。

[0021] 図１に示す電子機器ＥＲＰの撮像素子ＰＡは、第３方向Ｚにおいて、開口

部ＯＰ２に重畳するように設けられている。撮像素子ＰＡは、配線基板ＦＰＣ２に実装され、配線基板ＦＰＣ２と電気的に接続されている。

[0022] 表示パネルＰＮＬは、導光板ＬＧ１に重畳するとともに、開口部ＯＰ１において撮像素子ＰＡにも重畳している。

[0023] 図２は、図１に示す電子機器の概略的な構成の一例を示す断面図である。図２は、表示パネルＰＮＬ、撮像素子ＰＡ、及び、照明装置ＩＬＤを含む電子機器ＥＲＰの断面を示している。

[0024] 電子機器ＥＲＰでは、照明装置ＩＬＤの筐体ＣＳの開口部ＯＰ２は、導光板ＬＧ１の開口部ＯＰ１の内側に位置している。撮像素子ＰＡは、開口部ＯＰ１及び開口部ＯＰ２の内側に位置している。

[0025] 照明装置ＩＬＤは、さらに、遮光壁ＢＷを備えている。遮光壁ＢＷは、開口部ＯＰ１の内側に位置する。図２に示す例では、遮光壁ＢＷは、後述する反射シートＲＳ、導光板ＬＧ１、拡散シートＳＳ、プリズムシートＰＳ１、及びプリズムシートＰＳ２のそれぞれに接しているが、接していなくもよい。遮光壁ＢＷは、例えば、黒色に着色された樹脂によって形成されている。なお必要がなければ、遮光壁ＢＷは設けなくてもよい。

[0026] 照明装置ＩＬＤは、さらに、反射シートＲＳ、拡散シートＳＳ、プリズムシートＰＳ１、及びプリズムシートＰＳ２を備えている。反射シートＲＳ、導光板ＬＧ１、拡散シートＳＳ、プリズムシートＰＳ１、及び、プリズムシートＰＳ２は、第３方向Ｚに沿ってこの順に配置され、筐体ＣＳに収容されている。筐体ＣＳは、金属製の筐体ＣＳ１と、樹脂製の台座ＣＳ２とを備えている。台座ＣＳ２は、筐体ＣＳ１とともに突部ＰＰを形成している。拡散シートＳＳ、プリズムシートＰＳ１、及び、プリズムシートＰＳ２の各々は、開口部ＯＰ１に重畳する開口部ＯＰ３を有している。反射シートＲＳは、開口部ＯＰ１に重畳する開口部ＯＰ４を有している。筐体ＣＳの突部ＰＰは、開口部ＯＰ１、開口部ＯＰ３、及び、開口部ＯＰ４の内側に位置している。

[0027] 撮像素子ＰＡは、例えば、少なくとも１つのレンズを含む光学系ＯＰＳと

、センサ素子ＩＭＳと、筐体ＨＳと、を備えている。センサ素子ＩＭＳは、画像を検知可能なイメージセンサである。筐体ＨＳは、光学系ＯＰＳ及びセンサ素子ＩＭＳを収容している。光学系ＯＰＳは、表示パネルＰＮＬとセンサ素子ＩＭＳとの間に位置している。センサ素子ＩＭＳは、後述する複数のセンサ素子ＳＸを含んでいる。複数のセンサ素子ＳＸは、センサ画素ともいう。

[0028] 偏光板ＰＬ１、表示パネルＰＮＬ、偏光板ＰＬ２、及び、カバー部材ＣＧは、第３方向Ｚに沿ってこの順に配置され、第３方向Ｚに沿って進行する光に対して、光学的なスイッチ機能を備えた液晶素子ＬＣＤを構成している。

[0029] 基板ＳＵＢ１の基材ＢＡ１に接して、偏光板ＰＬ１が設けられている。偏光板ＰＬ１と基材ＢＡ１（基板）との間には、図示しない接着剤や接着テープが設けられており、偏光板ＰＬを基材ＢＡ１に接着している。

[0030] 粘着テープＴＰ２は、例えば、透明または白色の両面粘着テープであり、照明装置ＩＬＤと液晶素子ＬＣＤとを接着している。粘着テープＴＰ２は、偏光板ＰＬ１と突部ＰＰ、及び、偏光板ＰＬ１とプリズムシートＰＳ２とを接着している。

[0031] 偏光板ＰＬ２は、図示しない接着剤や接着テープにより、基材ＢＡ２に接着されている。偏光板ＰＬ２は、透明接着層ＡＤによって、カバー部材ＣＧに接着されている。

[0032] カバー部材ＣＧの材料は、例えばガラスが挙げられる。

[0033] 表示パネルＰＮＬは、画像を表示する表示領域ＤＡと、表示領域ＤＡと隣り合い表示領域ＤＡを囲む非表示領域ＮＤＡと、を備えている。表示パネルＰＮＬは、基板ＳＵＢ１と、基板ＳＵＢ２と、液晶層ＬＣと、シールＳＥと、を備えている。シールＳＥは、非表示領域ＮＤＡに位置し、基板ＳＵＢ１と基板ＳＵＢ２とを接着するとともに、液晶層ＬＣを封止している。すなわち、表示領域ＤＡは、基板ＳＵＢ１、基板ＳＵＢ２、及び、基板ＳＵＢ１と基板ＳＵＢ２に挟持される液晶層ＬＣが占める領域のうち、シールＳＥと重畳しない領域である。

[0034] 以下、基板ＳＵＢ１及び基板ＳＵＢ２の主要部について説明する。基板ＳＵＢ１は、基材ＢＡ１と、配向膜ＡＬ１と、を備えている。基板ＳＵＢ２は、基材ＢＡ２と、カラーフィルタＣＦと、遮光層ＢＭと、絶縁層ＯＣと、配向膜ＡＬ２と、を備えている。

[0035] 基材ＢＡ１及び基材ＢＡ２は、ガラス基板や可撓性の樹脂基板などの透明基板である。配向膜ＡＬ１及び配向膜ＡＬ２は、液晶層ＬＣに接している。

[0036] カラーフィルタＣＦ、遮光層ＢＭ、及び、絶縁層ＯＣは、基材ＢＡ２と液晶層ＬＣとの間に位置している。なお、図２に示す例では、カラーフィルタＣＦは、基板ＳＵＢ２に設けられているが、基板ＳＵＢ１に設けられてもよい。

[0037] 遮光層ＢＭは、非表示領域ＮＤＡに位置している。表示領域ＤＡと非表示領域ＮＤＡとの境界ＬＢは、例えば、遮光層ＢＭの内端（表示領域ＤＡ側の端部）によって規定される。シールＳＥは、遮光層ＢＭと重畳する位置に設けられている。

[0038] カラーフィルタＣＦの詳細については、ここでは省略するが、カラーフィルタＣＦは、例えば赤画素に配置される赤カラーフィルタ、緑画素に配置される緑カラーフィルタ、及び、青画素に配置される青カラーフィルタを備えている。また、カラーフィルタＣＦは、白画素に配置される透明樹脂層を備えている場合もある。絶縁層ＯＣは、カラーフィルタＣＦ及び遮光層ＢＭを覆っている。絶縁層ＯＣは、例えば、透明な有機絶縁層である。

[0039] 本実施形態において、撮像素子ＰＡは、一例としてカメラである。なお、撮像素子ＰＡは、一例として、可視光を検出するもの、赤外線を検出するもの、検出対象物の近接をセンシングする近接センサ、検出対象物から反射された赤外線を検出する検出素子などや、それぞれを組み合わせたものでもよい。電子機器ＥＲＰは、撮像素子ＰＡの代わりに、又は撮像素子ＰＡに加えて、発光素子を備えていてもよい。当該発光素子としては、検出対象物に向けて赤外線を投射する投射素子が挙げられる。

[0040] 撮像素子ＰＡは、筐体ＣＳの開口部ＯＰ２に重畳するように設けられ、突

部ＰＰに囲まれた内側に位置している。撮像素子ＰＡは、第３方向Ｚにおいて、カバー部材ＣＧ、表示パネルＰＮＬ、及び、導光板ＬＧ２に重畳している。なお、撮像素子ＰＡの一部又は全部は、第３方向Ｚにおいて、表示パネルＰＮＬの表示領域ＤＡと重畳している。つまり、表示パネルＰＮＬと撮像素子ＰＡとを有する電子機器ＥＲＰにおいて、電子機器ＥＲＰの使用者からみて、撮像素子ＰＡが表示パネルＰＮＬの奥側に設けられていればよい。

[0041] 図３は、本実施形態の電子機器の部分的な構成の概略を示す分解斜視図である。電子機器ＥＲＰは、撮像素子ＰＡに対向する液晶素子ＬＣＥを備えている。液晶素子ＬＣＥは、開口パターンＰＴを表示し、レンズＬＮＳが設けられている。レンズＬＮＳは、液晶素子ＬＣＥと別に設けられていてもよいし、内部に含んでいてもよい。図３のレンズＬＮＳは、撮像素子ＰＡとは別に示しているが、上述のように光学系ＯＰＳに設けられているものを示している。撮像素子ＰＡは、開口パターンＰＴに対向するセンサ素子ＳＸを有している。

[0042] 電子機器ＥＲＰでは、符号化開口を利用することにより、撮像素子ＰＡと対象物との距離を測定している。本実施形態の符号化開口では、撮像素子ＰＡの前に、光透過の有無を指定した特定のパターンを配置することで、撮像素子ＰＡからの被写体の距離が推定できる。ここで、２種類以上の符号化開口パターンを用いることで、より精度を高めることができる。例えば、一対の符号化開口パターンを、符号化開口対（Ｃｏｄｅｄ　Ａｐｅｒｔｕｒｅ　Ｐａｉｒｓ：ＣＡＰ）と呼ぶ。

[0043] 図４は、符号化開口を用いて距離を測定する方法を説明する図である。液晶素子ＬＣＥの開口パターンＰＴのＸ－Ｙ平面上の像ＩＭＧ１は、レンズＬＮＳを介して、撮像素子ＰＡの撮像面（ｕ－ｖ平面）に結像する。結像した像ＩＭＧ２は、当該撮像面に存在するセンサ素子ＳＸにより検知される。撮像素子ＰＡで検知した光（画像）の情報は、撮像素子ＰＡから被写体までの距離の情報を含んでいる。

[0044] このときレンズＬＮＳの合焦点ＦＣからずれた位置の像ＩＭＧ３は、ぼや

けた像となる。このボケの広がり方を、点拡がり関数（Ｐｏｉｎｔ　Ｓｐｒｅａｄ　Ｆｕｎｃｔｉｏｎ：ＰＳＦ）として算出すると、距離（深度）を得ることができる。

[0045] 符号化開口パターンは、液晶素子ではなく、例えば金属材料を用いた遮光層により形成することもできる。しかしながら、金属材料の遮光層では、符号化開口パターンの種類が限定されてしまう。本実施形態の電子機器ＥＲＰは、液晶素子ＬＣＥを備えることにより、２種類以上の符号化開口パターンを利用することが可能であるという利点を有する。

[0046] 図５は、液晶素子の一部の概略的な構成の一例を示す平面図である。図６は、図５に示す線Ａ１－Ａ２に沿った液晶素子の断面図である。液晶素子ＬＣＥは、下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４、及び下側電極ＬＥ５、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５、並びに、コンタクトホールＣＨを有している。

[0047] 上側電極ＵＥ１は、正方形形状を有しており、液晶素子ＬＣＥの中央付近に配置されている。上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５は、上側電極ＵＥ１を囲んで配置されている。上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５は、中空正方形状の電極Ｑ１を構成している。上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の間には、それぞれが接しないように、間隙ＧＰが設けられている。

[0048] 上側電極ＵＥ１は、これら電極の中心に位置する中心電極であり、上側電極ＵＥ１を囲んで配置される上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５は、中心電極を囲む周辺電極であるともいえる。上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５は、周辺電極を間隙ＧＰで分割した、分割電極であるともいえる。

[0049] 上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の位置関係について述べる。上側電極ＵＥ２は、Ｌの字形状を有しており、

第１方向Ｘで上側電極ＵＥ５に隣接している。上側電極ＵＥ２は、第２方向Ｙの逆方向で上側電極ＵＥ４に隣接している。

[0050] 上側電極ＵＥ３は、Ｌの字形状を１８０°回転させた形状を有している。上側電極ＵＥ３は、第１方向Ｘの逆方向で上側電極ＵＥ４に隣接している。上側電極ＵＥ３は、第２方向Ｙで上側電極ＵＥ５に隣接している。

[0051] 上側電極ＵＥ４は、矩形形状を有しており、第１方向Ｘで上側電極ＵＥ３に隣接している。上側電極ＵＥ４は、第２方向Ｙで上側電極ＵＥ２に隣接している。

[0052] 上側電極ＵＥ５は、矩形形状を有しており、第１方向Ｘの逆方向で上側電極ＵＥ２に隣接している。上側電極ＵＥ５は、第２方向Ｙの逆方向で上側電極ＵＥ３に隣接している。

[0053] 図５に示すように、下側電極ＬＥ１は、矩形形状の電極部ＬＥ１ａ及び配線部ＬＥ１ｂを有しており、これらは一体形成されている。電極部ＬＥ１ａは、平面視で上側電極ＵＥ１と重畳している。

[0054] 下側電極ＬＥ４は、同層に設けられる２つの電極部ＬＥ４ａ及び電極部ＬＥ４ｂを有している。配線部ＬＥ１ｂは、平面視で、電極部ＬＥ４ａ及び電極部ＬＥ４ｂとの間に設けられている。配線部ＬＥ１ｂは、同層に設けられる電極部ＬＥ４ａ及び電極部ＬＥ４ｂと接することなく、液晶素子ＬＣＥの外部に引き出される。

[0055] 下側電極ＬＥ２は、上側電極ＵＥ２及び上側電極ＵＥ１それぞれの端部に重畳し、上側電極ＵＥ２及び上側電極ＵＥ１との間隙ＧＰを埋めるように設けられている。下側電極ＬＥ２と上側電極ＵＥ２が重畳する領域では、後述する絶縁層ＩＮＳにコンタクトホールＣＨが設けられている。

[0056] 下側電極ＬＥ３は、上側電極ＵＥ３及び上側電極ＵＥ１それぞれの端部に重畳し、上側電極ＵＥ３及び上側電極ＵＥ１との間隙ＧＰを埋めるように設けられている。下側電極ＬＥ３と上側電極ＵＥ３が重畳する領域では、絶縁層ＩＮＳにコンタクトホールＣＨが設けられている。

[0057] 下側電極ＬＥ４は、上述のように、電極部ＬＥ４ａ及び電極部ＬＥ４ｂを

有している。電極部ＬＥ４ａは、上側電極ＵＥ４及び上側電極ＵＥ２それぞれの端部に重畳し、上側電極ＵＥ４及び上側電極ＵＥ２との間隙ＧＰを埋めるように設けられている。電極部ＬＥ４ａと上側電極ＵＥ４が重畳する領域では、絶縁層ＩＮＳにコンタクトホールＣＨが設けられている。

[0058] 電極部ＬＥ４ｂは、上側電極ＵＥ４及び上側電極ＵＥ３それぞれの端部に重畳し、上側電極ＵＥ４及び上側電極ＵＥ３との間隙ＧＰを埋めるように設けられている。電極部ＬＥ４ｂと上側電極ＵＥ４が重畳する領域では、絶縁層ＩＮＳにコンタクトホールＣＨが設けられている。

[0059] 下側電極ＬＥ５は、上側電極ＵＥ５及び上側電極ＵＥ２それぞれの端部、並びに、上側電極ＵＥ５及び上側電極ＵＥ３それぞれの端部に重畳する。下側電極ＬＥ５は、上側電極ＵＥ５及び上側電極ＵＥ２との間隙ＧＰ、並びに、上側電極ＵＥ５及び上側電極ＵＥ３との間隙ＧＰを埋めるように設けられている。上側電極ＵＥ５及び上側電極ＵＥ２が重畳する領域、並びに、上側電極ＵＥ５及び上側電極ＵＥ３が重畳する領域には、絶縁層ＩＮＳにコンタクトホールＣＨが設けられている。

[0060] 本実施形態において、下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４、及び下側電極ＬＥ５は、絶縁層ＨＲＣ上に設けられている。絶縁層ＨＲＣは、例えば有機樹脂層、より具体的には、アクリル樹脂層やポリイミド樹脂層であればよい。下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４、及び下側電極ＬＥ５、並びに、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５は、透明導電材料、例えば、インジウム錫酸化物（Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ：ＩＴＯ）や、インジウム亜鉛酸化物（Ｉｎｄｉｕｍ　Ｚｉｎｃ　Ｏｘｉｄｅ：ＩＺＯ）で形成されていればよい。

[0061] 図６に示すように、下側電極ＬＥ５は、絶縁層ＩＮＳに覆われている。絶縁層ＩＮＳは、無機絶縁材料、例えば、窒化珪素や酸化珪素であればよい。絶縁層ＩＮＳには、下側電極ＬＥ５に重畳するコンタクトホールＣＨが設けられている。

[0062] 絶縁層ＩＮＳ上には、上側電極ＵＥ２及び上側電極ＵＥ５が設けられている。上側電極ＵＥ５は、コンタクトホールＣＨを介して、下側電極ＬＥ５と接続されている。上側電極ＵＥ２は、下側電極ＬＥ５とは接続されていない。

[0063] 図６では、下側電極ＬＥ５及び上側電極ＵＥ５について示しているが、他の下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、及び下側電極ＬＥ４、並びに、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、及び上側電極ＵＥ４についても、同様である。すなわち、上側電極ＵＥ１は、コンタクトホールＣＨを介して、下側電極ＬＥ１に接続されている。上側電極ＵＥ２は、コンタクトホールＣＨを介して、下側電極ＬＥ２に接続されている。上側電極ＵＥ３は、コンタクトホールＣＨを介して、下側電極ＬＥ４に接続されている。上側電極ＵＥ４は、コンタクトホールＣＨを介して、下側電極ＬＥ４に接続されている。

[0064] 図７は、液晶素子の概略的な構成の一例を示す断面図である。液晶素子ＬＣＥは、基材ＢＡ３と、信号線ＳＬと、絶縁層ＨＲＣと、下側電極ＬＥと、電極ＬＥＸと、絶縁層ＩＮＳと、上側電極ＵＥと、と、スペーサＰＳと、液晶層ＬＣＹと、対向電極ＣＥと、絶縁層ＯＣ２と、遮光層ＢＭと、基材ＢＡ４とを備えている。

[0065] 基材ＢＡ３、信号線ＳＬ、絶縁層ＨＲＣ、下側電極ＬＥ、電極ＬＥＸ、絶縁層ＩＮＳ、及び上側電極ＵＥは、基板ＳＵＢ３を構成する。対向電極ＣＥ、絶縁層ＯＣ２、遮光層ＢＭ、及び基材ＢＡ４は、基板ＳＵＢ４を構成する。

[0066] 図７において、点線で囲った箇所が図６に相当する。

[0067] 液晶素子ＬＣＥは、センサ領域ＳＡ及び端部Ｅｘを有している。センサ領域ＳＡは、主として、下側電極ＬＥと、上側電極ＵＥと、液晶層ＬＣＹと、対向電極ＣＥとを備えている。液晶層ＬＣＹは、上側電極ＵＥ及び下側電極ＬＥ、並びに、対向電極ＣＥの間に設けられている。

[0068] 端部Ｅｘでは、信号線ＳＬに接続される電極ＬＥＸが設けられている。電

極ＬＥＸは、外部の駆動素子に電気的に接続される。ただし、端部Ｅｘの構成はこれに限定されず、外部の駆動素子からの駆動信号を入力するための配線や電極を設けてもよい。

[0069] 基材ＢＡ３及び基材ＢＡ４は、透明絶縁部材、例えばガラスにより形成されていればよい。

[0070] 基材ＢＡ３上に、信号線ＳＬが設けられている。信号線ＳＬは、金属材料、例えば、アルミニウムをチタンで挟んだ積層体で形成すればよい。

[0071] 基材ＢＡ３及び信号線ＳＬを覆って、絶縁層ＨＲＣが設けられている。絶縁層ＨＲＣは、平坦化層として機能する。

[0072] 絶縁層ＨＲＣ上に、下側電極ＬＥ及び電極ＬＥＸが設けられている。下側電極ＬＥ及び電極ＬＥＸは、同層の電極である。換言すると、下側電極ＬＥ及び電極ＬＥＸは、同一の材料及び同一の構成で形成されている。

[0073] 図７には、下側電極ＬＥのうち、下側電極ＬＥ２及び下側電極ＬＥ５を示している。下側電極ＬＥ２は、絶縁層ＨＲＣに設けられたコンタクトホールを介して、信号線ＳＬに接続されている。図示しないが、下側電極ＬＥ５についても、別の信号線ＳＬに接続されている。下側電極ＬＥ（下側電極ＬＥ２及び下側電極ＬＥ５）は、信号線ＳＬを介して信号が入力され、オン状態及びオフ状態が制御される。

[0074] 下側電極ＬＥ及び電極ＬＥＸを覆って、絶縁層ＩＮＳが設けられている。

[0075] 絶縁層ＩＮＳ上には、上側電極ＵＥが設けられている。図７には、上側電極ＵＥのうち、上側電極ＵＥ２及び上側電極ＵＥ５を示している。上側電極ＵＥ２は、絶縁層ＩＮＳに設けられたコンタクトホールＣＨを介して、下側電極ＬＥ２と接続されている。上側電極ＵＥ５は、絶縁層ＩＮＳに設けられたコンタクトホールＣＨを介して、下側電極ＬＥ５と接続されている。

[0076] 絶縁層ＩＮＳ及び上側電極ＵＥに、シールＳＡＬ、スペーサＰＳ、導電部材ＣＭ、液晶層ＬＣＹが設けられている。

[0077] シールＳＡＬは、液晶層ＬＣＹを囲むように設けられている。シールＳＡＬに囲まれ、液晶層ＬＣＹが設けられた領域がセンサ領域ＳＡとなる。シー

ルＳＡＬは、基板ＳＵＢ３と基板ＳＵＢ４とを接着するとともに、液晶層ＬＣＹを封止している。

[0078] スペーサＰＳは、液晶層ＬＣＹが設けられる領域の内部に配置されている。スペーサＰＳは、液晶層ＬＣＹの厚さを維持する機能を有している。スペーサＰＳは、有機樹脂材料を用いて形成すればよい。

[0079] 基材ＢＡ４に接して、遮光層ＢＭが設けられている。遮光層ＢＭは、スペーサＰＳと対向する位置に配置されている。遮光層ＢＭの材料として、金属材料や黒色顔料を含む樹脂材料が挙げられる。

[0080] 基材ＢＡ４及び遮光層ＢＭを覆って、絶縁層ＯＣ２が設けられている。絶縁層ＯＣ２は、例えば、透明な有機絶縁層である。

[0081] 絶縁層ＯＣ２に接して、対向電極ＣＥが設けられている。対向電極ＣＥは、透明導電材料、例えば、インジウム錫酸化物（ＩＴＯ）や、インジウム亜鉛酸化物（ＩＺＯ）で形成されていればよい。対向電極ＣＥは、上側電極ＵＥ及び下側電極ＬＥと対向している。

[0082] 液晶素子ＬＣＥが縦電界モードで駆動される場合、液晶層ＬＣＹは、上側電極ＵＥ及び下側電極ＬＥ、並びに、対向電極ＣＥとの間に印加される電圧によって駆動される。当該電圧を駆動することにより、白表示する領域と黒表示する領域が切り替えられ、液晶素子ＬＣＥの開口パターンＰＴが形成される。

[0083] ここで比較例として、下側電極ＬＥを設けない例について考える。比較例１として、下側電極ＬＥを設けない、すなわち、上側電極ＵＥのみを設ける場合について説明する。

[0084] 図８Ａから図８Ｄまでは、比較例１の液晶素子の平面図である。図８Ａでは、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５がオン状態、上側電極ＵＥ１及び上側電極ＵＥ２がオフ状態である。上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５が設けられている領域は、光を透過し、いわゆる白表示となる。上側電極ＵＥ１及び上側電極ＵＥ２が設けられている領域は、光を透過せず、いわゆる黒表示となる。

[0085] 上側電極ＵＥ１及び上側電極ＵＥ２との間隙ＧＰは、液晶層ＬＣＹを駆動する電極が配置されていない。そのため、液晶層ＬＣＹは光を透過し、いわゆる白表示となる。よって、上側電極ＵＥ１及び上側電極ＵＥ２との間隙ＧＰに対応する領域は、白いスジとして検知されてしまう。

[0086] 図８Ｂでは、上側電極ＵＥ２、上側電極ＵＥ４、及び上側電極ＵＥ５がオン状態、上側電極ＵＥ１及び上側電極ＵＥ３がオフ状態である。図８Ｂにおいても、上側電極ＵＥ１及び上側電極ＵＥ３との間隙ＧＰに対応する領域が、白いスジとして検知されてしまう。

[0087] 図８Ｃでは、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の全てがオン状態である。上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５が設けられている領域、並びに、間隙ＧＰに対応する領域は、白表示となる。いわゆる全白表示の状態となる。図８Ｃでは、スジは検知されない。

[0088] 図８Ｄでは、図８Ｃとは逆に、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の全てがオフ状態である。上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５が設けられている領域は、光を透過せず、いわゆる黒表示となる。いわゆる、全黒表示の状態となる。

[0089] しかしながら、上述の通り間隙ＧＰに対応する領域では、液晶層ＬＣＹは光を透過する。このため、間隙ＧＰに対応する領域は、全て白表示となってしまい、白いスジが顕著に検知されてしまう。

[0090] 図８Ｂから図８Ｄに示す白いスジを防ぐために、例えば、間隙ＧＰに対応する領域に、遮光層を設けることが考える。図９Ａから図９Ｄまでは、比較例２の液晶素子の平面図である。比較例２では、間隙ＧＰに対応する領域に遮光層が設けられている。

[0091] 図９Ａでは、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５がオン状態、上側電極ＵＥ１及び上側電極ＵＥ２がオフ状態である。上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５が設けられている領域は、光を

透過し、いわゆる白表示となる。上側電極ＵＥ１及び上側電極ＵＥ２が設けられている領域は、光を透過せず、いわゆる黒表示となる。

[0092] 上側電極ＵＥ３及び上側電極ＵＥ４との間隙ＧＰ、並びに、上側電極ＵＥ３及び上側電極ＵＥ５との間隙ＧＰには、遮光層が設けられているため、光は透過しない。このため、当該間隙ＧＰは、黒いスジとして検知されてしまう。

[0093] 図９Ｂでは、上側電極ＵＥ２、上側電極ＵＥ４、及び上側電極ＵＥ５がオン状態、上側電極ＵＥ１及び上側電極ＵＥ３がオフ状態である。図８Ｂにおいても、上側電極ＵＥ２及び上側電極ＵＥ４との間隙ＧＰ、並びに、上側電極ＵＥ２及び上側電極ＵＥ５との間隙ＧＰに対応する領域が、黒いスジとして検知されてしまう。

[0094] 図９Ｃでは、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の全てがオン状態である。上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５が設けられている領域は、白表示となる。いわゆる全白表示の状態となる。

[0095] 間隙ＧＰに対応する領域は、全て光を通さず、黒いスジが顕著に検知されてしまう。

[0096] 図９Ｄでは、図８Ｃとは逆に、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の全てがオフ状態である。上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５が設けられている領域、並びに、間隙ＧＰに対応する領域は、光を透過せず、いわゆる黒表示となる。いわゆる、全黒表示の状態となる。図９Ｄでは、スジは検知されない。

[0097] 所望しない白いスジ又は黒い筋がセンサ素子ＳＸに検知されることは、電子機器ＥＲＰの精度低下の原因に繋がる。そのため、当該スジの発生を抑制することが好ましい。もし光が抜けてしまう箇所又は光を通さない箇所が存在するとしても、それが微小であれば、センサ素子ＳＸによる検知には影響しない。これにより精度低下を抑制することが可能である。

[0098] 図１０Ａから図１０Ｄまでは、本実施形態の液晶素子を示す平面図である。本実施形態の液晶素子ＬＣＥでは、図５において説明した通り、下側電極ＬＥが設けられている。下側電極ＬＥは、図６において説明した通り、上側電極ＵＥと接続されており、同電圧が印加される。

[0099] 図１０Ａは、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５がオン状態、上側電極ＵＥ１及び上側電極ＵＥ２がオフ状態である。図１０Ａに示す液晶素子ＬＣＥは、図８Ａに示す液晶素子ＬＣＥと異なり、上側電極ＵＥ１及び上側電極ＵＥ２との間隙ＧＰを埋めるように、下側電極が設けられている（図５参照）。下側電極ＬＥ２は、上側電極ＵＥ２と同電位であるため、下側電極ＬＥ２はオフ状態となる。これにより、間隙ＧＰに対応する領域も黒表示となり、白いスジは検知されない。

[0100] 図１０Ｂでは、上側電極ＵＥ２、上側電極ＵＥ４、及び上側電極ＵＥ５がオン状態、上側電極ＵＥ１及び上側電極ＵＥ３がオフ状態である。図５に参照されるように、上側電極ＵＥ１及び上側電極ＵＥ３との間隙ＧＰを埋めるように、下側電極ＬＥ３が設けられている。このため下側電極ＬＥ３は、上側電極ＵＥ３と同電位であるため、下側電極ＬＥ３はオフ状態となる。これにより、間隙ＧＰに対応する領域も黒表示となり、白いスジは検知されない。

[0101] 図１０Ｃでは、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の全てがオン状態である。それぞれ接続されている、下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４、及び下側電極ＬＥ５も、オン状態となるため、黒いスジが検知されることはない。

[0102] 図１０Ｄでは、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５の全てがオフ状態である。下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４、及び下側電極ＬＥ５も、全てオフ状態となるため、白いスジが検知されることはない。

[0103] ただし、図５に参照されるように、下側電極ＬＥ同士を分離するために、

電極を設けることができない箇所が存在する。図１１は、図５の部分拡大図である。図１１に示されるように、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４ａ、及び下側電極ＬＥ４ｂそれぞれの端部が隣接する領域ＳＰ１、並びに、下側電極ＬＥ２、下側電極ＬＥ３、及び下側電極ＬＥ５それぞれの端部が隣接する領域ＳＰ２では、下側電極も上側電極も設けられない。領域ＳＰ１及び領域ＳＰ２を特に区別する必要がないときは、単に領域ＳＰという。

[0104] 領域ＳＰでは、液晶層ＬＣＹに電圧を印加することができない。このため、液晶層ＬＣＹを黒表示した場合において、領域ＳＰが白い点として検知される恐れはある（図１０Ｄ参照）。しかしながら、比較例１及び比較例２で説明したスジよりは検知されにくい。

[0105] 上記では説明しなかったが、図１０Ａ及び図１０Ｂにおいても、領域ＳＰは存在する。しかしながら、スジは形成されておらず、黒表示される領域に比較して小さいこともあり、電子機器ＥＲＰの精度には影響しない。

[0106] 本実施形態では、上側電極ＵＥ及び下側電極ＬＥは、どちらも透明導電材料、例えば、インジウム錫酸化物（ＩＴＯ）や、インジウム亜鉛酸化物（ＩＺＯ）で形成されている。そのため、図９Ａから図９Ｄまでで示したような、遮光層も必要としない。

[0107] 以上本実施形態により、スジの発生を抑制し、精度低下を抑制することが可能な電子機器を提供することができる。

[0108] ＜構成例１＞

図１２は、実施形態における液晶素子の他の構成例を示す平面図である。図１２に示した構成例では、図５に示した構成例と比較して、電極が円形形状を有しているという点で異なっている。

[0109] 液晶素子ＬＣＥは、上側電極ＶＥ１ａ、上側電極ＶＥ１ｂ、上側電極ＶＥ２ａ、上側電極ＶＥ２ｂ、上側電極ＶＥ３ａ、上側電極ＶＥ３ｂ、上側電極ＶＥ４ａ、上側電極ＶＥ４ｂ、上側電極ＶＥ５ａ、上側電極ＶＥ５ｂ、上側電極ＶＥ６ａ、上側電極ＶＥ６ｂ、上側電極ＶＥ７ａ、上側電極ＶＥ７ｂ、

上側電極ＶＥ８ａ、上側電極ＶＥ８ｂ、上側電極ＶＥ９ａ、上側電極ＶＥ９ｂ、上側電極ＶＥ１０ａ、上側電極ＶＥ１０ｂ、上側電極ＶＥ１１ａ、上側電極ＶＥ１１ｂ、上側電極ＶＥ１２ａ、上側電極ＶＥ１２ｂ、上側電極ＶＥ１３ａ、上側電極ＶＥ１３ｂ、上側電極ＶＥ１４ａ、上側電極ＶＥ１４ｂ、上側電極ＶＥ１５ａ、上側電極ＶＥ１５ｂ、上側電極ＶＥ１６ａ、上側電極ＶＥ１６ｂ、上側電極ＶＥ１７ａ、上側電極ＶＥ１７ｂ、上側電極ＶＥ１８ａ、上側電極ＶＥ１８ｂ、上側電極ＶＥ１９ａ、上側電極ＶＥ１９ｂ、上側電極ＶＥ２０ａ、上側電極ＶＥ２０ｂを有している。

[0110] 上側電極ＶＥ１ａ、上側電極ＶＥ１ｂ、上側電極ＶＥ２ａ、上側電極ＶＥ２ｂ、上側電極ＶＥ３ａ、上側電極ＶＥ３ｂ、上側電極ＶＥ４ａ、上側電極ＶＥ４ｂは、隣接して配置され、円形形状の電極Ｃ１を構成している。上側電極ＶＥ１ａ、上側電極ＶＥ１ｂ、上側電極ＶＥ２ａ、上側電極ＶＥ２ｂ、上側電極ＶＥ３ａ、上側電極ＶＥ３ｂ、上側電極ＶＥ４ａ、上側電極ＶＥ４ｂそれぞれの間には、間隙ＧＰが設けられている。

[0111] 図面を分かり易くするために図示しないが、上側電極ＶＥ１ａ及び上側電極ＶＥ１ｂとの間、上側電極ＶＥ２ａ及び上側電極ＶＥ２ｂとの間、上側電極ＶＥ３ａ及び上側電極ＶＥ３ｂとの間、上側電極ＶＥ４ａ及び上側電極ＶＥ４ｂとの間には、配線が設けられている。

[0112] 上側電極ＶＥ５ａ、上側電極ＶＥ５ｂ、上側電極ＶＥ６ａ、上側電極ＶＥ６ｂ、上側電極ＶＥ７ａ、上側電極ＶＥ７ｂ、上側電極ＶＥ８ａ、上側電極ＶＥ８ｂは、隣接して配置され、円環形状の電極Ｃ２を構成している。電極Ｃ２は、電極Ｃ１を囲む位置に配置されている。上側電極ＶＥ５ａ、上側電極ＶＥ５ｂ、上側電極ＶＥ６ａ、上側電極ＶＥ６ｂ、上側電極ＶＥ７ａ、上側電極ＶＥ７ｂ、上側電極ＶＥ８ａ、上側電極ＶＥ８ｂそれぞれの間には、間隙ＧＰが設けられている。電極Ｃ１及び電極Ｃ２との間にも、間隙ＧＰが設けられている。

[0113] 図面を分かり易くするために図示しないが、上側電極ＶＥ５ａ及び上側電極ＶＥ５ｂとの間、上側電極ＶＥ６ａ及び上側電極ＶＥ６ｂとの間、上側電

極ＶＥ７ａ及び上側電極ＶＥ７ｂとの間、上側電極ＶＥ８ａ及び上側電極ＶＥ８ｂとの間には、配線が設けられている。

[0114] 上側電極ＶＥ９ａ、上側電極ＶＥ９ｂ、上側電極ＶＥ１０ａ、上側電極ＶＥ１０ｂ、上側電極ＶＥ１１ａ、上側電極ＶＥ１１ｂ、上側電極ＶＥ１２ａ、上側電極ＶＥ１２ｂは、隣接して配置され、円環形状の電極Ｃ３を構成している。電極Ｃ３は、電極Ｃ２を囲む位置に配置されている。上側電極ＶＥ９ａ、上側電極ＶＥ９ｂ、上側電極ＶＥ１０ａ、上側電極ＶＥ１０ｂ、上側電極ＶＥ１１ａ、上側電極ＶＥ１１ｂ、上側電極ＶＥ１２ａ、上側電極ＶＥ１２ｂそれぞれの間には、間隙ＧＰが設けられている。電極Ｃ２及び電極Ｃ３との間にも、間隙ＧＰが設けられている。

[0115] 図面を分かり易くするために図示しないが、上側電極ＶＥ９ａ及び上側電極ＶＥ９ｂとの間、上側電極ＶＥ１０ａ及び上側電極ＶＥ１０ｂとの間、上側電極ＶＥ１１ａ及び上側電極ＶＥ１１ｂとの間、上側電極ＶＥ１２ａ及び上側電極ＶＥ１２ｂとの間には、配線が設けられている。

[0116] 上側電極ＶＥ１３ａ、上側電極ＶＥ１３ｂ、上側電極ＶＥ１４ａ、上側電極ＶＥ１４ｂ、上側電極ＶＥ１５ａ、上側電極ＶＥ１５ｂ、上側電極ＶＥ１６ａ、上側電極ＶＥ１６ｂは、隣接して配置され、円環形状の電極Ｃ４を構成している。電極Ｃ４は、電極Ｃ３を囲む位置に配置されている。上側電極ＶＥ１３ａ、上側電極ＶＥ１３ｂ、上側電極ＶＥ１４ａ、上側電極ＶＥ１４ｂ、上側電極ＶＥ１５ａ、上側電極ＶＥ１５ｂ、上側電極ＶＥ１６ａ、上側電極ＶＥ１６ｂそれぞれの間には、間隙ＧＰが設けられている。電極Ｃ３及び電極Ｃ４との間にも、間隙ＧＰが設けられている。

[0117] 図面を分かり易くするために図示しないが、上側電極ＶＥ１３ａ及び上側電極ＶＥ１３ｂとの間、上側電極ＶＥ１４ａ及び上側電極ＶＥ１４ｂとの間、上側電極ＶＥ１４ａ及び上側電極ＶＥ１４ｂとの間、上側電極ＶＥ１５ａ及び上側電極ＶＥ１５ｂとの間には、配線が設けられている。

[0118] 上側電極ＶＥ１７ａ、上側電極ＶＥ１７ｂ、上側電極ＶＥ１８ａ、上側電極ＶＥ１８ｂ、上側電極ＶＥ１９ａ、上側電極ＶＥ１９ｂ、上側電極ＶＥ２

０ａ、上側電極ＶＥ２０ｂは、隣接して配置され、円環形状の電極Ｃ５を構成している。電極Ｃ５は、電極Ｃ４を囲む位置に配置されている。上側電極ＶＥ１７ａ、上側電極ＶＥ１７ｂ、上側電極ＶＥ１８ａ、上側電極ＶＥ１８ｂ、上側電極ＶＥ１９ａ、上側電極ＶＥ１９ｂ、上側電極ＶＥ２０ａ、上側電極ＶＥ２０ｂそれぞれの間には、間隙ＧＰが設けられている。電極Ｃ４及び電極Ｃ５との間にも、間隙ＧＰが設けられている。

[0119] 円形形状の電極Ｃ１は、上述した電極の中心に位置する中心電極である。電極Ｃ１を囲んで配置される円環形状の電極Ｃ２は、中心電極を囲む第１周辺電極であるともいえる。上側電極ＶＥ５ａ、上側電極ＶＥ５ｂ、上側電極ＶＥ６ａ、上側電極ＶＥ６ｂ、上側電極ＶＥ７ａ、上側電極ＶＥ７ｂ、上側電極ＶＥ８ａ、上側電極ＶＥ８ｂは、第１周辺電極を間隙ＧＰで分割した、分割電極であるともいえる。電極Ｃ３、電極Ｃ４、及び電極Ｃ５についても、電極Ｃ２と同様に、それぞれ、第２周辺電極、第３周辺電極、及び第４周辺電極ということもある。

[0120] 図面が複雑化することを防ぐために図示しないが、図１２に示す液晶素子ＬＣＥには、下側電極が設けられている。図１１と同様、液晶素子ＬＣＥは、下側電極も上側電極も設けられない領域ＳＰも含んでいる。

[0121] 図１２においては、領域ＳＰは、上側電極ＶＥ５ｂの端部のうち電極Ｃ１に隣接する端部、上側電極ＶＥ６ｂの端部のうち電極Ｃ１に隣接する端部、上側電極ＶＥ７ｂの端部のうち電極Ｃ１に隣接する端部、上側電極ＶＥ８ｂの端部のうち電極Ｃ１に隣接する端部に設けられている。

[0122] 領域ＳＰは、上側電極ＶＥ８ａの端部のうち電極Ｃ３に隣接する端部、上側電極ＶＥ８ｂの端部のうち電極Ｃ３に隣接する端部に設けられている。

[0123] 領域ＳＰは、上側電極ＶＥ５ｂ及び上側電極ＶＥ９ｂの間、上側電極ＶＥ６ｂ及び上側電極ＶＥ１０ｂの間、上側電極ＶＥ７ｂ及び上側電極ＶＥ１１ｂの間、上側電極ＶＥ８ｂ及び上側電極ＶＥ１２ｂの間に設けられている。

[0124] 領域ＳＰは、上側電極ＶＥ９ａの端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ９ｂの端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ１０ａ

の端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ１０ｂの端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ１１ａの端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ１１ｂの端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ１２ａの端部のうち電極Ｃ４に隣接する端部、上側電極ＶＥ１２ｂの端部のうち電極Ｃ４に隣接する端部に設けられている。

[0125] 領域ＳＰは、上側電極ＶＥ９ｂ及び上側電極ＶＥ１３ｂの間、上側電極ＶＥ１０ｂ及び上側電極ＶＥ１４ｂの間、上側電極ＶＥ１１ｂ及び上側電極ＶＥ１５ｂの間、上側電極ＶＥ１２ｂ及び上側電極ＶＥ１６ｂの間に設けられている。

[0126] 領域ＳＰは、下記それぞれ電極Ｃ５に隣接する端部において、上側電極ＶＥ１３ａ及び上側電極ＶＥ１３ｂの間、上側電極ＶＥ１３ｂの端部、上側電極ＶＥ１４ａの端部、上側電極ＶＥ１４ｂの端部、上側電極ＶＥ１５ａ及び上側電極ＶＥ１５ｂの間、上側電極ＶＥ１５ｂの端部、上側電極ＶＥ１６ａの端部、上側電極ＶＥ１６ａ及び上側電極ＶＥ１６ｂの間、上側電極ＶＥ１６ｂの端部に設けられている。

[0127] 領域ＳＰは、上側電極ＶＥ１４ｂ及び上側電極ＶＥ１８ｂの間に設けられている。

[0128] 上側電極ＶＥ５ｂ及び上側電極ＶＥ９ｂの間、上側電極ＶＥ６ｂ及び上側電極ＶＥ１０ｂの間、上側電極ＶＥ７ｂ及び上側電極ＶＥ１１ｂの間、上側電極ＶＥ８ｂ及び上側電極ＶＥ１２ｂの間、上側電極ＶＥ９ｂ及び上側電極ＶＥ１３ｂの間、上側電極ＶＥ１０ｂ及び上側電極ＶＥ１４ｂの間、上側電極ＶＥ１１ｂ及び上側電極ＶＥ１５ｂの間、上側電極ＶＥ１２ｂ及び上側電極ＶＥ１６ｂの間に設けられる領域ＳＰは、五角形形状を有している。

[0129] それ以外の領域ＳＰは、正方形形状を有している。

[0130] 上側電極ＶＥ１３ａ及び上側電極ＶＥ１３ｂの間、上側電極ＶＥ１３ｂの端部、上側電極ＶＥ１５ａ及び上側電極ＶＥ１５ｂの間、上側電極ＶＥ１５ｂの端部、上側電極ＶＥ１６ａの端部、上側電極ＶＥ１６ａ及び上側電極ＶＥ１６ｂの間、上側電極ＶＥ１６ｂの端部の領域ＳＰを、特に領域ＳＰｂと

する。領域ＳＰｂは、配線と重畳するため、白表示においても、遮光される。

[0131] 領域ＳＰｂには中央付近に配置した電極Ｃ１、電極Ｃ２、電極Ｃ３に接続されている下側電極ＬＥがあり、電極Ｃ１、電極Ｃ２、電極Ｃ３の領域を黒表示にする条件下では領域ＳＰｂの下側電極ＬＥに反応して遮光される。

[0132] 例えば、領域ＳＰｂが電極Ｃ４及び電極Ｃ５の領域のうち第一象限（右上領域）・第二象限（左上領域）・第四象限（右下領域）に発生ときは、第三象限（左下領域）及び電極Ｃ１、電極Ｃ２、電極Ｃ３全体に遮光パターンを表示した場合となる。

[0133] 一方、光が抜ける領域ＳＰは、上側電極ＶＥの隙間ＧＰの領域で、かつ中央付近の電極をそれぞれ個別に動かすための下側電極ＬＥが無い領域である。

[0134] 領域ＳＰｂ以外の領域ＳＰは、上述のように、上側電極も下側電極も設けられていないため、黒表示であっても、光が透過する。そのため、領域ＳＰが白い点として検知される可能性はあるが、
黒表示される領域に比較して小さいこともあり、電子機器の精度には影響しない。

[0135] 本構成例においても、実施形態と同様の効果を奏する。

[0136] 本開示では、上側電極ＵＥ１、上側電極ＵＥ２、上側電極ＵＥ３、上側電極ＵＥ４、及び上側電極ＵＥ５を、それぞれ、第１上側電極、第２上側電極、第３上側電極、第４上側電極、及び第５上側電極と呼ぶ。下側電極ＬＥ１、下側電極ＬＥ２、下側電極ＬＥ３、下側電極ＬＥ４、及び下側電極ＬＥ５を、それぞれ、第１下側電極、第２下側電極、第３下側電極、第４下側電極、及び第５下側電極と呼ぶ。

[0137] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが

できる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

[0138] Ｃ１…電極、Ｃ２…電極、Ｃ３…電極、Ｃ４…電極、Ｃ５…電極、ＣＥ…対向電極、ＥＲＰ…電子機器、ＧＰ…間隙、ＩＮＳ…絶縁層、ＬＣＥ…液晶素子、ＬＣＹ…液晶層、ＬＥ…下側電極、ＳＰ…領域、ＳＰ１…領域、ＳＰ２…領域、ＳＰｂ…領域、ＳＸ…センサ素子、ＵＥ…上側電極、ＶＥ１ａ…上側電極、ＶＥ２ａ…上側電極。

請求の範囲

［請求項1］ 第１上側電極と、

第２上側電極と、

第３上側電極と、

第４上側電極と、

第５上側電極と、

前記第１上側電極に接続される第１下側電極と、

前記第２上側電極に接続される第２下側電極と、

前記第３上側電極に接続される第３下側電極と、

前記第４上側電極に接続される第４下側電極と、

前記第５上側電極に接続される第５下側電極と、

前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、及び前記第５上側電極、並びに、前記第１下側電極、前記第２下側電極、前記第３下側電極、前記第４下側電極、及び前記第５下側電極の間に設けられる、絶縁層と、

前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、前記第５上側電極、前記第１下側電極、前記第２下側電極、前記第３下側電極、前記第４下側電極、及び前記第５下側電極と対向する対向電極と、

を備え、

前記第２下側電極は、前記第１上側電極及び前記第２上側電極に重畳し、

前記第３下側電極は、前記第１上側電極及び前記第３上側電極に重畳し、

前記第４下側電極は、前記第２上側電極、前記第３上側電極、及び前記第４上側電極に重畳し、

前記第５下側電極は、前記第２上側電極、前記第３上側電極、及び前記第５上側電極に重畳する、電子機器。

[請求項2] 前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、前記第５上側電極、前記第１下側電極、前記第２下側電極、前記第３下側電極、前記第４下側電極、及び前記第５下側電極は、それぞれ、透明導電材料で形成されている、請求項１に記載の電子機器。

[請求項3] 前記第１上側電極は、平面視で正方形状を有しており、

前記第２上側電極、前記第３上側電極、前記第４上側電極、及び前記第５上側電極は、前記第１上側電極を囲む中空正方形状の電極を構成する、請求項１に記載の電子機器。

[請求項4] 前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、及び前記第５上側電極それぞれとの間には、間隙が設けられている、請求項１に記載の電子機器。

[請求項5] 対向電極と、

液晶層と、

をさらに備え、

前記第１上側電極、前記第２上側電極、前記第３上側電極、前記第４上側電極、前記第５上側電極を上側電極とし、

前記第１下側電極、前記第２下側電極、前記第３下側電極、前記第４下側電極、及び前記第５下側電極を下側電極とし、

前記液晶層は、前記上側電極及び下側電極、並びに、前記対向電極との間に配置されている、請求項１に記載の電子機器。

[請求項6] センサ素子を含む撮像素子を、さらに備える、請求項１に記載の電子機器。

[請求項7] 上側電極と、

下側電極と、

前記上側電極及び前記下側電極が設けられない領域と、

を備え、

前記上側電極は、

円形形状を有する中心電極と、

前記中心電極を囲み、円環形状を有する第１周辺電極と、

前記第１周辺電極を囲み、円環形状を有する第２周辺電極と、

前記第２周辺電極を囲み、円環形状を有する第３周辺電極と、

前記第３周辺電極を囲み、円環形状を有する第４周辺電極と、

を有し、

前記中心電極、前記第１周辺電極、前記第２周辺電極、前記第３周辺電極、及び第４周辺電極は、それぞれ、複数の分割電極を有する、電子機器。

[請求項8] 前記中心電極、前記第１周辺電極、前記第２周辺電極、前記第３周辺電極、及び第４周辺電極は、それぞれ、透明導電材料で形成されている、請求項７に記載の電子機器。

[請求項9] 前記中心電極、前記第１周辺電極、前記第２周辺電極、前記第３周辺電極、及び第４周辺電極それぞれとの間には、間隙が設けられている、請求項７に記載の電子機器。

[請求項10] 前記複数の分割電極の間には、それぞれ、間隙が設けられている、請求項７に記載の電子機器。

[請求項11] 対向電極と、

液晶層と、

をさらに備え、

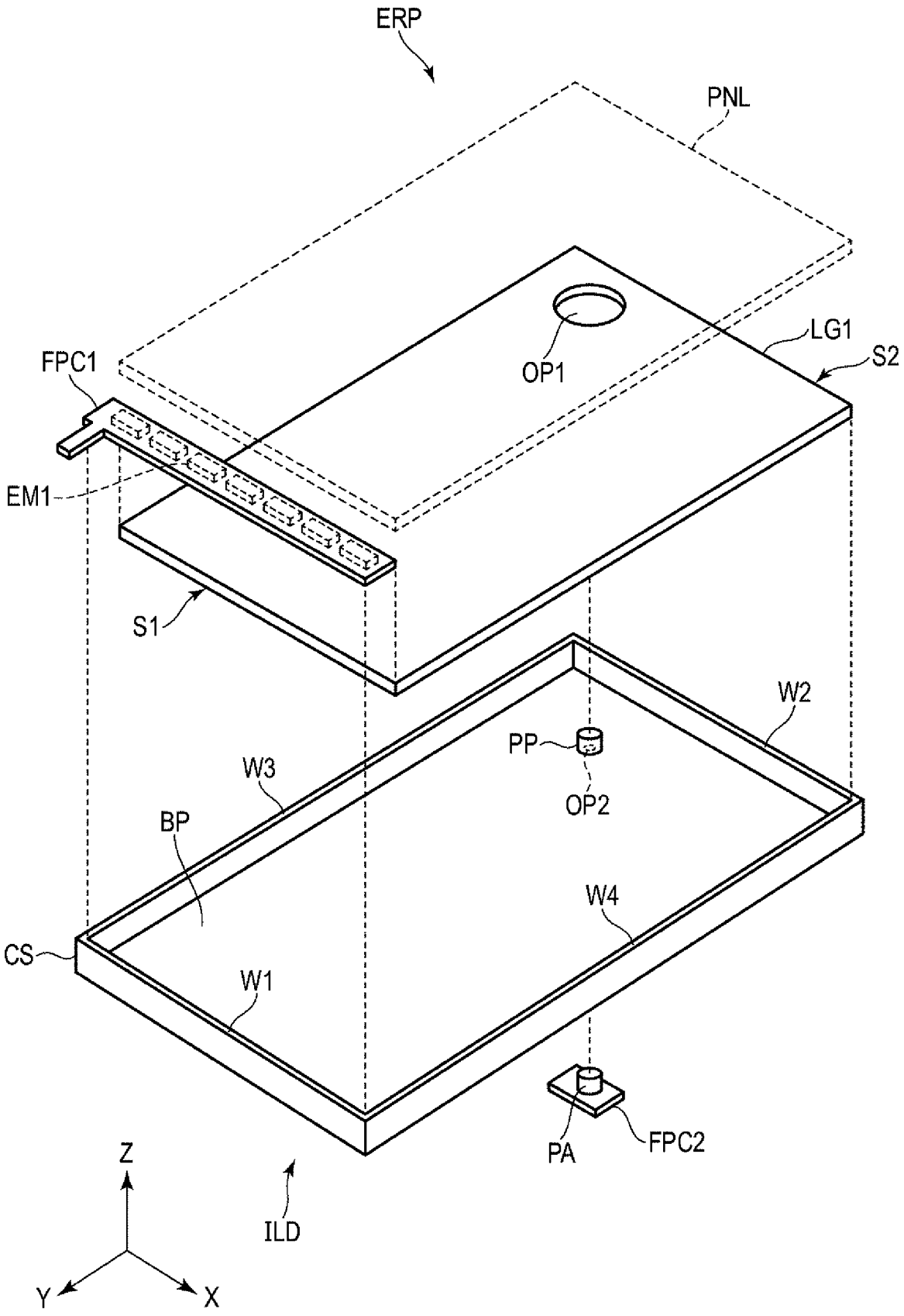
前記液晶層は、前記上側電極及び前記下側電極、並びに、前記対向電極との間に配置されている、請求項７に記載の電子機器。

[請求項12] センサ素子を含む撮像素子を、さらに備える、請求項７に記載の電子機器。

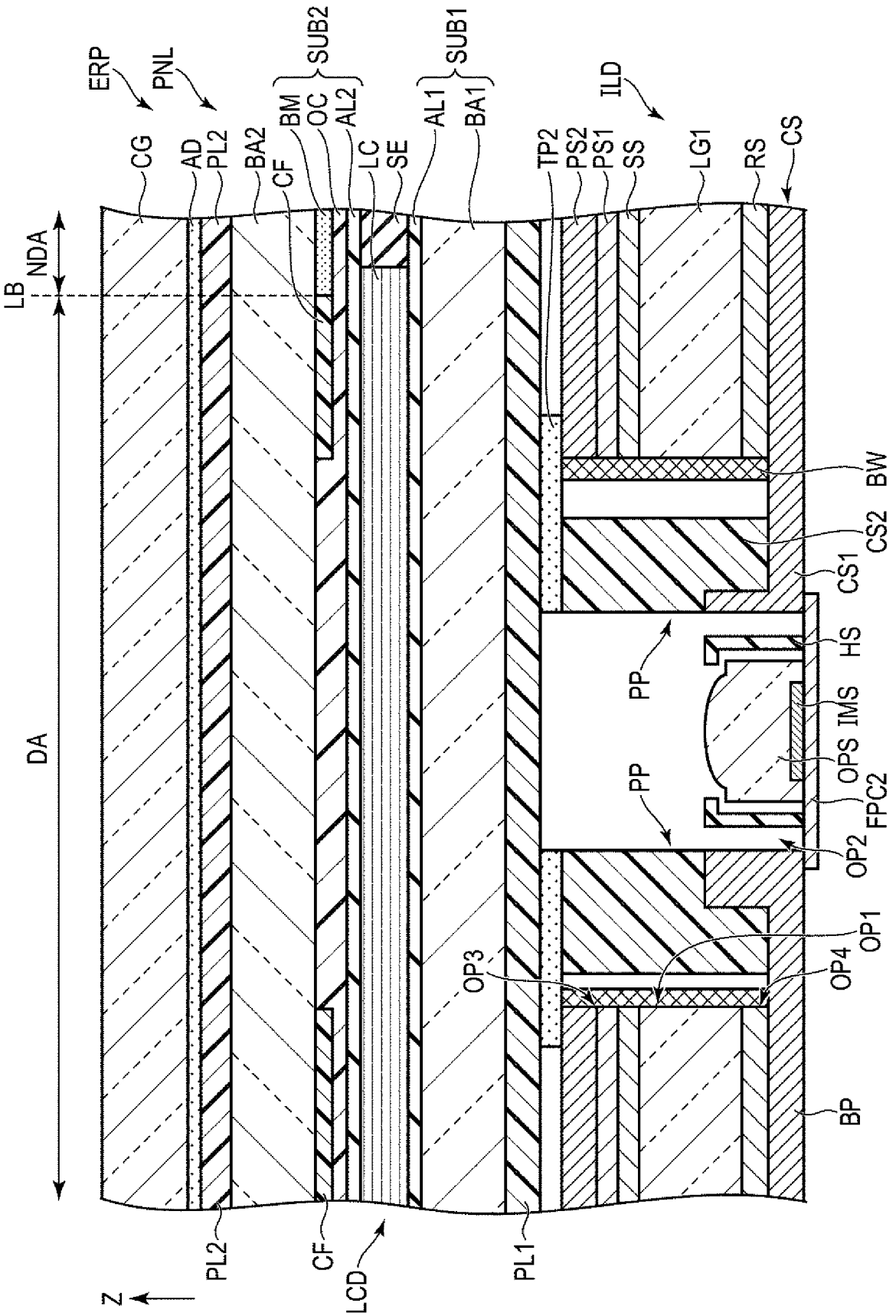
[請求項13] 前記領域は、五角形形状を有する、請求項７に記載の電子機器。

[請求項14] 前記領域は、正方形形状を有する、請求項７に記載の電子機器。

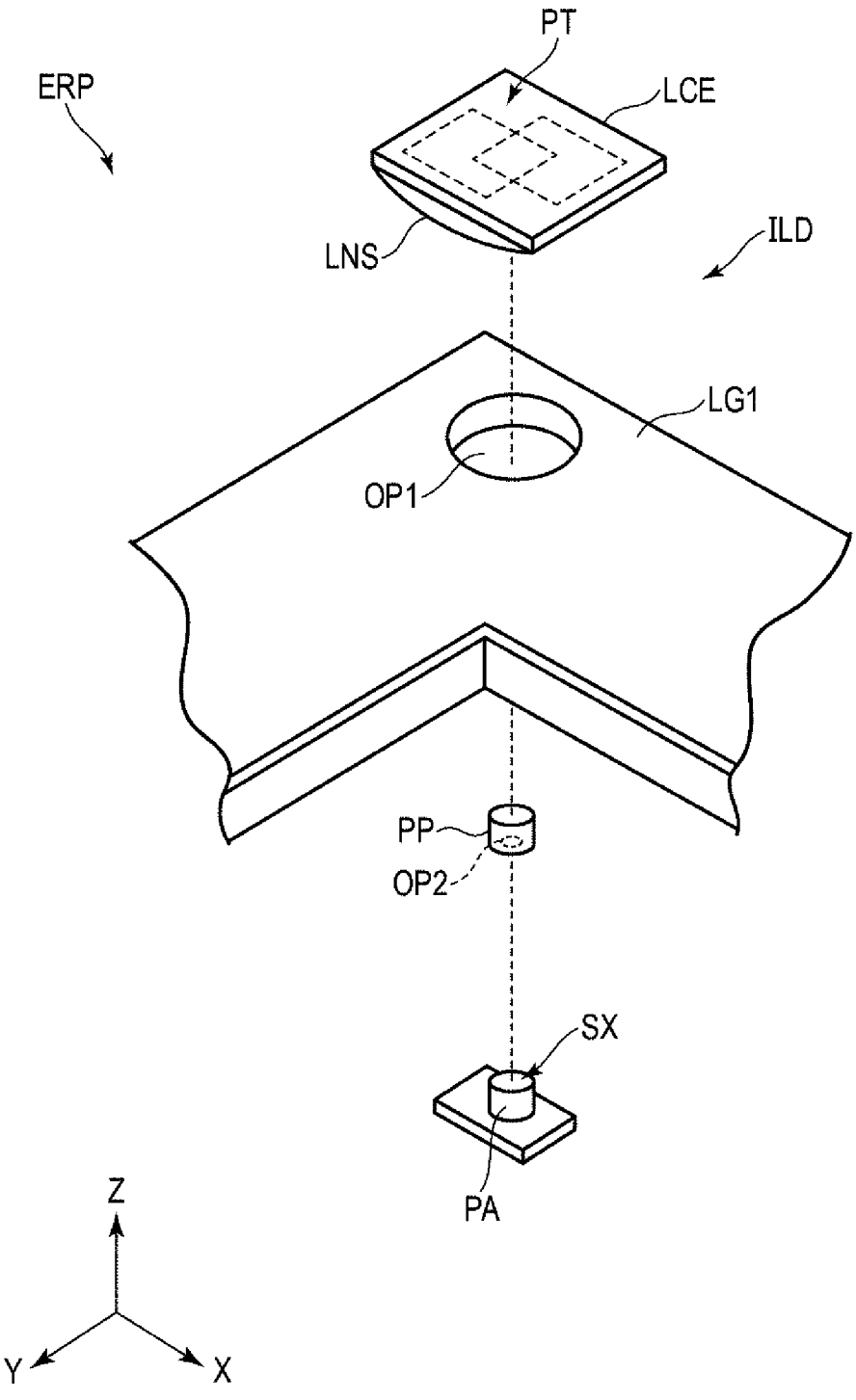
[図1]


ERP
PNL
LG1
S2
FPC1
OP1
EM1
S1
W2
PP
OP2
W3
BP
W4
CS
W1
PA
FPC2
ILD
Z
Y
X

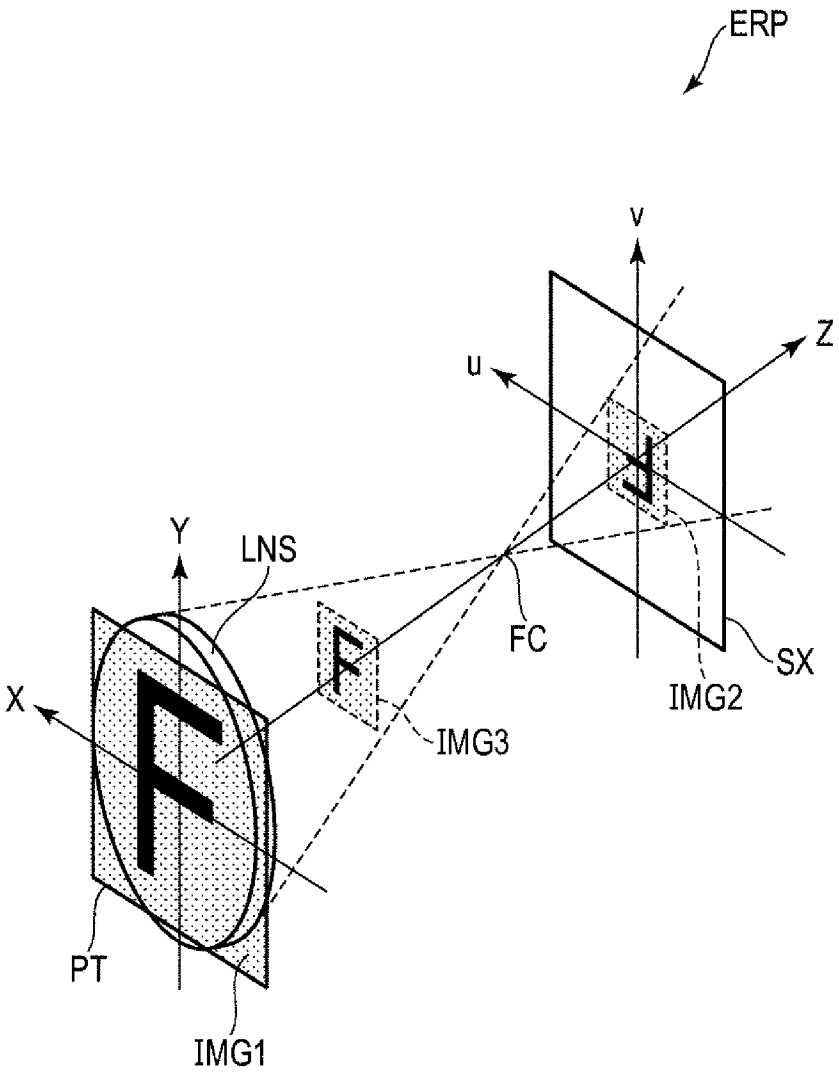
[図2]


ERP
PNL
SUB2
SUB1
ILD
CG
AD
PL2
BA2
CF
BM
OC
AL2
LC
SE
AL1
BA1
TP2
PS2
PS1
SS
LG1
RS
CS
LB
NDA
DA
BW
CS2
CS1
HS
PP
IMS
OPS
FPC2
OP2
OP1
OP3
OP4
BP
PL2
CF
LCD
PL1
Z

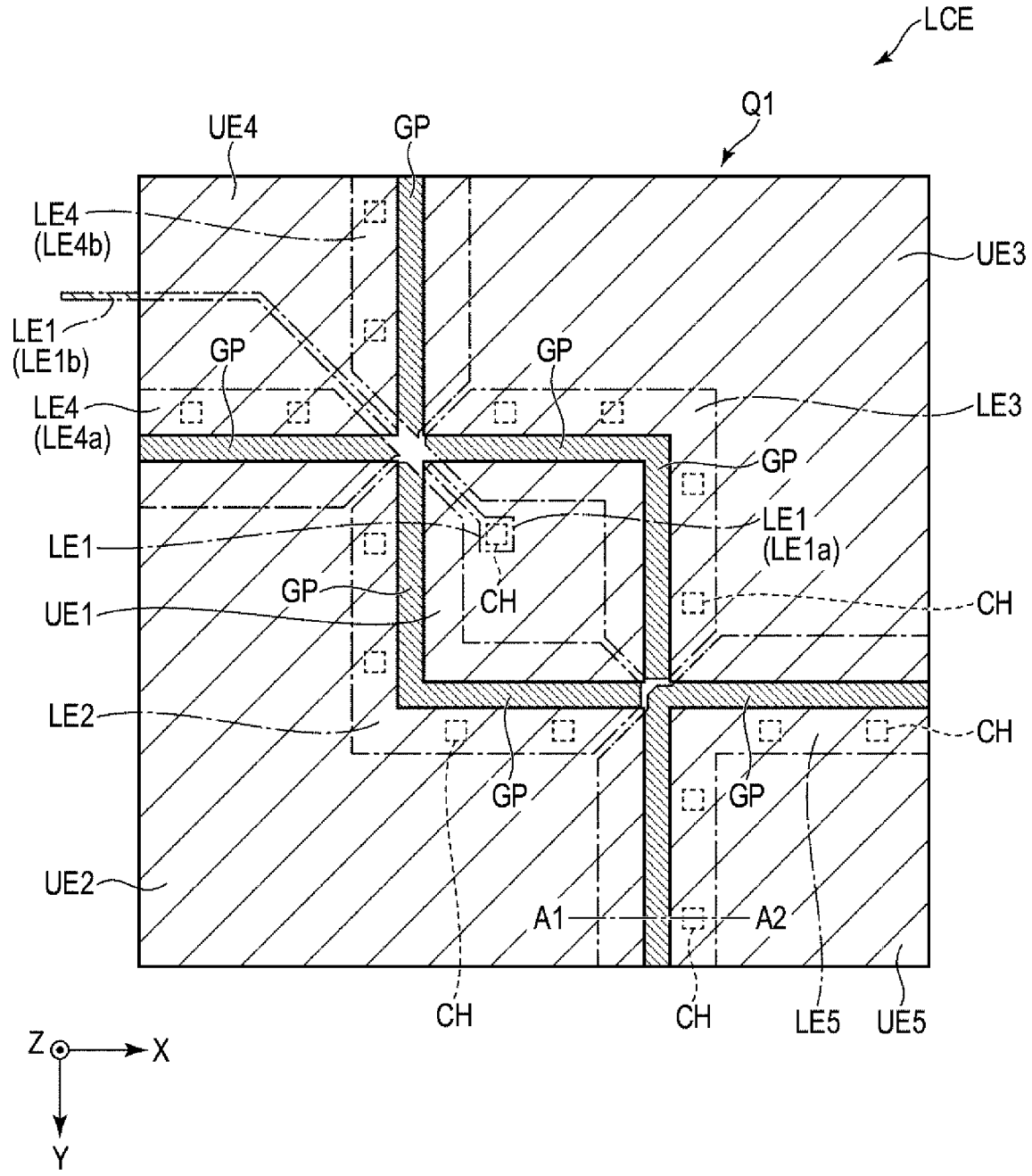
[図3]



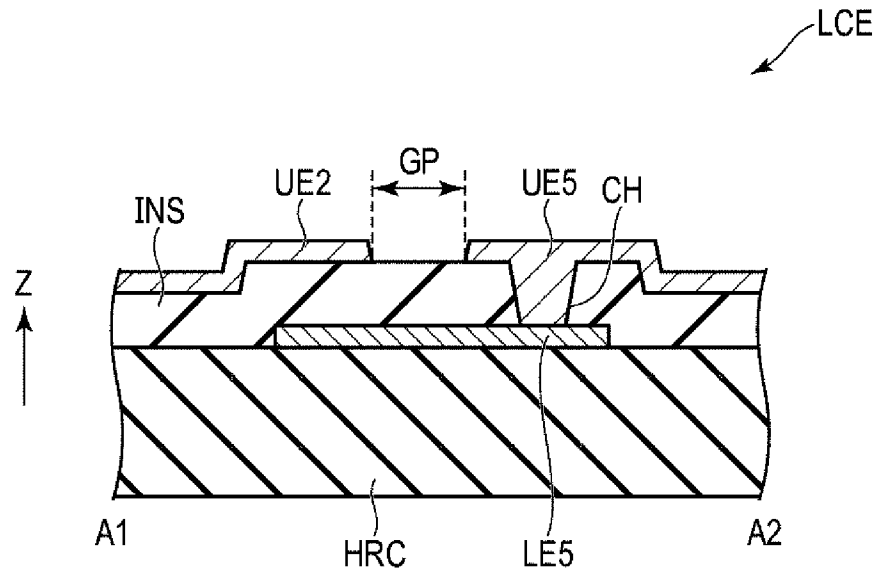
[図4]



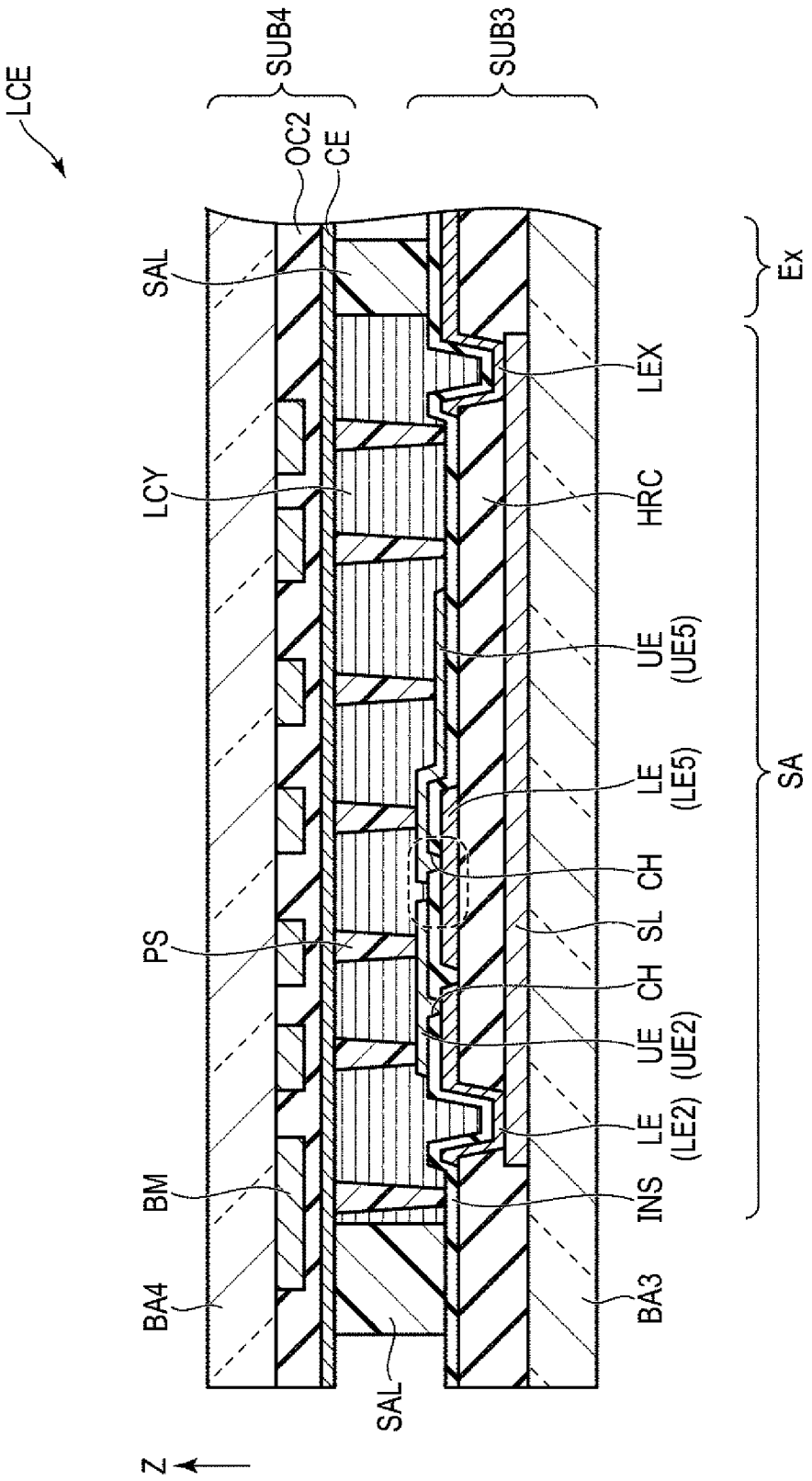
[図5]


LCE
Q1
UE4
GP
LE4
(LE4b)
UE3
LE1
(LE1b)
GP
GP
LE4
(LE4a)
LE3
GP
LE1
(LE1a)
LE1
GP
CH
UE1
CH
LE2
CH
GP
GP
UE2
A1
A2
CH
CH
LE5
UE5
Z
X
Y

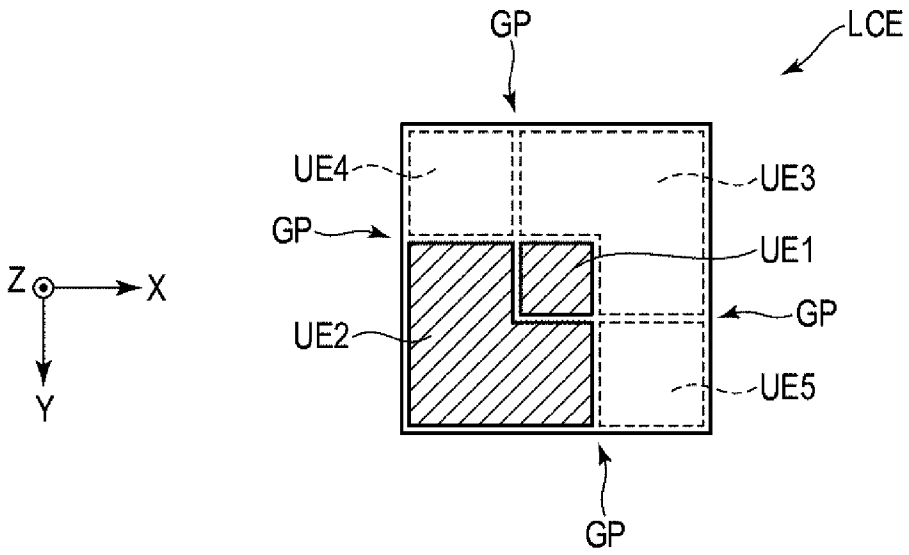
[図6]



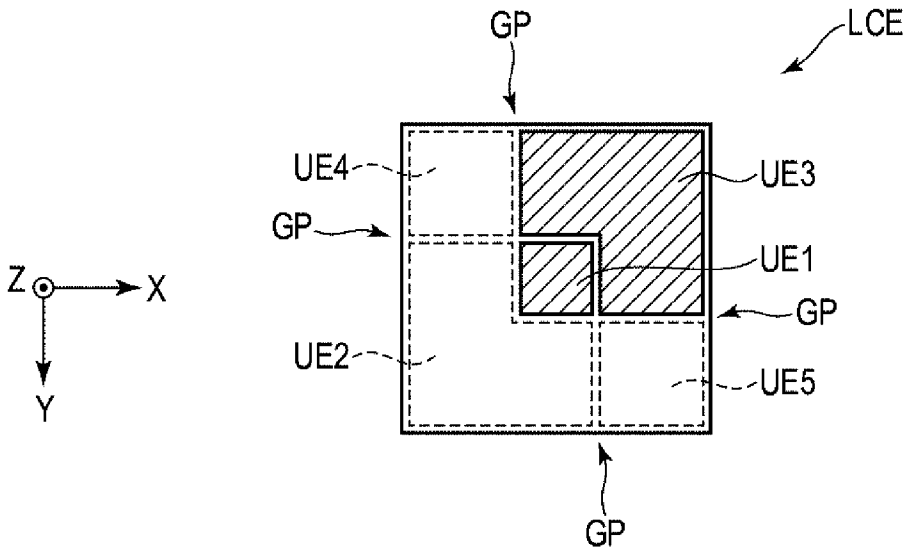
[図7]


LCE
SUB4
SUB3
OC2
CE
SAL
LCY
PS
BM
BA4
SAL
Z
LEX
HRC
UE (UE5)
LE (LE5)
CH
SL
CH
UE (UE2)
LE (LE2)
INS
BA3
Ex
SA

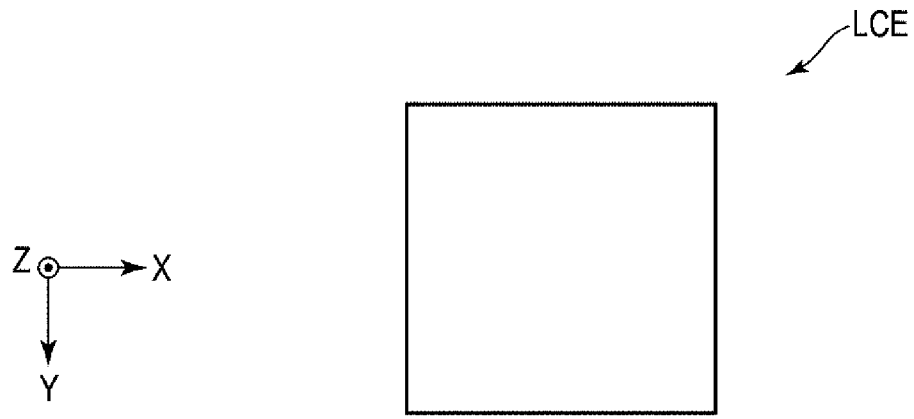
[図8A]


GP
LCE
UE4
UE3
GP
UE1
Z
X
GP
UE2
UE5
Y
GP

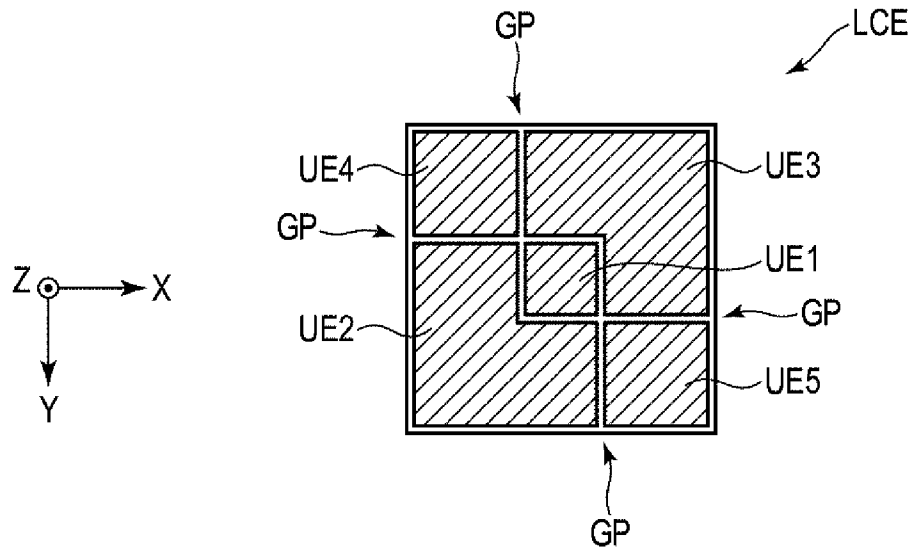
[図8B]


GP
LCE
UE4
UE3
GP
UE1
Z
X
GP
UE2
UE5
Y
GP

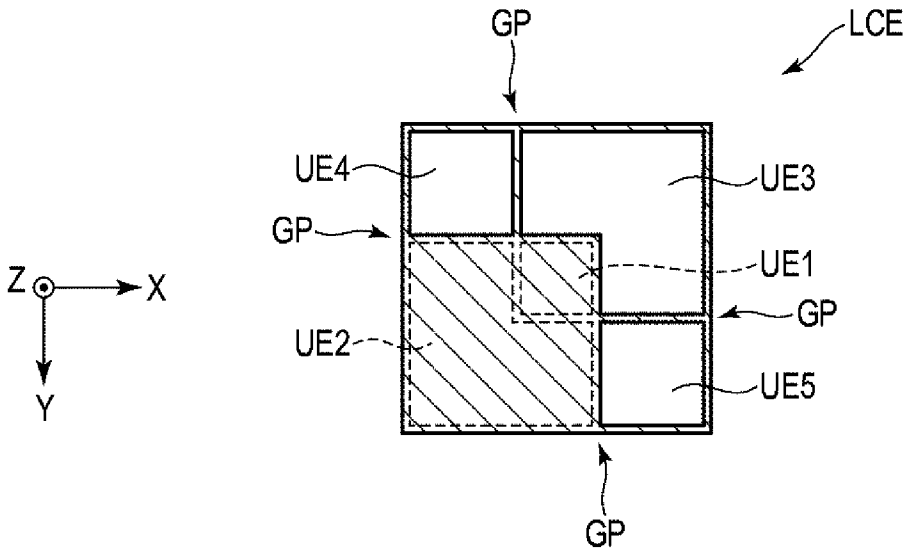
[図8C]



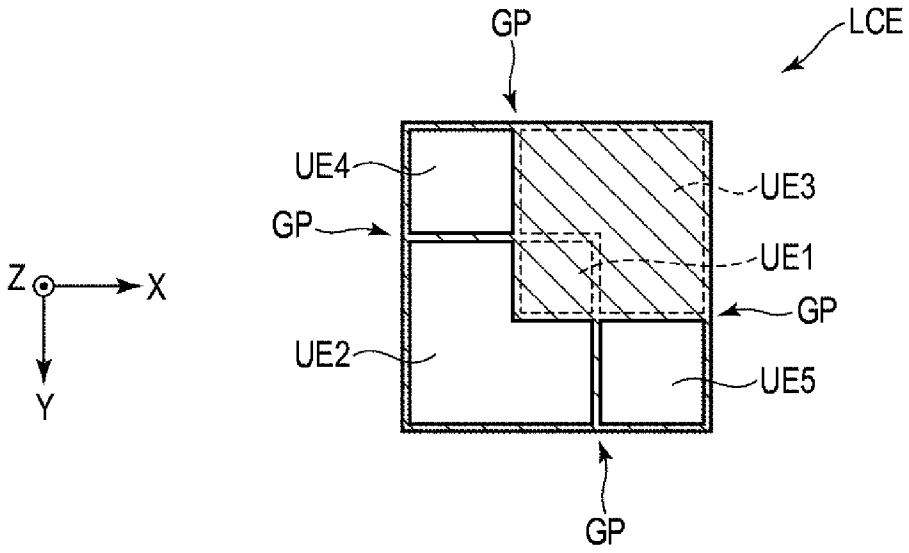
[図8D]



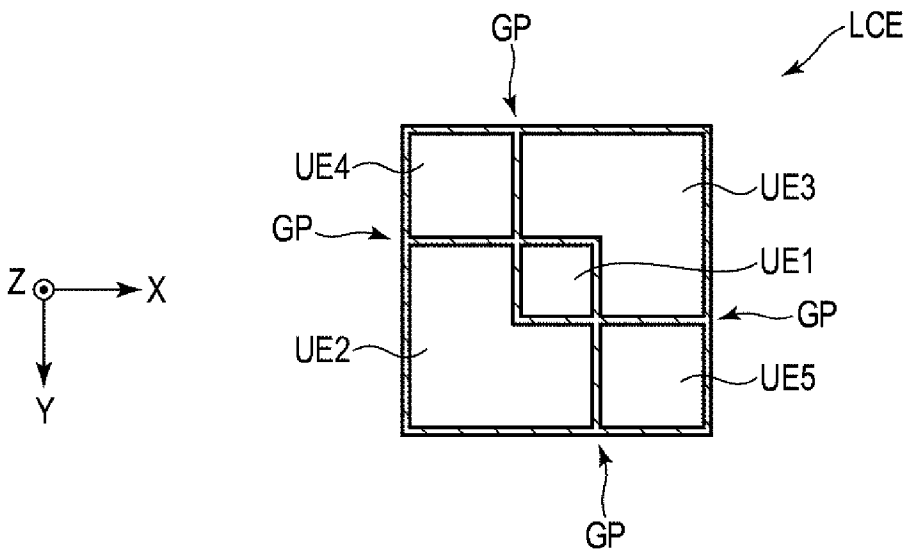
[図9A]


GP
LCE
UE4
UE3
GP
UE1
GP
UE2
UE5
GP
Z
X
Y

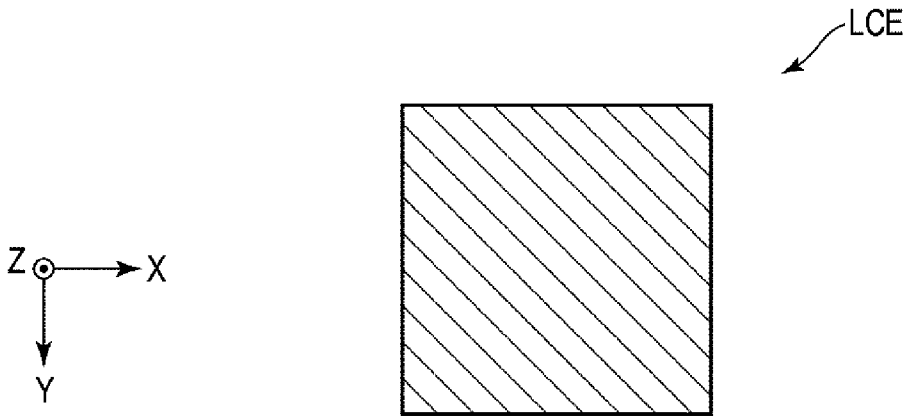
[図9B]


GP
LCE
UE4
UE3
GP
UE1
GP
UE2
UE5
GP
Z
X
Y

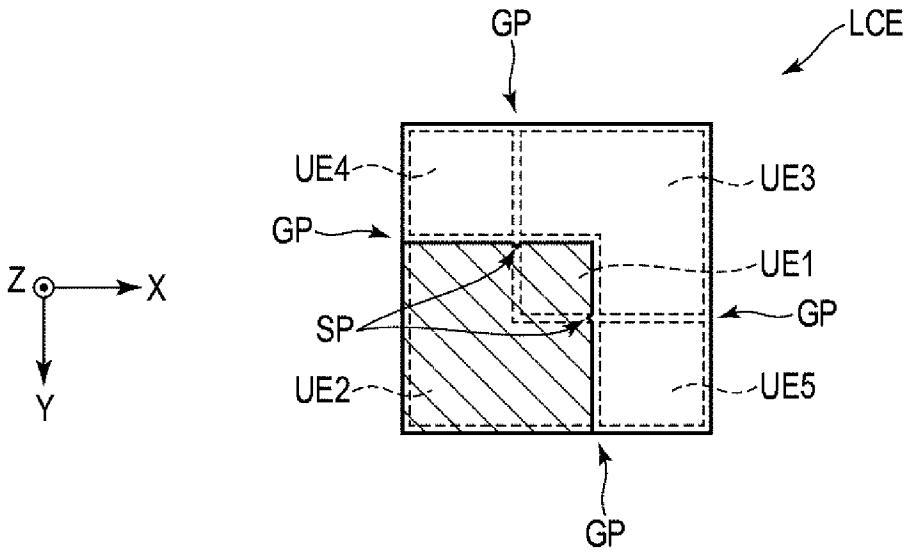
[図9C]



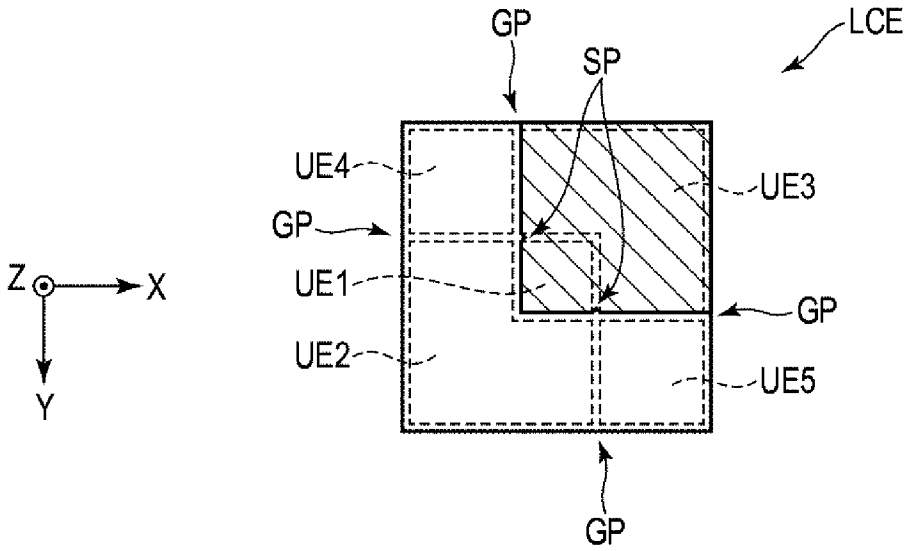
[図9D]



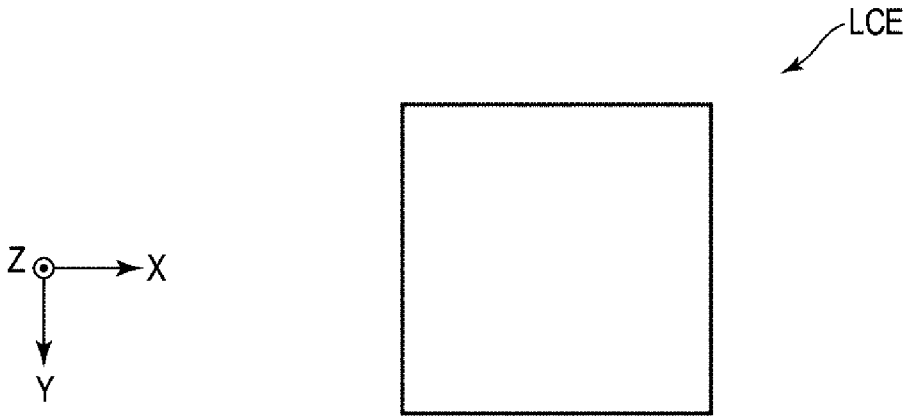
[図10A]


GP
LCE
UE4
UE3
GP
UE1
SP
GP
UE2
UE5
GP
Z
X
Y

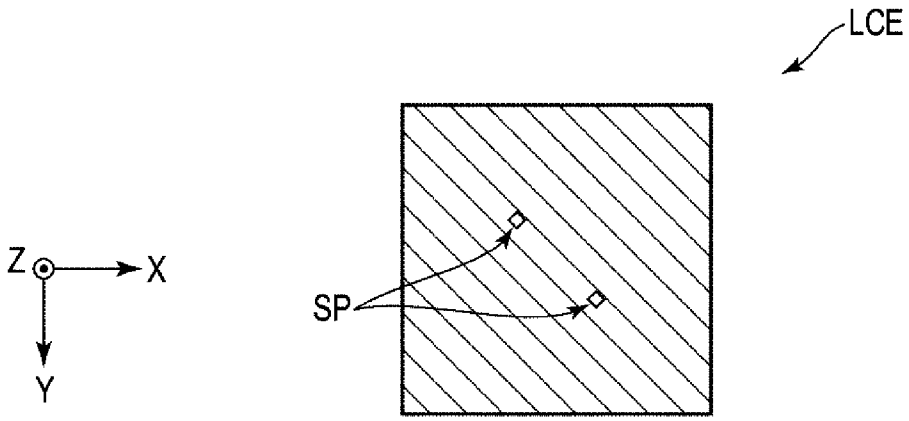
[図10B]


GP
SP
LCE
UE4
UE3
GP
UE1
GP
UE2
UE5
GP
Z
X
Y

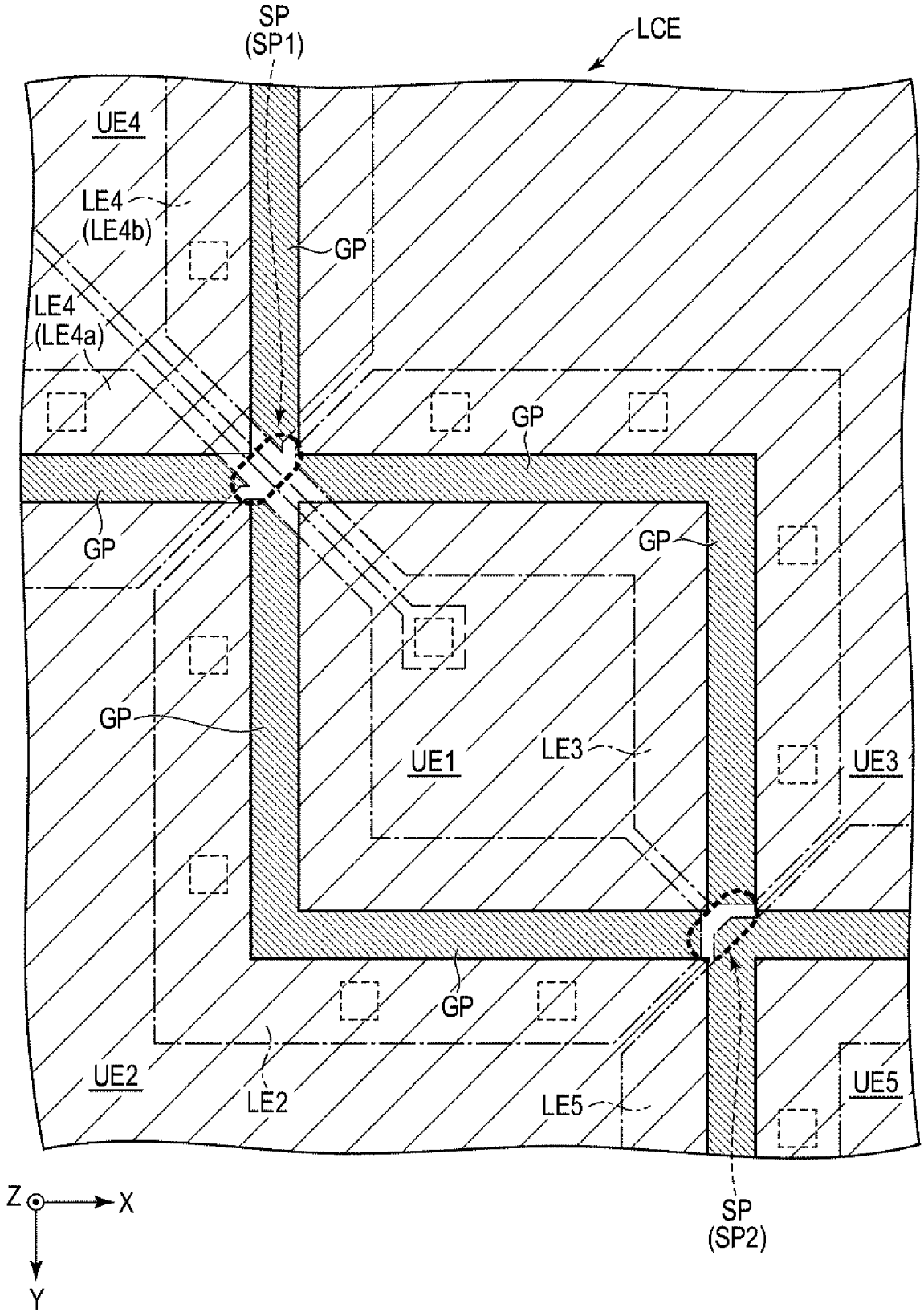
[図10C]



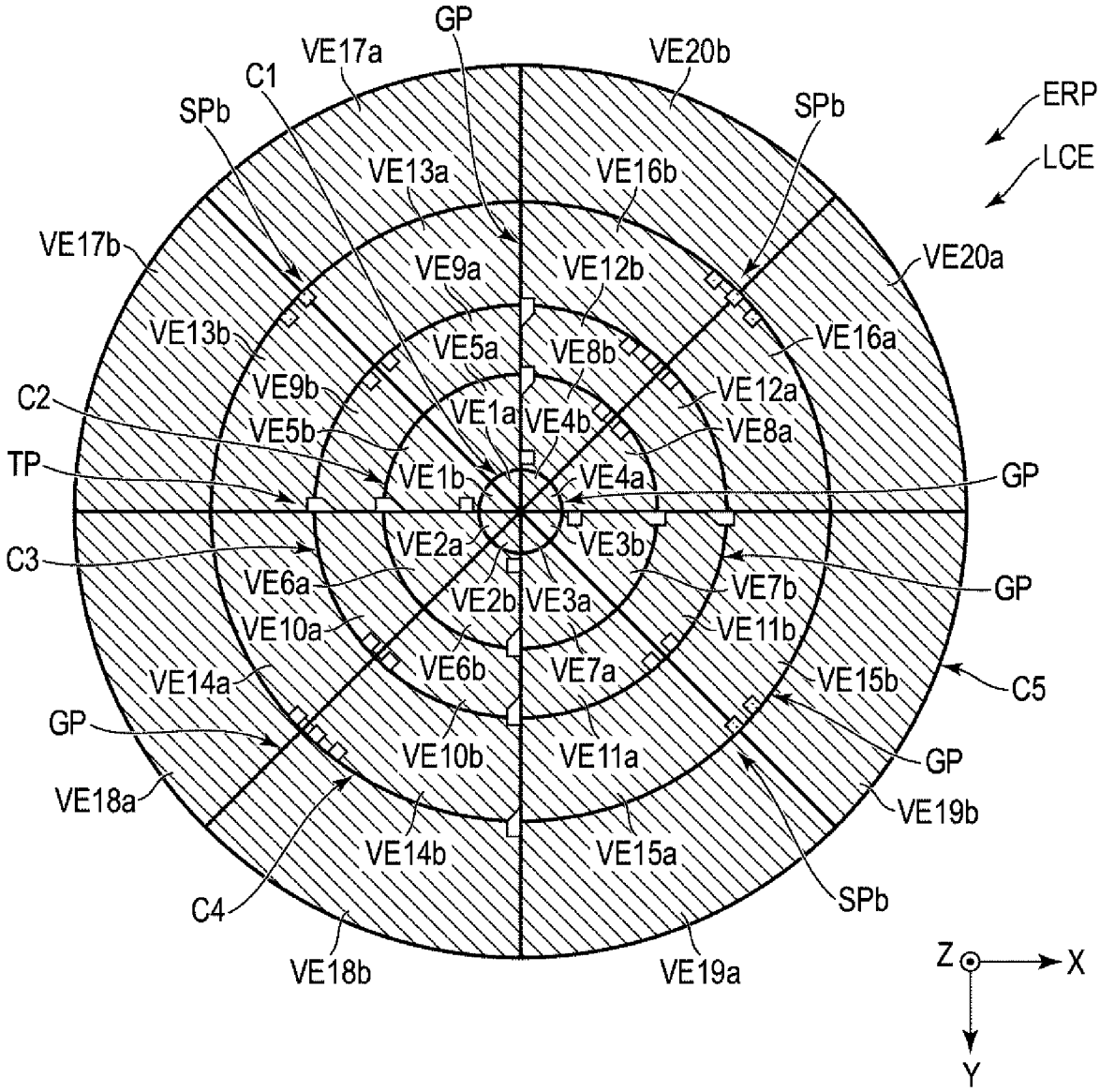
[図10D]



[図11]


SP
(SP1)
LCE
UE4
LE4
(LE4b)
GP
LE4
(LE4a)
GP
GP
GP
GP
UE1
LE3
UE3
GP
UE2
LE2
LE5
UE5
SP
(SP2)
Z
X
Y

[図12]


GP
VE17a
VE20b
C1
SPb
SPb
ERP
LCE
VE13a
VE16b
VE17b
VE9a
VE12b
VE20a
VE13b
VE5a
VE8b
VE16a
VE9b
VE12a
C2
VE1a
VE4b
VE5b
VE8a
TP
VE1b
VE4a
GP
VE2a
VE3b
C3
VE6a
VE7b
GP
VE2b
VE3a
VE10a
VE11b
VE6b
VE7a
VE14a
VE15b
C5
GP
VE10b
VE11a
GP
VE18a
VE19b
VE14b
VE15a
SPb
C4
VE18b
VE19a
Z
X
Y

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/020266

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/13(2006.01)i; ***G02F 1/1333***(2006.01)i; ***G02F 1/1343***(2006.01)i
FI: G02F1/13 505; G02F1/1333; G02F1/1343

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/13; G02F1/1333; G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2022-51425 A (JAPAN DISPLAY INC) 31 March 2022 (2022-03-31) paragraphs [0015]-[0052], [0087]-[0111], [0131]-[0162], [0435]-[0444], fig. 1-3, 9-10, 12-15, 87-89	7-10, 12
Y		1-2, 4-14
A		3
Y	JP 2020-17369 A (STANLEY ELECTRIC CO LTD) 30 January 2020 (2020-01-30) paragraphs [0018]-[0042], fig. 2-3	1-2, 4-14
Y	WO 2009/119865 A1 (CITIZEN HOLDINGS CO., LTD.) 01 October 2009 (2009-10-01) p. 8, line 9 to p. 11, line 5, fig. 4, 10	1-2, 4-14
Y	JP 2011-248334 A (SEIKO INSTRUMENTS INC) 08 December 2011 (2011-12-08) paragraphs [0021]-[0062], fig. 1-9	1-2, 4-14

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 July 2023	**08 August 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/020266

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2022-51425 A	31 March 2022	(Family: none)	
JP 2020-17369 A	30 January 2020	US 2020/0032978 A1 paragraphs [0033]-[0057], fig. 2-3 EP 3599417 A1 CN 110778981 A	
WO 2009/119865 A1	01 October 2009	US 2011/0019061 A1 paragraphs [0033]-[0039], fig. 4, 10 CN 101981609 A	
JP 2011-248334 A	08 December 2011	US 2011/0267568 A1 paragraphs [0050]-[0092], fig. 1-9 CN 102236217 A	

国際調査報告

国際出願番号
PCT/JP2023/020266

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G02F 1/13(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/1343(2006.01)i
FI: G02F1/13 505; G02F1/1333; G02F1/1343

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G02F1/13; G02F1/1333; G02F1/1343

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2022-51425 A (株式会社ジャパンディスプレイ) 31.03.2022 (2022-03-31) 段落0015-0052,0087-0111,0131-0162,0435-0444, 図1-3,9-10,12-15,87-89	7-10,12
Y		1-2,4-14
A		3
Y	JP 2020-17369 A (スタンレー電気株式会社) 30.01.2020 (2020-01-30) 段落0018-0042, 図2-3	1-2,4-14
Y	WO 2009/119865 A1 (シチズンホールディングス株式会社) 01.10.2009 (2009-10-01) 第8ページ第9行-第11ページ第5行, 図4,10	1-2,4-14
Y	JP 2011-248334 A (セイコーインスツル株式会社) 08.12.2011 (2011-12-08) 段落0021-0062, 図1-9	1-2,4-14

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
25.07.2023	08.08.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
植田　裕美子 2L 1949

電話番号 03-3581-1101 内線 3295

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/020266

引用文献	公表日	パテントファミリー文献	公表日
JP 2022-51425 A	31.03.2022	（ファミリーなし）	
JP 2020-17369 A	30.01.2020	US 2020/0032978 A1 段落0033-0057，図2-3 EP 3599417 A1 CN 110778981 A	
WO 2009/119865 A1	01.10.2009	US 2011/0019061 A1 段落0033-0039，図4,10 CN 101981609 A	
JP 2011-248334 A	08.12.2011	US 2011/0267568 A1 段落0050-0092，図1-9 CN 102236217 A	