

(12) 发明专利

(10) 授权公告号 CN 101923447 B

(45) 授权公告日 2013. 04. 24

(21) 申请号 200910171261. 9

(22) 申请日 2009. 08. 27

(30) 优先权数据

12/483, 198 2009. 06. 11 US

(73) 专利权人 S·艾勒特

地址 美国加利福尼亚州

专利权人 M·莱因万德

(72) 发明人 S·艾勒特 M·莱因万德

(74) 专利代理机构 北京润平知识产权代理有限公司

公司 11283

代理人 周建秋 王凤桐

(51) Int. Cl.

G06F 3/06 (2006. 01)

(56) 对比文件

US 6073209 A, 2000. 06. 06, 说明书第 3 栏第 1 行 - 第 14 页最后 1 行、图 1-19.

US 2008/0270811 A1, 2008. 10. 30, 全文.

审查员 王毅

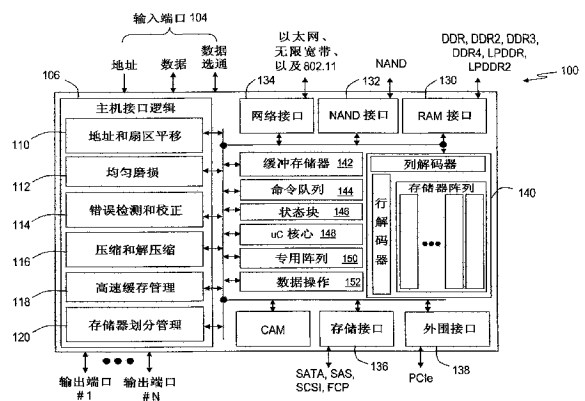
权利要求书3页 说明书7页 附图4页

(54) 发明名称

用于分层存储器体系结构的存储器装置

(57) 摘要

提供一种分层存储器装置, 该分层存储器装置具有不同存储器规格的多个接口, 并且该分层存储器装置包括相变存储器 (PCM)。输入端口和输出端口将串行链分层或分层树结构中的分层存储器装置与他存储器连接起来。标准非分层存储器装置也能够附着到分层存储器装置的输出端口上。



1. 一种分层存储器装置,该分层存储器装置包括:
相变存储器阵列;
具有不同的存储器规格的多个接口,所述多个接口包括与非接口;
至少一个输入端口和至少一个输出端口,用于连接串行链分层或分层树结构中的分层存储器装置,所述至少一个输出端口耦合到非分层存储器装置,所述非分层存储器装置包括位于所述分层存储器装置外部的至少一个与非存储器;以及
至少一个处理器核心,用于使用所述与非接口来控制所述相变存储器阵列与位于所述分层存储器装置外部的所述至少一个与非存储器之间的通信以便所述相变存储器阵列能够高速缓存从所述至少一个与非存储器接收到的数据。
2. 根据权利要求 1 所述的分层存储器装置,其中所述多个接口还包括随机存取存储器接口或网络接口中的至少一者。
3. 根据权利要求 1 所述的分层存储器装置,其中所述至少一个处理器核心被配置成将所述分层存储器装置作为 IO 映射的装置或存储器映射的装置来运行。
4. 根据权利要求 1 所述的分层存储器装置,其中所述至少一个处理器核心被配置成在所述分层树结构中的上行流端口和下行流端口之间切换业务。
5. 根据权利要求 1 所述的分层存储器装置,其中所述至少一个处理器核心被配置成解译所述串行链分层中的业务从而确定所述业务是用于所述分层存储器装置还是用于下行流/上行流节点。
6. 一种分层存储器装置,该分层存储器装置包括:
与非接口;
相变存储器阵列;以及
处理器核心,用于执行针对均匀磨损、高速缓存或错误检测和校正中的至少一者的算法,所述处理器核心用于通过使用所述与非接口来控制所述相变存储器阵列与位于所述分层存储器装置外部的至少一个与非存储器之间的通信以便所述相变存储器阵列能够高速缓存从所述至少一个与非存储器接收到的数据,
其中所述分层存储器装置被配置为作为 IO 映射的装置或存储器映射的装置来运行。
7. 根据权利要求 6 所述的分层存储器装置,其中所述分层存储器装置作为基于扇区的装置来运行。
8. 根据权利要求 6 所述的分层存储器装置,其中所述分层存储器装置与串行链配置中的其它分层存储器装置连接。
9. 根据权利要求 6 所述的分层存储器装置,其中所述分层存储器装置与树结构中的其它分层存储器装置连接。
10. 一种分层存储器装置,该分层存储器装置包括:
相变存储器阵列;
随机存取存储器接口;
与非接口;
至少一个处理器核心,被配置成通过使用所述与非接口来控制所述相变存储器阵列与位于所述分层存储器装置外部的至少一个与非存储器之间的通信以便所述相变存储器阵列能够高速缓存从所述至少一个与非存储器接收到的数据,并且所述至少一个处理器核心

被配置成提取命令信息以基于所述命令信息来调整所述与非接口的数据速率；
网络接口，用于支持信令速率和通过通信链接进行的数据分组传输；
存储接口；以及
外围接口。

11. 根据权利要求 10 所述的分层存储器装置，其中所述随机存取存储器接口作为双倍数据速率随机存取存储器来提供主机与所述存储器装置之间的通信。

12. 根据权利要求 10 所述的分层存储器装置，其中所述随机存取存储器接口作为双倍数据速率三同步动态随机存取存储器来提供主机与所述存储器装置之间的通信。

13. 根据权利要求 10 所述的分层存储器装置，其中所述随机存取存储器接口是被降低功率的低功率双倍数据速率接口。

14. 根据权利要求 10 所述的分层存储器装置，其中所述与非接口作为基于扇区的装置来运行。

15. 根据权利要求 10 所述的分层存储器装置，其中所述网络接口支持以太网协议。

16. 根据权利要求 10 所述的分层存储器装置，其中所述网络接口支持无限宽带点对点双向串行链接。

17. 根据权利要求 10 所述的分层存储器装置，其中所述网络接口支持 IEEE 802.11 通信链接。

18. 根据权利要求 10 所述的分层存储器装置，其中所述存储接口是串行 ATA 存储接口，该串行 ATA 存储接口允许在主机总线与大容量存储装置之间的通信。

19. 根据权利要求 10 所述的分层存储器装置，其中所述存储接口是串行连接 SCSI，该串行连接 SCSI 是将存储器装置链接到磁盘驱动的点对点串行接口。

20. 根据权利要求 10 所述的分层存储器装置，其中所述存储接口支持光纤信道协议。

21. 一种封装的存储器装置，该存储器装置包括：

至少一个分层存储器装置，该至少一个分层存储器装置具有一个或多个相变存储器阵列和用于处理不同的存储器规格的包括与非接口的多个接口；

第一与非装置和第二与非装置，所述第一与非装置和所述第二与非装置位于所述至少一个分层存储器装置的外部并连接到所述分层存储器装置的输出端口；以及

至少一个处理器核心，被配置成通过使用所述与非接口来控制所述一个或多个相变存储器阵列与所述第一与非装置和所述第二与非装置中的至少一者之间的通信以便所述一个或多个相变存储器阵列能够高速缓存从所述至少一个与非装置接收到的数据。

22. 根据权利要求 21 所述的封装的存储器装置，该存储器装置还包括至少一个随机存取存储器，所述至少一个随机存取存储器具有与所述至少一个分层存储器装置共同的地址端口和数据端口。

23. 一种封装的存储器装置，该存储器装置包括：

至少一个分层存储器装置，每个分层存储器装置具有一个或多个相变存储器阵列、用于处理不同的存储器规格的多个接口和用于通信地耦合到位于所述至少一个分层存储器装置外部的一个或多个与非装置的一个或多个输出端口，所述多个接口包括与非接口；

至少一个处理器核心，被配置成通过使用所述与非接口来控制所述一个或多个相变存储器阵列与所述一个或多个与非装置之间的通信以便所述一个或多个相变存储器阵列能

够高速缓存从所述一个或多个与非装置中的相应一个与非装置接收到的数据。

用于分层存储器体系结构的存储器装置

技术领域

[0001] 本发明涉及存储领域,尤其涉及一种分层存储器装置。

背景技术

[0002] 利用当前的微处理器,在 CPU 和 / 或核心逻辑与系统存储器之间的数据处理变成了系统性能的瓶颈。由于系统级总线的本征电容,当传送二进制数据时大量的功率在处理器的输入 / 输出接口处被消耗。考虑到改善系统性能,造成总线等待时间的同时进行的功率和定时优化是很关键的设计制约。在接口处需要对大容量存储的存储器装置进行另外的改进。

发明内容

[0003] 本发明提供一种分层存储器装置,该分层存储器装置包括:相变存储器 (PCM);具有不同的存储器规格 (format) 的多个接口;以及输入端口和输出端口,用于连接串行链分层或分层树结构中的分层存储器装置,其中标准非分层存储器装置附着 (attach) 到所述分层存储器装置的输出端口。

[0004] 本发明还提供一种用于存储器子系统内的分层存储器装置,该分层存储器装置包括:相变存储器 (PCM);以及处理器核心,用于执行均匀磨损、高速缓存、错误检测和校正、及数据操作的算法,从而管理性能和可靠性;其中所述分层存储器装置可配置为作为 IO 映射的装置、存储器映射的装置、或存储器映射的 IO 装置来运行。

[0005] 本发明还提供一种具有缓冲存储器的分层存储器装置,该分层存储器装置包括:相变存储器 (PCM) 阵列;RAM 接口 (随机存取存储器接口);NAND 接口 (与非接口),用于提取命令信息以基于所述命令来调整所述 NAND 接口与所述缓冲存储器之间的数据速率;网络接口,用于支持信令速率和通过通信链接进行的数据分组传输;存储接口;以及外围接口。

[0006] 本发明还提供一种封装的存储器装置,该存储器装置包括:分层存储器,具有相变存储器 (PCM) 阵列和用于处理不同的存储器规格的包括 NAND 接口的多个接口;以及第一 NAND 装置和第二 NAND 装置,连接到所述分层存储器装置的输出端口。

[0007] 本发明还提供一种封装的存储器装置,该存储器装置包括:第一分层存储器和第二分层存储器,每个分层存储器具有相变存储器 (PCM) 阵列、和用于处理不同的存储器规格的多个接口、以及链接到 NAND 装置的输出端口。

[0008] 本发明还提供一种封装的存储器装置,该存储器装置包括:第一分层存储器和第二分层存储器,每个分层存储器具有相变存储器 (PCM) 阵列、用于处理不同的存储器规格的多个接口、以及输出端口;第一 NAND 装置和第二 NAND 装置,连接到所述第一分层存储器的输出端口;以及第三 NAND 装置和第四 NAND 装置,连接到所述第二分层存储器的输出端口。

附图说明

[0009] 在说明书的结论部分特别地指出和清楚地声明了本发明的主题。然而,当和以下附图一起阅读时,可以参考下面的详细描述来更好地理解关于本发明的组织结构和操作方法及其目的、特征和优点。其中:

[0010] 图 1 是根据本发明的可以被用作分层 (hierarchical) 体系结构中的存储器存储的分层存储器装置;

[0011] 图 2 是根据本发明的各种分层存储器配置的示意图;

[0012] 图 3 示出了根据本发明的各种组合中的配备有 NAND(与非)和 RAM 的分层存储器;以及

[0013] 图 4 示出了封装的装置,该封装的装置可以安装在基底上的方块上,之后该封装的装置可以被凸起以创建芯片尺寸封装 (CSP) 或球栅阵列 (BallGrid Array, BGA) 作为最终封装。

[0014] 可以理解,为了进行简明清楚的说明,附图中示出的元件不必要按照尺寸绘制。例如,为了清楚,一些元件的尺寸可以相对于其它元件被放大。而且,在合适处,附图中重复的附图标记指示对应的或类似的元件。

具体实施方式

[0015] 在下面的详细描述中,列举了一些特定的细节以提供对本发明的透彻的理解。然而,对于本领域的技术人员来说,可以理解,可以在没有这些特定细节的情况下实施本发明。在其它示例中,没有详细描述公知的方法、步骤、组件和电路,以避免使本发明不明确。

[0016] 应该理解,术语“耦合”和“连接”以及其派生词不是彼此的同义词。而是,在特定的实施方式中,“连接”可以被用于指示两个或多个元件彼此直接物理或电接触。“耦合”可以被用于指示两个或多个元件彼此直接或间接(有其它元件介于其间)物理或电接触,和/或两个或多个元件彼此协作或交互(例如以原因与后果的关系)。

[0017] 在图 1 中示出的体系结构显示了根据本发明的分层存储器装置 100,该分层存储器装置 100 包括多个接口和处理器核心 148 以便于与分层排列中的其它存储装置进行通信。总线 104 提供到多处理接口的连接,该多处理接口允许在处理器、可以被附着的任何 I/O 以及混合的存储器类型之间进行通信。经由总线 104 提供的高速通信支持直接的写入,并提供高速总线事务处理。总线 104 中的信号使用各种信令方法。作为这些信令的方法示例,总线 104 可以提供端信号或使用射电 (gunning) 收发逻辑 (GTL) 信令技术的信号,所述射电收发逻辑信令技术具有通过接收机使用参考等级的差分输入缓冲器从而确定信号是逻辑 0 还是逻辑 1,然而本发明的范围不局限于这些示例,也可以使用其它信令方法。

[0018] 存储器装置 100 包括 RAM(随机存取存储器)接口 130、与非 (NAND) 接口 132、网络接口 134、存储接口 136 和外围接口 138。RAM 接口 130 使用接口电路来提供主机控制器与存储器装置 100 之间的通信,所述接口电路选择地以越来越高的多个基本读取速率进行操作。例如,RAM 接口 130 可以提供数据的串行输入,或者可替换地,通过同步接口提供更高的带宽,所述同步接口在响应于控制输入(同步动态随机存取存储器 (SDRAM))之前等待时钟信号。

[0019] RAM 接口 130 还可以作为双倍数据速率随机存取存储器 (DDR RAM) 或下一代 DDR2

来接收数据。在 DDR2 中,总线以存储器单元速度的两倍的速度被计时,从而 DDR2 能够有效地以 DDR 总线速度的两倍速度来操作。RAM 接口 130 还可以提供双倍数据速率三同步动态随机存取存储器 (DDR3SDRAM),该 DDR3SDRAM 以 DDR2 的数据速率的两倍的数据速率来传输数据,从而能够达到比早期的存储器技术更高的数据速率和更高的峰值速率。存储器装置 100 还可以适应于 DDR4,所述 DDR4 以 1.2 伏特操作输入 / 输出 (I/O)。分层存储器装置 100 还支持降低功率的接口,诸如低功率双倍数据速率 (LPDDR) 和具有更低的供电电压的 LPDDR2。

[0020] NAND 接口 132 对操作进行控制以支持将 NAND 存储器连接到主机处理器从而提供更低的带宽、更长的等待时间,和提供设计的简单性以及相对于 RAM 接口 130 减少的引线个数。存储器块 140 接收数据以支持 NAND 闪存,所述 NAND 闪存可以被用于大容量存储应用。在操作以支持 NAND 闪存时,存储器装置 100 执行三种基本操作,称为读取页面 (page)、对页面编程和擦除时钟。为了支持 NAND 配置,存储器块 140 包括一组块和页面,其中每个页面具有存储用户数据的数据部分和存储与用户数据相关联的元 (meta) 数据 (诸如 ECC 信息) 的备用部分。

[0021] 命令和操作信息被提取以控制 NAND 接口 132、以及基于命令和地址来调整 NAND 接口与缓冲存储器 142 之间的数据输入和 / 或输出。数据可以从 NAND 接口 132 被输出到错误检测与配置 114 中的错误校正逻辑,以用于对数据执行错误校正。利用集成能力,存储器装置 100 可以用作多核 NAND 管理子系统或自动计算子系统。

[0022] 网络接口 134 提供对以太网、无限宽带 (InfiniBand)、和 802.11 的支持。以太网是使用载波监听多路访问 / 冲突检测 (CSMA/CD) 来处理同时发生的请求的局域网 (LAN) 接口。CSMA/CD 协议提供对共享信道的公平访问,从而使得连接的站点获得使用网络的机会。在每次分组传输之后,接下来 CSMA/CD 协议确定哪个站点被授予权限使用以太网信道。以太网协议规定了用于构建框架的规则,在该框架中规定了目的地址和源地址。

[0023] 网络接口 134 支持被定义为无限宽带的点对点双向串行链接,该点对点双向串行链接将主机处理器与诸如磁盘的高速外围设备连接在一起。该接口可以支持多种信令速率和链接。网络接口 134 也可以支持 802.11 通信链接。

[0024] 存储接口 136 支持工业和嵌入式应用。存储接口 136 支持串行 ATA (SATA) 存储接口,该 SATA 存储接口允许主机总线与大容量存储装置之间的通信。SATA 接口利用四个电线中最小的电线来驱动电缆以创建点对点连接。由存储接口 136 支持的另一个接口是串行连接 SCSI (SAS),该 SAS 是将存储器装置 100 链接到磁盘驱动的点对点串行接口。SAS 可以被用于使得不同大小和不同类型的多个装置能够使用电缆被同时连接到存储器装置 100。并行 SCSI 接口 (PSI,又叫做 SCSI) 是 SCSI 家族中的接口设备中的一种,该 PSI 接口可以被存储器装置 100 支持。光纤信道协议 (FCP) 是在光纤信道 (FC) 上的 SCSI 的接口协议。FC 驱动是双端口的并且包括本地命令队列 (Native Command Queuing, NCQ),该技术允许单个硬盘在内部优化所接收到的读取和写入命令被执行的顺序。

[0025] 当存储控制器正进行事务处理时,另外的逻辑和寄存器标识和记录各种使用形式参数,诸如地点和队列信息。存储控制器包括用于标识和调整存储访问的逻辑。主机控制器可以读取该寄存器信息并调整其发送事务处理到存储装置的方法。可替换地,主机控制器可以读取寄存器信息并将微码发送到存储装置。

[0026] 外围接口 138 可以被用于用电设备、服务器和工业应用；作为用于链接安装在主板上的外围的主板级互连以及作为用于附加板 (add-in board) 的扩展卡接口。例如，快捷外设部件互连 (PCI Express 或 PCIe) 允许“信道分组”，其中多个路径被接合到单个装置配对以提供更高的带宽。可以在上电时期间“协商”路径的数目或者可以在操作期间明确定义路径的数目。

[0027] 为了控制存储器操作，分层存储器装置 100 包括集成了计数器 / 定时器的微控制器 (uC) 核心 148；在其它处理功能中定义可配置 I/O 端口和选择功率降低模式的中断结构。例如，uC 148 可以包括操作模式以启动安全性功能部件，所述安全性功能部件管理对程序存储器的位置的内容的访问请求。在启动了安全性的情况下，同时发生的编程（也就是使用从存储器的其它区域执行的指令来对存储器的一个区域进行编程）可以在预定的安全条件下被启动。

[0028] 专用于存储配置信息的存储器阵列 150 可以被制造商或者用户加载，所述配置信息特定用于外围存储装置 100。由 uC 核心 148 执行的软件将配置数据应用到被提供给主机的外围存储器装置 100、附着的外围装置和其它存储装置。

[0029] uC 核心 148 和命令队列 144 一起解译命令组并发出存储器命令。内部控制器处理操作定时并检验对诸如写入命令、读取命令和刷新命令的存储器命令的校正的执行。另外，在该结构中可以支持诸如“状态读取”、“复制”、“移动”、或“错误校正”的命令的主机。控制器提供状态块 146，所述状态块 146 的寄存器传递关于状态的传达信息和对存储器操作期间可能发生的任何错误的报告。状态寄存器输出可以被读取以在命令操作期间监控过程的进行、或者报告存储器操作的结果。

[0030] 在发出编程命令时缓冲存储器 142 保持可以作为一组被传输到存储器块 140 的一些消息，并且还缓冲从存储器块读取的大量数据。在对一个页面编程的方式下，以及在程序和校验过程完成之后，可以执行对下一个页面的编程和校验过程。读取命令执行以从存储器单元将数据读取到缓冲存储器，该数据然后再被传输出去。应该注意，编程可以在通过主机接口传输所有的数据之前开始。对于图 2 中示出的分层结构来说更显然，数据可以通过具有几级缓冲的分层而被传播下去，直到足够多的信息被传输到目的地以用于开始进行编程。

[0031] 存储器块 140 可以具有多个存储体 (bank) 结构以提供分割代码和存储器阵列中的数据空间的灵活性。双向操作允许从一个存储体执行代码，而其它存储体可以被编程或擦除。当在一个存储体中编程或擦除时，在其它库中可以进行读取操作。在一个实施方式中，存储器阵列是相变存储器 (PCM) 阵列，也被称作相变随机存取存储器 (PRAM 或 PDRAM)、双向通用存储器 (OUM) 或硫系化合物随机存储存储器 (C-RAM)。在另一个实施方式中，存储器阵列可以是磁性随机存取存储器 (MRAM) 单元，其中磁性存储元件由位于行和列的交点处的两个铁磁板（未示出）形成、并由磁隧道结 (MTJ) 装置（未示出）选择。在再一个实施方式中，存储器阵列可以是铁电随机存储存储器 (FRAM) 单元。

[0032] 分层存储器装置 100 可以包括集成到分成存储器装置中的主机接口逻辑。主机接口逻辑可以执行下述功能中的一些或者全部：与主机处理器进行通信；将分层存储器的多个树 (tree) 集合起来；均匀磨损 (wear leveling)，报废坏的存储器扇区；为性能和可靠性管理提供存储器使用的统计跟踪；以及利用分层存储器树中的内容可寻址存储器。

[0033] 标记为地址和扇区平移 110 的块表示通过经由总线 104 接收地址信息来在分层存储器装置 100 内寻址,所述总线 104 可以被用于访问在分层中的各个位置处所附着的存储器装置。当 NAND 地址信息被分层存储器装置 100 接收到时,当 NAND 地址信息通过分层树时可以发生或者可以不发生地址重新映射。分层存储器装置 100 经由发现过程、以及将“长”地址与“短”地址关联的内部查找表知道附着的存储器装置的类型。长地址包括到目的端口的完整的路标,例如“0”可以表示左边的端口,“1”可以表示右边的端口。短的地址可以被用于装置间的通信,其包括用于更低的树的有效端口的顺序列表。

[0034] 均匀磨损 112 将擦除散布在管理的存储器块上,并迫使具有低循环计数的块间断地移动,并允许高循环的数据被置于低循环的块内。大部分块不循环,但高循环计数的块最有可能出现故障和均匀磨损硬件,并且在擦除算法期间微码将高循环计数块与低循环计数块的地址进行交换。注意,对于终端用户来说所有的地址交换是透明的。

[0035] 可配置的错误校正代码 (ECC) 引擎 114 提供错误检测和校正方案。错误检测和校正方案对与写入精确度和可重复性相关联的问题进行补偿。错误校正代码确保每个数据信号符合构造的特定规则、且在接收到的信号中对该构造的偏离可以被自动检测和校正。从而,可配置的 ECC 引擎 114 监控、确定和防止存储器比特错误。

[0036] 压缩和解压缩块 116 将输入数据组压缩成占更小的存储器比特的存储的数据组。当访问存储的数据时,该数据被解压缩并返还给主机。应该注意,压缩可以是无损的,从而确保读取的数据与先前写入的数据相同。另一方面,有损的压缩可以实现更高级别的压缩,但是可能数据中有变化。有损压缩可以适合于视频数据的存储,其中在数据形式中的较小变化不会造成用户体验上的明显降级。

[0037] 高速缓存管理块 118 在分层存储器树中操作以基于访问模式提供信息存储位置的优化,例如在最高性能、最稳健的存储器中存储“热点 (hot)”数据;在较便宜的、较低性能的、不太稳健的存储器中存储“非热点”数据。

[0038] 数据操作块 152 有利地散布具有更慢状态的存储器的背景时间预处理扇区,从而在前台操作期间这些状态可以被快速转换。通常,写入存储状态“1”的存储器状态比存储状态“0”需要更长的时间。在这些情况下,处理数据的优点是有更少的比特转换成更低的状态。在数据被处理以反转数据的情况下,存储另外的比特以指示被反转的数据,从而优化性能。对于可以使用类似技术的可靠性管理来说,存在类似的情形(例如“0”比“1”需要更高的比特错误速率)。

[0039] 存储器划分管理块 120 可以提供存储器划分选项以在维持软件可重复使用性、系统可靠性和设计灵活性的同时保护不同的核心和分区上的存储器。划分允许使用非易失性媒介的上层软件层分割可用的存储器空间以存储不同类型的数据或代码。分层存储器装置 100 提供划分逻辑可寻址空间的可能性从而使装置适用于不同的使用模型、且使用模型本身在系统的生命周期期间的变换。

[0040] 图 2 示出了多个分层存储器装置 100,该分层存储器装置 100 连接在具有附加存储器存储的各种配置中。图中显示了合适排列的装置 100 允许一连串存储器装置,并使存储器的附着装置能够伸入到具有有限引线个数的处理器控制器。分层存储器装置 100 将系统开放为大容量存储器存储并使分层存储器体系结构能够具有主要由实际物理约束来限制的存储器容量。

[0041] 为了对短的连接通信提供更高的总 I/O 带宽, 芯片间总线可以是双向的, 即, 所述总线可以是独立总线, 该独立总线具有以向上的方向提供信号的一个总线、和以向下的方向提供信号的一个总线。除了同时双向信令, 低压差分信令 (LVDS) 可以被用作芯片间通信的信令协议和用于链接到通用闪存 (UFS) 的 LVDS 存储器。

[0042] 分层存储器装置 100 位于处理器和存储器存储装置之间, 可以具有不同的存储机制和不同的接口规格 (format)。分层存储器装置 100 提供接口以适应不同的存储器规格, 诸如具有随机存取读取的 NOR、提供页面访问的 NAND 和允许 DDR 的 RAM。分层存储器 100 可以附着到主机控制器上, 或者在可替换的实施方式中, 如果存储控制器功能被集成到存储器装置 100 中, 则分层存储器 100 可以直接附着到主机上。

[0043] 图中显示了分层存储器装置连接在树分层 204 中, 其中每个分层存储器装置 100 在其上行流端口和多个下行流端口中的一个下行流端口之间切换业务。这一配置将往返路程等待时间最小化到树的最低层, 同时以一些附加的互联的成本为代价。图中还显示了分层存储器装置 100 连接在串行链接 (daisy-chain) 206 中。在串行链接分层中, 每个节点解译业务以确定业务是用于本地节点还是用于下行流 / 上行流节点。在下行流 / 上行流业务以最小等待时间通过分层存储器装置的同时, 通过采取合适的动作, 用于本地节点的业务被执行动作。另外, 混合配置可以将分层的不同变化组合起来。例如, 可以有利的创建具有四个终端节点的三层的树, 其中 16 个装置深的串行链接附着到每个终端节点上。

[0044] 在分层存储器子系统中, 标准的非分层存储器装置 208 可以被附着到分层存储器装置 100 上。例如, 多层单元 (MLC) NAND 存储器可以被附着到分层 PCM 存储器的树上。在该实例中, PCM 可以被用于促进非常大密度的 NAND 的链接, 同时也用于通过高速缓存读取和合并 / 高速缓存写入来减少在 NAND 存储器上的压力情况。尽管很少读取和相对很少对 NAND 存储器进行写入, 但是可以合并对 NAND 存储器的写入从而仅仅是写入发生的包括写入完整的数据块。使用 PCM 代替易失性 RAM 来用于在分层存储器装置 100 中进行高速缓存, 简化了功率损失恢复问题并防止了数据损失。PCM 存储器也可以执行 ECC 从而不会通过多个写入操作来累积 NAND 写入错误。

[0045] 不考虑主机接口, 有多种方式, 其中分层存储器子系统对于系统而言可以是逻辑上的。在这些方法中, 是 I/O 映射的、存储器映射的、以及存储器映射的 I/O。作为 I/O 映射的装置, 子系统对于主机和主机软件而言是基于扇区的装置。在这种类型的装置中, 所有的变换和映射 (诸如扇区到页面的映射) 都由主机处理。通常, 信息在原子 (atomic) 扇区, 例如该原子扇区长度可以在 512 比特到 8 千比特或者更大之间。通常, I/O 映射的装置通过 I/O 装置驱动器被处理, 只要在该子系统和相关联的接口中存在硬件等待时间, 所述 I/O 装置驱动器就在子系统和相关联的接口中导致另外的软件等待时间。

[0046] 作为存储器映射的装置, 子系统对于主机和主机软件而言是平面的 (flat) 存储器映射。通常, 存储器映射的装置由于存储器消除了操作系统等待时间而被直接访问。类似于 I/O 映射的接口, 子系统对于主机和主机软件而言是基于扇区的装置。而且, 分层存储器装置 100 可以用作存储器映射的装置。存储器映射的装置可以帮助消除 I/O 装置驱动器和控制器逻辑延迟。

[0047] 图 3 示出了根据本发明的以各种配置与非易失性存储器组合的分层存储器 100。在封装 302 中, 分层存储器 100 的输出端口连接两个 NAND 存储器方块, 以在固态驱动 (SSD)

设计中提供具有特定实用性的存储器组合。SSD 数据存储装置使用固态存储器以存储永久性数据,其中可以通过使用多个封装 302 来添加 NAND 存储器从而增加 SSD 的密度。图中还显示了封装 304 在相同的总线上将分层存储器 100 与 RAM 合并,其中两个 NAND 存储器方块被连接到分层存储器 100 的后方的输出端口上。

[0048] 封装 306 显示了至少两个分层存储器方块和 RAM 一起耦合在前方并将一些后方的 NAND 端口提供给可以被附着的密集 NAND 堆叠。可替换地,封装 308 示出了两个或更多分层存储器方块、一个或多个 RAM 以及密集 NAND 堆栈可以被组合,所述密集 NAND 堆栈可以被附着到分层存储器 NAND 端口上。

[0049] 图 4 示出了封装 302、304、306 和 308,其将方块安装在基底上,所述基底然后可以被凸起以创建芯片尺寸封装 (CSP) 或球栅阵列封装 (BGA) 作为最终封装。方块可以被并排置于基底上,或者可以使用芯片堆叠 (diestack) 技术将较小的方块安装到较大的上面以使两个线能够连结在一起。为了帮助互连,方块可以包括穿透硅通道 (thru-silicon vias) 和芯片到芯片连结 (die-to-die bonding)。在图中所示的实施方式中,两个分层存储器装置 100 被包括在 NAND 装置 402 的堆叠中。RAM 方块也可以被包括在堆叠中。为了在给定大小的覆盖区 (footprint) 中进一步提高可用的存储器密度和存储器带宽,可以使用层叠封装 (PoP) 来垂直连接多个封装,诸如具有分层存储器的 NAND 堆叠封装。

[0050] 到现在为止很显然,本发明的实施方式通过使用本发明的功能部件的分层数据存储来允许增加的存储器存储效率。通过提供具有主机接口的分层存储器装置,这些装置可以被连接到主机系统上。在分层结构和存储控制器内,一些诸如均匀磨损的算法、高速缓存、错误检测和校正、坏页面管理、坏时钟管理和数据操作,用于管理性能和可靠性以及提供用于存储器分层的最佳存储容量。从而,通过在一个存储器存储系统中合并一个或多个分层存储器装置来提供分层存储器结构。

[0051] 虽然这里示出和描述了本发明的一些功能部件,但是对于本领域技术人员来说可以做出许多修改、替换、改变和等价变换。因此,应该理解,所附的权利要求意在覆盖本发明的真实范围内的所有这样的修改和改变。

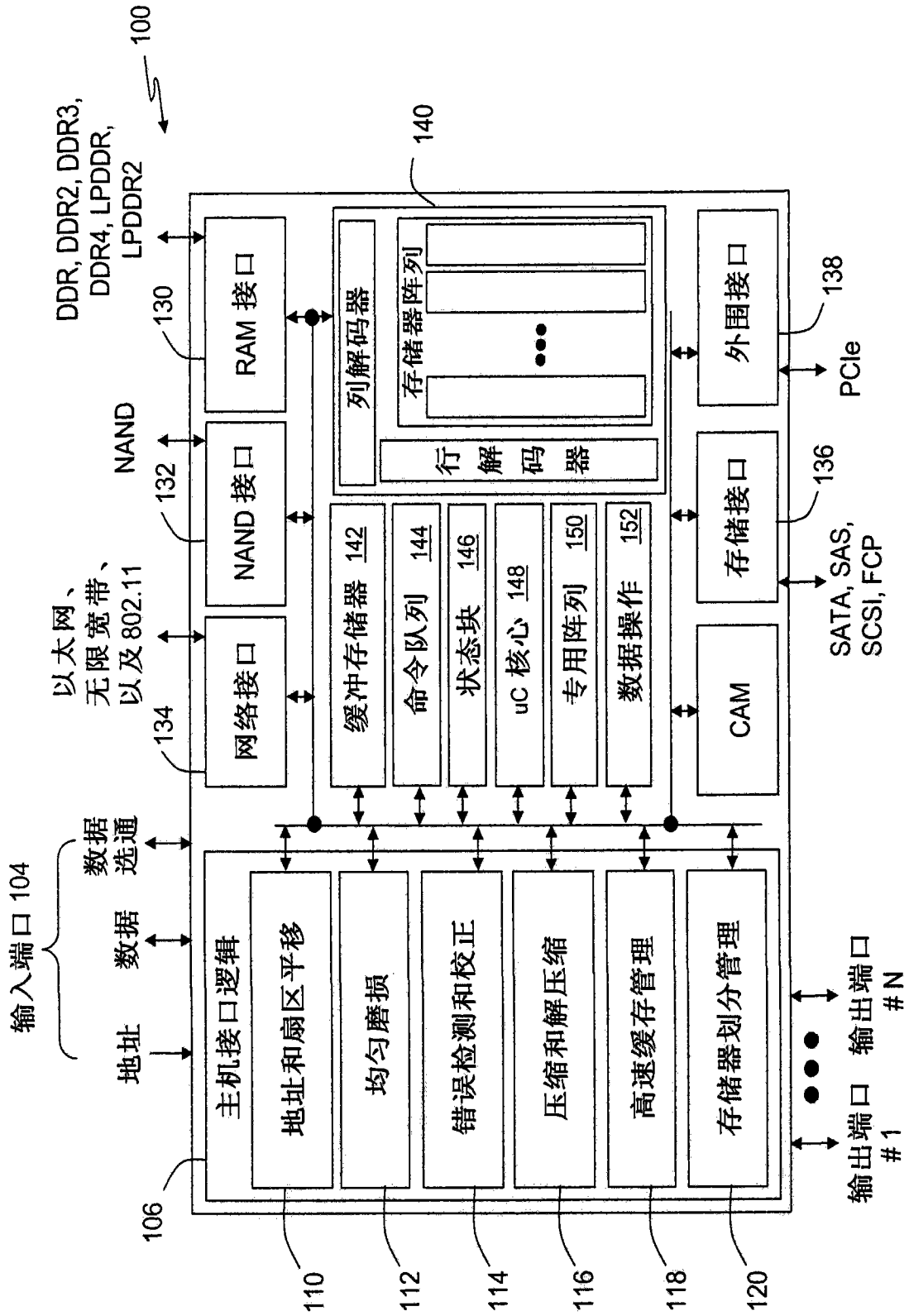


图 1

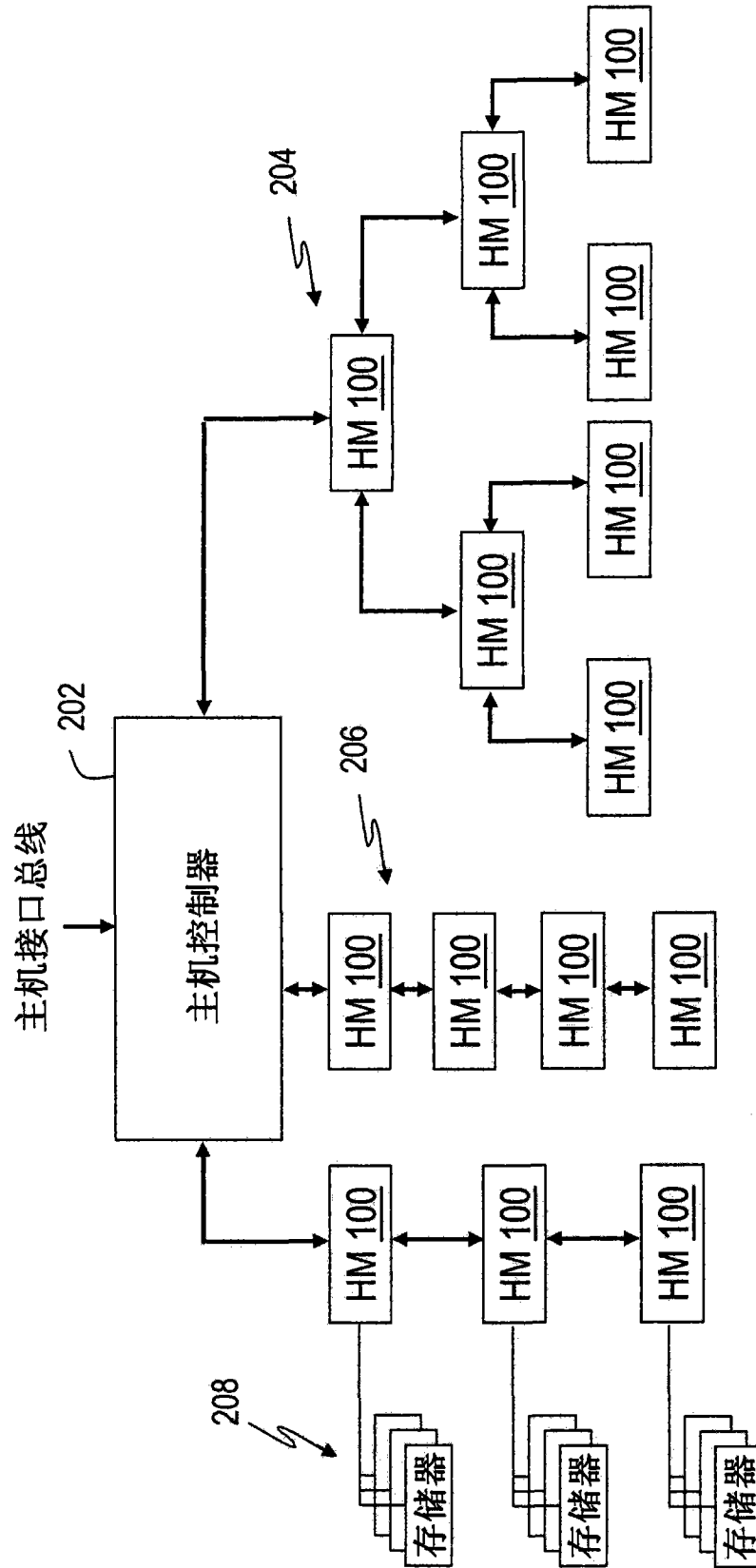


图 2

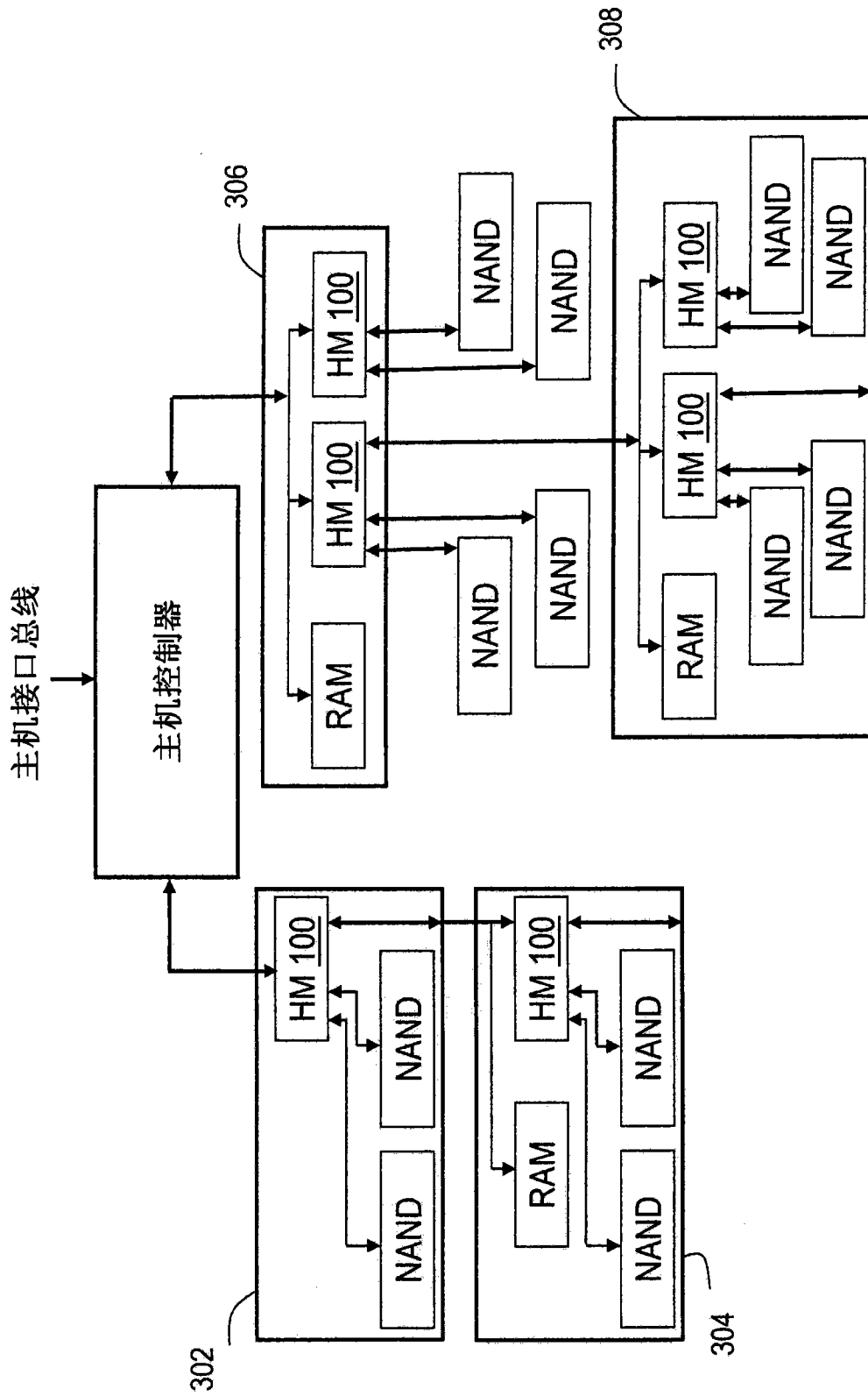


图 3

302, 304, 306, 308

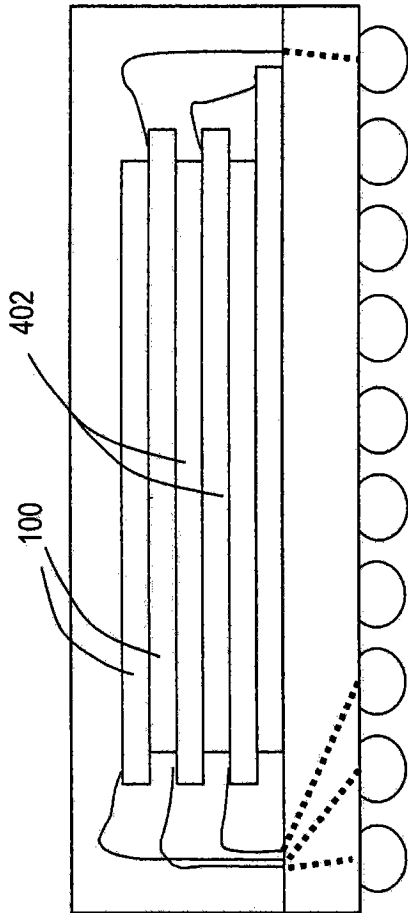


图 4