

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第4区分
 【発行日】平成29年2月9日(2017.2.9)

【公表番号】特表2016-537761(P2016-537761A)
 【公表日】平成28年12月1日(2016.12.1)
 【年通号数】公開・登録公報2016-066
 【出願番号】特願2016-543290(P2016-543290)
 【国際特許分類】

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

【F I】

G 1 1 C 19/28 2 3 0

G 0 9 G 3/36

G 0 9 G 3/20 6 2 2 E

G 0 9 G 3/20 6 7 0 E

【手続補正書】

【提出日】平成28年12月16日(2016.12.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シフトレジスタユニットであり、

当該シフトレジスタユニットの入力信号端と第1のクロック信号入力端に接続され、入力信号と第1のクロック信号に应答して入力信号をプルアップノードに提供するための入力モジュールと、

第2のクロック信号入力端に接続され、前記プルアップノードの電圧信号に应答して第2のクロック信号を当該シフトレジスタユニットの第1の出力端子に提供するための第1の出力モジュールと、

第1のクロック信号入力端と第2のクロック信号入力端に接続され、第1のクロック信号に应答して前記第1のクロック信号を第1のプルダウノードに提供し、第2のクロック信号に应答して前記第2のクロック信号を第2のプルダウノードに提供し、プルアップノードの電圧信号に应答して、第1の低電圧信号を第1のプルダウノードと第2のプルダウノードに提供し、第1のプルダウノードの電圧信号に应答して、第1の低電圧信号を第2のプルダウノードに提供し、第2のプルダウノードの電圧信号に应答して第1の低電圧信号を第1のプルダウノードに提供するためのプルダウ駆動モジュールと、

第1のプルダウノードと第2のプルダウノードの電圧信号に应答して第1の低電圧信号をプルアップノードに提供するためのプルダウモジュールと、

第1のプルダウノードと第2のプルダウノードの電圧信号に应答して、第2の低電圧信号を当該シフトレジスタユニットの第1の出力端子に提供するための第1の出力放電ユニットと、

を具備し、

前記プルアップノードが前記入力モジュールと前記第1の出力モジュールの接続点であり、前記第1のプルダウノードと第2のプルダウノードが共に前記プルダウ駆動モ

ジュールと前記プルダウンモジュールの接続点であり、前記第 1 の低電圧信号が第 2 の低電圧信号以下であるシフトレジスタユニット。

【請求項 2】

前記入力モジュールが、
ゲートとソースが共に当該シフトレジスタユニットの入力信号端に接続され、ドレインが第 2 の薄膜トランジスタのソースに接続される第 1 の薄膜トランジスタと、
ゲートが第 1 のクロック信号に接続され、ドレインがプルアップノードに接続される第 2 の薄膜トランジスタと、
を具備する請求項 1 に記載のシフトレジスタユニット。

【請求項 3】

前記第 1 の出力モジュールが、
ゲートがプルアップノードに接続され、ドレインが第 2 のクロック信号入力端に接続され、ソースが第 1 の出力端子に接続される第 3 の薄膜トランジスタと、
プルアップノードと第 1 の出力端子との間に接続されるコンデンサと、
を具備する請求項 1 又は 2 に記載のシフトレジスタユニット。

【請求項 4】

前記プルダウン駆動モジュールが、
ゲートとドレインが共に第 1 のクロック信号入力端に接続され、ソースが第 1 のプルダウンノードに接続される第 4 の薄膜トランジスタと、
ゲートとソースが共に第 2 のクロック信号入力端に接続され、ドレインが第 2 のプルダウンノードに接続される第 5 の薄膜トランジスタと、
ゲートがプルアップノードに接続され、ドレインが第 1 のプルダウンノードに接続され、ソースが第 7 の薄膜トランジスタのドレインに接続される第 6 の薄膜トランジスタと、
ゲートがプルアップノードに接続され、ソースが第 1 の低電圧信号入力端に接続される第 7 の薄膜トランジスタと、
ゲートがプルアップノードに接続され、ドレインが第 2 のプルダウンノードに接続され、ソースが第 9 の薄膜トランジスタのドレインに接続される第 8 の薄膜トランジスタと、
ゲートがプルアップノードに接続され、ソースが第 1 の低電圧信号入力端に接続される第 9 の薄膜トランジスタと、
ゲートが第 2 のプルダウンノードに接続され、ドレインが第 1 のプルダウンノードに接続され、ソースが第 1 の低電圧信号入力端に接続される第 10 の薄膜トランジスタと、
ゲートが第 1 のプルダウンノードに接続され、ソースが第 2 のプルダウンノードに接続され、ドレインが第 1 の低電圧信号入力端に接続される第 11 の薄膜トランジスタと、
を具備する請求項 1 乃至 3 のいずれか一項に記載のシフトレジスタユニット。

【請求項 5】

前記プルダウンモジュールが、
ゲートが第 1 のプルダウンノードに接続され、ソースがプルアップノードに接続され、ドレインが第 13 の薄膜トランジスタのドレインに接続される第 12 の薄膜トランジスタと、
ゲートが第 1 のプルダウンノードに接続され、ドレインが第 1 の低電圧信号入力端に接続される第 13 の薄膜トランジスタと、
ゲートが第 2 のプルダウンノードに接続され、ソースがプルアップノードに接続され、ドレインが第 15 の薄膜トランジスタのソースに接続される第 14 の薄膜トランジスタと、
ゲートが第 2 のプルダウンノードに接続され、ドレインが第 1 の低電圧信号入力端に接続される第 15 の薄膜トランジスタと、
を具備する請求項 1 乃至 4 のいずれか一項に記載のシフトレジスタユニット。

【請求項 6】

前記第 1 の出力放電ユニットが、
ゲートが第 1 のプルダウンノードに接続され、ドレインが第 1 の出力端子に接続され、

ソースが第 2 の低電圧信号入力端に接続される第 16 の薄膜トランジスタと、
ゲートが第 2 のプルダウンノードに接続され、ドレインが第 1 の出力端子に接続され、
ソースが第 2 の低電圧信号入力端に接続される第 17 の薄膜トランジスタと、
を具備する請求項 1 乃至 5 のいずれか一項に記載のシフトレジスタユニット。

【請求項 7】

第 2 のクロック信号入力端に接続されて、前記プルアップノードの電圧信号に応答して第 2 のクロック信号を当該シフトレジスタユニットの第 2 の出力端子に提供し、前段のシフトレジスタユニットにリセット信号を提供するための第 2 の出力モジュールをさらに具備する請求項 1 乃至 6 のいずれか一項に記載のシフトレジスタユニット。

【請求項 8】

前記第 2 の出力モジュールが、ゲートがプルアップノードに接続され、ドレインが第 2 のクロック信号入力端に接続され、ソースが第 2 の出力端子に接続される第 18 の薄膜トランジスタを具備する請求項 7 に記載のシフトレジスタユニット。

【請求項 9】

第 1 のプルダウンノードと第 2 のプルダウンノードの電圧信号に応答して第 2 の低電圧信号を第 2 の出力端子に提供するための第 2 の出力放電モジュールをさらに具備する請求項 8 に記載のシフトレジスタユニット。

【請求項 10】

前記第 2 の出力放電モジュールが、
ゲートが第 1 のプルダウンノードに接続され、ドレインが第 2 の出力端子に接続され、
ソースが第 2 の低電圧信号入力端に接続される第 19 の薄膜トランジスタと、
ゲートが第 2 のプルダウンノードに接続され、ドレインが第 2 の出力端子に接続され、
ソースが第 2 の低電圧信号入力端に接続される第 20 の薄膜トランジスタと、
を具備する請求項 9 に記載のシフトレジスタユニット。

【請求項 11】

第 2 のクロック信号入力端に接続され、前記プルアップノードの電圧信号に応答して第 2 のクロック信号を第 3 の出力端子に提供して、後段のシフトレジスタユニットに開始信号を提供するための第 3 の出力モジュールをさらに具備する請求項 7 に記載のシフトレジスタユニット。

【請求項 12】

前記第 3 の出力モジュールが、ゲートがプルアップノードに接続され、ドレインが第 2 のクロック信号入力端に接続され、ソースが第 3 の出力端子に接続される第 21 の薄膜トランジスタを具備する請求項 11 に記載のシフトレジスタユニット。

【請求項 13】

第 1 のプルダウンノードと第 2 のプルダウンノードの電圧信号に応答して第 1 の低電圧信号を第 3 の出力端子に提供するための第 3 の出力放電モジュールをさらに具備する請求項 12 に記載のシフトレジスタユニット。

【請求項 14】

前記第 3 の出力放電モジュールが、
ゲートが第 1 のプルダウンノードに接続され、ドレインが第 3 の出力端子に接続され、
ソースが第 1 の低電圧信号入力端に接続される第 22 の薄膜トランジスタと、
ゲートが第 2 のプルダウンノードに接続され、ドレインが第 3 の出力端子に接続され、
ソースが第 1 の低電圧信号入力端に接続される第 23 の薄膜トランジスタと、
を具備する請求項 13 に記載のシフトレジスタユニット。

【請求項 15】

第 3 の出力端子の電圧信号に応答して第 2 の出力端子の電圧信号を入力モジュールとプルダウンモジュールとに提供するフィードバックモジュールをさらに具備する請求項 11 に記載のシフトレジスタユニット。

【請求項 16】

前記フィードバックモジュールが、ゲートが第 3 の出力端子に接続され、ドレインが第

2の薄膜トランジスタのソースと第12の薄膜トランジスタのドレイン及び第14の薄膜トランジスタのドレインに接続され、ソースが第2の出力端子に接続される第24の薄膜トランジスタを具備する請求項15に記載のシフトレジスタユニット。

【請求項17】

ゲート駆動回路であり、

カスケードされた各段のシフトレジスタユニットを具備し、初段のシフトレジスタユニットの入力信号端が当該ゲート駆動回路の開始信号端に接続され、初段のシフトレジスタユニットのリセット信号端が第2段のシフトレジスタユニットのいずれかの出力端子に接続され、末段のシフトレジスタユニットの入力信号端が前段のシフトレジスタユニットのいずれかの出力端子に接続され、末段のシフトレジスタユニットのリセット信号端が開始信号端に接続され、

初段と末段のシフトレジスタユニットの以外には、各段のシフトレジスタユニットの入力信号端が前段のシフトレジスタユニットのいずれかの出力端子に接続され、リセット信号端が後段のシフトレジスタユニットのいずれかの出力端子に接続され、

カスケードされた全てのシフトレジスタユニットは請求項1乃至16のいずれかに記載のシフトレジスタユニットであるゲート駆動回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

前記シフトレジスタユニットにおいて、プルダウン駆動モジュールが第1のクロック信号入力端と第2のクロック信号入力端に接続され、第1のクロック信号に应答して前記第1のクロック信号を第1のプルダウンノードに提供し、第2のクロック信号に应答して前記第2のクロック信号を第2のプルダウンノードに提供し、プルアップノードの電圧信号に应答して、第1の低電圧信号を第1のプルダウンノードと第2のプルダウンノードに提供し、第1のプルダウンノードの電圧信号に应答して、第1の低電圧信号を第2のプルダウンノードに提供し、第2のプルダウンノードの電圧信号に应答して第1の低電圧信号を第1のプルダウンノードに提供する。ここで、前記第1のプルダウンノードと第2のプルダウンノードが共に前記プルダウン駆動モジュールと前記プルダウンモジュールの接続点である。非出力段階で、前記第1のプルダウンノードと第2のプルダウンノードの電圧信号が全て交流信号であるので、素子自身の閾電圧のドリフトによる出力ミスを効果的に抑え、ノイズ低減の効果を高くすると共に、前記第1のプルダウンノードと第2のプルダウンノードの電圧信号が互いに補完され、非出力段階で第1の出力放電モジュールを常に第1の出力端子に対して放電させ、出力端子に対してプルダウンする時キャップがあることによる出力ミスを克服する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

第5の段階S5で、第1のクロック信号CKがローレベルであり、第2のクロック信号CKBがハイレベルであり、OUTPUT(n-1)がローレベルであり、OUTPUT(n+1)がハイレベルであり、

第2のクロック信号CKBがハイレベルであることによって、第5の薄膜トランジスタT5をオンさせ、プルアップノードPUの電圧信号に应答する第8の薄膜トランジスタT8と第9の薄膜トランジスタT9がオフ状態を維持し、第2のプルダウンノードPD2の電圧信号がハイレベルに高くなり、第2のプルダウンノードPD2の電圧信号に应答して

、第10の薄膜トランジスタT10、第14の薄膜トランジスタT14、第15の薄膜トランジスタT15、第17の薄膜トランジスタT17、第20の薄膜トランジスタT20及び第23の薄膜トランジスタT23がオンされ、第10の薄膜トランジスタT10が第1のプルダウンドードPD1に第1の低電圧信号Vg1_1を提供して、第1のプルダウンドードPD1がローレベルを維持し、第14の薄膜トランジスタT14と第15の薄膜トランジスタT15がプルアップノードPUを引き続いて放電させて、プルアップノードPUがローレベルを維持し、第3の薄膜トランジスタT3、第18の薄膜トランジスタT18及び第21の薄膜トランジスタT21がオフさせ、第17の薄膜トランジスタT17が第1の出力端子OT1(n)に第2の低電圧信号Vg1_2を提供し、第20の薄膜トランジスタT20が第2の出力端子OT2(n)に第2の低電圧信号Vg1_2を提供し、第23の薄膜トランジスタT23が第3の出力端子OT3(n)に第1の低電圧信号Vg1_1を提供する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正の内容】

【0096】

上記によって、本発明の実施例に係るシフトレジスタユニットにおいて、プルダウンドード駆動モジュールが第1のクロック信号と第2のクロック信号に接続され、第1のクロック信号に反応して第1のクロック信号を第1のプルダウンドードに提供し、第2のクロック信号に反応して第2のクロック信号を第2のプルダウンドードに提供し、プルアップノードの電圧信号に反応して第1の低電圧信号を第1のプルダウンドードと第2のプルダウンドードに提供し、第1のプルダウンドードの電圧信号に反応して第1の低電圧信号を第2のプルダウンドードに提供し、第2のプルダウンドードの電圧信号に反応して第1の低電圧信号を第1のプルダウンドードに提供する。ここで、第1のプルダウンドードと第2のプルダウンドードと全てがプルダウンドード駆動モジュールとプルダウンドードモジュールの接続点である。非出力段階で、第1のプルダウンドードと第2のプルダウンドードの電圧信号が共に交流信号であって、素子自身の閾電圧のドリフトによる出力ミスを抑えると共に、第1のプルダウンドードと第2のプルダウンドードの電圧信号が補完されて、非出力段階で第1の出力放電モジュールが常に第1の出力端子に放電することで、出力端子に対してプルダウンドードする時キャップがあることによる出力ミスを克服する。