

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4114668号
(P4114668)

(45) 発行日 平成20年7月9日 (2008.7.9)

(24) 登録日 平成20年4月25日 (2008.4.25)

(51) Int.Cl.

F I

G O 9 G 3/36 (2006.01)

G O 9 G 3/20 (2006.01)

G O 2 F 1/133 (2006.01)

G 1 1 C 19/00 (2006.01)

G 1 1 C 19/28 (2006.01)

G O 9 G 3/36

G O 9 G 3/20 6 2 2 E

G O 9 G 3/20 6 2 3 H

G O 9 G 3/20 6 7 0 E

G O 2 F 1/133 5 5 0

請求項の数 8 (全 53 頁) 最終頁に続く

(21) 出願番号	特願2005-87463 (P2005-87463)	(73) 特許権者	304053854
(22) 出願日	平成17年3月25日 (2005.3.25)		エプソンイメージングデバイス株式会社
(65) 公開番号	特開2006-267753 (P2006-267753A)		長野県安曇野市豊科田沢6925
(43) 公開日	平成18年10月5日 (2006.10.5)	(74) 代理人	100104433
審査請求日	平成19年5月18日 (2007.5.18)		弁理士 宮園 博一
早期審査対象出願		(72) 発明者	堀端 浩行
			東京都港区浜松町二丁目4番地1号 三洋
			エプソンイメージングデバイス株式会社内
		(72) 発明者	千田 みちる
			東京都港区浜松町二丁目4番地1号 三洋
			エプソンイメージングデバイス株式会社内
		審査官	小松 徹三
			最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1シフト信号を出力する第1シフトレジスタ回路部と、
前記第1シフトレジスタ回路部の次段に配置されるとともに、第2シフト信号を出力する第2シフトレジスタ回路部と、
第1電位でオンする第1導電型の複数のトランジスタによって構成され、前記第1シフト信号および前記第2シフト信号が入力されるとともに、前記第1シフト信号と、前記第2シフト信号とを論理合成してシフト出力信号を出力する論理合成回路部と、
を含むシフトレジスタ回路を備え、
前記第1シフトレジスタ回路部および前記第2シフトレジスタ回路部は、両方とも、所定の駆動信号にตอบสนองして、前記第1シフト信号または前記第2シフト信号が出力されるノードの電位を前記論理合成回路部のトランジスタがオンしない第2電位にリセットするためのリセットトランジスタを含み、
前記論理合成回路部のトランジスタは、
ソース/ドレインの一方が前記第1電位と前記第2電位とに切り替わる第1信号を供給する第1信号線に接続されるとともに、ゲートに前記第1シフト信号が入力される第1トランジスタと、
前記第1トランジスタのソース/ドレインの他方にソース/ドレインの一方が接続されるとともに、ゲートに前記第2シフト信号が入力される第2トランジスタとを含み、
前記第1シフト信号および前記第2シフト信号が前記第1電位のときに、前記第1トラ

ンジスタおよび前記第 2 トランジスタがオン状態になるとともに、前記第 1 信号線から前記第 1 トランジスタのソース/ドレインの一方に前記第 1 電位の前記第 1 信号が供給されることにより、前記第 1 トランジスタおよび前記第 2 トランジスタを介して前記第 1 電位の前記シフト出力信号が出力され、

前記第 1 シフト信号が前記第 1 電位から前記第 2 電位に変化する直前に、前記第 1 信号線から前記第 1 トランジスタのソース/ドレインの一方に前記第 2 電位の前記第 1 信号が供給されることにより、前記第 1 トランジスタおよび前記第 2 トランジスタを介して前記第 2 電位の前記シフト出力信号が出力され、

前記第 1 シフトレジスタ回路部は、ドレインに少なくとも前記第 1 電位が供給されるとともに、ゲートが前記第 1 シフト信号が出力されるノードに接続される第 3 トランジスタと、前記第 3 トランジスタのゲート - ソース間に接続される第 1 容量とを含み、

前記第 2 シフトレジスタ回路部は、ドレインに少なくとも前記第 1 電位が供給されるとともに、ゲートが前記第 2 シフト信号が出力されるノードに接続される第 4 トランジスタと、前記第 4 トランジスタのゲート - ソース間に接続される第 2 容量とを含む、表示装置

。

【請求項 2】

前記所定の駆動信号は、前記シフトレジスタ回路による走査を開始させるためのスタート信号である、請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 シフトレジスタ回路部および前記第 2 シフトレジスタ回路部の少なくとも一方は、前段の第 1 回路部と後段の第 2 回路部とを含み、

前記第 2 回路部は、前記第 2 電位側と前記第 1 シフト信号または前記第 2 シフト信号が出力されるノードとの間に接続されるとともに、前記第 1 回路部の出力ノードにゲートが接続された第 1 導電型の第 5 トランジスタを含み、

前記リセットトランジスタは、前記所定の駆動信号に応答して、前記第 1 回路部の出力ノードを前記第 1 電位にリセットする機能を有し、

前記リセットトランジスタにより前記第 1 回路部の出力ノードが前記第 1 電位にリセットされることに応答して、前記第 5 トランジスタがオン状態になることによって、前記第 2 回路部の前記第 1 シフト信号または前記第 2 シフト信号が出力されるノードが前記第 2 電位にリセットされる、請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記リセットトランジスタは、前記第 1 電位側と前記第 1 回路部の出力ノードとの間に接続されているとともに、前記所定の駆動信号を供給する第 1 駆動信号線にゲートが接続されている、請求項 3 に記載の表示装置。

【請求項 5】

前記第 1 駆動信号線は、前記所定の駆動信号としての前記シフトレジスタ回路の走査を開始させるためのスタート信号を供給するスタート信号線である、請求項 4 に記載の表示装置。

【請求項 6】

前記リセットトランジスタは、前記所定の駆動信号に応答して、前記第 3 トランジスタまたは前記第 4 トランジスタのソースの電位を前記第 2 電位にリセットする機能も有している、請求項 1 に記載の表示装置。

【請求項 7】

前記シフトレジスタ回路は、ゲート線を駆動するためのシフトレジスタ回路、および、ドレイン線を駆動するためのシフトレジスタ回路の少なくとも一方に適用されている、請求項 1 ~ 6 のいずれか 1 項に記載の表示装置。

【請求項 8】

前記第 1 シフトレジスタ回路部、前記第 2 シフトレジスタ回路部および前記論理合成回路部を構成するトランジスタと、前記リセットトランジスタとは、第 1 導電型を有する、請求項 1 ~ 7 のいずれか 1 項に記載の表示装置。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、シフトレジスタ回路を備えた表示装置に関する。

【背景技術】

【0002】

従来、シフトレジスタ回路を備えた表示装置が知られている（たとえば、特許文献1参照）。

【0003】

図18は、上記特許文献1に開示された従来の一例による表示装置のドレイン線を駆動させるシフトレジスタ回路の回路構成を説明するための回路図である。図18を参照して、従来の一例による表示装置のドレイン線を駆動させるシフトレジスタ回路では、複数段のシフトレジスタ回路部1001～1003が設けられている。1段目のシフトレジスタ回路部1001は、前段の第1回路部1001aおよび後段の第2回路部1001bによって構成されている。また、1段目のシフトレジスタ回路部1001の第1回路部1001aは、nチャネルトランジスタNT501～NT503と、ダイオード接続されたnチャネルトランジスタNT504と、容量C501とを含んでいる。また、1段目のシフトレジスタ回路部1001の第2回路部1001bは、nチャネルトランジスタNT505～NT507と、ダイオード接続されたnチャネルトランジスタNT508と、容量C502とを含んでいる。以下、nチャネルトランジスタNT501～NT508は、トランジスタNT501～NT508と称する。

【0004】

また、第1回路部1001aにおいて、トランジスタNT501のドレインは、正側電位VDDに接続されているとともに、ソースは、トランジスタNT502のドレインと接続されている。また、トランジスタNT501のゲートは、ノードND501に接続されている。トランジスタNT502のソースは、負側電位VBBに接続されている。また、トランジスタNT502のゲートにはスタート信号STが供給される。また、トランジスタNT501のゲートが接続されたノードND501と、負側電位VBBとの間には、トランジスタNT503が接続されている。また、トランジスタNT503のゲートには、スタート信号STが供給される。また、トランジスタNT501のゲートとソースとの間には、容量C501が接続されている。また、トランジスタNT501のゲートが接続されたノードND501と、クロック信号線CLK1との間にダイオード接続されたトランジスタNT504が接続されている。

【0005】

また、第2回路部1001bにおいて、トランジスタNT505のドレインは、正側電位VDDに接続されている。トランジスタNT505のソースは、トランジスタNT506のドレインと接続されている。また、トランジスタNT505のゲートは、ノードND503に接続されている。トランジスタNT506のソースは、負側電位VBBに接続されている。また、トランジスタNT506のゲートは、第1回路部1001aのトランジスタNT501とトランジスタNT502との間に設けられたノードND502に接続されている。

【0006】

また、トランジスタNT505のゲートが接続されたノードND503と、負側電位VBBとの間には、トランジスタNT507が接続されている。また、トランジスタNT507のゲートは、第1回路部1001aのノードND502に接続されている。また、トランジスタNT505のゲートとソースとの間には、容量C502が接続されている。また、トランジスタNT505のゲートが接続されたノードND503と、クロック信号線CLK1との間にダイオード接続されたトランジスタNT508が接続されている。

【0007】

また、トランジスタNT505のソースとトランジスタNT506のドレインとの間に

10

20

30

40

50

設けられたノードND504（出力ノード）から1段目のシフトレジスタ回路1001のシフト出力信号SR501が出力される。また、2段目以降のシフトレジスタ回路部1002および1003は、1段目のシフトレジスタ回路部1001と同様の回路構成を有する。すなわち、2段目のシフトレジスタ回路部1002は、1段目のシフトレジスタ回路部1001の第1回路部1001aおよび第2回路部1001bと同様の回路構成を有する第1回路部1002aおよび第2回路部1002bを含んでいる。2段目のシフトレジスタ回路部1002の第1回路部1002aは、1段目のシフトレジスタ回路部1001の第2回路部1001bのノードND504（出力ノード）に接続されている。これにより、1段目のシフトレジスタ回路1001のシフト出力信号SR501は、2段目のシフトレジスタ回路部1002の第1回路部1002aに入力される。また、2段目のシフトレジスタ回路部1002には、1段目のシフトレジスタ回路部1001に供給されるクロック信号CLK1とタイミングの異なるクロック信号CLK2を供給するクロック信号線（CLK2）が接続されている。また、2段目のシフトレジスタ回路部1002の第2回路部のノードND504（出力ノード）から2段目のシフトレジスタ回路1002のシフト出力信号SR502が出力される。

10

【0008】

また、3段目のシフトレジスタ回路部1003は、1段目のシフトレジスタ回路部1001の第1回路部1001aおよび第2回路部1001bと同様の回路構成を有する第1回路部1003aおよび第2回路部1003bを含んでいる。3段目のシフトレジスタ回路部1003の第1回路部1003aは、2段目のシフトレジスタ回路部1002の第2回路部1002bのノードND504（出力ノード）に接続されている。これにより、2段目のシフトレジスタ回路1002のシフト出力信号SR502は、3段目のシフトレジスタ回路部1003の第1回路部1003aに入力される。また、3段目のシフトレジスタ回路部1003には、1段目のシフトレジスタ回路部1001と同じクロック信号CLK1を供給するクロック信号線（CLK1）が接続されている。また、3段目のシフトレジスタ回路部1003の第2回路部のノードND504（出力ノード）から3段目のシフトレジスタ回路1003のシフト出力信号SR503が出力される。このシフト出力信号SR503は、図示しない次段のシフトレジスタ回路部の第1回路部に入力される。

20

【0009】

また、各段のシフトレジスタ回路部1001～1003のノードND504は、水平スイッチ1100に接続されている。具体的には、水平スイッチ1100は、複数のトランジスタNT510～NT512を備えている。このトランジスタNT510～NT512のゲートは、それぞれ、1段目～3段目のシフトレジスタ回路1001～1003のノードND504に接続されている。これにより、各段のシフトレジスタ回路部1001～1003のシフト出力信号SR501～SR503は、それぞれ、水平スイッチ1100のトランジスタNT510～NT512のゲートに入力される。また、トランジスタNT510～NT512のドレインは、それぞれ、各段のドレイン線に接続されている。また、トランジスタNT510～NT512のソースは、ビデオ信号線Videoに接続されている。

30

【0010】

上記のように構成することによって、従来の一例による表示装置のドレイン線を駆動させるシフトレジスタ回路では、各段のシフトレジスタ回路部1001～1003によってHレベルに立ち上がるタイミングがシフトされたシフト出力信号SR501～SR503が水平スイッチ1100のトランジスタNT510～NT512のゲートにそれぞれ入力される。これにより、水平スイッチ1100のトランジスタNT510～NT512が順次オン状態になるので、トランジスタNT510～NT512を介して、ビデオ信号線Videoから各段のドレイン線に、順次、映像信号が出力されるように構成されている。

40

【0011】

【特許文献1】特開2005-17973号公報

【発明の開示】

50

【発明が解決しようとする課題】

【0012】

しかしながら、図18に示した従来の一例によるシフトレジスタ回路を備えた表示装置では、シフトレジスタ回路に正側電位VDDと負側電位VBBとを供給した後、シフトレジスタ回路による走査をまだ行っていない状態で、各段のシフトレジスタ回路部1001～1003の出力ノードであるノードND504の電位が正側電位VDDと負側電位VBBとの間の不安定な電位になるという不都合がある。これにより、ノードND504にゲートが接続された水平スイッチ1100のトランジスタNT510～NT512が意図しないタイミングでオンする可能性があるという不都合がある。この場合には、そのオン状態になったトランジスタNT510～NT512を介して、ビデオ信号線Videoから映像信号がドレイン線に出力されるので、意図しないタイミングでドレイン線に映像信号が出力されるという問題点がある。

10

【0013】

この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、ゲート線やドレイン線に意図しないタイミングで信号が出力されるのを抑制することが可能な表示装置を提供することである。

【課題を解決するための手段および発明の効果】

【0014】

上記目的を達成するために、この発明の一の局面による表示装置は、第1シフト信号を出力する第1シフトレジスタ回路部と、第1シフトレジスタ回路部の次段に配置されるとともに、第2シフト信号を出力する第2シフトレジスタ回路部と、第1電位でオンする第1導電型の複数のトランジスタによって構成され、第1シフト信号および第2シフト信号が入力されるとともに、第1シフト信号と、第2シフト信号とを論理合成してシフト出力信号を出力する論理合成回路部とを含むシフトレジスタ回路を備えている。また、第1シフトレジスタ回路部および第2シフトレジスタ回路部は、両方とも、所定の駆動信号にตอบสนองして、第1シフト信号または第2シフト信号が出力されるノードの電位を論理合成回路部のトランジスタがオンしない第2電位にリセットするためのリセットトランジスタを含み、論理合成回路部のトランジスタは、ソース/ドレインの一方が第1電位と第2電位とに切り替わる第1信号を供給する第1信号線に接続されるとともに、ゲートに第1シフト信号が入力される第1トランジスタと、第1トランジスタのソース/ドレインの他方にソース/ドレインの一方が接続されるとともに、ゲートに第2シフト信号が入力される第2トランジスタとを含み、第1シフト信号および第2シフト信号が第1電位のときに、第1トランジスタおよび第2トランジスタがオン状態になるとともに、第1信号線から第1トランジスタのソース/ドレインの一方に第1電位の第1信号が供給されることにより、第1トランジスタおよび第2トランジスタを介して第1電位のシフト出力信号が出力され、第1シフト信号が第1電位から第2電位に変化する直前に、第1信号線から第1トランジスタのソース/ドレインの一方に第2電位の第1信号が供給されることにより、第1トランジスタおよび第2トランジスタを介して第2電位のシフト出力信号が出力され、第1シフトレジスタ回路部は、ドレインに少なくとも第1電位が供給されるとともに、ゲートが第1シフト信号が出力されるノードに接続される第3トランジスタと、第3トランジスタのゲート-ソース間に接続される第1容量とを含み、第2シフトレジスタ回路部は、ドレインに少なくとも第1電位が供給されるとともに、ゲートが第2シフト信号が出力されるノードに接続される第4トランジスタと、第4トランジスタのゲート-ソース間に接続される第2容量とを含む。

20

30

40

【0015】

この一の局面による表示装置では、上記のように、第1シフトレジスタ回路部が所定の駆動信号にตอบสนองして第1シフト信号または第2シフト信号が出力されるノードの電位を論理合成回路部のトランジスタがオンしない第2電位にリセットするためのリセットトランジスタを含むように構成することによって、シフトレジスタ回路への電源投入後に、所定の駆動信号を入力して、リセットトランジスタにより第1シフト信号または第2シフト信

50

号が出力されるノードの電位を第2電位にリセットすれば、論理合成回路部へ出力される第1シフト信号および第2シフト信号の少なくとも一方を論理合成回路部のトランジスタがオンしない第2電位に固定することができる。これにより、論理合成回路部の2つのトランジスタのゲートにそれぞれ第1シフト信号と第2シフト信号とを入力するとともに、その2つのトランジスタを介して出力される信号を第1シフト信号と第2シフト信号とが論理合成されたシフト出力信号として用いる場合に、第1シフト信号および第2シフト信号の少なくとも一方を論理合成回路部のトランジスタがオンしない第2電位に固定することができるので、論理合成回路部の2つのトランジスタの少なくとも一方をオフ状態に保持することができる。このため、論理合成回路部の2つのトランジスタを介してシフト出力信号は出力されないで、ゲート線やドレイン線に意図しないタイミングで信号が出力されるのを抑制することができる。また、論理合成回路部のトランジスタは、ソース/ドレインの一方が第1電位と第2電位とに切り替わる第1信号を供給する第1信号線に接続されるとともに、ゲートに第1シフト信号が入力される第1トランジスタと、第1トランジスタのソース/ドレインの他方にソース/ドレインの一方が接続されるとともに、ゲートに第2シフト信号が入力される第2トランジスタとを含み、第1シフト信号および第2シフト信号が第1電位のときに、第1トランジスタおよび第2トランジスタがオン状態になるとともに、第1信号線から第1トランジスタのソース/ドレインの一方に第1電位の第1信号が供給されることにより、第1トランジスタおよび第2トランジスタを介して第1電位のシフト出力信号が出力され、第1シフト信号が第1電位から第2電位に変化する直前に、第1信号線から第1トランジスタのソース/ドレインの一方に第2電位の第1信号が供給されることにより、第1トランジスタおよび第2トランジスタを介して第2電位のシフト出力信号が出力される。このように構成すれば、第1シフト信号および第2シフト信号が第1電位のときに、論理合成回路部の第1トランジスタおよび第2トランジスタの2つのトランジスタを介して、第1電位の第1シフト信号と第1電位の第2シフト信号とを論理合成した第1電位のシフト出力信号を出力することができるとともに、第1シフト信号が第1電位から第2電位に変化する直前に、論理合成回路部の第1トランジスタおよび第2トランジスタの2つのトランジスタを介して、第2電位の第1シフト信号と第1電位の第2シフト信号とを論理合成した第2電位のシフト出力信号を出力することができる。これにより、容易に、論理合成回路部から第1シフト信号と第2シフト信号とを論理合成したシフト出力信号を出力することができる。また、第1シフトレジスタ回路部は、ドレインに少なくとも第1電位が供給されるとともに、ゲートが第1シフト信号が出力されるノードに接続される第3トランジスタと、第3トランジスタのゲート - ソース間に接続される第1容量とを含み、第2シフトレジスタ回路部は、ドレインに少なくとも第1電位が供給されるとともに、ゲートが第2シフト信号が出力されるノードに接続される第4トランジスタと、第4トランジスタのゲート - ソース間に接続される第2容量とを含む。このように構成すれば、たとえば、第3トランジスタ(第4トランジスタ)のドレインに正側電位VDDが供給されるとともに、第3トランジスタ(第4トランジスタ)がnチャネルトランジスタの場合、第3トランジスタ(第4トランジスタ)のゲート電位をVDDよりも第3トランジスタ(第4トランジスタ)のしきい値電圧(V_t)以上の所定の電圧(V)分高い電位まで上昇させることができるので、論理合成回路部の第1トランジスタおよび第2トランジスタのゲートに、それぞれ、 $VDD + V_t$ よりも高い電位($VDD + V$)を有する第1シフト信号および第2シフト信号を供給することができる。これにより、論理合成回路部の第1トランジスタおよび第2トランジスタを介して出力されるシフト出力信号の電位が、VDDから第1トランジスタおよび第2トランジスタのしきい値電圧(V_t)分だけ低下するのを抑制することができる。また、第3トランジスタ(第4トランジスタ)のドレインに負側電位VBBが供給されるとともに、第3トランジスタ(第4トランジスタ)がpチャネルトランジスタの場合、第3トランジスタ(第4トランジスタ)のゲート電位をVBBよりも第3トランジスタ(第4トランジスタ)のしきい値電圧(V_t)以上の所定の電圧(V)分低い電位まで低下させることができるので、論理合成回路部の第1トランジスタおよび第2トランジスタのゲートに、それぞれ、 $VBB -$

10

20

30

40

50

V_tよりも低い電位 (V_{DD} - V_t) を有する第1シフト信号および第2シフト信号を供給することができる。これにより、論理合成回路部の第1トランジスタおよび第2トランジスタを介して出力されるシフト出力信号の電位が、V_{BB}から第1トランジスタおよび第2トランジスタのしきい値電圧 (V_t) 分だけ上昇するのを抑制することができる。

【0016】

上記一の局面による表示装置において、好ましくは、第1シフトレジスタ回路部および第2シフトレジスタ回路部は、両方とも、リセットトランジスタを含む。このように構成すれば、リセットトランジスタにより第1シフトレジスタ回路部から出力される第1シフト信号と、第2シフトレジスタ回路部から出力される第2シフト信号とを両方とも論理合成回路部のトランジスタがオンしない第2電位に固定することができる。これにより、論理合成回路部の2つのトランジスタのゲートにそれぞれ第1シフト信号と第2シフト信号とを入力するとともに、その2つのトランジスタを介して出力される信号を第1シフト信号と第2シフト信号とが論理合成されたシフト出力信号として用いる場合に、論理合成回路部の2つのトランジスタを両方ともオフ状態に保持することができる。このため、論理合成回路部からゲート線やドレイン線に意図しないタイミングで信号が出力されるのをより確実に抑制することができる。

10

【0017】

上記一の局面による表示装置において、好ましくは、所定の駆動信号は、シフトレジスタ回路による走査を開始させるためのスタート信号である。このように構成すれば、所定の駆動信号を生成するための信号生成回路を別途形成する必要がないので、表示装置の回路構成が複雑化するのを抑制することができる。

20

【0018】

上記一の局面による表示装置において、好ましくは、第1シフトレジスタ回路部および第2シフトレジスタ回路部の少なくとも一方は、前段の第1回路部と後段の第2回路部とを含み、第2回路部は、第2電位側と第1シフト信号または第2シフト信号が出力されるノードとの間に接続されるとともに、第1回路部の出力ノードにゲートが接続された第1導電型の第1トランジスタを含み、リセットトランジスタは、所定の駆動信号に応答して、第1回路部の出力ノードを第1電位にリセットする機能を有し、リセットトランジスタにより第1回路部の出力ノードが第1電位にリセットされることに応答して、第1トランジスタがオン状態になることによって、第2回路部の第1シフト信号または第2シフト信号が出力されるノードが第2電位にリセットされる。このように構成すれば、リセットトランジスタにより所定の駆動信号に応答して第1回路部の出力ノードを第1電位にリセットすることによって、第1回路部の出力ノードにゲートが接続された第1導電型の第1トランジスタをオンさせることができるので、第1トランジスタを介して第2電位側から第1シフト信号または第2シフト信号が出力されるノードに第2電位を供給することができる。これにより、容易に、所定の駆動信号に応答して、第1シフト信号または第2シフト信号が出力されるノードの電位を第2電位にリセットすることができる。

30

【0019】

上記リセットトランジスタが第1回路部の出力ノードを第1電位にリセットする機能を有する構成において、好ましくは、リセットトランジスタは、第1電位側と第1回路部の出力ノードとの間に接続されているとともに、所定の駆動信号を供給する第1駆動信号線にゲートが接続されている。このように構成すれば、容易に、リセットトランジスタに、所定の駆動信号に応答して、第1回路部の出力ノードを第1電位にリセットする機能を持たせることができる。

40

【0020】

上記第1駆動信号線を含む構成において、第1駆動信号線は、所定の駆動信号としてのシフトレジスタ回路の走査を開始させるためのスタート信号を供給するスタート信号線である。このように構成すれば、所定の駆動信号としてスタート信号を用いることができるので、所定の駆動信号を生成するための信号生成回路を別途形成する必要がない。これにより、表示装置の回路構成が複雑化するのを抑制することができる。また、第1駆動信号

50

線としてスタート信号を供給するスタート信号線を用いることによって、所定の駆動信号を供給するための第1駆動信号線として、別途配線を設ける必要がないので、表示装置の回路規模が増大するのを抑制することができる。

【0021】

上記一の局面による表示装置において、好ましくは、論理合成回路部のトランジスタは、ソース/ドレインの一方が第1電位と第2電位とに切り替わる第1信号を供給する第1信号線に接続されるとともに、ゲートに第1シフト信号が入力される第2トランジスタと、第2トランジスタのソース/ドレインの他方にソース/ドレインの一方が接続されるとともに、ゲートに第2シフト信号が入力される第3トランジスタとを含み、第1シフト信号および第2シフト信号が第1電位のときに、第2トランジスタおよび第3トランジスタがオン状態になるとともに、第1信号線から第2トランジスタのソース/ドレインの一方に第1電位の第1信号が供給されることにより、第2トランジスタおよび第3トランジスタを介して第1電位のシフト出力信号が出力され、第1シフト信号が第1電位から第2電位に変化する際に、第1信号線から第2トランジスタのソース/ドレインの一方に第2電位の第1信号が供給されることにより、第2トランジスタおよび第3トランジスタを介して第2電位のシフト出力信号が出力される。このように構成すれば、第1シフト信号および第2シフト信号が第1電位のときに、論理合成回路部の第2トランジスタおよび第3トランジスタの2つのトランジスタを介して、第1電位の第1シフト信号と第1電位の第2シフト信号とを論理合成した第1電位のシフト出力信号を出力することができるとともに、第1シフト信号が第1電位から第2電位に変化する際に、論理合成回路部の第2トランジスタおよび第3トランジスタの2つのトランジスタを介して、第2電位の第1シフト信号と第1電位の第2シフト信号とを論理合成した第2電位のシフト出力信号を出力することができる。これにより、容易に、論理合成回路部から第1シフト信号と第2シフト信号とを論理合成したシフト出力信号を出力することができる。

【0027】

上記第4トランジスタおよび第5トランジスタを含む構成において、好ましくは、リセットトランジスタは、所定の駆動信号に応答して、第4トランジスタまたは第5トランジスタのソースの電位を第2電位にリセットする機能も有している。このように構成すれば、たとえば、第4トランジスタ(第5トランジスタ)がnチャネルトランジスタであるとともに、第4トランジスタ(第5トランジスタ)のドレインに正側電位VDD(第1電位)を供給して、第4トランジスタ(第5トランジスタ)のソースの電位を上昇させるのに先立って、第4トランジスタ(第5トランジスタ)のソースの電位を負側電位VBB(第2電位)にリセットすれば、第4トランジスタ(第5トランジスタ)のソースの電位が負側電位VBBから正側電位VDDに上昇する電位差の分、第4トランジスタ(第5トランジスタ)のゲート電位を上昇させることができる。これにより、第4トランジスタ(第5トランジスタ)のソースの電位を正側電位VDDと負側電位VBBとの間の不安定な電位から上昇させる場合に比べて、第4トランジスタ(第5トランジスタ)のゲート電位をより上昇させることができるので、より確実に第4トランジスタ(第5トランジスタ)のゲート電位をVDDよりも第4トランジスタ(第5トランジスタ)のしきい値電圧(V_t)以上の所定の電圧(V)分高い電位まで上昇させることができる。また、第4トランジスタ(第5トランジスタ)がpチャネルトランジスタであるとともに、第4トランジスタ(第5トランジスタ)のドレインに負側電位VBB(第1電位)を供給して、第4トランジスタ(第5トランジスタ)のソースの電位を低下させるのに先立って、第4トランジスタ(第5トランジスタ)のソースの電位を正側電位VDD(第2電位)にリセットすれば、第4トランジスタ(第5トランジスタ)のソースの電位が正側電位VDDから負側電位VBBに低下する電位差の分、第4トランジスタ(第5トランジスタ)のゲート電位を低下させることができる。これにより、第4トランジスタ(第5トランジスタ)のソースの電位を正側電位VDDと負側電位VBBとの間の不安定な電位から低下させる場合に比べて、第4トランジスタ(第5トランジスタ)のゲート電位をより低下させることができるので、より確実に第4トランジスタ(第5トランジスタ)のゲート電位をVBBよりも第

4トランジスタ（第5トランジスタ）のしきい値電圧（ V_t ）以上の所定の電圧（ V ）分低い電位まで低下させることができる。

【0028】

上記一の局面による表示装置において、好ましくは、シフトレジスタ回路は、ゲート線を駆動するためのシフトレジスタ回路、および、ドレイン線を駆動するためのシフトレジスタ回路の少なくとも一方に適用されている。このように構成すれば、容易に、ゲート線およびドレイン線の少なくとも一方に意図しないタイミングで信号が出力されるのを抑制することができる。

【0029】

上記一の局面による表示装置において、好ましくは、第1シフトレジスタ回路部、第2シフトレジスタ回路部および論理合成回路部を構成するトランジスタと、リセットトランジスタとは、第1導電型を有する。このように構成すれば、第1シフトレジスタ回路部、第2シフトレジスタ回路部および論理合成回路部を構成するトランジスタと、リセットトランジスタとを第1導電型または第2導電型の2種類の導電型を有するトランジスタによって構成する場合に比べて、それらのトランジスタを形成する際のイオン注入工程の回数およびイオン注入マスクの枚数を低減することができる。これにより、製造プロセスが複雑化するのを抑制することができるとともに、製造コストが増大するのを抑制することができる。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施形態を図面に基づいて説明する。

【0031】

（第1実施形態）

図1は、本発明の第1実施形態による液晶表示装置を示した平面図である。図2は、図1に示した第1実施形態による液晶表示装置のVドライバ内部の回路図である。

【0032】

まず、図1を参照して、この第1実施形態では、基板1上に、表示部2が設けられている。この表示部2には、画素20がマトリクス状に配置されている。なお、図1では、図面の簡略化のため、1つの画素20のみを図示している。各々の画素20は、 n チャネルトランジスタ21（以下、トランジスタ21という）、画素電極22、画素電極22に対向配置された各画素20に共通の対向電極23、画素電極22と対向電極23との間に挟持された液晶24、および、補助容量25によって構成されている。そして、トランジスタ21のソースは、画素電極22および補助容量25に接続されているとともに、ドレインは、ドレイン線に接続されている。このトランジスタ21のゲートはゲート線に接続されている。

【0033】

また、表示部2の一辺に沿うように、基板1上に、表示部2のドレイン線を駆動（走査）するための水平スイッチ（HSW）3およびHドライバ4が設けられている。また、表示部2の他の辺に沿うように、基板1上に、表示部2のゲート線を駆動（走査）するためのVドライバ5が設けられている。なお、図1の水平スイッチ3には、2つのスイッチのみを図示しているが、実際は画素数に応じた数のスイッチが配置されている。また、図1のHドライバ4およびVドライバ5には、それぞれ、シフトレジスタ回路部を2つのみ図示しているが、実際は画素数に応じた数のシフトレジスタ回路部が配置されている。

【0034】

また、基板1の外には、駆動IC10が設置されている。この駆動IC10は、信号発生回路11および電源回路12を備えている。駆動IC10からHドライバ4へは、ビデオ信号Video、スタート信号STH、走査方向切替信号CSH、クロック信号CKH、イネーブル信号ENB、正側電位VDDおよび負側電位VBBが供給される。また、駆動IC10からVドライバ5へは、スタート信号STV、イネーブル信号ENB、走査方向切替信号CSV、クロック信号CKV、正側電位VDDおよび負側電位VBBが供給

される。

【0035】

また、図2に示すように、第1実施形態では、Vドライバ5の内部に、複数段のシフトレジスタ回路部51～55と、走査方向切替回路部60と、入力信号切替回路部70と、複数段の論理合成回路部81～83と、回路部91とが設けられている。なお、図2では、図面の簡略化のため、5段分のシフトレジスタ回路部51～55および3段分の論理合成回路部81～83のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0036】

そして、1段目のシフトレジスタ回路部51は、前段の第1回路部51aと、後段の第2回路部51bとによって構成されている。第1回路部51aは、nチャネルトランジスタNT1およびNT2と、ダイオード接続されたnチャネルトランジスタNT3と、容量C1およびC2を含む。また、第2回路部51bは、nチャネルトランジスタNT4、NT5、NT6およびNT7と、ダイオード接続されたnチャネルトランジスタNT8と、容量C3およびC4を含む。以下、nチャネルトランジスタNT1～NT8は、それぞれ、トランジスタNT1～NT8と称する。

【0037】

また、1段目のシフトレジスタ回路部51に設けられたトランジスタNT1～NT8は、すべてn型のMOSトランジスタ（電界効果型トランジスタ）からなるTFET（薄膜トランジスタ）により構成されている。また、トランジスタNT1、NT2、NT6、NT7およびNT8は、互いに電氣的に接続された2つのゲート電極を有する。また、第1回路部51aにおいて、トランジスタNT1のソースは、負側電位VBBに接続されているとともに、ドレインは、第1回路部51aの出力ノードであるノードND1に接続されている。また、容量C1の一方の電極は、負側電位VBBに接続されているとともに、他方の電極は、ノードND1に接続されている。また、トランジスタNT2のソースは、トランジスタNT3を介してノードND1に接続されているとともに、ドレインは、クロック信号線（CKV1）に接続されている。また、容量C2は、トランジスタNT2のゲートとソースとの間に接続されている。

【0038】

また、第2回路部51bにおいて、トランジスタNT4のソースは、ノードND3に接続されているとともに、ドレインは、正側電位VDDに接続されている。このトランジスタNT4のゲートは、ノードND2に接続されている。また、トランジスタNT5のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND3に接続されている。このトランジスタNT5のゲートは、第1回路部51aのノードND1に接続されている。また、トランジスタNT6のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND2に接続されている。このトランジスタNT6のゲートは、第1回路部51aのノードND1に接続されている。また、トランジスタNT6は、トランジスタNT5がオン状態のときに、トランジスタNT4をオフ状態にするために設けられている。また、トランジスタNT7のソースは、トランジスタNT8を介してノードND2に接続されているとともに、ドレインは、クロック信号線（CKV1）に接続されている。また、容量C3は、トランジスタNT4のゲートとソースとの間に接続されている。また、容量C4は、トランジスタNT7のゲートとソースとの間に接続されている。

【0039】

また、2段目～5段目のシフトレジスタ回路部52～55は、上記した1段目のシフトレジスタ回路部51とほぼ同様の回路構成を有する。具体的には、2段目～5段目のシフトレジスタ回路部52～55は、それぞれ、1段目のシフトレジスタ回路部51の第1回路部51aとほぼ同様の回路構成を有する第1回路部52a～55aと、第2回路部51bとほぼ同様の回路構成を有する第2回路部52b～55bとによって構成されている。

【0040】

2段目のシフトレジスタ回路部52は、1段目のシフトレジスタ回路部51のトランジ

10

20

30

40

50

スタNT 1 ~ NT 8 に対応する n チャンネルトランジスタ NT 1 1 ~ NT 1 8 と、容量 C 1 ~ C 4 に対応する容量 C 1 1 ~ C 1 4 とを含む。なお、n チャンネルトランジスタ NT 1 4 は、本発明の「第 3 トランジスタ」および「第 4 トランジスタ」の一例であり、n チャンネルトランジスタ NT 1 6 は、本発明の「第 5 トランジスタ」の一例である。また、容量 C 1 3 は、本発明の「第 1 容量」および「第 2 容量」の一例である。以下、n チャンネルトランジスタ NT 1 1 ~ NT 1 8 は、それぞれ、トランジスタ NT 1 1 ~ NT 1 8 と称する。また、3 段目のシフトレジスタ回路部 5 3 は、1 段目のシフトレジスタ回路部 5 1 のトランジスタ NT 1 ~ NT 8 に対応する n チャンネルトランジスタ NT 2 1 ~ NT 2 8 と、容量 C 1 ~ C 4 に対応する容量 C 2 1 ~ C 2 4 とを含む。なお、n チャンネルトランジスタ NT 2 4 は、本発明の「第 3 トランジスタ」および「第 4 トランジスタ」の一例であり、n チャンネルトランジスタ NT 2 6 は、本発明の「第 5 トランジスタ」の一例である。また、容量 C 2 3 は、本発明の「第 1 容量」および「第 2 容量」の一例である。以下、n チャンネルトランジスタ NT 2 1 ~ NT 2 8 は、それぞれ、トランジスタ NT 2 1 ~ NT 2 8 と称する。

10

【0041】

また、4 段目のシフトレジスタ回路部 5 4 は、1 段目のシフトレジスタ回路部 5 1 のトランジスタ NT 1 ~ NT 8 に対応する n チャンネルトランジスタ NT 3 1 ~ NT 3 8 と、容量 C 1 ~ C 4 に対応する容量 C 3 1 ~ C 3 4 とを含む。なお、n チャンネルトランジスタ NT 3 4 は、本発明の「第 3 トランジスタ」および「第 4 トランジスタ」の一例であり、n チャンネルトランジスタ NT 3 6 は、本発明の「第 5 トランジスタ」の一例である。また、容量 C 3 3 は、本発明の「第 1 容量」および「第 2 容量」の一例である。以下、n チャンネルトランジスタ NT 3 1 ~ NT 3 8 は、それぞれ、トランジスタ NT 3 1 ~ NT 3 8 と称する。また、5 段目のシフトレジスタ回路部 5 5 は、1 段目のシフトレジスタ回路部 5 1 のトランジスタ NT 1 ~ NT 8 に対応する n チャンネルトランジスタ NT 4 1 ~ NT 4 8 と、容量 C 1 ~ C 4 に対応する容量 C 4 1 ~ C 4 4 とを含む。なお、n チャンネルトランジスタ NT 4 4 は、本発明の「第 3 トランジスタ」および「第 4 トランジスタ」の一例であり、n チャンネルトランジスタ NT 4 6 は、本発明の「第 5 トランジスタ」の一例である。また、容量 C 4 3 は、本発明の「第 1 容量」および「第 2 容量」の一例である。以下、n チャンネルトランジスタ NT 4 1 ~ NT 4 8 は、それぞれ、トランジスタ NT 4 1 ~ NT 4 8 と称する。

20

30

【0042】

ここで、第 1 実施形態では、4 段目のシフトレジスタ回路部 5 4 の第 1 回路部 5 4 a は、シフト信号 S R 4 を出力するノード N D 2 の電位を負側電位 V B B にリセットするための n チャンネルトランジスタ NT 3 9 を含んでいる。また、5 段目のシフトレジスタ回路部 5 5 の第 1 回路部 5 5 a は、シフト信号 S R 5 を出力するノード N D 2 の電位を負側電位 V B B にリセットするための n チャンネルトランジスタ NT 4 9 を含んでいる。以下、n チャンネルトランジスタ NT 3 9 および NT 4 9 は、それぞれ、リセットトランジスタ NT 3 9 および NT 4 9 と称する。

【0043】

また、リセットトランジスタ NT 3 9 のドレインには、正側電位 V D D が供給されるとともに、ソースは、4 段目のシフトレジスタ回路部 5 4 の第 1 回路部 5 4 a の出力ノードであるノード N D 1 に接続されている。また、リセットトランジスタ NT 3 9 のゲートには、スタート信号 S T V を供給するためのスタート信号線 (S T V) が接続されている。なお、スタート信号 S T V は、本発明の「所定の駆動信号」の一例であり、スタート信号線 (S T V) は、本発明の「第 1 駆動信号線」の一例である。これにより、H レベルのスタート信号 S T V に応答してリセットトランジスタ NT 3 9 がオンすると、リセットトランジスタ NT 3 9 を介して正側電位 V D D が供給されることにより、第 1 回路部 5 4 a のノード N D 1 の電位が正側電位 V D D (H レベル) になるように構成されている。そして、第 1 回路部 5 4 a のノード N D 1 の電位が正側電位 V D D (H レベル) になると、第 2 回路部 5 4 b のトランジスタ NT 3 6 がオンするので、トランジスタ NT 3 6 を介して負

40

50

側電位 V_{BB} が供給されることにより、シフト信号 S_{R4} を出力する第2回路部 54b のノード $ND2$ が負側電位 V_{BB} にリセットされるように構成されている。

【0044】

また、リセットトランジスタ $NT49$ のドレインには、正側電位 V_{DD} が供給されるとともに、ソースは、5段目のシフトレジスタ回路部 55 の第1回路部 55a の出力ノードであるノード $ND1$ に接続されている。また、リセットトランジスタ $NT49$ のゲートには、スタート信号 S_{TV} を供給するためのスタート信号線 (S_{TV}) が接続されている。これにより、5段目のシフトレジスタ回路部 55 では、上記した4段目のシフトレジスタ回路部 54 と同様にして、シフト信号 S_{R5} を出力する第2回路部 55b のノード $ND2$ が負側電位 V_{BB} にリセットされるように構成されている。

10

【0045】

また、2段目のシフトレジスタ回路部 52 のトランジスタ $NT12$ および $NT17$ と、4段目のシフトレジスタ回路部 54 のトランジスタ $NT32$ および $NT37$ とは、クロック信号線 ($CKV2$) に接続されている。また、3段目のシフトレジスタ回路部 53 のトランジスタ $NT22$ および $NT27$ と、5段目のシフトレジスタ回路部 55 のトランジスタ $NT42$ および $NT47$ とは、クロック信号線 ($CKV1$) に接続されている。すなわち、クロック信号線 ($CKV1$) とクロック信号線 ($CKV2$) とが1段毎に交互に接続されている。

【0046】

また、第1実施形態では、3段目以降のシフトレジスタ回路部 53 ~ 55 に、イネーブル信号線 ($ENB1$) とイネーブル信号線 ($ENB2$) とが1つずつ交互に接続されている。なお、このイネーブル信号線 ($ENB1$) および ($ENB2$) は、本発明の「第2信号線」および「第3信号線」の一例である。このイネーブル信号線 ($ENB1$) を介して、所定のタイミングで電位が L レベルから H レベルに切り替わるイネーブル信号 $ENB1$ が供給されるとともに、イネーブル信号線 ($ENB2$) を介して、イネーブル信号 $ENB2$ が供給されるように構成されている。そして、3段目のシフトレジスタ回路部 53 および5段目のシフトレジスタ回路部 55 では、それぞれ、トランジスタ $NT24$ および $NT44$ のドレインにイネーブル信号線 ($ENB1$) が接続されている。また、4段目のシフトレジスタ回路部 54 では、トランジスタ $NT34$ のドレインに、イネーブル信号線 ($ENB2$) が接続されている。

20

30

【0047】

また、走査方向切替回路部 60 は、 n チャネルトランジスタ $NT51 \sim NT60$ を含む。以下、 n チャネルトランジスタ $NT51 \sim NT60$ は、それぞれ、トランジスタ $NT51 \sim NT60$ と称する。このトランジスタ $NT51 \sim NT60$ は、すべて n 型の MOS トランジスタからなる TFT により構成されている。

【0048】

また、トランジスタ $NT51 \sim NT55$ は、この順番でソース/ドレインの一方とソース/ドレインの他方とが互いに接続されている。また、トランジスタ $NT51$ 、 $NT53$ および $NT55$ のゲートには、走査方向切替信号線 (CSV) が接続されているとともに、トランジスタ $NT52$ および $NT54$ のゲートには、反転走査方向切替信号線 ($XCSV$) が接続されている。すなわち、トランジスタ $NT51 \sim NT55$ のゲートには、それぞれ、走査方向切替信号線 (CSV) と反転走査方向切替信号線 ($XCSV$) とが交互に接続されている。

40

【0049】

また、トランジスタ $NT56$ は、後述する回路部 91 のノード $ND6$ に接続されている。また、トランジスタ $NT57 \sim NT60$ は、この順番でソース/ドレインの一方とソース/ドレインの他方とが互いに接続されている。トランジスタ $NT56$ 、 $NT58$ および $NT60$ のゲートには、反転走査方向切替信号線 ($XCSV$) が接続されているとともに、トランジスタ $NT57$ および $NT59$ のゲートには、走査方向切替信号線 (CSV) が

50

接続されている。すなわち、トランジスタNT56～NT60のゲートには、それぞれ、反転走査方向切替信号線(XCSV)と走査方向切替信号線(CSV)とが交互に接続されている。

【0050】

なお、走査方向が順方向の場合には、走査方向切替信号CSVがHレベル(VDD)になるように、かつ、反転走査方向切替信号XCSVがLレベル(VBB)になるように制御される。このため、走査方向が順方向の場合には、トランジスタNT51、NT53、NT55、NT57およびNT59がオン状態になるように、かつ、トランジスタNT52、NT54、NT56、NT58およびNT60がオフ状態になるように制御される。また、走査方向が逆方向の場合には、走査方向切替信号CSVがLレベル(VBB)になるように、かつ、反転走査方向切替信号XCSVがHレベル(VDD)になるように制御される。このため、走査方向が逆方向の場合には、トランジスタNT51、NT53、NT55、NT57およびNT59がオフ状態になるように、かつ、トランジスタNT52、NT54、NT56、NT58およびNT60がオン状態になるように制御される。

10

【0051】

また、1段目のシフトレジスタ回路部51のトランジスタNT1のゲートが、走査方向切替回路部60のトランジスタNT51のソース/ドレインの他方(トランジスタNT52のソース/ドレインの一方)に接続されているとともに、1段目のシフトレジスタ回路部51のノードND3が、走査方向切替回路部60のトランジスタNT57のソース/ドレインの一方に接続されている。

20

【0052】

また、2段目のシフトレジスタ回路部52のトランジスタNT11のゲートが、走査方向切替回路部60のトランジスタNT57のソース/ドレインの他方(トランジスタNT58のソース/ドレインの一方)に接続されているとともに、2段目のシフトレジスタ回路部52のノードND3が、走査方向切替回路部60のトランジスタNT52のソース/ドレインの他方(トランジスタNT53のソース/ドレインの一方)に接続されている。

【0053】

また、3段目のシフトレジスタ回路部53のトランジスタNT21のゲートが、走査方向切替回路部60のトランジスタNT53のソース/ドレインの他方(トランジスタNT54のソース/ドレインの一方)に接続されているとともに、3段目のシフトレジスタ回路部53のノードND3が、走査方向切替回路部60のトランジスタNT58のソース/ドレインの他方(トランジスタNT59のソース/ドレインの一方)に接続されている。

30

【0054】

また、4段目のシフトレジスタ回路部54のトランジスタNT31のゲートが、走査方向切替回路部60のトランジスタNT59のソース/ドレインの他方(トランジスタNT60のソース/ドレインの一方)に接続されているとともに、4段目のシフトレジスタ回路部54のノードND3が、走査方向切替回路部60のトランジスタNT54のソース/ドレインの他方(トランジスタNT55のソース/ドレインの一方)に接続されている。

【0055】

また、5段目のシフトレジスタ回路部55のトランジスタNT41のゲートが、走査方向切替回路部60のトランジスタNT55のソース/ドレインの他方に接続されているとともに、5段目のシフトレジスタ回路部55のノードND3が、走査方向切替回路部60のトランジスタNT60のソース/ドレインの他方に接続されている。

40

【0056】

各段のシフトレジスタ回路部51～55と走査方向切替回路部60とを上記のように接続することによって、走査方向に応じて、所定段のシフトレジスタ回路部の第1回路部に走査方向に対して前段の出力信号(SR11～SR15)が入力されるように制御される。ただし、走査方向が順方向の場合の先頭段のシフトレジスタ回路部51の第1回路部51aには、スタート信号STVが入力される。

【0057】

50

また、入力信号切替回路部 70 は、ゲートが走査方向切替信号線 (CSV) に接続された n チャネルトランジスタ NT61 ~ NT70 と、ゲートが反転走査方向切替信号線 (XCSV) に接続された n チャネルトランジスタ NT71 ~ NT80 とを含む。以下、n チャネルトランジスタ NT61 ~ NT80 は、それぞれ、トランジスタ NT61 ~ NT80 と称する。また、入力信号切替回路部 70 を構成するトランジスタ NT61 ~ NT80 は、すべて n 型の MOS トランジスタからなる TFT により構成されている。

【0058】

また、走査方向切替信号線 (CSV) に接続された n チャネルトランジスタと、ゲートが反転走査方向切替信号線 (XCSV) に接続された n チャネルトランジスタとは、各段のシフトレジスタ回路部 51 ~ 55 に対して、それぞれ 2 つずつ配置されている。具体的には、1 段目のシフトレジスタ回路部 51 に対応して、ゲートが走査方向切替信号線 (CSV) に接続されたトランジスタ NT61 および NT62 と、ゲートが反転走査方向切替信号線 (XCSV) に接続されたトランジスタ NT71 および NT72 とが配置されている。トランジスタ NT61 および NT71 のソース/ドレインの一方は、1 段目のシフトレジスタ回路部 51 のトランジスタ NT2 のゲートに接続されている。トランジスタ NT61 のソース/ドレインの他方は、2 段目のシフトレジスタ回路部 52 のノード ND2 に接続されているとともに、トランジスタ NT71 のソース/ドレインの他方は、正側電位 VDD に接続されている。また、トランジスタ NT62 および NT72 のソース/ドレインの一方は、1 段目のシフトレジスタ回路部 51 のトランジスタ NT7 のゲートに接続されている。トランジスタ NT62 のソース/ドレインの他方は、スタート信号 STV が供給される走査方向切替回路部 60 のトランジスタ NT51 のソース/ドレインの他方 (トランジスタ NT52 のソース/ドレインの一方) およびトランジスタ NT1 のゲートに接続されているとともに、トランジスタ NT72 のソース/ドレインの他方は、2 段目のシフトレジスタ回路部 52 のノード ND2 に接続されている。

【0059】

また、2 段目のシフトレジスタ回路部 52 に対応して、ゲートが走査方向切替信号線 (CSV) に接続されたトランジスタ NT63 および NT64 と、ゲートが反転走査方向切替信号線 (XCSV) に接続されたトランジスタ NT73 および NT74 とが配置されている。トランジスタ NT63 および NT73 のソース/ドレインの一方は、2 段目のシフトレジスタ回路部 52 のトランジスタ NT12 のゲートに接続されている。トランジスタ NT63 のソース/ドレインの他方は、3 段目のシフトレジスタ回路部 53 のノード ND2 に接続されているとともに、トランジスタ NT73 のソース/ドレインの他方は、1 段目のシフトレジスタ回路部 51 のノード ND2 に接続されている。また、トランジスタ NT64 および NT74 のソース/ドレインの一方は、2 段目のシフトレジスタ回路部 52 のトランジスタ NT17 のゲートに接続されている。トランジスタ NT64 のソース/ドレインの他方は、1 段目のシフトレジスタ回路部 51 のノード ND2 に接続されているとともに、トランジスタ NT74 のソース/ドレインの他方は、3 段目のシフトレジスタ回路部 53 のノード ND2 に接続されている。

【0060】

また、3 段目のシフトレジスタ回路部 53 に対応して、ゲートが走査方向切替信号線 (CSV) に接続されたトランジスタ NT65 および NT66 と、ゲートが反転走査方向切替信号線 (XCSV) に接続されたトランジスタ NT75 および NT76 とが配置されている。トランジスタ NT65 および NT75 のソース/ドレインの一方は、3 段目のシフトレジスタ回路部 53 のトランジスタ NT22 のゲートに接続されている。トランジスタ NT65 のソース/ドレインの他方は、4 段目のシフトレジスタ回路部 54 のノード ND2 に接続されているとともに、トランジスタ NT75 のソース/ドレインの他方は、2 段目のシフトレジスタ回路部 52 のノード ND2 に接続されている。また、トランジスタ NT66 および NT76 のソース/ドレインの一方は、3 段目のシフトレジスタ回路部 53 のトランジスタ NT27 のゲートに接続されている。トランジスタ NT66 のソース/ドレインの他方は、2 段目のシフトレジスタ回路部 52 のノード ND2 に接続されていると

ともに、トランジスタNT76のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されている。

【0061】

また、4段目のシフトレジスタ回路部54に対応して、ゲートが走査方向切替信号線(CSV)に接続されたトランジスタNT67およびNT68と、ゲートが反転走査方向切替信号線(XCSV)に接続されたトランジスタNT77およびNT78とが配置されている。トランジスタNT67およびNT77のソース/ドレインの一方は、4段目のシフトレジスタ回路部54のトランジスタNT32のゲートに接続されている。トランジスタNT67のソース/ドレインの他方は、5段目のシフトレジスタ回路部55のノードND2に接続されているとともに、トランジスタNT77のソース/ドレインの他方は、3段目のシフトレジスタ回路部53のノードND2に接続されている。また、トランジスタNT68およびNT78のソース/ドレインの一方は、4段目のシフトレジスタ回路部54のトランジスタNT37のゲートに接続されている。トランジスタNT68のソース/ドレインの他方は、3段目のシフトレジスタ回路部53のノードND2に接続されているとともに、トランジスタNT78のソース/ドレインの他方は、5段目のシフトレジスタ回路部55のノードND2に接続されている。

10

【0062】

また、5段目のシフトレジスタ回路部55に対応して、ゲートが走査方向切替信号線(CSV)に接続されたトランジスタNT69およびNT70と、ゲートが反転走査方向切替信号線(XCSV)に接続されたトランジスタNT79およびNT80とが配置されている。トランジスタNT69およびNT79のソース/ドレインの一方は、5段目のシフトレジスタ回路部55のトランジスタNT42のゲートに接続されている。トランジスタNT69のソース/ドレインの他方は、図示しない6段目のシフトレジスタ回路部のノードND2に接続されているとともに、トランジスタNT79のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されている。また、トランジスタNT70およびNT80のソース/ドレインの一方は、5段目のシフトレジスタ回路部55のトランジスタNT47のゲートに接続されている。トランジスタNT70のソース/ドレインの他方は、4段目のシフトレジスタ回路部54のノードND2に接続されているとともに、トランジスタNT80のソース/ドレインの他方は、図示しない6段目のシフトレジスタ回路部のノードND2に接続されている。

20

30

【0063】

入力信号切替回路部70を構成するトランジスタNT61~NT80を上記のように構成することによって、走査方向が順方向の場合には、トランジスタNT61~NT70がオン状態になるように、かつ、トランジスタNT71~NT80がオフ状態になるように制御される。また、各段のシフトレジスタ回路部51~55と入力信号切替回路部70とを上記のように接続することによって、走査方向に応じて、所定段のシフトレジスタ回路部の第1回路部に走査方向に対して次段のシフト信号(SR1~SR5)が入力されるように、かつ、所定段のシフトレジスタ回路部の第2回路部に走査方向に対して前段のシフト信号(SR1~SR5)が入力されるように制御される。ただし、初段のシフトレジスタ回路部51の第1回路部51aには、スタート信号STVが入力される。

40

【0064】

また、論理合成回路部81~83は、それぞれ、ダミーゲート線(Dummy)、1段目のゲート線(Gate1)および2段目のゲート線(Gate2)に接続されている。なお、ダミーゲート線(Dummy)は、表示部2に設けられた画素20(図1参照)に接続されないゲート線である。また、論理合成回路部81~83は、それぞれ、対応する所定段のシフトレジスタ回路部から出力されたシフト信号と、その所定段の次段のシフトレジスタ回路部から出力されたシフト信号とを論理合成して、各段のゲート線にシフト出力信号を出力するように構成されている。また、ダミーゲート線(Dummy)に接続される論理合成回路部81は、nチャネルトランジスタNT81~NT84と、ダイオード接続されたnチャネルトランジスタNT85と、容量C81とを含む。なお、nチャネル

50

トランジスタNT81は、本発明の「第1トランジスタ」の一例であり、nチャネルトランジスタNT82は、本発明の「第2トランジスタ」の一例である。以下、nチャネルトランジスタNT81~NT85は、それぞれ、トランジスタNT81~NT85と称する。

【0065】

また、トランジスタNT83~NT85と、容量C81とによって、電位固定回路部81aが構成されている。この電位固定回路部81aは、論理合成回路部81からLレベルのシフト出力信号がダミーゲート線(Dummy)に出力される際、そのシフト出力信号のLレベルの電位を固定するために設けられている。また、論理合成回路部81を構成するトランジスタNT81~NT85は、すべてn型のMOSトランジスタからなるTFTにより構成されている。また、トランジスタNT81のドレインは、イネーブル信号線(ENB)に接続されているとともに、ソースは、トランジスタNT82のドレインに接続されている。また、トランジスタNT82のソースは、ノードND4(ダミーゲート線)に接続されている。トランジスタNT81のゲートは、2段目のシフトレジスタ回路部52のシフト信号SR2が出力されるノードND2に接続されているとともに、トランジスタNT82のゲートは、3段目のシフトレジスタ回路部53のシフト信号SR3が出力されるノードND2に接続されている。

【0066】

また、トランジスタNT83のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND4(ダミーゲート線)に接続されている。このトランジスタNT83のゲートは、ノードND5に接続されている。また、トランジスタNT84のソースは、負側電位VBBに接続されているとともに、ドレインは、ノードND5に接続されている。このトランジスタNT84のゲートは、ノードND4(ダミーゲート線)に接続されている。また、容量C81の一方の電極は、負側電位VBBに接続されているとともに、他方の電極は、ノードND5に接続されている。また、ノードND5は、トランジスタNT85を介して、反転イネーブル信号線(XENB)に接続されている。

【0067】

また、1段目のゲート線(Gate1)に接続される論理合成回路部82は、ダミーゲート線(Dummy)に接続される論理合成回路部81と同様の回路構成を有する。具体的には、1段目のゲート線(Gate1)に接続される論理合成回路部82は、ダミーゲート線(Dummy)に接続される論理合成回路部81のトランジスタNT81~NT85と、容量C81とに対応するnチャネルトランジスタNT91~NT95と、容量C91とを含む。なお、nチャネルトランジスタNT91は、本発明の「第1トランジスタ」の一例であり、nチャネルトランジスタNT92は、本発明の「第2トランジスタ」の一例である。以下、nチャネルトランジスタNT91~NT95は、それぞれ、トランジスタNT91~NT95と称する。また、ダミーゲート線(Dummy)に接続される論理合成回路部81の電位固定回路部81aに対応する電位固定回路部82aが、トランジスタNT93~NT95と、容量C91とによって構成されている。

【0068】

なお、1段目のゲート線(Gate1)に接続される論理合成回路部82において、トランジスタNT91のゲートは、3段目のシフトレジスタ回路部53のシフト信号SR3が出力されるノードND2に接続されているとともに、トランジスタNT92のゲートは、4段目のシフトレジスタ回路部54のシフト信号SR4が出力されるノードND2に接続されている。また、ノードND5は、トランジスタNT95を介して、反転イネーブル信号線(XENB)に接続されている。

【0069】

また、2段目のゲート線(Gate2)に接続される論理合成回路部83は、ダミーゲート線(Dummy)に接続される論理合成回路部81と同様の回路構成を有する。具体的には、2段目のゲート線(Gate2)に接続される論理合成回路部83は、ダミーゲート線(Dummy)に接続される論理合成回路部81のトランジスタNT81~NT8

5 と、容量 C 8 1 とに対応する n チャンネルトランジスタ N T 1 0 1 ~ N T 1 0 5 と、容量 C 1 0 1 とを含む。なお、n チャンネルトランジスタ N T 1 0 1 は、本発明の「第 1 トランジスタ」の一例であり、n チャンネルトランジスタ N T 1 0 2 は、本発明の「第 2 トランジスタ」の一例である。以下、n チャンネルトランジスタ N T 1 0 1 ~ N T 1 0 5 は、それぞれ、トランジスタ N T 1 0 1 ~ N T 1 0 5 と称する。また、ダミーゲート線 (D u m m y) に接続される論理合成回路部 8 1 の電位固定回路部 8 1 a に対応する電位固定回路部 8 3 a が、トランジスタ N T 1 0 3 ~ N T 1 0 5 と、容量 C 1 0 1 とによって構成されている。

【 0 0 7 0 】

なお、2 段目のゲート線 (G a t e 2) に接続される論理合成回路部 8 3 において、トランジスタ N T 1 0 1 のゲートは、4 段目のシフトレジスタ回路部 5 4 のシフト信号 S R 4 が出力されるノード N D 2 に接続されているとともに、トランジスタ N T 1 0 2 のゲートは、5 段目のシフトレジスタ回路部 5 5 のシフト信号 S R 5 が出力されるノード N D 2 に接続されている。また、ノード N D 5 は、トランジスタ N T 1 0 5 を介して、反転イネーブル信号線 (X E N B) に接続されている。

【 0 0 7 1 】

また、回路部 9 1 は、n チャンネルトランジスタ N T 1 1 1 ~ N T 1 1 3 と、ダイオード接続された n チャンネルトランジスタ N T 1 1 4 と、容量 C 1 1 1 とを含む。以下、n チャンネルトランジスタ N T 1 1 1 ~ N T 1 1 4 は、それぞれ、トランジスタ N T 1 1 1 ~ N T 1 1 4 と称する。また、回路部 9 1 を構成するトランジスタ N T 1 1 1 ~ N T 1 1 4 は、

【 0 0 7 2 】

そして、トランジスタ N T 1 1 1 のドレインは、イネーブル信号線 (E N B) に接続されているとともに、ソースは、ノード N D 6 に接続されている。このトランジスタ N T 1 1 1 のゲートは、2 段目のシフトレジスタ回路部 5 2 のノード N D 2 に接続されている。トランジスタ N T 1 1 2 のソースは、負側電位 V B B に接続されているとともに、ドレインは、ノード N D 6 に接続されている。このトランジスタ N T 1 1 2 のゲートは、ノード N D 7 に接続されている。トランジスタ N T 1 1 3 のソースは、負側電位 V B B に接続されているとともに、ドレインは、ノード N D 7 に接続されている。このトランジスタ N T 1 1 3 のゲートは、ノード N D 6 に接続されている。容量 C 1 1 1 の一方の電極は、負側電位 V B B に接続されているとともに、他方の電極は、ノード N D 7 に接続されている。また、ノード N D 6 は、走査方向切替回路部 6 0 のトランジスタ N T 5 6 のソース/ドレインの他方に接続されている。また、ノード N D 7 は、トランジスタ N T 1 1 4 を介して、反転イネーブル信号線 (X E N B) に接続されている。

【 0 0 7 3 】

図 3 は、本発明の第 1 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。次に、図 1 ~ 図 3 を参照して、第 1 実施形態による液晶表示装置の V ドライバの動作について説明する。

【 0 0 7 4 】

まず、図 2 中の順方向に沿って、各段のゲート線にタイミングのシフトしたシフト出力信号が順次出力される場合 (順方向走査の場合) について説明する。まず、電源を投入することにより、V ドライバ 5 の各段のシフトレジスタ回路部に正側電位 V D D および負側電位 V B B を供給する。そして、順方向走査の場合には、走査方向切替信号 C S V が H レベルに保持されるとともに、反転走査方向切替信号 X C S V が L レベルに保持される。これにより、順方向走査時には、走査方向切替信号 C S V がゲートに入力されるトランジスタ N T 5 1、N T 5 3、N T 5 5、N T 5 7、N T 5 9 および N T 6 1 ~ 7 0 がオン状態に保持される。また、反転走査方向切替信号 X C S V がゲートに入力されるトランジスタ N T 5 2、N T 5 4、N T 5 6、N T 5 8、N T 6 0 および N T 7 1 ~ 8 0 がオフ状態に保持される。そして、初期状態では、各段のシフトレジスタ回路部 5 1 ~ 5 5 のノード N D 1 ~ N D 3 の電位は、正側電位 V D D と負側電位 V B B との間の不安定な電位となって

いる。これにより、初期状態では、各段のシフトレジスタ回路部 5 1 ~ 5 5 から出力されるシフト信号 S R 1 ~ S R 5 と、出力信号 S R 1 1 ~ S R 1 5 とは、正側電位 V D D と負側電位 V B B との間の不安定な電位となっている。この状態で、図 3 に示すように、スタート信号 S T V を H レベルに上昇させる。

【 0 0 7 5 】

これにより、第 1 実施形態では、H レベルのスタート信号 S T V が 4 段目のシフトレジスタ回路部 5 4 の第 1 回路部 5 4 a のリセットトランジスタ N T 3 9 のゲートに入力される。このため、リセットトランジスタ N T 3 9 がオンするので、リセットトランジスタ N T 3 9 を介して正側電位 V D D が 4 段目のシフトレジスタ回路部 5 4 の第 1 回路部 5 4 a のノード N D 1 に供給される。これにより、初期状態では正側電位 V D D と負側電位 V B B との間の不安定な電位であった第 1 回路部 5 4 a のノード N D 1 の電位が正側電位 V D D (H レベル) にリセットされる。このため、第 1 回路部 5 4 a のノード N D 1 に繋がる第 2 回路部 5 4 b のトランジスタ N T 3 6 および N T 3 5 のゲートにそれぞれ正側電位 V D D (H レベル) が印加される。これにより、トランジスタ N T 3 6 および N T 3 5 がオンするので、トランジスタ N T 3 6 および N T 3 5 を介して、4 段目のシフトレジスタ回路部 5 4 のノード N D 2 および N D 3 にそれぞれ負側電位 V B B が供給される。

10

【 0 0 7 6 】

このため、初期状態では正側電位 V D D と負側電位 V B B との間の不安定な電位であった 4 段目のシフトレジスタ回路部 5 4 のノード N D 2 および N D 3 の電位は、スタート信号 S T V が H レベルの期間において、負側電位 V B B にリセットされる。これにより、4 段目のシフトレジスタ回路部 5 4 のノード N D 2 および N D 3 からそれぞれ出力されるシフト信号 S R 4 および出力信号 S R 1 4 は、共に、負側電位 V B B (L レベル) にリセットされる。

20

【 0 0 7 7 】

そして、L レベルのシフト信号 S R 4 は、論理合成回路部 8 2 のトランジスタ N T 9 2 のゲート、および、論理合成回路部 8 3 のトランジスタ N T 1 0 1 のゲートに入力されるので、これらのトランジスタ N T 9 2 および N T 1 0 1 はオフ状態に固定される。また、L レベルのシフト信号 S R 4 は、入力信号切替回路部 7 0 のオン状態のトランジスタ N T 6 5 を介して、3 段目のシフトレジスタ回路部 5 3 のトランジスタ N T 2 2 のゲートに入力される。これにより、3 段目のシフトレジスタ回路部 5 3 のトランジスタ N T 2 2 は、オフ状態に固定される。また、L レベルのシフト信号 S R 4 は、入力信号切替回路部 7 0 のオン状態のトランジスタ N T 7 0 を介して、5 段目のシフトレジスタ回路部 5 5 のトランジスタ N T 4 7 のゲートに入力される。これにより、5 段目のシフトレジスタ回路部 5 5 のトランジスタ N T 4 7 は、オフ状態に固定される。

30

【 0 0 7 8 】

また、4 段目のシフトレジスタ回路部 5 4 のノード N D 3 から出力される L レベルの出力信号 S R 1 4 は、走査方向切替回路部 6 0 のオン状態のトランジスタ N T 5 5 を介して、5 段目のシフトレジスタ回路部 5 5 のトランジスタ N T 4 1 のゲートに入力される。これにより、5 段目のシフトレジスタ回路部 5 5 のトランジスタ N T 4 1 は、オフ状態に固定される。

40

【 0 0 7 9 】

また、5 段目のシフトレジスタ回路部 5 5 では、H レベルのスタート信号 S T V が第 1 回路部 5 5 a のリセットトランジスタ N T 4 9 のゲートに入力されることにより、上記した 4 段目のシフトレジスタ回路部 5 4 と同様にして、ノード N D 1 の電位が正側電位 V D D (H レベル) にリセットされるとともに、ノード N D 2 および N D 3 の電位が負側電位 V B B (L レベル) にリセットされる。これに伴って、5 段目のシフトレジスタ回路部 5 5 のノード N D 2 および N D 3 からそれぞれ出力されるシフト信号 S R 5 および出力信号 S R 1 5 も負側電位 V B B (L レベル) にリセットされる。そして、この L レベルのシフト信号 S R 5 は、論理合成回路部 8 3 のトランジスタ N T 1 0 2 のゲートと、論理合成回路部 8 3 のトランジスタ N T 1 0 1 に対応する論理合成回路部 8 3 の次段の論理合成回路

50

部のnチャネルトランジスタのゲートとに入力される。これにより、これらのトランジスタがオフ状態に固定される。また、Lレベルのシフト信号SR5は、入力信号切替回路部70のオン状態のトランジスタNT67を介して、4段目のシフトレジスタ回路部54のトランジスタNT32のゲートに入力される。これにより、トランジスタNT32は、オフ状態に固定される。

【0080】

上記のようにして、スタート信号STVがHレベルになる期間には、4段目以降の全てのシフトレジスタ回路部において、ノードND1の電位と、ノードND2およびND3の電位とがそれぞれ正側電位VDDと負側電位VBBとに一括してリセットされる。そして、これに伴って、4段目以降のシフトレジスタ回路部からそれぞれ出力されるシフト信号および出力信号が負側電位VBB(Lレベル)にリセットされる。これにより、そのLレベルのシフト信号または出力信号がゲートに入力される各段のシフトレジスタ回路部のトランジスタと各段の論理合成回路部の論理合成を行うトランジスタとが、オフ状態に固定される。

【0081】

また、Hレベルのスタート信号STVは、走査方向切替回路部60のオン状態のトランジスタNT51を介して1段目のシフトレジスタ回路部51のトランジスタNT1のゲートに入力される。このため、トランジスタNT1がオン状態になる。この後、トランジスタNT2のドレインに入力されるクロック信号CKV1がHレベルに上昇する。

【0082】

この際、1段目のシフトレジスタ回路部51のトランジスタNT2のゲートに、2段目のシフトレジスタ回路部52から出力されるシフト信号SR2がオン状態のトランジスタNT61を介して入力されている。なお、このときのトランジスタNT2のゲートに入力されるシフト信号SR2は、正側電位VDDと負側電位VBBとの間の不安定な電位ではあるが、トランジスタNT2をオフさせることが可能な電位になっている。これにより、トランジスタNT2は、オフ状態になっている。

【0083】

また、1段目のシフトレジスタ回路部51のトランジスタNT1がオン状態でトランジスタNT2がオフ状態であるので、トランジスタNT1を介して負側電位VBBからLレベルの電位が供給されることによりノードND1の電位がLレベルに低下する。これにより、1段目のシフトレジスタ回路部51のノードND1にゲートが接続されるトランジスタNT5およびNT6がオフ状態になる。また、Hレベルのスタート信号STVは、オン状態のトランジスタNT51およびNT62を介して、1段目のシフトレジスタ回路部51のトランジスタNT7のゲートにも入力される。これにより、トランジスタNT7はオン状態になっている。そして、トランジスタNT7のドレインに入力されるクロック信号CKV1の電位がHレベルに上昇する。

【0084】

この際、トランジスタNT7がオン状態であっても、トランジスタNT6がオフ状態であるので、トランジスタNT7、NT8およびNT6を介してクロック信号線(CKV1)と、負側電位VBBとの間で貫通電流が流れることはない。また、Hレベルのクロック信号CKV1がトランジスタNT7と、ダイオード接続されたトランジスタNT8とを介して入力されることにより、1段目のシフトレジスタ回路部51のノードND2の電位がHレベルに上昇する。これにより、トランジスタNT4がオン状態になる。そして、正側電位VDDからトランジスタNT4を介してノードND3にHレベル(VDD)の電位が供給される。

【0085】

この際、トランジスタNT4がオン状態であっても、トランジスタNT5がオフ状態であるので、トランジスタNT4およびNT5を介して、正側電位VDDと負側電位VBBとの間で貫通電流が流れることはない。そして、正側電位VDDからトランジスタNT4を介してノードND3にHレベル(VDD)の電位が供給されることにより、1段目のシ

10

20

30

40

50

フトレジスタ回路部 5 1 のノード N D 3 の電位は、V D D 側に上昇する。この際、1 段目のシフトレジスタ回路部 5 1 のノード N D 2 の電位は、容量 C 3 によってトランジスタ N T 4 のゲート - ソース間電圧が維持されるように、ノード N D 3 の電位の上昇に伴ってブートされることにより上昇する。これにより、ノード N D 2 の電位が V D D よりもトランジスタ N T 4 のしきい値電圧 (V_t) 以上の所定の電圧 (V) 分高い電位まで上昇する。その結果、1 段目のシフトレジスタ回路部 5 1 のノード N D 2 から V D D + V_t 以上の電位 ($V D D + V$) を有する H レベルのシフト信号 S R 1 が出力される。また、同時に、1 段目のシフトレジスタ回路部のノード N D 3 から H レベル (V D D) の出力信号 S R 1 1 が出力される。

【 0 0 8 6 】

10

そして、1 段目のシフトレジスタ回路部 5 1 の H レベル (V D D) の出力信号 S R 1 1 は、オン状態のトランジスタ N T 5 7 を介して 2 段目のシフトレジスタ回路部 5 2 のトランジスタ N T 1 1 のゲートに入力される。これにより、トランジスタ N T 1 1 は、オン状態になる。そして、1 段目のシフトレジスタ回路部 5 1 の H レベル ($V D D + V$) のシフト信号 S R 1 は、オン状態のトランジスタ N T 6 4 のドレインに入力される。この際、トランジスタ N T 6 4 のゲート電圧は走査方向切替信号 C S V の電位 (V D D) に等しいので、トランジスタ N T 6 4 のソースに接続されるトランジスタ N T 1 7 のゲート電圧は ($V D D - V_t$) に充電される。これにより、トランジスタ N T 1 7 は、オン状態になる。

【 0 0 8 7 】

20

また、2 段目のシフトレジスタ回路部 5 2 のトランジスタ N T 1 2 のゲートには、3 段目のシフトレジスタ回路部 5 3 のノード N D 2 から出力されるシフト信号 S R 3 がオン状態のトランジスタ N T 6 3 を介して入力されている。なお、このときのトランジスタ N T 1 2 のゲートに入力されるシフト信号 S R 3 は、正側電位 V D D と負側電位 V B B との間の不安定な電位ではあるが、トランジスタ N T 1 2 をオフさせることが可能な電位になっている。これにより、トランジスタ N T 1 2 は、オフ状態になっている。

【 0 0 8 8 】

この後、2 段目のシフトレジスタ回路部 5 2 のトランジスタ N T 1 7 のドレインに入力されるクロック信号 C K V 2 の電位が L レベル (V B B) から H レベル (V D D) に上昇する。これにより、トランジスタ N T 1 7 では、容量 C 1 4 の機能によりゲート - ソース間電圧が保持されながら、ゲート電位が $V D D - V_t$ から V D D と V B B との電位差分上昇する。このため、2 段目のシフトレジスタ回路部 5 2 のノード N D 2 の電位は、トランジスタ N T 1 7 のしきい値電圧 (V_t) 分低下することなく、H レベル (V D D) の電位に上昇する。この後、上記した 1 段目のシフトレジスタ回路部 5 1 の動作と同様にして、2 段目のシフトレジスタ回路部 5 2 のノード N D 2 から V D D + V_t 以上の電位 ($V D D + V$) を有する H レベルのシフト信号 S R 2 が出力される。また、同時に、2 段目のシフトレジスタ回路部 5 2 のノード N D 3 から H レベル (V D D) の出力信号 S R 1 2 が出力される。

30

【 0 0 8 9 】

そして、2 段目のシフトレジスタ回路部 5 2 の H レベル ($V D D + V > V D D + V_t$) のシフト信号 S R 2 は、ダミーゲート線に繋がる論理合成回路部 8 1 のトランジスタ N T 8 1 のゲートに入力される。また、H レベル ($V D D + V > V D D + V_t$) のシフト信号 S R 2 は、ゲートに V D D の走査方向切替信号 C S V が入力されることによりオンしているトランジスタ N T 6 1 および N T 6 6 のドレインに入力される。これにより、トランジスタ N T 6 1 および N T 6 6 のソース電位は、($V D D - V_t$) になるので、1 段目のシフトレジスタ回路部 5 1 のトランジスタ N T 2 のゲートと、3 段目のシフトレジスタ回路部 5 3 のトランジスタ N T 2 7 のゲートとには、($V D D - V_t$) の電位が入力される。また、H レベル (V D D) の出力信号 S R 1 2 は、オン状態のトランジスタ N T 5 3 を介して 3 段目のシフトレジスタ回路部 5 3 のトランジスタ N T 2 1 のゲートに入力される。

40

50

【 0 0 9 0 】

そして、ダミーゲート線に繋がる論理合成回路部 8 1 のトランジスタ N T 8 1 は、H レベル ($VDD + V$) のシフト信号 S R 2 がゲートに入力されることにより、オン状態になる。この際、トランジスタ N T 8 3 は、オン状態に保持されているので、トランジスタ N T 8 3 を介してノード N D 4 に負側電位 V B B が供給される。また、この際、トランジスタ N T 8 2 のゲートには、3 段目のシフトレジスタ回路部 5 3 のノード N D 2 から正側電位 V D D と負側電位 V B B との間の不安定な電位のシフト信号 S R 3 が入力されている。これにより、トランジスタ N T 8 2 は、意図しないオン状態になる場合がある。

【 0 0 9 1 】

トランジスタ N T 8 2 が意図しないオン状態になる場合には、トランジスタ N T 8 1 および N T 8 2 を介して供給されるイネーブル信号 E N B により、ノード N D 4 の電位が V B B よりも高い電位に上昇する。これにより、論理合成回路部 8 1 のノード N D 4 から、意図しないタイミングで V B B よりも高い電位のシフト出力信号 D u m m y がダミーゲート線に出力される場合がある。なお、このように意図しないタイミングで V B B よりも高い電位のシフト出力信号 D u m m y がダミーゲート線に出力されたとしても、ダミーゲート線は画素 2 0 (図 1 参照) に接続されていないので、映像の表示に影響を及ぼすことはない。

【 0 0 9 2 】

また、($VDD - Vt$) の電位がトランジスタ N T 6 1 からゲートに入力されることにより、1 段目のシフトレジスタ回路部 5 1 のトランジスタ N T 2 は、オン状態になる。そして、トランジスタ N T 2 および N T 7 のドレインに入力されるクロック信号 C K V 1 の電位は L レベルに低下する。この際、1 段目のシフトレジスタ回路部 5 1 のノード N D 1 の電位は、L レベルに保持される。これにより、1 段目のシフトレジスタ回路部 5 1 のトランジスタ N T 5 および N T 6 は、オフ状態に保持される。

【 0 0 9 3 】

また、クロック信号 C K V 1 が L レベルに低下することにより、トランジスタ N T 8 のゲート電圧は L レベルに低下するので、トランジスタ N T 8 はオフ状態になる。これにより、1 段目のシフトレジスタ回路部 5 1 のノード N D 2 の電位は、H レベル ($VDD + V$) に保持されるので、1 段目のシフトレジスタ回路部 5 1 から H レベル ($VDD + V$) のシフト信号 S R 1 が続けて出力される。また、1 段目のシフトレジスタ回路部 5 1 のノード N D 2 の電位が H レベル ($VDD + V$) に保持されることにより、トランジスタ N T 4 はオン状態に保持されるので、1 段目のシフトレジスタ回路部 5 1 のノード N D 3 から H レベル (VDD) の出力信号 S R 1 1 が続けて出力される。

【 0 0 9 4 】

また、($VDD - Vt$) の電位がトランジスタ N T 6 6 からゲートに入力されることにより、3 段目のシフトレジスタ回路部 5 3 のトランジスタ N T 2 7 は、オン状態になる。また、トランジスタ N T 2 1 は、ゲートに H レベル (VDD) の出力信号 S R 1 2 が入力されることによりオン状態になる。このとき、3 段目のシフトレジスタ回路部 5 3 のトランジスタ N T 2 2 は、オフ状態に固定されている。そして、トランジスタ N T 2 1 がオンすることによりトランジスタ N T 2 1 を介して負側電位 V B B が供給されることによって、3 段目のシフトレジスタ回路部 5 3 のノード N D 1 の電位は、負側電位 V B B (L レベル) に固定される。これにより、トランジスタ N T 2 5 および N T 2 6 はオフ状態になる。

【 0 0 9 5 】

このとき、クロック信号線 (C K V 1) からオン状態のトランジスタ N T 2 7 を介してトランジスタ N T 2 8 のゲートに供給されるクロック信号 C K V 1 が H レベル (VDD) から L レベル ($V B B$) に低下するので、トランジスタ N T 2 8 はオフ状態になる。これにより、3 段目のシフトレジスタ回路部 5 3 のノード N D 2 の電位は、正側電位 V D D と負側電位 V B B との間の不安定な電位に保持される。このため、3 段目のシフトレジスタ回路部 5 3 のノード N D 2 から正側電位 V D D と負側電位 V B B との間の不安定な電位の

シフト信号 $S R 3$ が続けて出力される。また、このとき、3 段目のシフトレジスタ回路部 5 3 のノード $N D 3$ の電位も正側電位 $V D D$ と負側電位 $V B B$ との間の不安定な電位に保持されることにより、3 段目のシフトレジスタ回路部 5 3 のノード $N D 3$ から正側電位 $V D D$ と負側電位 $V B B$ との間の不安定な電位の出力信号 $S R 1 3$ が続けて出力される。

【0096】

そして、スタート信号 $S T V$ の電位が L レベルに低下する。これにより、1 段目のシフトレジスタ回路部 5 1 のトランジスタ $N T 1$ がオフ状態になる。このため、1 段目のシフトレジスタ回路部 5 1 のノード $N D 1$ の電位は、 L レベルに保持されるので、トランジスタ $N T 5$ および $N T 6$ は、オフ状態に保持される。また、スタート信号 $S T V$ の電位が L レベルに低下することにより、スタート信号 $S T V$ がトランジスタ $N T 5 1$ および $N T 6 2$ を介してゲートに入力されるトランジスタ $N T 7$ もオフ状態になる。これにより、1 段目のシフトレジスタ回路部 5 1 のノード $N D 2$ の電位は、 H レベル ($V D D + V$) に保持されるとともに、ノード $N D 3$ の電位は、 H レベル ($V D D$) に保持される。このため、1 段目のシフトレジスタ回路部 5 1 から、 H レベル ($V D D + V$) のシフト信号 $S R 1$ と、 H レベル ($V D D$) の出力信号 $S R 1 1$ とが続けて出力される。

【0097】

また、 L レベルに低下したスタート信号 $S T V$ は、4 段目のシフトレジスタ回路部 5 4 のリセットトランジスタ $N T 3 9$ 、5 段目のシフトレジスタ回路部 5 5 のリセットトランジスタ $N T 4 9$ 、および、図示しない 6 段目以降のシフトレジスタ回路部の上記のリセットトランジスタ $N T 3 9$ および $N T 4 9$ に対応する n チャネルトランジスタのゲートにも入力されるので、これらのトランジスタはオフする。これにより、4 段目以降のシフトレジスタ回路部において、ノード $N D 1$ は、 H レベルの電位を保持しながらフローティング状態になるとともに、ノード $N D 2$ および $N D 3$ の電位は L レベルに保持される。このため、4 段目以降のシフトレジスタ回路部のノード $N D 2$ から出力されるシフト信号とノード $N D 3$ から出力される出力信号とは、共に、 L レベルに保持される。

【0098】

この後、3 段目のシフトレジスタ回路部 5 3 のトランジスタ $N T 2 7$ のドレインに入力されるクロック信号 $C K V 1$ が H レベルに上昇する。これにより、3 段目のシフトレジスタ回路部 5 3 のノード $N D 2$ の電位は H レベル ($V D D$) に上昇するので、シフト信号 $S R 3$ の電位は H レベルに上昇する。また、3 段目のシフトレジスタ回路部 5 3 のノード $N D 2$ にゲートが接続されたトランジスタ $N T 2 4$ はオン状態になる。このとき、トランジスタ $N T 2 4$ のドレインに L レベルのイネーブル信号 $E N B 1$ が供給されているので、トランジスタ $N T 2 4$ のソース電位 (ノード $N D 3$ の電位) は L レベルに保持される。

【0099】

この後、第 1 実施形態では、イネーブル信号 $E N B 1$ の電位が L レベルから H レベルに上昇する。これにより、3 段目のシフトレジスタ回路部 5 3 のノード $N D 3$ の電位が H レベル ($V D D$) に上昇するので、出力信号 $S R 1 3$ の電位も H レベル ($V D D$) に上昇する。なお、この際、3 段目のシフトレジスタ回路部 5 3 のノード $N D 2$ の電位は、容量 $C 2 3$ によりトランジスタ $N T 2 4$ のゲート - ソース間電圧が維持されるようにノード $N D 3$ の電位の上昇に伴ってブーストされることによって、 $V D D$ からさらに上昇する。これにより、3 段目のシフトレジスタ回路部 5 3 のノード $N D 2$ の電位は、 $V D D$ よりもしきい値電圧 ($V t$) 以上の所定の電圧 (V) 分高い電位 ($V D D + V > V D D + V t$) まで上昇する。なお、このときのノード $N D 2$ の電位 ($V D D + V$) は、上記した 1 段目のシフトレジスタ回路部 5 1 および 2 段目のシフトレジスタ回路部 5 2 において、上昇した後のノード $N D 2$ の電位 ($V D D + V$) よりもさらに高い電位となる。そして、3 段目のシフトレジスタ回路部 5 3 のノード $N D 2$ から $V D D + V t$ 以上の電位 ($V D D + V$) を有する H レベルのシフト信号 $S R 3$ が出力される。

【0100】

そして、 H レベル ($V D D + V > V D D + V t$) のシフト信号 $S R 3$ は、ダミーゲート線に繋がる論理合成回路部 8 1 のトランジスタ $N T 8 2$ のゲートと、1 段目のゲート線

10

20

30

40

50

に繋がる論理合成回路部 8 2 のトランジスタ N T 9 1 のゲートとに入力される。また、H レベル ($V_{DD} + V_{t} > V_{DD} + V_{t}$) のシフト信号 S R 3 は、オン状態のトランジスタ N T 6 3 のドレインに入力されるとともに、オン状態のトランジスタ N T 6 8 のドレインに入力される。また、H レベル (V_{DD}) の出力信号 S R 1 3 は、オン状態のトランジスタ N T 5 9 を介して 4 段目のシフトレジスタ回路部 5 4 のトランジスタ N T 3 1 のゲートに入力される。

【 0 1 0 1 】

この際、第 1 実施形態では、ダミーゲート線に繋がる論理合成回路部 8 1 において、トランジスタ N T 8 1 および N T 8 2 のゲートにそれぞれ入力されるシフト信号 S R 2 とシフト信号 S R 3 とが両方とも H レベルになるので、トランジスタ N T 8 1 およびトランジスタ N T 8 2 が両方ともオン状態になる。これにより、イネーブル信号線 (E N B) からトランジスタ N T 8 1 および N T 8 2 を介してノード N D 4 にイネーブル信号 E N B が供給される。このイネーブル信号 E N B は、シフト信号 S R 1 および S R 2 が両方とも H レベルになった時点では、L レベルであり、その後わずかな期間後に L レベルから H レベルに電位が切り替わる。これにより、ダミーゲート線に繋がる論理合成回路部 8 1 のノード N D 4 の電位が L レベルから H レベルに上昇するので、論理合成回路部 8 1 からダミーゲート線に H レベルのシフト出力信号 D u m m y が出力される。すなわち、イネーブル信号 E N B が L レベルの間は、シフト出力信号 D u m m y の電位は、強制的に L レベルに保持されるとともに、イネーブル信号 E N B の電位が L レベルから H レベルに上昇するのに伴って、H レベルに上昇される。

【 0 1 0 2 】

なお、この際、ダミーゲート線に繋がる論理合成回路部 8 1 のノード N D 4 の電位 (シフト出力信号 D u m m y の電位) が H レベルに上昇するのに伴って、ノード N D 4 にゲートが接続されたトランジスタ N T 8 4 がオン状態になる。これにより、トランジスタ N T 8 4 を介して負側電位 V B B から L レベルの電位がトランジスタ N T 8 3 のゲートに供給されるので、トランジスタ N T 8 3 は、オフ状態になる。このため、トランジスタ N T 8 1 および N T 8 2 が両方ともオン状態になった場合にも、トランジスタ N T 8 3 がオフ状態になるので、トランジスタ N T 8 1、N T 8 2 および N T 8 3 を介して、イネーブル信号線 (E N B) と負側電位 V B B との間で貫通電流が流れるのが抑制される。

【 0 1 0 3 】

また、第 1 実施形態では、トランジスタ N T 8 1 および N T 8 2 のゲートに、 V_{DD} よりもしきい値電圧 (V_{t}) 以上の所定の電圧 (V_{th} または V_{th}) 分高い電位 ($V_{DD} + V_{th}$ または $V_{DD} + V_{th}$) の H レベルのシフト信号 S R 2 および S R 3 がそれぞれ入力される。これにより、トランジスタ N T 8 1 のドレインに V_{DD} の電位を有する H レベルのイネーブル信号 E N B が供給された場合に、ダミーゲート線に繋がる論理合成回路部 8 1 のノード N D 4 に現れる電位が、 V_{DD} からトランジスタ N T 8 1 および N T 8 2 のしきい値電圧 (V_{t}) 分低下するのが抑制される。このため、論理合成回路部 8 1 からダミーゲート線に出力されるシフト出力信号 D u m m y の電位が H レベルから低下するのが抑制される。

【 0 1 0 4 】

また、1 段目のゲート線に繋がる論理合成回路部 8 2 では、トランジスタ N T 9 1 のゲートに 3 段目のシフトレジスタ回路部 5 3 の H レベル ($V_{DD} + V_{th}$) のシフト信号 S R 3 が入力されることにより、トランジスタ N T 9 1 はオンする。このとき、トランジスタ N T 9 2 がオフ状態に固定されているので、イネーブル信号線 (E N B) からトランジスタ N T 9 1 および N T 9 2 を介してノード N D 4 にイネーブル信号 E N B は供給されない。

【 0 1 0 5 】

なお、この時点より前の反転イネーブル信号 X E N B が H レベルの期間において、反転イネーブル信号線 (X E N B) にゲートが接続されたトランジスタ N T 9 5 がオンする。これにより、トランジスタ N T 9 5 を介して論理合成回路部 8 2 のノード N D 5 に H レベ

10

20

30

40

50

ルの反転イネーブル信号 $XENB$ が供給される。このため、ノード $ND5$ にゲートが接続されたトランジスタ $NT93$ がオンするとともに、容量 $C91$ が充電される。これにより、トランジスタ $NT93$ を介して負側電位 VBB (L レベル) が論理合成回路部 82 のノード $ND4$ に供給される。このため、論理合成回路部 82 から 1 段目のゲート線に L レベルのシフト出力信号 $Gate1$ が出力される。なお、この際、論理合成回路部 82 のノード $ND4$ の電位が L レベルになることにより、そのノード $ND4$ にゲートが接続されるトランジスタ $NT94$ はオフ状態になる。これにより、論理合成回路部 82 のノード $ND5$ の電位は H レベルに保持される。

【 0106 】

そして、反転イネーブル信号 $XENB$ の電位が H レベルから L レベルに切り替わる際には、トランジスタ $NT95$ はオフするので、トランジスタ $NT95$ を介してノード $ND5$ に、 L レベルの反転イネーブル信号 $XENB$ は供給されない。これにより、トランジスタ $NT93$ はオン状態に保持されるので、トランジスタ $NT93$ を介して、ノード $ND4$ に負側電位 VBB が続けて供給される。このため、反転イネーブル信号 $XENB$ が H レベルの期間に加えて L レベルの期間にも、論理合成回路部 82 のノード $ND4$ から 1 段目のゲート線に L レベルのシフト出力信号 $Gate1$ が出力される。

【 0107 】

また、 H レベル ($VDD + V_{\text{th}}$) のシフト信号 $SR3$ が、ゲートに VDD の走査方向切替信号 CSV が入力されることによりオンしているトランジスタ $NT63$ のドレインに入力されることにより、トランジスタ $NT63$ のソース電位は、($VDD - V_{\text{th}}$) になる。これにより、 2 段目のシフトレジスタ回路部 52 のトランジスタ $NT12$ のゲートには、($VDD - V_{\text{th}}$) の電位が入力される。このため、トランジスタ $NT12$ がオン状態になる。この際、クロック信号 $CKV2$ の電位が L レベルである。これにより、 2 段目のシフトレジスタ回路部 52 のノード $ND1$ の電位は L レベルに保持されるので、トランジスタ $NT15$ および $NT16$ はオフ状態に保持される。また、この際、トランジスタ $NT18$ のゲート電位はクロック信号 $CKV2$ により L レベルになるので、トランジスタ $NT18$ はオフしている。したがって、ノード $ND2$ の電位は、 H レベル ($VDD + V_{\text{th}}$) に保持される。これにより、 2 段目のシフトレジスタ回路部 52 から H レベル ($VDD + V_{\text{th}}$) のシフト信号 $SR2$ が続けて出力される。また、トランジスタ $NT15$ がオフ状態に保持されることにより、 2 段目のシフトレジスタ回路部 52 のノード $ND3$ の電位は、 H レベル (VDD) に保持される。これにより、 2 段目のシフトレジスタ回路部 52 から H レベル (VDD) の出力信号 $SR12$ が続けて出力される。

【 0108 】

また、 1 段目のシフトレジスタ回路部 51 では、 H レベル ($VDD + V_{\text{th}}$) のシフト信号 $SR2$ がドレインに入力されるトランジスタ $NT61$ から続けて ($VDD - V_{\text{th}}$) の電位がゲートに入力されることにより、トランジスタ $NT2$ がオン状態に保持される。この状態で、クロック信号 $CKV1$ が L レベル (VBB) から H レベル (VDD) に立ち上がるので、トランジスタ $NT2$ のソース電位が上昇する。この際、トランジスタ $NT2$ では、容量 $C2$ によりゲート - ソース間電圧が保持されながら、ゲート電位が ($VDD - V_{\text{th}}$) から VDD と VBB との電位差分上昇する。これにより、 1 段目のシフトレジスタ回路部 51 のノード $ND1$ の電位 (トランジスタ $NT2$ のソース電位) は、トランジスタ $NT2$ のしきい値電圧 (V_{th}) 分低下することなく、 H レベル (VDD) の電位に上昇する。

【 0109 】

そして、 1 段目のシフトレジスタ回路部 51 のノード $ND1$ の電位が H レベルに上昇することにより、トランジスタ $NT5$ および $NT6$ がオン状態になる。この際、トランジスタ $NT7$ がオフ状態であるので、トランジスタ $NT6$ を介して負側電位 VBB から L レベルの電位が供給されることにより、 1 段目のシフトレジスタ回路部 51 のノード $ND2$ の電位は L レベルに低下する。これにより、 1 段目のシフトレジスタ回路部 51 から出力されるシフト信号 $SR1$ の電位は、 L レベルに低下する。また、ノード $ND2$ の電位が L レベルに低下することにより、トランジスタ $NT4$ はオフ状態になる。これにより、トラン

10

20

30

40

50

ジスタNT5を介して負側電位VBBからLレベルの電位が供給されることにより、1段目のシフトレジスタ回路部51のノードND3の電位はLレベルに低下する。このため、1段目のシフトレジスタ回路部51から出力される出力信号SR11の電位は、Lレベルに低下する。また、1段目のシフトレジスタ回路部51のノードND1の電位がHレベルに上昇した際、容量C1が充電される。これにより、次にトランジスタNT1がオン状態になって、トランジスタNT1を介して負側電位VBBからLレベルの電位が供給されるまで、ノードND1の電位がHレベルに保持される。このため、次にトランジスタNT1がオン状態になるまで、トランジスタNT5およびNT6がオン状態に保持されるので、シフト信号SR1および出力信号SR11の電位はLレベルに保持される。

【0110】

そして、イネーブル信号ENBの電位がHレベルからLレベルに低下する。これにより、ダミーゲート線に繋がる論理合成回路部81では、トランジスタNT81およびNT82を介して、Lレベルの電位が供給されることにより、ノードND4の電位がLレベルに低下する。このため、論理合成回路部81からダミーゲート線に出力されるシフト出力信号Dummyの電位は、Lレベルに低下する。また、イネーブル信号ENBがHレベルからLレベルに低下するのと同時に、反転イネーブル信号XENBがLレベルからHレベルに上昇する。これにより、Hレベルの反転イネーブル信号XENBが、ダミーゲート線に繋がる論理合成回路部81のダイオード接続されたトランジスタNT85を介してトランジスタNT83のゲートに入力される。これにより、トランジスタNT83は、オン状態になる。このため、トランジスタNT83を介して負側電位VBBからLレベルの電位が供給されることにより、ダミーゲート線に繋がる論理合成回路部81のノードND4の電位は、Lレベルに固定される。これにより、論理合成回路部81からダミーゲート線に出力されるシフト出力信号Dummyの電位は、Lレベルに固定される。

【0111】

また、Hレベルの反転イネーブル信号XENBがトランジスタNT83のゲートに入力された際、容量C81が充電される。これにより、次に、トランジスタNT84がオン状態になって負側電位VBBからトランジスタNT84を介してLレベルの電位が供給されるまで、ノードND5の電位(トランジスタNT83のゲート電位)は、Hレベルに保持される。このため、次にトランジスタNT84がオン状態になるまで、トランジスタNT83はオン状態に保持されるので、論理合成回路部81からダミーゲート線に出力されるシフト出力信号Dummyの電位はLレベルに固定された状態で保持される。

【0112】

また、クロック信号CKV2がHレベルに上昇することにより、2段目のシフトレジスタ回路部52において、オン状態のトランジスタNT12を介してHレベルのクロック信号CKV2がノードND1に供給される。これにより、ノードND1にゲートが接続されるトランジスタNT15およびNT16はオン状態になる。このため、トランジスタNT16を介して負側電位VBBからノードND2にLレベルの電位が供給される。これにより、2段目のシフトレジスタ回路部52のノードND2から出力されるシフト信号SR2の電位はLレベルに低下する。また、ノードND2の電位がLレベルに低下することにより、トランジスタNT14がオフする。これにより、トランジスタNT15を介して負側電位VBBからLレベルの電位が供給されることによって、ノードND3の電位はLレベルに低下する。これにより、2段目のシフトレジスタ回路部52のノードND3から出力される出力信号SR12の電位は、Lレベルに低下する。

【0113】

また、4段目のシフトレジスタ回路部54では、Hレベル($VDD + V$)のシフト信号SR3がドレインに入力されるトランジスタNT68から、($VDD - Vt$)の電位がトランジスタNT37のゲートに入力される。また、トランジスタNT31のゲートにHレベル(VDD)の出力信号SR13が入力される。また、トランジスタNT32はオフ状態に固定されている。この状態で、トランジスタNT37のドレインに入力されるクロック信号CKV2の電位がHレベル(VDD)に上昇した後、トランジスタNT34のド

10

20

30

40

50

ラインに入力されるイネーブル信号 $ENB2$ の電位が L レベル (V_{BB}) から H レベル (V_{DD}) に上昇する。これにより、上記した 3 段目のシフトレジスタ回路部 53 の動作と同様に、4 段目のシフトレジスタ回路部 54 から $V_{DD} + V_t$ 以上の電位 ($V_{DD} + V$) を有する H レベルのシフト信号 $SR4$ と、 H レベル (V_{DD}) の出力信号 $SR14$ とが出力される。

【0114】

そして、1 段目のゲート線に繋がる論理合成回路部 82 では、トランジスタ $NT91$ のゲートに H レベル ($V_{DD} + V$) のシフト信号 $SR3$ が入力されるとともに、トランジスタ $NT92$ のゲートに H レベル ($V_{DD} + V$) のシフト信号 $SR4$ が入力される。これにより、トランジスタ $NT91$ とトランジスタ $NT92$ とが両方ともオン状態になるので、イネーブル信号線からトランジスタ $NT91$ および $NT92$ を介してノード $ND4$ にイネーブル信号 ENB が供給される。このイネーブル信号 ENB は、シフト信号 $SR3$ および $SR4$ が両方とも H レベルになることによりトランジスタ $NT91$ および $NT92$ が両方ともオン状態になった時点では、 L レベルであり、その後わずかな期間後に L レベルから H レベルに電位が切り替わる。これにより、1 段目のゲート線に繋がる論理合成回路部 82 のノード $ND4$ の電位が H レベルに上昇するので、論理合成回路部 82 から 1 段目のゲート線に H レベルのシフト出力信号 $Gate1$ が出力される。

【0115】

すなわち、シフト出力信号 $Gate1$ の電位は、イネーブル信号 ENB が L レベルの間は、強制的に L レベルに保持されるとともに、イネーブル信号 ENB の電位が L レベルから H レベルに上昇するのに伴って、 L レベルから H レベルに上昇される。したがって、イネーブル信号 ENB が L レベルの際、論理合成回路部 81 からダミーゲート線に出力されるシフト出力信号 $Dummy$ も強制的に L レベルに保持されているので、シフト出力信号 $Dummy$ が H レベルから L レベルに立ち下がるタイミングと、シフト出力信号 $Gate1$ が L レベルから H レベルに立ち上がるタイミングとが重なるのが抑制される。これにより、シフト出力信号 $Dummy$ が H レベルから L レベルに立ち下がるタイミングと、シフト出力信号 $Gate1$ が L レベルから H レベルに立ち上がるタイミングとが重なることに起因して、ノイズが発生するのが抑制される。

【0116】

この後、上記した 3 段目のシフトレジスタ回路部 53 と同様の動作が、4 段目以降のシフトレジスタ回路部 54 および 55 において順次行われる。また、上記したダミーゲート線に繋がる論理合成回路部 81 と同様の動作が、1 段目以降のダミーゲート線に繋がる論理合成回路部 82 および 83 において行われる。そして、各段のシフトレジスタ回路部から H レベルのシフト信号と、 H レベルの出力信号とが出力されるタイミングがシフトする。これに伴って、前段のシフト信号と次段のシフト信号とが両方とも H レベルになるタイミングも後段に進むにつれてシフトする。これにより、前段の H レベルのシフト信号と、次段の H レベルのシフト信号とが重なる期間において、イネーブル信号 ENB が H レベルに上昇することにより、各段の論理合成回路部から対応するゲート線に H レベルのシフト出力信号が出力されるタイミングも後段に進むにつれてシフトする。そして、このタイミングのシフトした H レベルのシフト出力信号により、各段のゲート線が順次駆動される。

【0117】

上記のようにして、第 1 実施形態による液晶表示装置の各段のゲート線が、順次、駆動 (走査) される。そして、上記の動作が最後のゲート線の走査が終了されるまで繰り返される。その後、再度、1 段目のシフトレジスタ回路部 51 から上記の動作が繰り返し行われる。

【0118】

次に、図 2 中の逆方向に沿って、各段のゲート線にタイミングのシフトしたシフト出力信号が順次出力される場合 (逆方向走査の場合) には、走査方向切替信号 CSV が L レベルに保持されるとともに、反転走査方向切替信号 $XCSV$ が H レベルに保持される。これにより、逆方向走査時には、走査方向切替信号 CSV がゲートに入力されるトランジスタ

10

20

30

40

50

N T 5 1、N T 5 3、N T 5 5、N T 5 7、N T 5 9 および N T 6 1 ~ 7 0 がオフ状態に保持されるとともに、反転走査方向切替信号 X C S V がゲートに入力されるトランジスタ N T 5 2、N T 5 4、N T 5 6、N T 5 8、N T 6 0 および N T 7 1 ~ 8 0 がオン状態に保持される。そして、逆方向走査時には、上記した順方向走査時と同様の動作が、図 2 中の逆方向に沿って各段のシフトレジスタ回路部と、各段のゲート線に繋がる論理合成回路部とにおいて行われる。この際、前段のシフトレジスタ回路部から次段のシフトレジスタ回路部にシフト信号および出力信号が入力される場合や、次段のシフトレジスタ回路部から前段のシフトレジスタ回路部にシフト信号および出力信号が入力される場合には、上記した H レベルの反転走査方向切替信号 X S C V によってオン状態にされたトランジスタ N T 5 2、N T 5 4、N T 5 8、N T 6 0 および N T 7 1 ~ 8 0 を介してそれぞれ入力される。

10

【 0 1 1 9 】

第 1 実施形態では、上記のように、シフトレジスタ回路部 5 4 に、シフト信号 S R 4 が出力されるノード N D 2 と負側電位 V B B との間に接続されたトランジスタ N T 3 6 のゲートが接続される第 1 回路部 5 4 a のノード N D 1 を正側電位 V D D にリセットするためのリセットトランジスタ N T 3 9 を設けることによって、V ドライバ 5 への正側電位 V D D および負側電位 V B B の供給後、H レベルのスタート信号 S T V を入力してリセットトランジスタ N T 3 9 により第 1 回路部 5 4 a のノード N D 1 を正側電位 V D D にリセットすれば、トランジスタ N T 3 6 がオンするので、トランジスタ N T 3 6 を介して、ノード N D 2 に負側電位 V B B を供給することができる。これにより、シフト信号 S R 4 を負側電位 V B B に固定することができる。また、シフトレジスタ回路部 5 5 に、シフト信号 S R 5 が出力されるノード N D 2 と負側電位 V B B との間に接続されたトランジスタ N T 4 6 のゲートが接続される第 1 回路部 5 5 a のノード N D 1 を正側電位 V D D にリセットするためのリセットトランジスタ N T 4 9 を設けることによって、V ドライバ 5 への正側電位 V D D および負側電位 V B B の供給後、H レベルのスタート信号 S T V を入力してリセットトランジスタ N T 4 9 により第 1 回路部 5 5 a のノード N D 1 を正側電位 V D D にリセットすれば、トランジスタ N T 4 6 がオンするので、トランジスタ N T 4 6 を介して、ノード N D 2 に負側電位 V B B を供給することができる。これにより、シフト信号 S R 5 を負側電位 V B B に固定することができる。これにより、論理合成回路部 8 3 のトランジスタ N T 1 0 1 および N T 1 0 2 を両方ともオフ状態に保持することができる。このため、論理合成回路部 8 3 のトランジスタ N T 1 0 1 および N T 1 0 2 を介してシフト出力信号 G a t e 2 は出力されないの、ゲート線に意図しないタイミングでシフト出力信号 G a t e 2 が出力されるのを抑制することができる。

20

30

【 0 1 2 0 】

また、第 1 実施形態では、シフトレジスタ回路部 5 3 ~ 5 5 のトランジスタ N T 2 4、N T 3 4 および N T 4 4 のゲートにクロック信号 C K V 1 および C K V 2 を交互に供給するとともに、ドレインにタイミングの異なるイネーブル信号 E N B 1 および E N B 2 を交互に供給することによって、たとえば、3 段目のシフトレジスタ回路部 5 3 において、クロック信号 C K V 1 によりトランジスタ N T 2 4 がオン状態になった後、イネーブル信号 E N B 1 によりトランジスタ N T 2 4 のソース電位が V B B から V D D に上昇するので、その電位の上昇分 (V) だけトランジスタ N T 2 4 のゲート電位を上昇させることができる。また、4 段目のシフトレジスタ回路部 5 4 において、クロック信号 C K V 2 によりトランジスタ N T 3 4 がオン状態になった後、イネーブル信号 E N B 2 によりトランジスタ N T 3 4 のソース電位が V B B から V D D に上昇するので、その電位の上昇分 (V) だけトランジスタ N T 3 4 のゲート電位を上昇させることができる。これにより、トランジスタ N T 2 4 および N T 3 4 のドレインが固定的な正側電位 V D D に接続されている場合に比べて、シフト信号 S R 3 および S R 4 の電位 (V D D + V < V D D + V t) をより高くすることができるので、容易に、シフト信号 S R 3 および S R 4 の電位を、V D D よりも大きい値電圧 (V t) 以上高い電位にすることができる。したがって、容易に、1 段目のゲート線に繋がる論理合成回路部 8 2 のトランジスタ N T 9 1 および N T 9 2 のゲ

40

50

ートに、それぞれ、 $VDD + V_t$ 以上の電位 ($VDD + V_t$) を有するシフト信号 SR_3 および SR_4 を供給することができる。これにより、論理合成回路部 82 のトランジスタ NT_{91} および NT_{92} を介して 1 段目のゲート線に出力されるシフト出力信号 $Gate_1$ の電位が、トランジスタ NT_{91} および NT_{92} のしきい値電圧 (V_t) 分だけ低下するのを抑制することができる。

【0121】

また、第 1 実施形態では、リセットトランジスタ NT_{39} および NT_{49} を用いてノード ND_2 の電位を負側電位 V_{BB} にリセットする際に、リセットトランジスタ NT_{39} および NT_{49} のゲートに H レベルのスタート信号 STV を入力することによって、リセットトランジスタ NT_{39} および NT_{49} を用いてノード ND_2 の電位を負側電位 V_{BB} にリセットする際に、リセットトランジスタ NT_{39} および NT_{49} のゲートに入力する駆動信号を生成するために信号生成回路を別途形成する必要がないので、 V ドライバ 5 を含む液晶表示装置の回路構成が複雑化するのを抑制することができる。

【0122】

(第 2 実施形態)

図 4 は、本発明の第 2 実施形態による液晶表示装置を示した平面図である。図 5 は、図 4 に示した第 2 実施形態による液晶表示装置の V ドライバ内部の回路図である。図 4 および図 5 を参照して、この第 2 実施形態では、上記第 1 実施形態の V ドライバを p チャネルトランジスタで構成する場合について説明する。

【0123】

まず、図 4 を参照して、この第 2 実施形態では、基板 1a 上に、表示部 2a が設けられている。この表示部 2a には、画素 20a がマトリクス状に配置されている。なお、図 4 では、図面の簡略化のため、1 つの画素 20a のみを図示している。各々の画素 20a は、 p チャネルトランジスタ 21a (以下、トランジスタ 21a という)、画素電極 22a、画素電極 22a に対向配置された各画素 20a に共通の対向電極 23a、画素電極 22a と対向電極 23a との間に挟持された液晶 24a、および、補助容量 25a によって構成されている。そして、トランジスタ 21a のソースは、ドレイン線に接続されているとともに、ドレインは、画素電極 22a および補助容量 25a に接続されている。このトランジスタ 21a のゲートはゲート線に接続されている。

【0124】

また、表示部 2a の一辺に沿うように、基板 1a 上に、表示部 2a のドレイン線を駆動 (走査) するための水平スイッチ (HSW) 3a および H ドライバ 4a が設けられている。また、表示部 2a の他の辺に沿うように、基板 1a 上に、表示部 2a のゲート線を駆動 (走査) するための V ドライバ 5a が設けられている。なお、図 4 の水平スイッチ 3a には、2 つのスイッチのみを図示しているが、実際は画素数に応じた数のスイッチが配置されている。また、図 4 の H ドライバ 4a および V ドライバ 5a には、それぞれ、シフトレジスタ回路部を 2 つのみ図示しているが、実際は画素数に応じた数のシフトレジスタ回路部が配置されている。また、基板 1a の外部には、上記第 1 実施形態と同様、信号発生回路 11 および電源回路 12 を含む駆動 IC 10 が設置されている。

【0125】

また、図 5 に示すように、第 2 実施形態では、 V ドライバ 5a の内部に、複数段のシフトレジスタ回路部 501 ~ 505 と、走査方向切替回路部 600 と、入力信号切替回路部 700 と、複数段の論理合成回路部 801 ~ 803 とが設けられている。なお、シフトレジスタ回路部 502 ~ 505 は、本発明の「第 1 シフトレジスタ回路部」および「第 2 シフトレジスタ回路部」の一例である。なお、図 5 では、図面の簡略化のため、5 段分のシフトレジスタ回路部 501 ~ 505 および 3 段分の論理合成回路部 801 ~ 803 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0126】

1 段目のシフトレジスタ回路部 501 は、第 1 回路部 501a と第 2 回路部 501b と

10

20

30

40

50

によって構成されている。第1回路部501aは、pチャネルトランジスタPT1およびPT2と、ダイオード接続されたpチャネルトランジスタPT3と、容量C1およびC2を含む。また、第2回路部501bは、pチャネルトランジスタPT4~PT7と、ダイオード接続されたpチャネルトランジスタPT8と、容量C3およびC4を含む。以下、pチャネルトランジスタPT1~PT8は、それぞれ、トランジスタPT1~PT8と称する。

【0127】

また、1段目のシフトレジスタ回路部501を構成するトランジスタPT1~PT8は、それぞれ、図2に示した第1実施形態の1段目のシフトレジスタ回路部51のトランジスタNT1~NT8に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタPT1のソースは、正側電位VDDに接続されているとともに、トランジスタPT4のドレインは、負側電位VBBに接続されている。また、トランジスタPT5およびPT6のソースは、正側電位VDDに接続されている。

10

【0128】

2段目のシフトレジスタ回路部502は、第1回路部502aと第2回路部502bとによって構成されている。第1回路部502aは、pチャネルトランジスタPT11およびPT12と、ダイオード接続されたpチャネルトランジスタPT13と、容量C11およびC12を含む。また、第2回路部502bは、pチャネルトランジスタPT14~PT17と、ダイオード接続されたpチャネルトランジスタPT18と、容量C13およびC14を含む。なお、pチャネルトランジスタPT14は、本発明の「第3トランジスタ」および「第4トランジスタ」の一例であり、pチャネルトランジスタPT16は、本発明の「第5トランジスタ」の一例である。以下、pチャネルトランジスタPT11~PT18は、それぞれ、トランジスタPT11~PT18と称する。

20

【0129】

また、2段目のシフトレジスタ回路部502を構成するトランジスタPT11~PT18は、それぞれ、図2に示した第1実施形態の2段目のシフトレジスタ回路部52のトランジスタNT11~NT18に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタPT11のソースは、正側電位VDDに接続されているとともに、トランジスタPT14のドレインは、負側電位VBBに接続されている。また、トランジスタPT15およびPT16のソースは、正側電位VDDに接続されている。

30

【0130】

3段目のシフトレジスタ回路部503は、第1回路部503aと第2回路部503bとによって構成されている。第1回路部503aは、pチャネルトランジスタPT21およびPT22と、ダイオード接続されたpチャネルトランジスタPT23と、容量C21およびC22を含む。また、第2回路部503bは、pチャネルトランジスタPT24~PT27と、ダイオード接続されたpチャネルトランジスタPT28と、容量C23およびC24を含む。なお、pチャネルトランジスタPT24は、本発明の「第3トランジスタ」および「第4トランジスタ」の一例であり、pチャネルトランジスタPT26は、本発明の「第5トランジスタ」の一例である。以下、pチャネルトランジスタPT21~PT28は、それぞれ、トランジスタPT21~PT28と称する。

40

【0131】

また、3段目のシフトレジスタ回路部503を構成するトランジスタPT21~PT28は、それぞれ、図2に示した第1実施形態の3段目のシフトレジスタ回路部53のトランジスタNT21~NT28に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタPT21、PT25およびPT26のソースは、それぞれ、正側電位VDDに接続されている。

【0132】

4段目のシフトレジスタ回路部504は、第1回路部504aと第2回路部504bとによって構成されている。第1回路部504aは、pチャネルトランジスタPT31およびPT32と、ダイオード接続されたpチャネルトランジスタPT33と、容量C31お

50

よびC 3 2とを含む。また、第2回路部5 0 4 bは、pチャネルトランジスタP T 3 4 ~ P T 3 7と、ダイオード接続されたpチャネルトランジスタP T 3 8と、容量C 3 3およびC 3 4とを含む。なお、pチャネルトランジスタP T 3 4は、本発明の「第3トランジスタ」および「第4トランジスタ」の一例であり、pチャネルトランジスタP T 3 6は、本発明の「第5トランジスタ」の一例である。以下、pチャネルトランジスタP T 3 1 ~ P T 3 8は、それぞれ、トランジスタP T 3 1 ~ P T 3 8と称する。

【0 1 3 3】

また、4段目のシフトレジスタ回路部5 0 4を構成するトランジスタP T 3 1 ~ P T 3 8は、それぞれ、図2に示した第1実施形態の4段目のシフトレジスタ回路部5 4のトランジスタN T 3 1 ~ N T 3 8に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタP T 3 1、P T 3 5およびP T 3 6のソースは、それぞれ、正側電位V D Dに接続されている。

10

【0 1 3 4】

5段目のシフトレジスタ回路部5 0 5は、第1回路部5 0 5 aと第2回路部5 0 5 bとによって構成されている。第1回路部5 0 5 aは、pチャネルトランジスタP T 4 1およびP T 4 2と、ダイオード接続されたpチャネルトランジスタP T 4 3と、容量C 4 1およびC 4 2とを含む。また、第2回路部5 0 5 bは、pチャネルトランジスタP T 4 4 ~ P T 4 7と、ダイオード接続されたpチャネルトランジスタP T 4 8と、容量C 4 3およびC 4 4とを含む。なお、pチャネルトランジスタP T 4 4は、本発明の「第3トランジスタ」および「第4トランジスタ」の一例であり、pチャネルトランジスタP T 4 6は、本発明の「第5トランジスタ」の一例である。以下、pチャネルトランジスタP T 4 1 ~ P T 4 8は、それぞれ、トランジスタP T 4 1 ~ P T 4 8と称する。

20

【0 1 3 5】

また、5段目のシフトレジスタ回路部5 0 5を構成するトランジスタP T 4 1 ~ P T 4 8は、それぞれ、図2に示した第1実施形態の5段目のシフトレジスタ回路部5 5のトランジスタN T 4 1 ~ P T 4 8に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタP T 4 1、P T 4 5およびP T 4 6のソースは、それぞれ、正側電位V D Dに接続されている。

【0 1 3 6】

ここで、第2実施形態では、4段目のシフトレジスタ回路部5 0 4の第1回路部5 0 4 aは、シフト信号S R 4を出力するノードN D 2の電位を正側電位V D DにリセットするためのpチャネルトランジスタP T 3 9を含んでいる。また、5段目のシフトレジスタ回路部5 0 5の第1回路部5 0 5 aは、シフト信号S R 5を出力するノードN D 2の電位を正側電位V D DにリセットするためのpチャネルトランジスタP T 4 9を含んでいる。以下、pチャネルトランジスタP T 3 9およびP T 4 9は、それぞれ、リセットトランジスタP T 3 9およびP T 4 9と称する。

30

【0 1 3 7】

また、リセットトランジスタP T 3 9のドレインには、負側電位V B Bが供給されるとともに、ソースは、4段目のシフトレジスタ回路部5 0 4の第1回路部5 0 4 aの出力ノードであるノードN D 1に接続されている。また、リセットトランジスタP T 3 9のゲートには、スタート信号S T Vを供給するためのスタート信号線(S T V)が接続されている。これにより、Lレベルのスタート信号S T Vに回答してリセットトランジスタP T 3 9がオンすると、リセットトランジスタP T 3 9を介して負側電位V B Bが供給されることにより、第1回路部5 0 4 aのノードN D 1の電位が負側電位V B B(Lレベル)になるように構成されている。そして、第1回路部5 0 4 aのノードN D 1の電位が負側電位V B B(Lレベル)になると、第2回路部5 0 4 bのトランジスタP T 3 6がオンするので、トランジスタP T 3 6を介して正側電位V D Dが供給されることにより、シフト信号S R 4を出力する第2回路部5 0 4 bのノードN D 2が正側電位V D Dにリセットされるように構成されている。

40

【0 1 3 8】

50

また、リセットトランジスタPT49のドレインには、負側電位VBBが供給されるとともに、ソースは、5段目のシフトレジスタ回路部505の第1回路部505aの出力ノードであるノードND1に接続されている。また、リセットトランジスタPT49のゲートには、スタート信号STVを供給するためのスタート信号線(STV)が接続されている。これにより、5段目のシフトレジスタ回路部505では、上記した4段目のシフトレジスタ回路部504と同様にして、シフト信号SR5を出力する第2回路部505bのノードND2が正側電位VDDにリセットされるように構成されている。

【0139】

また、上記した各段のシフトレジスタ回路部501～505に設けられたトランジスタPT1～PT8、PT11～PT18、PT21～PT28、PT31～PT38およびPT41～PT48と、リセットトランジスタPT39およびPT49とは、全て、p型のMOSトランジスタからなるTFTにより構成されている。また、トランジスタPT1、PT2、PT6、PT7、PT8、PT11、PT12、PT16、PT17、PT18、PT21、PT22、PT26、PT27、PT28、PT31、PT32、PT36、PT37、PT38、PT41、PT42、PT46、PT47およびPT48は、それぞれ、互いに電氣的に接続された2つのゲート電極を有する。

【0140】

また、走査方向切替回路部600は、pチャネルトランジスタPT51～PT60を含む。以下、pチャネルトランジスタPT51～PT60は、それぞれ、トランジスタPT51～PT60と称する。このトランジスタPT51～PT60は、すべてp型のMOSトランジスタからなるTFTにより構成されている。そして、走査方向切替回路部600を構成するトランジスタPT51～PT60は、それぞれ、図2に示した第1実施形態の走査方向切替回路部60のトランジスタNT51～NT60に対応した位置に接続されている。

【0141】

また、入力信号切替回路部700は、pチャネルトランジスタPT61～PT80を含む。以下、pチャネルトランジスタPT61～PT80は、それぞれ、トランジスタPT61～PT80と称する。このトランジスタPT61～PT80は、すべてp型のMOSトランジスタからなるTFTにより構成されている。そして、入力信号切替回路部700を構成するトランジスタPT61～PT80は、それぞれ、図2に示した第1実施形態の入力信号切替回路部70のトランジスタNT61～NT80に対応した位置に接続されている。ただし、上記第1実施形態と異なり、トランジスタPT71のソース/ドレインの他方は、負側電位VBBに接続されている。

【0142】

また、論理合成回路部801～803は、それぞれ、ダミーゲート線、1段目のゲート線および2段目のゲート線に接続されている。ダミーゲート線に接続される論理合成回路部801は、pチャネルトランジスタPT81～PT84と、ダイオード接続されたpチャネルトランジスタPT85と、容量C81とを含む。なお、pチャネルトランジスタPT81は、本発明の「第1トランジスタ」の一例であり、pチャネルトランジスタPT82は、本発明の「第2トランジスタ」の一例である。以下、pチャネルトランジスタPT81～PT85は、それぞれ、トランジスタPT81～PT85と称する。また、トランジスタPT83～PT85と、容量C81とによって、電位固定回路部801aが構成されている。そして、ダミーゲート線に接続される論理合成回路部801を構成するトランジスタPT81～PT85は、それぞれ、図2に示した第1実施形態のダミーゲート線に接続される論理合成回路部81のトランジスタNT81～NT85に対応した位置に接続されている。ただし、トランジスタPT83のソースは、正側電位VDDに接続されている。

【0143】

また、1段目のゲート線に接続される論理合成回路部802は、pチャネルトランジスタPT91～PT94と、ダイオード接続されたpチャネルトランジスタPT95と、容

10

20

30

40

50

量C 9 1とを含む。なお、pチャネルトランジスタPT 9 1は、本発明の「第1トランジスタ」の一例であり、pチャネルトランジスタPT 9 2は、本発明の「第2トランジスタ」の一例である。以下、pチャネルトランジスタPT 9 1～PT 9 5は、それぞれ、トランジスタPT 9 1～PT 9 5と称する。また、トランジスタPT 9 3～PT 9 5と、容量C 9 1とによって、電位固定回路部8 0 2 aが構成されている。そして、1段目のゲート線に接続される論理合成回路部8 0 2を構成するトランジスタPT 9 1～PT 9 5は、それぞれ、図2に示した第1実施形態の1段目のゲート線に接続される論理合成回路部8 2のトランジスタNT 9 1～NT 9 5に対応した位置に接続されている。ただし、トランジスタPT 9 3のソースは、正側電位V D Dに接続されている。

【0 1 4 4】

また、2段目のゲート線に接続される論理合成回路部8 0 3は、pチャネルトランジスタPT 1 0 1～PT 1 0 4と、ダイオード接続されたpチャネルトランジスタPT 1 0 5と、容量C 1 0 1とを含む。なお、pチャネルトランジスタPT 1 0 1は、本発明の「第1トランジスタ」の一例であり、pチャネルトランジスタPT 1 0 2は、本発明の「第2トランジスタ」の一例である。以下、pチャネルトランジスタPT 1 0 1～PT 1 0 5は、それぞれ、トランジスタPT 1 0 1～PT 1 0 5と称する。また、トランジスタPT 1 0 3～PT 1 0 5と、容量C 1 0 1とによって、電位固定回路部8 0 3 aが構成されている。そして、2段目のゲート線に接続される論理合成回路部8 0 3を構成するトランジスタPT 1 0 1～PT 1 0 5は、それぞれ、図2に示した第1実施形態の2段目のゲート線に接続される論理合成回路部8 3のトランジスタNT 1 0 1～NT 1 0 5に対応した位置に接続されている。ただし、トランジスタPT 1 0 3のソースは、正側電位V D Dに接続されている。なお、上記の論理合成回路部8 0 1～8 0 3に設けられたトランジスタPT 8 1～PT 8 5、PT 9 1～PT 9 5およびPT 1 0 1～PT 1 0 5は、全て、p型のM O SトランジスタからなるT F Tにより構成されている。

【0 1 4 5】

また、回路部9 0 1は、pチャネルトランジスタPT 1 1 1～PT 1 1 3と、ダイオード接続されたpチャネルトランジスタPT 1 1 4と、容量C 1 1 1とを含んでいる。以下、pチャネルトランジスタPT 1 1 1～PT 1 1 4は、それぞれ、トランジスタPT 1 1 1～PT 1 1 4と称する。そして、回路部9 0 1を構成するトランジスタPT 1 1 1～PT 1 1 4は、それぞれ、図2に示した第1実施形態の回路部9 1のトランジスタNT 1 1 1～NT 1 1 4に対応した位置に接続されている。ただし、トランジスタPT 1 1 2のソースは、正側電位V D Dに接続されている。

【0 1 4 6】

図6は、本発明の第2実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図5および図6を参照して、第2実施形態によるVドライバ5 aの動作を説明する。この第2実施形態によるVドライバ5 aでは、図3に示した第5実施形態のスタート信号ST V、クロック信号CK V 1、CK V 2、イネーブル信号EN B、EN B 1、EN B 2および反転イネーブル信号X EN BのHレベルとLレベルとを反転させた波形の信号を、それぞれ、スタート信号ST V、クロック信号CK V 1、CK V 2、イネーブル信号EN B、EN B 1、EN B 2および反転イネーブル信号X EN Bとして入力する。これにより、第2実施形態によるシフトレジスタ回路部5 0 1～5 0 5からは、図2に示した第1実施形態によるシフトレジスタ回路部5 1～5 5から出力されるシフト信号SR 1～SR 5および出力信号SR 1 1～SR 1 5のHレベルとLレベルとを反転させた波形を有する信号が出力される。また、第2実施形態による論理合成回路部8 0 1～8 0 3からは、図2に示した第1実施形態による論理合成回路部8 1～8 3から出力されるシフト出力信号Dummy、Gate 1およびGate 2のHレベルとLレベルとを反転させた波形を有する信号が出力される。この第2実施形態によるVドライバの上記以外の動作は、図2に示した上記第1実施形態によるVドライバの動作と同様である。

【0 1 4 7】

なお、第2実施形態では、シフトレジスタ回路部5 0 3～5 0 5のトランジスタPT 2

4、PT34およびPT44のゲートにクロック信号CKV1およびCKV2を交互に供給するとともに、ドレインにタイミングの異なるイネーブル信号ENB1およびENB2を交互に供給することによって、以下のような動作が行われる。たとえば、3段目のシフトレジスタ回路部503において、クロック信号CKV1によりトランジスタPT24がオン状態になった後、イネーブル信号ENB1によりトランジスタPT24のソース電位がVDDからVBBに低下するので、その電位の低下分(V)だけトランジスタPT24のゲート電位が低下する。また、4段目のシフトレジスタ回路部504において、クロック信号CKV2によりトランジスタPT34がオン状態になった後、イネーブル信号ENB2によりトランジスタPT34のソース電位がVDDからVBBに低下するので、その電位の低下分(V)だけトランジスタPT34のゲート電位が低下する。これにより、トランジスタPT24およびPT34のドレインが固定的な負側電位VBBに接続されている場合に比べて、シフト信号SR3およびSR4の電位($V_{BB} - V < V_{BB} - V_t$)をより低くすることができるので、より容易に、シフト信号SR3およびSR4の電位を、VBBよりもしきい値電圧(V_t)以上低い電位にすることができる。したがって、より容易に、1段目のゲート線に繋がる論理合成回路部802のトランジスタPT91およびPT92のゲートに、それぞれ、 $V_{BB} - V_t$ 以下の電位($V_{BB} - V$)を有するシフト信号SR3およびSR4を供給することができる。これにより、論理合成回路部802のトランジスタPT91およびPT92を介して1段目のゲート線に出力されるシフト出力信号Gate1の電位が、しきい値電圧(V_t)分だけ上昇するのをより抑制することができる。

【0148】

また、第2実施形態では、上記のように、リセットトランジスタPT39およびPT49を設けるとともに、スタート信号STVに応答してトランジスタPT39およびPT49をオンさせることによって、Vドライバを含む液晶表示装置において、ゲート線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第1実施形態と同様の効果を得ることができる。

【0149】

(第3実施形態)

図7は、本発明の第3実施形態による液晶表示装置のVドライバ内部の回路図である。図7を参照して、この第3実施形態では、上記第1実施形態の構成において、3段目以降のシフトレジスタ回路部においても、1段目および2段目のシフトレジスタ回路部と同様に、出力信号が出力されるノードに接続されたトランジスタのドレインに正側電位を供給するとともに、シフトレジスタ回路部の出力信号を用いて論理合成回路部から出力するシフト出力信号をLレベルに固定した状態で保持する場合について説明する。

【0150】

すなわち、この第3実施形態によるVドライバでは、図7に示すように、複数段のシフトレジスタ回路部511~515と、走査方向切替回路部610と、入力信号切替回路部710と、複数段の論理合成回路部811~813とが設けられている。なお、シフトレジスタ回路部512~515は、本発明の「第1シフトレジスタ回路部」および「第2シフトレジスタ回路部」の一例である。なお、図7では、図面の簡略化のため、5段分のシフトレジスタ回路部511~515および3段分の論理合成回路部811~813のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0151】

そして、1段目のシフトレジスタ回路部511は、図2に示した第1実施形態の1段目のシフトレジスタ回路部51の第1回路部51aおよび第2回路部51bと同様の回路構成を有する第1回路部511aおよび第2回路部511bによって構成されている。また、2段目のシフトレジスタ回路部512は、図2に示した第1実施形態の2段目のシフトレジスタ回路部52の第1回路部52aおよび第2回路部52bと同様の回路構成を有する第1回路部512aおよび第2回路部512bによって構成されている。

【 0 1 5 2 】

ここで、第3実施形態では、3段目のシフトレジスタ回路部513は、出力信号SR13を出力するノードND3にソースが接続されたトランジスタNT24のドレインに正側電位VDDが供給されること以外は、図2に示した第1実施形態の3段目のシフトレジスタ回路部53の第1回路部53aおよび第2回路部53bと同様の回路構成を有する第1回路部513aおよび第2回路部513bを有している。また、4段目のシフトレジスタ回路部514は、出力信号SR14を出力するノードND3にソースが接続されたトランジスタNT34のドレインに正側電位VDDが供給されること以外は、図2に示した第1実施形態の4段目のシフトレジスタ回路部54の第1回路部54aおよび第2回路部54bと同様の回路構成を有する第1回路部514aおよび第2回路部514bを有している。また、5段目のシフトレジスタ回路部515は、出力信号SR15を出力するノードND3にソースが接続されたトランジスタNT44のドレインに正側電位VDDが供給されること以外は、図2に示した第1実施形態の5段目のシフトレジスタ回路部55の第1回路部55aおよび第2回路部55bと同様の回路構成を有する第1回路部515aおよび第2回路部515bを有している。

10

【 0 1 5 3 】

また、走査方向切替回路部610は、図2に示した第1実施形態の走査方向切替回路部60と同様の回路構成を有する。ただし、第3実施形態では、トランジスタNT56のソース/ドレインの他方と、トランジスタNT57のソース/ドレインの一方とが接続されている。また、第3実施形態の入力信号切替回路部710は、図2に示した第1実施形態の入力信号切替回路部70と同様の回路構成を有する。

20

【 0 1 5 4 】

また、ダミーゲート線に接続される論理合成回路部811は、トランジスタNT81~NT84と、ダイオード接続されたトランジスタNT85およびNT86と、容量C81とを含む。すなわち、第3実施形態の論理合成回路部811は、図2に示した第1実施形態の論理合成回路部81の回路構成において、ダイオード接続されたトランジスタNT86を加えた回路構成を有する。また、トランジスタNT83~NT86と、容量C81とによって、電位固定回路部811aが構成されている。また、第3実施形態では、トランジスタNT85のソースは、1段目のシフトレジスタ回路部511の出力信号SR11が出力されるノードND3に接続されている。また、トランジスタNT86のソースは、4段目のシフトレジスタ回路部514の出力信号SR14が出力されるノードND3に接続されているとともに、ドレインは、論理合成回路部811のノードND5に接続されている。

30

【 0 1 5 5 】

また、1段目のゲート線に接続される論理合成回路部812は、トランジスタNT91~NT94と、ダイオード接続されたトランジスタNT95およびNT96と、容量C91とを含む。すなわち、第3実施形態の論理合成回路部812は、図2に示した第1実施形態の論理合成回路部82の回路構成において、ダイオード接続されたトランジスタNT96を加えた回路構成を有する。また、トランジスタNT93~NT96と、容量C91とによって、電位固定回路部812aが構成されている。また、第3実施形態では、トランジスタNT95のソースは、2段目のシフトレジスタ回路部512の出力信号SR12が出力されるノードND3に接続されている。また、トランジスタNT96のソースは、5段目のシフトレジスタ回路部515の出力信号SR15が出力されるノードND3に接続されているとともに、ドレインは、論理合成回路部812のノードND5に接続されている。

40

【 0 1 5 6 】

また、2段目のゲート線に接続される論理合成回路部813は、トランジスタNT101~NT104と、ダイオード接続されたトランジスタNT105およびNT106と、容量C101とを含む。すなわち、第3実施形態の論理合成回路部813は、図2に示した第1実施形態の論理合成回路部83の回路構成において、ダイオード接続されたトラン

50

ジスタNT106を加えた回路構成を有する。また、トランジスタNT103～NT106と、容量C101とによって、電位固定回路部813aが構成されている。また、第3実施形態では、トランジスタNT105のソースは、3段目のシフトレジスタ回路部513の出力信号SR13が出力されるノードND3に接続されている。また、トランジスタNT106のソースは、図示しない6段目のシフトレジスタ回路部のシフト信号が出力されるノードに接続されているとともに、ドレインは、論理合成回路部813のノードND5に接続されている。

【0157】

図8は、本発明の第3実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図7および図8を参照して、第3実施形態によるVドライバの動作について説明する。

10

【0158】

この第3実施形態によるVドライバの動作は、基本的には、上記第1実施形態によるVドライバの動作と同様である。ただし、この第3実施形態によるVドライバでは、上記第1実施形態と異なり、3段目以降のシフトレジスタ回路部513～515の出力信号SR13～SR15が出力されるノードND3に接続されたトランジスタNT24～NT44のドレインに、正側電位VDDを供給する。すなわち、第3実施形態では、3段目以降のシフトレジスタ回路部513～515において、上記した第1実施形態による1段目および2段目のシフトレジスタ回路部と同様の動作が行われる。

【0159】

20

また、第3実施形態では、論理合成回路部811～813から各段のゲート線に出力するシフト出力信号Dummy、Gate1およびGate2の電位をLレベルに固定する際、シフトレジスタ回路部からの出力信号を用いて電位を固定する。たとえば、1段目のゲート線に繋がる論理合成回路部812において、共にオン状態になっているトランジスタNT91およびNT92を介してHレベルのイネーブル信号ENBが供給されることにより、1段目のゲート線に出力するシフト出力信号Gate1がHレベルになっている。この後、イネーブル信号ENBの電位がLレベルに低下する。これにより、Lレベルのイネーブル信号ENBがトランジスタNT91およびNT92を介して供給されることにより、1段目のゲート線に出力されるシフト出力信号Gate1の電位がLレベルに低下する。

30

【0160】

この後、第3実施形態では、Hレベル(VDD)の出力信号SR15が、1段目のゲート線に繋がる論理合成回路部812のトランジスタNT93のゲートにダイオード接続されたトランジスタNT96を介して入力される。これにより、トランジスタNT93は、オン状態になる。このため、トランジスタNT93を介して負側電位VBBからLレベルの電位が供給されることにより、1段目のゲート線に繋がる論理合成回路部812のノードND4の電位は、Lレベルに固定される。これにより、論理合成回路部812から1段目のゲート線に出力されるシフト出力信号Gate1の電位は、Lレベルに固定される。また、第3実施形態では、Hレベル(VDD)の出力信号SR15がトランジスタNT93のゲートに入力された際、容量C91が充電される。これにより、次に、トランジスタNT94がオン状態になって負側電位VBBからトランジスタNT94を介してLレベルの電位が供給されるまで、ノードND5の電位(トランジスタNT93のゲート電位)は、Hレベルに保持される。このため、次にトランジスタNT94がオン状態になるまで、トランジスタNT93はオン状態に保持されるので、論理合成回路部812から1段目のゲート線に出力されるシフト出力信号Gate1の電位はLレベルに固定された状態で保持される。

40

【0161】

そして、各段の論理合成回路部において、上記した1段目のゲート線に繋がる論理合成回路部812の動作と同様の動作により、シフトレジスタ回路部の出力信号を用いてシフト出力信号の電位がLレベルに固定される。第3実施形態によるVドライバの上記以外の

50

動作は、上記第 1 実施形態による V ドライバの動作と同様である。

【 0 1 6 2 】

なお、第 3 実施形態では、トランジスタ NT 4、NT 1 4、NT 2 4、NT 3 4 および NT 4 4 のゲートとソースとの間に、それぞれ、容量 C 3、C 1 3、C 2 3、C 3 3 および C 4 3 を接続するとともに、トランジスタ NT 4、NT 1 4、NT 2 4、NT 3 4 および NT 4 4 のドレインに正側電位 VDD を供給することによって、以下のような動作が行われる。たとえば、2 段目のシフトレジスタ回路部 5 1 2 において、クロック信号 CKV 2 に応答してトランジスタ NT 1 4 がオンする際に、容量 C 1 3 が接続されたトランジスタ NT 1 4 のゲート - ソース間電圧を維持するように、トランジスタ NT 1 4 のソース電位の上昇に伴ってトランジスタ NT 1 4 のゲート電位 (シフト信号 SR 2 の電位) が上昇する。また、3 段目のシフトレジスタ回路部 5 1 3 において、クロック信号 CKV 1 に応答してトランジスタ NT 2 4 がオンする際に、容量 C 2 3 が接続されたトランジスタ NT 2 4 のゲート - ソース間電圧を維持するように、トランジスタ NT 2 4 のソース電位の上昇に伴ってトランジスタ NT 2 4 のゲート電位 (シフト信号 SR 3 の電位) が上昇する。上記のようにして、トランジスタ NT 1 4 のゲート電位 (シフト信号 SR 2 の電位) と、トランジスタ NT 2 4 のゲート電位 (シフト信号 SR 3 の電位) とが VDD よりもしきい値電圧 (V_t) 以上の所定の電圧 (V) 分高い電位まで低下するので、ダミーゲート線に繋がる論理合成回路部 8 1 1 のトランジスタ NT 8 1 およびトランジスタ NT 8 2 のゲートに、それぞれ、 $VDD + V_t$ よりも高い電位 ($VDD + V$) を有するシフト信号 SR 2 および SR 3 が供給される。これにより、論理合成回路部 8 1 1 のトランジスタ NT 8 1 および NT 8 2 を介してダミーゲート線に出力されるシフト出力信号 Dummy の電位が、VDD からトランジスタ NT 8 1 および NT 8 2 のしきい値電圧 (V_t) 分だけ低下するのが抑制される。

【 0 1 6 3 】

また、第 3 実施形態では、上記のように、リセットトランジスタ NT 3 9 および NT 4 9 を設けるとともに、スタート信号 STV に応答してトランジスタ NT 3 9 および NT 4 9 をオンさせることによって、ゲート線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第 1 実施形態と同様の効果を得ることができる。

【 0 1 6 4 】

(第 4 実施形態)

図 9 は、本発明の第 4 実施形態による液晶表示装置の V ドライバ内部の回路図である。図 9 を参照して、この第 4 実施形態では、上記第 3 実施形態の V ドライバを p チャネルトランジスタで構成する場合について説明する。

【 0 1 6 5 】

この第 4 実施形態による V ドライバでは、図 9 に示すように、複数段のシフトレジスタ回路部 5 2 1 ~ 5 2 5 と、走査方向切替回路部 6 2 0 と、入力信号切替回路部 7 2 0 と、複数段の論理合成回路部 8 2 1 ~ 8 2 3 とが設けられている。なお、シフトレジスタ回路部 5 2 1 ~ 5 2 5 は、本発明の「第 1 シフトレジスタ回路部」および「第 2 シフトレジスタ回路部」の一例である。なお、図 9 では、図面の簡略化のため、5 段分のシフトレジスタ回路部 5 2 1 ~ 5 2 5 および 3 段分の論理合成回路部 8 2 1 ~ 8 2 3 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【 0 1 6 6 】

そして、1 段目のシフトレジスタ回路部 5 2 1 は、図 5 に示した第 2 実施形態の 1 段目のシフトレジスタ回路部 5 0 1 の第 1 回路部 5 0 1 a および第 2 回路部 5 0 1 b と同様の回路構成を有する第 1 回路部 5 2 1 a および第 2 回路部 5 2 1 b によって構成されている。また、2 段目のシフトレジスタ回路部 5 2 2 は、図 5 に示した第 2 実施形態の 2 段目のシフトレジスタ回路部 5 0 2 の第 1 回路部 5 0 2 a および第 2 回路部 5 0 2 b と同様の回路構成を有する第 1 回路部 5 2 2 a および第 2 回路部 5 2 2 b によって構成されている。

【 0 1 6 7 】

ここで、第4実施形態では、3段目以降のシフトレジスタ回路部523～525の出力信号SR13～SR15を出力するノードND3にソースが接続されたトランジスタPT24～PT44のドレインには、それぞれ、負側電位VBBが供給されている。すなわち、第4実施形態では、3段目以降のシフトレジスタ回路部523～525は、全て同じ回路構成を有している。具体的には、3段目～5段目のシフトレジスタ回路部は、第2実施形態によるシフトレジスタ回路部の第1回路部および第2回路部と同様の回路構成を有する第1回路部および第2回路部を有している。

【 0 1 6 8 】

また、走査方向切替回路部620は、基本的には、図5に示した第2実施形態による走査方向切替回路部600と同様の回路構成を有している。ただし、第4実施形態による走査方向切替回路部620では、トランジスタPT56のソース/ドレインの他方と、トランジスタPT57のソース/ドレインの一方とが接続されている。また、入力信号切替回路部720は、図5に示した第2実施形態の入力信号切替回路部700と同様の回路構成を有する。

【 0 1 6 9 】

また、論理合成回路部821～823は、図7に示した第3実施形態の論理合成回路部811～813を構成するnチャネルトランジスタをpチャネルトランジスタで置き換えた構成を有している。具体的には、第4実施形態によるダミーゲート線に繋がる論理合成回路部821は、図7に示した第3実施形態の論理合成回路部811のトランジスタNT81～NT86をそれぞれトランジスタPT81～PT86で置き換えた回路構成を有している。また、第4実施形態による1段目のゲート線に繋がる論理合成回路部822は、図7に示した第3実施形態の論理合成回路部812のトランジスタNT91～NT96をそれぞれトランジスタPT91～PT96で置き換えた回路構成を有している。また、第4実施形態による2段目のゲート線に繋がる論理合成回路部823は、図7に示した第3実施形態の論理合成回路部813のトランジスタNT101～NT106をそれぞれトランジスタPT101～PT106で置き換えた回路構成を有している。また、第4実施形態では、論理合成回路部821～823のトランジスタPT83、PT93およびPT103のソースは、正側電位VDDに接続されている。

【 0 1 7 0 】

図10は、本発明の第4実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図9および図10を参照して、第4実施形態によるVドライバの動作を説明する。この第4実施形態によるVドライバでは、図8に示した第3実施形態のスタート信号STV、クロック信号CKV1、CKV2およびイネーブル信号ENBのHレベルとLレベルとを反転させた波形の信号を、それぞれ、スタート信号STV、クロック信号CKV1、CKV2およびイネーブル信号ENBとして入力する。これにより、第3実施形態によるシフトレジスタ回路部521～525からは、図7に示した第3実施形態によるシフトレジスタ回路部511～515から出力されるシフト信号SR1～SR5および出力信号SR11～SR15のHレベルとLレベルとを反転させた波形を有する信号がそれぞれ出力される。また、第4実施形態による論理合成回路部821～823からは、図7に示した第3実施形態による論理合成回路部811～813から出力されるシフト出力信号Dummy、Gate1およびGate2のHレベルとLレベルとを反転させた波形を有する信号が出力される。この第4実施形態によるVドライバの上記以外の動作は、図7に示した上記第3実施形態によるVドライバの動作と同様である。

【 0 1 7 1 】

なお、第4実施形態では、トランジスタPT4、PT14、PT24、PT34およびPT44のゲートとソースとの間に、それぞれ、容量C3、C13、C23、C33およびC43を接続するとともに、トランジスタPT4、PT14、PT24、PT34およびPT44のドレインに負側電位VBBを供給することによって、以下のような動作が行われる。たとえば、2段目のシフトレジスタ回路部522において、クロック信号CKV

10

20

30

40

50

2 に応答してトランジスタ P T 1 4 がオンする際に、容量 C 1 3 が接続されたトランジスタ P T 1 4 のゲート - ソース間電圧を維持するように、トランジスタ P T 1 4 のソース電位の低下に伴ってトランジスタ P T 1 4 のゲート電位 (シフト信号 S R 2 の電位) が低下する。また、3 段目のシフトレジスタ回路部 5 2 3 において、クロック信号 C K V 1 に応答してトランジスタ P T 2 4 がオンする際に、容量 C 2 3 が接続されたトランジスタ P T 2 4 のゲート - ソース間電圧を維持するように、トランジスタ P T 2 4 のソース電位の低下に伴ってトランジスタ P T 2 4 のゲート電位 (シフト信号 S R 3 の電位) が低下する。上記のようにして、トランジスタ P T 1 4 のゲート電位 (シフト信号 S R 2 の電位) と、トランジスタ P T 2 4 のゲート電位 (シフト信号 S R 3 の電位) とが V B B よりもしきい値電圧 (V_t) 以上の所定の電圧 (V) 分低い電位まで低下するので、ダミーゲート線に繋がる論理合成回路部 8 2 1 のトランジスタ P T 8 1 およびトランジスタ P T 8 2 のゲートに、それぞれ、 $V B B - V_t$ よりも低い電位 ($V B B - V$) を有するシフト信号 S R 2 および S R 3 が供給される。これにより、論理合成回路部 8 2 1 のトランジスタ P T 8 1 および P T 8 2 を介してダミーゲート線に出力されるシフト出力信号 D u m m y の電位が、V B B からトランジスタ P T 8 1 および P T 8 2 のしきい値電圧 (V_t) 分だけ上昇するのが抑制される。

10

【 0 1 7 2 】

また、第 4 実施形態では、上記のように、リセットトランジスタ P T 3 9 および P T 4 9 を設けるとともに、スタート信号 S T V に応答してトランジスタ P T 3 9 および P T 4 9 をオンさせることによって、ゲート線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第 3 実施形態と同様の効果を得ることができる。

20

【 0 1 7 3 】

(第 5 実施形態)

図 1 1 は、本発明の第 5 実施形態による液晶表示装置の V ドライバ内部の回路図である。図 1 1 を参照して、この第 5 実施形態では、上記第 1 実施形態の構成において、3 段目以降のシフトレジスタ回路部の出力信号が出力されるノードに接続されたトランジスタのドレインに共通のイネーブル信号を供給する場合について説明する。

【 0 1 7 4 】

すなわち、この第 5 実施形態による V ドライバでは、図 1 1 に示すように、複数段のシフトレジスタ回路部 5 3 1 ~ 5 3 5 と、走査方向切替回路部 6 3 0 と、入力信号切替回路部 7 3 0 と、複数段の論理合成回路部 8 3 1 ~ 8 3 3 と、回路部 9 1 1 とが設けられている。なお、図 1 1 では、図面の簡略化のため、5 段分のシフトレジスタ回路部 5 3 1 ~ 5 3 5 および 3 段分の論理合成回路部 8 3 1 ~ 8 3 3 のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

30

【 0 1 7 5 】

そして、1 段目のシフトレジスタ回路部 5 3 1 は、図 2 に示した第 1 実施形態の 1 段目のシフトレジスタ回路部 5 1 の第 1 回路部 5 1 a および第 2 回路部 5 1 b と同様の回路構成を有する第 1 回路部 5 3 1 a および第 2 回路部 5 3 1 b によって構成されている。また、2 段目のシフトレジスタ回路部 5 3 2 は、図 2 に示した第 1 実施形態の 2 段目のシフトレジスタ回路部 5 2 の第 1 回路部 5 2 a および第 2 回路部 5 2 b と同様の回路構成を有する第 1 回路部 5 3 2 a および第 2 回路部 5 3 2 b によって構成されている。

40

【 0 1 7 6 】

ここで、第 5 実施形態では、3 段目のシフトレジスタ回路部 5 3 3、4 段目のシフトレジスタ回路部 5 3 4 および 5 段目のシフトレジスタ回路部 5 3 5 のそれぞれに、イネーブル信号線 (E N B) が接続されている。具体的には、3 段目のシフトレジスタ回路部 5 3 3 は、第 1 回路部 5 3 3 a と第 2 回路部 5 3 3 b とによって構成されている。第 1 回路部 5 3 3 a および第 2 回路部 5 3 3 b は、それぞれ、図 2 に示した第 1 実施形態の 3 段目のシフトレジスタ回路部 5 3 の第 1 回路部 5 3 a および第 2 回路部 5 3 b と同様の回路構成を有する。そして、この第 5 実施形態では、トランジスタ N T 2 4 のドレインに、イネー

50

ブル信号線 (E N B) が接続されている。

【 0 1 7 7 】

また、４段目のシフトレジスタ回路部 5 3 4 は、第 1 回路部 5 3 4 a と第 2 回路部 5 3 4 b とによって構成されている。第 1 回路部 5 3 4 a および第 2 回路部 5 3 4 b は、それぞれ、図 2 に示した第 1 実施形態の 4 段目のシフトレジスタ回路部 5 4 の第 1 回路部 5 4 a および第 2 回路部 5 4 b と同様の回路構成を有する。そして、この第 5 実施形態では、トランジスタ N T 3 4 のドレインに、イネーブル信号線 (E N B) が接続されている。また、５段目のシフトレジスタ回路部 5 3 5 は、第 1 回路部 5 3 5 a と第 2 回路部 5 3 5 b とによって構成されている。第 1 回路部 5 3 5 a および第 2 回路部 5 3 5 b は、それぞれ、図 2 に示した第 1 実施形態の 5 段目のシフトレジスタ回路部 5 5 の第 1 回路部 5 5 a および第 2 回路部 5 5 b と同様の回路構成を有する。そして、この第 5 実施形態では、トランジスタ N T 4 4 のドレインに、イネーブル信号線 (E N B) が接続されている。

10

【 0 1 7 8 】

また、走査方向切替回路部 6 3 0 は、図 2 に示した第 1 実施形態の走査方向切替回路部 6 0 と同様の回路構成を有する。また、第 5 実施形態の入力信号切替回路部 7 3 0 は、図 2 に示した第 1 実施形態の入力信号切替回路部 7 0 と同様の回路構成を有する。また、第 5 実施形態の論理合成回路部 8 3 1 ~ 8 3 3 は、図 2 に示した第 1 実施形態の論理合成回路部 8 1 ~ 8 3 と同様の回路構成を有する。また、論理合成回路部 8 3 1 ~ 8 3 3 は、それぞれ、図 2 に示した第 1 実施形態の電位固定回路部 8 1 a ~ 8 3 a と同様の回路構成を有する電位固定回路部 8 3 1 a ~ 8 3 3 a を備えている。また、回路部 9 1 1 は、図 2

20

【 0 1 7 9 】

図 1 2 は、本発明の第 5 実施形態による液晶表示装置の V ドライバの動作を説明するための電圧波形図である。次に、図 1 1 および図 1 2 を参照して、第 5 実施形態による V ドライバの動作について説明する。

【 0 1 8 0 】

この第 5 実施形態による V ドライバの動作は、基本的には、上記第 1 実施形態による V ドライバの動作と同様である。ただし、この第 5 実施形態による V ドライバでは、上記第 1 実施形態と異なり、３段目以降のシフトレジスタ回路部 5 3 3 ~ 5 3 5 の出力信号 S R 1 3 ~ S R 1 5 が出力されるノード N D 3 に接続されたトランジスタ N T 2 4 ~ N T 4 4 のドレインに、共通のイネーブル信号 E N B を供給する。

30

【 0 1 8 1 】

具体的には、１段目および２段目のシフトレジスタ回路部 5 3 1 および 5 3 2 (図 1 1 参照) における動作は、図 2 に示した第 1 実施形による 1 段目および２段目のシフトレジスタ回路部 5 1 および 5 2 における動作と同様である。そして、２段目のシフトレジスタ回路部 5 3 2 から H レベル ($V_{DD} + V$) のシフト信号 S R 2 がトランジスタ N T 6 6 のドレインに入力される。これにより、ゲートに V_{DD} の電位の走査方向切替信号 C S V が入力されることによりオンしているトランジスタ N T 6 6 のソース電位は、($V_{DD} - V_t$) の電位になる。このため、３段目のシフトレジスタ回路部 5 3 3 のトランジスタ N T 2 7 のゲートに ($V_{DD} - V_t$) の電位が入力される。

40

【 0 1 8 2 】

また、トランジスタ N T 2 1 のゲートに H レベル (V_{DD}) の出力信号 S R 1 2 が入力される。また、トランジスタ N T 2 2 のゲートには、４段目のシフトレジスタ回路部 5 3 4 から L レベルのシフト信号 S R 4 が入力される。これにより、トランジスタ N T 2 1 および N T 2 7 は、オン状態になるとともに、トランジスタ N T 2 2 はオフ状態になる。このため、トランジスタ N T 2 1 を介して負側電位 V B B から L レベルの電位が供給されることにより、３段目のシフトレジスタ回路部 5 3 3 のノード N D 1 の電位は L レベルに低下する。これにより、トランジスタ N T 2 5 および N T 2 6 は、オフ状態になる。この状態で、トランジスタ N T 2 7 のドレインに入力されるクロック信号 C K V 1 が L レベルから H レベルに上昇する。これにより、３段目のシフトレジスタ回路部 5 3 3 のノード N D

50

2の電位はHレベルに上昇するので、トランジスタNT24はオン状態になる。このとき、トランジスタNT24のドレインにLレベルのイネーブル信号ENBが供給されているので、トランジスタNT24のソース電位(ノードND3の電位)はLレベルに保持される。

【0183】

この後、第5実施形態では、イネーブル信号ENBの電位がLレベルからHレベルに上昇する。これにより、3段目のシフトレジスタ回路部533のノードND3の電位がHレベルに上昇する。この際、3段目のシフトレジスタ回路部533のノードND2の電位は、容量C23によってトランジスタNT24のゲート-ソース間電圧が維持されるように、ノードND3の電位の上昇に伴ってブートされることにより上昇する。これにより、3段目のシフトレジスタ回路部533のノードND2の電位がVDDよりもしきい値電圧(V_t)以上の所定の電圧(V)分高い電位($VDD + V > VDD + V_t$)まで上昇する。なお、このときのノードND2の電位($VDD + V$)は、1段目および2段目のシフトレジスタ回路部511および512において、上昇した後のノードND2の電位($VDD + V$)よりもさらに高い電位となる。そして、3段目のシフトレジスタ回路部533のノードND2からVDD + V_t 以上の電位($VDD + V$)を有するHレベルのシフト信号SR3が出力される。そして、4段目以降のシフトレジスタ回路部534および535においても、上記した3段目のシフトレジスタ回路部533と同様の動作により、上記第1実施形態によるシフトレジスタ回路部から出力されるHレベル($VDD + V$)のシフト信号よりもさらに高いVDD + V_t 以上の電位($VDD + V$)を有するHレベルのシフト信号SR4およびSR5が出力される。

【0184】

そして、3段目のシフトレジスタ回路部513のHレベル($VDD + V > VDD + V_t$)のシフト信号SR3は、トランジスタNT63およびNT68のドレインにそれぞれ入力される。これにより、ゲートにVDDの電位の走査方向切替信号CSVが入力されることによりオンしているトランジスタNT63およびNT68のソース電位は、共に、($VDD - V_t$)の電位になる。このため、2段目のシフトレジスタ回路部532のトランジスタNT12のゲートと、4段目のシフトレジスタ回路部534のトランジスタNT37のゲートとに($VDD - V_t$)の電位が入力される。この状態で、クロック信号CKV2がLレベル(VBB)からHレベル(VDD)に立ち上がることにより、2段目のシフトレジスタ回路部532のトランジスタNT12では、容量C12によりゲート-ソース間電圧が保持されながら、ゲート電位が($VDD - V_t$)からVDDとVBBとの電位差分上昇する。これにより、トランジスタNT12のノードND1側に発生する電位がVDDからトランジスタNT12のしきい値電圧(V_t)分低下するのが抑制される。このため、2段目のシフトレジスタ回路部532のノードND1に生じるHレベルの電位が低下するのが抑制される。また、4段目のシフトレジスタ回路部534のトランジスタNT37のゲートに($VDD - V_t$)の電位が入力された状態で、クロック信号CKV2がLレベル(VBB)からHレベル(VDD)に立ち上がることにより、トランジスタNT37では、容量C34によりゲート-ソース間電圧が保持されながら、ゲート電位が($VDD - V_t$)からVDDとVBBとの電位差分上昇する。これにより、トランジスタNT37のノードND2側に発生する電位がVDDからトランジスタNT37のしきい値電圧(V_t)分低下するのが抑制される。このため、4段目のシフトレジスタ回路部534のノードND2に生じるHレベルの電位が低下するのが抑制される。上記のようにして、各段のシフトレジスタ回路部において、クロック信号CKV1またはCKV2の電位がHレベル(VDD)に上昇するのに伴って、ノードND1またはND2の電位が上昇する場合に、ノードND1およびND2に生じるHレベルの電位が低下するのが抑制される。

【0185】

また、3段目のシフトレジスタ回路部533のHレベル($VDD + V$)のシフト信号SR3は、1段目のゲート線に繋がる論理合成回路部832のトランジスタNT91のゲートにも入力される。また、1段目のゲート線に繋がる論理合成回路部832のトランジ

スタNT92のゲートには、4段目のシフトレジスタ回路部のHレベル($V_{DD} + V_t$)のシフト信号SR4が入力される。これにより、1段目のゲート線に繋がる論理合成回路部832において、トランジスタNT91のドレインに入力されるイネーブル信号ENBの電位がHレベル(V_{DD})の電位に上昇した場合に、ノードND4に発生する電位が V_{DD} からトランジスタNT91およびNT92のしきい値電圧(V_t)分低下するのが抑制される。このようにして、2段目以降のゲート線に繋がる論理合成回路部においても同様に、イネーブル信号ENBの電位がHレベル(V_{DD})に上昇するのに伴って、ノードND4の電位が上昇する場合に、ノードND4に生じるHレベルの電位が低下するのが抑制される。これにより、各段のゲート線に出力されるシフト出力信号Gate1およびGate2のHレベルの電位が低下するのが抑制される。

10

【0186】

第5実施形態によるVドライバの上記以外の動作は、上記第1実施形態によるVドライバの動作と同様である。

【0187】

第5実施形態では、上記のように、シフトレジスタ回路部533~535において、トランジスタNT24、NT34およびNT44のドレインにイネーブル信号線を接続するとともに、ゲートにクロック信号CKV1(CKV2)を供給し、イネーブル信号ENBは、クロック信号CKV1(CKV2)がLレベルからHレベルに上昇した後に、LレベルからHレベルに切り替わるように構成することによって、たとえば、3段目のシフトレジスタ回路部533において、クロック信号CKV1によりトランジスタNT24のゲート電位をLレベル(V_{BB})からHレベル(V_{DD})に上昇させるのに伴って、トランジスタNT24をオン状態にさせた後、イネーブル信号ENBによりトランジスタNT24のソース電位をLレベル(V_{BB})からHレベル(V_{DD})に上昇させることができる。これにより、その際のトランジスタNT24のソース電位の上昇分(V_t)だけトランジスタNT24のゲート電位を上昇させることができる。また、4段目のシフトレジスタ回路部534において、クロック信号CKV2によりトランジスタNT34のゲート電位をLレベル(V_{BB})からHレベル(V_{DD})に上昇させるのに伴って、トランジスタNT34をオン状態にさせた後、イネーブル信号ENBによりトランジスタNT34のソース電位をLレベル(V_{BB})からHレベル(V_{DD})に上昇させることができる。これにより、その際のトランジスタNT34のソース電位の上昇分(V_t)だけトランジスタNT34のゲート電位を上昇させることができる。これにより、トランジスタNT24およびNT34のドレインが固定的な正側電位 V_{DD} に接続されている場合に比べて、シフト信号SR3およびSR4の電位($V_{DD} + V_t > V_{DD} + V_t$)をより高くすることができるので、より容易に、シフト信号SR3およびSR4の電位を、 V_{DD} よりもしきい値電圧(V_t)以上高い電位にすることができる。したがって、より容易に、1段目のゲート線に繋がる論理合成回路部832のトランジスタNT91のゲートおよびトランジスタNT92のゲートに、それぞれ、 $V_{DD} + V_t$ 以上の電位を有するシフト信号SR3およびSR4を供給することができる。これにより、論理合成回路部832のトランジスタNT91およびNT92を介して1段目のゲート線に出力されるシフト出力信号Gate1の電位が、しきい値電圧(V_t)分だけ低下するのをより抑制することができる。

20

30

40

【0188】

第5実施形態では、上記の効果以外にも、リセットトランジスタNT39およびNT49を設けるとともに、スタート信号STVにตอบสนองしてトランジスタNT39およびNT49をオンさせることによって、ゲート線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第1実施形態と同様の効果を得ることができる。

【0189】

(第6実施形態)

図13は、本発明の第6実施形態による液晶表示装置のVドライバ内部の回路図である。図13を参照して、この第6実施形態では、上記第5実施形態のVドライバをpチャネ

50

ルトランジスタで構成する場合について説明する。

【0190】

すなわち、この第6実施形態によるVドライバでは、図13に示すように、複数段のシフトレジスタ回路部541～545と、走査方向切替回路部640と、入力信号切替回路部740と、複数段の論理合成回路部841～843と、回路部921とが設けられている。なお、図13では、図面の簡略化のため、5段分のシフトレジスタ回路部541～545および3段分の論理合成回路部841～843のみを図示しているが、実際は画素数に応じた数のシフトレジスタ回路部および論理合成回路部が設けられている。

【0191】

そして、1段目のシフトレジスタ回路部541は、図5に示した第2実施形態の1段目のシフトレジスタ回路部501の第1回路部501aおよび第2回路部501bと同様の回路構成を有する第1回路部541aおよび第2回路部541bによって構成されている。また、2段目のシフトレジスタ回路部542は、図5に示した第2実施形態の2段目のシフトレジスタ回路部502の第1回路部502aおよび第2回路部502bと同様の回路構成を有する第1回路部542aおよび第2回路部542bによって構成されている。

【0192】

ここで、第6実施形態では、3段目のシフトレジスタ回路部543、4段目のシフトレジスタ回路部544および5段目のシフトレジスタ回路部545のそれぞれに、イネーブル信号線(ENB)が接続されている。具体的には、3段目のシフトレジスタ回路部543は、第1回路部543aと第2回路部543bとによって構成されている。第1回路部543aおよび第2回路部543bは、それぞれ、図5に示した第2実施形態の3段目のシフトレジスタ回路部503の第1回路部503aおよび第2回路部503bと同様の回路構成を有する。そして、この第6実施形態では、トランジスタPT24のドレインに、イネーブル信号線(ENB)が接続されている。

【0193】

また、4段目のシフトレジスタ回路部544は、第1回路部544aと第2回路部544bとによって構成されている。第1回路部544aおよび第2回路部544bは、それぞれ、図5に示した第2実施形態の4段目のシフトレジスタ回路部504の第1回路部504aおよび第2回路部504bと同様の回路構成を有する。そして、この第6実施形態では、トランジスタPT34のドレインに、イネーブル信号線(ENB)が接続されている。また、5段目のシフトレジスタ回路部545は、第1回路部545aと第2回路部545bとによって構成されている。第1回路部545aおよび第2回路部545bは、それぞれ、図5に示した第2実施形態の5段目のシフトレジスタ回路部505の第1回路部505aおよび第2回路部505bと同様の回路構成を有する。そして、この第6実施形態では、トランジスタPT44のドレインに、イネーブル信号線(ENB)が接続されている。

【0194】

また、走査方向切替回路部640は、図5に示した第2実施形態の走査方向切替回路部600と同様の回路構成を有する。また、入力信号切替回路部720は、図5に示した第2実施形態の入力信号切替回路部700と同様の回路構成を有する。また、論理合成回路部841～843は、それぞれ、図5に示した第2実施形態の論理合成回路部801～803と同様の回路構成を有する。また、論理合成回路部801～803は、それぞれ、図5に示した第2実施形態の電位固定回路部81a～83aと同様の回路構成を有する電位固定回路部801a～803aを備えている。また、回路部920は、図5に示した第2実施形態の回路部901と同様の回路構成を有する。

【0195】

図14は、本発明の第6実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。次に、図13および図14を参照して、第6実施形態によるVドライバの動作を説明する。この第6実施形態によるVドライバでは、図12に示した第5実施形態のスタート信号STV、クロック信号CKV1、CKV2、イネーブル信号EN

10

20

30

40

50

Bおよび反転イネーブル信号 \overline{XENB} のHレベルとLレベルとを反転させた波形の信号を、それぞれ、スタート信号 STV 、クロック信号 $CKV1$ 、 $CKV2$ 、イネーブル信号 ENB および反転イネーブル信号 \overline{XENB} として入力する。これにより、第6実施形態によるシフトレジスタ回路部541～545からは、図11に示した第5実施形態によるシフトレジスタ回路部531～535から出力されるシフト信号 $SR1 \sim SR5$ のHレベルとLレベルとを反転させた波形を有する信号がそれぞれ出力される。また、第6実施形態による論理合成回路部841～843からは、図11に示した第5実施形態による論理合成回路部831～833から出力されるシフト出力信号 $Dummy$ 、 $Gate1$ および $Gate2$ のHレベルとLレベルとを反転させた波形を有する信号が出力される。この第6実施形態によるVドライバの上記以外の動作は、図11に示した上記第5実施形態によるVドライバの動作と同様である。

10

【0196】

第6実施形態では、上記のように、リセットトランジスタ $PT39$ および $PT49$ を設けるとともに、スタート信号 STV にตอบสนองしてトランジスタ $PT39$ および $PT49$ をオンさせることによって、ゲート線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第5実施形態と同様の効果を得ることができる。

【0197】

なお、第6実施形態では、シフトレジスタ回路部543～545のトランジスタ $PT24$ 、 $PT34$ および $PT44$ のゲートにクロック信号 $CKV1$ ($CKV2$) を供給するとともに、ドレインにHレベル (VDD) とLレベル (VBB) とに切り替わるイネーブル信号 ENB を供給することによって、以下のような動作が行われる。たとえば、3段目のシフトレジスタ回路部543において、クロック信号 $CKV1$ によりトランジスタ $PT24$ がオン状態になった後、イネーブル信号 ENB によりトランジスタ $PT24$ のソース電位が VDD から VBB に低下するので、その電位の低下分 (V) だけトランジスタ $PT24$ のゲート電位が低下する。また、4段目のシフトレジスタ回路部544において、クロック信号 $CKV2$ によりトランジスタ $PT34$ がオン状態になった後、イネーブル信号 ENB によりトランジスタ $PT34$ のソース電位が VDD から VBB に低下するので、その電位の低下分 (V) だけトランジスタ $PT34$ のゲート電位が低下する。これにより、トランジスタ $PT24$ および $PT34$ のドレインが固定的な負側電位 VBB に接続されている場合に比べて、シフト信号 $SR3$ および $SR4$ の電位 ($VBB - V < VBB - V_t$) をより低くすることができるので、より容易に、シフト信号 $SR3$ および $SR4$ の電位を、 VBB よりもしきい値電圧 (V_t) 以上低い電位にすることができる。したがって、より容易に、1段目のゲート線に繋がる論理合成回路部842のトランジスタ $PT91$ および $PT92$ のゲートに、それぞれ、 $VBB - V_t$ 以下の電位 ($VBB - V$) を有するシフト信号 $SR3$ および $SR4$ を供給することができる。これにより、論理合成回路部842のトランジスタ $PT91$ および $PT92$ を介して1段目のゲート線に出力されるシフト出力信号 $Gate1$ の電位が、しきい値電圧 (V_t) 分だけ上昇するのをより抑制することができる。

20

30

【0198】

(第7実施形態)

40

図15は、本発明の第7実施形態による液晶表示装置の水平スイッチおよびHドライバの内部の回路図である。図15を参照して、この第7実施形態では、図1に示した第1実施形態の液晶表示装置において、ドレイン線を駆動 (走査) するためのHドライバに本発明を適用する場合について説明する。

【0199】

この第7実施形態による液晶表示装置のHドライバ4の内部には、図15に示すように、図2に示した第1実施形態のVドライバ5と同様、複数段のシフトレジスタ回路部51～55と、走査方向切替回路部60と、入力信号切替回路部70と、複数段の論理合成回路部81～83とが設けられている。なお、図15では、図面の簡略化のため、5段分のシフトレジスタ回路部51～55および3段分の論理合成回路部81～83のみを図示し

50

ているが、実際は画素数に応じた段数分のシフトレジスタ回路部および論理合成回路部が設けられている。そして、この第7実施形態では、論理合成回路部81～83と水平スイッチ3とが接続されている。具体的には、水平スイッチ3は、論理合成回路部81～83の段数に応じた数のnチャネルトランジスタNT121～123を含む。以下、nチャネルトランジスタNT121～NT123は、それぞれ、トランジスタNT121～NT123と称する。

【0200】

そして、トランジスタNT121のソースは、ダミードレイン線に接続されているとともに、ドレインは、ビデオ信号線(Video)に接続されている。このトランジスタNT121のゲートは、論理合成回路部81のノードND4に接続されている。また、トランジスタNT122のソースは、1段目のドレイン線に接続されているとともに、ドレインは、ビデオ信号線(Video)に接続されている。このトランジスタNT122のゲートは、論理合成回路部82のノードND4に接続されている。また、トランジスタNT123のソースは、2段目のドレイン線に接続されているとともに、ドレインは、ビデオ信号線(Video)に接続されている。このトランジスタNT123のゲートは、論理合成回路部83のノードND4に接続されている。また、第7実施形態によるHドライバ4では、図2に示した第1実施形態によるVドライバ5において供給されるスタート信号STV、走査方向切替信号CSV、反転走査方向切替信号XCSV、クロック信号CKV1およびCKV2の替わりに、スタート信号STH、走査方向切替信号CSH、反転走査方向切替信号XCSH、クロック信号CKH1およびCKH2が供給される。なお、これらのスタート信号STH、走査方向切替信号CSH、反転走査方向切替信号XCSH、クロック信号CKH1およびCKH2の波形は、それぞれ、上記第1実施形態によるスタート信号STV、走査方向切替信号CSV、反転走査方向切替信号XCSV、クロック信号CKV1およびCKV2の波形と同様である。

【0201】

次に、図15を参照して、第7実施形態によるHドライバのシフトレジスタ回路の動作を説明する。この第7実施形態によるHドライバ4では、各段の論理合成回路部81～83から、上記第1実施形態のシフト出力信号Dummy、Gate1およびGate2に対応するHレベルのシフト出力信号Dummy、Drain1およびDrain2が順次出力される。そして、このシフト出力信号Dummy、Drain1およびDrain2は、対応する水平スイッチ3のトランジスタNT121～NT123のゲートにそれぞれ入力される。これにより、水平スイッチ3の各段のトランジスタNT121～NT123が順次オン状態になる。このため、ビデオ信号線(Video)から映像信号が水平スイッチ3の各段のトランジスタNT121～NT123を介して、順次各段のドレイン線に出力される。この第7実施形態によるHドライバ4の上記以外の動作は、図2に示した上記第1実施形態によるVドライバ5の動作と同様である。

【0202】

第7実施形態では、上記のように、リセットトランジスタNT39およびNT49を設けるとともに、スタート信号STVにตอบสนองしてトランジスタNT39およびNT49をオンさせることによって、ドレイン線に意図しないタイミングで映像信号が出力されるのを抑制することができるなどの上記第1実施形態と同様の効果を得ることができる。

【0203】

(第8実施形態)

図16は、本発明の第8実施形態による有機EL表示装置を示した平面図である。図16を参照して、この第8実施形態では、本発明を、nチャネルトランジスタを有する画素を含む有機EL表示装置に適用する場合について説明する。

【0204】

すなわち、この第8実施形態では、図16に示すように、基板1b上に、表示部102が形成されている。この表示部102には、nチャネルトランジスタ121および122(以下、トランジスタ121および122という)と、補助容量123と、陽極124と

、陰極 125 と、陽極 124 と陰極 125 との間に挟持された有機 EL 素子 126 とを含む画素 120 がマトリクス状に配置されている。なお、図 16 の表示部 102 には、1 画素分の構成を示している。そして、トランジスタ 121 のソースは、トランジスタ 122 のゲートと補助容量 123 の一方の電極とに接続されているとともに、ドレインは、ドレイン線に接続されている。このトランジスタ 121 のゲートは、ゲート線に接続されている。また、トランジスタ 122 のソースは、陽極 124 に接続されているとともに、ドレインは、電流供給線（図示せず）に接続されている。

【0205】

また、Hドライバ4内部の回路構成は、図15に示した第7実施形態のHドライバ4の回路構成と同様である。また、Vドライバ5内部の回路構成は、図2に示した第1実施形態のVドライバ5の回路構成と同様である。第8実施形態による有機EL表示装置のこれら以外の部分の構成は、図1に示した第1実施形態による液晶表示装置と同様である。

10

【0206】

第8実施形態では、上記のように構成することによって、有機EL表示装置において、ゲート線に意図しないタイミングで映像信号が出力されるのを抑制することができるとともに、ドレイン線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第1および第7実施形態と同様の効果を得ることができる。

【0207】

（第9実施形態）

図17は、本発明の第9実施形態による有機EL表示装置を示した平面図である。図17を参照して、この第9実施形態では、本発明を、pチャネルトランジスタを有する画素を含む有機EL表示装置に適用する場合について説明する。

20

【0208】

すなわち、この第9実施形態では、図17に示すように、基板1c上に、表示部102aが形成されている。この表示部102aには、pチャネルトランジスタ121aおよび122a（以下、トランジスタ121aおよび122aという）と、補助容量123aと、陽極124aと、陰極125aと、陽極124aと陰極125aとの間に挟持された有機EL素子126aとを含む画素120aがマトリクス状に配置されている。なお、図17の表示部102aには、1画素分の構成を示している。そして、トランジスタ121aのソースは、ドレイン線に接続されているとともに、ドレインは、トランジスタ122aのゲートと補助容量123aの一方の電極とに接続されている。このトランジスタ121aのゲートは、ゲート線に接続されている。また、トランジスタ122aのソースは、電流供給線（図示せず）に接続されているとともに、ドレインは、陽極124aに接続されている。

30

【0209】

また、Vドライバ5a内部の回路構成は、図5に示した第2実施形態のVドライバ5aの回路構成と同様である。第9実施形態による有機EL表示装置のこれら以外の部分の構成は、図4に示した第2実施形態による液晶表示装置と同様である。

【0210】

第9実施形態では、上記のように構成することによって、有機EL表示装置において、ゲート線に意図しないタイミングでシフト出力信号が出力されるのを抑制することができるなどの上記第2実施形態と同様の効果を得ることができる。

40

【0211】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0212】

たとえば、上記第1～第9実施形態では、本発明を液晶表示装置または有機EL表示装置に適用した例を示したが、本発明はこれに限らず、液晶表示装置および有機EL表示装

50

置以外の表示装置にも適用可能である。

【0213】

また、上記第1～第7実施形態では、VドライバまたはHドライバのいずれか一方にのみ本発明を適用する例を説明したが、本発明はこれに限らず、VドライバおよびHドライバの両方に、本発明を適用するようにしてもよい。

【0214】

また、上記第7実施形態では、本発明によるHドライバに用いるトランジスタを全てnチャネルトランジスタで構成した例について示したが、本発明はこれに限らず、本発明によるHドライバに用いるトランジスタを全てpチャネルトランジスタで構成してもよい。

【0215】

また、nチャネルトランジスタを用いた第1、第3、第5、第7および第8実施形態において、全ての容量をnチャネルトランジスタにより構成してもよい。また、pチャネルトランジスタを用いた第2、第4、第6および第9実施形態において、全ての容量をpチャネルトランジスタにより構成してもよい。

【図面の簡単な説明】

【0216】

【図1】本発明の第1実施形態による液晶表示装置を示した平面図である。

【図2】図1に示した第1実施形態による液晶表示装置のVドライバ内部の回路図である。

。

【図3】本発明の第1実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

【図4】本発明の第2実施形態による液晶表示装置を示した平面図である。

【図5】図4に示した第2実施形態による液晶表示装置のVドライバ内部の回路図である。

。

【図6】本発明の第2実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

【図7】本発明の第3実施形態による液晶表示装置のVドライバ内部の回路図である。

【図8】本発明の第3実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

【図9】本発明の第4実施形態による液晶表示装置のVドライバ内部の回路図である。

【図10】本発明の第4実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

【図11】本発明の第5実施形態による液晶表示装置のVドライバ内部の回路図である。

【図12】本発明の第5実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

【図13】本発明の第6実施形態による液晶表示装置のVドライバ内部の回路図である。

【図14】本発明の第6実施形態による液晶表示装置のVドライバの動作を説明するための電圧波形図である。

【図15】本発明の第7実施形態による液晶表示装置のHドライバ内部の回路図である。

【図16】本発明の第8実施形態による有機EL表示装置を示した平面図である。

【図17】本発明の第9実施形態による有機EL表示装置を示した平面図である。

【図18】従来の一例による表示装置のドレイン線を駆動させるシフトレジスタ回路の回路構成を説明するための回路図である。

【符号の説明】

【0217】

52、53、54、55、502、503、504、505、512、513、514、515、522、523、524、525、532、533、534、535、542、543、544、545 シフトレジスタ回路部（第1シフトレジスタ回路部、第2シフトレジスタ回路部）

52a、53a、54a、55a、502a、503a、504a、505a、512

10

20

30

40

50

a、5 1 3 a、5 1 4 a、5 1 5 a、5 2 2 a、5 2 3 a、5 2 4 a、5 2 5 a、5 3 2 a、5 3 3 a、5 3 4 a、5 3 5 a、5 4 2 a、5 4 3 a、5 4 4 a、5 4 5 a 第 1 回路部

5 2 b、5 3 b、5 4 b、5 5 b、5 0 2 b、5 0 3 b、5 0 4 b、5 0 5 b、5 1 2 b、5 1 3 b、5 1 4 b、5 1 5 b、5 2 2 b、5 2 3 b、5 2 4 b、5 2 5 b、5 3 2 b、5 3 3 b、5 3 4 b、5 3 5 b、5 4 2 b、5 4 3 b、5 4 4 b、5 4 5 b 第 2 回路部

8 1、8 2、8 3、8 0 1、8 0 2、8 0 3、8 1 1、8 1 2、8 1 3、8 2 1、8 2 2、8 2 3、8 3 1、8 3 2、8 3 3、8 4 1、8 4 2、8 4 3 論理合成回路部

8 1 a、8 2 a、8 3 a、8 0 1 a、8 0 2 a、8 0 3 a、8 1 1 a、8 1 2 a、8 1 3 a、8 2 1 a、8 2 2 a、8 2 3 a、8 3 1 a、8 3 2 a、8 3 3 a、8 4 1 a、8 4 2 a、8 4 3 a 電位固定回路部

N T 1 4、N T 2 4、N T 3 4、N T 4 4 nチャネルトランジスタ(第3トランジスタ、第4トランジスタ)

N T 1 6、N T 2 6、N T 3 6、N T 4 6 nチャネルトランジスタ(第5トランジスタ)

N T 3 9、N T 4 9、P T 3 9、P T 4 9 リセットトランジスタ

N T 8 1、N T 9 1、N T 1 0 1 nチャネルトランジスタ(第1トランジスタ)

N T 8 2、N T 9 2、N T 1 0 2 nチャネルトランジスタ(第2トランジスタ)

P T 1 4、P T 2 4、P T 3 4、P T 4 4 pチャネルトランジスタ(第3トランジスタ、第4トランジスタ)

P T 1 6、P T 2 6、P T 3 6、P T 4 6 nチャネルトランジスタ(第5トランジスタ)

P T 8 1、P T 9 1、P T 1 0 1 pチャネルトランジスタ(第1トランジスタ)

P T 8 2、P T 9 2、P T 1 0 2 pチャネルトランジスタ(第2トランジスタ)

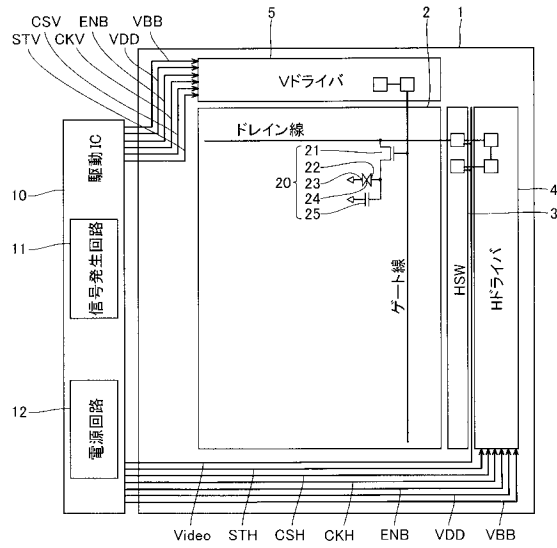
C 1 3、C 2 3、C 3 3、C 4 3 容量(第 1 容量、第 2 容量)

10

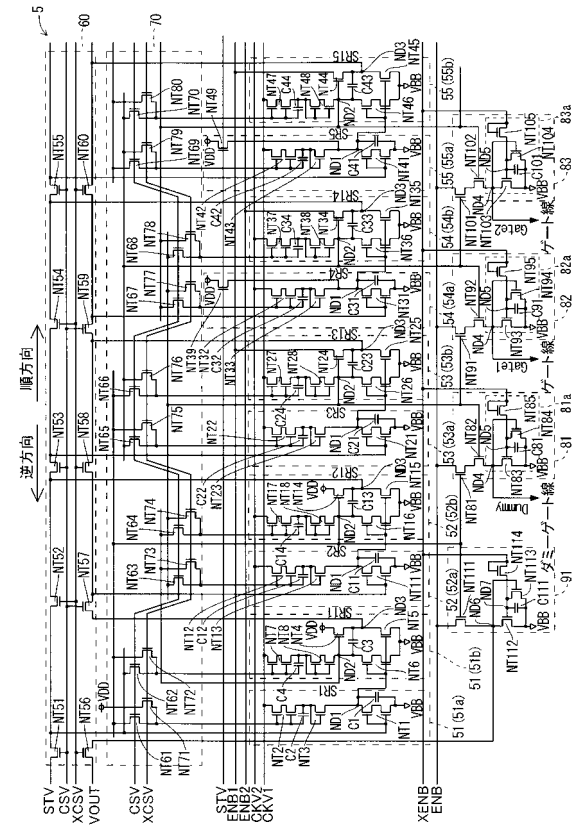
20

30

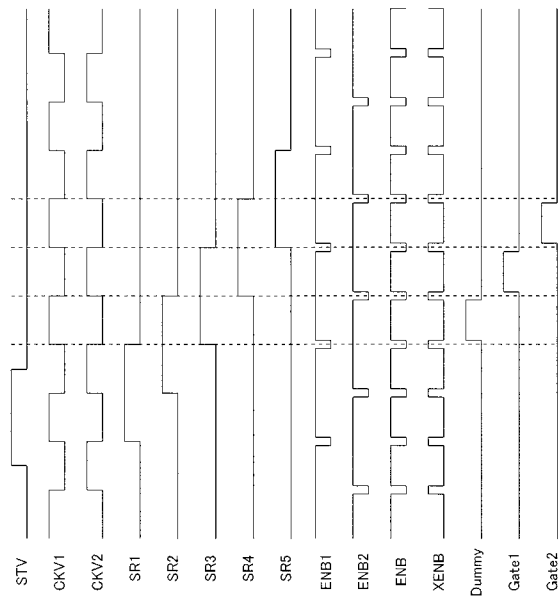
【図 1】



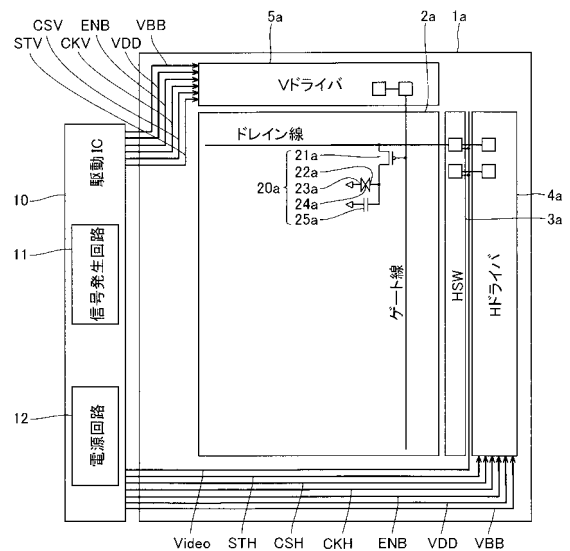
【図 2】



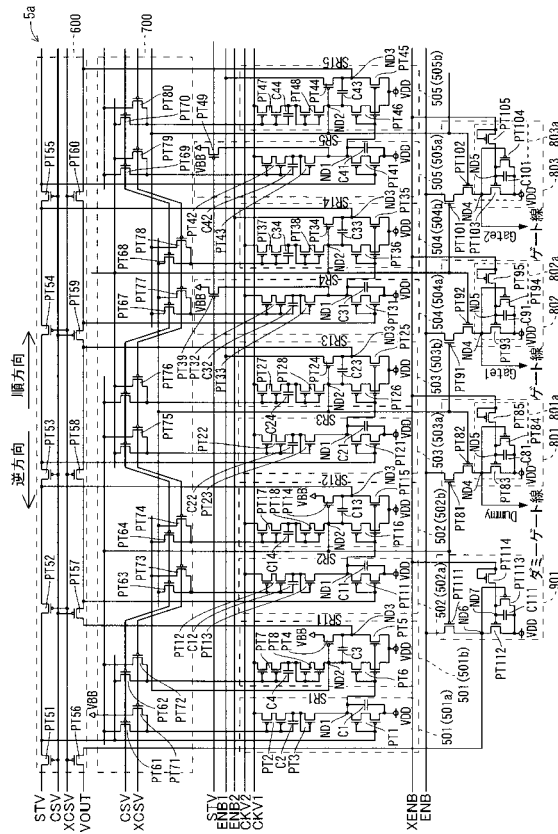
【図 3】



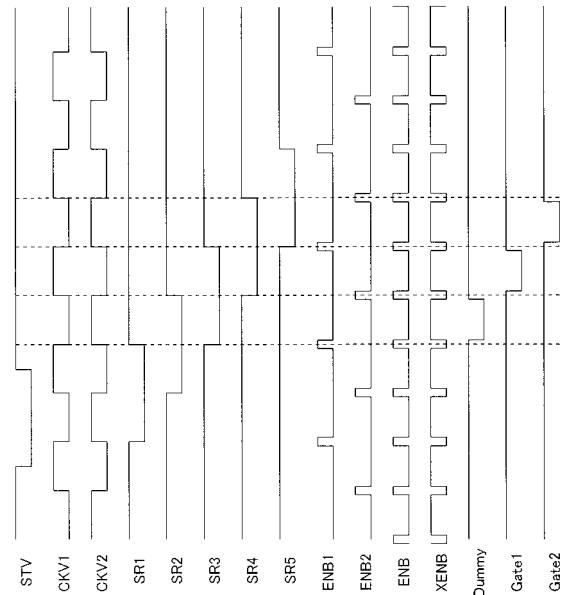
【図 4】



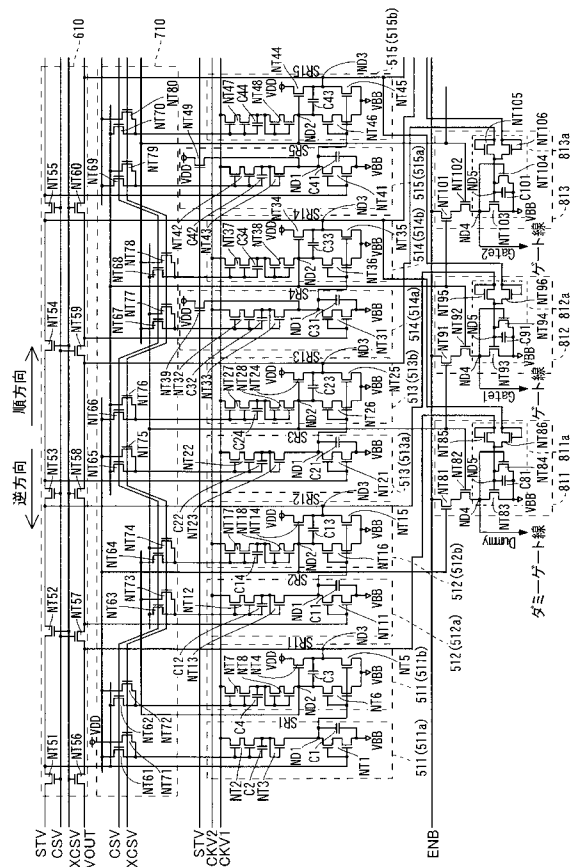
【図 5】



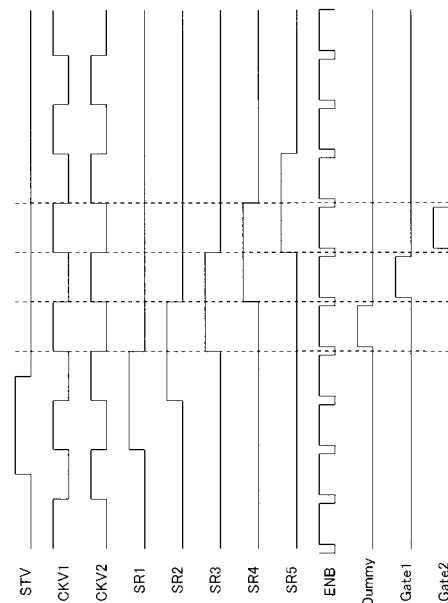
【図 6】



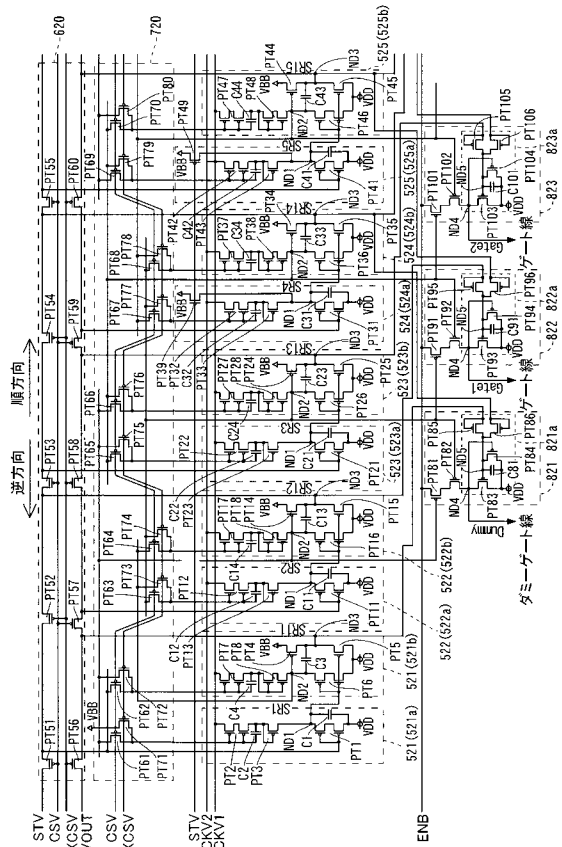
【図 7】



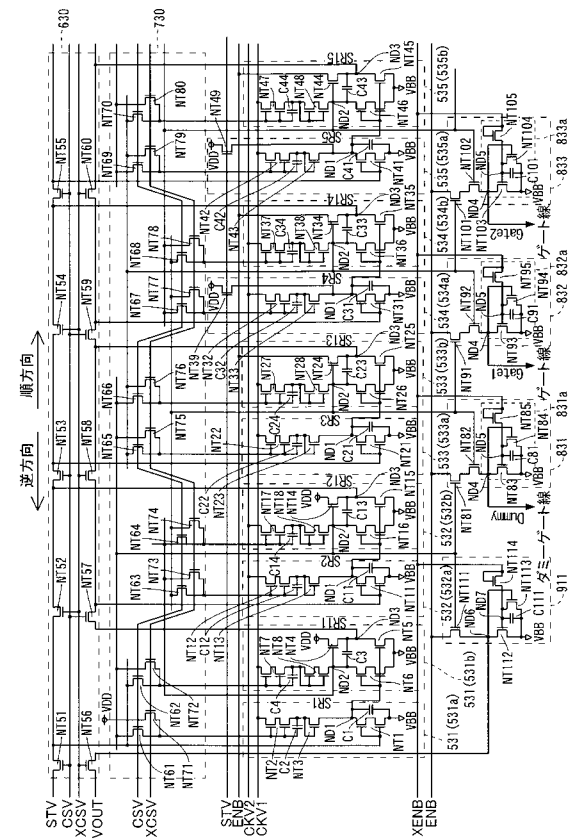
【図 8】



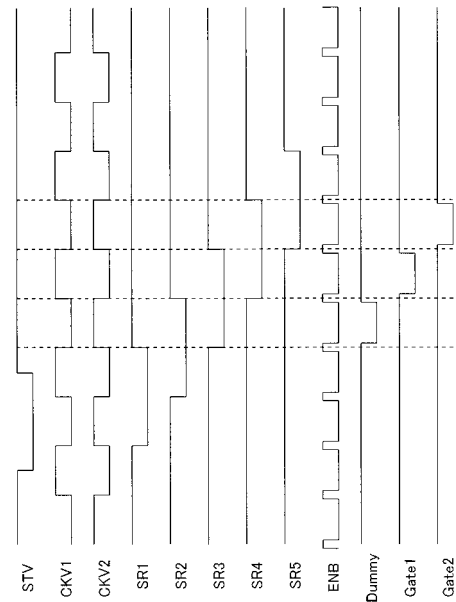
【図 9】



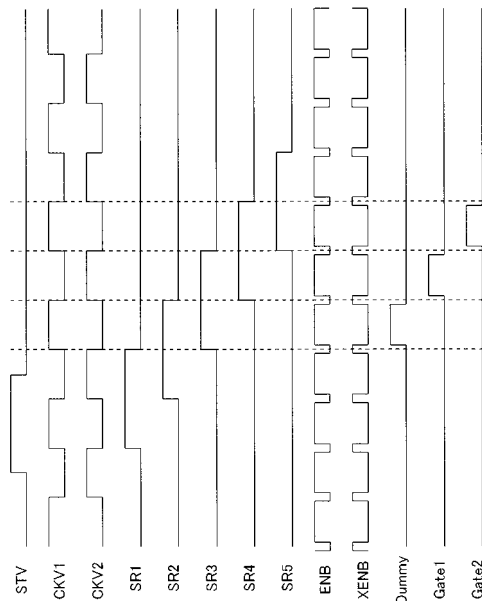
【図 11】



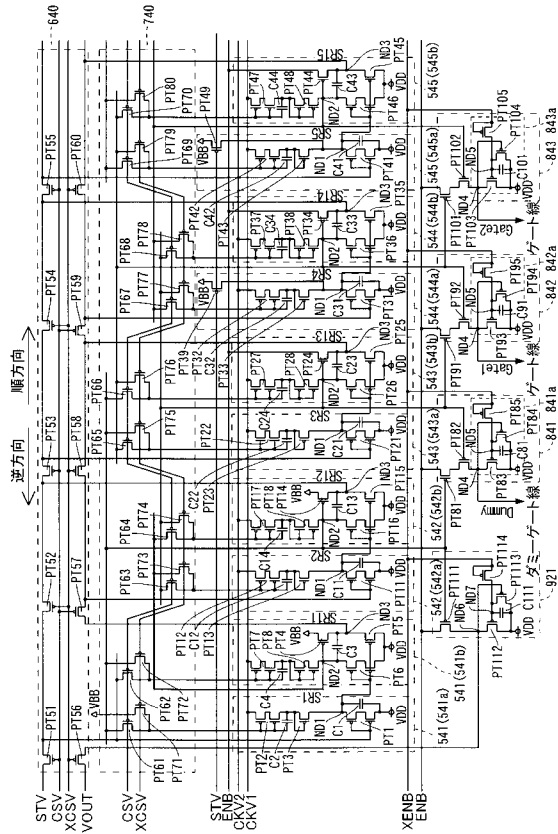
【図 10】



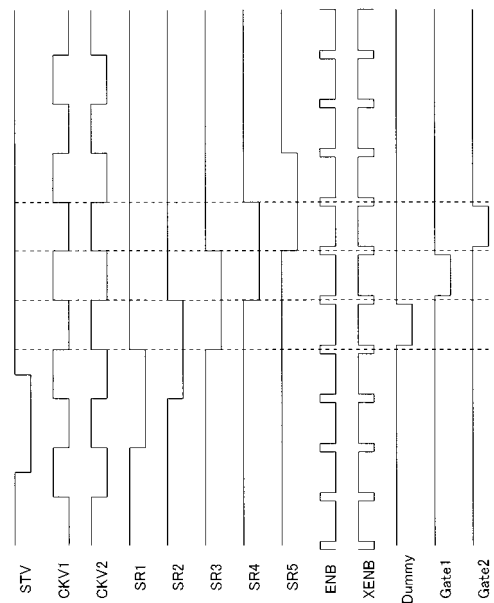
【図 12】



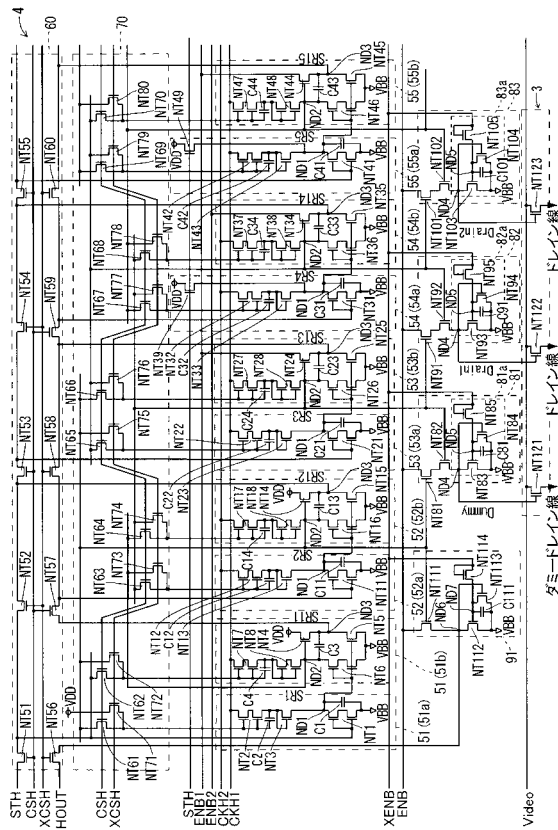
【図 13】



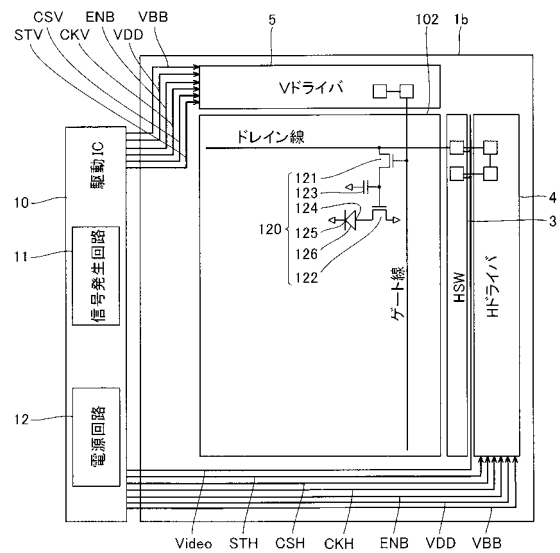
【図 14】



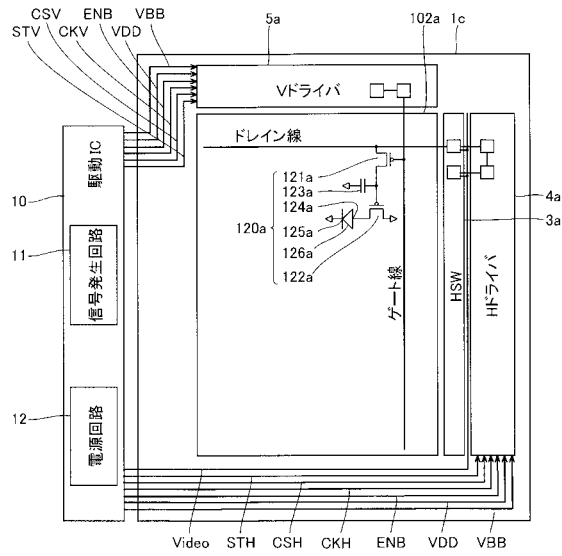
【図 15】



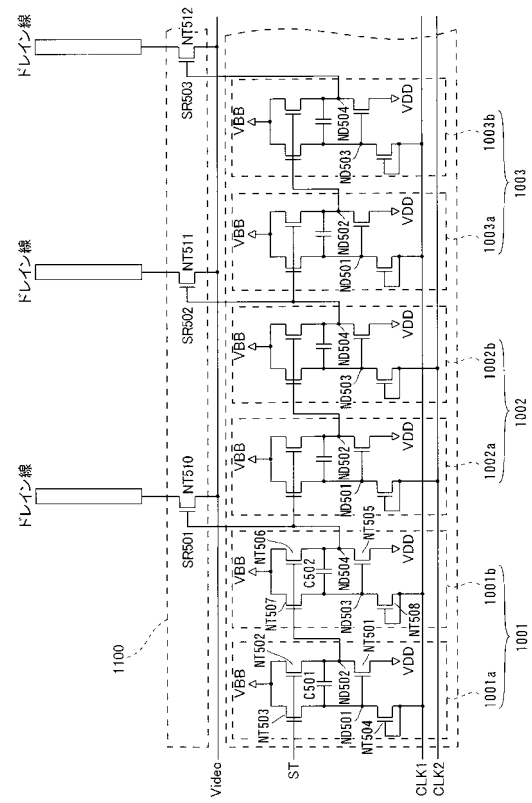
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl.	F I	
	G 1 1 C	19/00 J
	G 1 1 C	19/00 H
	G 1 1 C	19/28 D

(56)参考文献 特開2001-159877(JP,A)
特開平08-220506(JP,A)
特開2001-216796(JP,A)
特開2002-006791(JP,A)
特開2004-133026(JP,A)
特開2004-226429(JP,A)
特開2004-264361(JP,A)
特開2005-062397(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0