(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 694 32 245 T2** 2004.01.22

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 661 642 B1**
(21) Deutsches Aktenzeichen: **694 32 245.8**
(96) Europäisches Aktenzeichen: **94 120 690.6**
(96) Europäischer Anmeldetag: **27.12.1994**
(97) Erstveröffentlichung durch das EPA: **05.07.1995**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **12.03.2003**
(47) Veröffentlichungstag im Patentblatt: **22.01.2004**

(51) Int Cl.[7]: **G06F 12/14**

(30) Unionspriorität:
33499793 28.12.1993 JP

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Kabushiki Kaisha Toshiba, Kawasaki, Kanagawa, JP

(74) Vertreter:
HOFFMANN · EITLE, 81925 München

(72) Erfinder:
Banno, Moriyasu, Kanagawa-ku, Kanagawa-ken, JP; Inoue, Tatsuo, Saiwai-ku, Kanagawa-ken, JP

(54) Bezeichnung: **Mikrorechner mit Speicherleseschutz**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft einen Mikrocomputer und insbesondere einen Mikrocomputer, an welchen ein externer Programmspeicher zur Erweiterung angeschlossen werden kann.

[0002] In letzter Zeit werden Mikrocomputer, an welche jeweils ein externer Programmspeicher zur Erweiterung angeschlossen werden kann, weit verbreitet verwendet. Die meisten Mikrocomputer enthalten interne Datenspeicher, in welche jeweils ein Programm durch eine Zentralverarbeitungseinheit (die hierin nachfolgend als CPU abgekürzt wird), eine direkte Speicherzugriffssteuerung (die hierin nachfolgend als DMAC abgekürzt wird) oder ähnliches, geschrieben werden kann.

[0003] In einem solchen Fall können Inhalte eines internen Programmspeichers zur externen Schaltung durch ein Programm ausgelesen werden, das im externen Programmspeicher oder im internen Datenspeicher geschrieben ist.

[0004] Jedoch ist eine Offenbarung der Inhalte des internen Programmspeichers gegenüber einer dritten Partei, die eine andere als der Entwickler des Programms, der Hersteller des Mikrocomputers und ähnliches ist, oft unerwünscht.

[0005] Ein herkömmlicher Mikrocomputer kann eine solche Anforderung nicht erfüllen und es kann nicht verhindert werden, dass die Inhalte des internen Programmspeichers durch eine dritte Partei ausgelesen werden.

[0006] Beispielsweise kann in dem Fall einer Anwendungsvorrichtung eines Mikrocomputers, an welchen ein externer Programmspeicher zur Erweiterung angeschlossen ist, eine dritte Partei die Inhalte des externen Programmspeichers auf einfache Weise neu schreiben und kann die Inhalte des internen Programmspeichers ohne Erlaubnis des Entwicklers des Programms oder des Herstellers des Mikrocomputers durch Schreiben eines Programms zum externen Ausgeben der Inhalte des internen Programmspeichers des Mikrocomputers im externen Programmspeicher und durch Betreiben des Mikrocomputers auslesen. Die Inhalte des internen Programmspeichers können auch ohne Zustimmung des Entwicklers des Programms und des Herstellers des Mikrocomputers durch Schreiben eines Programms zum Übertragen der Inhalte des internen Programmspeichers zum internen Datenspeicher des Mikrocomputers und darauf folgendes Ausgeben der Inhalte des internen Datenspeichers zu einer externen Schaltung durch ein Programm, das durch eine dritte Partei im externen Programmspeicher geschrieben ist, und durch Betreiben des Mikrocomputers anstelle eines direkten Ausgebens der Inhalte des internen Programmspeichers zu einer externen Schaltung ausgelesen werden.

[0007] Ein Stand der Technik, der für diese Probleme relevant ist, ist in WO-A-89/03081 und in EP-A-0 115 877 beschrieben.

[0008] WO-A-89/03081 beschreibt eine Vorrichtung zum Schützen von Speicherbereichen eines elektronischen Mikroprozessorsystems gemäß dem Oberbegriff des hierin nachfolgenden Anspruchs 1. Gemäß WO-A-89/03081 empfängt eine Entscheidungsschaltung Eingangsadressen von auszuführenden Anweisungen bzw. Befehlen und Datenadressen, auf welche die Anweisungen anzuwenden sind. Die Entscheidungsschaltung ermöglicht die Ausführung der Anweisung oder sperrt die Ausführung der Anweisung, wenn sie zum Führen zu einer falschen Operation oder zu einem betrügerischen Versuch einer Enthüllung bzw. Preisgabe der Systeminhalte dient. Ein Pufferregister speichert die Anweisungsadressen und präsentiert sie darauf folgend zur Entscheidungsschaltung gleichzeitig mit den Datenadressen. Diese Vorrichtung betrifft insbesondere den Schutz elektronischer Speicherkarten mit integrierter Schaltung.

[0009] EP-A-0 115 877 beschreibt eine Technik für einen kritischen Systemschutz, wobei eine Datenverarbeitungssystemintegrität durch Zuordnen von Inhaltstypen zu virtuellen Seiten und durch Verwenden der zugeordneten Inhaltstypen zum Durchsetzen spezieller Zugriffsregeln verbessert wird. Die Seiteninhaltstypen sind folgende: (a) irgendwelche änderbaren Daten und/oder irgendwelche ausführbaren Anweisungen (Strom S/370); (b) ausführbare Anweisungen des Systemsteuerprogramms (SCP) und/oder unveränderbare Daten (SENC), (c) nur beschränkt änderbare Daten des SCP (System-DO); und optional (d) nur Anwenderdaten (Benutzer-DO). Eine Seiteninhaltstypenbestimmung wird durch Vorsehen in jedem Seitentabelleneintrag von zwei Integritäts-Steuerflagbits durchgeführt, die hierin SENC und DO genannt werden. Bei einem ersten Ausführungsbeispiel werden die Bits SENC und DO getrennt codiert, um jeweils einen Zugriff auf die Seitentypen SENC und System-DO zu steuern. Bei einem zweiten Ausführungsbeispiel werden die Bits SENC und DO kombinatorisch codiert, um vier Typen zu erhalten. Ein neuer Systemintegritätszustand, nämlich der SCP-Zustand, wie er durch einen Zustandstrigger dargestellt wird, ist vorgesehen, um eine SENC- und eine System-DO-Seitenverwendung zu schützen. Der SCP-Zustand wird durch eine Hardware-Unterbrechung initiiert, d. h. ein Auslagern von PSWs, und existiert nur so lange, wie die SPU Anweisungen von SENC-Seiten holt. Die folgenden neuen Programmunterbrechungen sind vorgesehen, um zu identifizieren, wenn die CPU folgendes versucht: (1) eine von einer SENC-Seite geholte Anweisung auszuführen, während das System nicht im SCP-Zustand ist; (2) eine von einer System- oder einer Anwender-DO-Seite geholte Anweisung auszuführen; oder (3) Daten in eine System-DO-Seite unter Verwendung einer nicht von einer SENC-Seite geholten Anweisung zu speichern. Ebenso werden, während er

im SCP-Zustand ist, Benutzer mit dem Schlüssel Null gezwungen, ihren Zugriffsschlüssel zu ändern, wann immer es nötig ist, damit er zum Speicherschlüssel irgendeines Seitenframes passt, bevor er geändert wird.

ZUSAMMENFASSUNG DER ERFINDUNG

[0010] Es ist daher eine Aufgabe der vorliegenden Erfindung, einen Mikrocomputer zu schaffen, der verhindern kann, dass eine dritte Partei die Inhalte eines internen Programmspeichers des Mikrocomputers ausliest.

[0011] Ein Mikrocomputer gemäß der vorliegenden Erfindung ist durch die Ansprüche definiert.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0012] **Fig.** 1 ist ein Blockdiagramm, das den Aufbau eines herkömmlichen Mikrocomputers zeigt;

[0013] **Fig.** 2 ist ein Blockdiagramm, das ein Beispiel des Aufbaus einer Schaltung zum Schutz eines Lesens eines internen Programmspeichers des Mikrocomputers zeigt, der in **Fig.** 1 gezeigt ist;

[0014] **Fig.** 3 ist ein Zeitdiagramm, das die Wellenformen der jeweiligen Signale im in **Fig.** 1 gezeigten Mikrocomputer zeigt;

[0015] **Fig.** 4 ist ein Blockdiagramm, das den Aufbau eines weiteren herkömmlichen Mikrocomputers zeigt;

[0016] **Fig.** 5 ist ein Blockdiagramm, das ein Beispiel des Aufbaus einer Schaltung für einen Schutz vor einem Lesen eines internen Programmspeichers des in **Fig.** 4 gezeigten Mikrocomputers zeigt;

[0017] **Fig.** 6 ist ein Blockdiagramm, das den Aufbau eines weiteren herkömmlichen Mikrocomputers zeigt;

[0018] **Fig.** 7 ist ein Blockdiagramm, das den Aufbau eines Mikrocomputers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung zeigt; und

[0019] **Fig.** 8 ist ein Blockdiagramm, das ein Beispiel des Aufbaus einer Schaltung für einen Schutz vor einem Lesen eines internen Programmspeichers des in **Fig.** 7 gezeigten Mikrocomputers zeigt.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSBEISPIELE

[0020] Nachfolgend wird ein Ausführungsbeispiel der vorliegenden Erfindung unter Bezugnahme auf die beigefügten Zeichnungen beschrieben.

[0021] Ein Mikrocomputer gemäß diesem Ausführungsbeispiel hat das folgende Merkmal. Das bedeutet, dass dann, wenn die Adresse, die eine Anweisung zum Auslesen der Inhalte eines internen Programmspeichers speichert, nicht im Adressenraum (der entweder der gesamte Raum oder spezifische Räume sein kann) des internen Programmspeichers vorhanden ist, die Leseadresse geändert wird.

[0022] **Fig.** 1 zeigt den Aufbau eines herkömmlichen Mikrocomputers. Ein Mikrocomputer **10** enthält eine CPU **11** mit einem Programmzähler **11a**, einem Anweisungs- bzw. Befehlsdecodierer **11b**, einem Anweisungs- bzw. Befehlsregister **11c**, einer Anweisungs- bzw. Befehlsausführungseinheit **11d** und einem Adressenregister **11e**; eine Schaltung für einen Schutz gegen ein Lesen eines internen Programmspeichers **12**; einen internen Programmspeicher **13**; und einen Datenspeicher **14** und schließt auch an einen externen Programmspeicher **20** an.

[0023] Der Programmzähler **11a** hält eine Adresse, die die Stelle anzeigt, wo ein Befehl auszuführen ist, und er gibt die Adresse auf einen Adressenbus **15** aus. Das Adressenregister **11e** gibt eine Adresse aus, die die Stelle anzeigt, wo ein Programm oder wo Daten gespeichert ist bzw. sind, auf den Adressenbus **15**, wenn ein Befehl ausgeführt wird, und das Programm oder die Daten wird bzw. werden gemäß dem Befehl ausgelesen.

[0024] Das Befehlsregister **11c** holt über einen Datenbus **16** eine Befehlsausgabe von der Stelle (dem internen Programmspeicher **13** oder dem externen Programmspeicher **20**), die durch die vom Programmzähler **11a** ausgegebene Adresse angezeigt wird, und hält temporär den geholten Befehl. Der Befehlsdecodierer **11b** empfängt den durch das Befehlsregister **11c** gehaltenen und von ihm ausgegebenen Befehl und decodiert den geholten Befehl. Die Befehlsausführungseinheit **11d** empfängt das Decodierergebnis vom Befehlsdecodierer **11d** und führt den Befehl aus. Zu dieser Zeit gibt die Befehlsausführungseinheit **11d** ein Befehlsholsignal zur Leseschutzschaltung für den internen Programmspeicher **12** und zum Befehlsregister **11c** aus, wie es später beschrieben wird. Auf eine Ausführung eines Befehls hin gibt dann, wenn die nächste erforderliche Adresse, die auf dem Befehl basiert, im Programmzähler **11a** vorhanden ist, die Befehlsausführungseinheit **11d** ein Programmzähler-Auswahlsignal zum Programmzähler **11a** aus; wenn die nächste erforderliche Adresse im Adressenregister **11e** vorhanden ist, gibt die Einheit **11d** ein Adressenregister-Auswahlsignal zum Adressenregister **11e** aus.

[0025] Wenn die Leseschutzschaltung für den internen Programmspeicher **12** ein Befehlsholsignal von der Befehlsausführungseinheit **11d** empfängt, prüft sie, ob die Adresse, die die Stelle anzeigt, wo der Befehl zu dieser Zeit gespeichert ist, im Adressenraum des internen Programmspeichers **13** vorhanden ist, und prüft auch, ob die Adresse, die die Speicherstelle eines Programms oder von Daten anzeigt, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist. Nur dann, wenn die Adresse des Befehls nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist und die Adresse des Programms oder der Daten, das bzw. die auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist, gibt die Schutzschaltung **12** ein Leseverhinderungssignal

zum internen Programmspeicher **13** aus.

[0026] Der interne Programmspeicher **13** ist ein interner Speicher zum Speichern eines Programms oder von Daten. Der interne Datenspeicher **14** ist normalerweise ein interner Speicher zum Speichern von Daten. Der externe Programmspeicher **20** ist ein externer Speicher zum Speichern eines Programms oder von Daten.

[0027] Eine Adressenausgabe vom Programmzähler **11a** in der CPU **11** über den Adressenbus **15** wird zur Leseschutzschaltung für den internen Programmspeicher **12**, zum internen Programmspeicher **13**, zum internen Datenspeicher **14** und zum externen Programmspeicher **20** zugeführt. Ein Programm oder Daten, das bzw. die in einem dieser Speicher gespeichert sind, der durch die Adresse angezeigt wird, wird bzw. werden als Befehl bzw. Anweisung ausgelesen, der ausgelesene Befehl wird im Befehlsregister **11c** über den Datenbus **16** gehalten und der Befehl wird durch den Befehlsdecodierer **11b** decodiert.

[0028] Wenn der durch den Befehlsdecodierer **11b** decodierte Befehl durch die Befehlsausführungseinheit **11d** ausgeführt wird, wird ein Befehlsholsignal von der Befehlsausführungseinheit **11d** zur Leseschutzschaltung für den internen Programmspeicher **12** ausgegeben. Die Leseschutzschaltung für den internen Programmspeicher **12** prüft, ob die Adresse des Befehls im Adressenraum des internen Programmspeichers **13** vorhanden ist, und prüft auch, ob die Adresse des Programms oder der Daten, das bzw. die durch den Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist.

[0029] Wenn die Leseschutzschaltung für den internen Programmspeicher **12** bestimmt, dass die Adresse des Befehls nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist und die Adresse des Programms oder der Daten, das bzw. die durch den Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist, gibt die Leseschutzschaltung für den internen Programmspeicher **12** ein Leseverhinderungssignal zum internen Programmspeicher **13** aus und wird ein Lesezugriff auf das Programm oder die Daten verhindert.

[0030] Gegensätzlich dazu wird dann, wenn die Adresse des Befehls im Adressenraum des internen Programmspeichers **13** vorhanden ist, ein Lesezugriff, der auf diesem Befehl basiert, unabhängig davon zugelassen, ob die Adresse des Programms oder der Daten, das bzw. die durch den Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist oder nicht. Andererseits wird selbst dann, wenn die Adresse des Befehls nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, wenn die Adresse des Programms oder der Daten das bzw. die durch den Befehl auszulesen ist bzw. sind, nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, d. h. wenn das Programm oder die Daten, das bzw. die auszulesen ist bzw. sind, nicht im internen Programmspeicher **13** gespeichert ist, ein Lesezugriff zugelassen.

[0031] Mit dieser Steuerung wird ein Lesezugriff auf das Programm oder die Daten das bzw. die im internen Programmspeicher **13** gespeichert ist bzw. sind, nur dann zugelassen, wenn der Befehl zum Befehlen des Lesezugriffs im internen Programmspeicher **13** geschrieben ist. Als Ergebnis wird selbst dann, wenn eine dritte Partei einen Befehl zum Auslesen eines Programms oder von Daten, das bzw. die im internen Programmspeicher **13** gespeichert ist bzw. sind, in einen Speicher (z. B. den externen Programmspeicher **20** oder den internen Datenspeicher **14**), der ein anderer als der interne Programmspeicher **13** ist, schreibt, ein Lesezugriff basierend auf einem solchen Befehl verhindert.

[0032] **Fig.** 2 zeigt ein Beispiel des detai11ierten Aufbaus der Leseschutzschaltung für den internen Programmspeicher **12**. Die Schutzschaltung **12** weist einen Adressendecodierer **12a**, ein Speicherelement **12b** und ein UND-Gatter **12c** auf.

[0033] Der Adressendecodierer **12a** empfängt eine vom Adressenbus **15** transferierte Adresse, erfasst, ob die empfangene Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist, und gibt das Erfassungsergebnis aus.

[0034] Weiterhin wird ein Befehlsholsignal von der Befehlsausführungseinheit **11d** ausgegeben und wird zur Leseschutzschaltung für den internen Programmspeicher **12** zugeführt. Synchron zur Zufuhrzeit des Befehlsholsignals zum Speicherelement **12b** wird das vom Adressendecodierer **12a** ausgegebene Erfassungsergebnis im Speicherelement **12b** gespeichert.

[0035] Wenn die Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist, werden Daten von logisch "1" zum Speicherelement **12b** eingegeben und darin gespeichert. Gegensätzlich dazu werden dann, wenn die Adresse nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, Daten von logisch "0" in das Speicherelement **12b** eingegeben und darin gespeichert.

[0036] Die Ausgabe vom Speicherelement **12b** und die Ausgabe vom Adressendecodierer **12a** werden zum UND-Gatter **12c** eingegeben. Das UND-Gatter **12c** gibt ein Leseverhinderungssignal aus und führt es zum internen Programmspeicher **13** zu.

[0037] Wenn die Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist, speichert das Speicherelement **12b** Daten von logisch "1", und gleichzeitig gibt das Speicherelement **12b** invertierte Daten von logisch "0" zum UND-Gatter **12c** aus. Wenn die Adresse nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, speichert das Speicherelement **12b** Daten von logisch "0" und gibt Daten von logisch "1" zum UND-Gatter **12c** aus.

[0038] Dann wird eine vom Adressenbus transferierte Adresse zum Adressendecodierer **12a** einge-

geben. Diese Adresse zeigt eine Stelle an, wo ein Programm oder Daten, das bzw. die durch den Befehl auszulesen ist bzw. sind, gespeichert sind. Der Adressendecodierer **12a** prüft, ob diese Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist. Wenn die Adresse vorhanden ist, werden Daten von logisch "1" vom Adressendecodierer **12a** zum UND-Gatter **12c** ausgegeben; sonst werden Daten von logisch "0" vom Adressendecodierer **12a** zum UND-Gatter **12c** ausgegeben.

[0039] Wenn die Adresse des Befehls nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist und die Adresse des Programms oder der Daten, das bzw. die durch den Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist, gibt das Speicherelement **12b** Daten von logisch "1" aus, gibt der Adressendecodierer **12a** Daten von logisch "1" aus und werden diese Daten zum UND-Gatter **12c** ausgegeben. Als Ergebnis wird ein Leseverhinderungssignal von logisch "1" vom UND-Gatter **12c** zum internen Programmspeicher **13** ausgegeben, um somit einen Lesezugriff durch diesen Befehl zu verhindern.

[0040] Andererseits gibt dann, wenn die Adresse des Befehls im Adressenraum des internen Programmspeichers **13** vorhanden ist, das Speicherelement **12b** Daten von logisch "0" aus und führt sie zum UND-Gatter **12c** zu. Daher gibt unabhängig davon, ob die Adresse des Programms oder der Daten, das bzw. die auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist oder nicht, das UND-Gatter **12c** ein Leseverhinderungssignal von logisch "0" aus und führt es zum internen Programmspeicher **13** zu. In diesem Fall wird ein Lesezugriff zugelassen. Selbst wenn die Adresse des Befehls nicht im Adressenraums des internen Programmspeichers **13** vorhanden ist und das Speicherelement **12b** Daten von logisch "1" ausgibt, wenn die Adresse des Programms oder der Daten, das bzw. die auszulesen ist bzw. sind, nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, gibt der Adressendecodierer **12a** Daten von logisch "0" zum UND-Gatter **12c** aus und werden Daten von logisch "0" vom UND-Gatter **12c** ausgegeben. Somit wird ein Lesezugriff zugelassen.

[0041] **Fig.** 3 ist ein Zeitdiagramm der Signale in der in **Fig.** 2 gezeigten Schaltung. Gemäß **Fig.** 3 stellt "F" bei einer "CPU-Operation" eine Befehlsholoperation zum Auslesen eines Befehls von einem Speicher und zum Halten des ausgelesenen Befehls durch das Befehlsregister **11c** dar, stellt "D" eine Befehlsdecodieroperation zum Decodieren eines Befehls unter Verwendung des Befehlsdecodierers **11b** dar und stellt "E" eine Befehlsausführungsoperation zum Ausführen eines Befehls unter Verwendung der Befehlsausführungseinheit **11d** dar.

[0042] Eine Periode **101** stellt eine Periode dar, in welcher dann, wenn die Adresse eines Befehls im Adressenraum des internen Programmspeichers **13** vorhanden ist, der Befehl geholt und decodiert wird. Eine Periode **102** stellt eine Periode dar, in welcher dann, wenn die Adresse eines Programms oder von Daten, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist, ein Lesezugriff zugelassen wird.

[0043] Eine Periode **103** stellt eine Periode dar, in welcher dann, wenn die Adresse eines Befehls nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, sondern im Adressenraum des externen Programmspeichers **20** vorhanden ist, der Befehl geholt und decodiert wird. Eine Periode **104** stellt eine Periode dar, in welcher dann, wenn die Adresse eines Programms oder von Daten, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist, ein Lesezugriff verhindert wird. Die Perioden **101** bis **104** werden nachfolgend detailliert beschrieben.

[0044] Während der Periode **101** gibt die CPU **11** eine Adresse vom Programmzähler **111a** zum Adressenbus **15** aus, um den nächsten auszuführenden Befehl zu holen. Diese Adresse ist im Adressenraum des internen Programmspeichers **13** vorhanden. Somit werden Daten von logisch "1" vom Adressendecodierer **12a** in der Leseschutzschaltung für den internen Programmspeicher **12** ausgegeben und werden im Speicherelement **12b** gespeichert. Danach gibt das Speicherelement **12b** Daten von logisch "0" aus. Daher geht die Ausgabe vom UND-Gatter **12c** zu logisch "0" und wird ein Lesezugriff auf die Inhalte des internen Programmspeichers **13** zugelassen. Ein Befehl wird vom internen Programmspeicher, der durch die Adresse bestimmt ist, ausgelesen und wird im Befehlsregister **11c** in der CPU **11** gehalten. Der Befehl wird dann durch den Befehlsdecodierer **11b** decodiert.

[0045] Während der Periode **102** wird der durch den Befehlsdecodierer **11b** decodierte Befehl durch die Befehlsausführungseinheit **11d** ausgeführt. Somit werden die Inhalte des internen Programmspeichers **13** auf den Datenbus **16** gemäß der Adresse ausgelesen, die von z. B. dem Adressenregister **11e** über den Adressenbus **15** transferiert wird. Ein Lesezugriff auf die Inhalte des internen Programmspeichers **13** wird zugelassen, da das Leseverhinderungssignal bei logisch "0" ist.

[0046] Während der Perioden **103** und **104** wird, wie es oben beschrieben ist, ein in einem Speicher gespeicherter Befehl, der ein anderer als der interne Programmspeicher **13** ist, wie z. B. der externe Programmspeicher **20**, bei einem Versuch zum Auslesen der Inhalte des internen Programmspeichers **13** verwendet.

[0047] Während der Periode **103** gibt die CPU **11** eine Adresse vom Programmzähler **11a** zum Adressenbus **15** aus, um den nächsten auszuführenden Befehl zu holen. Diese Adresse ist nicht im Adressenraum des internen Programmspeichers **13** vorhanden. Daher werden Daten von logisch "0" vom Adres-

sendecodierer **12a** in der Leseschutzschaltung für den internen Programmspeicher **12** ausgegeben und werden im Speicherelement **12b** gespeichert. Dann gibt das Speicherelement **12b** Daten von logisch "1" zum UND-Gatter **12c** aus.

[0048] Ein Befehl wird von dem externen Programmspeicher ausgelesen, der durch die Adresse bestimmt wird, und wird im Befehlsregister **11c** in der CPU **11** gehalten. Dann wird der gehaltene Befehl durch den Befehlsdecodierer **11b** decodiert.

[0049] Während der Periode **104** wird der durch den Befehlsdecodierer **11b** decodierte Befehl durch die Befehlsausführungseinheit **11d** ausgeführt. Zum Auslesen der Inhalte des internen Programmspeichers **13** gemäß diesem Befehl gibt die CPU **11** die Adresse, die im Adressenraum des internen Programmspeichers **13** vorhanden ist, von z. B. dem Adressenregister **11e** auf den Adressenbus **15** aus. Die Adresse eines Programms oder von Daten, das bzw. die auszulesen ist bzw. sind, wird zum Adressendecodierer **12a** in der Leseschutzschaltung für den internen Programmspeicher **12** zugeführt, und der Adressendecodierer **12a** gibt Daten von logisch "1" zum UND-Gatter **12c** aus. Somit geht die Ausgabe vom UND-Gatter **12c** auf logisch "1", und ein Lesezugriff auf die Inhalte des internen Programmspeichers **13** wird verhindert. Als Ergebnis werden die Inhalte des internen Programmspeichers **13** nicht ausgelesen.

[0050] Wie es oben beschrieben ist, können gemäß diesem Ausführungsbeispiel die Inhalte des internen Programmspeichers nicht unter Verwendung eines Befehls ausgelesen werden, der in einem Speicher außerhalb des Adressenraums des internen Programmspeichers gespeichert ist, und es kann verhindert werden, dass sie einer dritten Partei offenbart werden.

[0051] Der oben angegebene Mikrocomputer ist nur ein Beispiel des Standes der Technik. Beispielsweise kann der Aufbau der in **Fig.** 2 gezeigten Leseschutzschaltung für den internen Programmspeicher **12** anders sein, und der Aufbau des Mikrocomputers ist nicht darauf beschränkt. Die Schutzschaltung **12** muss nur einen Lesezugriff auf die Inhalte des internen Programmspeichers verhindern, wenn die Adresse, von welcher ein Befehl zu holen ist, außerhalb des Adressenraums des internen Programmspeichers **13** vorhanden ist. Beispielsweise kann wie bei einem in **Fig.** 4 gezeigten Mikrocomputer ein interner Programmspeicher **23** einen Adressendecodierer **23a** enthalten, anstatt dass er den Adressendecodierer in einer Leseschutzschaltung für den internen Programmspeicher **22** enthält. In diesem Fall decodiert der Adressendecodierer **23a** im internen Programmspeicher **23** den Adressenraum einer Speicherzelle **23b** und erzeugt ein Chip-(Speicherzellen-)Auswahlsignal und gibt es aus.

[0052] **Fig.** 5 zeigt ein Beispiel des Aufbaus der Leseschutzschaltung für den internen Programmspeicher **22** in diesem Fall. Die Leseschutzschaltung für den internen Programmspeicher **22** hat ein Speicherelement **22b** und ein UND-Gatter **22c**. Das Speicherelement **22b** empfängt ein Befehlsholsignal und ein Chip-Auswahlsignal. Das Befehlsholsignal wird von der Befehlsausführungseinheit **11d** ausgegeben und das Chip-Auswahlsignal wird vom Adressendecodierer **23a** im internen Programmspeicher **23** ausgegeben.

[0053] Wenn die Adresse im Adressenraum des internen Programmspeichers **23** vorhanden ist, gibt der Adressendecodierer **23a** ein Chip-Auswahlsignal von logisch "1" aus; wenn die Adresse außerhalb des Adressenraums des internen Programmspeichers **23** vorhanden ist, gibt der Decodierer **23a** ein Chip-Auswahlsignal von logisch "0" aus. Wenn ein Befehlsholsignal eingegeben wird, speichert das Speicherelement **22b** das Chip-Auswahlsignal zu dieser Zeit synchron zur Empfangszeit des Befehlsholsignals. Wenn ein Chip-Auswahlsignal von logisch "1" zum Speicherelement **22b** eingegeben wird, wird ein Signal von logisch "0" ausgegeben und zum UND-Gatter **22c** zugeführt; wenn ein Chip-Auswahlsignal von logisch "0" eingegeben wird, wird ein Signal von logisch "1" ausgegeben und zum UND-Gatter **22c** zugeführt.

[0054] Dann wird gemäß einem Befehl, der von dem Speicherraum ausgelesen wird, der durch die Adresse bestimmt wird, eine Adresse, die eine Stelle anzeigt, wo ein Programm oder Daten gespeichert ist, das bzw. die auszulesen ist bzw. sind zum Adressendecodierer **23a** eingegeben.

[0055] Wenn die Adresse des Programms oder der Daten, das bzw. die auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **23** vorhanden ist, wird ein Chip-Auswahlsignal von logisch "1" vom Adressendecodierer **23a** ausgegeben und zum UND-Gatter **22c** eingegeben. In diesem Fall geht dann, wenn die Adresse des Lesebefehls im Adressenraum des internen Programmspeichers **23** vorhanden ist, da Daten von logisch "0" vom Speicherelement **22b** zum UND-Gatter **22c** ausgegeben werden, das Leseverhinderungssignal auf logisch "0" und wird ein Lesezugriff zugelassen. Gegensätzlich dazu geht dann, wenn die Adresse des Lesebefehls nicht im Speicherraum des internen Programmspeichers **23** vorhanden ist, da Daten von logisch "1" vom Speicherelement **22b** zum UND-Gatter **22c** ausgegeben werden, das Leseverhinderungssignal auf logisch "1" und wird ein Lesezugriff verhindert.

[0056] Wenn die Adresse des Programms oder der Daten, das bzw. die auszulesen ist bzw. sind, außerhalb des Adressenraums des internen Programmspeichers **23** vorhanden ist, wird ein Chip-Auswahlsignal von logisch "0" vom Adressendecodierer **23a** ausgegeben und zum UND-Gatter **22c** eingegeben. In diesem Fall wird deshalb, weil das UND-Gatter **22c** unabhängig davon, ob die Adresse des Lesebefehls im Adressenraum des internen Programmspeichers **23** vorhanden ist oder nicht, ein Leseverhinderungssignal von logisch "0" ausgibt, ein Lesezugriff zuge-

lassen.

[0057] **Fig.** 6 zeigt den Aufbau des Mikrocomputers **30** gemäß einem weiteren Aufbau nach dem Stand der Technik.

[0058] Der Mikrocomputer **30** enthält eine CPU **31** mit einem Programmzähler **11a**, einem Befehlsdecodierer **11b**, einem Befehlsregister **11c**, einer Befehlsausführungseinheit **31d** und einem Adressenregister **11e**; eine Leseschutzschaltung für den internen Programmspeicher **32**; einen Programmspeicher **13**; und einen Datenspeicher **14** und ist auch mit einem externen Programmspeicher **20** verbunden.

[0059] Eine vom Programmzähler **11a** oder vom Adressenregister **11e** über einen Adressenbus **35** ausgegebene Adresse wird von der CPU **31** zur Leseschutzschaltung für den internen Programmspeicher **32**, zum internen Programmspeicher **13**, zum internen Datenspeicher **14** und zum externen Datenspeicher **20** zugeführt.

[0060] Ein Befehl wird von einem Speicher ausgelesen, der durch die Adresse bestimmt wird, die vom Programmzähler **11a** ausgegeben wird und wird im Befehlsregister **11c** über einen Datenbus **16** gehalten. Der im Befehlsregister **11c** gehaltene Befehl wird durch den Befehlsdecodierer **11b** decodiert und durch die Befehlsausführungseinheit **31d** ausgeführt.

[0061] Während dieser Befehl ausgeführt wird, prüft die Leseschutzschaltung für den internen Programmspeicher **32**, ob die vom Adressenregister **11e** über den Adressenbus **35** zugeführte Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist. Nur dann, wenn die Adresse, die eine Stelle anzeigt, wo der Befehl gespeichert ist, nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, und die Adresse, die eine Stelle anzeigt, wo ein Programm oder Daten, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, gespeichert ist, im Adressenraum des internen Programmspeichers **13** vorhanden ist, wird ein Leseverhinderungssignal von logisch "0" von der Leseschutzschaltung für den internen Programmspeicher **32** ausgegeben und zur Befehlsausführungseinheit **31d** zugeführt. Das Leseverhinderungssignal von logisch "1" entspricht bei diesem Ausführungsbeispiel einem Befehlsausführungs-Anhaltbefehlssignal, und wenn dieses Signal zur Befehlsausführungseinheit **31d** zugeführt wird, wird eine Ausführung eines Befehls angehalten. Mit dieser Steuerung wird ein Lesezugriff auf die Inhalte des internen Programmspeichers **13** auf der Basis des Befehls verhindert. Andererseits wird dann, wenn die Adresse des Befehls im Adressenraum des internen Programmspeichers **13** vorhanden ist oder wenn die Adresse des Befehls nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist und die Adresse eines Programms oder von Daten, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, ein Leseverhinderungssignal von logisch "0" zur Befehlsausführungseinheit **31d** zugeführt. In diesem Fall fährt die Befehlsausführungseinheit **31d** mit einer Ausführung des Befehls fort. Als Ergebnis wird ein Lesezugriff gemäß dem Befehl ausgeführt.

[0062] Bei diesem Aufbau wird das Leseverhinderungssignal zur Befehlsausführungseinheit **31d** zugeführt. Jedoch kann das Leseverhinderungssignal zum Befehlsdecodierer **11b** zugeführt werden. In diesem Fall wird dann, wenn ein Leseverhinderungssignal von logisch "1" zum Befehlsdecodierer **11b** zugeführt wird, die Decodieroperation des Befehls angehalten.

[0063] **Fig.** 7 zeigt den Aufbau eines Mikrocomputers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung. Ein in **Fig.** 7 gezeigter Mikrocomputer **40** enthält eine CPU **11** mit einem Programmspeicher **11a**, einem Befehlsdecodierer **11b**, einem Befehlsregister **11c**, einer Befehlsausführungseinheit **11d** und einem Adressenregister **11e**; eine Leseschutzschaltung für den internen Programmspeicher **42**; einen Programmspeicher **13**; und einen Datenspeicher **14** und ist auch mit einem externen Programmspeicher **20** verbunden.

[0064] Eine vom Programmzähler **11a** oder vom Adressenregister **11e** über einen Adressenbus **45a** ausgegebene Adresse wird von der CPU **11** zur Leseschutzschaltung für den internen Programmspeicher **42** zugeführt. **Fig.** 8 zeigt ein Beispiel des Schaltungsaufbaus der Leseschutzschaltung für den internen Programmspeicher **42**.

[0065] Die Leseschutzschaltung für den internen Programmspeicher **42** weist einen Adressendecodierrt **42a**, ein Speicherelement **42b**, ein UND-Gatter **42c** und eine Adressenänderungsschaltung **42d** auf .

[0066] Wie bei den Aufbauten der **Fig.** 1 und 6 gibt das Speicherelement **42b** dann, wenn eine vom Programmzähler **11a** zugeführte Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist, Daten von logisch "0" aus; sonst gibt das Element **42b** Daten von logisch "1" aus.

[0067] Dann wird eine Adresse, die die Speicherstelle eines Programms oder von Daten, das bzw. die durch den Befehl auszulesen ist bzw. sind, zum Adressendecodierer **42a** zugeführt. Wenn diese Adresse im Adressenraum des internen Programmspeichers **13** vorhanden ist, werden Daten von logisch "1" zum UND-Gatter **42c** ausgegeben; sonst werden Daten von logisch "0" zum UND-Gatter **42c** ausgegeben.

[0068] Nur dann, wenn die Adresse des Befehls nicht vorhanden ist und die Adresse des Programms oder der Daten, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, im Adressenraum des internen Programmspeichers **13** vorhanden ist, gibt das UND-Gatter **42c** ein Leseverhinderungssignal von logisch "1" aus.

[0069] Wenn ein Leseverhinderungssignal von logisch "1" zur Adressenänderungsschaltung **42d** zugeführt wird, gibt die Schaltung **42d** eine Adresse, die nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, auf einen Adressenbus **45b**

aus (d. h. sie ändert die Adresse). Gegensätzlich dazu gibt die Schaltung **42d** dann, wenn ein Leseverhinderungssignal von logisch "0" zur Adressenänderungsschaltung **42d** zugeführt wird, denselben Wert wie denjenigen auf dem Adressenbus **45a** auf den Adressenbus **45b** aus (d. h. sie ändert die Adresse nicht).

[0070] Der Adressenbus **45b** ist mit dem internen Programmspeicher **13**, dem internen Datenspeicher **14** und dem externen Programmspeicher **20** verbunden. Wenn die Adresse geändert wird, können deshalb, weil eine Adresse, die nicht im Adressenraum des internen Programmspeichers **13** vorhanden ist, ausgegeben wird, die Inhalte des internen Programmspeichers **13** nicht ausgelesen werden. Mit dieser Steuerung wird eine dritte Partei vom Auslesen der Inhalte des internen Programmspeichers **13** ohne Erlaubnis von interessierten Parteien abgehalten.

[0071] Beim obigen Ausführungsbeispiel ist ein Objekt, dessen Auslesen durch eine dritte Partei zu verhindern ist, das gesamte Programm oder Daten, das bzw. die im internen Programmspeicher gespeichert ist bzw. sind. Jedoch kann ein Objekt, für das ein Auslesen verhindert werden soll, in spezifischen Adressenräumen des internen Programmspeichers gespeichert sein. In diesem Fall können die Inhalte des internen Programmspeichers, die außerhalb der spezifischen Adressenräume gespeichert sind, durch eine dritte Partei ausgelesen werden. In einem solchen Fall muss nur dann, wenn die Adresse, die die Speicherstelle eines Befehls anzeigt, nicht in den gesamten Adressenräumen des internen Programmspeichers vorhanden ist, und ein Programm oder Daten, das bzw. die gemäß diesem Befehl auszulesen ist bzw. sind, nicht in den spezifischen Adressenräumen des internen Programmspeichers vorhanden ist bzw. sind, ein Lesezugriff verhindert werden.

Patentansprüche

1. Mikrocomputersystem, das folgendes aufweist:
einen internen Programmspeicher (**13**) zum Speichern eines Programms und/oder von Daten;
eine Verbindung zu einem externen Programmspeicher (**20**) zum Speichern eines Programms und/oder von Daten;
eine CPU (**11**) zum Ausgeben einer ersten Adresse, zum Holen eines bei einer Stelle gespeicherten Befehls, die durch die erste Adresse angezeigt wird, aus einem des internen Programmspeichers und des externen Programmspeichers und zum Ausführen des geholten Befehls, und um dann, wenn der Befehl befiehlt, ein Programm oder Daten auszulesen, eine zweite Adresse auszugeben; und
eine Leseschutzschaltung für den internen Programmspeicher (**42**) zum Empfangen der ersten Adresse, die von der CPU ausgegeben wird, und zum Prüfen, ob die erste Adresse im Adressenraum des internen Programmspeichers vorhanden ist, zum Empfangen der zweiten Adresse, die eine Speicherstelle eines Programms oder von Daten, das bzw. die gemäß dem Befehl auszulesen ist bzw. sind, von der CPU und zum Prüfen, ob die zweite Adresse im Adressenraum des internen Programmspeichers vorhanden ist und zum Prüfen, wann die erste Adresse nicht im Adressenraum des internen Programmspeichers vorhanden ist und die zweite Adresse im Adressenraum des internen Programmspeichers vorhanden ist;
dadurch gekennzeichnet, dass
die Leseschutzschaltung für den internen Programmspeicher zum Ändern der zweiten Adresse zu einer Adresse dient, die eine andere als eine Adresse im Adressenraum des internen Programmspeichers ist, wenn die erste Adresse nicht im Adressenraum des internen Programmspeichers vorhanden ist, sondern die zweite Adresse im Adressenraum des internen Programmspeichers vorhanden ist.

2. Mikrocomputersystem nach Anspruch 1, wobei die Leseschutzschaltung für den internen Programmspeicher folgendes aufweist:
ein Adressendecodierer (**42a**) zum Empfangen der ersten und der zweiten Adresse, zum Ausgeben eines ersten Untersuchungsergebnisses durch Prüfen, ob die erste Adresse im Adressenraum des internen Programmspeichers vorhanden ist, und zum Ausgeben eines zweiten Untersuchungsergebnisses durch Prüfen, ob die zweite Adresse im Adressenraum des internen Programmspeichers vorhanden ist;
ein Speicherelement (**42b**) zum Halten und zum Ausgeben des ersten Untersuchungsergebnisses, das vom Adressendecodierer ausgegeben wird, synchron zu einem von der CPU ausgegebenen Befehlsholsignal;
ein Logikoperationselement (**42c**) zum Durchführen einer logischen Operation auf einen Empfang einer Ausgabe von dem Speicherelement und des zweiten Untersuchungsergebnisses vom Adressendecodierer hin, und um dann, wenn die erste Adresse nicht im Adressenraum des internen Programmspeichers vorhanden ist und die zweite Adresse im Adressenraum des internen Programmspeichers vorhanden ist, ein Leseverhinderungssignal auszugeben; und
eine Adressenänderungsschaltung (**42d**), um dann, wenn das Logikoperationselement das Leseverhinderungssignal ausgibt, die zweite Adresse zu einer Adresse zu ändern, die eine andere als eine Adresse im Adressenraum des internen Adressenspeichers ist.

3. Mikrocomputersystem nach Anspruch 1, wobei die Leseschutzschaltung für den internen Programmspeicher (**12**, **22**, **32**, **42**) dazu dient, zu prüfen, ob die erste Adresse in einem gesamten Adressenraum des internen Programmspeichers vorhanden ist, zu prüfen, ob die zweite Adresse in einem spezifischen Adressenraum des internen Programm-

speichers vorhanden ist, und um dann, wenn die erste Adresse nicht im gesamten Adressenraum des internen Programmspeichers vorhanden ist und die zweite Adresse im spezifischen Adressenraum des internen Programmspeichers vorhanden ist, die zweite Adresse zu einer Adresse zu ändern, die eine andere als eine Adresse im spezifischen Adressenraum des internen Programmspeichers ist.

4. Mikrocomputer nach Anspruch 3, wobei die Leseschutzschaltung für den internen Programmspeicher folgendes aufweist:
ein Adressendecodierer (**42a**) zum Empfangen der ersten und der zweiten Adresse, zum Ausgeben eines ersten Untersuchungsergebnisses durch Prüfen, ob die Adresse im gesamten Adressenraum des internen Programmspeichers vorhanden ist, und zum Ausgeben eines zweiten Untersuchungsergebnisses durch Prüfen, ob die zweite Adresse im spezifischen Adressenraum des internen Programmspeichers vorhanden ist;
ein Speicherelement (**42b**) zum Halten und Ausgeben des vom Adressendecodierer ausgegebenen ersten Untersuchungsergebnisses synchron zu einem von der CPU ausgegebenen Befehlsholsignal;
ein Logikoperationselement (**42c**) zum Durchführen einer logischen Operation auf einen Empfang einer Ausgabe vom Speicherelement und des zweiten Untersuchungsergebnisses vom Adressendecodierer hin, und um dann, wenn die erste Adresse nicht im gesamten Adressenraum des internen Programmspeichers vorhanden ist und die zweite Adresse im spezifischen Adressenraum des internen Programmspeichers vorhanden ist, ein Leseverhinderungssignal auszugeben; und
eine Adressenänderungsschaltung (**42d**), um dann, wenn das Logikoperationselement das Leseverhinderungssignal ausgibt, die zweite Adresse zu ändern, die eine andere als eine Adresse im spezifischen Adressenraum des internen Adressenspeichers ist.

5. Mikrocomputer nach Anspruch 1 oder 3, wobei die Leseschutzschaltung für den internen Programmspeicher synchron zu einer Zeit, zu welcher die CPU den Befehl holt, prüft, ob die erste Adresse im gesamten Adressenraum des internen Programmspeichers vorhanden ist.

Es folgen 8 Blatt Zeichnungen

Anhängende Zeichnungen

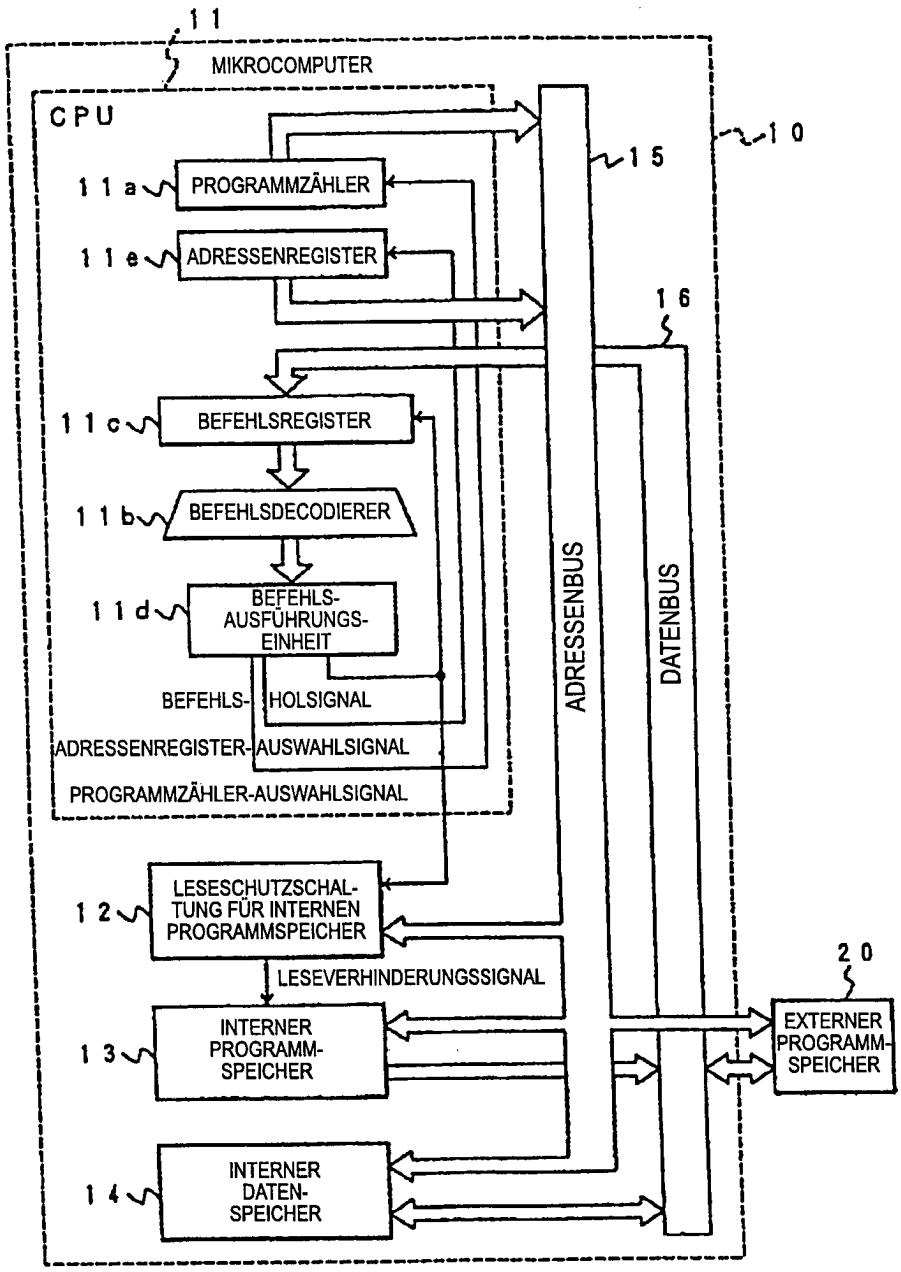

FIG. 1

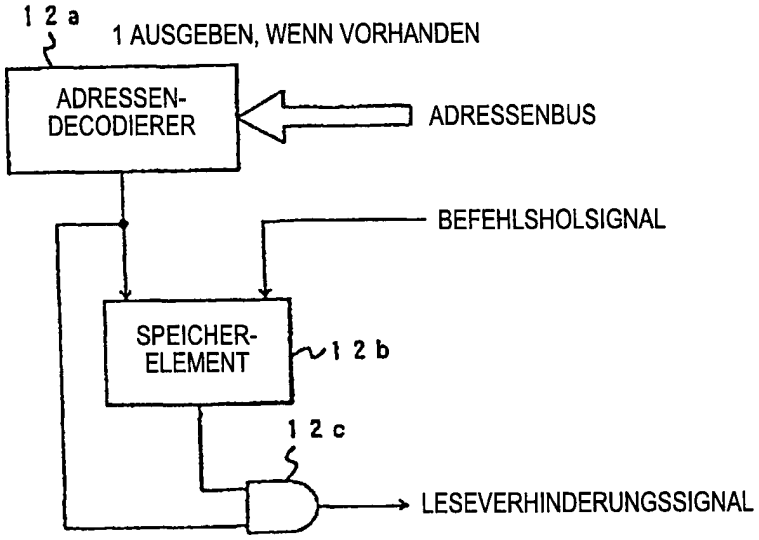
12a
1 AUSGEBEN, WENN VORHANDEN
ADRESSEN-
DECODIERER
ADRESSENBUS
BEFEHLSHOLSIGNAL
SPEICHER-
ELEMENT
12b
12c
LESEVERHINDERUNGSSIGNAL

FIG. 2

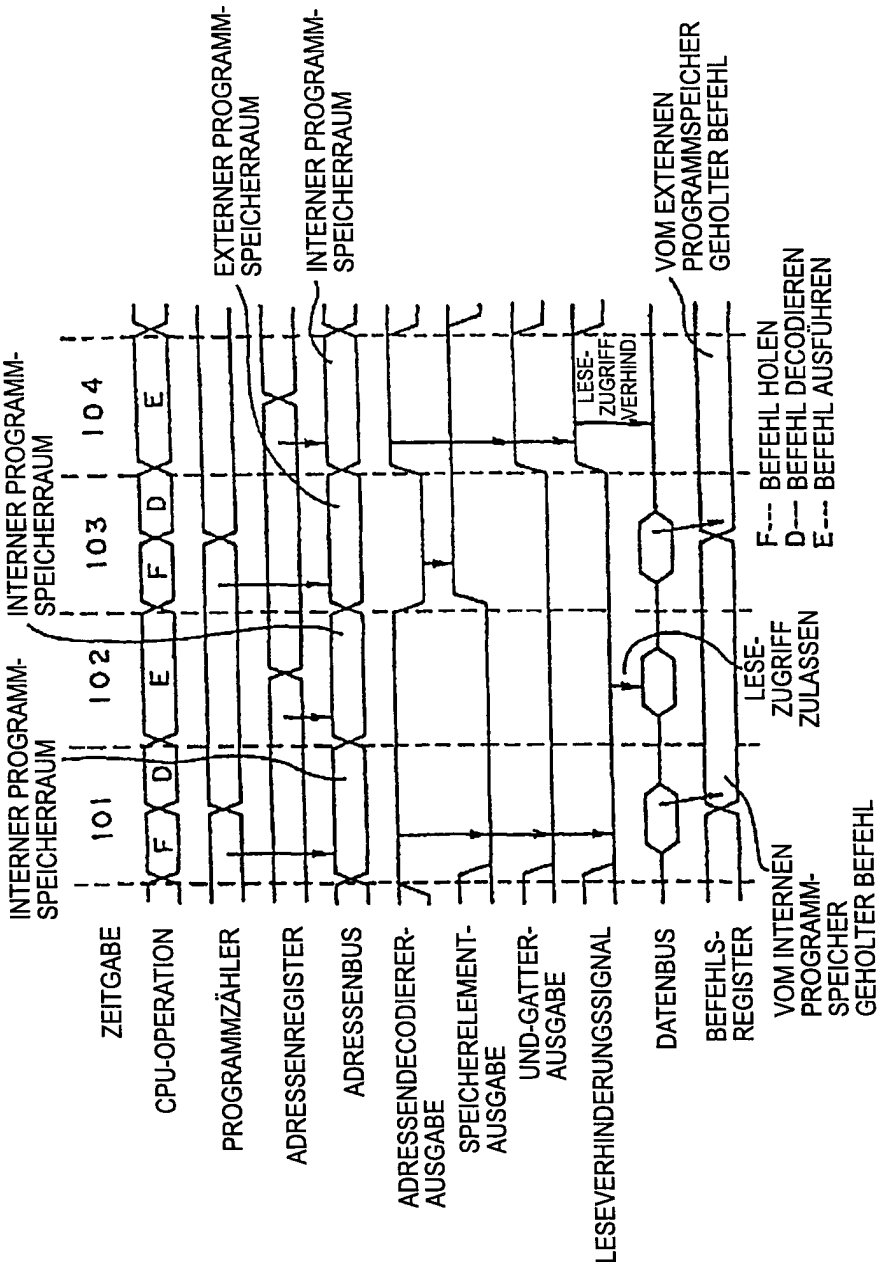
INTERNER PROGRAMM-SPEICHERRAUM
ZEITGABE
101
102
103
104
CPU-OPERATION
F
D
E
F
D
E
INTERNER PROGRAMM-SPEICHERRAUM
EXTERNER PROGRAMM-SPEICHERRAUM
PROGRAMMZÄHLER
ADRESSENREGISTER
ADRESSENBUS
ADRESSENDECODIERER-AUSGABE
SPEICHERELEMENT-AUSGABE
UND-GATTER-AUSGABE
LESEVERHINDERUNGSSIGNAL
LESE-ZUGRIFF-VERHINDI
VOM EXTERNEN PROGRAMMSPEICHER GEHOLTER BEFEHL
DATENBUS
BEFEHLS-REGISTER
LESE-ZUGRIFF ZULASSEN
VOM INTERNEN PROGRAMM-SPEICHER GEHOLTER BEFEHL
F--- BEFEHL HOLEN
D--- BEFEHL DECODIEREN
E--- BEFEHL AUSFÜHREN

FIG. 3

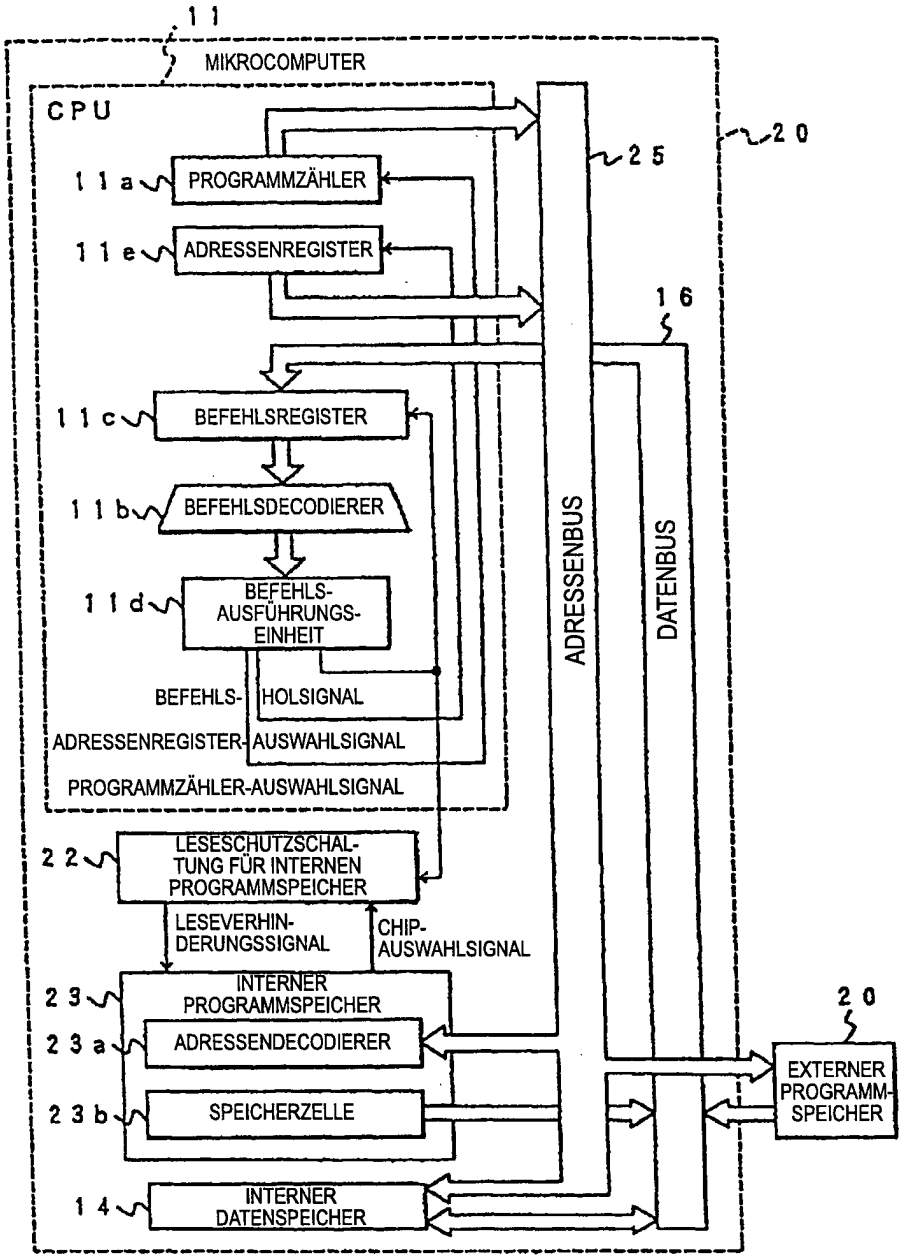
11
MIKROCOMPUTER
CPU
11a
PROGRAMMZÄHLER
11e
ADRESSENREGISTER
11c
BEFEHLSREGISTER
11b
BEFEHLSDECODIERER
11d
BEFEHLS-
AUSFÜHRUNGS-
EINHEIT
BEFEHLS-
HOLSIGNAL
ADRESSENREGISTER-
AUSWAHLSIGNAL
PROGRAMMZÄHLER-AUSWAHLSIGNAL
22
LESESCHUTZSCHAL-
TUNG FÜR INTERNEN
PROGRAMMSPEICHER
LESEVERHIN-
DERUNGSSIGNAL
CHIP-
AUSWAHLSIGNAL
23
INTERNER
PROGRAMMSPEICHER
23a
ADRESSENDECODIERER
23b
SPEICHERZELLE
14
INTERNER
DATENSPEICHER
25
ADRESSENBUS
16
DATENBUS
20
20
EXTERNER
PROGRAMM-
SPEICHER

FIG. 4

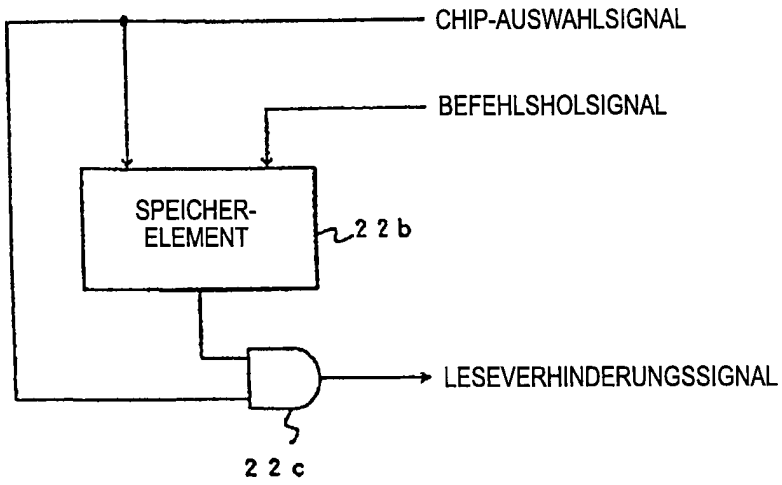
CHIP-AUSWAHLSIGNAL
BEFEHLSHOLSIGNAL
SPEICHER-
ELEMENT
22b
LESEVERHINDERUNGSSIGNAL
22c

FIG. 5

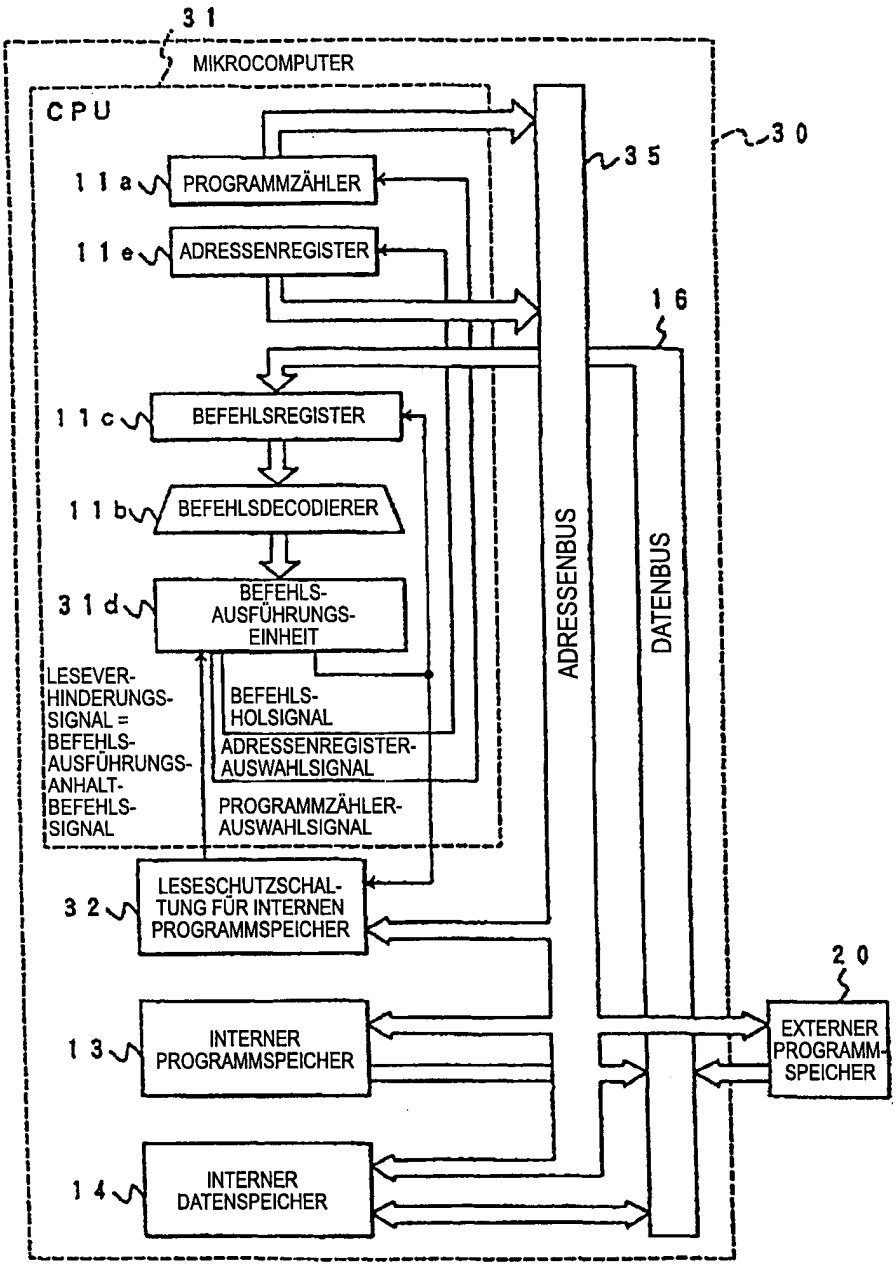
31
MIKROCOMPUTER
CPU
11a
PROGRAMMZÄHLER
11e
ADRESSENREGISTER
11c
BEFEHLSREGISTER
11b
BEFEHLSDECODIERER
31d
BEFEHLS-
AUSFÜHRUNGS-
EINHEIT
LESEVER-
HINDERUNGS-
SIGNAL =
BEFEHLS-
AUSFÜHRUNGS-
ANHALT-
BEFEHLS-
SIGNAL
BEFEHLS-
HOLSIGNAL
ADRESSENREGISTER-
AUSWAHLSIGNAL
PROGRAMMZÄHLER-
AUSWAHLSIGNAL
32
LESESCHUTZSCHAL-
TUNG FÜR INTERNEN
PROGRAMMSPEICHER
13
INTERNER
PROGRAMMSPEICHER
14
INTERNER
DATENSPEICHER
35
ADRESSENBUS
16
DATENBUS
30
20
EXTERNER
PROGRAMM-
SPEICHER

FIG. 6

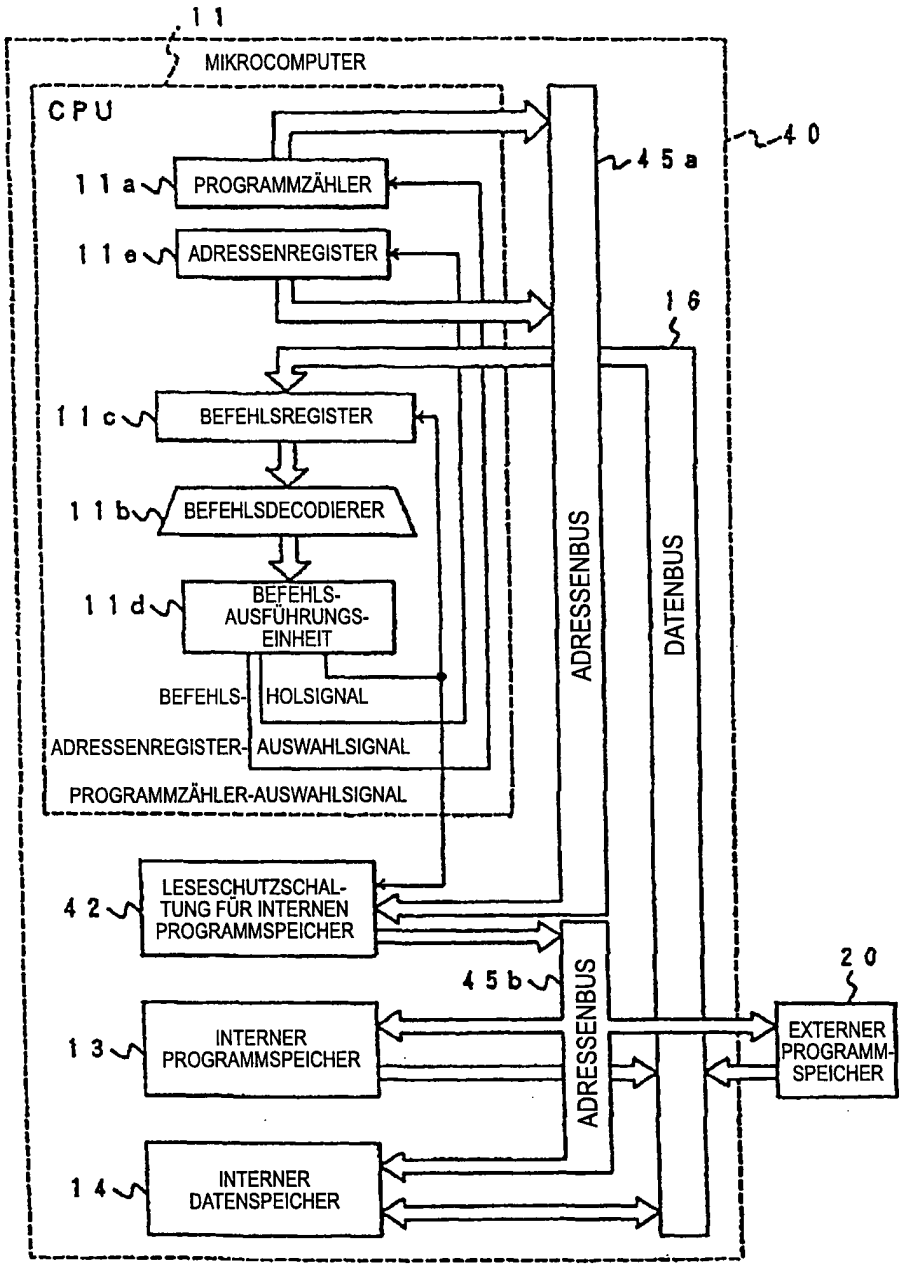
11
MIKROCOMPUTER
CPU
11a
PROGRAMMZÄHLER
11e
ADRESSENREGISTER
11c
BEFEHLSREGISTER
11b
BEFEHLSDECODIERER
11d
BEFEHLS-
AUSFÜHRUNGS-
EINHEIT
BEFEHLS-
HOLSIGNAL
ADRESSENREGISTER-
AUSWAHLSIGNAL
PROGRAMMZÄHLER-AUSWAHLSIGNAL
45a
40
16
ADRESSENBUS
DATENBUS
42
LESESCHUTZSCHAL-
TUNG FÜR INTERNEN
PROGRAMMSPEICHER
45b
ADRESSENBUS
20
13
INTERNER
PROGRAMMSPEICHER
EXTERNER
PROGRAMM-
SPEICHER
14
INTERNER
DATENSPEICHER

FIG. 7

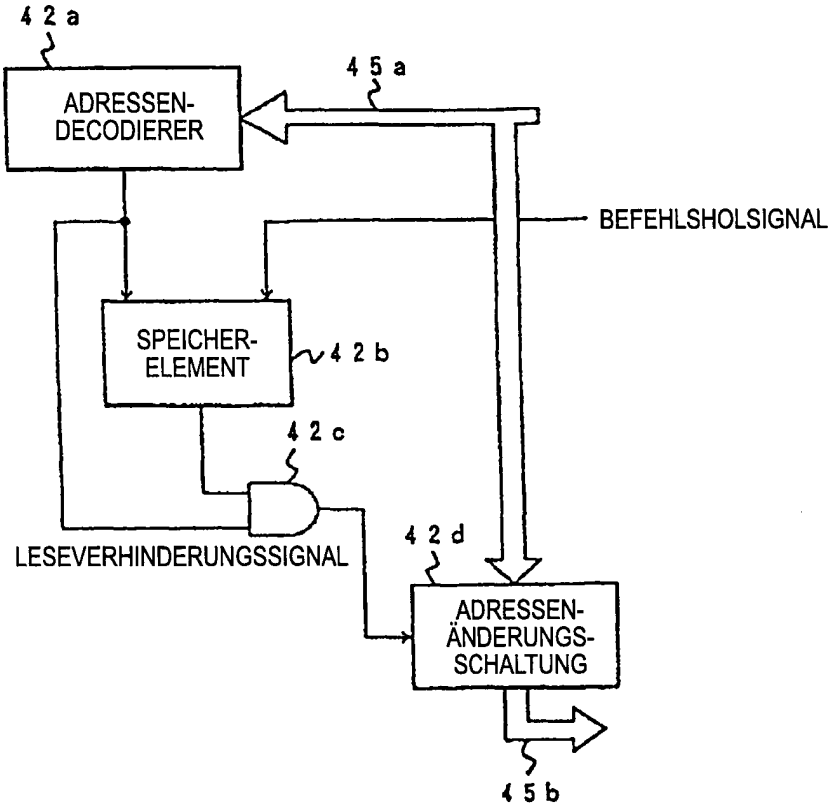
42a
ADRESSEN-
DECODIERER
45a
BEFEHLSHOLSIGNAL
SPEICHER-
ELEMENT
42b
42c
LESEVERHINDERUNGSSIGNAL
42d
ADRESSEN-
ÄNDERUNGS-
SCHALTUNG
45b

FIG. 8