

1

2

3

*

*

1, 2 :

P1, P2 : PMOS

N1 N4 : NMOS

F1, F2 : N

가 (flash)

가 (one shot pulse)

(read)

(Write)

가

1

1 (WL) (BLT) 1 (Nd1)

2 (N1) 가 (WL) (BLTB) 2 (Nd2)

2 (Nd1) (Nd2) (Vcc)

1 (Vcc) 2 PMOS (P1) 1 (Nd1)

(Nd2) 2 PMOS (P2) 2 NMOS

(N3) 1 (Nd1) (Vss) (Nd2)

V_{ss} 2 NMOS (Nd2) (N4) 2 (Vp) 1 (Nd1) (N5) .
 , (N5) (programming) 2 (Nd2)가 ' ' , (Vp) (Nd1) 가 (b)
 1 (Vp) (Nd1)가 ' ' , 1 (Vp) (Nd1) 가 (b)
 , (restore) (Vcc) () ,
 (channel potential) (b) 가 가
 (Vcc) 가 2 (Nd2)가 ' ' (Nd2) 1 (Nd1)가
 , (erase) (Vp) 가 ,
 (Vp) 가 .
 , .
 (read) (BIT, BITB) (Vcc) () ,
 (Vcc) (N1, N2)가 , ' ' ,
 (BIT)(BITB) (Vcc) 가 , (BITB)(BIT)
 0V가 가 .
 (write) , (BIT)(BITB) (Vcc) (BITB)(BIT)가 0
 V 가 , (WL) 0V (Vcc) (BIT)(BITB)
 (Vcc) .
 (SRAM) 4 6
 (floating) 가 NMOS 가 (N5) 가 , (size)
 가가 , 가(M)
 (process variation) , 5V 9V
 .

2 ' N (flash) , 가

1

1

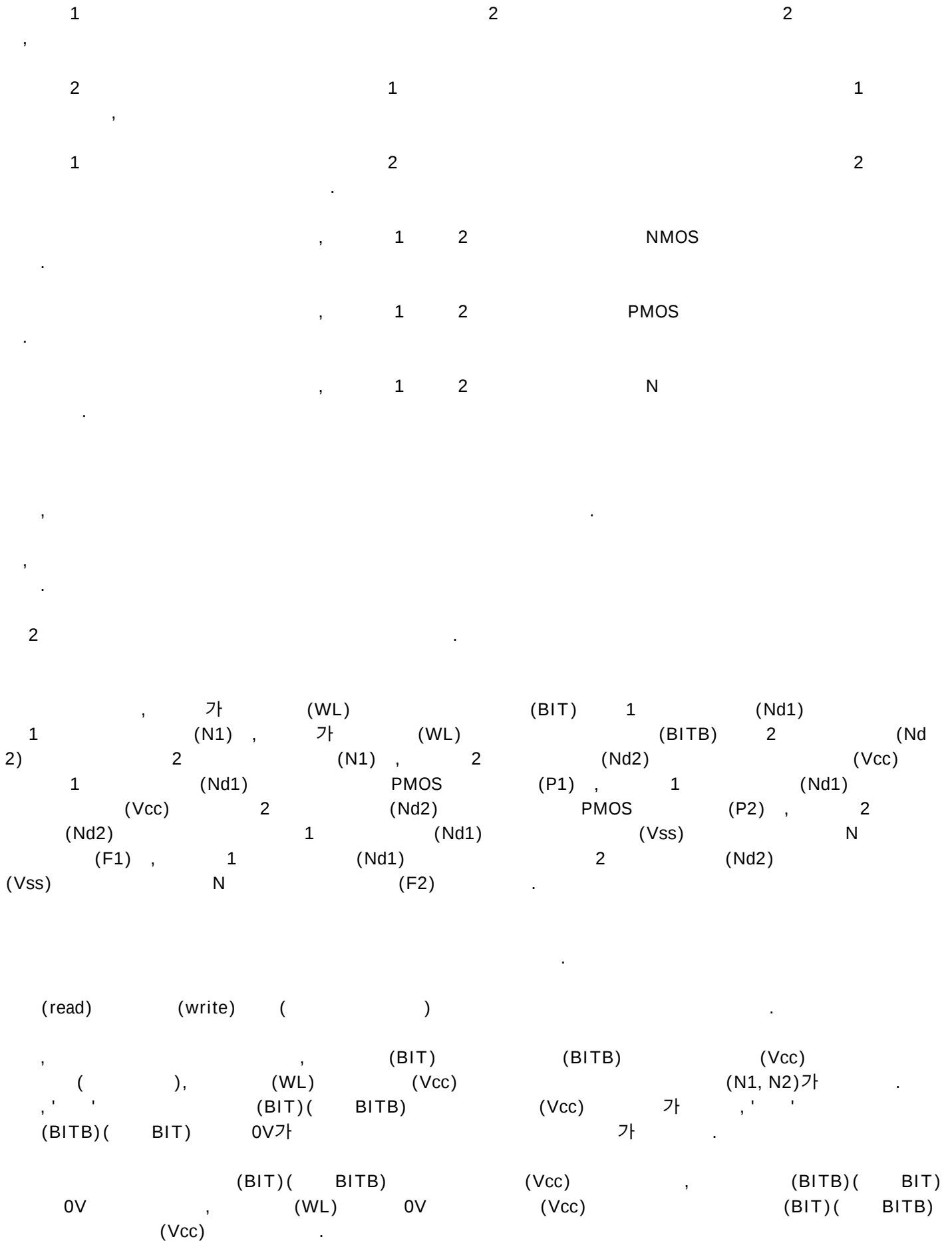
2

2

2

1

1



, () .

(Vcc) 가 (Vp : , ') 가 (, 1.8V
5V), (Vp) (Vcc) (BIT, BITB) 가
(WL) (Vp) 가 , (Vcc) (Vp) 가
, (forward programming) (backward programming)

, (normal read mode)

, (writing)

, 1 (Nd1)가 ' ' , 1 (Nd1) ' '
, (Vcc) (Vp) 가
, ' ' 1 (Nd1) (reading current)가 가 , 2 (Nd2)
, ' ' 가

ctron)가 (Vp) 1 N (F1) (hot ele
, (F1) (Vtn) 가 . 1 (Nd1) 1 N
(F1) (Vtn) 가
, ' '가 1 (Nd1) 1 N
(Vt) 가 , (Vcc) 1 (Nd1) 가 2 N
(Nd1) ' ' (F2)가 2 (Nd2) 가 1

cc) , (Vp) 가 , , (V

가 (Vtn)(,)
0.1V , (2 (Vt) 가
(positive feedback)) ,
가 (Vt) ,
(Vt) 가 ()
가 , (Vt)

, (erase mode)

(floating) (Vss) 가 ,
(Vcc) 0V , N 가
가 , 가 50 , 5V가
10MV/cm , 7MV/cm , 3 (tri

ple well) tunneling) , P 가 5V 가 (electron

3 , 2 PMOS (P1 P2)

가 , 2

가 가 (Multi - Chip package :

)

가 (chip s

ize)

가 가

가 가

(57)

1.

1

1

2

2

2

1

1

1

2

2

2

1

1

1

2

2

2.

1

1 2 NMOS

3.

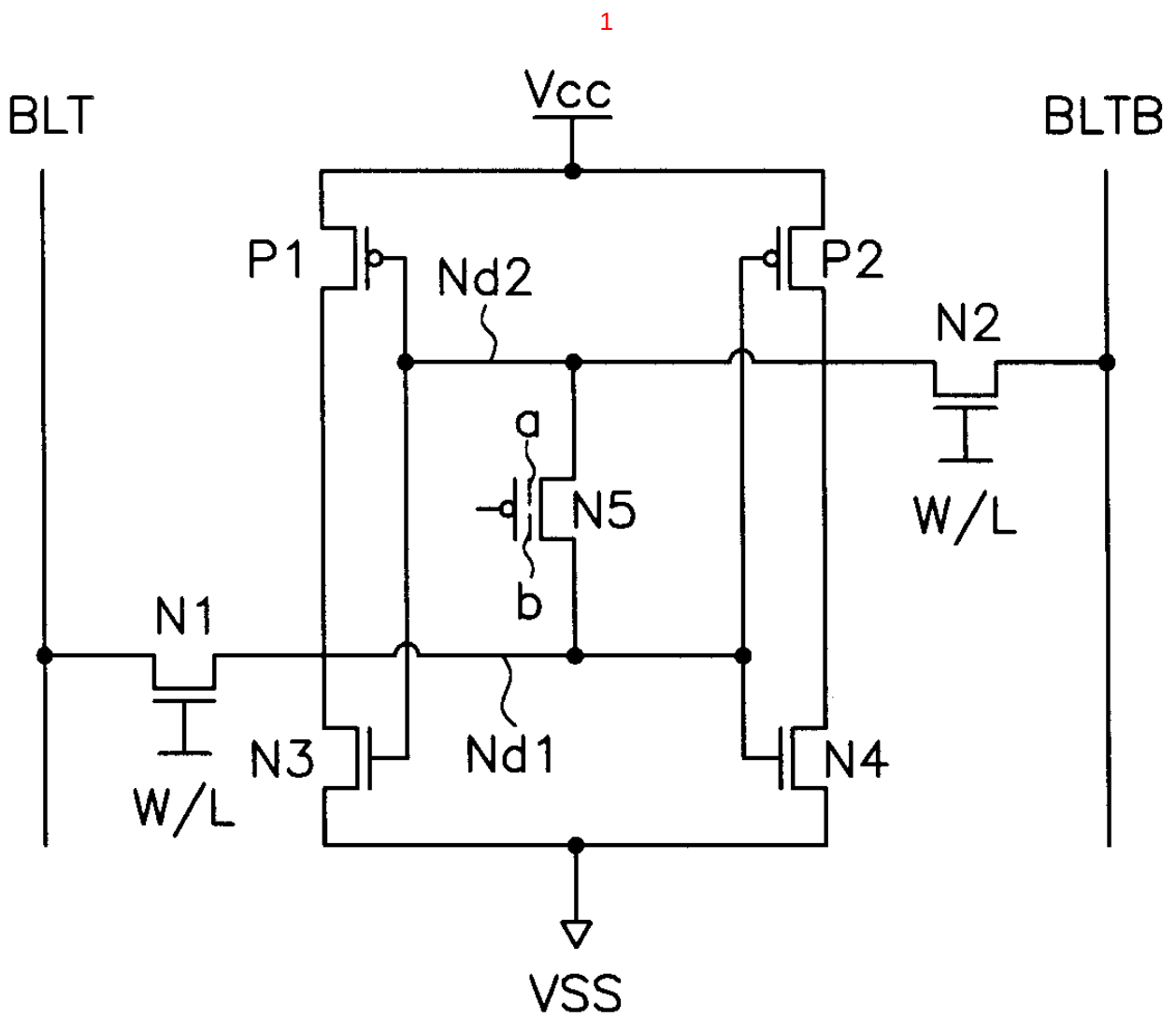
1 ,

1 2 PMOS

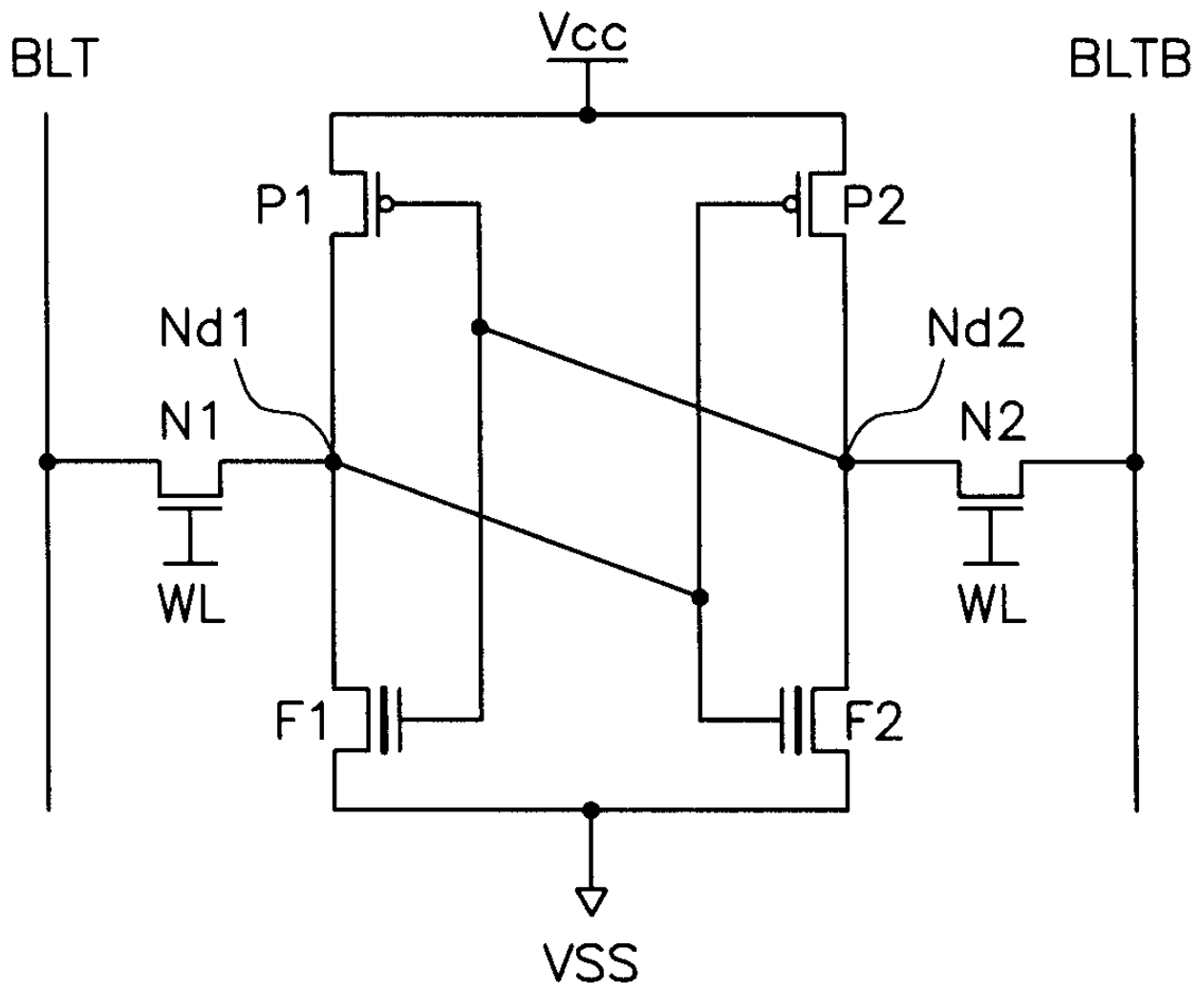
4.

1 ,

1 2 N



2



3

