[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 12/06
G06F 12/08

[12] 发明专利说明书

[21] ZL 专利号 98117987.8

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130638C

[22] 申请日 1998.7.30 [21] 申请号 98117987.8
[30] 优先权
[32] 1997. 7.30 [33] JP [31] 204373/1997
[71] 专利权人 索尼公司
地址 日本东京都
[72] 发明人 近藤哲二郎
审查员 石 岗

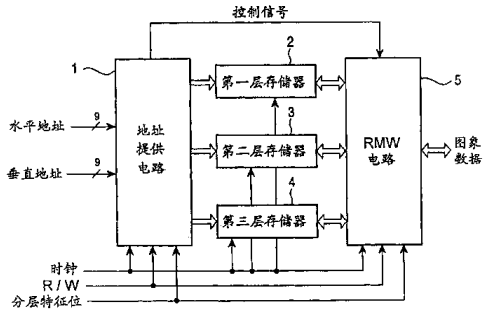
[74] 专利代理机构 北京市柳沈律师事务所
代理人 马 莹

权利要求书 3 页 说明书 44 页 附图 9 页

[54] 发明名称 存储装置和存取方法

[57] 摘要

一种不用行延迟电路的执行分层编码的存储装置和存取方法。 第一、二存储器均被分成存储体 A 和 B。 分别读出储存在第一、二层存储器中存储体 A 内的第一、二层象素，从第二层象素中减去第一层象素以最终确定第一象素，将其写入第二存储器。 分别读出储存在第一、二层存储器中存储体 B 内的第一、二层象素，将第一层象素相加来确定原始的第二层象素，将储存在第二存储器存储体 B 地址中的第一层象素的值重新写回到原始的第二层象素处。



ISSN1008-4274

1. 一种储存图象的存储装置，包括:

一个第一存储区域，其具有对应于输入的图象数据的象素的地址，并且被分成多个块，其中块可以逐块地寻址;

一个第二存储区域，具有比所述第一存储区域小的存储容量，所述第二存储区域被划分成与包括在所述第一存储区域中的块的数量相同数量的块，其中所述第二存储区域的块可以逐块地寻址;

一个寻址模块，用于至少根据第一和第二地址信号同时对所述第一存储区域的块寻址，并且同时根据仅仅所述第一和第二地址信号的一部分来在所述第二存储区域中对每个块寻址; 和

一个读出和写入模块，用于同时从由所述第一和第二地址信号指定的所述第一存储区域的块中的地址读出，并且用于同时向由所述第一和第二地址信号指定的所述第一存储区域中的块中指定的地址写入。

2. 根据权利要求 1 的存储装置，其中所述寻址模块同时对所述第一存储区域的块中相应的地址寻址。

3. 根据权利要求 1 的存储装置，其中读出和写入模块确定写入在对应于所述第二存储区域的一个地址和一个低分辨率象素的、所述第一存储区域中多个地址处的用于多个较高分辨率象素的数据之和，以将所述和值写入到所述第二存储器的地址中作为从所述输入图象数据得到的第一图象数据。

4. 根据权利要求 1 的存储装置，其中所述第一地址信号和第二地址信号分别对应于所述输入的图象数据的一个象素的水平和垂直位置。

5. 根据权利要求 1 的存储装置，其中所述第二存储区域具有与从所述输入图象数据得到的第一图象数据的象素对应的地址。

6. 根据权利要求 1 的存储装置，还包括一个第三存储区域，其中所述第一存储区域存储较高分辨率的象素，所述第二存储区域存储第一低分辨率象素数据，并且所述第三存储区域存储相对于所述第一低分辨率数据分辨率降低的象素的第二低分辨率象素数据，所述第一和第二低分辨率象素数据是从所述输入图象数据得到的。

7. 一种用于存储图象的装置，包括:

一个第一存储器，其具有对应于输入的图象数据的象素的地址，并且具有被划分成多个块的存储区域，其中块可以逐块地寻址；

一个第二存储器，具有对应于从所述输入图象数据得到的第一图象数据的象素的地址，并且具有被划分成与包括在所述第一存储器中的块数相同数量的块的存储区域，其中所述第二存储器的块可以逐块地寻址；

一个寻址模块，用于至少根据分别对应于所述输入图象数据的一个象素的水平和垂直位置的第一和第二地址信号来同时对所述第一存储器的块寻址，并且同时根据所述第一和第二地址信号的至少一部分来在所述第二存储器中对每个块寻址；和

一个读出和写入模块，用于同时从在所述第一存储器中的多个块中的、由所述第一和第二地址信号指定的地址读出，并且用于同时从由所述第一和第二地址信号指定的所述第一存储器中的多个块中的地址写入，

其中所述第一存储器具有与通过从所述输入图象数据的一个显示屏幕的象素数量减去在所述第二存储器中的地址的数量而获得的值对应的存储容量。

8. 根据权利要求 7 的存储装置，其中所述读出和写入模块读出储存在由所述第一和第二地址信号指定的第一存储器中地址处的输入的图象数据，同时读出储存在由所述第一和第二地址信号的部分指定的第二存储器中地址处的所述第一被处理数据。

通过处理所述的输入的图象数据和第一被处理数据计算第二数据，和将所述第二被处理数据写入到储存所述第一被处理数据的第二存储器中的地址处。

9. 根据权利要求 8 的存储装置，其中所述寻址模块由所述第一和第二地址信号产生预定的地址信号，并根据所述预定的地址信号和所述第一及第二地址信号进行寻址；

所述读出和写入模块读出储存在由所述第一和第二地址信号指定的所述第一存储器中预定块地址处的所述输入的图象数据，同时读出储存在由所述第一和第二地址信号的部分指定的第二存储器中块内地址处的第一被处理数据，并对应于所述第一存储器中预定的块，

通过处理所述输入的图象数据和所述第一被处理数据计算第二数据，和

将所述第二被处理数据写入到储存所述第一被处理数据的第二存储器中的地址处，

同时，上述读出和写入模块读出储存在由预定的地址信号指定的所述第一存储器中其他的块处的所述输入图象数据，同时读出由预定的地址信号的部分指定的所述第二存储器中的块处的所述第二被处理数据，并对应于所述第一存储器中其他的块，

通过处理所述输入的图象数据和第二被处理数据计算第一数据，和

将所述第一被处理数据写入到储存所述第二被处理数据的所述第二存储器中的地址处。

10. 一种存取用于储存图象的存储装置的方法，其中存储装置包括一个第一存储区域，具有对应于输入的图象数据的象素的地址且被分成多个块，其中所述块可以逐块寻址，该方法包括:

至少根据第一和第二地址信号而同时在所述第一存储区域中对块寻址;

根据第一和第二地址信号的仅仅一部分来同时在比所述第一存储区域具有更少存储容量的所述存储装置的第二存储区域中的块进行寻址;

同时向在第一存储区域的块中、由所述第一和第二地址信号指定的地址写入;

同时从在第一存储区域的块中、由所述第一和第二地址信号指定的地址读取。

存储装置和存取方法

技术领域

本发明涉及一种存储装置和存取方法，并尤其涉及一种最好被用在分层编码中的存储装置和存取方法，其中分层编码是把一幅图像分成具有不同象素数目的多层。

背景技术

在现有的一种编码方法中，用高分辨率的图象(底层或第一层数据)形成具有较少象素数目的第二层的图象数据，然后用第二层图象数据形成具有较少象素数目的第三层的图象数据，一直重复此过程直到形成顶层的图象数据。这种编码方法称作分层编码，其中每一层的图象数据按照各自的分辨率(象素数目)出现在监视器上。于是用户通过从分层编码的图象数据中选择图象数据来观看图象数据，图象数据与用户个人监视器的分辨率匹配。

某一分辨率的图象数据作为底(第一)层图象数据依次地形成较高层的图象数据。当所有这些数据被存储并传递时，与仅存储或传递底层图象数据时的情况相比，传递较高层的图象数据还需要额外的存储容量和额外的数据传递容量。

本发明的发明人已提出了一种限制存储容量增大的分层编码方法。

例如，现假设把 2×2(行×列)四象素的和作为三层分层编码中的较高层象素(一个象素值)。参见图 9A，现把 8×8 的象素看作底层的一个图象，并计算 h00、h10、h01 和 h11 这 2×2 象素即左顶部的四个象素之和 m0，然后把和 m0 作为第二层的左顶部象素。以相同的方式分别计算 h20、h30、h21 和 h31 等右顶部的四象素之和 m1，h02、h12、h03 和 h13 等左底部四象素之和 m2 以及 h22、h32、h23 和 h33 等右底部四象素之和 m3，并分别把这些值作为第二层的右顶、左底和右底象素。计算第二层中 2×2 象素的 m0、m1、m2 和 m3 四象素之和 q0，和值作为顶层中一个图象的象素。

如果象素 h00 至 h33，m0 至 m3 和 q0 均要被存储，则需要额外的存储容量来存储第二层中的象素 m0 至 m3 及第三层中的象素 q0。

参见图 9B，例如第三层中的象素 q0 代替第二层象素 m0 至 m3 的右底部象素 m3。由此，第二层由象素 m0 至 m2 和 q0 组成。

参见图 9C，例如第二层中的象素 m0 代替第一层象素 h00、h10、h01 和 h11（所有这些象素用于判定第二层中的象素 m0）中的左底部象素 h11。类似地，第二层中剩余的象素 m1、m2 和 q0 替换第一层中的象素 h31、h13 和 h33。虽然 q0 不是直接从象素 h22、h32、h23 和 h33 中导出，但象素 q0 替换直接由这些象素导出的象素 m3，并且象素 q0 由此被置于象素 m3 代替象素 h33 的位置。

在这种方式中，参见图 9C，总象素数为 4×4 象素的 16 个，其保留的与图 9A 所示底层中的象素数目相同。因此避免了存储容量的增加。

分别对由象素 q0 替换的象素 m3 和 h33，以及由象素 m0 至 m2 分别替换的象素 h11、h31 和 h13 按如下解码。

因为 q0 是 m0 至 m3 之和，所以保持等式 q0 = m0 + m1 + m2 + m3。象素 m3 由等式 m3 = q0 − (m0 + m1 + m2)确定。

m0 是 h00、h10、h01 和 h11 之和，等式 m0 = h00 + h10 + h01 + h11 成立。因此 h11 由等式 h11 = m0 − (h00 + h10 + h01)确定。h31、h13 和 h33 也由同样地方式确定。在确定 m3 后确定 h33。

在上述分层编码中，除了通常的用于存储分层编码结果的存储器(如 SRAM(静态随机存取存储器)或 DRAM(动态 RAM))外通常需要用于第一层象素(象素值)的行延迟的延迟电路。

例如，参见图 9C，如果 h11 没被储存，则需要计算等式 h11 = m0 − (h00 + h10 + h01)以确定第一层中的象素 h11。计算象素 h11 需要第一行上的象素 h00 和 h10 以及第二行上的象素 h01 和 h11。假设图象数据被从顶部到底部逐行读出，则计算 h11 需要等待从 h01 开始的行，即等待用于计算象素 h11 的象素 m0，h00，h10 和 h01，从 h00 开始的行要等待一行的延迟。

除了用于存储分层编码结果的存储器外，通常还需要用于图象数据行延迟的延迟电路，这导致装置的庞大。

发明内容

因此，本发明的一个目的是使得装置紧凑。

根据本发明的一个方面，提供了一种储存图象的存储装置，包括：一

个第一存储区域，其具有对应于输入的图象数据的象素的地址，并且被分成多个块，其中块可以逐块地寻址；一个第二存储区域，具有比所述第一存储区域小的存储容量，所述第二存储区域被划分成与包括在所述第一存储区域中的块的数量相同数量的块，其中所述第二存储区域的块可以逐块地寻址；一个寻址模块，用于至少根据第一和第二地址信号同时对所述第一存储区域的块寻址，并且同时根据仅仅所述第一和第二地址信号的一部分来在所述第二存储区域中对每个块寻址；和一个读出和写入模块，用于同时从由所述第一和第二地址信号指定的所述第一存储区域的块中的地址读出，并且用于同时向由所述第一和第二地址信号指定的所述第一存储区域中的块中指定的地址写入。

根据本发明的另一个方面，提供了一种用于存储图象的装置，包括：一个第一存储器，其具有对应于输入的图象数据的象素的地址，并且具有被划分成多个块的存储区域，其中块可以逐块地寻址；一个第二存储器，具有对应于从所述输入图象数据得到的第一图象数据的象素的地址，并且具有被划分成与包括在所述第一存储器中的块数相同数量的块的存储区域，其中所述第二存储器的块可以逐块地寻址；一个寻址模块，用于至少根据分别对应于所述输入图象数据的一个象素的水平和垂直位置的第一和第二地址信号来同时对所述第一存储器的块寻址，并且同时根据所述第一和第二地址信号的至少一部分来在所述第二存储器中对每个块寻址；和一个读出和写入模块，用于同时从在所述第一存储器中的多个块中的、由所述第一和第二地址信号指定的地址读出，并且用于同时从由所述第一和第二地址信号指定的所述第一存储器中的多个块中的地址写入；其中所述第一存储器具有与通过从所述输入图象数据的一个显示屏幕的象素数量减去在所述第二存储器中的地址的数量而获得的值对应的存储容量。

根据本发明的另一个方面，通过了一种存取用于储存图象的存储装置的方法，其中存储装置包括一个第一存储区域，具有对应于输入的图象数据的象素的地址且被分成多个块，其中所述块可以逐块寻址，该方法包括步骤：至少根据第一和第二地址信号而同时在所述第一存储区域中对块寻址；根据第一和第二地址信号的仅仅一部分来同时在比所述第一存储区域具有更少存储容量的所述存储装置的第二存储区域中的块进行寻址；同时向在第一存储区域的块中、由所述第一和第二地址信号指定的地址写入；

同时从在第一存储区域的块中、由所述第一和第二地址信号指定的地址读取。

附图说明

图 1 表示本发明存储装置实施例结构的框图;

图 2 表示对于第一层图象的显示屏的构成;

图 3 是图 1 所示存储装置的第一功能框图;

图 4 是图 1 所示存储装置的第二功能框图;

图 5 是图 1 所示存储装置的第三功能框图;

图 6 是图 1 所示存储装置的第四功能框图;

图 7 表示被分为存储体 A 和存储体 B 的图 6 所示的第一层存储器 2;

图 8 是图 1 所示存储装置的第五功能框图; 和

图 9A－9C 表示分层编码过程。

具体实施方式

现参考附图对本发明的实施例进行讨论。

图 1 是执行本发明存储装置的实施例结构图。

例如，存储装置由一个 CMOS 芯片(互补型金属氧化物半导体)构成，该芯片执行分层编码以从输入的一幅图象衍生出具有不同象素数目的三层图象。

具体地说，地址提供电路 1 具备水平地址和垂直地址，即相应于输入到存储装置中的图象的每个象素的水平和垂直位置的地址。

如图 2 所示，在本发明的此实施例中，地址提供电路 1 接收一个显示屏上的图象(数字图象数据)，该显示屏由水平方向上的 512 个象素和垂直方向上的 512 个象素构成。水平地址和垂直地址每一个均被表示为 9 位 ($\log_2 512$)。

地址提供电路 1 根据需要处理水平地址和垂直地址并将它们送入第一层存储器 2、第二层存储器 3 和第三层存储器 4。除水平和垂直地址外还配置给地址提供电路 1 一个时钟(在以下将要描述的图 3－6 和图 8 中未示出)、一个 R/W(读/写)信号和一个分层特征位。地址提供电路 1 与时钟同步地提供给第一层存储器 2、第二层存储器 3 和第三层存储器 4 一个地址。响应

R/W 信号和分层特征位，地址提供电路 1 处理水平地址和垂直地址。另外，地址提供电路 1 根据需要向 RMW 电路 5 提供一个预定的控制信号。

当储存在存储装置中的图象被读出时，从存储装置中读出图象数据并向

存储装置中写入图象数据的R/W信号指令以及分层信号指令将被读出，并例如是二位特征位，其中分层信号指令的第一层图象、第二层图象和第三层图象将在后面讨论。因为第一层存储器2、第二存储器3和第三存储器4写入图象数据是同时进行，所以当 R/W 信号指示写入时分层特征位被忽略(无效)。因为从第一层存储器2、第二层存储器3和第三层存储器4的读出是单独进行，所以在只读期间分层特征位有效。但是，也可能从第一层存储器2、第二存储器3和第三存储器4中同时读出。在这种情况下不需要使用分层特征位。

第一层存储器2将由RMW电路5馈送的图象数据储存到由地址提供电路1指定的地址处，并读出储存在该地址处的图象数据且将其输出给 RMW 电路5。第一层存储器2被设计成储存第一层图象，即输入到存储装置中的图象数据。第一层存储器 2 被设计成至少储存一个显示屏中的第一层图象，即如图2所示的512 × 512象素的图象数据。构成第一层存储器2的每个存储单元至少具有一个等于分派给第一层图象象素的位数的数据长度。具体地说，例如当第一层图象的一个象素被表示成八位时，构成第一层存储器2的存储单元至少有一个八位的数据长度。

第二层存储器3将由RMW电路5馈送的图象数据储存到由地址提供电路1指定的地址处，并读出存储在该地址处的图象数据以及将其输出给RMW电路5。第二层存储器3被设计成储存第二层图象。具体地说，与参考图9所描述的方式一样，从第一层图象的2 × 2(行 × 列)四象素衍生出第二层中的一个象素，第二层存储器3被设计成储存由该象素构成的第二层图象。另外，第二层存储器3至少具有能够储存一个显示屏的第二层图象的存储容量。特别是，因为第二层中的一个象素由第一层中的2 × 2象素衍生而来，所以一个显示屏的第二层由256 × 256(= 512/2 × 512/2)象素组成。因此第二层存储器2被设计成至少储存具有如此象素数目的第二层图象。另外，构成第二层存储器3的每个存储单元至少具有能够储存第二层图象的一个象素而无数字丢失的数据长度。特别是，因为在本实施例的第一层中的象素被表示为八位，所以作为四个八位象素之和的第二层中象素被表示成十(= $\log_2(2^8 + 2^8 + 2^8 + 2^8)$)位。构成第二层存储器3的每个存储单元至少有十位的数据长度。

第三层存储器4将由RMW电路5馈送的图象数据储存到由地址提供电路1指定的地址处，并读出储存在该地址处的图象数据且将其输出给 RMW

电路 5。第三层存储器 4 被设计成储存第三层图象。具体地说，与参考图 9 所描述的方式一样，从第二层图象的 2 × 2 四象素即第一层 4 × 4 象素衍生出第三层中的一个象素，第三层存储器 4 被设计成储存由该象素构成的第三层图象。另外，第三层存储器 4 至少具有能够储存一个显示屏的第三层图象的存储容量。特别是，因为第三层中的一个象素由第二层中的 2 × 2 象素衍生而来，所以一个显示屏的第二层由 128 × 128(= 256/2 × 256/2)象素组成。因此第三层存储器 4 被设计成至少储存具有如此象素数目的第三层图象。另外，构成第三层存储器 4 的每个存储单元至少具有能够储存第三层图象的一个象素而无数字丢失的数据长度。特别是，因为在本实施例的第二层中的象素被表示为十位，所以作为四个十位象素之和的第三层中象素被表示成十二($= \log_2(2^{10} + 2^{10} + 2^{10} + 2^{10})$)位。构成第三层存储器 4 的每个存储单元至少有十二位的数据长度。

第一层存储器 2、第二层存储器 3 和第三层存储器 4 被设置有一个时钟，数据读出和数据写入与时钟同步进行。

RMW 电路 5 被设计成将输入到存储装置中的图象数据写入到第一层存储器 2 作为第一层图象。RMW 电路 5 还从第一层图象计算出第二层图象并将其写入到第二层存储器 3 中。另外，RMW 电路 5 从第一层图象(或者第二层图象)计算第三层图象，并将其写入到第三层存储器 4 中。RMW 电路 5 读出分别储存在第一层存储器 2、第二存储器 3 和第三层存储器 4 中的图象数据并输出读出的图象数据。RMW 电路 5 配置有时钟、R/W 信号、分层特征位和由地址提供电路 1 输出的控制信号，并与时钟同步地执行响应于 R/W 信号、分层信号和控制信号的各种处理。

现在参见图 3 至 5，讨论存储装置的操作。

如图 2 所示，由每个象素被表示成八位的 512 × 512 个象素构成的一个显示屏的图象数据被馈送到存储装置中作为第一层图象。在此，假设图象数据被顺序地扫描供给。

至于第一层图象的象素，令 h(0，0)代表左顶象素，h(x，y)代表从左起的第(x + 1)及从顶起的第(y + 1)行处的象素。因为第一层图象由 512 × 512 的象素构成，所以 x 和 y 均取 0 至 511($= 2^9 - 1$)范围内一整数。

现在考虑均取 0 至 255($= 2^9/2 - 1$)范围内一整数的变量 s 和 t，第二层中的一个象素是第一层中相邻的 2 × 2 象素之和。

h(2s， 2t)， h(2s + 1， 2t)，

h(2s， 2t + 1)， h(2s + 1， 2t + 1)，

该和值在此由 m(s， t)表示，下列方程成立，

m(s， t) = h(2s， 2t) + h(2s + 1， 2t) + h(2s， 2t + 1) + h(2s + 1， 2t + 1) …(1)

现在考虑变量 m 和 n 均取 0 至 127(= 2g/4 - 1)范围内一整数，第三层中的一个象素是第二层中相邻的 2 × 2 个象素之和，

m(2m， 2n)， m(2m + 1， 2n)，

m(2m， 2n + 1)， m(2m + 1， 2n + 1)，

即，是第一层相邻的 4 × 4 象素之和，

h(4m， 4n)， h(4m + 1， 4n)， h(4m + 2， 4n)， h(4m + 3， 4n)，

h(4m， 4n + 1)， h(4m + 1， 4n + 1)， h(4m + 2， 4n + 1)， h(4m + 3， 4n + 1)，

h(4m， 4n + 2)， h(4m + 1， 4n + 2)， h(4m + 2， 4n + 2)， h(4m + 3， 4n + 2)，

h(4m， 4n + 3)， h(4m + 1， 4n + 3)， h(4m + 2， 4n + 3)， h(4m + 3， 4n + 3)，

并且和值由 q(m， n)表示。下列等式成立。

q(m， n) = m(2m， 2n) + m(2m + 1， 2n) + m(2m， 2n + 1) + m(2m + 1， 2n + 1)

= h(4m， 4n) + h(4m + 1， 4n) + h(4m + 2， 4n) + h(4m + 3， 4n)

+ h(4m， 4n + 1) + h(4m + 1， 4n + 1) + h(4m + 2， 4n + 1) + h(4m + 3， 4n + 1)

+ h(4m， 4n + 2) + h(4m + 1， 4n + 2) + h(4m + 2， 4n + 2) + h(4m + 3， 4n + 2)

+ h(4m， 4n + 3) + h(4m + 1， 4n + 3) + h(4m + 2， 4n + 3) + h(4m + 3， 4n + 3)

…(2)

在数据写入和数据读出期间，地址提供电路 1 被与时钟同步地提供水平地址 HA 和垂直地址 VA(HA， VA)，例如以下述顺序(对应于连续扫描顺

序),

(0， 0), (1， 0), …, (511， 0),

(0， 1), (1， 1), …, (511， 1),

.

.

.

(0， 511), (1， 511), …, (511， 511)。

现在令 ha1， ha2 …， ha8(ha8 是为最大有效位)表示九位水平地址 HA 的位， ha0 表示最小有效位，并令 va1， va2 …， va8(va8 是为最大有效位)表示九位垂直地址 VA 的位， va0 表示最小有效位。

当图象数据被写入到存储装置时， RMW 电路 5 被与时钟同步的顺序依次提供第一层图象、同时地址提供电路 1 被提供如上所述的水平地址 HA 和垂直地址 VA 。

对第一层存储器 2 的存取按如下进行。

参见图 3，在写入操作期间(当 R/W 信号指示写入操作时)，地址提供电路 1 将供给到那儿的水平地址 HA 和垂直地址 VA 馈送给第一层存储器 2 的地址端(ADh， ADv)。 RMW 电路 5 将供给到那儿的第一层图象数据写入到由水平地址 HA 和垂直地址 VA 指定的第一层存储器 2 中的一个存储单元(未示出)。重复相同的处理步骤以在第一层存储器 2 中储存由 512 × 512 象素构成的一个显示屏的第一层图象数据。以这种方式，在第一层存储器 2 中的地址处

(0， 0), (1， 0), …, (511， 0),

(0， 1), (1， 1), …, (511， 1),

.

.

.

(0， 511), (1， 511), …, (511， 511),

第一层象素(象素值)

h(0， 0), h(1， 0), …, h(511， 0),

h(0， 1), h(1， 1), …, h(511， 1),

.

.

.

h(0， 511)， h(1， 511)， …， h(511， 511)

分别被储存。

在读出操作期间(当 R/W 信号指示读出操作时)，当分层特征位指示第一层时，地址提供电路 1 将供给到那儿的水平地址 HA 和垂直地址 VA 馈送给第一层存储器 2 的地址端。RMW 电路 5 读出储存在由水平地址 HA 和垂直地址 VA 标定的第一层存储器 2 中存储单元内的第一层图象数据，并重复相同的处理步骤以从第一层存储器 2 中读出由 512 × 512 象素构成的一个显示屏的第一层存储器。以这种方式输出被连续扫描的第一层图象。

现在讨论对第二层存储器 3 的存取。

如图 4 所示，在写入操作期间，地址提供电路 1 例如将高阶八位 ha1 至 ha8 而无最小有效位 ha0 馈送给第二层存储器 3 的地址端作为提供给那儿的水平地址 HA 的一部分，并将高阶八位 va1 至 va8 而无最小有效位 va0 馈送给第二层存储器 3 的地址端作为提供给那儿的垂直地址 VA 的一部分。另外，地址提供电路 1 将水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 输出给 RMW 电路 5 作为控制信号。

当由图 2 中所示的 D1 表示的第一层中 2 × 2 四象素 h(2s， 2t)、h(2s + 1， 2t)、h(2s， 2t + 1)和 h(2s + 1， 2t + 1)的每一个被送入 RMW 电路 5 时，地址提供电路 1 输出一个指示第二层存储器 3 中相同地址(s， t)的信号。

另一方面，在 RMW 电路 5 中，供给到那儿的第一层图象数据被输入一个算术单元 13 。算术单元 13 接收开关 12 的输出以及第一层图象数据，并将其相加再将该和值馈送到写入部分 14 。

开关 12 根据 NOR 门 15 的输出在其终端 12a 和 12b 之间选择。终端 12a 和 12b 分别被供以读出部分 11 的输出和 0 。NOR 门 15 接收来自地址提供电路 1 的水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 。只有当最小有效位 ha0 和 va0 均为 0，即当第一层中 2 × 2 四象素 h(2s， 2t)、h(2s + 1， 2t)、h(2s， 2t + 1)和 h(2s + 1， 2t + 1)的左顶象素 h(2s， 2t)被提供给算术单元 13 时，其输出才处于 H 电平，而其余的时间处于 L 电平。

开关 12 被设计成根据 NOR 门 15 的输出是否处于 L 电平或 H 电平而在

其 12a 端和 12b 端之间选择.

读出部分 11 读出储存在相应于地址提供电路 1 输出信号的地址处的数据(存储数据)。

当第一层中 2 × 2 四象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)的左顶象素 h(2s， 2t)被提供给算术单元 13 时，读出部分 11 读出储存在第二层存储器 3 内地址(s， t)处的数据并将其输出到终端 12a。因为水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 均为 0，所以 NOR 门 15 的输出被驱动至 H 电平，致使开关 12 选择其 12b 端。

其结果是，经开关 12 将 0 馈送给算术单元 13。

算术单元 13 将 0 和第一层中的象素 h(2s， 2t)相加并将所得的和值(0 + h(2s， 2t))馈送给写入部分 14。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出的地址处，即第二层存储器 3 中的地址(s， t)处。

当第一层中 2 × 2 四象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)的左顶象素 h(2s， 2t)的右侧象素 h(2s + 1， 2t)被馈送给算术单元 13 时，读出部分 11 读出储存在第二层存储器 3 内地址(s， t)处的数据(此处为 0 + h(2s， 2t))并将其输出到终端 12a。

因为水平地址 HA 的最小有效位 ha0 为 1 而垂直地址 VA 的最小有效位 va0 均为 0，所以 NOR 门 15 的输出被驱动至 L 电平，致使开关 12 选择其终端 12a。

其结果是，算术单元 13 接收到由读出部分 11(此处为 0 + h(2s， 2t))经开关 12 读出的数据(存储数据)。

算术单元 13 将经开关 12 提供到那儿的数据与第一层中的象素 h(2s + 1， 2t)相加并将所得的和值(0 + h(2s， 2t) + h(2s + 1， 2t))馈送给写入部分 14。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出的地址处，即第二层存储器 3 中的地址(s， t)处。

关于 2t + 1 行的图象数据的提供从顶部开始。当第一层中 2 × 2 象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)的左底象素 h(2s， 2t + 1)被馈送给算术单元 13 时，读出部分 11 读出储存在第二层存储器 3 内地址(s， t)处的数据(此处为 0 + h(2s， 2t) + h(2s + 1， 2t))并

将其输出到终端 12a。

因为水平地址 HA 的最小有效位 ha0 为 0 和垂直地址 VA 的最小有效位 va0 为 1，所以 NOR 门 15 的输出被驱动至 L 电平，致使开关 12 选择其终端 12a。

其结果是，算术单元 13 接收到由读出部分 11(此处为 0 + h(2s, 2t) + h(2s + 1，2t))经开关 12 读出的数据(存储数据)。

算术单元 13 将经开关 12 提供到那儿的数据与第一层中的象素 h(2s, 2t + 1)相加并将所得的和值(0 + h(2s，2t) + h(2s + 1，2t) + h(2s，2t + 1))馈送给写入部分 14。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出信号的地址处，即第二层存储器 3 中的地址(s，t)处。

当第一层中 2 × 2 象素 h(2s，2t)、h(2s + 1，2t)、h(2s，2t + 1)和 h(2s + 1，2t + 1)的左底象素 h(2s，2t + 1)的右侧象素 h(2s + 1，2t + 1)被馈送给算术单元 13 时，读出部分 11 读出储存在第二层存储器 3 内地址(s，t)处的数据(此处为 0 + h(2s，2t) + h(2s + 1，2t) + h(2s，2t + 1))，并将其输出到终端 12a。

因为水平地址 HA 的最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 均为 1，所以 NOR 门 15 的输出被驱动至 L 电平，致使开关 12 选择其终端 12a。

其结果是，算术单元 13 接收到经开关 12 由读出部分 11(此处为 0 + h(2s，2t) + h(2s + 1，2t) + h(2s，2t + 1))读出的数据(存储数据)。

算术单元 13 将经开关 12 提供到那儿的数据与第一层中的象素 h(2s + 1，2t + 1)相加并将所得的和值(0 + h(2s，2t) + h(2s + 1，2t) + h(2s，2t + 1) + h(2s + 1，2t + 1))馈送给写入部分 14。写入部分 14 将算术单元 13 的输出写入到相应于地址提供电路 1 的输出信号的地址处，即第二层存储器 3 中的地址(s，t)处。

第二层存储器 3 最终储存由方程 h(2s，2t) + h(2s + 1，2t) + h(2s，2t + 1) + (2s + 1，2t + 1)表示的和，即由方程(1)表示的第二层象素(象素值)m(s，t)。

同样，第二层存储器 3 以此方式储存由 256 × 256 象素的一个显示屏构成的第二层图象。

如上所述，第一层图象数据被写入到由水平地址 HA 和垂直地址 VA 指

定的第一层存储器 2 中的地址(HA， VA)处。储存的存储数据被从由水平地址 HA 和垂直地址 VA 的部分 ha1 至 ha8 和 va1 至 va8 指定的第二层存储器中的地址处读出。第一层中的存储数据和图象数据被相加，并且和值(第一被处理数据)被写入到储存存储数据的第一层存储器 2 中的地址处。第一层中的图象数据按此布局被储存同时产生第二层中的图象数据并将其储存。总而言之，在实时基础上获得第二层图象数据。

因为储存第二层图象的第二层存储器 3 执行常规行延迟电路的功能，所以不需要这样的电路，并且在存储装置中实现了紧凑设计。

现在讨论从第二层存储器 3 中对第二层图象的读出。

在读出操作期间，当分层特征位指示第二层时，地址提供电路 1 将提供到那儿的水平地址 HA 的高阶八位 ha1 至 ha8 或垂直地址 VA 的高阶八位 va1 至 va8 馈送给第二层存储器 2 的地址端，同时将最小有效位 ha0 和最小有效位 va0 输出给 RMW 电路 5 作为控制信号。

在 RMW 电路 5 中，读出部分 11 接收分层特征位、R/W 信号和 NOR 门 15 的输出。在 R/W 信号指示读出操作且分层特征位指示第二层时，只有当 NOR 门 15 的输出为 H 电平时，读出部分 11 读出并输出储存在相应于地址提供电路 1 输出信号的第二层中地址处的图象数据。

根据上述讨论，当水平地址 HA 和垂直地址 VA 的结合是(2s， 2t)，(2s + 1， 2t)， h(2s， 2t + 1)和(2s + 1， 2t + 1)其中之一时，地址提供电路 1 向第二层存储器 3 输出相同的地址。如果单从相应于地址提供电路 1 输出信号的第二层存储器 3 中地址处读出数据，则重复四次读出相同的数据。

为此，只有当水平地址 HA 和垂直地址 VA 的结合是出自(2s， 2t)，(2s + 1， 2t)， h(2s， 2t + 1)和(2s + 1， 2t + 1)的(2s， 2t)时，即当 NOR 门 15 的输出为 H 电平时，读出部分 11 被设计成从第二层存储器 3 中地址(s，t)处读出第二层内的象素(象素值)m(s， t)。

由读出部分 11 读出的第二层中的图象数据被馈送给开关 16，开关 16 只有在 R/W 信号指示读出操作时打开，而其余时间关闭。因为此时开关 16 被打开，所以由读出部分 11 读出的第二层中的图象数据经开关 16 输出。

以这种方式从第二层存储器 3 中读出所储存的由 256 × 256 象素构成的一幅显示屏的第二层图象。然后输出被顺序扫描的第二层图象。

现在讨论对第三层图象存储器 4 的存取。

如图5所示，在写入操作期间，地址提供电路1将高阶七位ha2至ha8而无低阶位ha0至ha1馈送给第三层存储器4的地址端作为提供给那儿的水平地址HA的一部分，并将高阶七位va2至va8而无低阶位va0至va1馈送给第三层存储器4的地址端作为提供给那儿的垂直地址VA的一部分。另外，地址提供电路1将水平地址HA的低阶位ha0和ha1以及垂直地址VA的低阶位va0和va1输出给RMW电路5作为控制信号。

当由图2中所示的D2表示的第一层中4×4的十六象素h(4m，4n)、h(4m+1，4n)、h(4m+2，4n)、h(4m+3，4n)、h(4m，4n+1)、h(4m+1，4n+1)、h(4m+2，4n+1)、h(4m+3，4n+1)、h(4m，4n+2)、h(4m+1，4n+2)、h(4m+2，4n+2)、h(4m+3，4n+2)、h(4m，4n+3)、h(4m+1，4n+3)、h(4m+2，4n+3)和h(4m+3，4n+3)的每一个被送入RMW电路5时，地址提供电路1输出一个指示第三层存储器4中相同地址(s，t)的信号。

另一方面，在RMW电路5中，供给到那儿的第一层图象数据被输入给一个算术单元23。算术单元23接收开关22的输出以及第一层图象数据，并将其相加再将该和值馈送到写入部分24。

开关22根据NOR门25的输出在其终端22a和22b之间选择。终端22a和22b分别被供以读出部分21的输出和0。NOR门25接收来自地址提供电路1的水平地址HA的低阶位ha0和ha1以及垂直地址VA的低阶位va0和va1。只有当低阶ha0和ha1以及va0和va1均为0，即当第一层中4×4象素h(4m，4n)、h(4m+1，4n)、h(4m+2，4n)、h(4m+3，4n)、h(4m，4n+1)、h(4m+1，4n+1)、h(4m+2，4n+1)、h(4m+3，4n+1)、h(4m，4n+2)、h(4m+1，4n+2)、h(4m+2，4n+2)、h(4m+3，4n+2)、h(4m，4n+3)、h(4m+1，4n+3)、h(4m+2，4n+3)和h(4m+3，4n+3)的左顶象素h(4m，2n)被提供给算术单元23时，其输出才处于H电平，而其余的时间处于L电平。

开关22被设计成根据NOR门25的输出是否处于L电平或H电平而在其终端22a和22b之间选择。

读出部分21读出储存在相应于地址提供电路1输出信号的地址处的数据(存储数据)。

当第一层中象素h(4m，4n)被提供给算术单元23时，读出部分21读出

储存在第三层存储器 4 内地址(m， n)处的数据并将其输出到终端 22a。因为水平地址 HA 的低阶位 ha0 和 ha1 以及垂直地址 VA 的低阶位 va0 和 va1 均为 0，所以 NOR 门 25 的输出被驱动至 H 电平，致使开关 22 选择其终端 22b。

其结果是，经开关 22 将 0 馈送给算术单元 23。

算术单元 23 将 0 和第一层中的象素 h(4m， 4n)相加并将所得的和值(0 + h(4m， 4n))馈送给写入部分 24。写入部分 24 将算术单元 23 的输出写入到相应于地址提供电路 1 的输出信号的地址处，即第三层存储器 4 中的地址(m， n)处。

当第一层中象素 h(4m， 4n)的右侧象素 h(4m + 1， 4n)被馈送给算术单元 23 时，读出部分 21 读出储存在第三层存储器 4 内地址(m， n)处的数据(此处为 0 + h(4m， 4n))并将其输出到终端 22a。

因为水平地址 HA 的低阶位 ha0 和 ha1 分别为 1 和 0 以及垂直地址 VA 的低阶位 va0 和 va1 分别为 0，所以 NOR 门 25 的输出被驱动至 L 电平，致使开关 22 选择其终端 22a。

其结果是，算术单元 23 经开关 22 接收到由读出部分 21(此处为 0 + h(4m， 4n))读出的数据(存储数据)。

算术单元 23 将经开关 22 提供到那儿的数据与第一层中的象素 h(4m + 1， 4n)相加并将所得的和值(0 + h(4m， 4n) + h(4m + 1， 4n))馈送给写入部分 24。写入部分 24 将算术单元 23 的输出写入到相应于地址提供电路 1 的输出信号的地址处，即第三层存储器 4 中的地址(m， n)处。

当第一层中象素 h(4m + 1， 4n)的右侧象素 h(4m + 2， 4n)被馈送给算术单元 23 时，读出部分 21 读出储存在第三层存储器 4 内地址(m， n)处的数据(此处为 0 + h(4m， 4n) + h(4m + 1， 4n))并将其输出到终端 22a。

因为水平地址 HA 的低阶位 ha0 和 ha1 分别为 0 和 1 以及垂直地址 VA 的低阶位 va0 和 va1 分别为 0，所以 NOR 门 25 的输出被驱动至 L 电平，致使开关 22 选择其终端 22a。

其结果是，算术单元 23 经开关 22 接收到由读出部分 21(此处为 0 + h(4m， 4n) + h(4m + 1， 4n))读出的数据(存储数据)。

算术单元 23 将经开关 22 提供到那儿的数据与第一层中的象素 h(4m + 2， 4n)相加并将所得的和值(0 + h(4m， 4n) + h(4m + 1， 4n) + h(4m + 24n))馈送给写入部分 24。写入部分 24 将算术单元 23 的输出写入到相应于

地址提供电路 1 的输出信号的地址处，即第三层存储器 4 中的地址(m， n)处。

当第一层中象素 h(4m + 3， 4n)、h(4m， 4n + 1)、h(4m + 1， 4n + 1)、h(4m + 2， 4n + 1)、h(4m + 3， 4n + 1)、h(4m， 4n + 2)、h(4m + 1， 4n + 2)、h(4m + 2， 4n + 2)、h(4m + 3， 4n + 2)、h(4m， 4n + 3)、h(4m + 1， 4n + 3)、h(4m + 2， 4n + 3)和 h(4m + 3， 4n + 3)的每一个被馈送给算术单元 23 时，执行如上所述的相同的处理步骤，并在第三层存储器 4 中地址(m， n)处最终储存由方程(2)表示的第三层存储器 4 中的象素(象素值)q(m， n)。

以这种方式，第三层存储器 4 储存由 128 × 128 象素的一个显示屏构成的第三层图象。

在第一层图象数据被储存时产生第二层图象数据和第三层图象数据并同时将其储存。总而言之，在实时基上获得第二层和第三层图象数据。

因为储存第三层图象的第三层存储器 4 执行常规的行延迟电路的功能，所以不需要这样的电路，并且在存储装置中实现了紧凑设计。

现在讨论从第三层存储器 4 中对第三层图象的读出。

在读出操作期间，当分层特征位指示第三层时，地址提供电路 1 将提供到那儿的水平地址 HA 的高阶七位 ha2 至 ha8 或垂直地址 VA 的高阶七位 va2 至 va8 馈送给第二层存储器 3 的地址端，同时将低阶二位 ha0 和 ha1 以及低阶二位 va0 和 va1 输出给 RMW 电路 5 作为控制信号。

在 RMW 电路 5 中，读出部分 21 接收分层特征位、R/W 信号和 NOR 门 25 的输出。在 R/W 信号指示读出操作且分层特征位指示第三层，只有当 NOR 门 25 的输出为 H 电平时，读出部分 21 读出并输出储存在相应于地址提供电路 1 输出信号的第三层中地址处的图象数据。

根据上述讨论，当水平地址 HA 和垂直地址 VA 的结合是 h(4m， 4n)、h(4m + 1， 4n)、h(4m + 2， 4n)、h(4m + 3， 4n)、h(4m， 4n + 1)、h(4m + 1， 4n + 1)、h(4m + 2， 4n + 1)、h(4m + 3， 4n + 1)、h(4m， 4n + 2)、h(4m + 1， 4n + 2)、h(4m + 2， 4n + 2)、h(4m + 3， 4n + 2)、h(4m， 4n + 3)、h(4m + 1， 4n + 3)、h(4m + 2， 4n + 3)和 h(4m + 3， 4n + 3)其中之一时，地址提供电路 1 在每个结合处输出相同的地址(m， n)。如果单从相应于地址提供电路 1 输出信号的第三层存储器 4 中地址

处读出数据，则重复十六次读出相同的数据。

为此，只有当水平地址 HA 和垂直地址 VA 的结合是(4m， 4n)，即当 NOR 门 25 的输出为 H 电平时，读出部分 21 从第三层存储器 4 中地址(m，n)处读出第三层内的象素(象素值)m(m， n)。

由读出部分 21 读出的第三层中的图象数据被馈送给开关 26，开关 26 仅当 R/W 信号指示读出操作时打开，而其余时间关闭。因为此时开关 26 被接通，所以由读出部分 21 读出的第三层中的图象数据经开关 26 输出。

以这种方式，从 R/W 电路 5 中读出由 128 × 128 象素构成的一幅显示屏被储存的第三层图象。然后输出被顺序扫描的第三层图象。

按如上所述的方式进行从第二层存储器 3 中读取第二层中的图象数据。或者图象数据的读取也可通过使地址提供电路 1 提供水平地址 HA 的低阶八位 ha0 至 ha7 和垂直地址 VA 的低阶八位 va0 至 va7 作为第二层存储器 3 中的地址。类似地，从第三层存储器 4 中读取第三层中图象可通过使地址提供电路 1 提供水平地址 HA 的低阶七位 ha0 至 ha6 和垂直地址 VA 的低阶七位 va0 至 va6 作为第三层存储器 4 中的地址。

如参考图 9 的描述，从第一层中的保留象素 h(2s， 2t)， h(2s + 1， 2t)， h(2s， 2t + 1)以及它们的和，即第二层中的象素 m(s， t)确定第一层中 2 × 2 象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)中相邻的一个象素如右底象素 h(2s + 1， 2t + 1)。

具体地说，第一层中的象素 h(2s + 1， 2t + 1)由下列方程确定。

$$h(2s+1,\ 2t+1) = m(s,\ t) - (h(2s,\ 2t) + h(2s+1,\ 2t) + h(2s,\ 2t+1))$$

因为第一层中的象素 h(2s + 1， 2t + 1)由上述方程确定，所以不需要储存该象素。

布置第一层存储器 2 不需要储存第一层中 2 × 2 象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)其中之一象素 h(2s + 1， 2t + 1)的存储单元。

在上述讨论中，第一层存储器 2 至少有一个能够储存 512 × 512 象素的图象数据的存储单元，但是如果不储存第一层中的象素 h(2s + 1， 2t + 1)，则存储单元能够储存 512 × 512 × 3/4 象素的图象数据。在这种情况中，第一层存储器 2 具有相应于通过从第一层图象的一显示屏象素数目减去第二层

存储器 3 中地址的数目(第二层的一个显示屏象素(256 × 256)个数目)所得数目的存储单元(存储容量)。

从第二层中的保留象素 m(2m， 2n)、 m(2m + 1， 2n)、 m(2m， 2n + 1)以及它们的和，即第三层中的象素 q(m， n)确定第二层中 2 × 2 象素 m(2m， 2n)、 m(2m + 1， 2n)、 m(2m， 2n + 1)和 m(2m + 1， 2n + 1)中相邻的一个象素如右底象素 m(2m + 1， 2n + 1)。

具体地说，第二层中的象素 m(2m + 1， 2n + 1)由下列方程确定。

$$m(2m+1,\ 2n+1) = q(m,\ n) - (m(2m,\ 2n) + m(2m+1,\ 2n) + m(2m,\ 2n+1))$$

因为第二层中的象素 m(2m + 1， 2n + 1)由上述方程确定，所以不需要储存该象素。

布置第二层存储器 3 不需要储存第二层中 2 × 2 象素 m(2m， 2n)、m(2m + 1， 2n)、 m(2m， 2n + 1)和 m(2m + 1， 2n + 1)其中之一象素 m(2m + 1， 2n + 1)的存储单元。

在上述讨论中，第二层存储器 3 至少有一个能够储存 256 × 256 象素的图象数据的存储单元，但是如果不储存第一层中的象素 m(2m + 1， 2n + 1)，则存储单元能够储存 256 × 256 × 3/4 象素的图象数据。在这种情况中，第二层存储器 3 具有相应于通过从第二层图象的一显示屏象素数目减去第三层存储器 4 中地址的数目(第三层的一个显示屏象素(128 × 128)个数目)所得数目的存储单元。

即使当第一层存储器 2 和第二层存储器 3 具有如上所述的较少存储容量，也可按照图 3 至图 5 所示将图象数据写入到第一层存储器 2、第二层存储器 3 和第三层存储器 4。但是，在这种情况中，第一层存储器 2 没有储存第一层中象素 h(2s + 1， 2t + 1)的存储单元，即没有相应于地址(2s + 1， 2t + 1)的存储单元。即使地址提供电路 1 将地址(2s + 1， 2t + 1)馈送给第一层存储器 2 而同时 RMW 电路 5 馈送第一层中的象素 h(2s + 1， 2t + 1)，象素 h(2s + 1， 2t + 1)也不能被储存在第一层存储器 2 中。

类似地，第二层存储器 3 没有储存第二层中象素 m(2m + 1， 2n + 1)的存储单元，即没有相应于地址(2m + 1， 2n + 1)的存储单元。即使地址提供电路 1 将地址(2m + 1， 2n + 1)馈送给第二层存储器 3 而同时 RMW 电路 5(写入部分 14(图 4))馈送第二层中的象素 m(2m + 1， 2n + 1)，象素 m(2m

+ 1， 2n + 1)也不能被储存在第二层存储器 3 中。

虽然按照参考图 5 所述的相同方式执行对储存在存储装置中第三层内图象的读出，但是对第一层和第二层的图象读出按下列方式进行。

图 6 表示图 1 中的存储装置当执行对第一层图象的读取操作时其具有存储容量减小的第一层存储器 2。

在这种情况中，地址提供电路 1 由延迟电路 31 和选择器电路 32 至 34 组成。水平地址 HA 和垂直地址 VA 馈送给在低阶第三位 va2 的转换中锁存并输出例如垂直地址 VA 的高阶七位 va2 至 va8 的延迟电路 31。

具体说，延迟电路 31 检测垂直地址 VA 的低阶第三位 va2 由 0 至 1 和从 1 至 0 的转换，并且在转换之前锁存垂直地址 VA 的高阶位 va2 至 va8，然后将它们与其余的垂直地址和水平地址一块输出。由延迟电路 31 输出的水平地址 HA 和垂直地址 VA 是提供给地址提供电路的具有四行延迟($= 2^{3-1}$)的水平地址 HA 和垂直地址 VA。因为延迟电路 31 仅在垂直地址 VA 的低阶第三位 va2 的转换之前锁存垂直地址 VA 的高阶七位 va2 至 va8，所以延迟电路 31 不象传统的行延迟一幅图象那样大。延迟电路 31 可由锁存垂直地址 VA 的高阶七位 va2 至 va8 的七个触发器构成，由此实现了装置的紧凑设计。

按照需要，由延迟电路 31 产生的水平地址 HA 和垂直地址 VA 较前的四行分别在下被引用作为延迟的水平地址 HA 和延迟的垂直地址 VA(预定的地址信号)。

延迟的水平地址 HA 和延迟的垂直地址 VA 被馈送到选择器电路 32。源自于延迟的水平地址 HA 和延迟的垂直地址 VA 的延迟的水平地址 HA 的高阶八位 ha1 至 ha8(最小有效位 ha0 除外)，以及垂直地址 VA 的高阶八位 va1 至 va8（最小有效位 va0 除外），被馈送给选择器电路 33。另外，源自于延迟的水平地址 HA 和延迟的垂直地址 VA 的延迟的水平地址 HA 的高阶七位 ha2 至 ha8（低阶二位 ha0 至 ha1 除外），以及垂直地址 VA 的高阶七位 va2 至 va8，(低阶二位 va0 和 va1 除外)，被馈送给选择器电路 34。

选择器电路 32 接收供给地址提供电路 1 的水平地址 HA 和垂直地址 VA、延迟的水平地址 HA 和延迟的垂直地址 VA、以及作为控制信号的垂直地址的低阶第三位 va2。相应于控制信号 va2，选择器电路 32 选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为一个存储体 A 地址和存储体 B 地址，而水平地址 HA 和垂直地址 VA 作为其他的存储体 A 地址和存储体 B 地址，

分别馈送给第一层存储器 2 的存储体 A 地址端和存储体 B 地址端。

假设选择器电路 32 例如选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 A 地址，而水平地址 HA 和垂直地址 VA 作为存储体 B 地址，然后当控制信号 va2 转换时，选择器电路 32 再选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 B 地址，而水平地址 HA 和垂直地址 VA 作为存储体 A 地址。之后当控制信号 va2 又转换时，选择器电路 32 选取延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 A 地址，而水平地址 HA 和垂直地址 VA 作为存储体 B 地址。在每一次控制信号 va2 转换时，延迟的水平地址 HA 和延迟的垂直地址 VA 在存储体 A 地址和存储体 B 地址之间交换，同时水平地址 HA 和垂直地址 VA 在存储体 B 地址和存储体 A 地址之间交换。

除了延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 外，选择器电路 33 还接收提供给地址提供电路 1 的水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8，以及作为控制信号的垂直地址 VA 的低阶第三位 va2。当选择器电路 32、选择器电路 33 中控制信号 va2 每次变换时，延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 在存储体 A 地址和存储体 B 地址之间交换，同时水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 在存储体 B 地址和存储体 A 地址之间交换。

由选择器电路 33 选取作为存储体 A 地址和存储体 B 地址的位分别被馈送给第二层存储器 3 中的存储体 A 地址端和存储体 B 地址端。

除了延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 外，选择器电路 34 还接收提供给地址提供电路 1 的水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8，以及作为控制信号的垂直地址 VA 的低阶第三位 va2。当选择器电路 33、选择器电路 33 中控制信号 va2 每次变换时延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 在存储体 A 地址和存储体 B 地址之间交换，同时水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 在存储体 B 地址和存储体 A 地址之间交换。

由选择器电路 34 选取作为存储体 A 地址和存储体 B 地址的位分别被馈送给第三层存储器 4 中的存储体 A 地址端和存储体 B 地址端。

第一层存储器2的地址空间如图6所示实施例中被分成存储体A和存储体B两个存储体(块)(对于以下将描述的图8同样成立)。特别是，如图2所示，用于储存8α行至8α + 3行上象素的第一层存储器2之存储区域是存储体A，用于储存8α + 4行至8α + 7行上象素的第一层存储器2之存储区域是存储体B(α = 0， 1…， 63)。

为了能够同时存取存储体A和存储体B，要得到两地址端即存取存储体A的地址端(存储体A地址端)和一个地址端(存储体B地址端)。存储体A和存储体B分别具有两个存储体A数据端和两个存储体B数据端，作为从那儿读出和往那儿写入的输入/输出端。

在第一层存储器2中，数据(存储体A数据)经存储体A端在输入给存储体A地址端的地址处被读出和写入，同时数据(存储体B数据)经存储体B端在输入给存储体B地址端的地址处被读出和写入。

在本实施例中，延迟的水平地址HA和延迟的垂直地址VA分别是引入了四行延迟(四行在第一层图象中)的水平地址HA和垂直地址VA。例如，当选择器电路32选取水平地址HA和垂直地址VA作为存储体A地址并且延迟的水平地址HA和延迟的垂直地址VA作为存储体B地址时，相应于水平地址HA和垂直地址VA的存储体A地址的存储单元被存取，同时相应于四行被较早存取的延迟的水平地址HA和延迟的垂直地址VA的存储体B地址的存储单元也被存取。

现假设，第一层存储器2被分为如图7所示的作为存储体A的存储区域和作为存储体B的存储区域，并且，在存储体A中的存储单元被存取的同时存储体B中的存储单元也被存取。在本实施例中被同时存取的存储体A和存储体B中相应的存储单元被隔开四条线。被同时存取的存储体A和存储体B中相应的存储单元被隔开四条线的原因如下：因为本实施例中作为顶层的第三层中的一个象素对应于第一层中的4 × 4象素，每个存储体最好至少基于4 × 4象素的单元。存储体A和存储体B在此每隔四行交替变换一次。或者是存储体A和存储体B在此每隔四列交替变换一次。存储体的数目不局限于二，即存储体A和存储体B。另外，存储体形成在水平方向和垂直方向两个方向上，即以一个网格方式形成。

回到图6，如同在第一层存储器2中一样，第二层存储器3中地址空间被分为存储体A和存储体B两个存储体。因为第二层图象的水平方向和垂直

方向上的象素数目分别是第一层图象的水平方向和垂直方向上的象素数目的一半，所以储存第二层中 4 α 行和 4 α + 1 行上象素的第二层存储器 3 的存储区域是存储体 A，储存 4 α + 2 行和 4 α + 3 行上象素的第二层存储器 3 的存储区域是存储体 B。

如同在第一层存储器 2 中一样，第三层存储器 4 中的地址空间被分为存储体 A 和存储体 B 两个存储体。因为第三层图象的水平方向和垂直方向上的象素数目分别是第一层图象的水平方向和垂直方向上的象素数目的 1/4，所以储存第三层中 2 α 行上象素的第三层存储器 4 的存储区域是存储体 A，储存 2 α + 1 行上象素的第三层存储器 4 的存储区域是存储体 B。

存储体 A 数据端和存储体 B 数据端与选择器电路 41 相连，从第一层存储器 2 中存储体 A 和存储体 B 读出的数据(存储体 A 数据和存储体 B 数据)分别被输出到选择电路 41。地址提供电路 1 将垂直地址 VA 的低阶第三位 va2 馈送到选择器电路 41 作为控制信号，并且相应于控制信号 va2，选择器电路 41 将存储体 A 数据端和存储体 B 数据端其中之一与读出部分 44 相连，并将存储体 A 数据端和存储体 B 数据端中的另外一个与读出部分 45 相连。

当控制信号 va2 在选择器电路 41 分别将存储体 A 数据端和存储体 B 数据端与读出部分 44 和读出部分 45 相连的一点处转换时，存储体 A 数据端和存储体 B 数据端分别与读出部分 45 和读出部分 44 重新相连。当控制信号 va2 再次转换时，选择器电路 41 再次分别将存储体 A 数据端和存储体 B 数据端与读出部分 44 和读出部分 45 相连。控制信号 va2 每次转换时，选择器电路 41 交替变换存储体 A 数据端与读出部分 44 和读出部分 45 之间的连接，同时交替变换存储体 B 数据端与读出部分 45 和读出部分 44 之间的连接。

与选择器电路 42 相连的是存储体 A 数据端和存储体 B 数据端，其中写在第二层存储器 3 中存储体 A 上的数据被送入存储体 A 数据端，从存储体 A 读出的数据被存储体 A 数据端输出，写入到存储体 B 上的数据被送入存储体 B 数据端，从存储体 B 中读出的数据被存储体 B 数据端输出。选择器电路 42 还被提供来自地址提供电路 1 的作为控制信号的垂直地址 VA 的低阶第三位 va2，并且相应于控制信号 va2，选择器电路 42 将存储体 A 数据端和存储体 B 数据端其中之一与写入部分 46 和读出部分 47 相连，同时将存储体 A 数据端和存储体 B 数据端中的另一个与写入部分 48 和读出部分 49 相连。

当控制信号 va2 在选择器电路 42 将存储体 A 数据端与读出部分 47 和写

入部分 46 相连而存储体 B 数据端与写入部分 48 和读出部分 49 相连的一点处转换时，存储体 A 数据端被重新连接至写入部分 48 和读出部分 49，而存储体 B 数据端被重新连接至写入部分 46 和读出部分 47。当控制信号 va2 再次转换时，选择器电路 42 将存储体 A 数据端与写入部分 46 和读出部分 47 再次相连，而存储体 B 数据端又与写入部分 48 和读出部分 49 重新相连。控制信号 va2 每次转换时，选择器电路 42 交替变换存储体 A 数据端与写入部分 46 和读出部分 47 同写入部分 48 和读出部分 49 之间的连接，同时交替变换存储体 B 数据端与写入部分 48 和读出部分 49 同写入部分 46 和读出部分 47 之间的连接。

与选择器电路 43 相连的是存储体 A 数据端和存储体 B 数据端，其中写在第三层存储器 4 中存储体 A 上的数据被送入该存储体 A 数据端，从存储体 A 读出的数据被存储体 A 数据端输出，写入到存储体 B 上的数据被送入该存储体 B 数据端，从存储体 B 中读出的数据被存储体 B 数据端输出。选择器电路 43 还被提供来自地址提供电路 1 的作为控制信号的垂直地址 VA 的低阶第三位 va2，与选择器电路 42 的方式相同，相应于控制信号 va2，选择器电路 43 将存储体 A 数据端在写入部分 50 和读出部分 51 以及写入部分 52 和读出部分 53 之间交替相连，同时将存储体 B 数据端在写入部分 52 和读出部分 53 以及写入部分 50 和读出部分 51 之间交替相连。

读出部分 44 和读出部分 45 从第一层存储器 2 中经选择器电路 41 读出数据。由读出部分 44 读出的数据被馈送给算术单元 54 和选择器电路 58 并经开关 61 也被送到算术单元 56。由读出部分 45 读出的数据被馈送到算术单元 55 和 57。写入部分 46 将算术单元 54 的输出经选择器电路 42 写入到第二层存储器 3 上。读出部分 47 经选择器电路 42 从第二层存储器 3 上读出数据，并将数据馈送给算术单元 54 和选择器电路 58。写入部分 48 将算术单元 55 的输出经选择器电路 42 写入到第二层存储器 3 上。读出部分 49 经选择器电路 42 从第二层存储器 3 上读出数据，并将数据馈送给算术单元 55 和开关 62。写入部分 50 将算术单元 56 的输出经选择器电路 43 写入到第三层存储器 4 上。读出部分 51 经选择器电路 43 从第三层存储器 4 上读出数据，并将数据馈送给算术单元 56 和选择器电路 58。写入部分 52 将算术单元 57 的输出经选择器电路 43 写入到第三层存储器 4 上。读出部分 53 经选择器电路 43 从第三层存储器 4 上读出数据并将数据馈送给算术单元 57。

算术单元 54 从读出部分 47 的输出中减去读出部分 44 的输出，并将差值馈送给写入部分 46。算术单元 55 将读出部分 45 的输出和读出部分 49 的输出相加，并将和值馈送给写入部分 48。算术单元 56 从读出部分 51 的输出中减去由开关 61 提供的信号，并将差值馈送给写入部分 50。算术单元 57 将读出部分 45 和读出部分 53 的输出相加，并将和值馈送给写入部分 52。在相加操作中，当开关 62 接通并当读出部分 49 给出其输出时，算术单元 57 也将读出部分 49 的输出相加。

选择器电路 58 根据 AND（与）门 59 和 60 的输出选择读出部分 44、读出部分 47 和读出部分 51 其中之一的输出。AND 门 59 接收来自地址提供电路 1 的水平地址 HA 最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 作为控制信号，计算它们的逻辑积并将它馈送给选择器电路 58。AND 门 60 接收提供给地址提供电路 1 的水平地址 HA 的低阶第二位 ha1 和垂直地址 VA 的低阶第二位 va1 作为控制信号，计算它们的逻辑积并将它馈送给选择器电路 58。

开关 61 依据 AND 门 59 的输出在其 61a 端和 61b 端之间选择。61a 端和 61b 端分别被提供读出部分 44 的输出和读出部分 47 的输出。开关 62 依据 NOR（或非）门 63 的输出断开和接通，以将出部分 49 的输出传递给算术单元 57。与 AND 门 59 类似，NOR 门 63 接收最小有效位 ha0 和 va0，其 on/off（开/关）输出控制开关 62。

因而，RMW 电路 5 由选择器电路 41 至 43、读出部分 44 和 45、写入部分 46、读出部分 47、写入部分 48、读出部分 49、写入部分 50、读出部分 51、写入部分 52、读出部分 53、算术单元 54 至 57、选择器电路 58、AND 门 59 和 60、开关 61 和 62 和 NOR 门 63 构成。

在图 6 中省去时钟、R/W 信号和分层特征位(对于下面将要描述的图 8 同样成立)。

现在讨论 RMW 电路 5 的操作。

在此假设选择器电路 32 选择提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA 作为存储体 A 地址，并选择延迟的水平地址 HA 和延迟的垂直地址 VA 作为存储体 B 地址。

类似地，选择器电路 33 和选择器电路 34 选择存储体 A 地址和存储体 B 地址。具体地说，选择器电路 33 选择水平地址 HA 的高阶八位 ha1 至 ha8

和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 B 地址。选择器电路 34 选择水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址。

在选择器电路 32 至 34 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第一层存储器 2、第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路 41 中，第一层存储器 2 的存储体 A 数据端与读出部分 44 相连而存储体 B 数据端与读出部分 45 相连。在选择器电路 42 中，第二层存储器 3 的存储体 A 数据端与写入部分 46 及读出部分 47 相连而存储体 B 数据端与写入部分 48 及读出部分 49 相连。在选择器电路 43 中，第三层存储器 4 的存储体 A 数据端与写入部分 50 及读出部分 51 相连而存储体 B 数据端与写入部分 52 及读出部分 53 相连。

读出部分 44 经选择器电路 41 读出储存在由选择器电路 32 输出的存储体 A 地址内的第一层中的象素(象素值)，并将其馈送给算术单元 54、选择器电路 58 和开关 61 的 61a 终端。

当 AND 门 59 的输出不是 1(即 0)时，选择器电路 58 选择并输出读出部分 44 的输出作为第一层中的一个象素。具体地说，AND 门 59 的输出不为 1 意味着 ha0 和 va0 中至少有一个为 0，并意味着源自于图 2 中由 D1 表示的第一层中 2 × 2 四象素 h(2s，2t)、h(2s + 1，2t)、h(2s，2t + 1)和 h(2s + 1，2t + 1)的除右底象素 h(2s + 1，2t + 1)之外的三个象素 h(2s，2t)、h(2s + 1，2t)、h(2s，2t + 1)中的任意一个被读出的时刻。因为，h(2s，2t)、h(2s + 1，2t)和 h(2s，2t + 1)的任意一个被储存于第一层存储器 2 中，所以从第一层存储器 2 中读出的值被选择器电路 58 选取并输出。

读出部分 47 经选择器电路 42 读出储存在由选择器电路 33 输出的存储体 A 地址内的第二层中的象素(象素值)，并将其馈送给算术单元 54、选择器电路 58 和开关 61 的 61b 终端。

当第一层中 2 × 2 四象素 h(2s，2t)、h(2s + 1，2t)、h(2s，2t + 1)和 h(2s + 1，2t + 1)中的任意一个被存取时，即当第一层存储器 2 中的存

储体 A 地址(2s， 2t)、(2s + 1， 2t)、(2s， 2t + 1)和(2s + 1， 2t + 1)中的任意一个被存取时，第二层存储器 3 中的存储体 A 地址(s， t)被存取。

当读出部分 44 从第一层存储器 2 中读出象素 h(2s， 2t)、h(2s + 1，2t)和 h(2s， 2t + 1)中的任意一个并将其馈送给算术电路 54 时，读出部分 47 从第二层存储器 3 中的存储体 A 地址(s， t)处读出数据并将其馈送给算术电路 54。

算术单元 54 从读出部分 47 的输出中减去读出部分 44 的输出，并将差值馈送给写入部分 46。写入部分 46 经选择器电路 42 将算术单元 54 的输出写入到第二层存储器 3 中的存储体 A 地址(s， t)处。

第二层象素 m(s， t)，即第一层中 2 × 2 四象素 h(2s， 2t)、h(2s + 1，2t)、h(2s， 2t + 1)和 h(2s + 1， 2t + 1)之和，最初被储存在第二层存储器 3 中的存储体 A 地址(s， t)处。当读出部分 44 读出第一层中象素 h(2s， 2t)而读出部分 47 读出储存在第二层存储器 3 中的存储体 A 地址(s， t)处的数据(此处为 m(s， t))时，算术单元 54 确定它们之间的差(m(s， t) - h(2s，2t))且写入部分 46 将其写入到第二层存储器 3 中的存储体 A 地址(s， t)处。

当读出部分 44 读出第一层中象素 h(2s + 1， 2t)时，读出部分 47 读出储存在第二层存储器 3 中的存储体 A 地址(s， t)处的数据(此处为 m(s， t) - h(2s， 2t))。算术单元 54 确定它们之间的差(m(s， t) - h(2s， 2t) - h(2s + 1， 2t))且写入部分 46 将其写入到第二层存储器 3 中的存储体 A 地址(s，t)处。

当读出部分 44 读出第一层中象素 h(2s + 1， 2t)时，读出部分 47 读出储存在第二层存储器 3 中的存储体 A 地址(s， t)处的数据(此处为 m(s， t) - h(2s， 2t) - h(2s + 1， 2t))。算术单元 54 确定它们之间的差(m(s， t) - h(2s， 2t) - h(2s + 1， 2t) - h(2s， 2t + 1))且写入部分 46 将其写入到第二层存储器 3 中的存储体 A 地址(s， t)处。最后第一层象素 h(2s + 1， 2t + 1) = (m(s， t) - h(2s， 2t) - h(2s + 1， 2t) - h(2s， 2t + 1))被写入到第二层存储器 3 中的存储体 A 地址(s， t)处。

当第一层存储器 2 中的存储体 A 地址(2s + 1， 2t + 1)被存取时(没有相应于该地址的存储单元，并且即使试图存取该地址也没有任何内容写入该处及从该处读出)，读出部分 47 从第二层存储器 3 中的存储体 A 地址(s， t)处读出的数据是右底象素(象素值)h(2s + 1， 2t + 1)，该象素源自图 2 中由

D1 表示的第一层中 2 × 2 四象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)(不包括 h(4m + 3， 4n + 3))。

当 AND 门 59 的输出(AND 门 59 和 AND 门 60 的两个输出)只为 1(因而 AND 门 60 的输出为 0)时，选择器电路 58 选择并输出读出部分 44 的输出作为第一层中的一个象素。具体地说， AND 门 59 的输出为 1 意味着 ha0 和 va0 均为 0 且 ha1 和/或 va1 为 0，并意味着源自于图 2 中由 D1 表示的第一层中 2 × 2 四象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s， 2t + 1)和 h(2s + 1， 2t + 1)(不包括 h(4m + 3， 4n + 3))的右底象素 h(2s + 1， 2t + 1)被读出的时刻。如上所述，象素 h(2s + 1， 2n + 1)由读出部分 47 从第二层中存储器 3 中的存储体 A 地址(s， t)处读出，且读出部分 47 的输出由选择器电路 58 选择并输出。

读出部分 51 经选择器电路 43 从第三层存储器 4 读出储存在由选择器电路 34 输出的存储体 A 地址内的第三层中的象素(象素值)，并将其馈送给算术单元 56 和选择器电路 58 。

如上所述，当图 2 中由 D2 表示的第一层中 4 × 4 十六象素 h(4m， 4n)、 h(4m + 1， 4n)、 h(4m + 2， 4n)、 h(4m + 3， 4n)、 h(4m， 4n + 1)、 h(4m + 1， 4n + 1)、 h(4m + 2， 4n + 1)、 h(4m + 3， 4n + 1)、 h(4m， 4n + 2)、 h(4m + 1， 4n + 2)、 h(4m + 2， 4n + 2)、 h(4m + 3， 4n + 2)、 h(4m， 4n + 3)、 h(4m + 1， 4n + 3)、 h(4m + 2， 4n + 3)和 h(4m + 3， 4n + 3)中的每一个被存取时，第三层存储器 4 中的存储体 A 地址(m， n)被存取。

当读出部分 44 读出第一层存储器 2 中象素 h(4m， 4n)、 h(4m + 1， 4n)、 h(4m + 2， 4n)、 h(4m + 3， 4n)、 h(4m， 4n + 1)、 h(4m + 2， 4n + 1)、 h(4m， 4n + 2)、 h(4m + 1， 4n + 2)、 h(4m + 2， 4n + 2)、 h(4m + 3， 4n + 2)、 h(4m， 4n + 3)和 h(4m + 2， 4n + 3)中的每一个、不包括第一层中 2 × 2 象素中的右底象素 h(2s + 1， 2t + 1)，并将其馈送给 61a 端时，读出部分 51 从第三层存储器 4 中的存储体 A 地址(m， n)处读出数据并将其馈送给算术单元 56 。

当 AND 门 59 的输出为 0 时，开关 61 选择其 61a 端。由读出部分 44 输出的第一层中象素 h(4m， 4n)、 h(4m + 1， 4n)、 h(4m + 2， 4n)、 h(4m + 3， 4n)、 h(4m， 4n + 1)、 h(4m + 2， 4n + 1)、 h(4m， 4n + 2)、

h(4m + 1， 4n + 2)、h(4m + 2， 4n + 2)、h(4m + 3， 4n + 2)、h(4m，4n + 3)和h(4m + 2， 4n + 3)中的每一个经开关61馈送给算术单元56。

当读出部分47输出相应于第一层中2 × 2象素中右底象素h(2s + 1，2t + 1)的象素h(4m + 1， 4n + 1)、h(4m + 3， 4n + 1)和h(4m + 1， 4n + 3)时，并当AND门59的输出为1时，开关61被设计成选择其61b端。由读出部分47输出的象素h(4m + 1， 4n + 1)、h(4m + 3， 4n + 1)和h(4m + 1， 4n + 3)经开关61馈送给算术单元56。

算术单元56从读出部分51的输出中减去开关61的输出，并将差值馈送给写入部分50。写入部分50经选择器电路43将算术单元56的输出写入到第三层存储器4中的存储体A地址(m， n)处。

第三层象素q(m， n)，即第一层4 × 4十六象素之和，最初被储存在第三层存储器4中的存储体A地址(m， n)处。当读出部分44读出第一层中象素h(4m， 4n)时，读出部分51读出储存在第三层存储器4中的存储体A地址(m， n)处的数据(此处为q(m， n))。算术单元56确定它们之间的差(q(m，n) - h(4m， 4n))，且写入部分50将其写入到第三层存储器4中的存储体A地址(m， n)处。

当读出部分44读出第一层中象素h(4m + 1， 4n)时，读出部分51读出储存在第三层存储器4中的存储体A地址(m， n)处的数据(此处为q(m， n) - h(4m， 4n))。算术单元56确定它们之间的差(q(m， n) - h(4m， 4n) - h(4m + 1， 4n))，且写入部分50将其写入到第三层存储器4中的存储体A地址(m， n)处。

之后，类似地重复写入储存在第三层存储器4中的存储体A地址(m，n)处的值。

读出相应于第一层中2 × 2象素中右底象素h(2s + 1， 2t + 1)的第一层象素h(4m + 1， 4n + 1)之后，读出部分47将其经过开关61馈送给算术单元56。然后第三层存储器4中的存储体A地址储存由方程q(m， n) - h(4m， 4n) - h(4m + 1， 4n) - h(4m + 2， 4n) - h(4m + 3， 4n) - h(4m，4n + 1)表示的数据，并且读出部分51读出该数据且将其送入算术单元56。

算术单元56从读出部分51的输出中减去读出部分47的输出，并且写入部分50将差值(q(m， n) - h(4m， 4n) - h（4m+1， 4n）- h(4m + 2，4n) - h(4m + 3， 4n) - h(4m， 4n + 1) - h(4m + 1， 4n + 1))写入到第三

层存储器4中的存储体A地址(m， n)中。

最后，当读出部分44读出第一层中象素h(4m + 2， 4n + 3)时，读出部分51读出储存在第三层存储器4中的存储体A地址(m， n)处的数据(此处为q(m， n) - h(4m， 4n) - h(4m + 1， 4n) - h(4m + 2， 4n) - h(4m + 3， 4n) - h(4m， 4n + 1) - h(4m + 1， 4n + 1) - h(4m + 2， 4n + 1) - h(4m + 3， 4n + 1) - h(4m， 4n + 2) - h(4m + 1， 4n + 2) - h(4m + 2， 4n + 2) - h(4m + 3， 4n + 2) - h(4m， 4n + 3) - h(4m + 1， 4n + 3))。算术单元56确定它们之间的差，且写入部分50将差值写入到第三层存储器4中的存储体A地址(m， n)处。具体地说，第一层中象素h(4m + 3， 4n + 3)(= q(m， n) - h(4m， 4n) - h(4m + 1， 4n) - h(4m + 2， 4n) - h(4m + 3， 4n) - h(4m， 4n + 1) - h(4m + 1， 4n + 1) - h(4m + 2， 4n + 1) - h(4m + 3， 4n + 1) - h(4m， 4n + 2) - h(4m + 1， 4n + 2) - h(4m + 2， 4n + 2) - h(4m + 3， 4n + 2) - h(4m， 4n + 3) - h(4m + 1， 4n + 3) - h(4m + 2， 4n + 3))被写入到第三层存储器4中的存储体A地址(m， n)处。

当第一层存储器2中的存储体A地址(4m + 3， 4n + 3)被存取时(没有相应于该地址的存储单元，并且即使试图存取该地址也没有任何内容写入该处及从该处读出)，读出部分51从第三层存储器4中的存储体A地址(m， n)处读出的数据是右底象素(象素值)h(4m + 3， 4n + 3)，该象素源自图2中由D2表示的第一层中4 × 4四象素。

当AND门59和AND门60的两个输出均为1时，选择器电路58选择并输出读出部分51的输出作为第一层中的一个象素。具体地说，AND门59和AND门60的两个输出均为1意味着ha0、va0、ha1和va1均为1，并意味着第一层中4 × 4十六象素(4m + 3、4n + 3)被读出的时刻。读出部分51从第三层存储器4中的存储体A地址(m、n)处读出象素h(4n + 3、4n + 3)。且读出部分51的输出由选择器电路58选择并输出。

当第一层中的象素被按此方式读出时，第二层存储器3储存第一层象素h(2s + 1， 2n + 1)(不包括h(4m + 3， 4n + 3))，并且第三层存储器4储存第一层象素h(4m + 3， 4n + 3)。

第一层中的象素被写入，代替了在第二层存储器3和第三层存储器4中的储存值。

然后，被重新写入在第二层存储器3和第三层存储器4中的值需要被重新储存到第二层存储器3和第三层存储器4中它们原始的象素处(如果不需要，可以去掉恢复)。

如上所述，第一层存储器2被分成储存8α行至8α+3行上象素的存储体A和储存8α+4行至8α+7行上象素的存储体B。第二层存储器3被分成储存第二层中4α行和4α+1行上象素的存储体A和储存第二层中4α+2行和4α+3行上象素的存储体B。并且第三层存储器4被分成储存第三层中2α行上象素的存储体A和储存2α+1行上象素的存储体B。

在本实施例中，延迟的水平地址HA和延迟的垂直地址VA分别是引入了四行延迟的水平地址HA和垂直地址VA。如上所述，当水平地址HA和垂直地址VA被选为存储体A地址而延迟的水平地址HA和延迟的垂直地址VA被选作存储体B地址时，在第一层存储器2中水平地址HA和垂直地址VA的存储体A中存储单元被存取，同时延迟的水平地址HA和延迟的垂直地址VA的存储体B中(存储体B存储单元对应于存储体A存储单元的位置)存储单元也被存取。

类似地，在第二层存储器3中，存储体A内的存储单元被存取同时被早二行存取的存储体B内的存储单元也被存取。在第三层存储器4中，存储体A内的存储单元被存取，同时被早一行存取的存储体B内的存储单元也被存取。

当读出部分44从第一层存储器2中存储体A读出象素h(2s，2t)、h(2s+1，2t)和h(2s，2t+1)中的每一个时，读出部分45从第一层存储器2中的存储体B经选择器电路41读出被早四行存取的象素h(2s，2t')、h(2s+1，2t')和h(2s，2t'+1)的每一个并将其馈送给算术电路55。此处，t'=t-2。

当读出部分45从第一层存储器2中存储体B读出象素h(2s，2t')、h(2s+1，2t')和h(2s，2t'+1)中的每一个，读出部分49从第二层存储器3中的存储体B地址(s，t')处(预定的地址)经选择器电路2读出数据并将数据馈送给算术电路55。

算术单元55将读出部分45的输出和读出部分49的输出相加，并将和值馈送给写入部分48。写入部分48将算术单元55的输出经选择器电路42写入到第二层存储器3中的存储体B地址(s，t')处。

第二层存储器3中的存储体B地址(s， t')初始储存通过在第二层中早二行存取(在第一层中早四行)确定的第一层象素h(2s + 1， 2t' + 1)。当读出部分45从第一层存储器2中存储体B读出第一层象素h(2s， 2t')时，读出部分49读出储存在第二层存储器3中的存储体B地址(s， t')处数据(此处为h(2s + 1， 2t' + 1))。算术单元55确定和值(h(2s， 2t') + h(2s + 1， 2t' + 1))，写入部分48将其写入到第二层存储器3中的存储体B地址(s， t')处。

另外，当读出部分45从第一层存储器2中存储体B读出第一层象素h(2s + 1， 2t')时，读出部分49读出储存在第二层存储器3中的存储体B地址(s，t')处数据(此处为h(2s， 2t') + h(2s + 1， 2t' + 1))。算术单元55确定和值(h(2s， 2t') + h（ 2s+1， 2t'）+h（ 2s+1， 2t'+1)，写入部分48将其写入到第二层存储器3中的存储体B地址(s， t')处。

当读出部分45从第一层存储器2中存储体B读出第一层象素h(2s， 2t' + 1)时，读出部分49读出储存在第二层存储器3中的存储体B地址(s， t')处数据(此处为h(2s， 2t') + h(2s + 1， 2t') + h(2s + 1， 2t' + 1))。算术单元55确定和值(h(2s， 2t') + h(2s + 1， 2t') + h(2s， 2t' + 1) + h(2s + 1，2t' + 1))，写入部分48将其写入到第二层存储器3中的存储体B地址(s， t')处。被写入到第二层存储器3中的存储体B地址(s， t')处的是原始的第二层象素m(s， t')(= h(2s， 2t) + h(2s + 1， 2t') + h(2s， 2t' + 1) + h(2s + 1，2t' + 1))。

当读出部分44从第一层存储器2中存储体A读出第一层中象素h(4m，4n)、h(4m + 1， 4n)、h(4m + 2， 4n)、h(4m + 3， 4n)、h(4m， 4n + 1)、h(4m + 2， 4n + 1)、h(4m， 4n + 2)、h(4m + 1， 4n + 2)、h(4m + 2， 4n + 2)、h(4m + 3， 4n + 2)、h(4m， 4n + 3)和h(4m + 2， 4n + 3)中的每一个除第一层中2 × 2象素的右底象素h(2s + 1， 2t + 1)时，读出部分45经选择器电路41从第一层存储器2中存储体B处读出早四行的第一层象素h(4m， 4n')、h(4m + 1， 4n')、h(4m + 2， 4n')、h(4m + 3， 4n')、h(4m， 4n' + 1)、h(4m + 2， 4n' + 1)、h(4m， 4n' + 2)、h(4m + 1， 4n' + 2)、h(4m + 2， 4n' + 2)、h(4m + 3， 4n' + 2)、h(4m， 4n' + 3)和h(4m + 2， 4n' + 3)中的每一个，并将其馈送给算术单元57。此处，n' = n - 1。

读出部分53经选择器电路43从第三层存储器4中存储体B地址(m，

n')处读出数据，并将其馈送给算术单元57。

读出部分49的输出经开关62馈送到算术单元57，开关62仅当NOR门63的输出处于H电平(ha0 = va0 = 0)时接通，而其余的时间断开。因此开关62仅当读出部分49从第二层存储器3中的存储体B处读出第一层象素h(4m + 1， 4n' + 1)、h(4m + 3， 4n' + 1)和h(4m + 1， 4n' + 3)中的每一一个时接通，其结果是第一层象素h(4m + 1， 4n' + 1)、h(4m + 3， 4n' + 1)和h(4m + 1， 4n' + 3)经开关62馈送到算术单元57。

算术单元57将读出部分45的输出和读出部分53的输出相加，并当开关62接通且读出部分49输出时，在加法操作中再加上读出部分49的输出，所得的和值被馈送给写入部分52。写入部分52将算术单元57的输出经选择器电路43写入到第三层存储器4中的存储体B地址(m， n')处。

第三层存储器4中的存储体A地址(m， n')初始储存通过在第三层中早一行存取(在第一层中早四行)确定的第一层象素h(4m + 3， 4n' + 3)。当读出部分45和读出部分49分别读出第一层象素h(4m， 4n')和h(4m + 1， 4n' + 1)时，读出部分53读出储存在第三层存储器4中的存储体B地址(m， n')处的数据(此处为h(4m + 3， 4n' + 3))。算术单元57确定和值(h(4m， 4n') + h(4m + 1， 4n' + 1) + h(4m + 3， 4n' + 3))，且写入部分52将其写入到第三层存储器4中的存储B地址(m， n')处。

当读出部分45读出第一层象素h(4m + 1， 4n')时，读出部分53读出储存在第三层存储器4中的存储体B地址(m， n')处的数据(此处为h(4m，4n') + h(4m + 1， 4n' + 1) + h(4m + 3， 4n' + 3))。算术单元57确定和值(h(4m， 4n') + h(4m + 1， 4n') + h(4m + 1， 4n' + 1) + h(4m + 3， 4n' + 3))，且写入部分52将其写入到第三层存储器4中的存储体B地址(m，n')处。

最后，读出部分45读出第一层象素h(4m + 2， 4n' + 3)，且读出部分53读出储存在第三层存储器4中的存储体B地址(m， n')处的数据(此处为h(4m， 4'n) + h(4m + 1， 4n') + h(4m + 2， 4n') + h(4m + 3， 4n') + h(4m，4n' + 1) + h(4m + 1， 4n' + 1) + h(4m + 2， 4n' + 1) + h(4m + 3， 4n' + 1) + h(4m， 4n' + 2) + h(4m + 1， 4n' + 2) + h(4m + 2， 4n' + 2) + h(4m + 3， 4n' + 2) + h(4m， 4n' + 3) + h(4m + 1， 4n' + 3) + h(4m + 3， 4n' + 3))。算术单元57确定和值，写入部分52将其写入到第三层存储器4中的

存储体 B 地址(m， n')处。具体地说，写入到第三层存储器 4 中的存储体 B 地址(m， n')处的是原始的第三层象素 q(m， n')(= h(4m， 4n') + h(4m + 1， 4n') + h(4m + 2， 4n') + h(4m + 3， 4n') + h(4m， 4n' + 1) + h(4m + 1， 4n' + 1) + h(4m + 2， 4n' + 1) + h(4m + 3， 4n' + 1) + h(4m， 4n' + 2) + h(4m + 1， 4n' + 2) + h(4m + 2， 4n' + 2) + h(4m + 3， 4n' + 2) + h(4m， 4n' + 3) + h(4m + 1， 4n' + 3) + h(4m + 2， 4n' + 3) + h(4m + 3， 4n' + 3))。

当垂直地址 VA 的低阶第三位 va2 转换时，选择器电路 32 选取提供给地址提供电路 1 的水平地址 HA 和垂直地址 VA 作为存储体 B 地址，并选择延迟的水平地址 HA 和延迟垂直的地址 VA 作为存储体 A 地址。

类似地，选择器电路 33 和选择器电路 34 选择存储体 A 地址和存储体 B 地址。具体地说，选择器电路 33 选择水平地址 HA 的高阶八位 ha1 至 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址。选择器电路 34 选择水平地址 HA 的高阶七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址。

在选择器电路 32 至 34 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第一层存储器 2、第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路 41 中，第一层存储器 2 的存储体 B 数据端与读出部分 44 相连而存储体 A 数据端与读出部分 45 相连。在选择器电路 42 中，第二层存储器 3 的存储体 B 数据端与写入部分 46 及读出部分 47 相连，而存储体 A 数据端与写入部分 48 及读出部分 49 相连。在选择器电路 43 中，第三层存储器 4 的存储体 B 数据端与写入部分 50 及读出部分 51 相连，而存储体 A 数据端与写入部分 52 及读出部分 53 相连。

下述过程执行了与上述过程一致但存储体 A 和存储体 B 互换的过程。

第一层象素由选择器电路 58 输出，而第二层存储器 3 和第三层存储器 4 中储存的内容被再写到原始值中。

图 8 表示图 1 所示的当第一层存储器 2 和第二层存储器 3 被设置为具有

较小存储容量时读出第二层图象的存储装置的结构图。如图8所示，涉及到第一层存储器2中的部分被省去。

地址提供电路1由延迟电路71和选择器电路73及74组成。延迟电路71和选择器电路73及74分别与图6中的延迟电路31和选择器电路33及34结构一致。

第二层存储器3和第三层存储器4分别与图6中的结构一致。

RMW电路5由选择器电路 81和82、读出部分84和85、写入部分86、读出部分87、写入部分88、读出部分89、开关91和92、算术单元94和95、选择器电路98和AND门99和100组成。

分别从第二层存储器3中的存储体A和存储体B读出的存储体A数据和存储体B数据被输出到与选择器电路81相连的存储体A数据端和存储体B数据端。选择器电路81接收来自地址提供电路1的垂直地址VA的低阶第三位va2作为控制信号。相应于控制信号va2选择器电路81将存储体A数据端和存储体B数据端的一个与读出部分84相连，而将存储体A数据端和存储体B数据端的另一个与读出部分85相连。

当控制信号va2在选择器电路81分别将存储体A数据端和存储体B数据端与读出部分84和读出部分85相连处转换时，存储体A数据端和存储体B数据端分别与读出部分85和读出部分84重新相连接。当控制信号va2再转换时，选择器电路81又分别将存储体A数据端和存储体B数据端与读出部分84和读出部分85相连。在控制信号va2每次转换时，选择器电路81交替变换存储体A数据端与读出部分84和读出部分85之间的连接，同时交替变换存储体B数据端与读出部分85和读出部分84之间的相连。

与选择器电路82相连的是存储体A数据端和存储体B数据端，其中写在第三层存储器4中存储体A上的数据被送入存储体A数据端，从存储体A读出的数据被存储体A数据端输出，写入到存储体B上的数据被送入存储体B数据端，从存储体B中读出的数据被存储体B数据端输出。选择器电路82还被提供来自地址提供电路1的垂直地址VA的低阶第三位va2作为控制信号，相应于该控制信号va2，选择器电路82将存储体A数据端和存储体B数据端的其中一个与写入部分86和读出部分87连接，同时将存储体A数据端和存储体B数据端的另一个与写入部分88和读出部分89相连。

当控制信号va2在选择器电路82将存储体A数据端与写入部分86和读

出部分 87 相连而存储体 B 数据端与写入部分 88 和读出部分 89 相连处转换时，存储体 A 数据端与写入部分 88 和读出部分 89 重新相连，而同时存储体 B 数据端与读出部分 86 和写入部分 87 重新相连。当控制信号 va2 再转换时，选择器电路 82 又将存储体 A 数据端与写入部分 86 和读出部分 87 相连，而存储体 B 数据端与写入部分 88 和读出部分 89 相连。在控制信号 va2 每次转换时，选择器电路 82 交替变换存储体 A 数据端在写入部分 86 和读出部分 87 与写入部分 88 和读出部分 89 之间的连接，而同时交替转换存储体 B 数据端在写入部分 88 和读出部分 89 与写入部分 86 和读出部分 87 之间的连接。

读出部分 84 和读出部分 85 从第二层存储器 3 中经选择器电路 81 读出数据。由读出部分 84 读出的数据被馈送给开关 91 的 91b 端和选择器电路 98。由读出部分 85 读出的数据被馈送给开关 92 的 92b 端。写入部分 86 将算术单元 94 的输出经选择器电路 82 写入到第三层存储器 4 上。读出部分 87 经选择器电路 82 从第三层存储器 4 上读出数据，并将数据馈送给算术单元 94 和选择器电路 98。写入部分 88 将算术单元 95 的输出经选择器电路 82 写入到第三层存储器 4 上。读出部分 89 经选择器电路 82 从第三层存储器 4 上读出数据，并将数据馈送给算术单元 95。

开关 91 依据 AND 门 99 的输出在其 91a 端和 91b 端之间选择，将其输出馈送给算术单元 94。91b 端被提供 0。开关 92 依据 AND 门 99 的输出在其 92a 端和 92b 端之间选择，并将其输出馈送给算术单元 95。92b 端被提供 0。

算术单元 94 从读出部分 87 的输出中减去开关 91 的输出，并将差值馈送给写入部分 86。算术单元 95 将读出部分 89 的输出和开关 92 的输出相加，并将和值馈送给写入部分 88。

选择器电路 98 根据 AND 门 99 和 100 的输出选择读出部分 84 和读出部分 87 其中之一的输出。AND 门 99 接收来自地址提供电路 1 的水平地址 HA 最小有效位 ha0 和垂直地址 VA 的最小有效位 va0 作为控制信号，计算它们的逻辑积并将其馈送给选择器电路 98 和开关 91 和 92。AND 门 100 接收提供给地址提供电路 1 的水平地址 HA 的低阶第二位 ha1 和垂直地址 VA 的低阶第二位 va1 作为控制信号，计算它们的逻辑积并将其馈送给选择器电路 98。

现在讨论存储装置的操作。

在此假设在选择器电路73和选择器电路74中水平地址HA和垂直地址VA被选作存储体A地址，并选择延迟的水平地址HA和延迟的垂直地址VA作为存储体B地址。

具体地说，选择器电路73选择水平地址HA的高阶八位ha1至ha8和垂直地址VA的高阶八位va1至va8作为存储体A地址，并选择延迟的水平地址HA的高阶八位ha1至ha8和延迟的垂直地址VA的高阶八位va1至va8作为存储体B地址。选择器电路74选择水平地址HA的高阶七位ha2至ha8和垂直地址VA的高阶七位va2至va8作为存储体A地址，并选择延迟的水平地址HA的高阶七位ha2至ha8和延迟的垂直地址VA的高阶七位va2至va8作为存储体B地址。

在选择器电路73和74中，被选取的存储体A地址和存储体B地址分别被馈送到第二层存储器3和第三层存储器4的存储体A地址端和存储体B地址端。

在选择器电路81中，第二层存储器3的存储体A数据端与读出部分84相连而存储体B数据端与读出部分85相连。在选择器电路82中，第三层存储器4的存储体A数据端与写入部分86及读出部分87相连而存储体B数据端与写入部分88及读出部分89相连。

读出部分84经选择器电路81读出储存在由选择器电路73输出的第二层存储器3中存储体A地址内的第二层象素(象素值)，并将其馈送给开关91的91b端和选择器电路98。

当AND门99的输出(AND门99和100的输出)仅为1时，选择器电路98选择并输出读出部分84的输出作为第二层中的一个象素。具体地说，AND门99的输出为1意味着ha0和va0均为1而ha1和/或va1为0，并意味着源自于图2中由D1表示的第一层中2×2四象素h(2s，2t)、h(2s+1，2t)、h(2s、2t+1)、和h(2s+1，2t+1)的右底象素h(2s+1，2t+1)(不包括h(4m+3，4t+3))被读出的时刻。

当第一层中2×2四象素h(2s，2t)、h(2s+1，2t)、h(2s、2t+1)、和h(2s+1，2t+1)中的每一个被存取时，第二层象素m(s，t)也被存取。当第一层2×2四象素h(2s，2t)、h(2s+1，2t)、h(2s、2t+1)、和h(2s+1，2t+1)中的每一个被存取时，从第二层存储器3读出的数据即第二层象素m(s，t)被输出，并且在此情况下，重复四次输出相同的象素。

当源自于第一层中 2 × 2 四象素 h(2s， 2t)、 h(2s + 1， 2t)、 h(2s、2t + 1)、和 h(2s + 1， 2t + 1)的右底象素 h(2s + 1， 2t + 1)(不包括 h(4m + 3， 4n + 3))被读出时，选择器电路 98 选择并输出读出部分 84 的输出，即第二层象素 m(s， t)。

为同样的原因，仅当读出部分 84 输出第一层象素 h(2s + 1， 2t + 1)(当 AND 门 99 的输出变换成 1)时，开关 91 选择 91b 端而其余时间选择 91a 端。具体地说，仅当源自于第一层 2 × 2 四象素 h(2s， 2t)、 h(2s + 1， 2t)、h(2s、 2t + 1)、和 h(2s + 1， 2t + 1)的右底象素 h(2s + 1， 2t + 1)被读出时，由读出部分 84 输出的第二层象素 m(s， t)被馈送到算术单元 94，而在其余时间将 0 馈送给读出部分 94。

读出部分 87 经选择器电路 82 读出储存在由选择器电路 74 输出的存储体 A 地址内的第三层象素(象素值)，并将其馈送给算术单元 94 和选择器电路 98。

当第一层存储器中地址(4m， 4n)、(4m + 1， 4n)、(4m + 2， 4n)、(4m + 3， 4n)、(4m， 4n + 1)、(4m + 1， 4n + 1)、(4m + 2， 4n + 1)、(4m + 3， 4n + 1)、(4m， 4n + 2)、(4m + 1， 4n + 2)、(4m + 2， 4n + 2)、(4m + 3， 4n + 2)、(4m， 4n + 3)、(4m + 1， 4n + 3)、(4m + 2， 4n + 3)和(4m + 3， 4n + 3)的每一个被存取时，读出部分 87 从第三层存储器 4 中的存储体 A 地址处读出数据，并将其馈送给算术单元 94。

根据上述讨论，当地址(4m， 4n)、(4m + 1， 4n)、(4m + 2， 4n)、 (4m + 3， 4n)、(4m， 4n + 1)、(4m + 2， 4n + 1)、(4m， 4n + 2)、(4m + 1， 4n + 2)、(4m + 2， 4n + 2)、(4m + 3， 4n + 2)、(4m， 4n + 3)和(4m + 2， 4n + 3)中每一个，不包括对应于第一层存储器 2 中地址（ 2s+1，2t+1 ）的地址(4m + 1， 4n + 1)、(4m + 3， 4n + 1)、(4m + 1， 4n + 3)、和(4m + 3， 4n + 3)被存取时，开关 91 选择 91b 端。在这种情况中，算术单元 94 在从第三层存储器 4 中的存储体 A 地址(m， n)读出的数据中减去 0，差值即从第三层存储器 4 中的存储体 A 地址(m， n)处读出的数据本身被馈送给写入部分 86。写入部分 86 经过选择器电路 82 将算术单元 94 输出的数据写入到第三层存储器 4 中的存储体 A 地址(m， n)处。储存在第三层存储器 4 中的存储体 A 地址(m,n)处的数据与前一个保持不变。

当第一层存储器 2 中地址(4m + 1， 4n + 1)、(4m + 3， 4n + 1)、和

(4m + 1， 4n + 3)每一个被存取时，开关 91 选择 91b 端。在这种情况中，读出部分 84 从第二层存储器 3 读出第二层象素 m(2m， 2n)、 m(2m + 1， 2n)和 m(2m， 2n + 1)中的每一个，并通过开关 91 将其馈送给算术单元 94。

算术单元 94 从读出部分 87 的输出中减去读出部分 84 的输出，并将差值馈送给写入部分 86。写入部分 86 经选择器电路 82 将算术单元 94 的输出写入到第三层存储器 4 中的存储体 A 地址(m， n)处。

第一层 4 × 4 十六象素 h(4m， 4n)、 h(4m + 1， 4n)、 h(4m + 2， 4n)、 h(4m + 3， 4n)、 h(4m， 4n + 1)、 h(4m + 1， 4n + 1)、 h(4m + 2， 4n + 1)、 h(4m + 3， 4n + 1)、 h(4m， 4n + 2)、 h(4m + 1， 4n + 2)、 h(4m + 2， 4n + 2)、 h(4m + 3， 4n + 2)、 h(4m， 4n + 3)、 h(4m + 1， 4n + 3)、 h(4m + 2， 4n + 3)和 h(4m + 3， 4n + 3)之和，即第二层 2 × 2 四象素 m(2m， 2n)、 m(2m + 1， 2n)、 m(2m， 2n + 1)、 m(2m + 1， 2n + 1)之和的第三层中象素 q(m， n)最初被储存在第三层存储器 4 中的存储体 A 地址(m， n)处，并且当第一层存储器 2 中地址(4m + 1， 4n + 1)被存取时，算术单元 94 经开关 91 接收来自读出部分 84 的第二层象素 m(2m， 2n)，同时接收来自读出部分 87 的储存在第三层存储器 4 中的存储体 A 地址处的数据(此处为 q(m， n))。

算术单元 94 确定它们之间的差(q(m,n) - m(2m， 2n))，且写入部分 86 将其写入到第三层存储器 4 中的存储体 A 地址(m， n)处。

当第一层存储器 2 中地址(4m + 3， 4n + 1)被存取时，算术单元 94 经开关 91 接收来自读出部分 84 的第二层象素 n(2m + 1， 2n + 1)，同时接收来自读出部分 87 的储存在第三层存储器 4 中的存储体 A 地址(m， n)处的数据(此处为 q(m， n)) - m(2m， 2n)。

算术单元 94 确定它们之间的差(q(m,n) - m(2m， 2n) - m(2m + 1， 2n) - m（ 2m， 2n+1)，且写入部分 86 将其写入到第三层存储器 4 中的存储体 A 的地址(m， n)处。

当第一层存储器 2 中地址(4m + 1， 4n + 3)被存取时，算术单元 94 经开关 91 接收来自读出部分 84 的第二层象素 m(2m， 2n + 1)，同时接收来自读出部分 87 的储存在第三层存储器 4 中的存储体 A 地址(m， n)处的数据(此处为 q(m， n) - m(2m， 2n) - m(2m + 1， 2n))。

算术单元 94 确定它们之间的差(q(m,n) - m(2m， 2n) - m(2m + 1， 2n)

- m(2m， 2n + 1))，且写入部分 86 将其写入到第三层存储器 4 中的存储体 A 的地址(m， n)处。

因此，写入到第三层存储器 4 中的存储体 A 地址(m， n)处的是第二层象素 m(2m， 2n + 1)(= q(m， n) - m(2m， 2n) - m(2m + 1， 2n) - m(2m， 2n + 1))。

当第一层存储器 2 中的存储体 A 地址(4m + 3， 4n + 3)被存取时，(即第二层存储器 3 中的存储体 A 地址(2m + 1， 2n + 1)被存取时，没有相应于该地址的存储单元，并且即使试图存取该地址也没有任何内容写入该处及从该处读出)，读出部分 87 从第三层存储器 4 中的存储体 A 地址(m， n)处读出源自于图 2 中由 D2 表示的第一层中 4 × 4 十六象素的右底象素 2 × 2 象素 h(4m + 2， 4n + 2)、 h(4m + 3， 4n + 2)、 h(4m + 2， 4n + 3)、和 h(4m + 3， 4n + 3)之和(第二层中的 m(2m + 1， 2n + 1)。

当两个 AND 门 99 和 50 的输出均为 1 时，选择器电路 98 选择并输出读出部分 51 的输出作为一第二层中的象素。具体地说， AND 门 99 和 50 的输出为 1 意味着 ha0、 va0、 ha1 和 va1 均为 1，并意味着第一层存储器 2 中的地址被存取的时刻。如上所述，此时读出部分 87 从第三层存储器 4 中的存储体 A 地址(m， n)处读出的数据是第二层象素(2m + 1， 2n + 1)，并且该数据由选择器电路 98 选择并输出。

如图 6 所示，当以此方式读出第二层象素时，第三层存储器 4 以相同的方式储存第二层象素 m(2m + 1， 2n + 1)。

具体地，写入第二层象素，取代第三层存储器中的第三层象素。

以这种方式储存在第三层存储器 4 中的值需要被再储存到原始的第三层象素处。

当水平地址 HA 和垂直地址 VA 被选为存储体 A 地址而延迟的水平地址 HA 和延迟的垂直地址 VA 被选作存储体 B 地址时，在第一层存储器 2 中水平地址 HA 和垂直地址 VA 的存储体 A 中存储单元被存取，同时延迟的水平地址 HA 和延迟的垂直地址 VA 的存储体 B 中存储单元也被存取，二者被早四行存取。

在第二层存储器 3 中，存储体 A 存储单元被存取，同时被早二行存取的存储体 B 存储单元也被存取。在第三层存储器 4 中存储体 A 存储单元被存取，同时被早一行存取的存储体 B 存储单元也被存取。

当读出部分84从第二层存储器3中存储体A读出第二层中象素m(2m，2n)、m(2m + 1，2n)和m(2m，2n + 1)中的每一个时，读出部分85从第二层存储器3中存储体B处分别读出第二层象素m(2m，2n')、m(2m + 1，2n')和m(2m，2n' + 1)中的每一个，并将其馈送给开关92b端。此处，n' = n - 1。

类似开关91，仅当读出部分84输出第一层象素h(2s + 1，2t + 1)(当AND门99的输出变换成1)时，开关92被设计成选择92b端而其余时间选择92a端。仅当源自于第一层2 × 2四象素h(2s，2t)、h(2s + 1，2t)、h(2s，2t + 1)和h(2s + 1，2t + 1)的右底象素h(2s + 1，2t + 1)被读出时，由读出部分85输出的第二层象素被馈送到算术单元95，而在其余时间将0馈送给读出部分95。

当读出部分85从第二层存储器3中存储体B读出第二层中象素m(2m，2n')、m(2m + 1，2n')和m(2m，2n' + 1)中的每一个时，读出部分89经选择器电路82从第三层存储器4中的存储体B地址(m，n')处读出数据，并将其馈送给算术单元95。

算术单元95将读出部分85和读出部分89的输出相加并将所得的和值馈送给写入部分88。写入部分88将算术单元95的输出经选择器电路82写入到第三层存储器4中的存储体B地址(m，n')处。

第三层存储器4中的存储体B地址(m，n')首先储存通过在第二层中早二行存取(在第一层中早四行)确定的第二层象素m(2m + 1，2n' + 1)。当读出部分85从第二层存储器3中存储体B读出第二层象素m(2m，2n')时，读出部分89读出储存在第三层存储器4中的存储体B地址(m，n')处数据(此处为第二层象素m(2m + 1，2n' + 1))。算术单元95确定和值(m(2m，2n') + m(2m + 1，2n' + 1)，写入部分88将其写入到第三层存储器4中的存储体B地址(m，n')处。

当读出部分85从第二层存储器3中存储体B读出第二层象素m(2m + 1，2n')时，读出部分89读出储存在第三层存储器4中的存储体B地址(m，n')处数据(此处为m(2m，2n') + m(2m + 1，2n' + 1)。选择器电路98确定和值(m(2m，2n') + m(2m + 1，2n') + m(2m + 1，2n' + 1))，写入部分88将其写入到第三层存储器4中的存储体B地址(m，n')处。

当读出部分85从第二层存储器3中存储体B读出第二层象素m(2m，

2n' + 1)时，读出部分 89 读出储存在第三存储器 4 中的存储体 B 地址(m，n')处数据(此数据为 m(2m，2n') + m(2m + 1，2n') + m(2m + 1，2n' + 1)). 选择器电路 98 确定和值 m(2m，2n') + m(2m + 1，2n') + m(2m，2n' + 1) + m(2m + 1，2n' + 1))，写入部分 88 将其写入到第三层存储器 4 中的存储体 B 地址(m，n')处。具体地说，第三层存储器 4 中的存储体 B 地址(m，n')储存原始的第三层象素 q(m，n')(= m(2m，2n') + m(2m + 1，2n') + m(2m，2n' + 1) + m(2m + 1，2n' + 1) = h(4m，4n)，h(4m + 1，4n)，h(4m + 2，4n)，h(4m + 3，4n)，h(4m，4n + 1)，h(4m + 1，4n + 1)，h(4m + 2，4n + 1)，h(4m + 3，4n + 1)，h(4m，4n + 2)，h(4m + 1，4n + 2)，h(4m + 2，4n + 2)，h(4m + 3，4n + 2)，h(4m，4n + 3)，h(4m + 1，4n + 3)，h(4m + 2，4n + 3)，h(4m + 3，4n + 3))。

当垂直地址 VA 的低阶第三位 va2 转换时，在选择器电路 73 和 74 中存储体 A 地址和存储体 B 地址的选择反转。具体地说，选择器电路 73 选择存储体选择水平地址 HA 的高阶八位 ha1 于 ha8 和垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶八位 ha1 至 ha8 和延迟的垂直地址 VA 的高阶八位 va1 至 va8 作为存储体 A 地址。选择器电路 74 选择水平地址 HA 的高阶位七位 ha2 至 ha8 和垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 B 地址，并选择延迟的水平地址 HA 的高阶七位 ha2 至 ha8 和延迟的垂直地址 VA 的高阶七位 va2 至 va8 作为存储体 A 地址。

在选择器电路 73 和 74 中，被选取的存储体 A 地址和存储体 B 地址分别被馈送到第二层存储器 3 和第三层存储器 4 的存储体 A 地址端和存储体 B 地址端。

在选择器电路 81 中，第二层存储器 3 的存储体 B 数据端与读出部分 84 相连而存储体 A 数据端与读出部分 85 相连。在选择器电路 82 中，第三层存储器 4 的存储体 B 数据端与写入部分 86 及读出部分 87 相连而存储体 A 数据端与写入部分 88 及读出部分 89 相连。

在上述讨论中执行了与上述过程一致但存储体 A 和存储体 B 互换过程。

第二层象素由选择器电路 98 输出，而第三层存储器 4 中的储存的内容被再写到原始数值处。

如上所述，第一层存储器 2、第二层存储器 3 第三层存储器 4 中的每一

个被分成存储体 A 和存储体 B 两个存储体，并通过并行存取两个存储体，第一层和第二层中的象素被写入，取代了储存在第二层存储器 3 和第三层存储器 4 中的数据并且重新写入的数据再被储存到原始数据。

具体地说，存储在由水平地址 HA 和垂直地址 VA 指定的第一层存储器 2 中存储体 A 地址处的第一层象素被读出，同时存储在由水平地址 HA 和垂直地址 VA 的部分指定的第二层存储器 3 中存储体 A 地址处的第二层象素(第一被处理数据)被读出。通过从第二层象素中减去第一层象素，最终确定第一层象素(第二被处理数据)，并被写入储存第二层象素的第二层存储器 3 中的地址处。同时，存储在由延迟的水平地址 HA 和延迟的垂直地址 VA 指定的第一层存储器 2 中存储体 B 地址处的第一层象素被读出，同时存储在由延迟的水平地址 HA 和延迟的的垂直地址 VA 的部分指定的第二层存储器 3 中存储体 B 地址处的第一层象素(第二被处理数据)被读出。通过将这些第一层象素相加，确定原始的第二层象素(第一被处理数据)，并且储存在第二层存储器 3 中存储体 B 地址处的数据，即第一层象素又被重新写回到原始的第二层象素。

虽然，在本实施例中第一层存储器 2、第二层存储器 3 和第三层存储器 4 被分成存储体 A 和存储体 B 两个存储体，但存储体的分割并不限于此方法。

虽然，在本实施例中对从存储体 A 和存储体 B 读出的数据执行相加和相减操作，但对于从存储体 A 和存储体 B 读出的数据的处理并不局限于相加和相减操作。

虽然，在本实施例中利用提供给第一层存储器 2 的水平地址 HA 和垂直地址 VA 的一部分来存取第二层存储器 3 和第三层存储器 4，但也可以利用不同于提供给第一层存储器 2 的水平地址 HA 和垂直地址 VA 的专用的(独立的)地址来存取第二层存储器 3 和第三层存储器 4。

虽然，在本实施例中采用相应于图象在每个象素的水平位置和垂直位置的水平地址和垂直地址来存取第一层存储器 2、第二层存储器 3 和第三层存储器 4，但也可以利用相应于时间方向上的地址来存取第一层存储器 2、第二层存储器 3 和第三层存储器 4。在这种情况中，第一层和第二层中的象素可以有沿时间方向分布的象素和在沿水平方向和垂直方向延伸的空间中分布的象素构成。

第一层存储器2、第二层存储器3和第三层存储器4不必由其各自的有形的存储器构成，所有这些可由一个构成。在这种情况中，第一层存储器2、第二层存储器3和第三存储器4在一个存储器中有它们各自存储区域。

虽然，在本实施例中地址提供电路1，第一层存储器2、第二层存储器3和第三层存储器4以及RMW电路5全部布置在一个芯片上，但并不要求这样。

虽然，在本实施例中分配给第一层中每个象素的位数是8，并且每一层存储器2、第二层存储器3和第三层存储器4中存储单元的数据长度分别为8、10和12位，以避免数字丢失，但第一层存储器2、第二层存储器3和第三层存储器4中存储单元的数据长度可以都设为8位。但是在这种情况中，对于第一和第三层中的象素通过舍入掉（rounding down）第一和第二层中2×2象素的和值的低阶两个位（该值等同于将所得值值除以4，这样一个平均值）所获得的数据被储存，并且这导致数据的丢失，破坏数据的复原性。

当第一层存储器2和第二层存储器3的存储容量被降低，同时如上所述第一层象素和第二层象素保持不储存，且数字丢失被避免时，在第一层和第二层中未存储的象素(象素值)根据方程(1)和(2)可正确地判定。另一方面，当第一层和第二层中的一些象素未被储存且数字丢失未处理时，在第一层和第二层中未存储的每个象素值将不能更好地确定。

本发明可以在非隔行扫描图象和隔行扫描图象中实现。

在上述实施例中，层数3可以是2或4或更多。

虽然，在本实施例中较低分层中2×2四象素的和在比较低层中高一层的另一层形成一个象素(象素值)，但在较高分层中形成象素的方法并不局限于此。

虽然，在本实施例中采用硬件执行，但本发明可以用执行上述过程的程序来完成。

虽然，在本实施例中象素(象素值)被储存在一个存储器RAM(随机存取存储器)，但象素可被储存(写入)在存储介质如磁盘、磁光盘、磁带和光卡中。

根据存储装置和存取方法，第一存储器具有相应于输入的图象数据的象素的地址，其存储区域由块基分为多个在块上可寻址的块。第一存储器的块至少根据第一和第二地址信号被同时寻址。同时对由第一和第二地址信号指

定的第一存储器中块内的地址执行读出和写入操作。该装置允许对多个块进行并行处理。其结果是，不需要行延迟电路，输入的图象数据的多行上的象素相加所得的和值被复原到原始的输入图象数据处。

上述的优选实施例并未限制本发明的范围，在不脱离本发明范围的前提下，可作各种改型和修改。

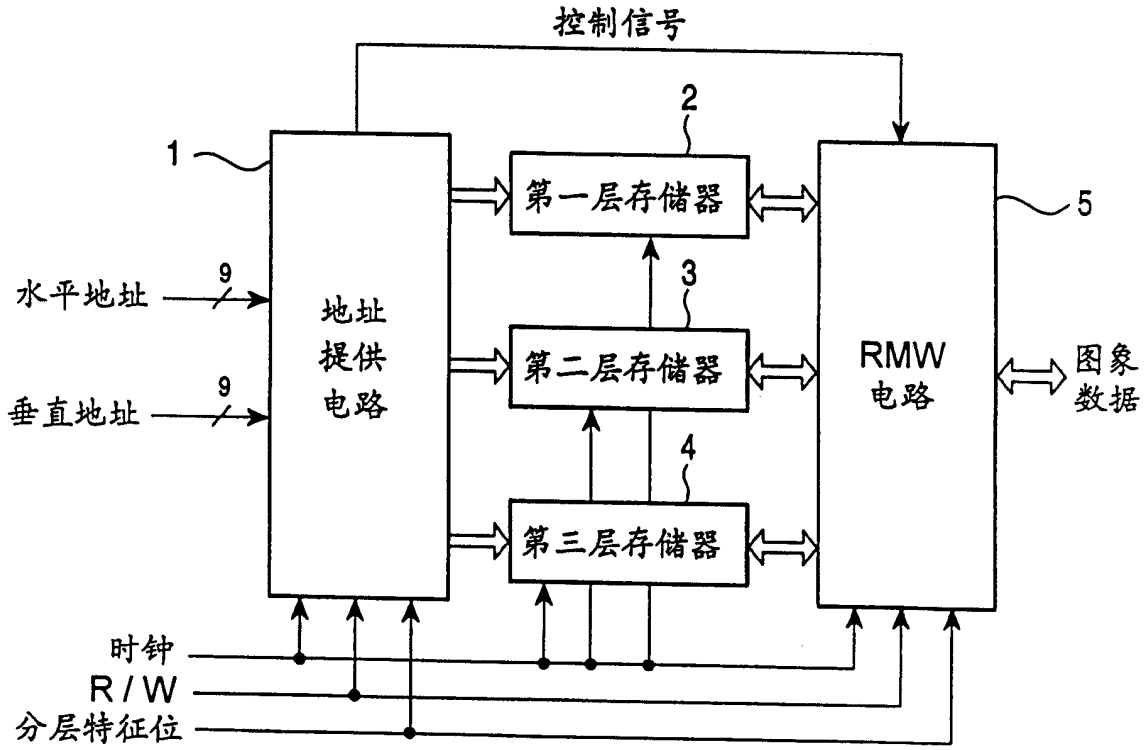

控制信号
1
2
第一层存储器
5
水平地址
9
地址
提供
电路
3
第二层存储器
RMW
电路
图象
数据
垂直地址
9
4
第三层存储器
时钟
R/W
分层特征位

图 1

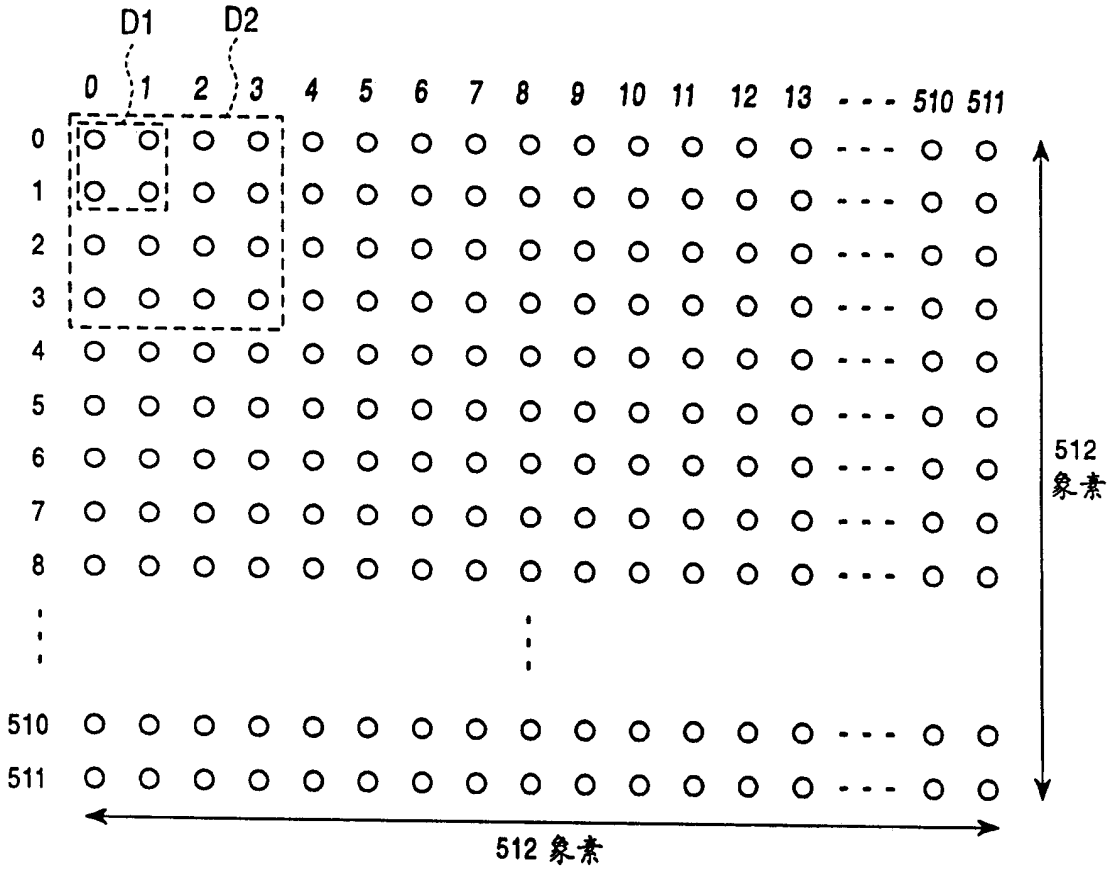

D1
D2
0 1 2 3 4 5 6 7 8 9 10 11 12 13 --- 510 511
0
1
2
3
4
5
6
7
8
510
511
512
象素
512 象素

图 2

图 3

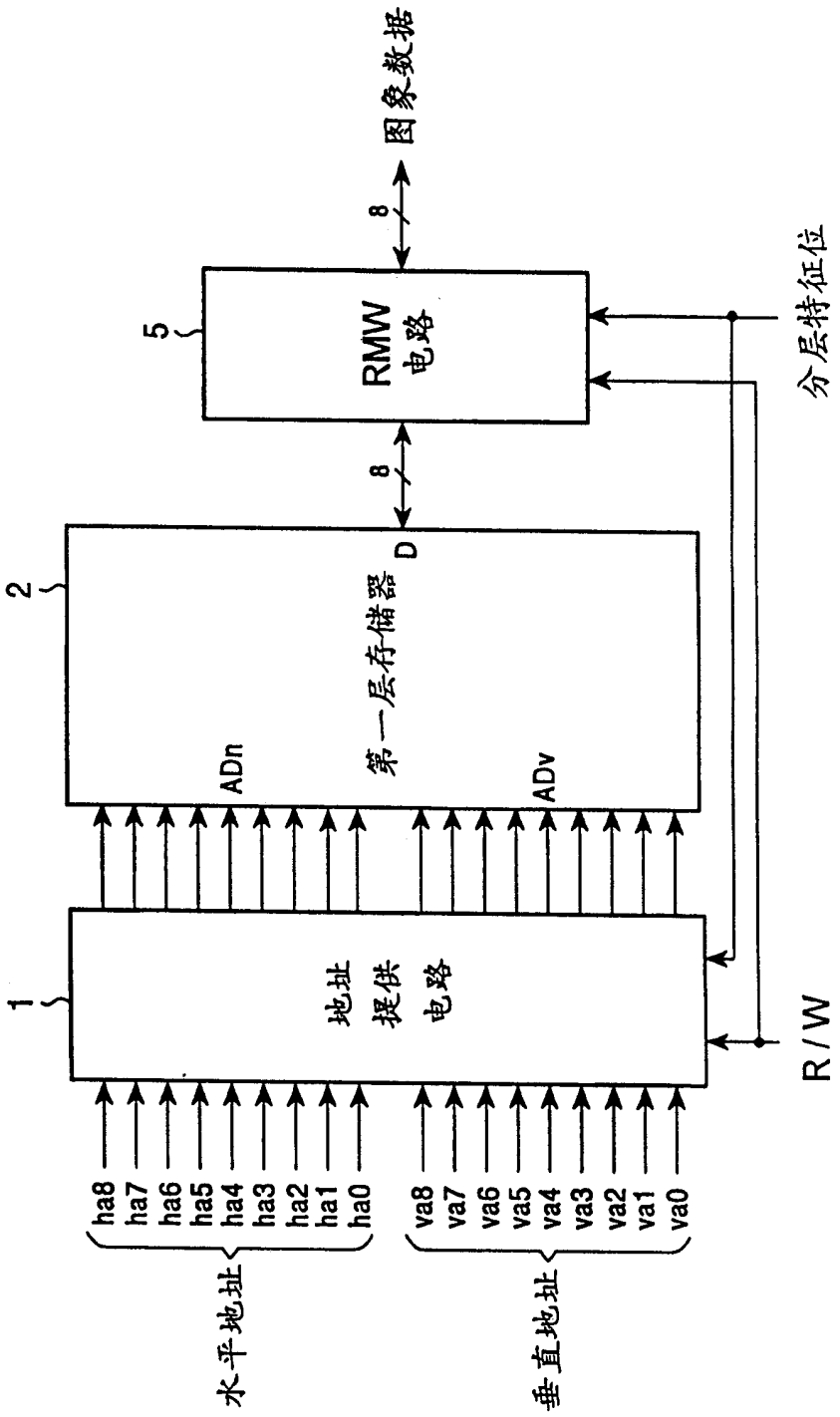

图象数据
8
5
RMW
电路
8
2
第一层存储器
D
ADn
ADv
1
地址
提供
电路
分层特征位
R / W
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
va8
va7
va6
va5
va4
va3
va2
va1
va0
水平地址
垂直地址

图 4

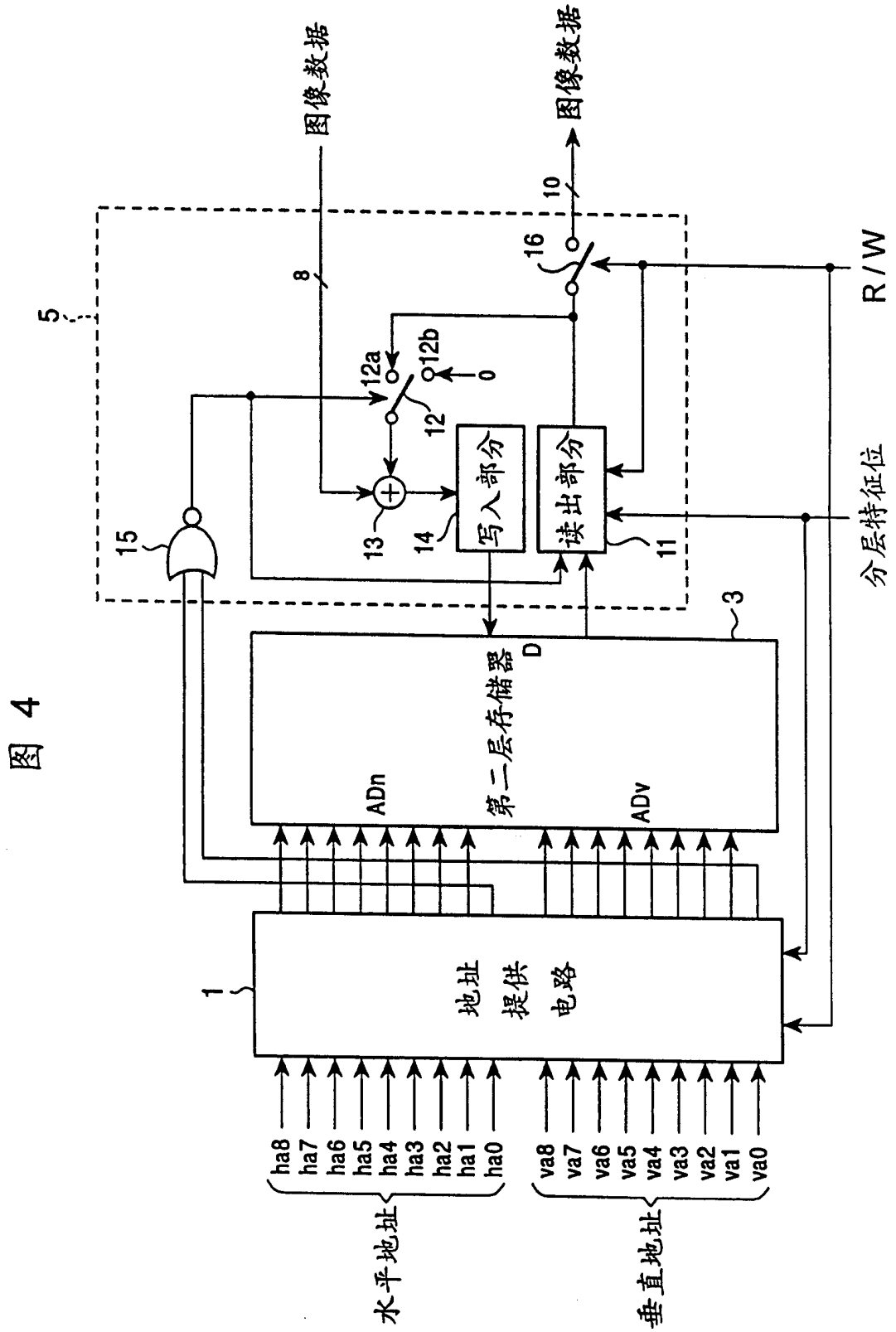

图像数据
图像数据
R/W
分层特征位
5
8
10
16
12a
12b
0
12
写入部分
读出部分
13
14
11
15
3
第二层存储器
D
ADn
ADv
1
地址提供电路
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
va8
va7
va6
va5
va4
va3
va2
va1
va0
水平地址
垂直地址

图 5

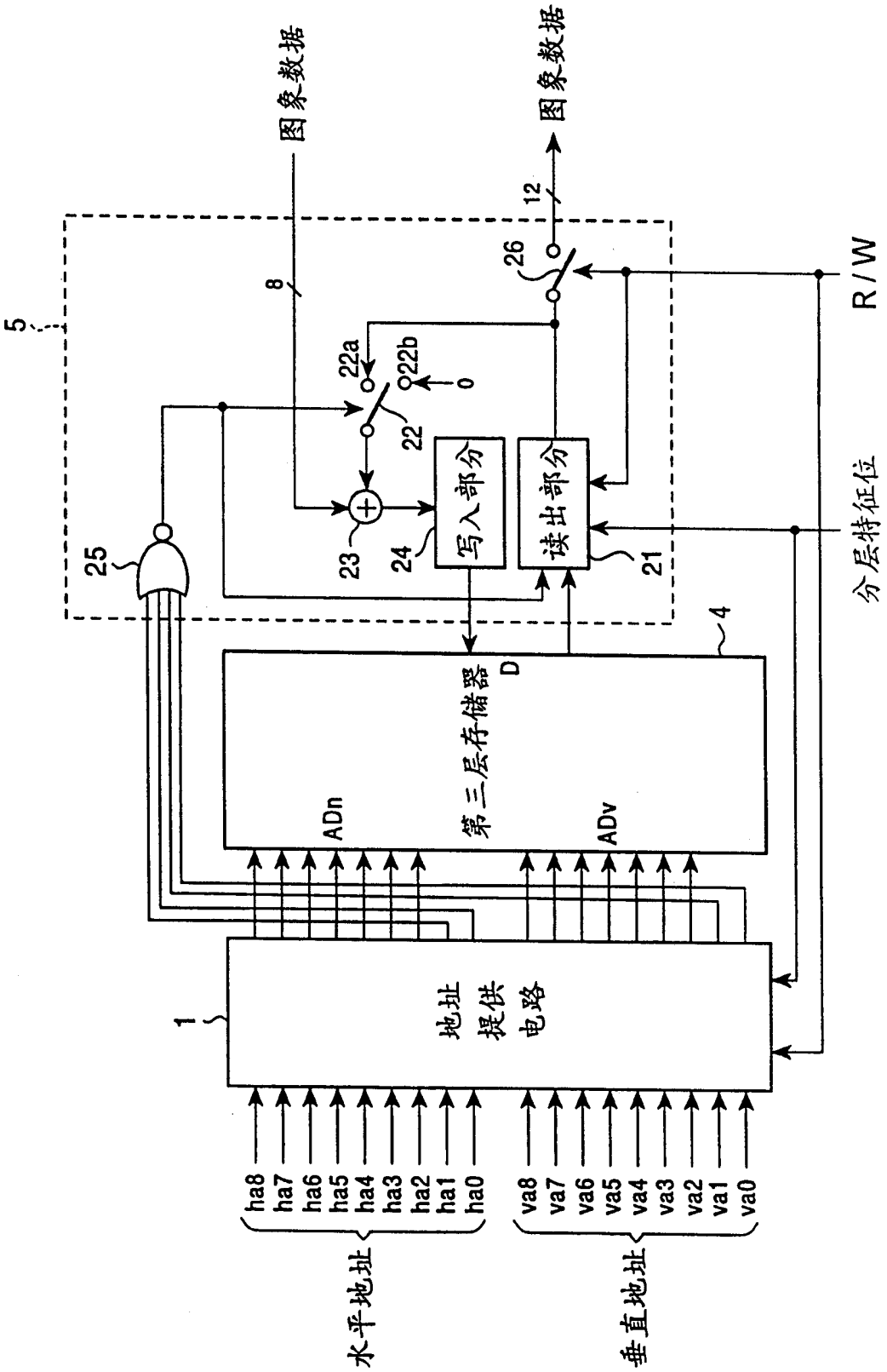
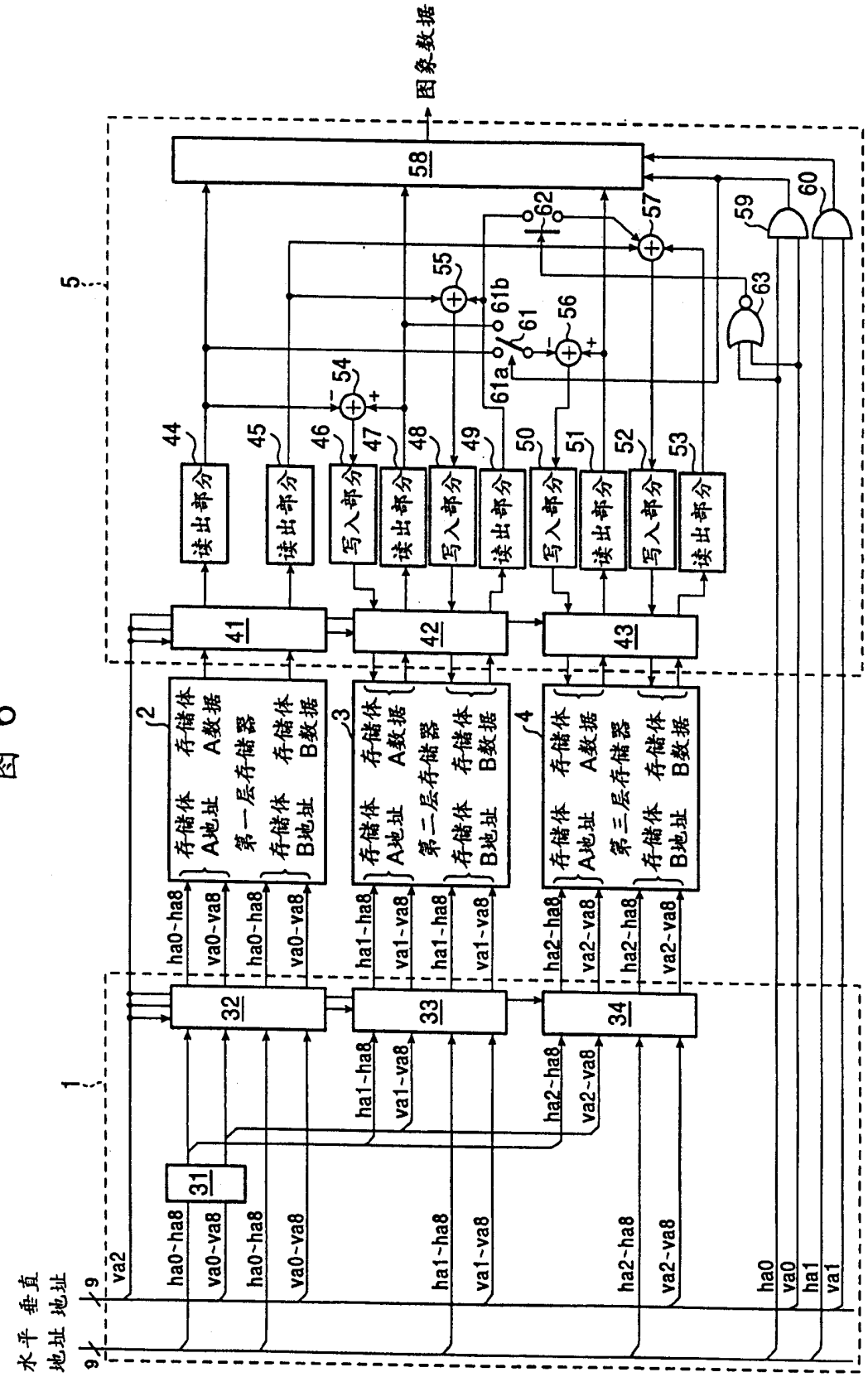

图象数据
图象数据
12
26
R/W
5
8
22a
22b
0
22
写入部分
读出部分
23
24
21
25
分层特征位
4
第三层存储器
D
ADn
ADv
1
地址
提供
电路
ha8
ha7
ha6
ha5
ha4
ha3
ha2
ha1
ha0
va8
va7
va6
va5
va4
va3
va2
va1
va0
水平地址
垂直地址

图 6


水平地址
垂直地址
图象数据
第一层存储器
第二层存储器
第三层存储器
存储体A地址
存储体B地址
存储体A数据
存储体B数据
读出部分
写入部分
ha0~ha8
va0~va8
ha1~ha8
va1~va8
ha2~ha8
va2~va8

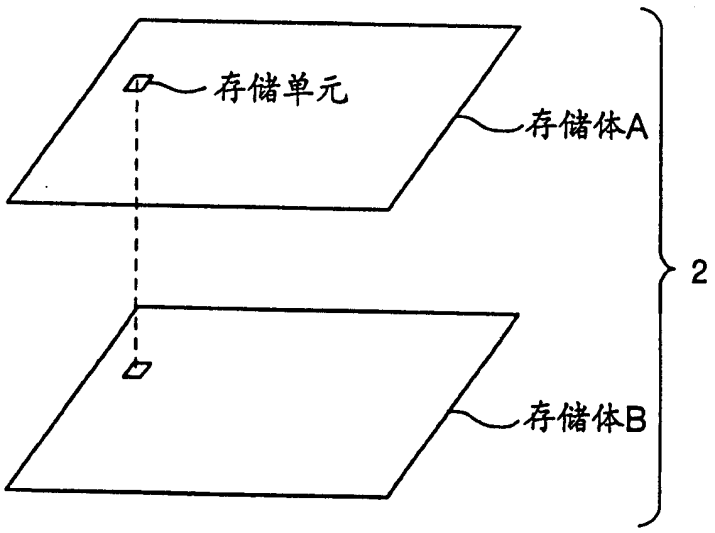


图 7

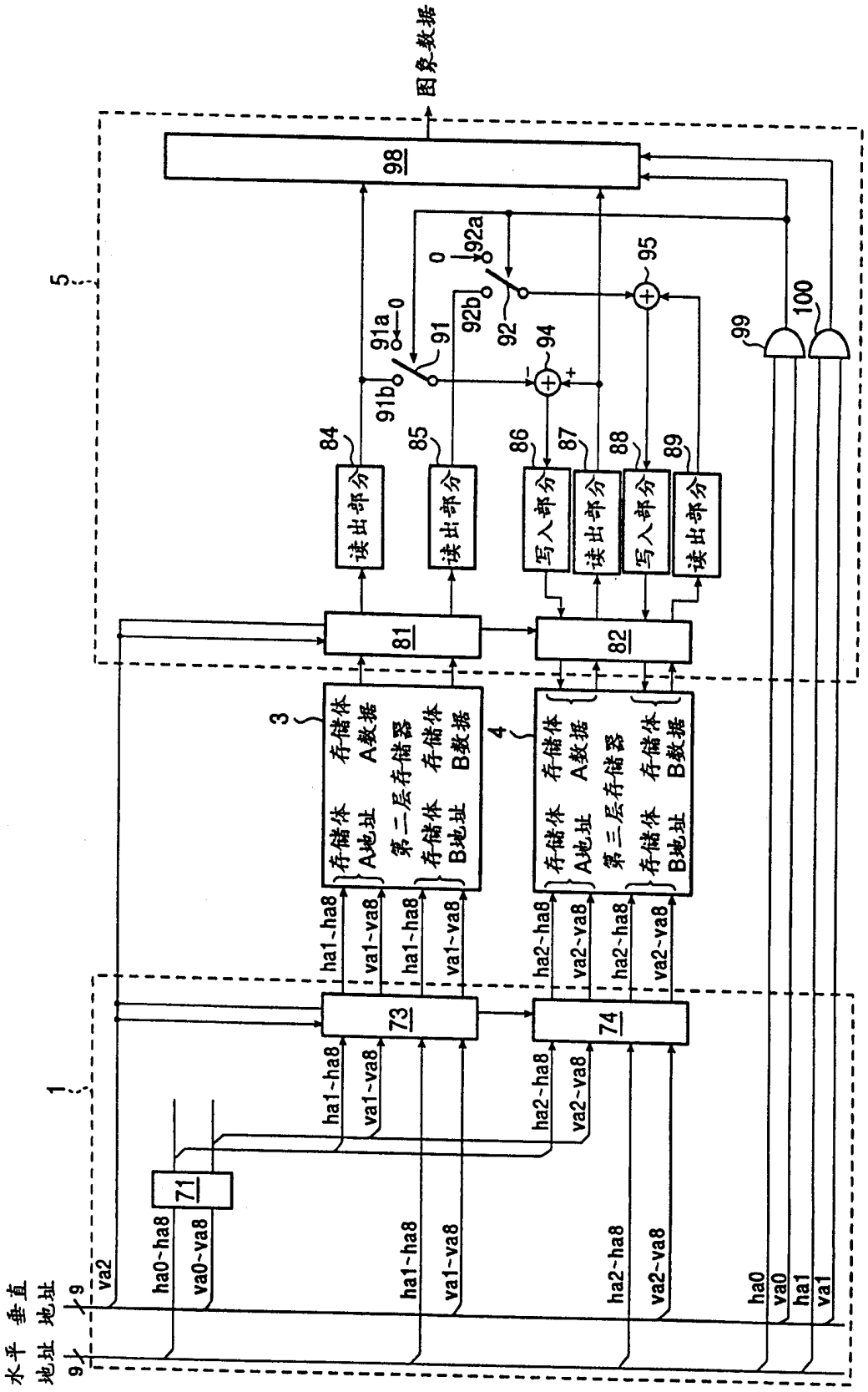

图象数据
98
5
91a
91b
91
92a
92b
92
94
95
99
100
84
85
86
87
88
89
读出部分
写入部分
81
82
3
4
存储体A数据
存储体A地址
第二层存储器
存储体B数据
存储体B地址
第三层存储器
ha1~ha8
va1~va8
ha2~ha8
va2~va8
73
74
1
71
水平地址
垂直地址
9
va2
ha0~ha8
va0~va8
ha0
va0
ha1
va1

图 8

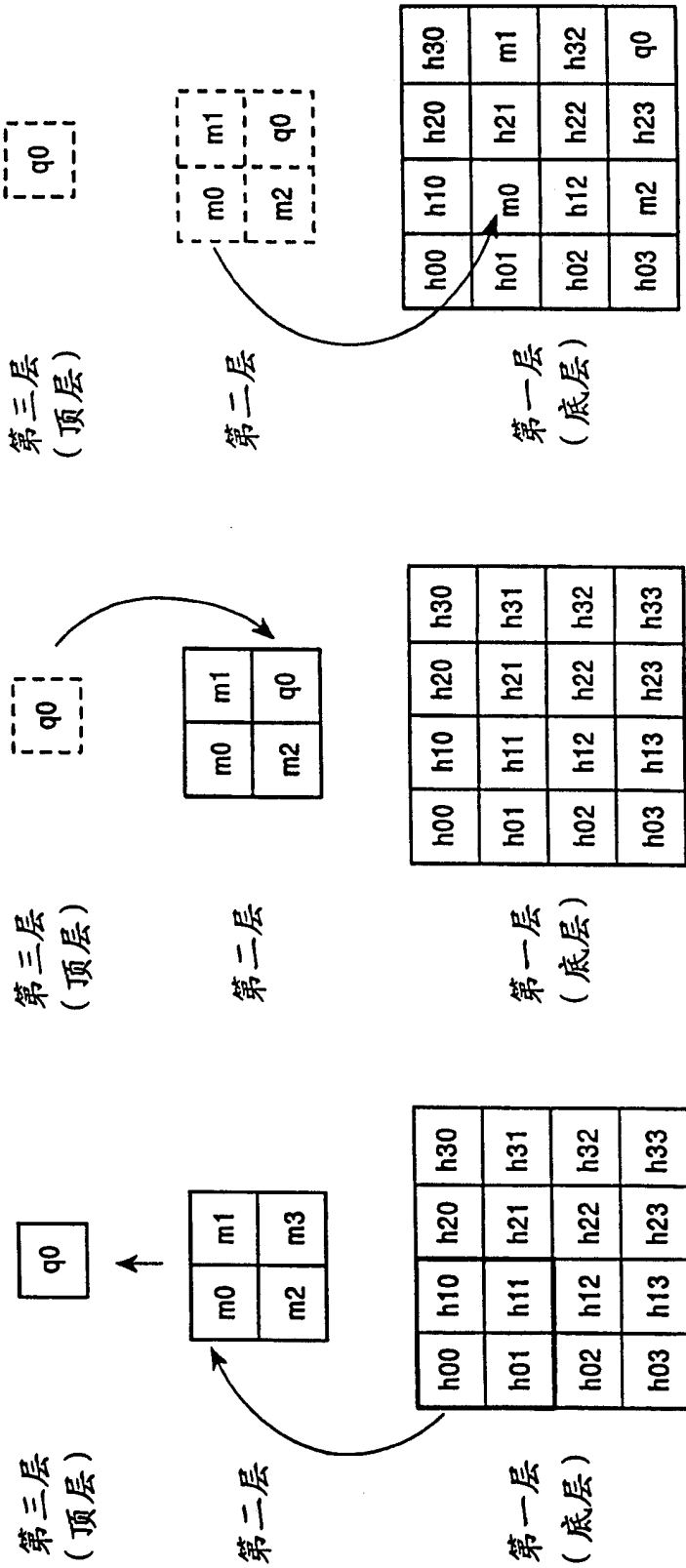

第三层
(顶层)
第二层
第一层
(底层)
q0
m0
m1
m2
m3
h00
h01
h02
h03
h10
h11
h12
h13
h20
h21
h22
h23
h30
h31
h32
h33
象素

图 9A

第三层
(顶层)
第二层
第一层
(底层)
q0
m0
m1
m2
h00
h01
h02
h03
h10
h11
h12
h13
h20
h21
h22
h23
h30
h31
h32
h33

图 9B

第三层
(顶层)
第二层
第一层
(底层)
q0
m0
m1
m2
h00
h01
h02
h03
h10
h20
h30
h21
h31
h22
h32
h23

图 9C