



등록특허 10-2150552



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년09월01일  
(11) 등록번호 10-2150552  
(24) 등록일자 2020년08월26일

(51) 국제특허분류(Int. Cl.)  
*H01G 4/40* (2006.01) *H01C 7/112* (2006.01)

*H01G 4/30* (2006.01)

(52) CPC특허분류

*H01G 4/40* (2013.01)*H01C 7/112* (2013.01)

(21) 출원번호 10-2018-0074975

(22) 출원일자 2018년06월28일

심사청구일자 2018년06월28일

(65) 공개번호 10-2020-0001885

(43) 공개일자 2020년01월07일

(56) 선행기술조사문현

KR101760877 B1\*

KR1020150135909 A\*

\*는 심사관에 의하여 인용된 문현

(73) 특허권자  
삼성전기주식회사  
경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자  
김해인  
경기도 수원시 영통구 매영로 150 (매탄동)

오은주  
경기도 수원시 영통구 매영로 150 (매탄동)

김용성  
경기도 수원시 영통구 매영로 150 (매탄동)

(74) 대리인  
특허법인씨엔에스

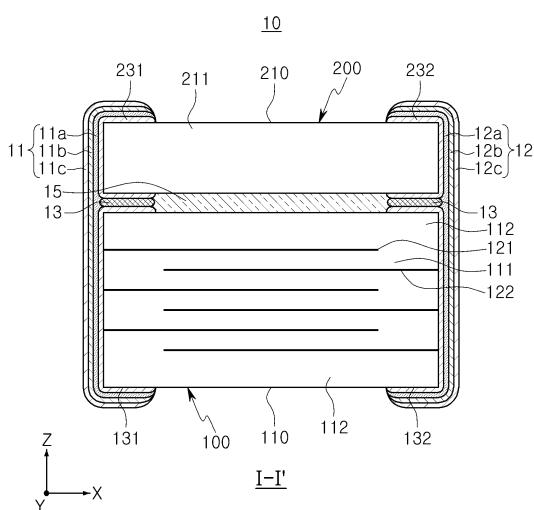
전체 청구항 수 : 총 8 항

심사관 : 전한철

(54) 발명의 명칭 복합 전자 부품

**(57) 요 약**

본 발명의 일 측면은, 유전체층 및 상기 유전체층을 사이에 두고 번갈아 배치되는 제1 및 제2 내부 전극을 포함하는 커패시터 바디와 상기 커패시터 바디에 배치되는 제1 및 제2 전극을 포함하는 커패시터; 및 ZnO를 포함하는 바리스터 바디와 상기 바리스터 바디에 배치되는 제3 및 제4 전극을 포함하는 바리스터;를 포함하고, 상기 제1 전극은 상기 제3 전극과 전기적으로 연결되고, 상기 제2 전극은 상기 제4 전극과 전기적으로 연결되어 있는 복합 전자 부품을 제공한다.

**대 표 도 - 도2**

(52) CPC특허분류  
*H01G 4/30* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

유전체층 및 상기 유전체층을 사이에 두고 번갈아 배치되는 제1 및 제2 내부 전극을 포함하는 커패시터 바디와 상기 커패시터 바디에 배치되는 제1 및 제2 전극을 포함하는 커패시터; 및

ZnO를 포함하는 바리스터 바디와 상기 바리스터 바디에 배치되는 제3 및 제4 전극을 포함하는 바리스터;를 포함하고,

상기 커패시터 바디와 상기 바리스터 바디는 서로 이격되어 배치되며, 상기 커패시터 바디와 상기 바리스터 바디 사이에는 절연성 접착제가 배치되어 상기 커패시터 바디와 상기 바리스터 바디를 결합시키고,

상기 제1 전극은 상기 제3 전극과 전기적으로 연결되고, 상기 제2 전극은 상기 제4 전극과 전기적으로 연결되어 있는 복합 전자 부품.

#### 청구항 2

제1항에 있어서,

상기 제1 및 제3 전극을 덮도록 배치되는 제1 외부 전극; 및 상기 제2 및 제4 전극을 덮도록 배치되는 제2 외부 전극;을 포함하는 복합 전자 부품.

#### 청구항 3

제2항에 있어서,

상기 제1 및 제2 외부 전극은 도금층을 포함하는 복합 전자 부품.

#### 청구항 4

제2항에 있어서,

상기 제1 및 제2 외부 전극은 전극층 및 상기 전극층 상에 형성된 도금층을 포함하는 복합 전자 부품.

#### 청구항 5

제2항에 있어서,

상기 제1 전극과 상기 제3 전극 사이, 상기 제2 전극과 상기 제4 전극 사이에는 도전성 접착제가 배치되는 복합 전자 부품.

#### 청구항 6

삭제

#### 청구항 7

제1항에 있어서,

상기 제1 내지 제4 전극은 각각 표면에 제1 내지 제4 도금층이 형성되어 있고,

상기 제1 도금층과 상기 제3 도금층 사이, 상기 제2 도금층과 상기 제4 도금층 사이에는 솔더가 배치되는 복합 전자 부품.

## 청구항 8

삭제

## 청구항 9

제1항에 있어서,

상기 복합 전자 부품의 턴온 전압 산포는 50 이하인 복합 전자 부품.

## 청구항 10

제1항에 있어서,

상기 복합 전자 부품의 턴온 시 저항은 100Ω 이상인 복합 전자 부품.

## 발명의 설명

### 기술 분야

[0001]

본 발명은 복합 전자 부품에 관한 것이다.

### 배경 기술

[0003]

최근 휴대용 전자기기에서 전도성을 가지는 금속 소재의 케이스를 이용하는 경향이 높아지고 있으며, 이에 따라 전자기기의 내부 및 외부에의 전기적 충격을 차단의 필요성이 높아지고 있다.

[0004]

특히, 심미성 및 강도 향상 등의 목적으로 인해 휴대용 전자기기의 전면을 금속 프레임을 이용하여 제조하는 경우가 증가하고 있는데, 외부의 정전기(ESD; Electrostatic discharge)로 인한 내부의 전자 부품 보호 또는 내부의 전원으로 인한 사용자의 감전을 방지하기 위한 수단의 필요성이 더욱 높아지고 있는 실정이다.

[0005]

이에, 특허문헌 1에서는 적층 세라믹 커패시터(Multi Layered Ceramic Capacitor, MLCC) 상에 제1, 제2 방전 전극 및 ESD 방전층을 포함하는 ESD 보호 소자를 인쇄 방식으로 형성하여, 방전 전극의 폭 및 제1, 제2 방전 전극 간의 간격을 제어함으로써 정전기에 대해 내구성이 뛰어난 복합 전자 부품에 대하여 개시하고 있다.

[0006]

그러나, 특허문헌 1의 경우, 동작 전압의 산포가 매우 크고, 턴온 이후의 소자 저항이 낮아 순간적으로 흐르는 전류가 높아져 턴온 시의 방사 노이즈(Radiated Noise)가 발생하는 문제점이 있었다.

### 선행기술문헌

#### 특허문헌

[0008]

(특허문헌 0001) 한국 공개특허공보 제10-2017-0135667호

## 발명의 내용

### 해결하려는 과제

[0009]

본 발명의 일 목적 중 하나는 정전기에 대해 내구성이 뛰어나며, 턴온(Turn-on) 시의 전압 산포가 작고, 방사 노이즈의 발생이 억제된 복합 전자 부품을 제공하기 위함이다.

## 과제의 해결 수단

[0011]

본 발명의 일 측면은, 유전체층 및 상기 유전체층을 사이에 두고 번갈아 배치되는 제1 및 제2 내부 전극을 포함하는 커패시터 바디와 상기 커패시터 바디에 배치되는 제1 및 제2 전극을 포함하는 커패시터; 및 ZnO를 포함하는 바리스터 바디와 상기 바리스터 바디에 배치되는 제3 및 제4 전극을 포함하는 바리스터;를 포함하고, 상기 제1 전극은 상기 제3 전극과 전기적으로 연결되고, 상기 제2 전극은 상기 제4 전극과 전기적으로 연결되어 있는 복합 전자 부품을 제공한다.

## 발명의 효과

[0013]

본 발명의 일 실시예에 따른 복합 전자 부품은 바리스터를 커패시터와 결합함으로써, 정전기에 대해 내구성이 뛰어나며, 턴온(Turn-on) 시의 전압 산포가 작고, 턴온 시의 저항을 높여 방사 노이즈의 발생을 억제할 수 있는 장점이 있다. 이에 따라, 실사용시 주변 환경에 미치는 영향을 최소화할 수 있다.

[0014]

또한, 바리스터를 별도로 제작하여 커패시터와 결합하기 때문에 제조 공정이 단순하고 재료 선정의 제약이 없다는 장점이 있다.

## 도면의 간단한 설명

[0016]

도 1은 본 발명의 일 실시예에 따른 복합 전자 부품의 사시도를 개략적으로 도시한 것이다.

도 2는 도 1의 I-I`에 따른 단면도이다.

도 3은 표 1의 값에 대한 그래프이다.

도 4는 비교예 2의 반복측정횟수에 따른 측정값을 나타낸 그래프이다.

도 5는 (a) 비교예의 턴온 시의 I-V 그래프 및 (b) 발명예의 턴온 시의 I-V 그래프이다.

도 6은 본 발명의 다른 일 실시예에 따른 복합 전자 부품의 사시도를 개략적으로 도시한 것이다.

도 7은 도 6의 I-I`에 따른 단면도이다.

## 발명을 실시하기 위한 구체적인 내용

[0017]

이하, 구체적인 실시형태 및 첨부된 도면을 참조하여 본 발명의 실시형태를 설명한다. 그러나, 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 통상의 기술자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있다. 또한, 각 실시 예의 도면에 나타난 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다.

[0019]

그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하고, 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었으며, 동일한 사상의 범위 내의 기능이 동일한 구성요소는 동일한 참조부호를 사용하여 설명한다. 나아가, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0020]

도면에서 X 방향은 제1 방향 또는 길이방향, Y 방향은 제2 방향 또는 폭 방향, Z 방향은 제3 방향, 두께 방향 또는 적층 방향으로 이해될 수 있으나, 이에 제한되는 것은 아니다.

[0022]

## 복합 전자 부품

[0024]

도 1은 본 발명의 일 실시예에 따른 복합 전자 부품의 사시도를 개략적으로 도시한 것이다. 도 2는 도 1의 I-I`에 따른 단면도이다.

[0026]

이하, 도 1 및 도 2를 참조하여, 본 발명의 일 실시예에 따른 복합 전자 부품(10)에 대해 설명하도록 한다.

[0027]

본 발명의 일 실시예에 따른 복합 전자 부품(10)은 커패시터(100)와 바리스터(200)이 결합된 복합체이다.

[0029]

커패시터(100)는 유전체층(111) 및 유전체층(111)을 사이에 두고 번갈아 배치되는 제1 및 제2 내부 전극(121, 122)을 포함하는 커패시터 바디(110)와 커패시터 바디(110)에 배치되는 제1 및 제2 전극(131, 132)을 포함한다.

- [0030] 커패시터 바디(110)는 복수의 유전체층(111)을 두께(Z) 방향으로 적층한 다음 소성하여 형성되며, 이러한 커패시터 바디(110)의 형상, 치수 및 유전체층(111)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다.
- [0031] 커패시터 바디(110)는 두께 방향(Z 방향)으로 서로 대향하는 제1 및 제2 면, 상기 제1 및 제2 면과 연결되고 길이 방향(X 방향)으로 서로 대향하는 제3 및 제4 면, 제1 및 제2 면과 연결되고 제3 및 제4 면과 연결되며 폭 방향(Y 방향)으로 서로 대향하는 제5 및 제6 면을 가질 수 있다.
- [0032] 커패시터 바디(110)를 형성하는 복수의 유전체층(111)은 소성된 상태로서, 인접하는 유전체층(111) 사이의 경계는 주사전자현미경(SEM: Scanning Electron Microscope)를 이용하지 않고 확인하기 곤란할 정도로 일체화될 수 있다.
- [0033] 유전체층(111)을 형성하는 원료는 충분한 정전 용량을 얻을 수 있는 한 특별히 제한되지 않으며, 예를 들어, 티탄산바륨(BaTiO<sub>3</sub>) 분말일 수 있다. 유전체층(111)을 형성하는 재료는 티탄산바륨(BaTiO<sub>3</sub>) 등의 파우더에 본 발명의 목적에 따라 다양한 세라믹 첨가제, 유기용제, 가소제, 결합제, 분산제 등이 첨가될 수 있다.
- [0034] 커패시터 바디(110)의 상부 및 하부에는 각각 내부 전극이 형성되지 않은 유전체층을 적층하여 형성되는 커버층(112)을 포함할 수 있다. 커버층(112)은 외부 충격에 대해 커패시터의 신뢰성을 유지하는 역할을 수행할 수 있다.
- [0035] 도 2를 참조하면, 커패시터 바디(110)는 유전체층(111)과 유전체층(111)을 사이에 두고 커패시터 바디의 제3 및 제4 면을 통해 번갈아 노출되도록 배치되는 제1 및 제2 내부 전극(121, 122)을 포함할 수 있다.
- [0036] 제1 및 제2 내부 전극(121, 122)은 서로 다른 극성을 갖는 한 쌍의 전극으로서, 중간에 배치된 유전체층(111)에 의해 서로 전기적으로 절연된다.
- [0037] 제1 및 제2 내부 전극(121, 122)은 커패시터 바디(110)의 길이 방향(X 방향)의 제3 및 제4 면으로 교대로 노출됨으로써, 커패시터 바디(110)의 외측에 배치되는 제1 및 제2 전극(131, 132)과 각각 연결된다.
- [0038] 제1 및 제2 내부 전극(121, 122)은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금의 도전성 금속을 포함할 수 있다.
- [0039] 제1 및 제2 전극(131, 132)은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금의 도전성 금속을 포함할 수 있다. 제1 및 제2 전극(131, 132)의 형성 방법은 특별히 제한할 필요는 없으며, 예를 들어, 도전성 페이스트를 도포하여 형성할 수 있으며, 스퍼터링법, ALD(Atomic Layer Deposititon) 등을 이용하여 형성할 수도 있다.
- [0041] 바리스터(200)는 ZnO를 포함하는 바리스터 바디(210)와 상기 바리스터 바디에 배치되는 제3 및 제4 전극(231, 232)을 포함한다. ZnO는 턴온(Turn-on) 전압 이하에서는 절연성을 가지지만, 턴온 전압보다 높은 전압이 인가되는 경우에는 도전성을 가져 제3 전극(231)과 제4 전극(232) 간에 전류가 흐르게 하여 바리스터 기능을 구현하는 역할을 한다.
- [0042] 바리스터 바디(210)는 ZnO를 포함하는 복수의 유전체층(211)을 두께(Z) 방향으로 적층한 다음 소성하여 형성되며, 이러한 바리스터 바디(210)의 형상, 치수 및 유전체층(211)의 적층 수가 본 실시 형태에 도시된 것으로 한정되는 것은 아니다. 또한, 바리스터 바디(210)는 ZnO를 주성분으로 할 수 있다.
- [0043] ZnO를 포함하는 유전체층(211)을 형성하는 원료는 바리스터 기능을 구현할 수 있는 한 특별히 제한되지 않는다. 예를 들어, ZnO를 주성분으로 하는 파우더의 입자 크기, 첨가제, 공정 조건 등을 제어하여 목적하는 턴온(Turn-on) 전압을 확보할 수 있다.
- [0044] 제3 및 제4 전극(231, 232)은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금의 도전성 금속을 포함할 수 있다. 제3 및 제4 전극(231, 232)의 형성 방법은 특별히 제한할 필요는 없으며, 예를 들어, 도전성 페이스트를 도포하여 형성할 수 있으며, 스퍼터링법, ALD(Atomic Layer Deposititon) 등을 이용하여 형성할 수도 있다.
- [0046] 커패시터(100)와 바리스터(200)는 커패시터의 제1 전극(131)이 바리스터의 제3 전극(231)과 전기적으로 연결되고, 커패시터의 제2 전극(132)이 바리스터의 제4 전극(232)과 전기적으로 연결되어 복합 전자 부품(10)을 구성한다.

[0047] 종래에는 커패시터 상에 제1, 제2 방전 전극 및 ESD(Electrostatic discharge) 방전충을 포함하는 써프레서(Suppressor) 타입의 ESD 보호 소자를 인쇄 방식으로 형성하여 복합 전자 부품을 구성하였다. 이 경우, ESD 방전충이 실리콘(Si)을 주성분으로 하고 있어 동작전압의 산포가 매우 크고, 턴온 이후의 소자 저항이 낮아 순간적으로 흐르는 전류가 높아져 턴온 시의 방사 노이즈로 인해 주변의 회로가 영향을 받아 소프트페일(Soft-Fail)이 발생하는 문제가 있었다.

[0048] 반면에, 본 발명에서는 별도로 제조되고, ZnO를 주성분으로 하는 바리스터(200)를 커패시터(100)와 결합시켜 복합 전자 부품을 구성함으로써, 턴온 시의 전압 산포가 작고, 턴온 시의 저항을 높여 방사 노이즈의 발생을 억제할 수 있다.

[0050] 하기 표 1은 커패시터 상에 제1, 제2 방전 전극 및 실리콘을 주성분으로 하는 ESD 방전충을 포함하는 ESD 보호 소자를 인쇄 방식으로 형성하여 복합 전자 부품(비교예)과 별도로 제조된 ZnO를 주성분으로 하는 바리스터를 커패시터와 결합시킨 복합 전자 부품(발명예)에 대하여 턴온 전압을 측정하여 나타낸 것이다.

[0051] 비교예 1은 동일하게 제조된 20개의 비교예에 대하여 각각 턴온 전압을 측정한 후, 그 평균값, 최대값, 최소값, 최대값과 최소값의 차이 및 산포(Stddev, standard deviation)를 기재한 것이다. 비교예 2는 1개의 비교예에 대하여 턴온 전압을 20회 반복 측정한 후, 그 평균값, 최대값, 최소값, 최대값과 최소값의 차이 및 산포를 기재한 것이다.

[0052] 발명예 1은 동일하게 제조된 20개의 발명예에 대하여 각각 턴온 전압을 측정한 후, 그 평균값, 최대값, 최소값, 최대값과 최소값의 차이 및 산포를 기재한 것이다. 발명예 2는 1개의 발명예에 대하여 턴온 전압을 20회 반복 측정한 후, 그 평균값, 최대값, 최소값, 최대값과 최소값의 차이 및 산포를 기재한 것이다.

[0053] 도 3은 표 1의 값에 대한 그래프이다. 도 4는 비교예 2의 반복측정횟수에 따른 측정값을 나타낸 그래프이다. 도 3 및 도 4에서 ToV는 턴온 전압(Turn-on Voltage)을 의미한다.

표 1

턴온 전압	비교예		발명예	
	비교예 1	비교예 2	발명예 1	발명예 2
평균값(V)	559	467	561	611
최대값(V)	779	772	613	633
최소값(V)	400	187	477	587
최대값-최소값(V)	379	585	136	46
산포	113	139	41	13

[0057] 표 1 및 도 1에서 확인할 수 있듯이, 비교예의 경우 산포가 100을 초과하나, 발명예의 경우 산포가 50 이하로 턴온 전압 산포가 현저히 낮아진 것을 알 수 있다.

[0058] 특히, 샘플 20개에 대하여 각각 측정한 비교예 1과 발명예 1의 산포는 약 3배 정도의 차이가 나나, 샘플 1개에 대하여 20회 반복 측정한 비교예 2와 발명예 2의 산포는 10배 이상의 차이가 나는 것을 확인할 수 있다.

[0059] 이는 도 4에서 확인할 수 있듯이, 실리콘을 주성분으로 하는 ESD 방전충을 포함하는 비교예의 경우 반복 측정에 따라 측정값이 점차적으로 저하되기 때문이다. 따라서, 발명예가 ESD(Electrostatic discharge)에 대한 내구성도 우수하다는 것을 알 수 있다.

[0060] 따라서, 본 발명의 일 실시예에 따른 복합 전자 부품의 턴온 전압 산포는 50 이하일 수 있다.

[0062] 도 5는 (a) 비교예의 턴온 시의 I-V 그래프 및 (b) 발명예의 턴온 시의 I-V 그래프이다. 도 5에서 X축 및 Y축은 각각 인가 스텝별로 샘플에 걸리는 전압 및 전류를 나타낸다. 턴온의 기준은 일반적으로 전류가 0.01A를 초과하는 시점이며, 그 이후에 샘플에 걸리는 저항이 턴온 시의 저항이 된다.

[0063] 비교예의 턴온 시점은 약 570 V 이후의 일정 전압을 갖게 되는 구간이며, 비교예의 저항값을 계산하면  $R = 48/15.7$ 로 약 3.1Ω이 된다.

[0064] 발명예의 턴온 시점은 약 600 V 이후이며, 발명예의 저항값을 계산하면  $R = 895/6.5$ 로 약 138Ω이 된다.

[0065] 발명예의 경우 비교예에 비하여 턴온 이후에 저항이 매우 높은 것을 알 수 있으며, 충분한 저항을 갖고 있기 때

문에 실사용시 주변 회로에 미치는 영향을 최소화할 수 있다.

[0066] 따라서, 본 발명의 일 실시예에 따른 복합 전자 부품은 턴온 시의 저항이 100Ω 이상일 수 있다.

[0068] 한편, 본 발명의 일 실시예에 따른 복합 전자 부품(10)은 제1 및 제2 외부 전극(11, 12)을 포함할 수 있다.

[0069] 제1 외부 전극(11)은 커패시터의 제1 전극(131)과 바리스터의 제3 전극(231)을 덮도록 배치되고, 제2 외부 전극(12)은 커패시터의 제2 전극(132)과 바리스터의 제3 전극(232)을 덮도록 배치될 수 있다.

[0070] 제1 및 제2 외부 전극(11, 12)은 커패시터(100)와 바리스터(200)를 결합시키며, 제1 전극(131)과 제3 전극(231)을 전기적으로 연결시키고, 제2 전극(132)과 제4 전극(232)을 전기적으로 연결시켜 복합 전자 부품으로의 기능이 구현되도록 한다.

[0072] 제1 및 제2 외부 전극(11, 12)은 도금층(11b, 11c, 12b, 12c)을 포함할 수 있다. 도금층(11b, 11c, 12b, 12c)은 실장 특성을 향상시키는 역할을 한다. 또한, 도금층은 Ni 도금층 또는 Sn 도금층일 수 있으며, 다층으로 형성될 수도 있다. 예를 들어, 제1 외부 전극(11)은 제1 전극(131)과 제3 전극(231)을 덮도록 배치되는 Ni 도금층 및 Ni 도금층 상에 형성된 Sn 도금층을 포함하고, 제2 외부 전극(12)은 제2 전극(132)과 제4 전극(232)을 덮도록 배치되는 Ni 도금층 및 Ni 도금층 상에 형성된 Sn 도금층을 포함할 수 있다.

[0074] 또한, 제1 및 제2 외부 전극(11, 12)은 전극층(11a, 12a) 및 전극층 상에 형성된 도금층(11b, 11c, 12b, 12c)을 포함할 수 있다.

[0075] 도 2에 도시된 바와 같이, 전극층(11a, 12a)이 제1, 제3 전극(131, 231) 또는 제2, 제4 전극(132, 232)을 덮도록 배치되고, 전극층(11a, 12a) 상에 도금층(11b, 11c, 12b, 12c)이 형성된 형태일 수 있다.

[0076] 전극층(11a, 12a)은 니켈(Ni), 구리(Cu), 팔라듐(Pd), 은(Ag), 납(Pb) 또는 백금(Pt) 등의 단독 또는 이들의 합금의 도전성 금속을 포함할 수 있다. 전극층(11a, 12a)의 형성 방법은 특별히 제한할 필요는 없으며, 예를 들어, 도전성 페이스트를 도포하여 형성할 수 있으며, 스퍼터링법, ALD(Atomic Layer Depositon) 등을 이용하여 형성할 수도 있다.

[0077] 또한, 전극층(11a, 12a)을 제1 내지 제4 전극(131, 132, 231, 232)과 동일 물질로 함으로써 커패시터와 바리스터의 결합을 보다 견고히 할 수 있다.

[0078] 도금층(11b, 11c, 12b, 12c)은 Ni 도금층 또는 Sn 도금층일 수 있으며, 다층으로 형성될 수도 있다.

[0080] 제1 전극(131)과 제3 전극(231) 사이, 제2 전극(132)과 제4 전극(232) 사이에는 도전성 접착제(13)가 배치되어 커패시터(100)와 바리스터(200)가 보다 견고하게 결합되도록 할 수 있다.

[0082] 또한, 바리스터 바디(210)와 커패시터 바디(110) 사이에는 절연성 접착제(15)가 배치되어 커패시터(100)와 바리스터(200)가 보다 견고하게 결합되도록 할 수 있으며, 바리스터 바디(210)와 커패시터 바디(110) 사이로 도금 및 이물질의 침투를 방지하는 역할을 할 수 있다.

[0085] 도 6은 본 발명의 다른 일 실시예에 따른 복합 전자 부품의 사시도를 개략적으로 도시한 것이다. 도 7은 도 6의 I-I`에 따른 단면도이다.

[0086] 이하, 도 6 및 도 7을 참조하여, 본 발명의 일 실시예에 따른 복합 전자 부품(20)에 대해 설명하도록 한다. 다만, 상술한 설명과 중복되는 부분은 생략한다.

[0088] 본 발명의 다른 일 실시예에 따른 복합 전자 부품(20)은 제1 내지 제4 전극(131, 132, 231, 232)의 표면에 각각 제1 내지 제4 도금층(133, 134, 233, 234)이 배치되고, 제1 도금층(133)과 제3 도금층(233) 사이, 제2 도금층(134)과 제4 도금층(234) 사이에는 솔더(23)가 배치된다.

[0089] 솔더(23)는 도금층과 도금층을 접합시켜 커패시터(100)와 바리스터(200)가 물리적으로 결합되고 전기적으로 연결되도록 하는 역할을 한다.

[0091] 또한, 바리스터 바디(210)와 커패시터 바디(110) 사이에는 절연성 접착제(15)가 배치되어 커패시터(100)와 바리스터(200)가 보다 견고하게 결합되도록 할 수 있으며, 바리스터 바디(210)와 커패시터 바디(110) 사이로 도금 및 이물질의 침투를 방지하는 역할을 할 수 있다.

[0093] 이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명은 상술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다.

[0094]

따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술 분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

### 부호의 설명

[0096]

10: 복합 전자 부품

100: 커페시터

110: 커페시터 바디

111: 유전체층

112: 커버층

121, 122: 내부 전극

131, 132: 제1 및 제2 전극

200: 바리스터

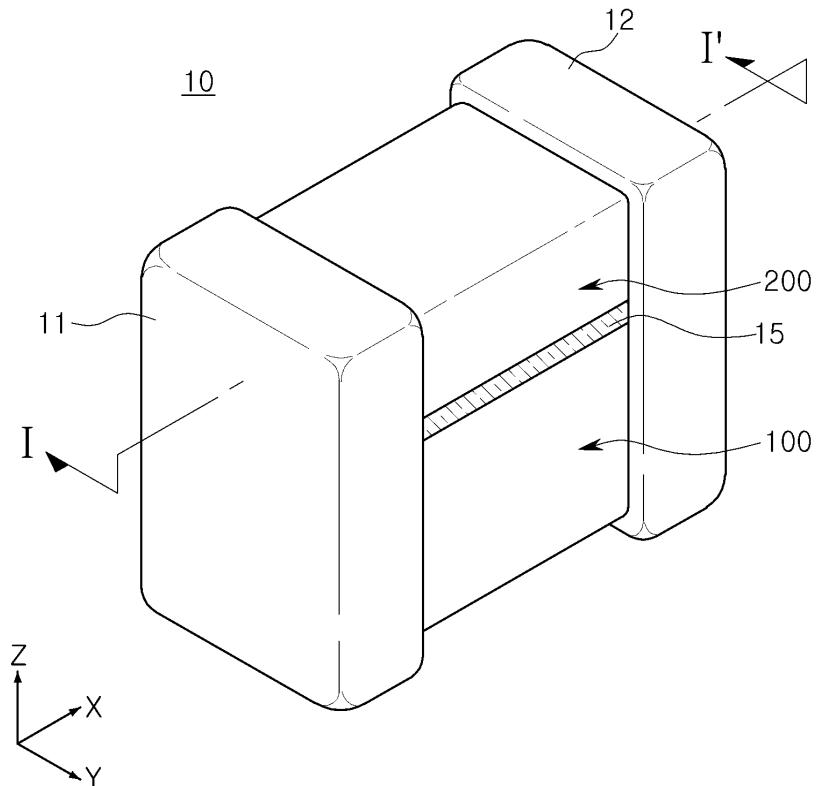
210: 바리스터 바디

231, 232: 제3 및 제4 전극

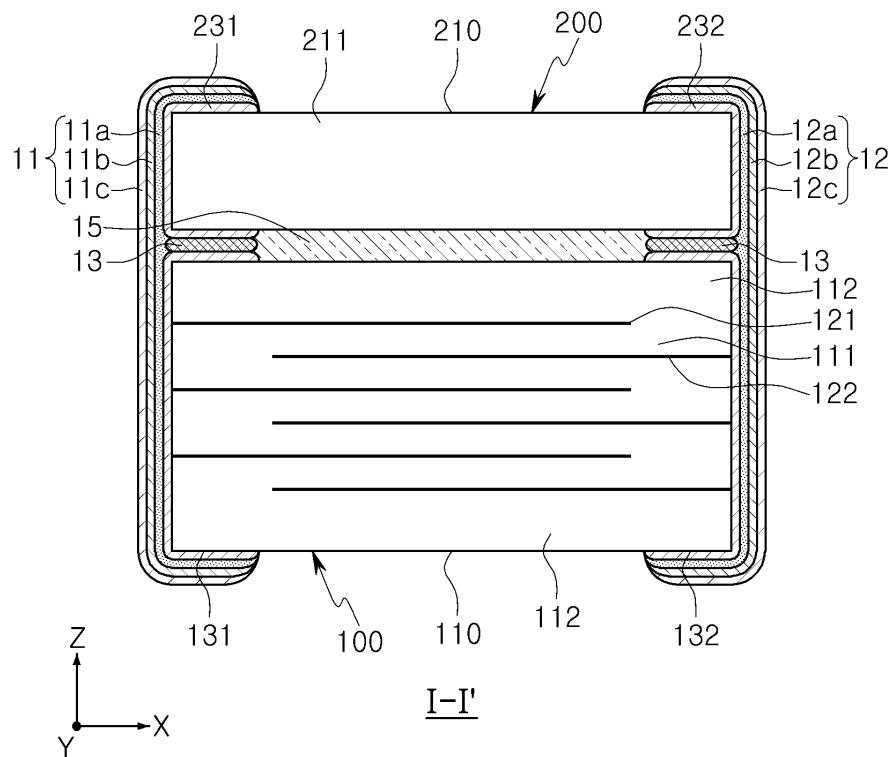
11, 12: 제1 및 제2 외부 전극

### 도면

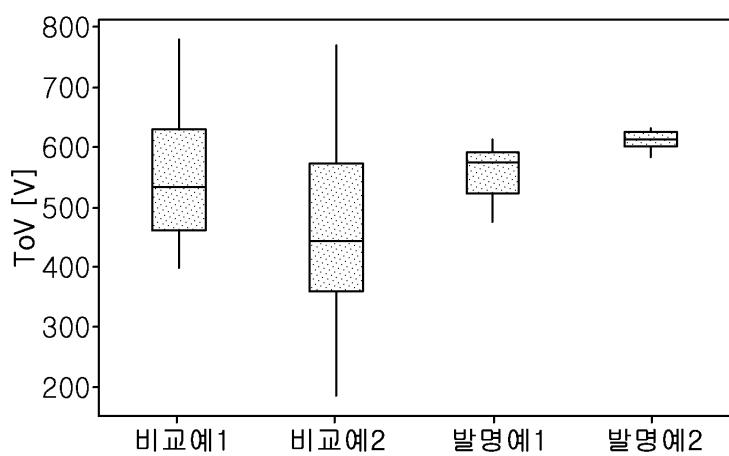
#### 도면1



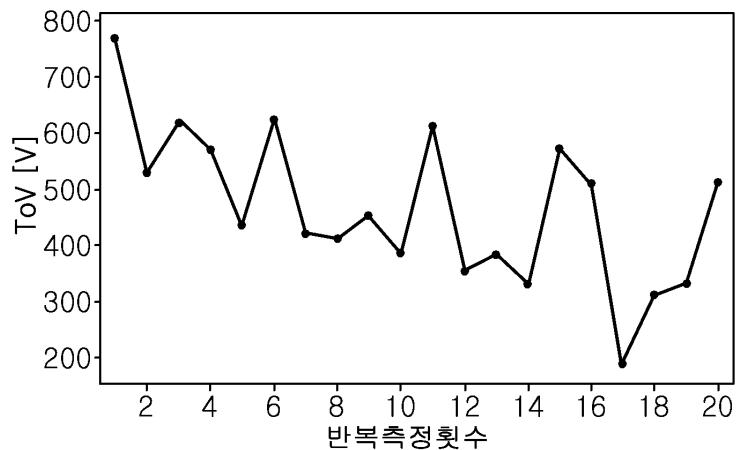
## 도면2

10I-I'

## 도면3

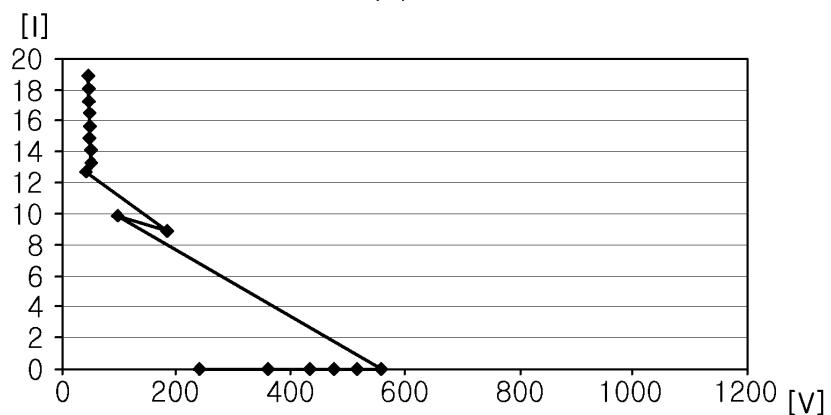


도면4

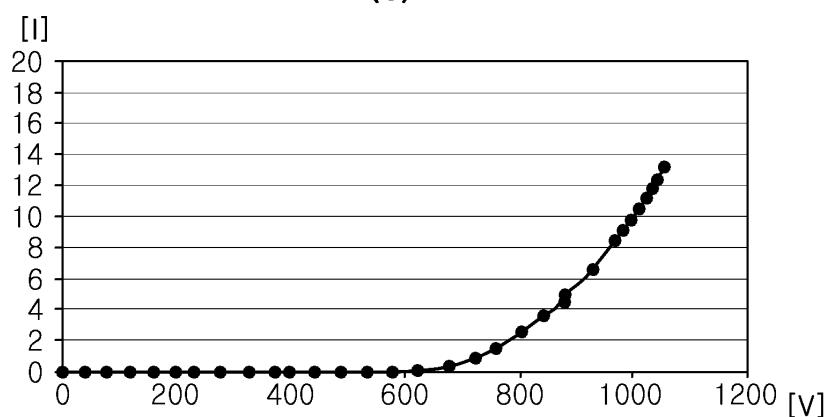


도면5

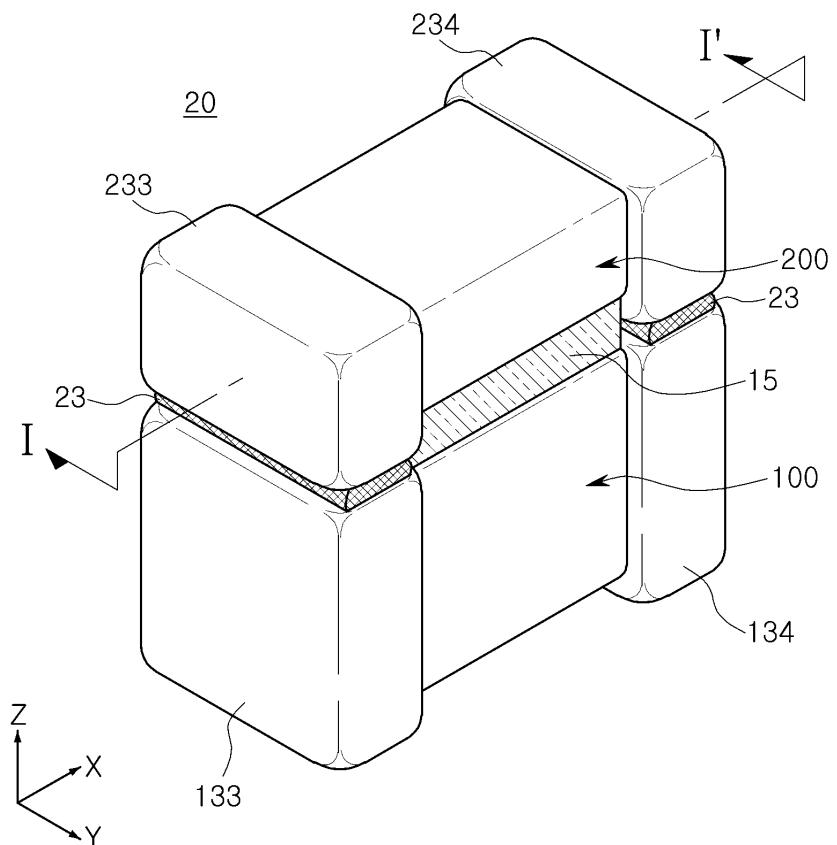
(a)



(b)



도면6



도면7

