I295803
公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93128297
※ 申請日期：93.9.17
※IPC 分類：16/04
G11C16/34 (2006.01)

一、發明名稱：(中文/英文)

具位元線對位元線耦合補償之非揮發性記憶體及方法

NON-VOLATILE MEMORY AND METHOD WITH BIT LINE TO BIT LINE COUPLED COMPENSATION

二、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

美商桑迪士克股份有限公司

SANDISK CORPORATION

代表人：(中文/英文)

1.查爾斯　樊　歐登

VAN ORDEN, CHARLES

2.裘蒂　布魯納

BRUNER, JUDY

住居所或營業所地址：(中文/英文)

美國加州桑尼貝市卡斯本可特 140 號

140 CASPIAN COURT, SUNNYVALE, CA 94089, U. S. A.

國　籍：(中文/英文)

美國　U.S.A.

三、發明人：(共 4 人)

姓　名：(中文/英文)

1.朗爾-艾德里安　賽內

CERNEA, RAUL-ADRIAN

2.李顏

LI, YAN

3.梅爾達德　莫菲蒂

MOFIDI, MEHRDAD

4.夏賽德　哈里德

KHALID, SHAHZAD

國　籍：(中文/英文)

1.-4.均美國　U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年09月17日；10/667,222

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於非揮發性半導體記憶體，例如電性可抹除可程式化唯讀記憶體(EEPROM)及快閃EEPROM，明確地說係關於具有用於電荷儲存單元之鄰接列之一頁的改進程式化及感測電路的記憶體。

【先前技術】

能進行電荷之非揮發性儲存、尤其係以封裝為較小形式因數卡的EEPROM及快閃EEPROM之形式的固態記憶體，最近已成為各種行動及手持裝置、特別是資訊應用及消費電子產品中的優選儲存器。不像亦為固態記憶體的RAM(隨機存取記憶體)一樣，快閃記憶體係非揮發性的，從而即使在關閉電源之後仍保持其儲存資料。儘管成本較高，但仍然越來越多地將快閃記憶體用於大量儲存器應用。基於旋轉磁性媒體的傳統大量儲存器(例如硬碟機及軟碟)不適合於行動及手持環境。此係因為磁碟機趨向於為體積大的、趨向於出現機械故障及具有高潛時與高功率要求。該等不合需要的特徵使以磁碟為基礎的儲存器在大多數行動及可攜式應用中不切實際。另一方面，嵌入式快閃記憶體及以可移除卡的形式之快閃記憶體因其小尺寸、低功率消耗、高速度及高可靠性特徵而理想地適用於行動及手持環境。

EEPROM及電性可程式化唯讀記憶體(EPROM)為非揮發性記憶體，其可以被抹除並將新資料寫入或「程式化」至其記憶體單元中。兩者皆利用源極區域與汲極區域之間、

固定在半導體基板之通道區域中、在場效電晶體結構中的浮動(未連接)傳導閘極。接著將控制閘極提供在浮動閘極上。藉由保持在浮動閘極上的電荷之數量而控制電晶體之臨界電壓特徵。也就是說，對於浮動閘極上的電荷之給定位準而言，存在對應電壓(臨界電壓)，其必須在「開啟」電晶體之前施加於控制閘極，以允許其源極區域與汲極區域之間的傳導。

浮動閘極可保持電荷之範圍，並因此可程式化為臨界電壓視窗內的任一臨界電壓位準。由裝置之對應於可程式化至浮動閘極上的電荷之範圍的最小臨界位準及最大臨界位準，對臨界電壓視窗的尺寸進行界定。臨界視窗一般取決於記憶體裝置的特徵、操作條件及歷史。原理上可將視窗內的各不同、可分辨臨界電壓位準範圍用以指定單元之明確記憶體狀態。

通常藉由二種機制之一將用作記憶體單元的電晶體程式化為「程式化」狀態。在「熱電子注射」中，施加於汲極的高電壓會對橫跨基板通道區域的電子進行加速。同時，施加於控制閘極的高電壓透過薄閘極介電質將熱電子拖至浮動閘極上。在「穿隧注射」中，相對於基板而將高電壓施加於控制閘極。採用此方法，可將電子從基板拖至中間浮動閘極。

可藉由許多機制來抹除記憶體裝置。對於EPROM而言，藉由利用紫外線輻射從浮動閘極中移除電荷，可大量抹除記憶體。對於EEPROM而言，藉由相對於控制閘極而施加

高電壓於基板，以便誘導浮動閘極中的電子穿隧透過薄氧化物而至基板通道區域(即Fowler-Nordheim穿隧)中，可電性抹除記憶體單元。通常而言，可逐個位元組抹除EEPROM。對於快閃EEPROM而言，可一次電性抹除全部記憶體或一或多個區塊，其中一個區塊可由記憶體之512個或更多位元組組成。

記憶體裝置通常包括可安裝於卡上的一或多個記憶體晶片。各記憶體晶片包括由周邊電路(例如解碼器及抹除、寫入及讀取電路)所支援的一記憶體單元陣列。更複雜的記憶體裝置還包括一控制器，其執行智慧及較高位準記憶體操作及連接。如今已有許多商業上成功之非揮發性固態記憶體裝置在使用。該等記憶體裝置可使用不同類型的記憶體單元，各類型具有一或多個電荷儲存單元。

圖1示意性地解說以EEPROM單元的形式之非揮發性記憶體單元。其具有以浮動閘極的形式之電荷儲存單元。電性可抹除及可程式化唯讀記憶體(EEPROM)具有類似於EPROM的結構，但是另外提供機制，以在施加適當電壓之後從其浮動閘極電性載入及移除電荷，而無需曝露於UV輻射。此類單元及製造此類單元的方法之範例係提供在美國專利第5,595,924號中。

圖2示意性地解說組織成一NAND單元或串的電荷儲存單元之一串。NAND單元50由一系列的記憶體電晶體M1、M2、... Mn (n= 4、8、16或更高)組成，該等電晶體係由其源極與汲極形成菊鏈。一對選擇電晶體S1、S2控制記憶體

電晶體鏈經由NAND單元之源極端子54及汲極端子56與外部的連接。在記憶體陣列中，當由信號SGS開啟源極選擇電晶體S1時，將源極端子與源極線耦合。同樣地，當由信號SGD開啟汲極選擇電晶體S2時，將NAND單元之汲極端子與記憶體陣列之位元線耦合。鏈中的各記憶體電晶體具有電荷儲存單元來儲存給定數量的電荷，以便表示所預計的記憶體狀態。通道區域係在各記憶體電晶體之各源極與各汲極之間。各記憶體電晶體(例如60、62、64)上的控制閘極上的電壓分別控制記憶體電晶體M1、M2、...、Mn之通道中的電流傳導。選擇電晶體S1、S2分別經由其源極端子54及汲極端子56提供對NAND單元的控制存取，並且藉由其控制閘極的適當電壓開啟各電晶體。

當在程式化期間讀取或確認NAND單元內的定址記憶體電晶體時，為其控制閘極供應適當的參考電壓。同時，藉由施加充分電壓V_{PASS}於其控制閘極上，可完全開啟NAND單元50中的其餘非定址記憶體電晶體。採用此方法，有效地建立從個別記憶體電晶體之源極至NAND單元之源極端子54的傳導路徑，並同樣地建立從個別記憶體電晶體之汲極至單元之汲極端子56的傳導路徑。同樣地，在程式化期間，要程式化的記憶體電晶體使其控制閘極供應以程式化電壓V_{PGM}，而串中的其他記憶體電晶體使其控制閘極供應以通過電壓V_{PASS}。具有此類NAND單元結構的記憶體裝置係說明在美國專利第5,570,315、5,903,495及6,046,935號中。

另一類似的非揮發性記憶體具有以介電層的形式之各電荷儲存單元。不使用上文說明的傳導浮動閘極元件，而使用介電層。利用介電儲存元件的此類記憶體裝置已由Eitan等人於2000年11月說明在「NROM：新穎局部捕獲2位元非揮發性記憶體單元」，IEEE電子裝置通信第21卷第11號第543至545頁中。ONO介電層橫跨源極擴散與汲極擴散之間的通道而延伸。將用於一個資料位元的電荷局部化在鄰近於汲極的介電層中，而將用於另一個資料位元的電荷局部化在鄰近於源極的介電層中。例如美國專利第5,768,192及6,011,725號揭示具有夾持在二層二氧化矽層之間的捕獲介電質之非揮發性記憶體單元。藉由獨立地讀取介電質內的空間分離電荷儲存區域之二進制狀態而實施多態資料儲存。

記憶體陣列

記憶體裝置通常包括配置成列及行並可由字線及位元線定址的二維記憶體單元陣列。

圖3解說一NAND單元陣列之範例，例如圖2所示的範例。沿NAND單元之各行，將位元線36與各NAND單元之汲極端子56耦合。沿NAND單元之各列，源極線34可與其所有源極端子54連接。此外將沿一列的NAND單元之控制閘極60、...、64與一系列的對應字線連接。經由連接的字線採用一對選擇電晶體(參見圖2)之控制閘極SGD及SGS上的適當電壓而開啟該對電晶體，可定址NAND單元之整個列。當正在讀取NAND單元之鏈內的記憶體電晶體時，經由其相關

聯字線而硬開啟該鏈中的其餘記憶體電晶體，以便流經該鏈的電流實質上取決於儲存在正被讀取之單元中的電荷之位準。作為記憶體系統之一部分的NAND架構陣列及其操作之範例係發現在美國專利第5,570,315、5,774,397及6,046,935號中。

區塊抹除

電荷儲存記憶體裝置之程式化僅可導致將更多的電荷加入其電荷儲存元件。因此在程式化操作之前，必須移除(或抹除)電荷儲存元件中的現有電荷。提供抹除電路(圖中未顯示)來抹除記憶體單元之一或多個區塊。在一起電性抹除單元之整個陣列或該陣列之單元的重要群組(即在快閃記憶體中)之情況下，將非揮發性記憶體(例如EEPROM)稱為「快閃」EEPROM。一旦被抹除，便可再程式化單元之群組。可一起抹除的單元之群組可以由一或多個可定址抹除單元組成。雖然在單一操作中可程式化或讀取一個以上的頁，但是抹除單元或區塊通常儲存一或多頁之資料，該頁為程式化及讀取之單元。各頁通常儲存一或多個區塊之資料，由主機系統定義抹除區塊的尺寸。一範例為512個位元組使用者資料之一抹除區塊，遵循磁碟機所建立的標準，加上關於使用者資料及/或儲存資料所用的區塊之負擔資訊之某數量的位元組。在其他系統中，抹除區塊尺寸可以比512個位元組大甚多。

讀取/寫入電路

在常用二態EEPROM單元中，建立至少一個電流斷點位

準，以便將傳導視窗分割為二個區域。當藉由施加預定、固定電壓而讀取單元時，藉由與斷點位準(或參考電流I_{REF})比較而將其源極/汲極電流分解為記憶體狀態。若讀取之電流高於斷點位準或I_{REF}之電流，則決定該單元係處於一個邏輯狀態(例如「零」狀態)。另一方面，若該電流小於斷點位準之電流，則決定該單元係處於另一個邏輯狀態(例如「1」狀態)。因此，此二態單元儲存數位資訊之一個位元。通常提供可外部程式化的參考電流源作為記憶體系統之一部分以產生斷點位準電流。

隨著半導體技術之狀態進步，為了增加記憶體容量，正採用越來越高的密度製造快閃EEPROM裝置。用以增加儲存容量的另一方法係使各記憶體單元儲存二種以上的狀態。

對於多態或多位準EEPROM記憶體單元而言，藉由一個以上的斷點將傳導視窗分割為二個以上的區域，以便各單元能儲存一個以上的位元之資料。所給定的EEPROM陣列可儲存的資訊因此隨各單元可儲存的狀態之數量而增加。美國專利第5,172,338號已說明具有多態或多位準記憶體單元之EEPROM或快閃EEPROM。

實務上當將參考電壓施加於控制閘極時，通常藉由感測橫跨單元之源極電極與汲極電極的傳導電流而讀取單元之記憶體狀態。因此對於單元之浮動閘極上的各給定電荷而言，可偵測關於固定參考控制閘極電壓之對應傳導電流。同樣地，可程式化至浮動閘極上的電荷之範圍定義對應臨

界電壓視窗或對應傳導電流視窗。

或者，不偵測所分割的電流視窗當中的傳導電流，可以在控制閘極中於測試條件下設定用於給定的記憶體狀態之臨界電壓，並偵測傳導電流係低於還是高於臨界電流。在一項實施方案中，藉由檢查傳導電流正透過位元線之電容放電的速率，完成相對於臨界電流而偵測傳導電流。

影響讀取/寫入性能及精確度的因素

為了改進讀取及程式化性能，並列讀取或程式化一陣列中的多電荷儲存元件或記憶體電晶體。因此一起讀取或程式化記憶體元件之邏輯「頁」。在現有記憶體架構中，一列通常包含數個交錯頁。將一起讀取或程式化一頁之所有記憶體元件。行解碼器將選擇性地將交錯頁之各頁與對應數量的讀取/寫入模組連接。例如在一項實施方案中，將記憶體陣列設計成一頁尺寸為532個位元組(512個位元組加上20個負擔位元組)。若各行包含一汲極位元線並且每列具有二交錯頁，則此總計8512個行，而各頁與4256個行相關聯。將存在4256個可連接的感測模組，以並列讀取或寫入所有偶數位元線或奇數位元線。採用此方法，並列的資料之4256個位元(即532個位元組)之一頁係從記憶體元件之該頁中讀取或程式化至該頁中。可將形成讀取/寫入電路170的讀取/寫入模組配置成各種架構。

如上所述，傳統記憶體裝置藉由以大量並列方式操作而改進讀取/寫入操作。此方法可改進性能，但對讀取及寫入操作之精確度有影響。

另一個必須處理的問題係位元線對位元線耦合或串音。在緊密間隔的位元線之並列感測的情況下，此問題變得更為尖銳。避免位元線對位元串音之傳統辦法，係感測所有偶數位元線或所有奇數位元線，同時使其他位元線接地。由二交錯頁組成的一列之此架構將有助於避免位元線串音，並減輕密集配合讀取/寫入電路之該頁的問題。將頁解碼器用以將該組讀取/寫入模組多工化為偶數頁或奇數頁。採用此方法，無論何時讀取或程式化一組位元線，均可對交錯組進行接地以消除奇數位元線與偶數位元線之間的串音，但無法消除奇數線或偶數線之間的串音。

然而，交錯頁架構在至少三方面係不利的。首先，其需要額外的多工化電路。其次，其性能較低。為了完成由字線連接或連接成一列的記憶體單元之讀取或程式化，需要二次讀取操作或二次程式化操作。第三，其在處理其他干擾效應方面亦並非最佳，例如當在不同時間(例如在奇數頁及偶數頁中獨立地)程式化二相鄰電荷儲存元件時，處於浮動閘極位準之該等相鄰電荷儲存元件之間的場耦合。

在記憶體電晶體之間的間隔更接近的情況下，相鄰場耦合的問題變得更明顯。在記憶體電晶體中，將電荷儲存單元夾持在通道區域與控制閘極之間。流經通道區域的電流為由控制閘極及電荷儲存單元中的電場所貢獻的合成電場之函數。在密度不斷增加的情況下，將記憶體電晶體越來越近地形成在一起。接著自相鄰電荷元件的電場變為受影響的單元之合成電場的重要貢獻者。相鄰電場取決於程式

化至相鄰電荷儲存單元中的電荷。此擾動電場係動態性的，因為其隨該等相鄰電荷儲存單元之程式化狀態而改變。因此，受影響的單元在不同時間的讀取可能不同，取決於該等相鄰電荷儲存單元之變化狀態。

交錯頁之傳統架構加劇由相鄰電荷儲存單元耦合所引起的錯誤。因為相互獨立地程式化並讀取偶數頁及奇數頁，所以可在一組條件下程式化一頁而在一組完全不同的條件下讀回，取決於交錯頁同時發生了何情況。讀取錯誤將隨密度的增加而變得更嚴重，從而需要更精確的讀取操作及用於多態實施方案的臨界視窗之更寬的分割。性能將受影響，並且多態實施方案中的電位容量受到限制。

於2002年9月24日申請的美國專利申請案第10/254483及10/254290號揭示一記憶體架構，其中並列程式化或讀取鄰接記憶體儲存單元之一頁。因為對鄰接記憶體儲存單元之一頁執行程式化，所以在處理期間將從進一步的程式化中程式禁止或封鎖已程式化為其目標狀態的記憶體儲存單元。在較佳方案中，藉由浮動其通道及增加其中的電壓而封鎖記憶體儲存單元以禁止程式化。此增加的電壓於仍在程式化條件下的鄰近儲存單元上建立明顯的擾動。

因此普遍需要高性能及高容量的非揮發性記憶體。特定言之，需要具有高容量的非揮發性記憶體，其具有可有效地處理上述問題的改進讀取及程式化性能。

【發明內容】

藉由具有讀取/寫入電路之一較大頁以並列讀取而且寫

入記憶體單元之對應頁，可滿足對高容量及高性能的非揮發性記憶體裝置之該等需求。特定言之，可消除或最小化可能會將錯誤引入讀取及程式化中的高密度晶片整合中固有的干擾效應。

當程式化儲存單元之鄰接頁時，每次儲存單元已達到其目標狀態並從進一步的程式化中得到程式禁止或封鎖，其均會於仍在程式化條件下的鄰近儲存單元上建立擾動。本發明提供程式化電路及方法之一部分，其中將擾動之偏移加入仍在程式化條件下的鄰近儲存單元。藉由程式禁止儲存單元之鄰近位元線與仍在程式化條件下的儲存單元之鄰近位元線之間的受控耦合而添加偏移。採用此方法，可消除或最小化並列程式化高密度記憶體儲存單元中固有的錯誤。

依據較佳具體實施例，藉由浮動儲存單元的通道並將其電壓增加至程式禁止電壓而使儲存單元進入程式禁止模式。此必需提高其位元線電壓以啟用浮動。針對此電壓上升之某部分而浮動仍在程式化條件下的儲存單元之鄰近位元線，以便將預定偏移與其自己的位元線耦合。採用此方法，可在受控位元線對位元線耦合條件下，由偏移自動追蹤並補償由程式禁止儲存單元對仍將在程式化條件下的儲存單元所進行的擾動。

依據另一具體實施例，在耦合偏移之前執行用於程式禁止的通道增加。

依據本發明之另一方面，將仍在程式化條件下的儲存單

元之位元線設定為：無論何時其相鄰儲存單元之兩者亦仍在程式化條件下，均可最大化程式化效率的電位。在較佳具體實施例中，將位元線設定為接地電位。此避免自鄰近儲存單元的任何耦合，該等單元可能使其電壓藉由在程式禁止條件下的相鄰儲存單元而得以增加。

將從本發明之較佳具體實施例之以下說明中瞭解本發明之另外的特徵及優點，該說明應結合附圖。

【實施方式】

所有位元線程式化

較佳採用配置成執行所有位元線感測的記憶體架構來實施圖4A、圖4B及圖12所示的感測模組380。換言之，一列中的鄰接記憶體單元可與一感測模組相互連接以並列執行感測。此類記憶體架構亦係揭示在由Cernea等人於2002年9月24日申請的共同待審及共同讓渡之美國專利申請案第10/254,483號中，其名稱為「非常小型之非揮發性記憶體及其方法」。該專利申請案之整個揭示內容係以引用的方式併入本文中。

如上文所說明，同時得以程式化或讀取之一「頁」中的記憶體單元之數量，可能會依據由主機系統所發送或請求的資料之尺寸而改變。因此存在數個方法來程式化與單一字線耦合的記憶體單元，例如(1)獨立地程式化偶數位元線與奇數位元線，該程式化可包括上頁程式化及下頁程式化，(2)程式化所有位元線(「所有位元線程式化」)，或(3)獨立地程式化左頁或右頁中的所有位元線，該程式化可包

括右頁程式化及左頁程式化。

圖4A示意性地解說依據本發明之一項具體實施例的一記憶體裝置，其具有用以並列讀取及程式化記憶體單元之一頁的讀取/寫入電路。記憶體裝置包括記憶體單元300之二維陣列、控制電路310及讀取/寫入電路370。經由列解碼器330藉由字線，及經由行解碼器360藉由位元線，可定址記憶體陣列300。讀取/寫入電路370包括多個感測模組380，並使記憶體單元之一頁可得以並列讀取及程式化。

在本發明中，要並列讀取或程式化的記憶體單元之該頁較佳為鄰接記憶體儲存單元或儲存單元之一列。在其他具體實施例中，該頁為鄰接記憶體儲存單元或儲存單元之一列之一區段。

控制電路310與讀取/寫入電路370配合，以對記憶體陣列300執行記憶體操作。控制電路310包括狀態機312、晶片上位址解碼器314及功率控制模組316。狀態機312提供記憶體操作之晶片位準控制。晶片上位址解碼器314提供由主機或記憶體控制器所用的硬體位址至由解碼器330所用的硬體位址，與電路370之間的位址介面。功率控制模組316控制在記憶體操作期間供應給字線及位元線的功率及電壓。

圖4B解說圖4A所示的記憶體裝置之較佳配置。在記憶體陣列300之相對側上以對稱方式實施藉由各周邊電路的該陣列之存取，以便可將各側上的存取線及電路之密度減半。因此將列解碼器分為列解碼器330A及330B，並將行解碼器分為行解碼器360A及360B。同樣地，將讀取/寫入電路

分為從陣列300之底部與位元線連接的讀取/寫入電路370A，及從陣列300之頂部與位元線連接的讀取/寫入電路370B。採用此方法，實質上將讀取/寫入模組之密度減半，因此將感測模組380之密度減半。

通道及電荷儲存單元上的增壓電壓

高密度積體電路、非揮發性記憶體裝置中固有的錯誤係因相鄰電荷儲存單元與通道區域之耦合而起。若相對於一鄰近記憶體儲存單元而增加一個記憶體儲存單元之通道區域及電荷儲存單元，則此將在該鄰近單元之電荷儲存單元上引起擾動。當密集地封裝或不充分地遮蔽正被並列程式化的記憶體儲存單元時，此效應更明顯。

圖5A解說沿圖2所示的方向5A-5A之記憶體電晶體，及電荷儲存單元與字線之間以及電荷單元與通道之間的等效電容之斷面透視圖。記憶體電晶體M1具有控制閘極60，其係形成為沿NAND陣列100之一列延伸的字線之一部分(參見圖3)。在此圖中，汲極從圖5A之頁伸出來而源極在背後，從而界定兩者之間的通道區域80。將電荷儲存單元70內插在控制閘極60與通道80之間，並藉由介電材料層將該單元與兩者絕緣。藉由等效電容器C_{WF}，可模擬電荷儲存單元70與控制閘極60之間的電耦合。同樣地，藉由等效電容器C_{FC}，可模擬電荷儲存單元70與控制閘極80之間的耦合。

圖5B示意性地解說圖5A所示的記憶體電晶體之電容耦合，從而特定顯示因通道中的電壓及字線中的電壓而起的電荷儲存單元中的電壓。若電荷儲存單元70在儲存Q數量的

電荷，則C_{WF}及C_{FC}皆保持相同的電荷。電荷儲存單元70中的電壓$V_{CS} = (C_{WF} V_W + C_{WF} V_C)/(C_{WF} + C_{FC})$。可輕易地看出電荷儲存單元之電壓一般隨通道及/或字線中的增加電壓而增加。在下一章節中將說明，當將例如M1之記憶體電晶體放置於程式禁止模式中時，可將通道電壓增加至高電壓。因此，此將亦導致電荷儲存單元中的增加電壓。通道80及電荷儲存單元70中的增加電壓之組合，將對以程式化模式所接合的鄰近記憶體電晶體產生擾動效應。

因增加(程式禁止)狀態中的鄰近單元而起的程式化過衝

圖6A解說在二鄰近記憶體電晶體係皆在程式化模式中的情況下，圖3所示的NAND單元之陣列之斷面透視圖。例如，圖6A可表示三個鄰近記憶體電晶體，例如M1-1、M1-2及M1-3，其分別屬於沿共享相同字線60的一列之NAND串50-1、50-2及50-3。NAND串50-1、50-2及50-3分別具有可與之連接的位元線36-1、36-2及36-3。記憶體電晶體M1-1、M1-2及M1-3具有對應電荷儲存單元70-1、70-2及70-3，與通道80-1、80-2及80-3。

隨著記憶體陣列之密度增加，將記憶體電晶體更接近地形成在一起，並且其對彼此的效應會變得更顯著。例如，記憶體電晶體M1-2之臨界電壓取決於其電荷儲存單元70-2上的電壓。因為其鄰近鄰居M1-1及M1-3緊密接近，所以M1-1及M1-3之通道及電荷儲存單元中的電壓可以影響M1-2之電荷儲存單元上的電壓。例如，可將電荷儲存單元70-2視為藉由等效電容器C_{12}及C_{23}分別與其鄰近電荷儲存

單元70-1及70-3耦合。同樣地，可將電荷儲存單元70-2視為藉由等效電容器C'_{12}及C'_{23}分別與其鄰近通道80-1及80-3耦合。記憶體電晶體之間的間隔越近，則其間的耦合將越多。

圖6A解說當二鄰近記憶體電晶體M1-2及M1-1係皆在程式化模式中時的情況。集中在因M1-1而對M1-2的效應上，因字線及位元線電壓而存在很小的變化，因為該等電壓對於M1-2及M1-1而言係相同的。通道電壓亦係類似的。由電荷儲存單元70-2所看見的唯一變化係因電荷儲存單元70-1之變化而起，該唯一變化主要為電荷儲存單元70-2在保持的電荷之函數或其資料表示。例如M1-1及M1-2之電荷儲存單元上的電壓可以為約1至2 V。通常藉由允許二不同記憶體狀態之間具有充分的裕度而解決因為此類型的擾動而起的擾動。

圖6B解說類似於圖6A的NAND陣列之斷面透視圖，鄰近記憶體電晶體之一係在程式禁止模式中除外。在此情況下，程式化M1-2而從進一步的程式化中禁止M1-1。字線電壓對於兩者而言保持相同，而M1-1之位元線36-1上的電壓現已變為V_{DD}，其為預定系統電壓，例如~2.5 V。此可有效地關閉選擇電晶體S2(參見圖2)、將NAND鏈50-1與其位元線36-1斷開、並浮動M1-1之通道80-1，以便當高電壓出現在字線60上時可將該通道電容式增加至高電壓。例如，採用此方法可將M1-1之通道80-1增加至10 V。增加通道電壓將有效地減小通道與電荷儲存單元之間的電位差，從而阻礙將電子從通道拖至電荷儲存單元來影響程式化。

根據上文結合圖5B所進行的論述，增加通道將引起增加電荷儲存單元。例如當記憶體電晶體M1-1係在程式禁止模式中時，其可導致通道80-1中約10 V的電壓增加，及電荷儲存單元70-1中從2 V至8 V的電壓增加。此可在很大程度上擾動要程式化的相鄰記憶體電晶體(例如M1-2)。例如M1-2之電荷儲存單元70-2可使其電壓增加ΔV_2~0.2 V。此係因其電荷儲存單元70-2，該單元分別將(例如)電容器C_{12}及C'_{12}與增加(程式禁止)記憶體電晶體M1-1之電荷儲存單元70-1及通道80-1電容式耦合。通常而言，以0.8 V至約0.1 V或更小之間的段差而程式化記憶體電晶體之臨界電壓，此將導致錯誤地將M1-2程式化為高於期望的臨界值。

迄今為止已將論述集中在因M1-1而對記憶體電晶體M1-2的效應上。若M1-3亦係在程式禁止模式中，則其增加電壓將以類似方式耦合，以貢獻M1-2之電荷儲存單元70-2上的電壓之增加。在記憶體電晶體M1-2係在程式化模式中，而從進一步的程式化中封鎖(程式禁止)任一側上的其鄰居M1-1及M1-3之最差情況下，M1-2之電荷儲存單元70-2上的擾動可高達0.2 V。對於在程式化條件下的M1-2而言，此效應等效於其控制閘極上增加高達0.4 V的程式化電壓。在某些情況下此可引起對錯誤狀態的過度程式化。例如，記憶體單元可使其臨界視窗採用約0.3 V的分離加以分割，並且每次將程式化脈衝段差增加約0.1 V，使得其通常花費一個以上的脈衝來橫斷各分割。電流程式化脈衝段差可使M1-2正好低於指示所需程式化狀態的臨界區域。同時電流

脈衝段差可將電晶體M1-1及M1-3程式化為其最終狀態，以便藉由進入程式禁止模式而從進一步的程式化中封鎖該等電晶體。因此在下一程式化脈衝段差中，M1-2突然遭受多達0.5 V的較大程式化段差。此將很可能使M1-2過衝所需臨界區域，並被錯誤地程式化為下一記憶體狀態。

因鄰居之電壓增加而起的干擾之自動補償

圖7解說依據本發明之較佳具體實施例的位元線對位元線耦合機制，其用以補償自程式禁止模式中的鄰近記憶體電晶體之擾動。

採用與圖6B相同的範例，程式化記憶體電晶體M1-2，而從進一步的程式化中禁止鄰近電晶體M1-1。如以上的說明所指示，M1-1之增加通道80-1及電荷儲存單元70-1將導致M1-2之電荷儲存單元70-2中的電壓增加ΔV_2，從而導致程式化錯誤。

依據較佳具體實施例，藉由引入位元線36-2上類似數量的電荷而補償電荷儲存單元70-2中的擾動ΔV_2。此位元線補償電壓將被傳遞至通道，以便電荷儲存單元70-2與通道80-2之間的電位差之淨變化將有效地為零。採用此方法，將消除臨界電壓中的任何錯誤。使用自動補償方案。無論何時記憶體電晶體(例如M1-1)進入程式禁止模式，其位元線36-1均從電壓0 V變為V_{DD}，以便可啟用其通道以浮動來達到程式禁止增加。可將位元線電壓之此上升用以藉由二位元線之間的電容耦合而增加相鄰位元線(例如位元線36-2)之電壓。

圖7示意性地表示二位元線36-1與36-2之間藉由電容器C_{BL12}的電容耦合。類似的電容器C_{BL23}存在於位元線36-2與36-3之間。當浮動用於記憶體電晶體M1-2的位元線36-2，並將相鄰位元線36-1上的電壓提高ΔV_1時，經由電容器C_{BL12}將提高的電壓$\alpha\Delta V_1$(其中α為耦合常數並且在某實例中已被估計為~40%)之一部分與位元線36-2耦合。此耦合電壓將作為用於其電荷儲存單元70-2中的錯誤ΔV_2之偏移。一般而言，ΔV_1為預定電壓，以便耦合部分$\alpha\Delta V_1$~ΔV_2。隨著位元線36-1(用於程式封鎖或禁止記憶體電晶體M1-1)從0 V變為V_{DD}，浮動位元線36-2(用於要程式化的記憶體電晶體M1-2)，以採用預定$\alpha\Delta V_1$耦合。較佳在位元線36-1之電壓從0 V上升至V_{DD}-ΔV_1的第一週期期間，將位元線36-2設定為0 V(非浮動)。接著在位元線36-1上升最後的ΔV_1之第二週期中，浮動位元線36-2以採用$\alpha\Delta V_1$-ΔV_2耦合。採用此方法，對於在程式化條件下的記憶體電晶體M1-2(在NAND鏈50-2中)而言，無論何時其位元線36-2的相鄰電晶體之一(例如NAND鏈50-1中的M1-1)進入程式禁止模式，均補償該位元線電壓達等於ΔV_2的偏移。

圖8(A)至8(G)為依據本發明之第一具體實施例的時序圖，其解說在程式化操作期間藉由電容位元線對位元線耦合之電壓補償方案。針對在程式化及程式禁止條件下的NAND鏈(亦參見圖2及圖3)，將所示的電壓施加於記憶體陣列之各字線及位元線。可將程式化操作聚合成位元線預充電相位、程式化相位及放電相位。

在位元線預充電相位中：

(1)由0 V情況下的SGS關閉源極選擇電晶體(圖8(A))，而由提高至V_{SG}的SGD開啟汲極選擇電晶體(圖8(B))，從而使位元線可存取NAND鏈。

(2)使程式禁止NAND鏈之位元線電壓可上升(在二段差上升之第一段差中)至由V_{DD}-ΔV_1所給定的預定電壓(圖8(F))。同時，主動地將程式NAND鏈之位元線電壓下拉至0 V(圖8(G))。

(3)在此週期中，隨著程式禁止NAND鏈之位元線電壓繼續上升至V_{DD}，該電壓變化(在二段差上升之第二段差中)達ΔV_1(圖8(F))。此將在汲極選擇電晶體上的閘極電壓SGD下降至V_{DD}時，使程式禁止NAND鏈可以浮動。在相同週期中，若程式化NAND鏈的鄰居之一係在程式禁止模式中，則現在使程式化NAND鏈之位元線電壓可浮動，並能採用$\Delta V_2=\alpha\Delta V_1$耦合(圖8(G))。

(4)與NAND鏈之一列之汲極選擇電晶體連接的汲極字線使其電壓下降至V_{DD}。此將僅浮動程式禁止NAND鏈，其中其位元線電壓可與V_{DD}相比，因為已關閉其汲極選擇電晶體(圖8(B)及8(F))。至於包含要程式化的記憶體電晶體之NAND鏈，將不相對於其汲極中接近0 V的位元線電壓而關閉其汲極選擇電晶體。此外如上所述，當要程式化的記憶體電晶體係緊靠在程式禁止條件下的一個電晶體時，其電荷儲存單元將因鄰居之增加通道及電荷儲存單元而採用ΔV_2耦合。

(5)未定址之NAND鏈中的記憶體電晶體使其控制閘極電壓設定為V_{PASS}，以完全將其關閉(圖8(C))。因為在浮動程式禁止NAND鏈，所以施加於未定址記憶體電晶體的高V_{PASS}及V_{PGM}增加其通道及電荷儲存元件中的電壓，從而禁止程式化。通常相對於V_{PGM}(例如~15至24 V)而將V_{PASS}設定為某中間電壓(例如~10 V)。對於正被程式禁止的鏈而言，V_{PASS}有助於減小用於遭受較高電壓V_{PGM}的單元之有效的V_{DS}，從而有助於減小洩漏。對於正被程式化的鏈而言，V_{PASS}應理想地為接地電位，因此中間V_{PASS}電壓將為合理的折衷。

在程式化相位中：

(6)將程式化電壓施加於選擇用於程式化的記憶體電晶體之控制閘極(圖8(D))。將不程式化在程式禁止條件下的鏈(即增加通道及電荷儲存單元)。

在放電相位中：

(7)使各控制線及位元線可放電。

基本而言，二種類型的增加會發生在要程式化的記憶體電晶體上。第一種類型係因鄰近記憶體電晶體而起，該電晶體具有由自字線的高控制閘極電壓所電容式增加的浮動通道及電荷儲存單元。此出現在使NAND鏈進入程式禁止模式時。因鄰近程式禁止記憶體電晶起而起之第一種類型的增加，會增加要程式化的記憶體電晶體之電荷儲存單元上的電壓。此為程式禁止之不合需要的副作用。第二種類型的增加為對要程式化的記憶體電晶體之位元線的補償性調

整，以便偏移第一種類型的增加。藉由在提高相鄰位元線之電壓的某週期期間浮動位元線，該位元線藉由電容耦合獲得電壓之增加以偏移第一增壓之效應。

在剛說明的第一具體實施例中，第二補償位元線的增加出現在第一增壓之前。此提供可能的ΔV_1之最大範圍。另一方面，其還意味著要程式化的記憶體電晶體之位元線將被浮動，並且其電壓易於被隨後的高程式化電壓所移動。然而，已估計位元線電容在相當程度上大於通道電容，因此當高程式化電壓出現在控制閘極上時，即使浮動位元線，位元線及通道電壓仍將不會有大的變化。

或者依據第二具體實施例，首先啟動第一增壓，然後啟動第二增壓。採用此方法，可最小化因高程式化電壓而起的與浮動位元線之任何耦合。

圖9(A)至9(G)為依據本發明之第二具體實施例的時序圖，其解說在程式化操作期間藉由電容位元線對位元線耦合之電壓補償方案。

位元線預充電及增加相位：

(1)由在0 V情況下的SGS關閉源極選擇電晶體(圖9(A))，而由提高至V_{SG}的SGD開啟汲極選擇電晶體(圖9(B))，從而使位元線可存取NAND鏈。

(2)將程式禁止NAND鏈之位元線電壓提高(在二段差上升之第一段差中)至由$V_{DD}-\Delta V_1$所給定的預定電壓(圖9(F))。此預定電壓在SGD於(3)中下降至V_{DD}時足以將NAND鏈之汲極與其位元線切斷，從而浮動其中的通道。同時，

將程式NAND鏈之位元線電壓固定在0 V(圖9(G))。

(3)與NAND鏈之一列之汲極選擇電晶體的控制閘極之SGD連接的汲極字線使其電壓下降至V_{DD}。此將僅浮動程式禁止NAND鏈，其中已關閉其汲極選擇電晶體，因為其位元線電壓可與V_{DD}相比(圖9(B)及9(F))。至於包含要程式化的記憶體電晶體之NAND鏈，將不相對於其汲極中0 V的位元線電壓而關閉其汲極選擇電晶體。

(4)未定址之NAND鏈中的記憶體電晶體使其控制閘極電壓設定為V_{PASS}，以完全將其關閉(圖9(C))。因為在浮動程式禁止NAND鏈，所以施加於未定址記憶體電晶體的高V_{PASS}及V_{PGM}增加其通道及電荷儲存元件中的電壓，從而禁止程式化。

在程式化相位中：

(5)在此週期中，隨著程式禁止NAND鏈之位元線電壓繼續上升至V_{DD}，該電壓變化(在二段差上升之第二段差中)達ΔV_1(圖9(F))。在相同週期中，若程式NAND鏈的鄰居之一係在程式禁止模式中，則現在使程式化NAND鏈之位元線電壓可浮動，並能採用$\Delta V_2=\alpha \Delta V_1$耦合(圖9(G))。

將程式化電壓施加於選擇用於程式化的記憶體電晶體之控制閘極(圖9(D))。將不程式化在程式禁止條件下的鏈(即增加通道及電荷儲存單元)。

在放電相位中：

(6)使各控制線及位元線可放電。

圖10為依據一項較佳具體實施例的流程圖，其顯示程式

化鄰接記憶體儲存單元之一頁，同時最小化因該等單元當中得到程式禁止或封鎖之個別記憶體電晶體而起的耦合錯誤之方法。

所有位元程式化

步驟400：對於鄰接記憶體儲存單元之一頁而言，各單元具有介於一控制閘極與由一源極和一汲極所界定的一通道區域之間的一電荷儲存單元，提供一可切換式耦合至各單元之該汲極的位元線，及與記憶體儲存單元之該頁的所有控制閘極耦合的一字線。

位元線預充電

步驟410：施加一最初、第一預定電壓於要啟用程式化的該頁之指定記憶體儲存單元之位元線。

步驟420：施加一最初、第二預定電壓於要程式禁止的該頁之未指定記憶體儲存單元之位元線。

步驟430：浮動程式啟用位元線，同時藉由預定電壓差將程式禁止位元線從該第二預定電壓提高至第三預定電壓，其中將預定電壓差之一預定部分耦合為任何相鄰、浮動、程式啟用位元線之一偏移，並且該第三預定電壓啟用各程式禁止記憶體儲存單元之通道的浮動。

程式化脈衝、確認及禁止

步驟440：施加一程式化電壓脈衝於字線，以便程式化該頁之指定記憶體儲存單元，其中該頁之未指定記憶體儲存單元係依靠增加至程式禁止電壓條件的其浮動通道而得以程式禁止，並且增加任何相鄰程式啟用記憶體單元所導致

的擾動係由該偏移所補償。

步驟450：確認在程式化條件下的選擇記憶體儲存單元。

步驟460：重新指定尚未被確認的任何記憶體儲存單元。

步驟470：是否已確認該頁之所有記憶體儲存單元？若未確認，則返回至步驟420。若已確認，則進行至步驟480。

步驟480：結束。

圖11為依據另一項較佳具體實施例的流程圖，其顯示程式化鄰接記憶體儲存單元之一頁，同時最小化因該等單元當中得到程式禁止或封鎖之個別記憶體電晶體而起的耦合錯誤之方法。此具體實施例類似於圖10所示的具體實施例，但在用於採用擾動偏移進行預充電的步驟中，增加通道步驟先於浮動位元線步驟。

位元線預充電

步驟410'：施加一最初、第一預定電壓於要啟用程式化的該頁之指定記憶體儲存單元之位元線。

步驟420'：施加一最初、第二預定電壓於要得以程式禁止的該頁之未指定記憶體儲存單元之位元線，該第二預定電壓啟用各程式禁止記憶體儲存單元之位元線及通道的浮動。

步驟430'：浮動程式啟用位元線，同時藉由預定電壓差將程式禁止位元線從該第二預定電壓提高至第三預定電壓，其中將預定電壓差之一預定部分耦合為任何相鄰、浮動、程式啟用位元線之一偏移，並且該第三預定電壓啟用各程式禁止記憶體儲存單元之通道的浮動。

圖12解說實施本發明之各方面的較佳感測模組。感測模組380包括位元線隔離電晶體502、位元線下拉電路520、位元線電壓箝610、讀出匯流排傳送閘極530、及感測放大器600。

類似感測模組係揭示在共同待審及共同擁有的美國專利申請案中，其名稱為「具改進感測之非揮發性記憶體及方法」，由Adrian-Raul Cernea及Yan Li於本申請案的同一天提出申請。該共同待審申請案之整個揭示內容係以引用的方式併入本文中。

一般而言，並列操作記憶體單元之一頁。因此並列操作對應數量的感測模組。在一項具體實施例中，頁控制器540便利地提供控制及時序信號給以並列操作的感測模組。

當由信號BLS啟用位元線隔離電晶體520時，感測模組380可與記憶體單元10之位元線36連接。感測模組380藉由感測放大器600而感測記憶體單元10之傳導電流，並採用感測節點501鎖存作為數位電壓位準SEN2的讀取結果，而且將該結果輸出至讀出匯流排532。

感測放大器600實質上包括第二電壓箝620、預充電電路640、鑑別器或比較電路650及鎖存器660。鑑別器電路650包括專用電容器652。

感測模組380之一個特徵係在感測期間將恆定電壓供應併入位元線。較佳由位元線電壓箝610實施此點。位元線電壓箝610如二極體箝一樣操作，而電晶體612與位元線36串聯。將其閘極偏壓為恆定電壓BLC，其等於超過其臨界電

壓V_T的所需位元線電壓V_{BL}。採用此方法，其將位元線與感測節點501隔離，並在程式化確認或讀取期間設定用於位元線的恆定電壓位準，例如所需V_{BL}＝0.5至0.7伏特。一般將位元線電壓位準設定為一位準，以便其足夠低來避免較長的預充電時間，而足夠高來避免接地雜訊及其他因素。

感測放大器600透過感測節點501而感測傳導電流，並決定該傳導電流係高於還係低於預定數值。感測放大器採用感測節點501將作為信號SEN2的以數位形式之感測結果輸出至讀取匯流排532。

亦將實質上為信號SEN2之反轉狀態的數位控制信號INV輸出以控制下拉電路520。當感測傳導電流高於預定值時，INV將為高而SEN2將為低。由下拉電路520加強此結果。下拉電路520包括由控制信號INV所控制的n電晶體522，及由控制信號GRS所控制的另一n電晶體550。當GRS信號變為低而不管INV信號之狀態時，該GRS信號基本上使位元線36可得以浮動。在程式化期間，GRS信號變為高以使位元線36可以被拉降至接地。當需要浮動位元線時，GRS信號會變為低。

圖8(H)至8(O)解說與本發明之特徵有關的圖12所示的較佳感測模組之時序。關於其他發明特徵的較佳感測模組之操作的詳細說明，已在共同待審及共同擁有的美國專利申請案第10/254830號中多予以說明並主張專利權，其由Adrian-Raul Cernea及Yan Li於2002年9月24日提出申請。該參考申請案之整個揭示內容係以引用的方式併入本文中。

在封鎖兩鄰居時具校正之替代具體實施例

如上文所說明，當NAND鏈中的記憶體單元係在程式化條件下時，將其位元線及因此其通道保持為約接地電位。當高程式化電壓出現在記憶體單元之控制閘極上時，其誘導其浮動閘極上的高電壓。保持為約接地電位的通道有助於最大化通道與浮動閘極之間的電位差，從而建立有利的條件用於在其間傳送的穿隧電子，以影響程式化。

對於不再需要程式化的字線之相同組上的NAND鏈而言，對其進行程式禁止或封鎖，而不管遭受其控制閘極上的程式化電壓。藉由減小穿隧電位而完成此點。要得以程式禁止的NAND鏈使其位元線從接地提高至V_{DD}。此可有效地關閉汲極選擇電晶體並浮動NAND鏈之通道。隨著通道得以浮動，通道將因為高程式化電壓出現在字線上而從接地上升至較高電壓。此減小相關聯浮動閘極與通道之間的穿隧電位來禁止程式化。

因此，總方案係對NAND鏈之通道進行接地，以建立有利的條件來進行程式化並浮動通道來禁止程式化。然而如上文所指出，若NAND鏈的鄰居係在程式禁止模式中，則藉由該等鄰居之一或兩者之通道上的高電位而擾動在程式化條件下的NAND鏈。上文所說明的方案藉由嘗試利用一種「共同模式」取消中的相同數量，來調整在程式化條件下的NAND鏈之位元線電壓，從而補償此擾動。藉由採用接地而浮動位元線，並且當相鄰位元線電壓從零轉變為V_{DD}時電容式耦合該電壓之一部分，可完成該調整。當程式化NAND

鏈使其鄰居處於程式禁止模式中時，將存在自二鄰居之位元線的電容耦合貢獻。

圖13解說沿其中仍可能會出現第二級錯誤的NAND鏈之一列的程式化組態。此出現在以下情況下：由亦在程式化條件下的二鄰近鏈51、51'側翼包圍在程式化條件下的NAND鏈50，並由在程式禁止模式中的二緊密鄰近鏈52、52'進一步側翼包圍該NAND鏈。以上說明的方案要求在程式化條件下的鏈50、51及51'使其位元線36-0、36-1、36-1'，採用自其相鄰位元線的接地電壓而得以浮動及電容式耦合。此對於鄰近鏈51、51'而言較佳，因為將額外的耦合電壓ΔV_1用以補償因緊密鄰近鏈52、52'之增加通道而起的擾動。然而對於由鄰近鏈51、51'所側翼包圍的NAND鏈50而言，其通道電壓應理想地為接地以提供最大程式化效率。若亦採用接地浮動其位元線36-0，則其將獲得額外、非零電壓ΔV_0，其係採用自鄰近鏈的位元線36-1、36-1'之額外電壓ΔV_1之一部份而耦合。

依據本發明之另一方面，當NAND鏈之一單元係在程式化條件下，並且由亦在程式化條件下的二鄰近鄰居側翼包圍NAND鏈時，迫使與NAND鏈耦合的位元線為一電壓，以便最大化該單元之浮動閘極與通道之間的電位差。在較佳具體實施例中，此將需要將位元線設定為接地電位。此將需要NAND鏈認知其鄰居之狀態，即其係在程式化模式還係程式禁止模式中。

在較佳具體實施例中，感測模組(例如圖12所示的感測模

組380)控制位元線上的電壓。如上文所說明，感測模組380並且尤其係與位元線36耦合的感測放大器600會產生控制信號INV，其在程式化模式中時為高，而在程式禁止模式中時為低。因此信號INV可用以向鄰居指示：與位元線36耦合的NAND鏈係在程式化模式還係程式禁止模式中。

圖14解說其中各感測模組亦感測其鄰居之INV信號的感測模組組態。分別由位元線36-1及36-1'側翼包圍位元線36-0。將感測模組380-0與位元線36-0耦合，而將感測模組380-1及380-1'分別與位元線36-1及36-1'耦合。因為各感測模組從其鄰近鄰居接收INV信號，所以感測模組380-0分別從感測模組380-1及380-1'接收INV信號，作為輸入信號INV_L及INV_R。同樣地，將感測模組380-0之INV信號輸入感測模組380-1及380-1'。

圖12解說依據較佳具體實施例之感測模組，其回應用以將位元線下拉至接地的相鄰狀態。實施此點係藉由用以將節點523下拉至接地的任選位元線下拉電路560，取決於相鄰狀態。當與位元線36耦合的NAND鏈係在程式化模式中時，INV為高，而電晶體522在進行傳導以便將位元線與節點523耦合。位元線下拉電路包括與接地串聯連接的二個n電晶體。分別由自相鄰感測模組380'及380"的INV信號INV_L及INV_R輸入而控制二個n電晶體之傳導。當兩鄰居係在程式化模式中時，INV_L及INV_R將亦為高，從而下拉節點523，並因此將位元線36拉降至接地。相反，若鄰居之一或多個係在程式禁止模式中，則將不由電路560將節點523拉降至

接地。

圖15解說一替代實施方案，其中從鄰居之位元線的狀態中直接取得指示鄰居係在程式化模式還係程式禁止模式中的信號。當不易從相鄰感測模組中得到信號時，可利用此方案。如上文所說明，當NAND鏈係在程式化模式中時，將其位元線電壓保持在約接地電位，而當NAND鏈係在程式禁止模式中時，將其位元線電壓保持在V_{DD}。

虛擬INV信號產生器570感測位元線電壓，並輸出虛擬INV信號VINV，其係在邏輯上等效於由感測模組所產生的INV信號。虛擬INV信號產生器570包括p電晶體572，其係與用於輸出信號VINV的節點之上拉/下拉組態中的n電晶體574串聯。p電晶體572係由其閘極中的電壓V_{WKP}所微弱地上拉。將位元線36'之電壓輸入n電晶體574之閘極。虛擬INV信號產生器570實質上作為三態反相器，其在位元線36-1具有接近於接地的電壓(程式化模式)時輸出高VINV信號，而在該電壓為V_{DD}(程式禁止模式)時輸出低VINV信號。

在圖15所示的範例中，將VINV信號作為信號$VINV_L$輸入至相鄰感測模組380-0。因此採用信號INV或VINV，可將關於程式化或程式禁止狀態的資訊與NAND鏈耦合的感測模組380-0通信。在其相鄰NAND鏈之兩者均係在程式化模式中的情況下，感測模組380-0經由位元線下拉電路560而將位元線下拉至接地。

雖然已就某些具體實施例而說明本發明之各方面，但是應瞭解本發明被授予受所附申請專利範圍之完全範圍所保

護的權利。

【圖式簡單說明】

圖1示意性地解說以EEPROM單元的形式之非揮發性記憶體單元。

圖2示意性地解說組織成一NAND單元或串的電荷儲存單元之一串。

圖3解說例如圖2所示的陣列之一NAND單元陣列的範例。

圖4示意性地解說依據本發明之一項具體實施例的一記憶體裝置，其具有用以並列讀取及程式化記憶體單元之一頁的讀取/寫入電路。

圖4B解說圖4A所示的記憶體裝置之較佳配置。

圖5A解說沿圖2所示的方向5A-5A之記憶體電晶體，及電荷儲存單元與字線之間以及電荷單元與通道之間的等效電容之斷面透視圖。

圖5B示意性地解說圖5A所示的記憶體電晶體之電容耦合，從而特定顯示因通道中的電壓及字線中的電壓而起的電荷儲存單元中的電壓。

圖6A解說在二鄰近記憶體電晶體係皆在程式化模式中的情況下，圖3所示的NAND單元之陣列之斷面透視圖。

圖6B解說類似於圖6A的NAND陣列之斷面透視圖，鄰近記憶體電晶體之一係在程式禁止模式中除外。

圖7示意性地表示二位元線之間藉由電容器的電容耦合。

圖8(A)至8(G)為依據本發明之第一具體實施例的時序

圖，其解說在程式化操作期間藉由電容位元線對位元線耦合之電壓補償方案。

圖8(H)至8(O)解說與本發明之特徵有關的圖12所示的較佳感測模組之時序。

圖9(A)至9(G)為依據本發明之第二具體實施例的時序圖，其解說在程式化操作期間藉由電容位元線對位元線耦合之電壓補償方案。

圖10為依據一項較佳具體實施例的流程圖，其顯示程式化鄰接記憶體儲存單元之一頁，同時最小化因該等單元當中得到程式禁止或封鎖之個別記憶體電晶體而起的耦合錯誤之方法。

圖11為依據另一項較佳具體實施例的流程圖，其顯示程式化鄰接記憶體儲存單元之一頁，同時最小化因該等單元當中得到程式禁止或封鎖之個別記憶體電晶體而起的耦合錯誤之方法。

圖12解說實施本發明之各方面的較佳感測模組。

圖13解說沿其中仍可能會出現第二級錯誤的NAND鏈之一列的程式化組態。

圖14解說其中各感測模組亦感測其鄰居之INV信號的感測模組組態。

圖15解說一替代實施方案，其中從鄰近記憶體電晶體之位元線的狀態中直接取得指示鄰居係在程式化模式還係程式禁止模式中的信號。

【主要元件符號說明】

10	記憶體單元
36	位元線
36'	位元線
36-0	位元線
36-1	位元線
36-1'	位元線
36-2	位元線
36-3	位元線
50	NAND串/鏈
50-1	NAND串
50-2	NAND串
50-3	NAND串
51	鏈
51'	鏈
52	鏈
52'	鏈
54	源極端子
56	汲極端子
60、...、64	控制閘極/字線
70	電荷儲存單元
70-1	電荷儲存單元
70-2	電荷儲存單元
70-3	電荷儲存單元
80	通道

80-1	通道
80-2	通道
80-3	通道
170	電路
300	記憶體單元
310	控制電路
312	狀態機
314	晶片上位址解碼器
316	功率控制模組
330	列解碼器
330A	列解碼器
330B	列解碼器
360	行解碼器
360A	行解碼器
360B	行解碼器
370	讀取/寫入電路
370A	讀取/寫入電路
370B	讀取/寫入電路
380	感測模組
380'	感測模組
380"	感測模組
380-0	感測模組
380-1	感測模組
380-1'	感測模組

501	感測節點
502	隔離電晶體
520	下拉電路
522	n電晶體
523	節點
530	讀出匯流排傳送閘極
532	讀出匯流排
540	頁控制器
550	n電晶體
560	下拉電路
570	信號產生器
572	p電晶體
574	n電晶體
600	感測放大器
610	位元線電壓箝
612	電晶體
620	第二電壓箝
640	預充電電路
650	鑑別器電路
652	專用電容器
660	鎖存器

五、中文發明摘要：

本發明揭示一種具位元線對位元線耦合補償之非揮發性記憶體及方法。當程式化記憶體儲存單元之一鄰接頁時，每次一記憶體儲存單元已達到其目標狀態並從進一步的程式化中予以程式禁止或封鎖，其均會於仍在程式化條件下的一鄰近記憶體儲存單元上建立一擾動。本發明提供程式化電路及方法之一部分，其中將該擾動之一偏移加入至仍在程式化條件下的該鄰近記憶體儲存單元。藉由該程式禁止記憶體儲存單元之鄰近位元線與該仍在程式化條件下的記憶體儲存單元之鄰近位元線之間的一受控耦合而添加該偏移。採用此方法，可消除或最小化並列程式化高密度記憶體儲存單元中固有的一錯誤。

六、英文發明摘要：

十一、圖式：

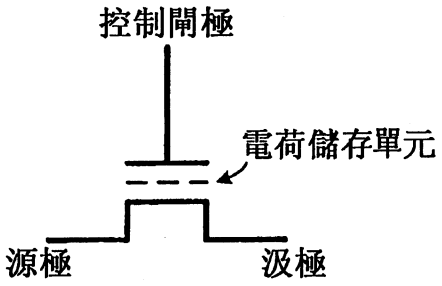


圖 1

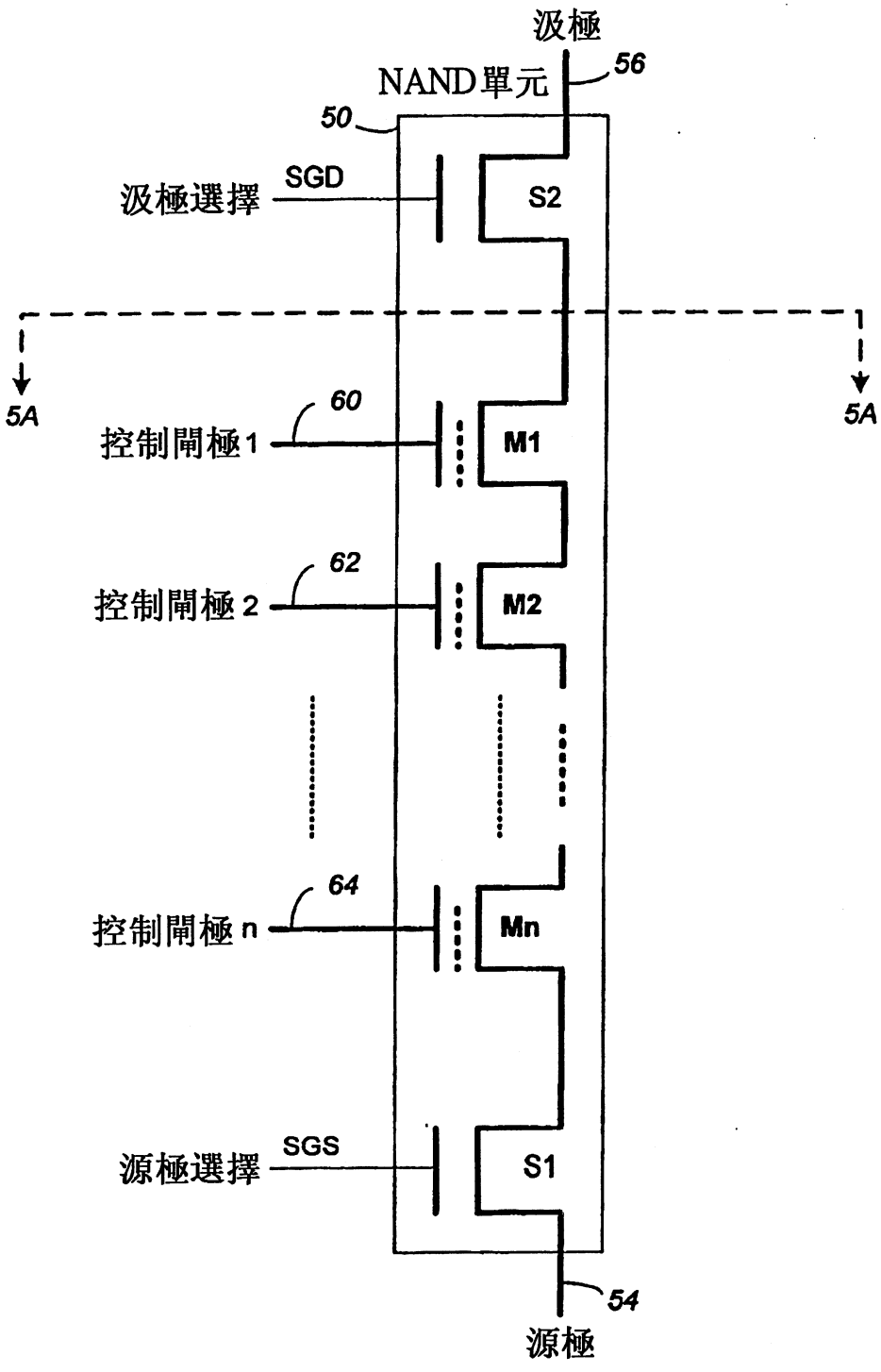

汲極
NAND單元
56
50
汲極選擇
SGD
S2
5A
5A
60
控制閘極1
M1
62
控制閘極2
M2
64
控制閘極n
Mn
源極選擇
SGS
S1
54
源極

圖 2

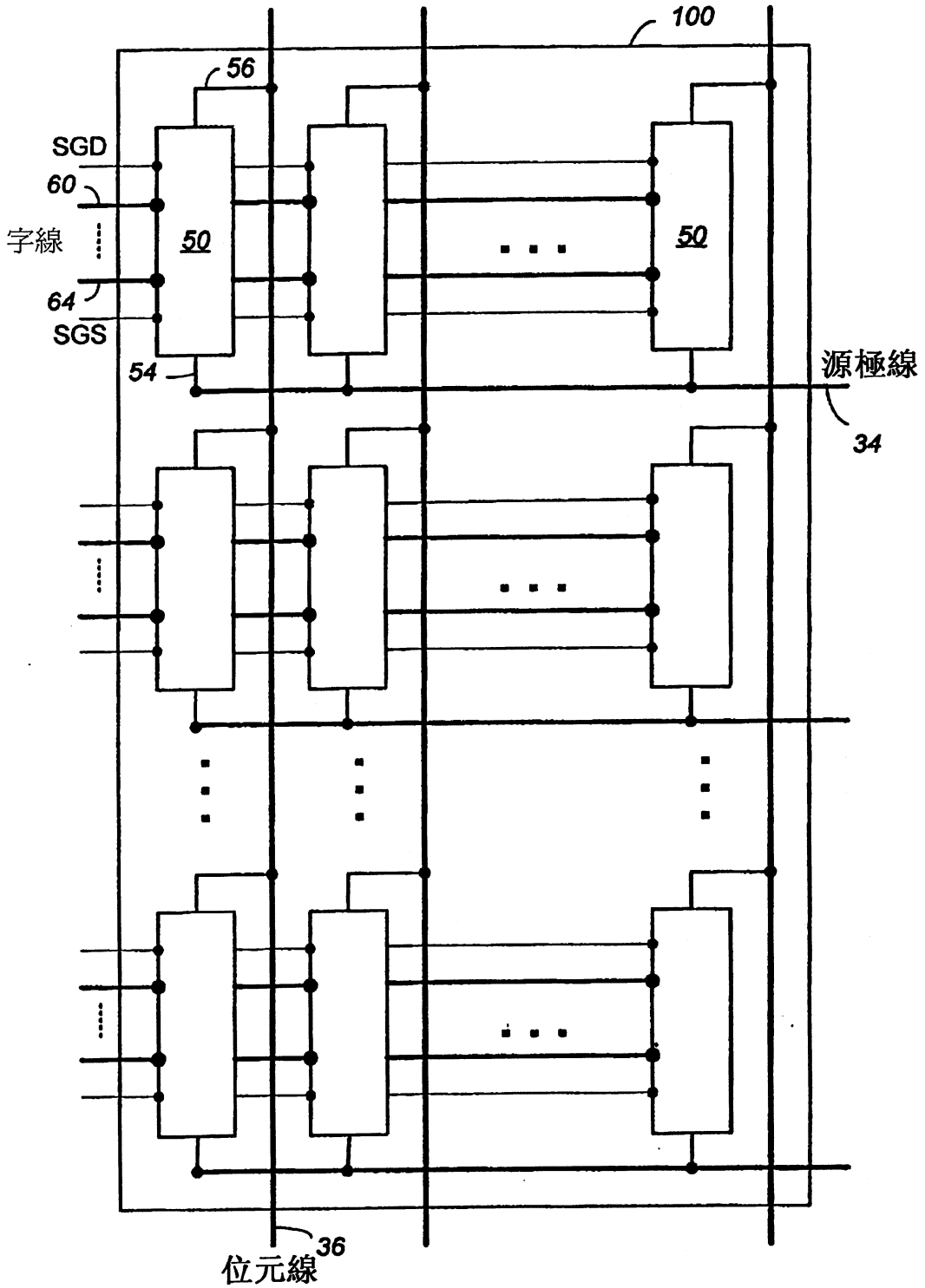


圖 3

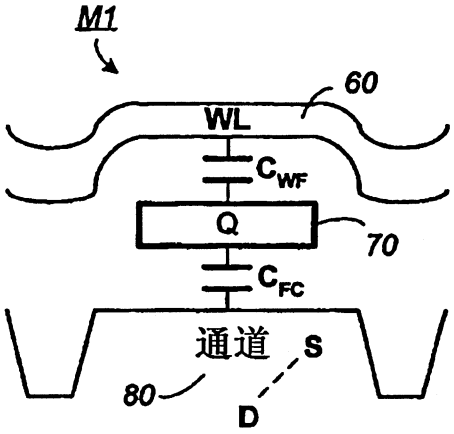

M1
60
WL
C_{WF}
Q
70
C_{FC}
通道
S
80
D

圖 5A

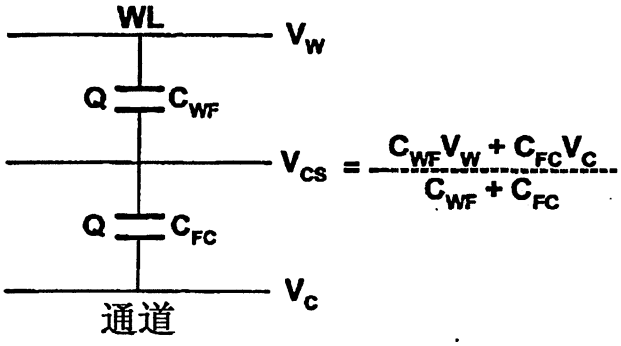

WL
V_W
Q
C_{WF}
$V_{CS} = \frac{C_{WF}V_W + C_{FC}V_C}{C_{WF} + C_{FC}}$
Q
C_{FC}
V_C
通道

圖 5B

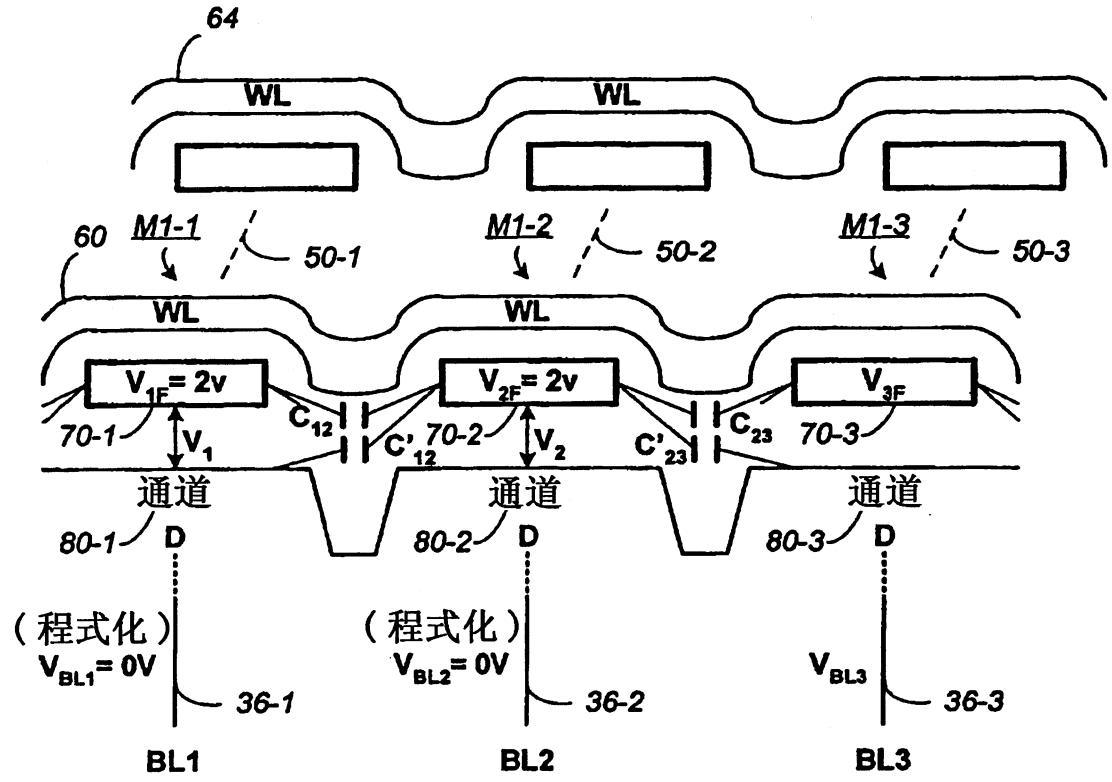

64
WL
WL
60
M1-1
50-1
M1-2
50-2
M1-3
50-3
WL
WL
V1F= 2v
V2F= 2v
V3F
C12
C'12
C'23
C23
70-1
70-2
70-3
V1
V2
通道
通道
通道
80-1
80-2
80-3
D
D
D
（程式化）
VBL1= 0V
（程式化）
VBL2= 0V
VBL3
36-1
36-2
36-3
BL1
BL2
BL3

圖 6A

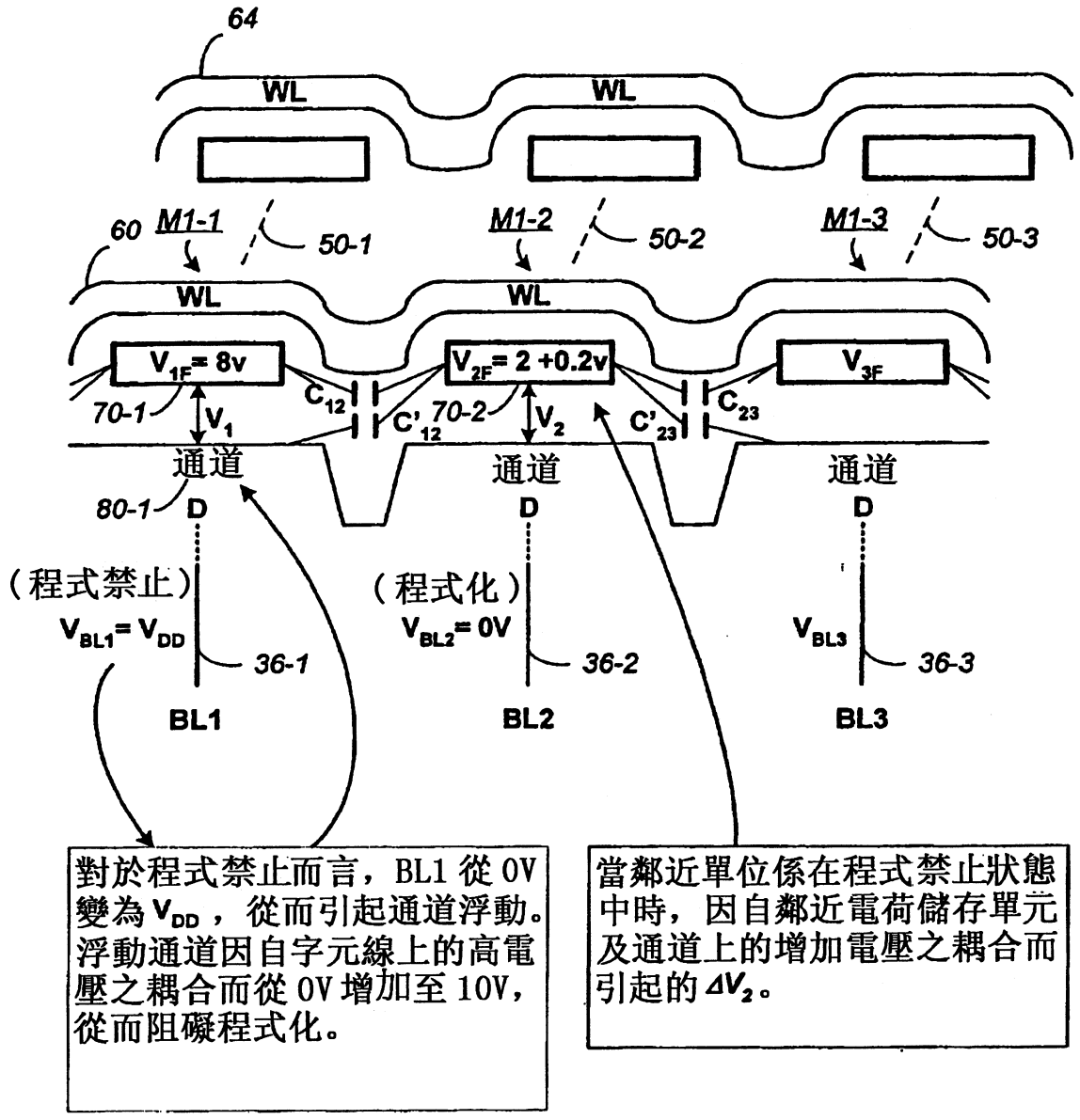

64
WL
WL
60
M1-1
50-1
M1-2
50-2
M1-3
50-3
WL
WL
V_{1F}= 8v
V_{2F}= 2 +0.2v
V_{3F}
70-1
V_1
C_{12}
C'_{12}
70-2
V_2
C'_{23}
C_{23}
通道
通道
通道
80-1
D
D
D
（程式禁止）
V_{BL1}= V_{DD}
（程式化）
V_{BL2}= 0V
V_{BL3}
36-1
36-2
36-3
BL1
BL2
BL3
對於程式禁止而言，BL1 從 0V 變為 V_{DD}，從而引起通道浮動。浮動通道因自字元線上的高電壓之耦合而從 0V 增加至 10V，從而阻礙程式化。
當鄰近單位係在程式禁止狀態中時，因自鄰近電荷儲存單元及通道上的增加電壓之耦合而引起的 ΔV_2。

圖 6B

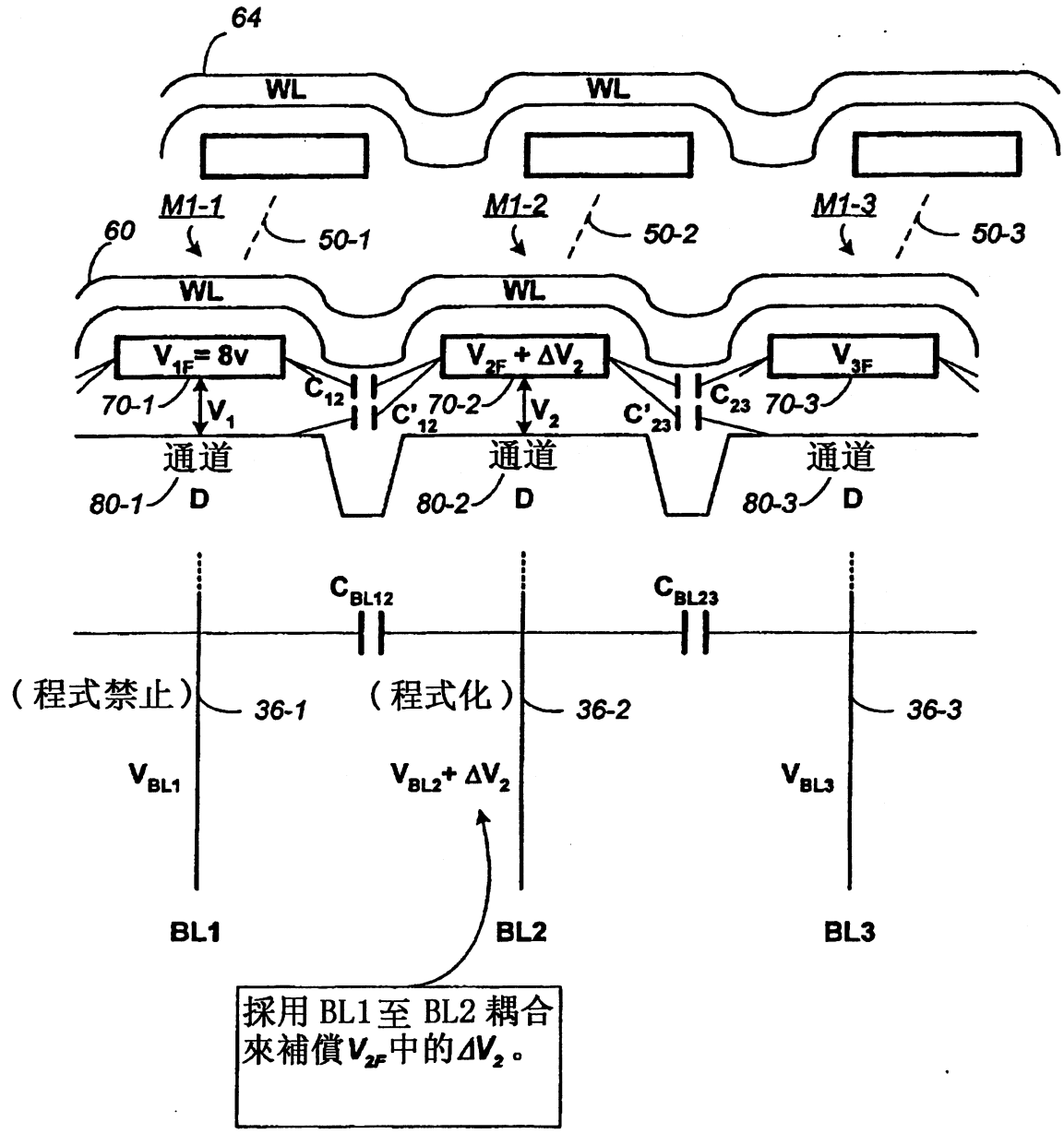

64
WL
WL
M1-1
M1-2
M1-3
50-1
50-2
50-3
60
WL
WL
V_{1F}= 8v
V_{2F} + ΔV_2
V_{3F}
70-1
V_1
C_{12}
C'_{12}
70-2
V_2
C'_{23}
C_{23}
70-3
通道
D
80-1
80-2
80-3
C_{BL12}
C_{BL23}
（程式禁止）
36-1
（程式化）
36-2
36-3
V_{BL1}
V_{BL2}+ ΔV_2
V_{BL3}
BL1
BL2
BL3
採用 BL1 至 BL2 耦合來補償 V_{2F} 中的 ΔV_2。

圖 7

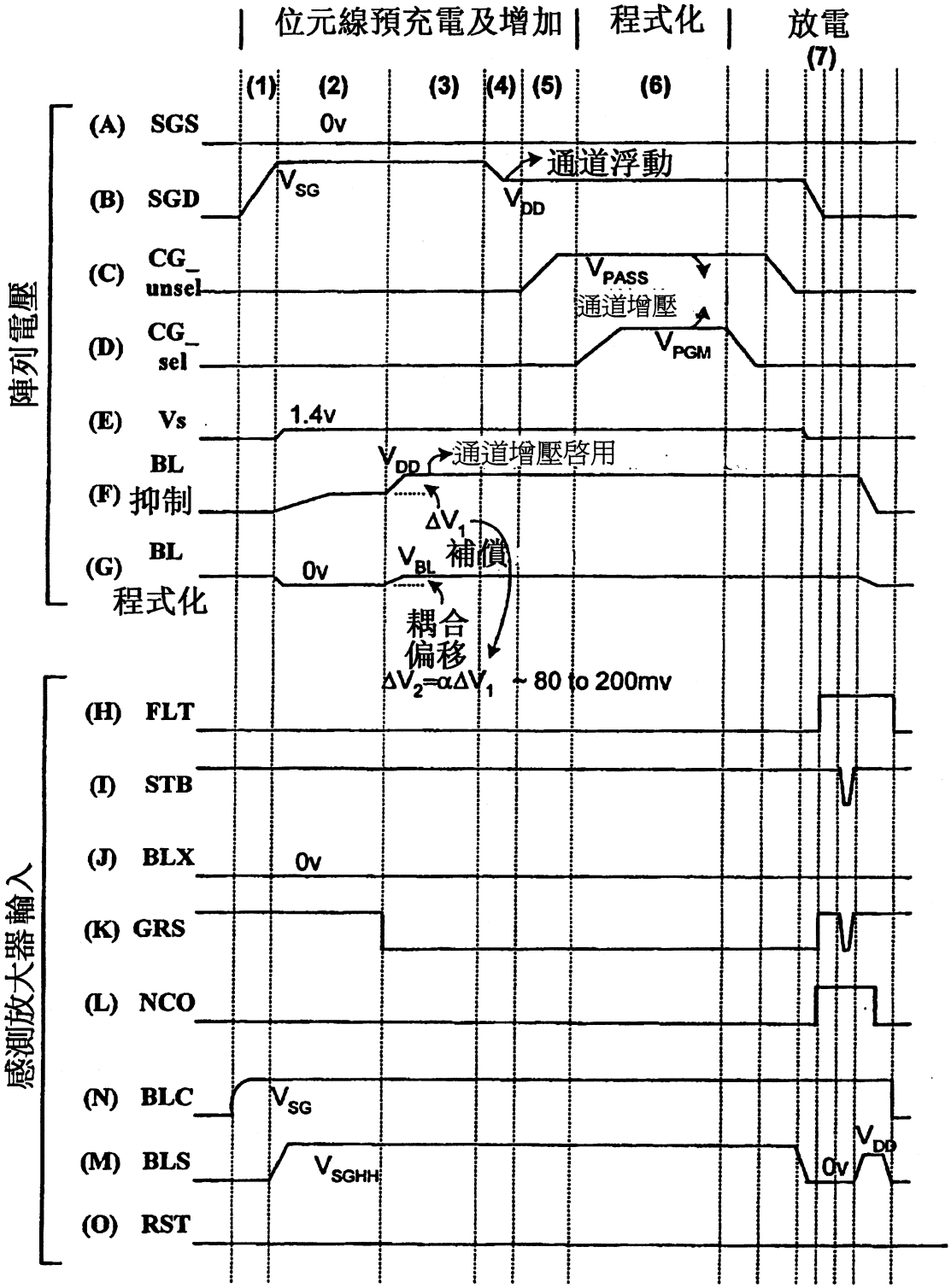

位元線預充電及增加
程式化
放電
(1)
(2)
(3)
(4)
(5)
(6)
(7)
陣列電壓
(A) SGS
0v
(B) SGD
V_{SG}
通道浮動
V_{DD}
(C) CG_unsel
V_{PASS}
通道增壓
(D) CG_sel
V_{PGM}
(E) Vs
1.4v
(F) BL 抑制
V_{DD}
通道增壓啓用
ΔV_1
(G) BL 程式化
0v
V_{BL}
補償
耦合偏移
$\Delta V_2=\alpha\Delta V_1$ ~ 80 to 200mv
感測放大器輸入
(H) FLT
(I) STB
(J) BLX
0v
(K) GRS
(L) NCO
(N) BLC
V_{SG}
(M) BLS
V_{SGHH}
0v
V_{DD}
(O) RST

圖 8

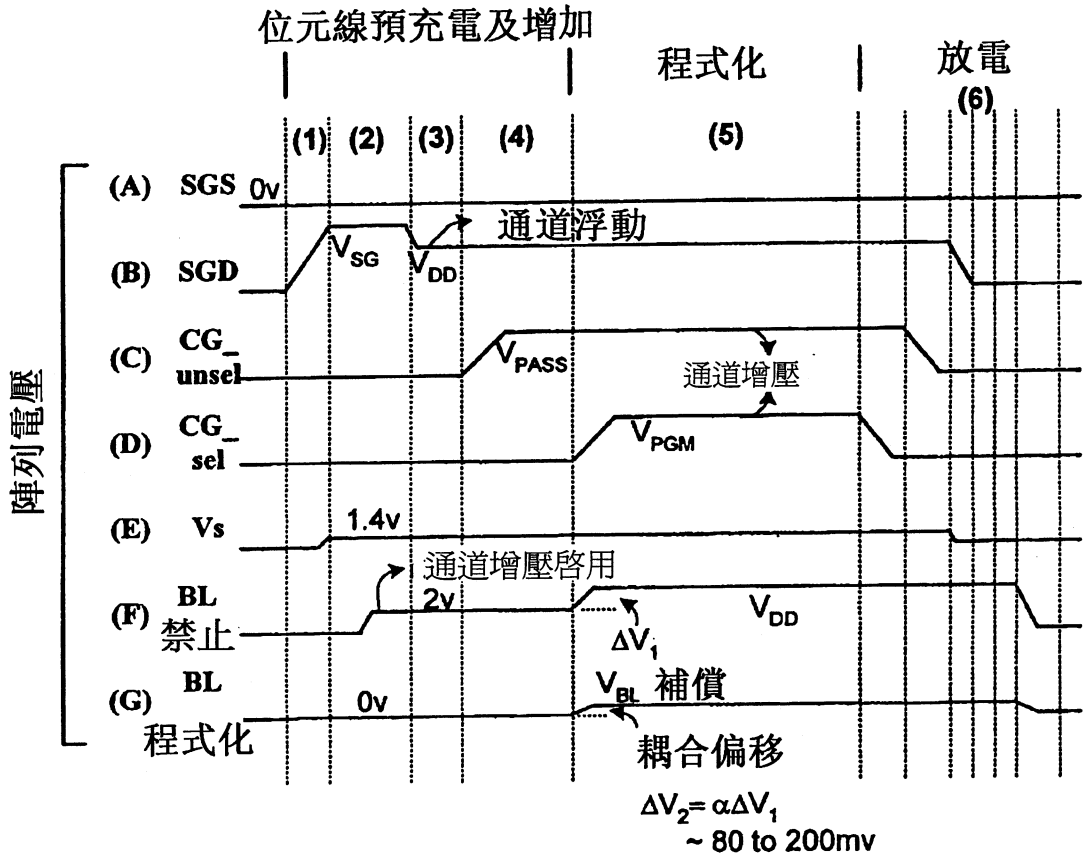

位元線預充電及增加
程式化
放電
(6)
(1) (2) (3) (4) (5)
陣列電壓
(A) SGS 0v
(B) SGD
V_{SG}
V_{DD}
通道浮動
(C) CG_ unsel
V_{PASS}
通道增壓
(D) CG_ sel
V_{PGM}
(E) Vs
1.4v
通道增壓啓用
2v
(F) BL 禁止
V_{DD}
ΔV_1
(G) BL 程式化
0v
V_{BL} 補償
耦合偏移
$\Delta V_2 = \alpha \Delta V_1$
~ 80 to 200mv

圖 9

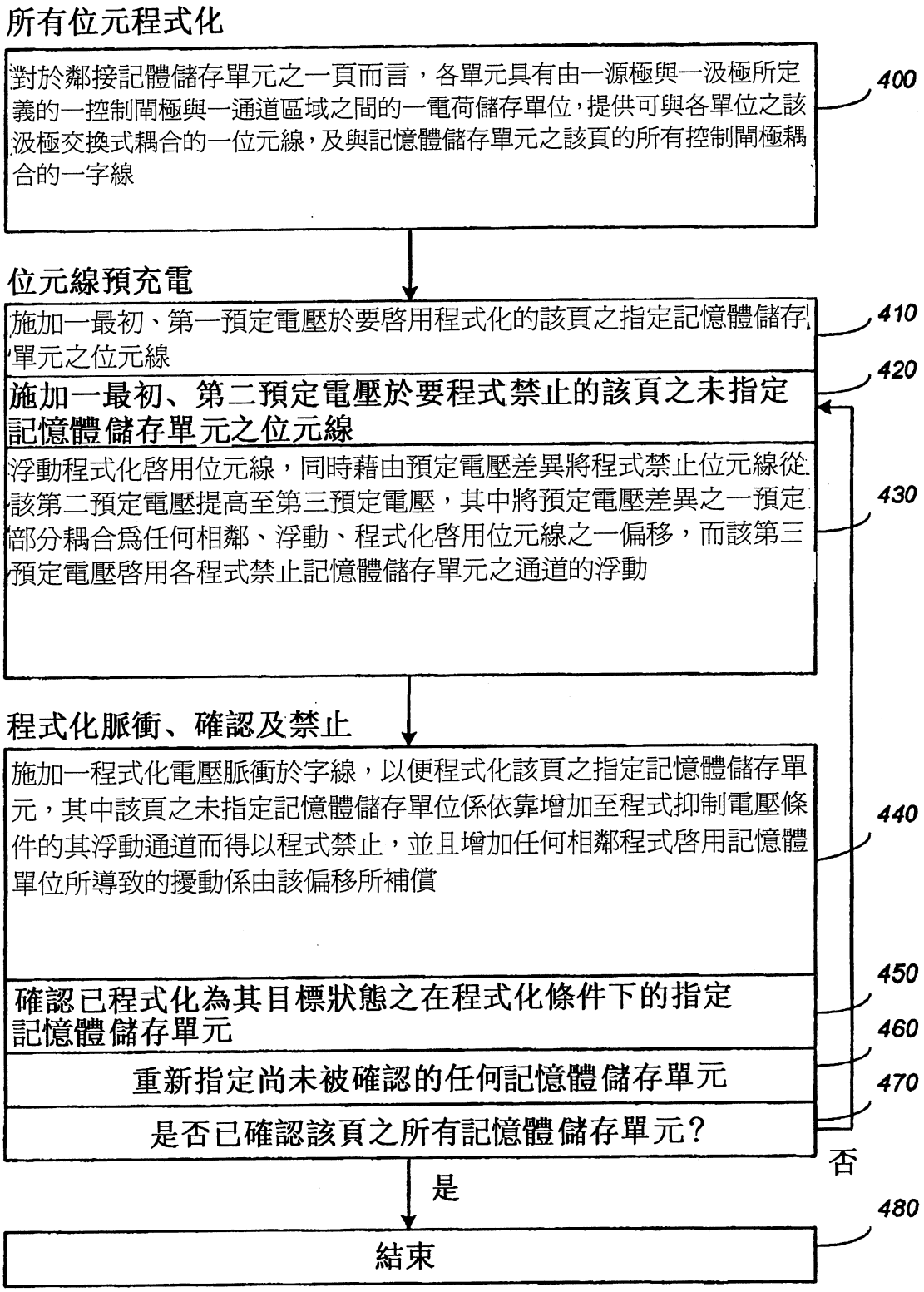

所有位元程式化
對於鄰接記體儲存單元之一頁而言，各單元具有由一源極與一汲極所定義的一控制閘極與一通道區域之間的一電荷儲存單位，提供可與各單位之該汲極交換式耦合的一位元線，及與記憶體儲存單元之該頁的所有控制閘極耦合的一字線
400
位元線預充電
施加一最初、第一預定電壓於要啓用程式化的該頁之指定記憶體儲存單元之位元線
410
施加一最初、第二預定電壓於要程式禁止的該頁之未指定記憶體儲存單元之位元線
420
浮動程式化啓用位元線，同時藉由預定電壓差異將程式禁止位元線從該第二預定電壓提高至第三預定電壓，其中將預定電壓差異之一預定部分耦合爲任何相鄰、浮動、程式化啓用位元線之一偏移，而該第三預定電壓啓用各程式禁止記憶體儲存單元之通道的浮動
430
程式化脈衝、確認及禁止
施加一程式化電壓脈衝於字線，以便程式化該頁之指定記憶體儲存單元，其中該頁之未指定記憶體儲存單位係依靠增加至程式抑制電壓條件的其浮動通道而得以程式禁止，並且增加任何相鄰程式啓用記憶體單位所導致的擾動係由該偏移所補償
440
確認已程式化為其目標狀態之在程式化條件下的指定記憶體儲存單元
450
重新指定尚未被確認的任何記憶體儲存單元
460
是否已確認該頁之所有記憶體儲存單元?
470
否
是
結束
480

圖 10

位元線預充電（第二具體實施例）

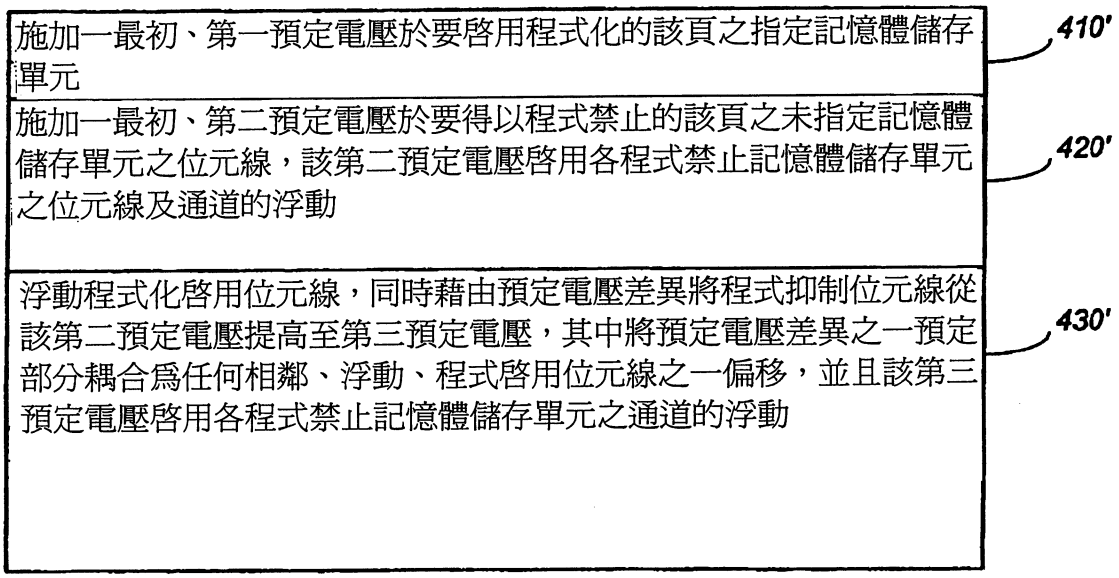


圖 11

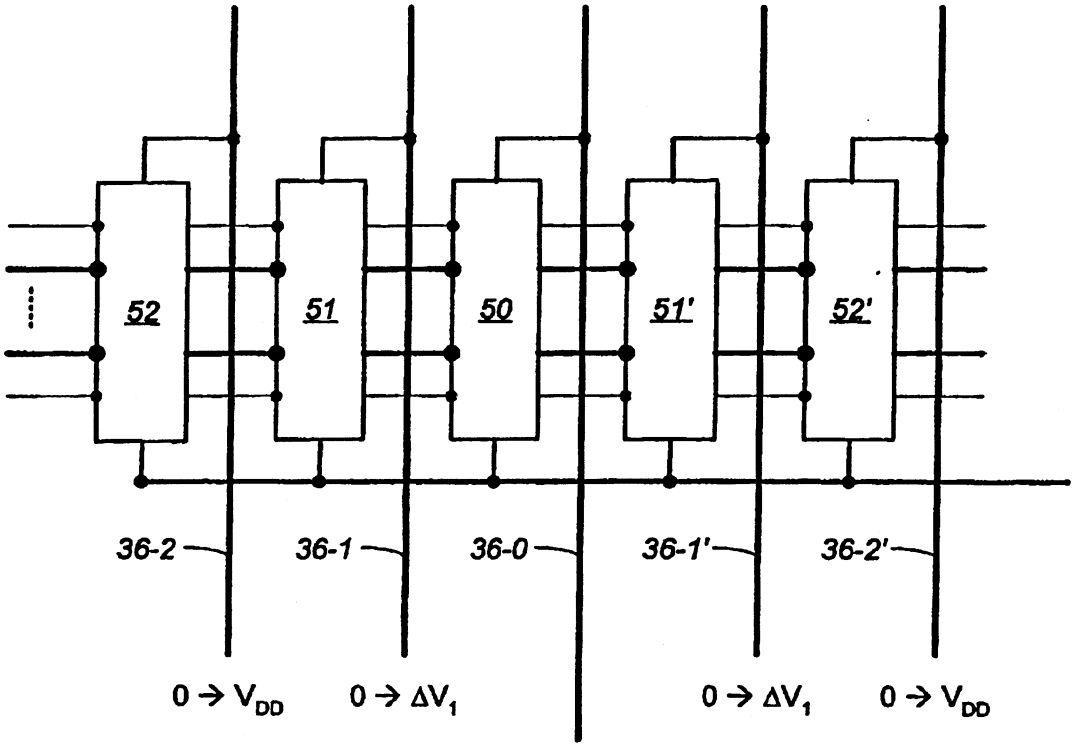

52
51
50
51'
52'
36-2
36-1
36-0
36-1'
36-2'
0 → V_DD
0 → ΔV_1
0 → ΔV_1
0 → V_DD
程式禁止
程式化
0 → ΔV_0
<> 0
程式化
程式化
程式禁止
程式化

圖 13

七、指定代表圖：

(一)本案指定代表圖為：第(7)圖。

(二)本代表圖之元件符號簡單說明:

36-1	位元線
36-2	位元線
36-3	位元線
50-1	NAND串
50-2	NAND串
50-3	NAND串
60	控制閘極/字線
64	控制閘極/字線
70-1	電荷儲存單元
70-2	電荷儲存單元
70-3	電荷儲存單元
80-1	通道
80-2	通道
80-3	通道

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

97年1月3日修(更)正本

十、申請專利範圍：

1. 一種將具有互連控制閘極的鄰接記憶體儲存單元之一頁程式化為其目標狀態的方法，該方法用於非揮發性記憶體，其中該記憶體具有一記憶體儲存單元陣列，各單元具有介於一控制閘極與由一源極和一汲極所界定的一通道區域之間的一電荷儲存單元，及一可切換式耦合至該汲極的位元線，該方法包括：

(a)提供一可切換式耦合至各記憶體儲存單元之該汲極的位元線，及一與記憶體儲存單元之該頁的所有該等控制閘極耦合的字線；

(b)施加一最初、第一預定電壓於要啟用程式化的該頁之指定記憶體儲存單元之該等位元線；

(c)施加一最初、第二預定電壓於要得以程式禁止的該頁之未指定記憶體儲存單元之該等位元線；

(d)浮動該等程式啟用位元線，同時藉由一預定電壓差將該等程式禁止位元線從該第二預定電壓提高至一第三預定電壓，其中將該預定電壓差之一預定部分耦合為任何相鄰、浮動、程式啟用位元線之一偏移，並且該第三預定電壓啟用各程式禁止記憶體儲存單元之通道的浮動；

(e)施加一程式化電壓脈衝於該字線，以便程式化該頁之該等指定記憶體儲存單元，其中該頁之該等未指定記憶體儲存單元係依靠增壓至一程式禁止電壓條件的其浮動通道而得以程式禁止，並且增壓任何相鄰程式啟用記憶體儲存單元所導致的一擾動係由該偏移所補償。

2. 如請求項1之方法，其進一步包括：

(f)確認在程式化條件下的該等被選定記憶體儲存單元；

(g)重新指定尚未被確認的任何記憶體儲存單元；及

(h)重複(c)至(g)，直至記憶體儲存單元之該頁的全部均已被確認。

3. 如請求項1或2中任一項之方法，其中該浮動該等程式啟用位元線先於各程式禁止記憶體儲存單元之該通道之該浮動。

4. 如請求項1或2中任一項之方法，其中該浮動該等程式啟用位元線係在各程式禁止記憶體儲存單元之該通道之該浮動之後。

5. 如請求項1或2中任一項之方法，其中記憶體儲存單元之該頁形成該陣列之一列。

6. 如請求項1或2中任一項之方法，其中記憶體儲存單元之該頁形成該陣列之一列之一區段。

7. 如請求項1或2中任一項之方法，其中：

該記憶體係組織為記憶體儲存單元之NAND鏈的一陣列，各鏈具有複數個串聯連接的記憶體儲存單元，並且記憶體儲存單元之該頁係由自其一頁當中的各NAND鏈之一記憶體儲存單元組成。

8. 如請求項1或2中任一項之方法，其中各記憶體儲存單元儲存一個位元之資訊。

9. 如請求項1或2中任一項之方法，其中各記憶體儲存單元儲存一個以上的位元之資訊。

10. 如請求項1或2中任一項之方法，其中該電荷儲存單元為一浮動閘極。

11. 如請求項1或2中任一項之方法，其中該電荷儲存單元為一介電層。

12. 如請求項1或2中任一項之方法，其中該非揮發性記憶體係以卡的形式。

13. 如請求項1或2中任一項之方法，其進一步包括：

將一程式啟用位元線設定為一預定電位，無論何時該位元線具有亦得以程式啟用的二相鄰位元線，該電位實質上均最大化程式化效率。

14. 如請求項13之方法，其中該預定電位為接地電位。

15. 一種用以將具有互連控制閘極的鄰接記憶體儲存單元之一頁程式化為其目標狀態的程式化電路，該電路用於非揮發性記憶體，其中該記憶體具有一記憶體儲存單元陣列，各單元具有介於一控制閘極與由一源極和一汲極所界定的一通道區域之間的一電荷儲存單元，及一可切換式耦合至該汲極的位元線，該電路包括：

一位元線，其可切換式耦合至各記憶體儲存單元之該汲極；

一字線，其與記憶體儲存單元之該頁的所有該等控制閘極耦合；

施加構件，其用以施加一最初、第一預定電壓於要啟用程式化的該頁之指定記憶體儲存單元之該等位元線；

施加構件，其用以施加一最初、第二預定電壓於要得

以程式禁止的該頁之未指定記憶體儲存單元之該等位元線；

浮動構件，其用以浮動該等程式啟用位元線，同時藉由一預定電壓差將該等程式禁止位元線從該第二預定電壓提高至一第三預定電壓，其中將該預定電壓差之一預定部分耦合為任何相鄰、浮動、程式啟用位元線之一偏移，並且該第三預定電壓啟用各程式禁止記憶體儲存單元之該通道的浮動；

施加構件，其用以施加一程式化電壓脈衝於該字線，以便程式化該頁之該等指定記憶體儲存單元，其中該頁之該等未指定記憶體儲存單元係依靠增加至一程式禁止電壓條件的其浮動通道而得以程式禁止，並且增壓任何相鄰程式啟用記憶體儲存單元所導致的一擾動係由該偏移所補償。

16. 如請求項15之程式化電路，其進一步包括：

設定構件，其用以將一程式啟用位元線設定為一預定電位，無論何時該位元線具有亦得以程式啟用的二相鄰位元線，該電位實質上最大化程式化效率。

17. 如請求項16之程式化電路，其中該預定電位為接地電位。

18. 一種用以將具有互連控制閘極的鄰接記憶體儲存單元之一頁程式化為其目標狀態的程式化電路，該電路用於非揮發性記憶體，其中該記憶體具有一記憶體儲存單元陣列，各單元具有介於一控制閘極與由一源極和一汲極所界定的一通道區域之間的一電荷儲存單元，及一可切換

式耦合至該汲極的位元線，該電路包括：

一位元線，其可切換式耦合至各記憶體儲存單元之該汲極；

一字線，其與記憶體儲存單元之該頁的所有該等控制閘極耦合；

一控制器及回應該控制器的一電源；

該控制器指定要在該頁當中得以程式化的記憶體儲存單元；

該電源施加一第一預定電壓於要啟用程式化的該頁之該等指定記憶體儲存單元之該等位元線；

該電源施加一第二預定電壓於要得以程式禁止的該頁之未指定記憶體儲存單元之該等位元線；

開關，其回應用以浮動該等程式啟用位元線的該控制器，同時該電源藉由一預定電壓差將該等程式禁止位元線從該第二預定電壓提高至一第三預定電壓，其中將該預定電壓差之一預定部分耦合為任何相鄰、浮動、程式啟用位元線之一偏移，並且該第三預定電壓啟用各程式禁止記憶體儲存單元之該通道的浮動；以及

該電源施加一程式電壓脈衝於該字線，以便程式化該頁之該等指定記憶體儲存單元，其中該頁之該等未指定記憶體儲存單元係依靠增壓至一程式禁止電壓條件的其浮動通道而得以程式禁止，並且增壓任何相鄰程式啟用記憶體儲存單元所導致的一擾動係由該偏移所補償。

19. 如請求項18之程式化電路，其中該浮動該等程式啟用位

元線先於各程式禁止記憶體儲存單元之該通道之該浮動。

20. 如請求項18之程式化電路，其中該浮動該等程式啟用位元線係在各程式禁止記憶體儲存單元之該通道之該浮動之後。

21. 如請求項18之程式化電路，其中記憶體儲存單元之該頁形成該陣列之一列。

22. 如請求項18之程式化電路，其中記憶體儲存單元之該頁形成該陣列之一列之一區段。

23. 如請求項18之程式化電路，其中：

該記憶體係組織為記憶體儲存單元之NAND鏈的一陣列，各鏈具有複數個串聯連接的記憶體儲存單元，並且記憶體儲存單元之該頁係由自其一頁當中的各NAND鏈之一記憶體儲存單元組成。

24. 如請求項18之程式化電路，其中各記憶體儲存單元儲存一個位元之資訊。

25. 如請求項18之程式化電路，其中各記憶體儲存單元儲存一個以上的位元之資訊。

26. 如請求項18之程式化電路，其中該電荷儲存單元為一浮動閘極。

27. 如請求項18之程式化電路，其中該電荷儲存單元為一介電層。

28. 如請示項18之程式化電路，其中該非揮發性記憶體係以卡的形式。

29. 如請求項18之程式化電路，其中要程式化的該等記憶體儲存單元之各單元可與一位元線連接，並且該非揮發性記憶體進一步包括：

一電壓源，其用以將該位元線設定為一預定電位，無論何時該位元線具有與未禁止用於程式化的相鄰記憶體儲存單元相關聯之二鄰近位元線，該電位實質上均最大化程式化效率。

30. 如請求項29之程式化電路，其中該預定電位為接地電位。

95年3月8日修(更)正替換頁

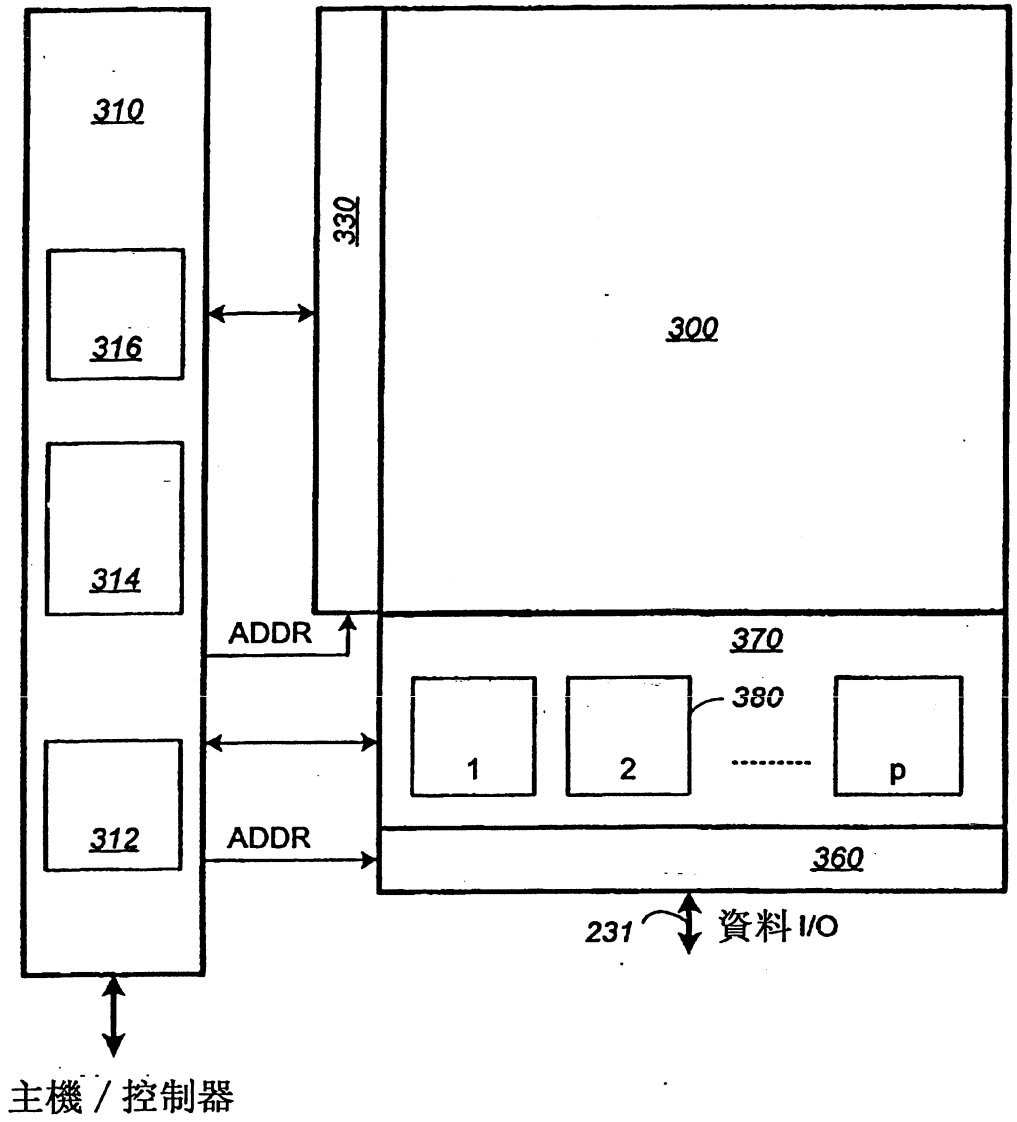


圖 4A

第 093128297 號專利申請案
中文圖式替換頁(95 年 3 月)

95年3月8日修(更)正替換頁

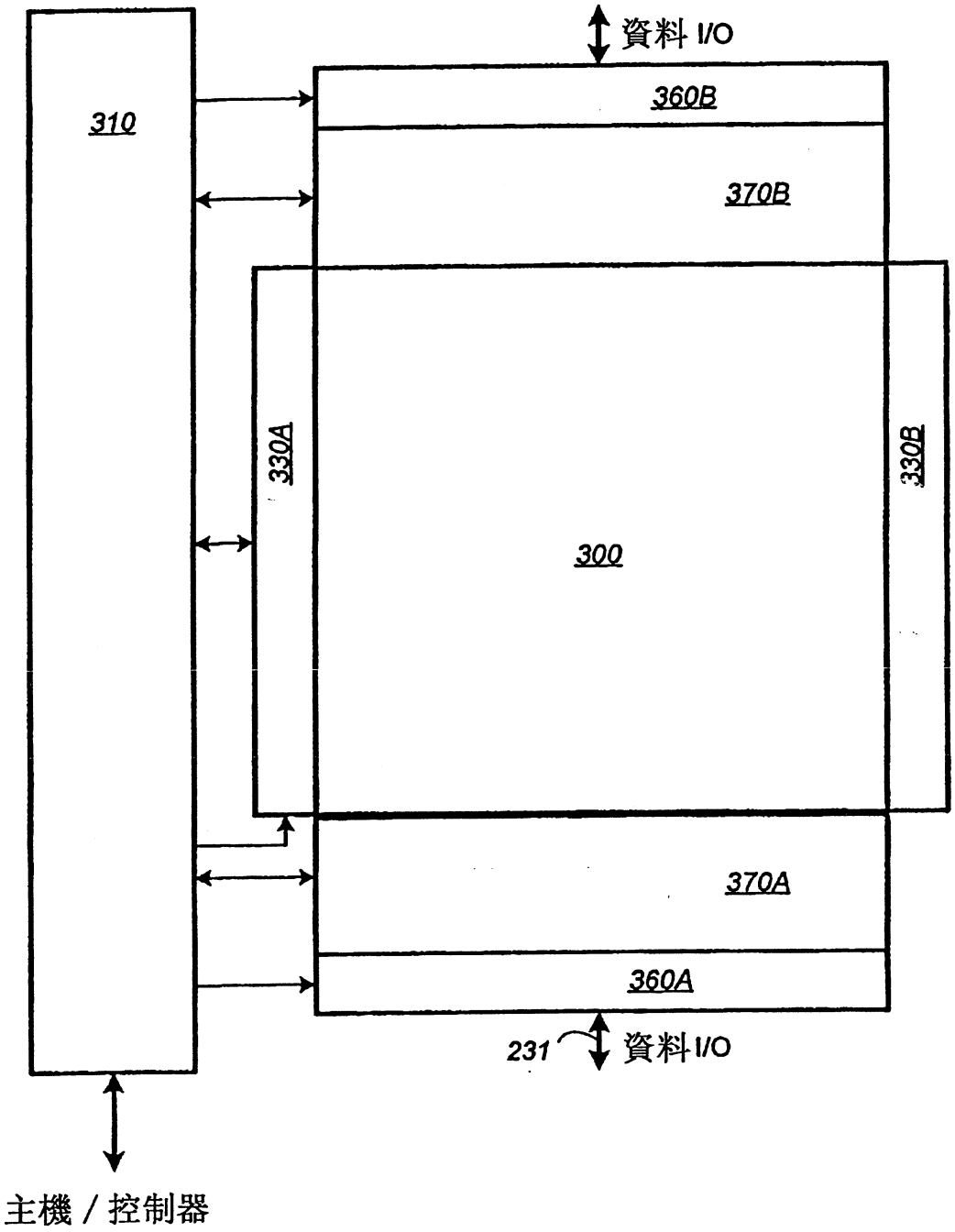


圖 4B

97年1月3日修(更)正替換頁

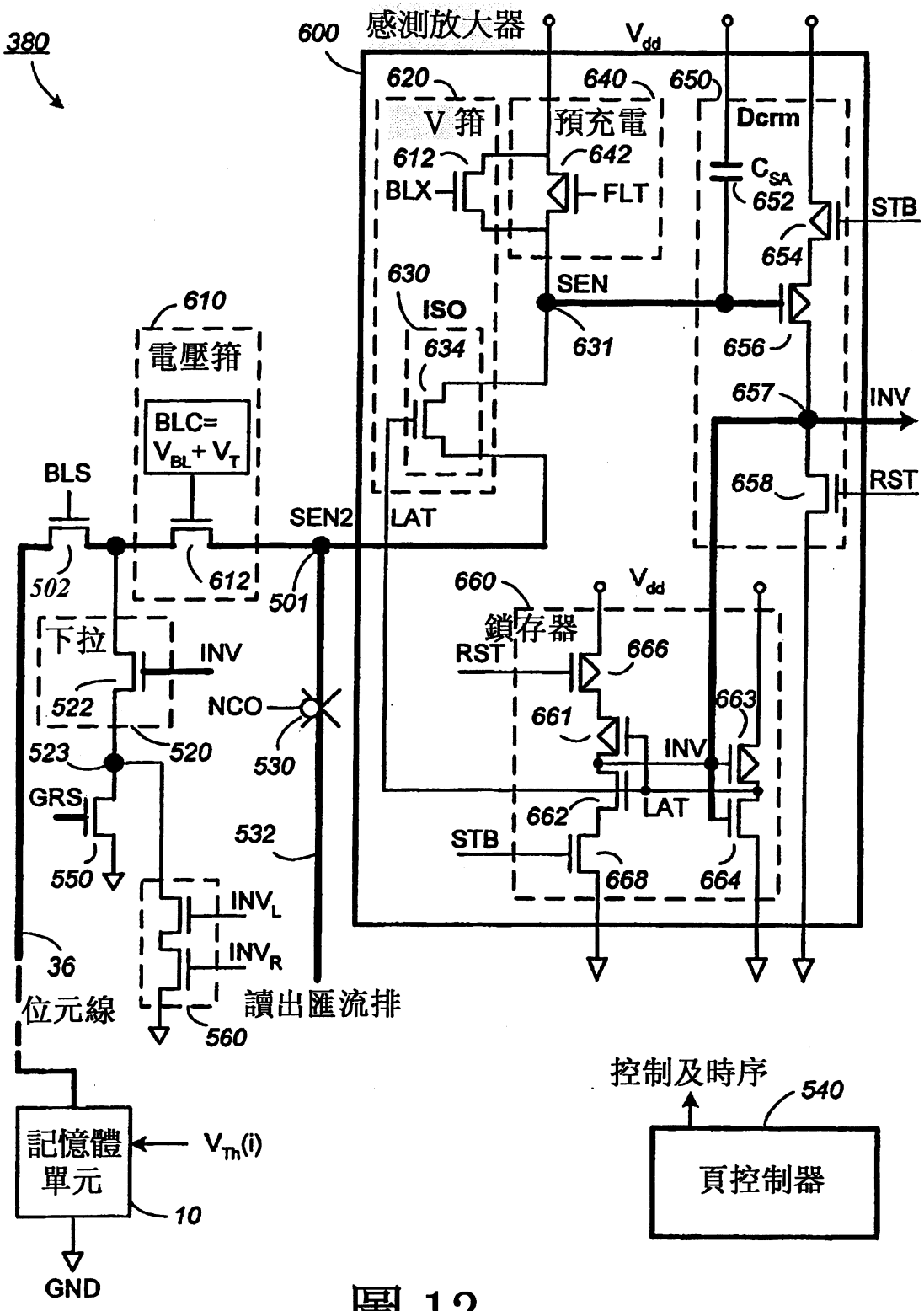


圖 12

95年3月8日修(更)正替換頁

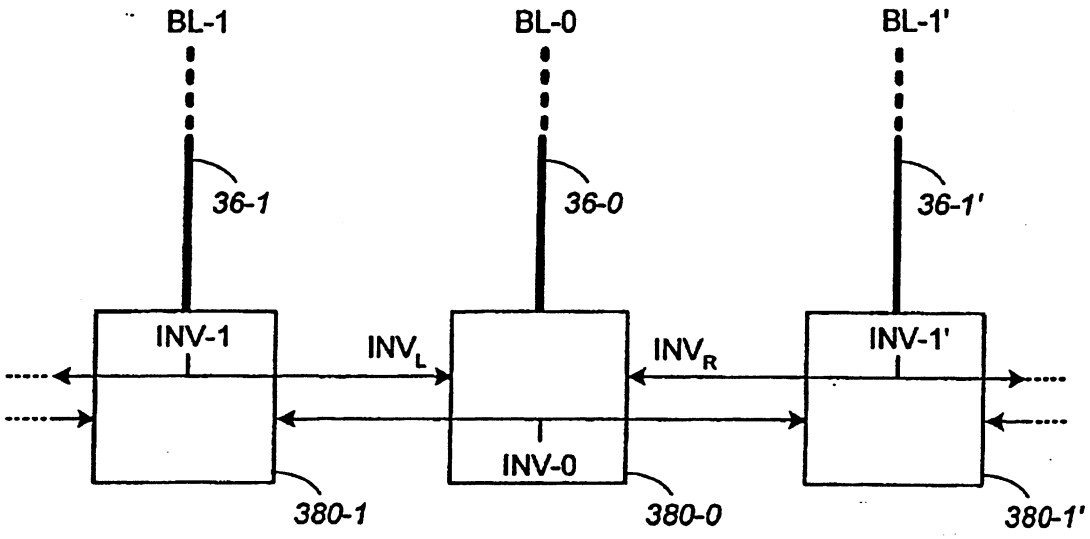


圖 14

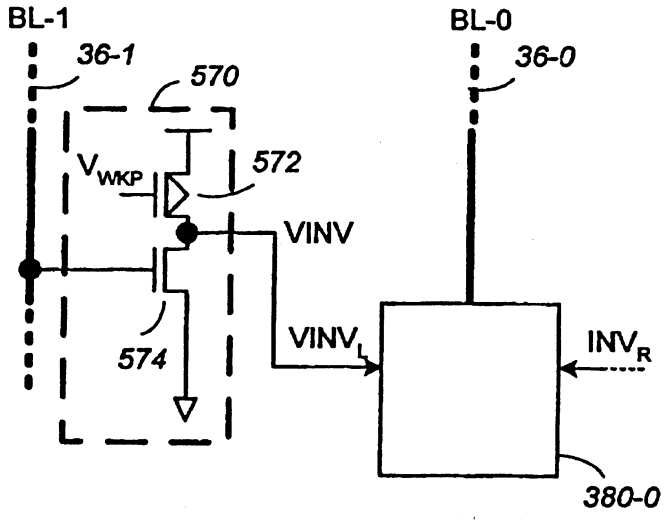


圖 15