



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월22일

(11) 등록번호 10-1596454

(24) 등록일자 2016년02월16일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01)

(21) 출원번호 10-2009-0008279

(22) 출원일자 2009년02월03일

심사청구일자 2014년01월16일

(65) 공개번호 10-2009-0085533

(43) 공개일자 2009년08월07일

(30) 우선권주장

JP-P-2008-024608 2008년02월04일 일본(JP)

(56) 선행기술조사문헌

JP02054532 A*

W02005055293 A1

W02007006803 A1

EP01662549 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시킴이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

오누마 히데토

일본국 가나가와켄 아쓰기시 하세 398 가부시킴이샤 한도오파이에네루기 켄큐쇼 나이

야마자키 순페이

일본국 가나가와켄 아쓰기시 하세 398 가부시킴이샤 한도오파이에네루기 켄큐쇼 나이

(74) 대리인

이화익, 김홍두

전체 청구항 수 : 총 12 항

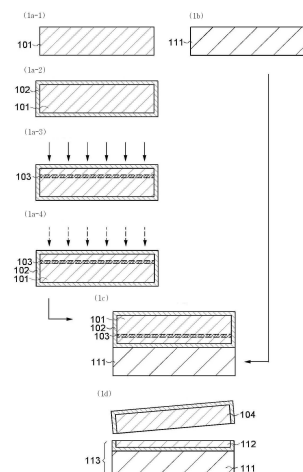
심사관 : 김중희

(54) 발명의 명칭 SOI 기판의 제작 방법

(57) 요약

본 발명은, 단결정 반도체 층과 반도체 기판의 밀착성을 향상시키고, 접합 불량을 저감하고, 접합 공정 및 반도체 장치 제작 공정에 있어서도 충분한 접착 강도를 갖는 SOI 기판의 제작 방법을 제공하는 것을 목적으로 한다. 취화층(脆化層)을 형성하는 단결정 반도체 기판 측에 할로젠을 포함하는 절연막을 형성하고, 상기 할로젠을 포함하는 절연막에 대해서 플라즈마 처리를 행하고, 할로젠을 포함하는 절연막과 반도체 기판의 한쪽 면이 서로 대향하도록 접합(접착)시키고, 열 처리를 행함으로써, 취화층에 있어서 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 접착된 반도체 기판과 단결정 반도체 기판으로 분리하고, 반도체 기판에 접착된 단결정 반도체 층에 대해서 평탄화 처리를 행한다.

대표도 - 도1



명세서

청구범위

청구항 1

할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 단결정 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하는 단계와;

상기 할로젠을 포함하는 절연막을 통하여 상기 단결정 반도체 기판에 이온을 조사함으로써, 상기 단결정 반도체 기판 중에 취화층을 형성하는 단계와;

상기 할로젠을 포함하는 절연막에 바이어스 전압을 인가함으로써, 상기 할로젠을 포함하는 절연막에 플라즈마 처리를 행하는 단계와;

상기 할로젠을 포함하는 절연막과 반도체 기판의 한쪽 면을 서로 접합시키는 단계와;

상기 취화층을 따라 상기 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 상기 반도체 기판에 접합되는 단계와;

상기 반도체 기판에 접합된 상기 단결정 반도체 층에 평탄화 처리를 행하는 단계를 포함하고,

상기 할로젠은 염소와, 상기 염소보다 적은 량의 불소가 함유되어 있는, SOI 기판의 제작 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

단결정 반도체 기판에 이온을 조사함으로써, 상기 단결정 반도체 기판 중에 취화층을 형성하는 단계와;

할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하는 단계와;

상기 할로젠을 포함하는 절연막에 바이어스 전압을 인가함으로써, 상기 할로젠을 포함하는 절연막에 플라즈마 처리를 행하는 단계와;

상기 할로젠을 포함하는 절연막과 상기 단결정 반도체 기판의 한쪽 면을 서로 접합시키는 단계와;

상기 취화층을 따라 상기 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 상기 반도체 기판에 접합되는 단계와;

상기 반도체 기판에 접합된 상기 단결정 반도체 층에 평탄화 처리를 행하는 단계를 포함하고,

상기 할로젠은 염소와, 상기 염소보다 적은 량의 불소가 함유되어 있는, SOI 기판의 제작 방법.

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 단결정 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하는 단계와;

상기 할로젠을 포함하는 절연막을 통하여 상기 단결정 반도체 기판에 이온을 조사함으로써, 상기 단결정 반도체 기판 중에 취화층을 형성하는 단계와;

상기 할로젠을 포함하는 절연막에 바이어스 전압을 인가함으로써, 상기 할로젠을 포함하는 절연막에 플라즈마 처리를 행하는 단계와;

반도체 기판의 표면에 열 산화 처리를 행함으로써, 상기 반도체 기판의 표면에 절연막을 형성하는 단계와;

상기 할로젠을 포함하는 절연막과 상기 절연막의 한쪽 면을 서로 접합시키는 단계와;

상기 취화층을 따라 상기 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 상기 반도체 기판에 접합되는 단계와;

상기 반도체 기판에 접합된 상기 단결정 반도체 층에 평탄화 처리를 행하는 단계를 포함하고,

상기 할로젠은 염소와, 상기 염소보다 적은 량의 불소가 함유되어 있는, SOI 기판의 제작 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

단결정 반도체 기판에 열 산화 처리를 행함으로써, 상기 단결정 반도체 기판의 표면에 절연막을 형성하는 단계와;

상기 절연막을 통하여 상기 단결정 반도체 기판에 이온을 조사함으로써, 상기 단결정 반도체 기판 중에 취화층을 형성하는 단계와;

할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하는 단계와;

상기 할로젠을 포함하는 절연막에 바이어스 전압을 인가함으로써, 상기 할로젠을 포함하는 절연막에 플라즈마 처리를 행하는 단계와;

상기 할로젠을 포함하는 절연막과 상기 절연막의 한쪽 면을 서로 접합시키는 단계와;

상기 취화층을 따라 상기 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 상기 반도체 기판에 접합되는 단계와;

상기 반도체 기판에 접합된 상기 단결정 반도체 층에 평탄화 처리를 행하는 단계를 포함하고,

상기 할로젠은 염소와, 상기 염소보다 적은 양의 불소가 함유되어 있는, SOI 기판의 제작 방법.

청구항 26

삭제

청구항 27

제 1 항, 제 9 항, 제 17 항 또는 제 25 항 중 어느 한 항에 있어서,

상기 할로젠을 포함하는 절연막은 산화실리콘을 포함하는, SOI 기판의 제작 방법.

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

열 산화 처리를 행함으로써, 단결정 반도체 기관의 표면에 제 1 절연막을 형성하는 단계와;

상기 제 1 절연막을 통하여 상기 단결정 반도체 기관에 이온을 조사함으로써, 상기 단결정 반도체 기관 중에 취화층을 형성하는 단계와;

상기 제 1 절연막 위에 제 2 절연막을 형성하는 단계와;

상기 제 2 절연막에 바이어스 전압을 인가함으로써, 상기 제 2 절연막에 플라즈마 처리를 행하는 단계와;

할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 반도체 기관의 표면에 할로젠을 포함하는 제 3 절연막을 형성하는 단계와;

상기 할로젠을 포함하는 제 3 절연막과 상기 제 2 절연막의 한쪽 면을 서로 접합시키는 단계와;

상기 취화층을 따라 상기 단결정 반도체 기관을 분할하고, 단결정 반도체 층이 상기 반도체 기관에 접합되는 단계와;

상기 반도체 기관에 접합된 상기 단결정 반도체 층에 평탄화 처리를 행하는 단계를 포함하고,

상기 할로젠은 염소와, 상기 염소보다 적은 양의 불소가 함유되어 있는, SOI 기관의 제작 방법.

청구항 34

제 1 항, 제 9 항, 제 17 항, 제 25 항 또는 제 33 항 중 어느 한 항에 있어서,

상기 취화층을 형성하기 위해서 수소 가스가 사용되고,

상기 수소 가스를 여기하여 H_3^+ 를 포함하는 플라즈마를 생성하고, 상기 플라즈마에 포함되는 이온을 가속하여 상기 단결정 반도체 기관에 조사함으로써, 상기 취화층을 형성하는, SOI 기관의 제작 방법.

청구항 35

제 33 항에 있어서,

상기 할로젠을 포함하는 제 3 절연막은 산화실리콘을 포함하는, SOI 기관의 제작 방법.

청구항 36

제 1 항, 제 9 항, 제 17 항, 제 25 항 또는 제 33 항 중 어느 한 항에 있어서,

상기 할로젠은 농도가 $1 \times 10^{16} \text{ atoms/cm}^3$ 이상 $2 \times 10^{21} \text{ atoms/cm}^3$ 이하인, SOI 기관의 제작 방법.

청구항 37

삭제

청구항 38

제 1 항, 제 9 항, 제 17 항, 제 25 항 또는 제 33 항 중 어느 한 항에 있어서,

상기 플라즈마 처리에 사용되는 가스로서 산소가 사용되는, SOI 기판의 제작 방법.

청구항 39

제 1 항, 제 9 항, 제 17 항, 제 25 항 또는 제 33 항 중 어느 한 항에 있어서,

상기 반도체 기판은 단결정 실리콘 기판, 다결정 실리콘 기판, 또는 태양 전지급 실리콘 기판인, SOI 기판의 제작 방법.

청구항 40

제 1 항, 제 9 항, 제 17 항, 제 25 항 또는 제 33 항 중 어느 한 항에 있어서,

상기 SOI 기판은 전화, 카메라, 게임기, 및 음향 재생 장치를 포함하는 그룹 중으로부터 선택된 하나에 내장되는, SOI 기판의 제작 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 절연층 위에 형성된 반도체 층을 갖는 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 근년, 벌크(bulk)상(狀)의 실리콘 웨이퍼 대신에, SOI(Silicon On Insulator) 기판을 사용한 집적회로가 개발되고 있다. 절연층 위에 형성된 얇은 단결정 실리콘 층의 특장(特長)을 살림으로써, 집적 회로 중의 트랜지스터의 반도체 층을 완전히 분리하여 형성할 수 있고, 또한, 트랜지스터를 완전 공핍형으로 할 수 있기 때문에, 고집적, 고속 구동, 저소비 전력 등 부가가치가 높은 반도체 집적회로를 실현할 수 있다.

[0003] SOI 기판으로서, SIMOX 기판, 접합 기판이 알려져 있다. 예를 들어, SIMOX 기판은, 단결정 실리콘 기판에 산소 이온을 주입하고, 1300℃ 이상으로 열 처리하여 매립 산화막(BOX: Buried Oxide)을 형성함으로써, 표면에 단결정 실리콘 박막을 형성하여 SOI 구조를 얻고 있다.

[0004] 접합 기판은, 산화막을 개재하고 2장의 단결정 실리콘 기판(베이스(base) 기판 및 본드(bond) 기판)를 접합하고, 한쪽의 단결정 실리콘 기판(본드 기판)을 이면(접합면이 아닌 면)으로부터 박막화함으로써, 단결정 실리콘 박막을 형성하여 SOI 구조를 얻고 있다. 연삭이나 연마에서는 균일하고 얇은 단결정 실리콘 박막을 형성하는 것이 어렵기 때문에, 스마트 컷(Smart-Cut)(등록상표)이라고 불리는 수소 이온 주입을 이용하는 기술이 제안되어 있다(예를 들어, 특허문헌 1 참조).

[0005] 이 SOI 기판의 제작 방법의 개요를 설명하면, 이온 임플란테이션(implantation)법에 의하여 단결정 실리콘 기판에 수소 이온을 주입함으로써, 표면으로부터 소정의 깊이에 취화층을 형성한다. 다음, 베이스 기판이 되는 다른 단결정 실리콘 기판을 산화하여 산화실리콘막을 형성한다. 그 후, 수소 이온을 주입한 단결정 실리콘 기판과, 베이스 기판이 되는 단결정 실리콘 기판의 산화실리콘막을 접합시키고, 2장의 단결정 실리콘 기판을 접합시킨다. 그리고, 가열 처리에 의해, 취화층에 있어서 단결정 실리콘 기판을 벽개(劈開)시킴으로써, 베이스 기판이 되는 단결정 실리콘 기판에 얇은 단결정 실리콘 층이 접합된 기판이 형성된다.

[0006] 이온 임플란테이션법은 이온 주입법이라고도 불리고, 진공 중에서 시료에 주입하고자 하는 입자를 이온화하고, 직류 또는 고주파에 의하여 가속하여 시료에 주입하는 방법이다. 이온 주입법을 사용한 이온 주입 장치는, 이온 원, 질량 분리부, 가속부, 빔 주사부(정전 스캔), 주입실(엔드 스테이션), 및 진공 배기장치로 구성된다. 또한, 이온 빔의 단면은 불균일하므로, 시료면 위에서의 균일성을 얻기 위하여, 이온 빔을 전기적으로 주사한다. 또한, 주입한 입자는 깊이 방향으로 가우스 분포를 나타낸다.

[0007] 또한, SOI 기판을 사용한 반도체 장치의 일례로서, 이온 주입법을 사용하여 수소를 주입하는 것이 개시된다(특허 문헌 2 참조).

[0008] [특허 문헌 1] 특개평5-211128호 공보

[0009] [특허 문헌 2] 특개2000-012864호 공보

발명의 내용

해결 하고자하는 과제

[0010] 그러나, 2장의 단결정 실리콘 기판의 접합 공정에 있어서, 단결정 실리콘 기판과 단결정 실리콘 기판의 접착 계면에 미소한 이물(異物)(예를 들어, 파티클 등)이 부착하면, 접착 계면에 보이드(void)가 많이 발생하고, 접착 불량률이 증가하는 원인이 된다.

[0011] 또한, 단결정 실리콘 기판과 단결정 실리콘 기판의 접착 계면에 존재하는 물 분자가 주위에 확산 또는 흡수되지 않으면, 접착 계면에 수분이 뭍으로써, 접착 불량률이 증가한다. 또한, 접착 계면에 있어서 탈수(脫水) 축합(縮合) 반응이 진행하지 않고 강고한 접착을 할 수 없으므로, 접착 불량률이 된다.

[0012] 이러한 접합 불량률이 많이 발생하면, 접착 강도가 저하하고, 베이스 기판이 되는 단결정 실리콘 기판과 벽개된 얇은 단결정 실리콘 층의 접합 계면에 있어서, 얇은 단결정 실리콘 층이 박리되어 버릴 우려가 있다. 또한, 반도체 장치를 제작하는 경우에 있어서도, 이러한 접착 불량률이 있으면, 고품질의 반도체 장치의 제작의 방해가 된다.

[0013] 상기 문제점을 감안하여, 단결정 반도체 층과 반도체 기판의 밀착성을 향상시키고, 접합 불량률을 저감시키는 것을 목적의 하나로 한다. 또한, 접합 공정 및 반도체 장치 제작 공정에 있어서도 충분한 접착 강도를 갖는 SOI 기판의 제작 방법을 제공하는 것을 목적의 하나로 한다.

과제 해결수단

[0014] 개시하는 발명의 하나는, 취화층을 형성하는 단결정 반도체 기판 측에 할로젠을 포함하는 절연막을 형성하고, 상기 할로젠을 포함하는 절연막에 대해서 플라즈마 처리를 행하고, 할로젠을 포함하는 절연막과 반도체 기판의 한쪽 면이 대향하도록 접합(접착)시키는 것을 특징으로 한다.

[0015] 개시하는 발명의 다른 하나는, 단결정 반도체 기판에 할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 상기 단결정 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하고, 할로젠을 포함하는 절연막을 개재하여 단결정 반도체 기판에 이온을 조사함으로써, 단결정 반도체 기판 중에 취화층을 형성하고, 바이어스 전압을 인가하여 할로젠을 포함하는 절연막에 대해서 플라즈마 처리를 행하고, 할로젠을 포함하는 절연막과 반도체 기판의 한쪽의 면이 대향하도록 접착시키고, 열 처리를 행함으로써, 취화층에 있어서 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 접착된 반도체 기판과 단결정 반도체 기판으로 분리하고, 반도체 기판에 접착된 단결정 반도체 층에 대해서 평탄화 처리를 행하는 것을 특징으로 한다.

[0016] 개시하는 발명의 다른 하나는, 단결정 반도체 기판에 이온을 조사함으로써, 단결정 반도체 기판 중에 취화층을 형성하고, 반도체 기판에 할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 상기 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하고, 바이어스 전압을 인가하여, 할로젠을 포함하는 절연막에 대해서 플라즈마 처리를 행하고, 할로젠을 포함하는 절연막과 단결정 반도체 기판의 한쪽의 면이 대향하도록 접착시키고, 열 처리를 행함으로써, 취화층에 있어서 상기 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 접착된 반도체 기판과 단결정 반도체 기판으로 분리하고, 반도체 기판에 접착된 단결정 반도체 층에 대해서 평탄화 처리를 행하는 것을 특징으로 한다.

[0017] 개시하는 발명의 다른 하나는, 단결정 반도체 기판에 할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 상기 단결정 반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하고, 할로젠을 포함하는 절연막을 통하여 단결정 반도체 기판에 이온을 조사함으로써, 단결정 반도체 기판 중에 취화층을 형성하고, 바이어스 전압을 인가하여 할로젠을 포함하는 절연막에 대해서 플라즈마 처리를 행하고, 반도체 기판의 표면에 열 산화 처리를 행함으로써, 상기 반도체 기판의 표면에 절연막을 형성하고, 할로젠을 포함하는 절연막과 반도체 기판의 한쪽의 면이 대향하도록 접착시키고, 열 처리를 행함으로써, 취화층에 있어서 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 접착된 반도체 기판과 단결정 반도체 기판으로 분리하고, 반도체 기판에 접착된 단결정 반도체 층에 대해서 평탄화 처리를 행하는 것을 특징으로 한다.

[0018] 개시하는 발명의 다른 하나는, 단결정 반도체 기판에 열 산화 처리를 행함으로써, 상기 단결정 반도체 기판의 표면에 절연막을 형성하고, 절연막을 통하여 단결정 반도체 기판에 이온을 조사함으로써, 단결정 반도체 기판 중에 취화층을 형성하고, 반도체 기판에 할로젠을 포함하는 분위기에서 열 산화 처리를 행함으로써, 상기

반도체 기판의 표면에 할로젠을 포함하는 절연막을 형성하고, 바이어스 전압을 인가하여 할로젠을 포함하는 절연막에 대해서 플라즈마 처리를 행하고, 할로젠을 포함하는 절연막과 단결정 반도체 기판의 한쪽의 면이 대향하도록 접촉시키고, 열 처리를 행함으로써, 취화층에 있어서 상기 단결정 반도체 기판을 분할하고, 단결정 반도체 층이 접촉된 반도체 기판과 단결정 반도체 기판으로 분리하고, 반도체 기판에 접촉된 단결정 반도체 층에 대해서 평탄화 처리를 행하는 것을 특징으로 한다.

[0019] 본 명세서에 있어서, “단결정”이란, 결정면, 또는 결정축이 일치하는 결정이며, 그것을 구성하는 원자 또는 분자가 공간적으로 규칙적인 배열이 되는 것을 가리킨다. 단, 단결정은 규칙적으로 배열됨으로써 구성되지만, 일부에 이 배열의 흐트러짐이 있는 격자 결함을 포함하는 것, 의도적 또는 의도하지 않는 격자 변형을 갖는 것도 포함된다.

[0020] 상기 구성에 있어서, 할로젠을 포함하는 절연막은, 산화실리콘을 주성분으로 하는 절연막인 것을 특징으로 한다. 또한, 할로젠을 포함하는 절연막은 할로젠의 농도가 $1 \times 10^{16} \text{ atoms/cm}^3$ 이상 $2 \times 10^{21} \text{ atoms/cm}^3$ 이하인 것을 특징으로 한다. 또한, 할로젠은, 염소인 것을 특징으로 한다.

[0021] 또한, 상기 구성에 있어서, 플라즈마 처리에 사용하는 가스로서 산소를 포함하는 것을 특징으로 한다.

[0022] 또한, 본 명세서에 있어서, 표면의 평균면 거칠기(Ra)란, JIS B0601로 정의되는 중심선 평균 거칠기를 측정면에 대해서 적용할 수 있도록 3차원으로 확장한 것이면, “기준면으로부터 지정면까지의 편차(偏差)의 절대값을 평균한 값”이라고 표현할 수 있고, 다음 수식(1)으로 정의된다.

[0023] [수식 1]

$$R_a = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

[0024]

[0025] 또한, 수식(1)에 있어서, S_0 은 측정면 (좌표 (x_1, y_1) , (x_1, y_2) , (x_2, y_1) , (x_2, y_2))으로 제시되는 4점에 의하여 둘러싸인 장방형의 영역)의 면적을 가리키고, Z_0 은 측정면의 평균 높이를 가리킨다.

[0026] 또한, 최대 고저차(P-V)란, 측정면에 있어서, 가장 높은 표고(標高) Z_{\max} 와, 가장 낮은 표고 Z_{\min} 의 차이를 가리킨다.

[0027] 본 명세서에 있어서, 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다.

[0028] 또한, 본 명세서에 있어서 표시 장치란, 액정 표시 장치나 발광 장치를 포함한다. 액정 표시 장치는, 액정 소자를 포함하고, 발광 장치는 발광 소자를 포함한다. 발광 소자는 전류 또는 전압에 의하여 휘도가 억제되는 소자를 그 범주로 포함하고, 구체적으로는, 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다.

효 과

[0029] 개시하는 발명에 있어서, 단결정 반도체 층과 반도체 기판의 밀착성을 향상시키고 접합 불량을 저감하고, 접합 공정 및 반도체 장치 제작 공정에 있어서도 충분한 접착 강도를 갖는 SOI 기판을 제작할 수 있다.

발명의 실시를 위한 구체적인 내용

[0030] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 다만, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는, SOI 기판의 제작 방법의 일례에 관해서 도면을 참조하여 설명한다. 구체적으로는,

단결정 반도체 기판 측에 Si계의 절연막을 형성하고, 상기 절연막을 O₂ 플라즈마로 처리한 후, 단결정 반도체 기판과 반도체 기판을 본딩(접착)하는 방법에 대해서 설명한다.

[0033] 우선, 단결정 반도체 기판(101)을 준비하고, 상기 단결정 반도체 기판(101)을 황산과산화수소수 혼합 용액(SPM), 암모니아과산화수소수 혼합 용액(APM), 염산과산화수소수 혼합 용액(HPM), 희불산(DHF), 오존수 등을 적절하게 사용하여 세정한다(도 1a-1 참조). 단결정 반도체 기판(101)은, 시판되는 단결정 반도체 기판을 사용할 수 있고, 예를 들어, 단결정의 실리콘 기판이나 게르마늄 기판, 갈륨비소나 인듐인 등의 화합물 반도체 기판을 들 수 있다. 시판되는 실리콘 기판으로서는, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm), 직경 18인치(450mm) 사이즈의 원형이 대표적이다. 또한, 형상은 원형에 한정되지 않고 직사각형상 등으로 가공한 실리콘 기판을 사용하는 것도 가능하다. 이하의 설명에서는, 단결정 반도체 기판(101)으로서 단결정 실리콘 기판을 사용하는 경우에 대해서 나타낸다.

[0034] 다음, 단결정 반도체 기판(101)을 산화 분위기에 있어서 열 처리함으로써(이하, “열 산화”라고도 기재한다) 절연막(102)을 형성한다(도 1a-2 참조). 열 산화 처리는 보통의 드라이 산화로 행하여도 좋고, 산화 분위기 중에 할로젠을 첨가한 산화를 행하는 것이 바람직하다. 산화 분위기 중에 할로젠을 첨가한 산화를 행함으로써, 절연막(102)에 할로젠을 포함시킬 수 있다. 산화 분위기 중에 할로젠을 첨가하기 위한 가스로서, HCl을 사용할 수 있다. 이러한 열 산화 처리의 일례로서는, 산소에 대해서 HCl을 0.5부피% 내지 10부피%(바람직하게는 3부피%)의 비율로 포함하는 분위기 중에서, 900℃ 내지 1150℃의 온도(대표적으로는, 1000℃)로 열 산화하면 좋다. 처리 시간은, 0.1시간 내지 6시간, 바람직하게는, 0.5시간 내지 1시간으로 하면 좋다. 형성되는 절연막(102)의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 300nm), 예를 들어, 200nm의 두께로 한다.

[0035] 이와 같은 온도 범위에서 열 처리를 행함으로써, 단결정 반도체 기판(101)에 대하여 할로젠(예를 들어, 염소)에 의한 게터링 효과를 얻을 수 있다. 게터링 효과로서는, 금속 불순물을 제거하는 효과를 얻을 수 있다. 즉, 할로젠의 작용에 의하여 금속 등의 불순물이 휘발성의 할로겐화물이 되어 기상(氣相) 중으로 이탈하여 제거된다. 단결정 반도체 기판(101)의 표면을 화학적 기계 연마(CMP) 처리한 것에 대해서 유효하다.

[0036] 또한, 열 산화 처리에 적용하는 산화 분위기 중에 할로젠을 첨가하기 위한 가스로서는, HCl 이외에도 HF, NF₃, HBr, Cl₂, t-DCE(trans-1,2-dichloroethylene), ClF₃, BCl₃, F₂, Br₂ 등으로부터 선택된 1종 또는 복수 종류를 적용할 수 있다. 또한, 트랜스-1,2-디클로로에틸렌 대신에 시스-1,2-디클로로에틸렌, 1,1-디클로로에틸렌이나 이들 중으로부터 2종류 이상의 가스의 혼합 가스를 사용하여도 좋다.

[0037] 또한, 할로젠을 첨가하여 열 산화를 행함으로써 형성되는 절연막(102) 중에는 할로젠이 포함되고, 할로젠은 1×10^{16} atoms/cm³ 이상 2×10^{21} atoms/cm³ 이하의 농도로 포함됨으로써, 금속 등의 불순물을 포획하여 단결정 반도체 기판(101)의 오염을 방지하는 보호막으로서의 기능을 발현(發現)시킬 수 있다.

[0038] 또한, 절연막(102) 중에 포함되는 할로젠은, 염소에 가하여 불소도 포함시킬 수도 있다. 이 경우, 불소는 염소보다 적은 양을 포함하는 것이 바람직하다.

[0039] 다음, 절연막(102)을 통하여 단결정 반도체 기판(101)에 이온을 조사함으로써, 이온을 단결정 반도체 기판(101) 중에 도입하고, 단결정 반도체 기판(101)의 한쪽의 면으로부터 소정의 깊이의 영역에 취화층(103)을 형성한다(도 1a-3 참조).

[0040] 취화층(103)이 형성되는 깊이는, 이온종, 이온의 운동 에너지와 입사각에 의하여 조절할 수 있다. 운동 에너지는 가속 전압 등에 의하여 조절할 수 있다. 이온의 평균 침입 깊이와 거의 같은 영역에 취화층(103)이 형성된다. 이온을 도입하는 깊이에 따라, 후 공정에 있어서 단결정 반도체 기판(101)으로부터 분리되는 단결정 반도체 층의 두께가 결정된다. 취화층(103)이 형성되는 깊이는 10nm 이상 500nm 이하이며, 바람직한 깊이의 범위는 50nm 이상 200nm 이하이다.

[0041] 이온을 단결정 반도체 기판(101)에 도입하기 위해서는, 이온 도핑 장치를 사용할 수 있다. 이온 도핑 장치는, 소스 가스를 여기하여 플라즈마를 생성하고, 플라즈마 중으로부터 이온을 인출하고, 이온을 질량 분리하지 않고, 피처리물에 도입한다. 이온 도핑 장치를 사용함으로써, 단결정 반도체 기판(101)에 대해서 균일한 도핑을 행할 수 있다. 또한, 질량 분리 장치를 구비하는 이온 도핑 장치에서는, 질량 분리를 수반하는 이온 주입을 행할 수 있다.

[0042] 이온 도핑법을 사용하는 경우, 이온 첨가시에, 사용하는 소스 가스로서는, 수소 가스, 희가스 등이 있

지만, 본 실시형태에서는, 수소 가스를 사용하는 것이 바람직하다. 수소 가스로서 수소 가스를 사용하는 경우, 생성되는 이온은, H^+ , H_2^+ , H_3^+ 이지만, H_3^+ 가 가장 많이 도입되는 것이 바람직하다. H_3^+ 는 H^+ , H_2^+ 보다도 수소 원자의 도입 효율이 좋고, 도입 시간의 단축을 도모할 수 있다. 또한, 후 공정에 있어서, 취화층(103)에 균열이 생기기 쉽다.

[0043] 이온 도핑법을 사용하는 경우, 이온 도핑 장치는 질량 분리를 행하지 않고, 이온을 도입하기 때문에, 수소 이온 이외의 금속 이온도 동시에 단결정 반도체 기판(101) 중에 도입될 경우가 있다. 금속 이온은 질량수(質量數)가 크기 때문에, 이온이 도입되는 층의 표면에 많이 분포한다. 본 실시형태에서는, 단결정 반도체 기판(101)의 표면에 절연막(102)이 형성된다. 이 절연막(102)의 막 두께를 금속 이온이 도입되는 깊이보다 두껍게 형성함으로써, 상기 금속 분포를 절연막(102) 중에 멈추어 둘 수 있다. 절연막(102)에 할로젠을 포함시킴으로써, 중금속(重金屬) 등 단결정 반도체 기판(101)에 악영향을 주는 불순물을 게터링하는 작용이 있다. 그것에 따라, 절연막(102) 중에 포집(捕集)한 상기 불순물을 고정하여 단결정 반도체 기판(101)의 오염을 방지할 수 있다.

[0044] 다음, 절연막(102)에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행한다(도 1a-4 참조).

[0045] 플라즈마 처리는, 진공 상태의 챔버에 불활성 가스(예를 들어, 아르곤(Ar) 가스) 및/또는 반응성 가스(예를 들어, 산소(O_2) 가스, 질소(N_2) 가스)를 도입하고, 피처리면에 바이어스 전압을 인가하여 플라즈마 상태로 하여 행한다.

[0046] 예를 들어, 산소 가스를 사용하여 플라즈마 처리를 행하는 경우, 진공 상태의 챔버에 O_2 가스를 도입하고, 피처리면(여기서는, 단결정 반도체 기판(101)에 형성된 절연막(102))에 바이어스 전압을 인가하여 플라즈마 상태로 하여 행한다. 플라즈마 중에는 산소의 양(陽) 이온이 존재하고, 음극 방향(단결정 반도체 기판(101)에 형성된 절연막(102))에 산소의 양 이온이 가속된다. 가속된 산소의 양 이온이 절연막(102)의 표면에 충돌함으로써, 절연막(102)의 표층(表層)의 Si-O 결합을 절단하여 저밀도화하고, 데미지(damage)를 주어 탭글링 본드를 생성하고, 표면을 활성화할 수 있다.

[0047] 본 실시형태에서는, 산소 가스를 사용하여 용량 결합 플라즈마의 1종이며, RIE(Reactive Ion Etching) 모드라고 불리는 방식의 플라즈마 처리로 행한다. 또한, 반드시 에칭을 행하는 것이 아니다. 단결정 반도체 기판(101)을 콘덴서를 통하여 고주파 전압이 인가되는 음극 전극 위의 스테이지에 설치하고, 고주파 전압을 인가하여 플라즈마를 생성한다. 그 결과, 음극 전극에 부(負)의 바이어스가 발생하고(바이어스가 인가된 상태가 되고), 플라즈마 중의 양 이온이 가속되어 단결정 반도체 기판(101)에 충돌한다. 또한, RIE 방식 이외에도 유도 결합 플라즈마(ICP: Inductively Coupled Plasma) 방식이나 마이크로파 여기 방식에 의하여 생성한 플라즈마를 사용하여 기판 측에 바이어스를 인가하여 절연막 표면에 플라즈마 처리를 행하여도 좋다.

[0048] 본 실시형태에서는, 산소 가스를 사용하여 용량 결합 플라즈마의 1종인 RIE(Reactive Ion Etching) 모드라고 불리는 방식의 플라즈마 처리로 행할 수 있다(도 16 참조). 절연막(102)이 형성된 단결정 반도체 기판(101)을 콘덴서(193)를 통하여 고주파 전압이 인가되는 캐소드가 되는 제 1 전극(191) 위의 스테이지에 설치하고, 고주파 전압을 인가하여 제 1 전극(191)과 애노드가 되는 제 2 전극(192) 간에 플라즈마를 생성한다. 그 결과, 제 1 전극(191)에 부의 자기(自己) 바이어스가 발생하고(바이어스가 인가된 상태가 되고), 플라즈마 중의 양 이온이 가속되고 단결정 반도체 기판(101)에 충돌한다. 또한, 단결정 반도체 기판(101) 위에 형성된 절연막(102)이 산화실리콘이기 때문에, 원료 가스로서 산소를 사용함으로써, 절연막(102)의 에칭 작용을 작게 할 수 있다.

[0049] 또한, 산소 플라즈마의 구체적인 조건으로서, 처리 전력 $0.15W/cm^2$ 내지 $3W/cm^2$, 압력 30Pa 내지 130Pa, 가스(O_2) 유량 10sccm 내지 200sccm의 조건으로 행하면 좋다.

[0050] 또한, 산소 플라즈마 처리를 행함으로써, 절연막(102)의 표면 거칠기(Ra)를 바람직하게는, 0.5nm 이하, 보다 바람직하게는 0.3nm 이하, 더 바람직하게는 0.2nm 이하로 하고, 최대 고저차(P-V)를 바람직하게는 6nm 이하, 보다 바람직하게는 3nm 이하로 한다.

[0051] 본 실시형태에서는, 아르곤 가스를 사용하여 ICP 방식의 플라즈마 처리로 행할 수도 있다. 도 17에 플라즈마 처리 장치의 간략 구조도를 도시한다. 챔버(600) 상부의 석영관(601) 위에 멀티 스파이럴 코일(602)을 배치하고, 매칭 박스(matching box:603)를 통하여 RF 전원(604)에 접속된다. 또한, 대향으로 배치된 기판(610);

여기서는, 단결정 반도체 기판(101) 위에 형성된 절연막(102)) 측의 하부 전극(605)이 RF 전원(606)에 접속된다. 기판(610) 상방의 멀티 스파이럴 코일(602)에 RF 전류가 인가되면, 멀티 스파이럴 코일(602)에 RF 전류 J가 θ 방향으로 흐르고, Z방향으로 자계(磁界) B가 발생한다.

[수식 2]

$$\mu_0 J = r \otimes t B$$

패러데이의 전자 유도의 법칙(Faraday's law of electromagnetic induction)에 따라, θ 방향으로 유도 전계 E가 생긴다.

[수식 3]

$$-\frac{\partial B}{\partial t} = \text{rot} E$$

이 유도 전계 E에서 전자가 θ 방향으로 가속되고, 가스 분자와 충돌함으로써, 플라즈마가 생성된다. 기판(610) 측에는 자계 B가 거의 없기 때문에, 시트형으로 넓어진 고밀도의 플라즈마 영역을 얻을 수 있다. 기판(610) 측에 인가하는 바이어스 전압에 의하여, 양 이온이 가속되어 기판(610)에 충돌한다. 또한, 구체적인 조건은, ICP 파워 300W 내지 3000W, 바이어스 파워 10W 내지 300W, 압력 1Pa 내지 10Pa, 가스(O_2) 유량 10sccm 내지 300sccm로 행하면 좋다.

또한, 탱글링 본드의 형성은 취화층(103)을 형성할 때의 이온 조사에 의해서도 형성되지만, 바이어스 전압을 인가하여 플라즈마 처리를 행함으로써, 보다 많은 탱글링 본드를 형성할 수 있다. 또한, 수소 이온의 첨가에 의하여 수소를 대량으로 포함하는 절연막(102)의 최표면 및 그 근방에 산소를 포함하는 이온을 조사함으로써, Si-H 결합이나 Si-O 결합을 Si-OH 결합으로 하여 친수성(親水性)을 향상시킬 수 있다.

다음, 단결정 반도체 기판(101)과 접합하기 위한 반도체 기판(111)을 준비한다(도 1b 참조). 반도체 기판(111)은, 단결정 반도체 기판(101)으로서 사용하는 기판과 같은 기판을 사용할 수 있다. 또한, 다결정 반도체 기판, 태양 전지의 제작에 사용되는 태양 전지급(太陽電池級) 실리콘 기판(SOG: 예를 들어, Si 순도가 99.9999%의 기판) 등도 사용할 수 있다. 또한, 다결정 반도체 기판의 직경은, 적어도 5인치 이상인 웨이퍼이다. 본 명세서에 나타내는 다결정 반도체 기판이란, 다결정 실리콘 기판에 가하고, 화합물 반도체 다결정 기판도 포함하고, 또한, 미량으로 게르마늄을 포함하는 다결정 실리콘 기판, 미량으로 붕소를 포함하는 다결정 실리콘 기판을 가리킨다.

또한, 반도체 기판(111)과 절연막(102)의 접합을 양호하게 행하기 위해서, 접합면을 활성화하여도 좋다. 예를 들어, 접합하는 면의 한쪽 또는 양쪽 모두에 원자 빔 또는 이온 빔을 조사한다. 원자 빔 또는 이온 빔을 이용할 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 또는 불활성 가스 이온 빔을 사용할 수 있다. 그 이외에, 플라즈마 조사 또는 라디칼 처리를 행함으로써, 접합면을 활성화할 수도 있다. 이러한 표면 처리에 의하여, 400℃ 이하의 온도라면 이중 재료간의 접합이 용이하게 된다.

다음, 할로젠을 포함하는 절연막(102; 취화층이 형성되는 측)과 반도체 기판(111)의 한쪽 면이 대향하도록 본딩(접착)한다(도 1c 참조). 할로젠을 포함하는 절연막(102)과 반도체 기판(111)을 밀착시킴으로써, 반데르발스 힘에 의하여 기판끼리가 서로 당긴다. 그리고, 기판의 표면에 생긴 OH기끼리가 수소 결합으로 접촉한다. 저온(예를 들어, 150℃ 내지 200℃)의 열 처리에 의하여 탈수 축합 반응이 일어나고, 물 분자가 이탈하고 실리콘 원자간에 산소 원자를 통한 결합(Si-O-Si)이 발생된다. 또한, 고온에서 열 처리(예를 들어, 600℃)를 행함으로써, 산소가 확산하고 계면은 Si끼리가 접합하고, 단결정 반도체 기판(101)과 반도체 기판(111)의 접합이 보다 강고하게 된다.

절연막(102)에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행함으로써, 절연막(102)의 표면에 탱글링 본드가 형성된 활성 표면이 된다. 활성 표면에 있어서, 절연막(102)과 반도체 기판(111)을 접촉함으로써, 저온이라도 강고한 결합을 형성할 수 있다.

Si-O의 결합을 절단함으로써, 구조를 완화하여 수분을 흡수하고, 확산 속도를 크게 한다. 저온으로 접합한 후의 저온에서의 열 처리의 과정에 있어서, 탈수 축합 반응을 일으키고(물 분자가 이탈할 때에), 잉여(剩

餘) 물 분자가 산화 실리콘 막 중에 흡수되고, (접합 표면에 있어서) 탈수 반응이 촉진된다. 이것에 따라, 저온 처리라도 접합 강도가 향상한다.

[0064]

또한, 단결정 반도체 기판(101)과 반도체 기판(111)을 접착시키기 전에, 단결정 반도체 기판(101) 위에 형성된 절연막(102) 및 반도체 기판(111)의 표면 처리를 행하는 것이 바람직하다. 표면 처리로서는, 오존 처리(예를 들어, 오존수 세정), 또는 메가소닉 세정 및 오존수 세정을 행할 수 있다. 또한, 오존수 세정과 불산에 의한 세정을 복수회 반복해서 행하여도 좋다. 이러한 표면 처리를 행함으로써, 절연막(102) 및 반도체 기판(111)의 표면의 유기물 등의 먼지를 제거하고, 절연막(102) 및 반도체 기판(111)의 표면을 친수화할 수 있다. 절연막(102)의 표면은 플라즈마 처리에 의하여 탕글링 본드가 형성되기 때문에, 보다 친수화할 수 있다.

[0065]

단결정 반도체 기판(101)과 반도체 기판(111)을 접합한 후는, 가열 처리와 가압 처리의 한쪽 또는 양쪽 모두를 행하는 것이 바람직하다. 가열 처리나 가압 처리를 행함으로써, 단결정 반도체 기판(101)과 반도체 기판(111)의 접합 강도를 향상시킬 수 있다. 가압 처리는 접착면에 대해서 수직인 방향으로 압력이 가해지도록 행하고, 단결정 반도체 기판(101) 및 반도체 기판(111)의 내압성을 고려하여 행한다.

[0066]

단결정 반도체 기판(101)에 열 처리를 행함으로써, 상기 취화층(103)에 있어서 상기 단결정 반도체 기판(101)을 분할하고, 단결정 반도체 층(112)이 접착된 상기 반도체 기판(111)과, 단결정 반도체 기판(104)으로 분리한다(도 1d 참조). 여기서의 가열 처리에는, RTA(Rapid Thermal Anneal) 장치, 저항 가열로, 마이크로파 가열 장치를 사용할 수 있다. RTA 장치에는 가열된 가스, 또는 가열된 가스와 복사(輻射)열로 기판을 가열하는 GRTA(Gas Rapid Thermal Anneal) 장치, 할로겐 램프 또는 적외선 램프로 가열하는 LRTA(Lamp Rapid Thermal Anneal) 장치를 사용할 수 있다. 이 가열 처리에 의하여, 단결정 반도체 층(112)이 접착된 반도체 기판(111)의 온도를 550℃ 이상 650℃ 이하의 범위로 상승시키는 것이 바람직하다.

[0067]

본 실시형태에서는, 저항 가열을 갖는 종형로(縱型爐)를 사용한 가열 처리를 행한다. 단결정 반도체 기판(101)이 접착된 반도체 기판(111)을 종형로의 보트에 재치한다. 보트를 종형로의 챔버에 반입한다. 단결정 반도체 기판(101)의 산화를 억제하기 위해서, 우선 챔버 내를 배기하여 진공 상태로 한다. 진공도는 5×10^{-3} Pa 정도로 한다. 진공 상태로 한 후, 질소를 챔버 내에 공급하고, 챔버 내를 대기압의 질소 분위기로 한다. 이 동안, 온도를 200℃까지 상승시킨다.

[0068]

챔버 내를 대기압의 질소 분위기로 한 후, 온도 200℃로 2시간 가열한다. 그 후, 1시간 걸려서 400℃까지 온도 상승시킨다. 가열 온도가 400℃의 상태가 안정하면, 1시간 걸려서 600℃까지 온도 상승시킨다. 가열 온도 600℃의 상태가 안정되면, 600℃로 2시간 가열 처리한다. 그 후, 1시간 걸려서 가열 온도를 400℃까지 내리고, 10분 내지 30분 후, 챔버 내로부터 보트를 반출한다. 대기 분위기하에서 보트 위의 단결정 반도체 기판(101) 및 단결정 반도체 기판(101)이 접착된 반도체 기판(111)을 냉각한다.

[0069]

상기 저항 가열로를 사용한 가열 처리는 단결정 반도체 기판(101)과 반도체 기판(111)의 결합력을 강화하기 위한 가열 처리와, 취화층(103)에 분리를 생기게 하는 가열 처리가 연속적으로 행하여진다. 이 2개의 가열 처리를 다른 장치에서 행하는 경우는, 예를 들어, 저항 가열로나 클린 오븐에 있어서, 처리 온도 200℃, 처리 시간 2시간의 가열 처리를 행한 후, 접착된 반도체 기판(111)과 단결정 반도체 기판(101)을 로로부터 반출한다. 다음, RTA 장치에서, 처리 온도 600℃ 이상 700℃ 이하, 처리 시간 1분 이상 30분 이하의 가열 처리를 행함으로써, 단결정 반도체 기판(101)을 취화층(103)으로 분할시킨다.

[0070]

이상의 공정에 의하여, SOI 기판(113)을 얻을 수 있다(도 1d 참조). 도 1d에 도시하는 SOI 기판(113)은, 반도체 기판(111) 위에 할로겐을 포함하는 절연막(102)을 갖고, 상기 절연막(102) 위에 단결정 반도체 층(112)을 갖는 구조이다.

[0071]

또한, 상기 공정에 의하여 얻어진 SOI 기판의 표면에 평탄화 처리를 행하여도 좋다. 평탄화 처리를 행함으로써, 박리한 후에 반도체 기판(111) 위에 형성된 단결정 반도체 층(112)의 표면에 요철이 생긴 경우라도 SOI 기판의 표면을 평탄화할 수 있다.

[0072]

평탄화 처리로서는, CMP(Chemical Mechanical Polishing), 에칭 처리, 레이저 광의 조사 등에 의하여 행할 수 있다. 여기서는, 드라이 에칭 또는 웨트 에칭의 한 쪽, 또는 쌍방을 조합한 에칭 처리(에치 백 처리)를 행한 후에 레이저 광을 조사함으로써, 단결정 반도체 층(112)의 재결정화와 표면의 평탄화를 행한다.

[0073]

레이저 광을 단결정 반도체 층(112)의 상면 측으로부터 조사함으로써, 단결정 반도체 층(112)의 상면을 용융시킬 수 있다. 레이저 광 조사 분위기는 감압하, N₂, Ar 등의 불활성 가스 중이고, 산소 농도를 1% 이하로

하는 것이 바람직하다. 용융한 후, 단결정 반도체 층(112)이 냉각, 고화함으로써, 그 상면의 평탄성이 향상된 단결정 반도체 층(112)을 얻을 수 있다. 레이저 광을 사용함으로써, 반도체 기판(111)이 직접 가열되지 않기 때문에, 상기 반도체 기판(111)의 온도 상승을 억제할 수 있다.

[0074] 또한, 레이저 광의 조사에 의한 단결정 반도체 층(112)의 용융은, 부분 용융으로 하는 것이 바람직하다. 완전 용융시킨 경우에는, 액상(液相)이 된 후의 무질서한 핵 발생에 의하여 미결정화하고, 결정성이 저하할 가능성이 높기 때문이다. 한편, 부분 용융시킴으로써, 용융되지 않는 고상 부분으로부터 결정 성장이 진행된다. 이것에 따라, 반도체 층 중의 결함을 감소시킬 수 있다. 여기서, 완전 용융이란, 단결정 반도체 층(112)이 하부 계면 부근까지 용융되고 액체 상태가 되는 것을 가리킨다. 한편, 부분 용융이란, 이 경우, 단결정 반도체 층(112)의 상부는 용융하여 액상이 되지만, 하부는 용융되지 않고 고상인 채로 있는 것을 가리킨다.

[0075] 상기 레이저 광의 조사에는, 펄스 발진 레이저를 사용하는 것이 바람직하다. 이것은, 순간적으로 고에너지의 펄스 레이저 광을 발진할 수 있고, 용융 상태를 만들기가 용이하게 되기 때문이다. 발진 주파수는 1Hz 이상 10MHz 이하 정도로 하는 것이 바람직하다.

[0076] 상술한 바와 같이, 레이저 광을 조사한 후에는, 단결정 반도체 층(112)의 막 두께를 작게 하는 박막화 공정을 행하여도 좋다. 단결정 반도체 층(112)의 박막화에는, 드라이 에칭 또는 웨트 에칭의 한쪽, 또는 양쪽 모두를 조합한 에칭 처리(에치 백 처리)를 적용하면 좋다. 예를 들어, 단결정 반도체 층(112)이 실리콘 재료로 이루어지는 층인 경우, 드라이 에칭으로서 SF_6 와 O_2 의 조합이나 Cl_2 를 프로세스 가스로 사용하여 단결정 반도체 층(112)을 얇게 할 수 있다.

[0077] 단결정 반도체 기판의 표면에 할로젠(예를 들어, 염소)을 포함하는 절연막을 형성함으로써, 반도체 기판에 포함되는 가동(可動) 이온이나 수분 등의 불순물이 단결정 반도체 층(112)에 확산하는 것을 방지할 수 있다.

[0078] 또한, 본 실시형태에 있어서, 열 산화 처리를 산화 분위기 중에 할로젠을 첨가한 산화를 행하는 방법을 나타내지만, 본 실시형태는 이것에 한정되지 않고, 드라이 산화에 의하여 절연막(102)을 형성한 후에, 할로젠을 이온 주입법 또는 이온 도핑법에 의하여 첨가하여도 좋다.

[0079] Si-O의 결합을 단결함으로써 구조를 완화하여 수분을 흡수하고, 확산 속도를 크게 한다. 저온에서 접합한 후의 저온에서의 열 처리의 과정에서, 탈수 축합 반응을 일으키고, (물 분자가 이탈할 때) 잉여의 물 분자가 산화 실리콘 막 중에 흡수되고, (접합 표면에 있어서) 탈수 반응이 촉진된다. 이것에 따라, 저온 처리라도 접합 강도가 향상된다.

[0080] 또한, 본 실시형태에 있어서, 단결정 반도체 기판(101) 위에 형성된 절연막(102)에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행하는 방법을 나타내지만, 본 실시형태는 이것에 한정되지 않고, 반도체 기판(111)의 표면에 대해서도 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다. 또한, 단결정 반도체 기판(101) 위에 형성된 절연막(102) 및 반도체 기판(111)의 각각 표면에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다.

[0081] 또한, 평탄화 처리는 SOI 기판에 한정되지 않고 분리한 후의 단결정 반도체 기판(104)에 대해서 행하여도 좋다. 분리한 후의 단결정 반도체 기판(104)의 표면을 평탄하게 함으로써, 상기 단결정 반도체 기판(104)을 SOI 기판의 제작 공정에 있어서 재이용할 수 있다.

[0082] (실시형태 2)

[0083] 본 실시형태에서는, 상기 실시형태와 다른 SOI 기판의 제작 방법에 대해서 도면을 참조하여 설명한다. 구체적으로는, 반도체 기판 측에 Si계의 절연막을 형성하고, 상기 절연막을 산소 플라즈마로 처리한 후, 반도체 기판과 취화층이 형성된 단결정 반도체 기판을 본딩(접착)하는 방법에 대해서 설명한다. 이하, 실시형태 1과 같은 구성에 대해서는 동일한 부호를 붙이고, 설명을 생략한다.

[0084] 우선, 단결정 반도체 기판(101)을 준비하고, 상기 단결정 반도체 기판(101)을 황산과산화수소수 혼합 용액(SPM), 암모니아과산화수소수 혼합 용액(APM), 염산과산화수소수 혼합 용액(HPM), 희불산(DHF), 오존수 등을 적절히 사용하여 세정한다(도 2a-1 참조).

[0085] 다음, 단결정 반도체 기판(101)의 일 표면 위에 보호층(도시하지 않는다)을 형성한 후, 보호층이 형성

된 면 측으로부터 이온을 조사함으로써, 이온을 단결정 반도체 기판에 도입하고, 단결정 반도체 기판(101)의 한 쪽 면으로부터 소정의 깊이의 영역에 취화층(103)을 형성한다(도 2a-2 참조). 취화층(103)의 형성은 도 1a-3과 마찬가지로 행할 수 있다.

[0086]

보호층은 취화층(103)을 형성할 때에 단결정 반도체 기판(101) 표면의 에칭, 또는 손상을 방지하기 위한 막이며, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막 등으로 형성한다. 예를 들어, 오존수, 과산화수소수 또는 오존 분위기에 의하여, 단결정 반도체 기판(101) 표면에 두께 2nm 내지 5nm의 케미컬 옥사이드를 보호층으로서 형성한다. 열 산화법이나 산소 라디칼 처리에 의하여, 단결정 반도체 기판(101) 표면에 두께 2nm 내지 10nm의 산화막을 보호층으로서 형성하여도 좋다. 또한, 플라즈마 CVD법에 의하여, 두께 2nm 내지 10nm의 보호층을 형성하여도 좋다.

[0087]

또한, 본 명세서에 있어서, 산화질화실리콘막이란, 그 조성으로서, 질소보다 산소의 함유량이 많은 것이며, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용해서 측정했을 경우에, 농도 범위로서 산소가 50at.% 내지 70at.%, 질소가 0.5at.% 내지 15at.%, 실리콘이 25at.% 내지 35at.%, 수소가 0.1at.% 내지 10at.%의 범위에서 포함되는 것을 가리킨다. 또한, 본 명세서에 있어서, 질화산화실리콘막이란, 그 조성으로서, 산소보다 질소의 함유량이 많은 것이며, RBS 및 HFS를 사용하여 측정한 경우에, 농도 범위로서 산소가 5at.% 내지 30at.%, 질소가 20at.% 내지 55at.%, 실리콘이 25at.% 내지 35at.%, 수소가 10at.% 내지 30at.%의 범위로 포함되는 것을 가리킨다. 다만, 산화질화실리콘 또는 질화산화실리콘을 구성하는 원자의 합계를 100at.%로 할 때, 질소, 산소, 실리콘, 및 수소의 함유 비율이 상기의 범위 내에 포함된다.

[0088]

취화층(103)이 형성되는 깊이는, 이온종, 이온의 운동 에너지와 입사각에 의하여 조절할 수 있다. 운동 에너지는 가속 전압 등에 의하여 조절할 수 있다. 이온의 평균 침입 깊이와 거의 같은 깊이의 영역에 취화층(103)이 형성된다. 이온을 도입하는 깊이에서, 후의 공정에 있어서 단결정 반도체 기판(101)으로부터 분리되는 단결정 반도체 층의 두께가 결정된다. 취화층(103)이 형성되는 깊이는 10nm 이상 500nm 이하이며, 바람직한 깊이의 범위는 50nm 이상 200nm 이하이다.

[0089]

이온을 단결정 반도체 기판(101)에 도입하기 위해서는 이온 도핑 장치를 사용할 수 있다. 이온 도핑 장치는, 소스 가스를 여기하여 플라즈마를 생성하고, 플라즈마 중으로부터 이온을 인출하고, 이온을 질량 분리하지 않고, 피처리물에 도입한다. 이온 도핑 장치를 사용함으로써, 단결정 반도체 기판(101)에 대해서 균일한 도핑을 행할 수 있다. 또한, 질량 분리 장치를 구비하는 이온 도핑 장치에서는, 질량 분리를 수반하는 이온 주입을 행할 수 있다.

[0090]

이온 도핑법을 사용하는 경우, 이온 첨가시에 사용하는 소스 가스로서는, 수소 가스, 회가스 등이 있지만, 본 실시형태에서는 수소 가스를 사용하는 것이 바람직하다. 소스 가스로서 수소 가스를 사용한 경우, 생성되는 이온은, H^+ , H_2^+ , H_3^+ 이지만, H_3^+ 가 가장 많이 도입되는 것이 바람직하다. H_3^+ 는 H^+ , H_2^+ 보다 수소 원자의 도입 효율이 좋고, 도입 시간의 단축을 도모할 수 있다.

[0091]

계속해서, 반도체 기판(111)을 준비하고, 상기 반도체 기판(111)을 황산과산화수소수 혼합 용액(SPM), 암모니아과산화수소수 혼합 용액(APM), 염산과산화수소수 혼합 용액(HPM), 회불산(DHF), 오존수 등을 적절하게 사용하여 세정한다(도 2b-1 참조).

[0092]

다음, 반도체 기판(111)에 열 산화 처리함으로써 절연막(114)을 형성한다(도 2b-2 참조). 열 산화 처리는 드라이 산화로 행하여도 좋지만, 산화 분위기 중에 할로젠을 첨가한 산화를 행하는 것이 바람직하다. 산화 분위기 중에 할로젠을 첨가한 산화를 행함으로써, 절연막(114)에 할로젠을 포함시킬 수 있다. 산화 분위기 중에 할로젠을 첨가하기 위한 가스로서 HCl을 사용할 수 있다. 이러한 열 산화 처리의 일례로서는, 산소에 대해서 HCl을 0.5부피% 내지 10부피%(바람직하게는 3부피%)의 비율로 포함하는 분위기 중에서, 900℃ 내지 1150℃의 온도(대표적으로는, 1000℃)로 열 산화하면 좋다. 처리 시간은, 0.1시간 내지 6시간, 바람직하게는, 0.5시간 내지 1시간으로 하면 좋다. 형성되는 절연막(114)의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 300nm), 예를 들어, 200nm의 두께로 한다.

[0093]

이와 같은 온도 범위에서 열 처리를 행함으로써, 반도체 기판(111)에 대하여 할로젠(예를 들어, 염소)에 의한 게터링 효과를 얻을 수 있다. 게터링 효과로서는, 금속 불순물을 제거하는 효과를 얻을 수 있다. 즉, 할로젠의 작용에 의하여 금속 등의 불순물이 휘발성의 할로겐화물이 되고, 기상(氣相) 중으로 이탈하여 제거된다. 반도체 기판(111)의 표면을 화학적 기계 연마(CMP) 처리한 것에 대해서 유효하다.

- [0094] 또한, 열 산화 처리에 적용하는 산화 분위기 중에 할로젠을 첨가하기 위한 가스로서는, HCl 이외에도 HF, NF₃, HBr, Cl₂, t-DCE(trans-1,2-dichloroethylene), ClF₃, BCl₃, F₂, Br₂ 등으로부터 선택된 1종 또는 복수 종류를 적용할 수 있다. 또한, 트랜스-1,2-디클로로에틸렌 대신에 시스-1,2-디클로로에틸렌, 1,1-디클로로에틸렌이나 이들 중으로부터 2종류 이상의 가스의 혼합 가스를 사용하여도 좋다.
- [0095] 또한, 할로젠을 첨가하여 열 산화를 행함으로써 형성되는 절연막(114) 중에는 할로젠이 포함되고, 할로젠은 1×10^{16} atoms/cm³ 이상 2×10^{21} atoms/cm³ 이하의 농도로 포함됨으로써, 금속 등의 불순물을 포획하여 반도체 기판(111)의 오염을 방지하는 보호막으로서의 기능을 발현시킬 수 있다.
- [0096] 또한, 절연막(114) 중에 포함되는 할로젠은, 염소에 가하여 불소도 포함시킬 수도 있다. 이 경우, 불소는 염소보다도 적은 양을 포함하는 것이 바람직하다.
- [0097] 다음, 절연막(114)에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행한다(도 2b-3 참조).
- [0098] 플라즈마 처리는, 진공 상태의 챔버에 불활성 가스(예를 들어, 아르곤(Ar) 가스) 및/또는 반응성 가스(예를 들어, 산소(O₂) 가스, 질소(N₂) 가스)을 도입하고, 피처리면에 바이어스 전압을 인가하여 플라즈마 상태로 하여 행한다.
- [0099] 예를 들어, 산소 가스를 사용하여 플라즈마 처리를 행하는 경우, 진공 상태의 챔버에 O₂ 가스를 도입하고, 피처리면(여기서는, 반도체 기판(111)에 형성된 절연막(114))에 바이어스 전압을 인가하여 플라즈마 상태로 하여 행한다. 플라즈마 중에는 산소의 양 이온이 존재하고, 음극 방향(반도체 기판(111)에 형성된 절연막(114))에 산소의 양 이온이 가속된다. 가속된 산소의 양 이온이 절연막(114)의 표면에 충돌함으로써, 절연막(114)의 표층(表層)의 Si-O 결합을 절단하여 저밀도화하고, 데미지를 주어 땁글링 본드를 생성하고, 표면을 활성화할 수 있다.
- [0100] 또한, 산소 플라즈마의 구체적인 조건으로서, 처리 전력 0.3W/cm² 내지 1.5W/cm², 압력 30Pa 내지 130Pa, 가스(O₂) 유량 10sccm 내지 200sccm의 조건으로 행하면 좋다.
- [0101] 또한, 산소 플라즈마 처리를 행함으로써, 절연막(114)의 표면 거칠기(Ra)를 바람직하게는, 0.5nm 이하, 보다 바람직하게는 0.3nm 이하, 더 바람직하게는 0.2nm 이하로 하고, 최대 고저차(P-V)를 바람직하게는 6nm 이하, 보다 바람직하게는 3nm 이하로 한다.
- [0102] 그 후, 할로젠을 포함하는 절연막(114)과 단결정 반도체 기판(101)의 이온 조사를 행한 면이 대향하도록 본딩(접착)한다(도 2c 참조). 계속해서, 가열 처리를 행하고 취화층(103)에 있어서 분할함으로써, 단결정 반도체 층(112)이 접착된 상기 반도체 기판(111)과, 단결정 반도체 기판(104)으로 분리한다. 이상에 의하여 반도체 기판(111) 위에 절연막(114)을 통하여 단결정 반도체 층(112)이 형성된 SOI 기판(113)을 형성할 수 있다(도 2d 참조).
- [0103] 단결정 반도체 기판(101)과 반도체 기판(111)을 접착시키기 전에, 반도체 기판(111) 위에 형성된 절연막(114)과 단결정 반도체 기판(101)의 각각 표면에 대해서 표면 처리를 행하는 것이 바람직하다. 표면 처리로서는, 오존 처리(예를 들어, 오존수 세정), 메가소닉 세정 및 오존수 세정, 메가소닉 세정 및 암모니아과산화수소수(APM) 세정, 또는 APM 세정 및 순수와 질소를 사용한 이류체(二流體) 세정에 의하여 행할 수 있다. 이러한 표면 처리를 행함으로써, 단결정 반도체 기판(101) 및 절연막(114) 각각 표면의 유기물 등의 먼지를 제거하고, 단결정 반도체 기판(101), 절연막(114)의 표면을 친수화할 수 있다.
- [0104] 또한, 도 2c 및 도 2d의 공정에 대해서는, 도 1c 및 도 1d와 마찬가지로 행할 수 있기 때문에, 자세한 설명은 생략한다.
- [0105] 또한, 상기 공정에 의하여 얻어진 SOI 기판의 표면에 평탄화 처리를 행하여도 좋다. 평탄화 처리는 실시형태 1에서 나타난 방법에 의하여 행할 수 있다.
- [0106] 또한, 본 실시형태에 있어서, 열 산화 처리를 산화 분위기 중에 할로젠을 첨가한 산화를 행하는 방법을 나타내지만, 본 실시형태는 이것에 한정되지 않고, 드라이 산화에 의하여 절연막(114)을 형성한 후에 할로젠을 이온 주입법 또는 이온 도핑법에 의하여 첨가하여도 좋다.
- [0107] 또한, 본 실시형태에 있어서, 반도체 기판(111) 위에 형성된 절연막(114)에 대해서 바이어스 전압을 인

가하여 플라즈마 처리를 행한 방법을 나타내지만, 본 실시형태는 이것에 한정되지 않고, 취화층(103)을 형성한 후의 단결정 반도체 기판(101)의 표면에 대해서도 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다. 또한, 단결정 반도체 기판(101) 및 반도체 기판(111) 위에 형성된 절연막(114)의 각각 표면에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다.

[0108] (실시형태 3)

[0109] 본 실시형태에서는, 상기 실시형태와 다른 SOI 기판의 제작 방법에 대해서 도면을 참조하여 설명한다. 구체적으로는, 단결정 반도체 기판 및 반도체 기판의 각각 표면에 절연막을 형성하고, 단결정 반도체 기판에 형성된 절연막을 플라즈마 처리한 후, 반도체 기판과 단결정 반도체 기판을 본딩(접착)하는 방법에 대해서 설명한다. 이하, 실시형태 1 및 실시형태 2와 같은 구성에 대해서는 동일한 부호를 붙이고, 설명을 생략한다.

[0110] 우선, 표면에 절연막(102)이 형성되고, 표면으로부터 소정의 깊이의 영역에 취화층(103)이 형성되고, 절연막(102)에 대해서 바이어스 전압을 인가하여 플라즈마 처리가 행하여진 단결정 반도체 기판(101)을 준비한다(도 3a-1 내지 도 3a-4 참조). 도 3a-1 내지 도 3a-4에 대해서는 상술한 도 1a-1 내지 도 1a-4에 있어서 도시한 방법을 사용하면 좋기 때문에, 자세한 설명을 생략한다.

[0111] 계속해서, 반도체 기판(111)을 준비하고, 상기 반도체 기판(111)을 황산과산화수소수 혼합 용액(SPM), 암모니아과산화수소수 혼합 용액(APM), 염산과산화수소수 혼합 용액(HPM), 희불산(DHF), 오존수 등을 적절하게 사용하여 세정한다(도 3b-1 참조).

[0112] 다음, 반도체 기판(111)에 열 산화 처리함으로써 절연막(114)을 형성한다(도 3b-2 참조). 열 산화 처리는 드라이 산화로 행하여도 좋고, 산화 분위기 중에 할로젠을 첨가한 산화를 행하여도 좋다. 형성되는 절연막(114)의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 300nm), 예를 들어, 200nm의 두께로 한다.

[0113] 그 후, 할로젠을 포함하는 절연막(102)(취화층이 형성되는 층)과 절연막(114)의 한쪽 면이 대향하도록 본딩(접착)한다(도 3c 참조). 계속해서, 가열 처리를 행하여 취화층(103)에 있어서 분할함으로써, 반도체 기판(111) 위에 절연막(114) 및 절연막(102)을 통하여 단결정 반도체 층(112)이 형성된 SOI 기판(113)을 형성할 수 있다(도 3d 참조).

[0114] 또한, 도 3c 및 도 3d의 공정에 대해서는, 도 1c 및 도 1d와 마찬가지로 행할 수 있기 때문에, 자세한 설명은 생략한다.

[0115] 또한, 상기 공정에 의하여 얻어진 SOI 기판의 표면에 평탄화 처리를 행하여도 좋다. 평탄화 처리는, 실시형태 1에서 나타낸 방법으로 행할 수 있다.

[0116] 본 실시형태에 있어서, 열 산화 처리를 산화 분위기 중에 할로젠을 첨가한 산화를 행하는 방법을 나타내지만, 본 실시형태는 이 방법에 한정되지 않고, 드라이 산화에 의하여 절연막(102)을 형성한 후에, 할로젠을 이온 주입법 또는 이온 도핑법에 의하여 첨가하여도 좋다. 또한, 본 실시형태에 있어서, 절연막(102)에 할로젠을 첨가하는 방법을 나타내지만, 본 실시형태는 이 방법에 한정되지 않고, 절연막(114)에 할로젠을 첨가한 구성으로 하여도 좋다. 또한, 단결정 반도체 기판 및 반도체 기판에 절연막을 형성할 때에, 접합을 형성하는 면의 양쪽 모두에 할로젠을 첨가한 절연막을 형성할 수 있다.

[0117] 본 실시형태에 있어서, 단결정 반도체 기판(101) 위에 형성된 절연막(102)에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행하는 방법을 나타내지만, 본 실시형태는 이 방법에 한정되지 않고, 반도체 기판(111)에 형성된 절연막(114)의 표면에 대해서도, 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다. 또한, 단결정 반도체 기판(101) 위에 형성된 절연막(102) 및 반도체 기판(111) 위에 형성된 절연막(114)의 각각 표면에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다.

[0118] (실시형태 4)

[0119] 본 실시형태에서는, 상기 실시형태와 다른 SOI 기판의 제작 방법에 대해서 도면을 참조하여 설명한다. 이하, 실시형태 1 내지 실시형태 3과 같은 구성에 대해서는 동일한 부호를 붙이고, 설명을 생략한다.

[0120] 우선, 표면에 절연막(102)이 형성되고, 표면으로부터 소정의 깊이의 영역에 취화층(103)이 형성된 단결정 반도체 기판(101)을 준비한다(도 4a-1 내지 도 4a-3 참조). 도 4a-1 내지 도 4a-3에 대해서는 상술한 도 1a-1 내지 도 1a-3에 있어서 도시한 방법을 사용하면 좋기 때문에, 자세한 설명을 생략한다.

- [0121] 계속해서, 절연막(102) 위에 또 절연막(105)을 형성한다(도 4a-4 참조). 절연막(105)은, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 스퍼터링법을 사용하여 산화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 질화실리콘막을 단층 구조 또는 2층 이상의 구조로 형성할 수 있다. 절연막(105)은 10nm 내지 1000nm의 범위로 형성하는 것이 바람직하다. 또한, 본 명세서에 있어서의 화학 기상 성장법은, 플라즈마 CVD법, 열 CVD법, 광 CVD법을 범주로 포함하는 것이다.
- [0122] 다음, 절연막(105)에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행한다(도 4a-5 참조). 플라즈마 처리에 대해서는, 도 1a-4와 마찬가지로 행할 수 있다.
- [0123] 계속해서, 반도체 기판(111)을 준비하고, 상기 반도체 기판(111)을 황산과산화수소수 혼합 용액(SPM), 암모니아과산화수소수 혼합 용액(APM), 염산과산화수소수 혼합 용액(HPM), 회불산(DHF) 등을 적절하게 사용하여 세정한다(도 4b-1 참조).
- [0124] 다음, 반도체 기판(111)에 열 산화 처리함으로써 절연막(114)을 형성한다(도 4b-2 참조). 열 산화 처리는 드라이 산화로 행하여도 좋고, 산화 분위기 중에 할로젠을 첨가한 산화를 행하여도 좋다. 형성되는 절연막(114)의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 300nm), 예를 들어, 200nm의 두께로 한다.
- [0125] 그 후, 절연막(105)과 절연막(114)의 한쪽 면이 대향하도록 본딩(접착)한다(도 4c 참조). 계속해서, 가열 처리를 행하여 취화층(103)을 따라서 분할함으로써, 반도체 기판(111) 위에 절연막(114), 절연막(105) 및 절연막(102)을 통하여 단결정 반도체 층(112)이 형성된 SOI 기판(113)을 형성할 수 있다(도 4d 참조).
- [0126] 또한, 도 4c 및 도 4d의 공정에 대해서는, 도 1c 및 도 1d와 마찬가지로 행할 수 있기 때문에, 자세한 설명은 생략한다.
- [0127] 본 실시형태에 있어서 얻어진 SOI 기판의 표면에 평탄화 처리를 행하여도 좋다. 평탄화 처리는, 실시 형태 1에서 나타낸 방법에 의하여 행할 수 있다.
- [0128] 본 실시형태에 있어서, CVD법에 의한 절연막의 형성을 단결정 반도체 기판(101) 측에 행하는 방법을 나타내지만, 본 실시형태는 이 방법에 한정되지 않고, 반도체 기판(111) 측에 형성하여도 좋다. 또한, 열 산화에 의하여 형성한 절연막 위에 절연막을 형성할 때에, 단결정 반도체 기판(101) 및 반도체 기판(111) 측의 양쪽 모두에, CVD법에 의하여 절연막을 형성할 수 있다.
- [0129] 본 실시형태에 있어서, 단결정 반도체 기판(101) 위에 형성된 절연막에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행하는 방법을 나타내지만, 본 실시형태는 이 방법에 한정되지 않고, 반도체 기판(111)에 형성된 절연막의 표면에 대해서도 바이어스 전압을 인가하여 플라즈마 처리를 행할 수 있다. 또한, 단결정 반도체 기판(101) 위에 형성된 절연막 및 반도체 기판(111) 위에 형성된 절연막의 각각 표면에 대해서 바이어스 전압을 인가하여 플라즈마 처리를 행할 수도 있다.
- [0130] 실시형태 1 내지 실시형태 4에 있어서, 이온을 단결정 반도체 기판(101)에 도입하기 위해서 이온 도핑 장치를 사용하여 행하는 방법을 나타냈지만, SOI 기판의 제작 방법은 이것에 한정되지 않는다. 이온 도핑 장치 대신에 이온 주입 장치를 사용하여 이온 주입법에 의하여 행하여도 좋다. 이온 주입 장치는, 소스 가스를 여기하여 플라즈마를 생성하고, 플라즈마 중으로부터 이온을 인출하고, 이온을 질량 분리하여 소정의 질량을 갖는 이온을 피치리물로 주입한다. 이온 주입 장치를 사용하는 경우에는, 질량 분리에 의하여 H_3^+ 이온이 주입되도록 하는 것이 바람직하다. 물론, H_2^+ 를 주입하여도 좋다. 다만, 이온 주입 장치를 사용하는 경우에는, 이온을 선택하여 주입하기 때문에, 이온 도핑 장치를 사용하는 경우와 비교하여 이온의 주입 효율이 저하하는 경우가 있다.
- [0131] (실시형태 5)
- [0132] 본 실시형태에서는, 고성능 및 고신뢰성의 반도체 소자를 갖는 반도체 장치를, 수율 좋게 제작하는 것을 목적으로 한 반도체 장치의 제작 방법의 일례로서 CMOS(상보형(相補型)) 금속 산화물 반도체: Complementary Metal Oxide Semiconductor)의 제작 방법에 관하여 도 5a 내지 도 6d를 사용하여 설명한다. 또한, 실시형태 1과 동일 부분 또는 같은 기능을 갖는 부분의 반복 설명은 생략한다.
- [0133] 도 5a는, 반도체 기판(111) 위에 절연막(102), 단결정 반도체 층(112)이 형성된다. 또한, 여기서는 도

1d에 도시하는 구성의 SOI 기판(113)을 적용하는 예를 나타내지만, 본 명세서에서 나타내는 그 외의 구성의 SOI 기판도 적용할 수 있다.

[0134] 단결정 반도체 층(112)은, 단결정 반도체 기판(101)으로부터 분리되고, 평탄화 처리가 행하여진다. 평탄화 처리로서는, CMP(Chemical Mechanical Polishing), 에칭 처리, 레이저 광의 조사 등에 의하여 행할 수 있다. 여기서는, 드라이 에칭 또는 웨트 에칭의 한쪽, 또는 쌍방을 조합한 에칭 처리(에치 백 처리)를 행한 후에 레이저 광을 조사함으로써, 단결정 반도체 층(112)의 재결정화와 표면의 평탄화가 행하여지기 때문에, 결정 결함도 저감되고 또 평탄성도 높은 단결정 반도체 층(112)이다.

[0135] 또, 단결정 반도체 층(112)의 에칭을 행하기 전에, TFT의 임계값 전압을 제어하기 위해서, 붕소, 알루미늄, 갈륨 등의 불순물 원소, 또는 인, 비소 등의 도너가 되는 불순물 원소를 단결정 반도체 층(112)에 첨가하는 것이 바람직하다. 예를 들어, n채널형 TFT가 형성되는 영역에 불순물 원소를 첨가하고, p채널형 TFT가 형성되는 영역에 불순물 원소를 첨가한다.

[0136] 단결정 반도체 층(112)을 에칭하고, 반도체 소자의 배치에 맞추어 섬 형상으로 분리한 단결정 반도체 층(205, 206)을 형성한다(도 5b 참조).

[0137] 단결정 반도체 층 위의 산화막을 제거하고, 단결정 반도체 층(205, 206)을 덮는 게이트 절연층(207)을 형성한다. 본 실시형태에 있어서의 단결정 반도체 층(205, 206)은 평탄성이 높으므로, 단결정 반도체 층(205, 206) 위에 형성되는 게이트 절연층이 박막의 게이트 절연층이라도 피복성 좋게 덮을 수가 있다. 따라서 게이트 절연층의 피복 불량에 의한 특성 불량을 방지할 수 있고, 고신뢰성의 반도체 장치를 수율 좋게 제작할 수 있다. 게이트 절연층(207)의 박막화는, 박막 트랜지스터를 저전압으로 고속 동작시키는 효과가 있다.

[0138] 게이트 절연층(207)은 산화실리콘, 또는 산화실리콘과 질화실리콘의 적층 구조로 형성하면 좋다. 게이트 절연층(207)은, 플라즈마 CVD법이나 감압 CVD법에 의하여 절연막을 퇴적함으로써 형성하여도 좋고, 플라즈마 처리에 의한 고상 산화 또는 고상 질화로 형성하면 좋다. 단결정 반도체 층을, 플라즈마 처리에 의하여 산화 또는 질화함으로써 형성하는 게이트 절연층은, 치밀하고 절연 내압이 높고 신뢰성이 우수하기 때문이다.

[0139] 또한, 게이트 절연층(207)으로서, 이산화지르코늄, 산화하프늄, 이산화티타늄, 오산화탄탈 등의 고유전율 재료를 사용하여도 좋다. 게이트 절연층(207)에 고유전율 재료를 사용함으로써, 게이트 리크 전류를 저감할 수 있다.

[0140] 게이트 절연층(207) 위에 게이트 전극층(208) 및 게이트 전극층(209)을 형성한다(도 5c 참조). 게이트 전극층(208, 209)은, 스퍼터링법, 증착법, CVD법 등의 수법에 의하여 형성할 수 있다. 게이트 전극층(208, 209)은, 스퍼터링법, 증착법, CVD법 등의 수법에 의하여 형성할 수 있다. 게이트 전극층(208, 209)은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오뮴(Nd)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 형성하면 좋다. 또한, 게이트 전극층(208, 209)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘층으로 대표되는 반도체 층이나, AgPdCu합금을 사용하여도 좋다.

[0141] 단결정 반도체 층(206)을 덮는 마스크(211)를 형성한다. 마스크(211) 및 게이트 전극층(208)을 마스크로 하여, n형을 부여하는 불순물 원소(210)를 첨가함으로써, 제 1 n형 불순물 영역(212a, 212b)을 형성한다(도 5d 참조). 본 실시형태에서는, 불순물 원소를 포함하는 도핑 가스로서 포스핀(PH₃)을 사용한다. 여기서는, 제 1 n형 불순물 영역(212a, 212b)에, n형을 부여하는 불순물 원소가 $1 \times 10^{17} / \text{cm}^3$ 내지 $5 \times 10^{18} / \text{cm}^3$ 정도의 농도로 포함되도록 첨가한다. 본 실시형태에서는, n형을 부여하는 불순물 원소로서 인(P)을 사용한다.

[0142] 다음, 단결정 반도체 층(205)을 덮는 마스크(214)를 형성한다. 마스크(214), 게이트 전극층(209)을 마스크로 하여 p형을 부여하는 불순물 원소(213)를 첨가함으로써, 제 1 p형 불순물 영역(215a, 215b)을 형성한다(도 5e 참조). 본 실시형태에서는, 불순물 원소로서 붕소(B)를 사용하기 때문에, 불순물 원소를 포함하는 도핑 가스로서는 디보란(B₂H₆) 등을 사용한다.

[0143] 마스크(214)를 제거하고, 게이트 전극층(208, 209)의 측면에 사이드 월 구조의 측벽 절연층(216a 내지 216d), 게이트 절연층(233a, 233b)을 형성한다(도 6a 참조). 측벽 절연층(216a 내지 216d)은, 게이트 전극층(208, 209)을 덮는 절연층을 형성한 후, 이것을 RIE(Reactive Ion Etching: 반응성 이온 에칭)법을 사용한 이방성 에칭에 의하여 가공함으로써, 게이트 전극층(208, 209)의 측면에 자기 정합적으로 사이드 월 구조로 형성되면 좋다. 여기서, 절연층은 특별히 한정되지 않고, TEOS(Tetra-Ethyl-Ortho-Silicate) 또는 실란 등과, 산

소 또는 아산화질소 등을 반응시켜 형성한 단차 피복성이 좋은 산화실리콘인 것이 바람직하다. 절연층은 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD, 스퍼터링 등의 방법에 의하여 형성할 수 있다. 게이트 절연층(233a, 233b)은 게이트 전극층(208, 209) 및 측벽 절연층(216a 내지 216d)을 마스크로 하여 게이트 절연층(207)을 에칭하여 형성할 수 있다.

[0144]

또한, 본 실시형태에서는, 절연층을 에칭할 때, 게이트 전극층 위의 절연층을 제거함으로써, 게이트 전극층을 노출시키지만, 절연층을 게이트 전극층 위에 남게 하는 형상으로 측벽 절연층(216a 내지 216d)을 형성하여도 좋다. 또한, 후 공정에서 게이트 전극층 위에 보호막을 형성하여도 좋다. 상술한 바와 같이, 게이트 전극층을 보호함으로써, 에칭 가공할 때, 게이트 전극층의 막이 감소되는 것을 방지할 수 있다. 또한, 소스 영역 및 드레인 영역에 실리사이드를 형성하는 경우, 실리사이드를 형성할 때 성막하는 금속막과 게이트 전극층이 접하지 않으므로, 금속막의 재료와 게이트 전극층의 재료가 반응하기 쉬운 재료라도 좋고, 화학 반응이나 확산 등의 불량을 방지할 수 있다. 에칭 방법은, 드라이 에칭법이라도 웨트 에칭법이라도 좋고, 각종의 에칭 방법을 사용할 수 있다. 본 실시형태에서는, 드라이 에칭법을 사용한다. 에칭용 가스로서는, Cl_2 , BCl_3 , SiCl_4 , 또는 CCl_4 등을 대표로 하는 염소계 가스, CF_4 , SF_6 , 또는 NF_3 등을 대표로 하는 불소계 가스 또는 O_2 를 적절히 사용할 수 있다.

[0145]

다음에, 단결정 반도체 층(206)을 덮는 마스크(218)를 형성한다. 마스크(218), 게이트 전극층(208), 측벽 절연층(216a, 216b)을 마스크로 하여 n형을 부여하는 불순물 원소(217)를 첨가함으로써, 제 2 n형 불순물 영역(219a, 219b), 제 3 n형 불순물 영역(220a, 220b)이 형성된다. 본 실시형태에서는, 불순물 원소를 포함하는 도핑 가스로서 PH_3 를 사용한다. 여기서는, 제 2 n형 불순물 영역(219a, 219b)에 n형을 부여하는 불순물 원소가 $5 \times 10^{19} / \text{cm}^3$ 내지 $5 \times 10^{20} / \text{cm}^3$ 정도의 농도로 포함되도록 첨가한다. 또한, 단결정 반도체 층(205)에 채널 형성 영역(221)이 형성된다(도 6b 참조).

[0146]

제 2 n형 불순물 영역(219a), 제 2 n형 불순물 영역(219b)은 고농도 n형 불순물 영역이며, 소스, 드레인으로서 기능한다. 한편, 제 3 n형 불순물 영역(220a, 220b)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain) 영역이 된다. 제 3 n형 불순물 영역(220a, 220b)은 게이트 전극층(208)에 덮이지 않는 Loff 영역에 형성되기 때문에, 오프(off) 전류를 저감하는 효과가 있다. 결과적으로, 보다 신뢰성이 높고, 저소비 전력의 반도체 장치를 제작할 수 있다.

[0147]

마스크(218)를 제거하고, 단결정 반도체 층(205)을 덮는 마스크(223)를 형성한다. 마스크(223), 게이트 전극층(209), 측벽 절연층(216c, 216d)을 마스크로 하여, p형을 부여하는 불순물 원소(222)를 첨가함으로써, 제 2 p형 불순물 영역(224a, 224b), 제 3 p형 불순물 영역(225a, 225b)을 형성한다.

[0148]

제 2 p형 불순물 영역(224a, 224b)에 p형을 부여하는 불순물 원소가 $1 \times 10^{20} / \text{cm}^3$ 내지 $5 \times 10^{21} / \text{cm}^3$ 정도의 농도로 포함되도록 첨가한다. 본 실시형태에서는, 제 3 p형 불순물 영역(225a, 225b)은, 측벽 절연층(216c, 216d)에 의하여, 자기 정합적으로 제 2 p형 불순물 영역(224a, 224b)보다 저농도가 되도록 형성한다. 또한, 단결정 반도체 층(206)에 채널 형성 영역(226)이 형성된다(도 6c 참조).

[0149]

제 2 p형 불순물 영역(224a, 224b)은 고농도 p형 불순물 영역이며, 소스, 드레인으로서 기능한다. 한편, 제 3 p형 불순물 영역(225a, 225b)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain) 영역이 된다. 제 3 p형 불순물 영역(225a, 225b)은 게이트 전극층(209)에 덮이지 않는 Loff 영역에 형성되기 때문에, 오프 전류를 저감하는 효과가 있다. 결과적으로, 보다 신뢰성이 높고, 저소비 전력의 반도체 장치를 제작할 수 있다.

[0150]

마스크(223)를 제거하고, 불순물 원소를 활성화하기 위하여 가열 처리, 강광(强光)의 조사, 또는 레이저 빔의 조사를 행하여도 좋다. 활성화와 동시에 게이트 절연층에 대한 플라즈마 데미지나 게이트 절연층과 단결정 반도체 층의 계면에 대한 플라즈마 데미지를 회복할 수 있다.

[0151]

다음에, 게이트 전극층, 게이트 절연층을 덮는 층간 절연층을 형성한다. 본 실시형태에서는, 보호막이 되는 수소를 포함하는 절연막(227)과, 절연층(228)과의 적층 구조로 한다. 절연막(227)과 절연층(228)은, 스퍼터링법, 또는 플라즈마 CVD를 사용한 질화실리콘막, 질화산화실리콘막, 산화질화실리콘막, 산화실리콘막이라도 좋고, 다른 실리콘을 포함하는 절연층을 단층 또는 3층 이상의 적층 구조로 하여 사용하여도 좋다.

[0152]

또한, 질소 분위기 중에서, 300°C 내지 550°C 로 1시간 내지 12시간의 열 처리를 행하고, 단결정 반도체 층을 수소화하는 공정을 행한다. 바람직하게는, 400°C 내지 500°C 로 행한다. 이 공정은 층간 절연층인 절연막

(227)에 포함되는 수소에 의하여 단결정 반도체 층의 덩글링 본드를 중단하는 공정이다. 본 실시형태에서는, 410℃로 1시간 가열 처리를 행한다.

[0153] 절연막(227), 절연층(228)으로서는 그 외에, 질화알루미늄(AIN), 산화질화알루미늄(AION), 질소 함유량이 산소 함유량보다도 많은 질화산화알루미늄(AINO) 또는 산화알루미늄, 다이아몬드 라이크 카본(DLC), 질소 함유 탄소(CN), 이 외의 무기 절연성 재료를 포함하는 물질 중으로부터 선택된 재료로 형성할 수 있다. 또한, 실록산 수지를 사용하여도 좋다. 또한, 실록산 수지란, Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서는, 유기기(예를 들어 알킬기, 아릴기)나 플루오로기를 사용하여도 좋다. 치환기는, 플루오로기를 가져도 좋다. 또한, 유기 절연성 재료를 사용하여도 좋고, 유기 재료로서는, 폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트 또는 벤조시클로부텐, 폴리실라잔을 사용할 수 있다. 평탄성이 좋은 도포법에 의하여 형성되는 도포막을 사용하여도 좋다.

[0154] 절연막(227), 절연층(228)은, 딥, 스프레이 도포, 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터, CVD 법, 증착법 등을 채용할 수 있다. 액적 토출법에 의하여 절연막(227), 절연층(228)을 형성하여도 좋다. 액적 토출법을 사용한 경우에는 재료액을 절약할 수 있다. 또한, 액적 토출법과 같이 패턴을 전사, 또는 묘사할 수 있는 방법, 예를 들어, 인쇄법(스크린 인쇄나 오프셋 인쇄 등 패턴이 형성되는 방법) 등도 사용할 수 있다.

[0155] 다음에, 레지스트로 이루어지는 마스크를 사용하여 절연막(227), 절연층(228)에 단결정 반도체 층에 도달하는 콘택트 홀(개구)을 형성한다. 에칭은, 사용하는 재료의 선택 비율에 따라, 한번으로 행하여도 좋고, 복수회로 행하여도 좋다. 에칭에 의하여, 절연막(227), 절연층(228)의 일부를 제거하고, 소스 영역 또는 드레인 영역인 제 2 n형 불순물 영역(219a, 219b), 제 2 p형 불순물 영역(224a, 224b)에 도달하는 개구를 형성한다. 에칭은, 웨트 에칭이라도 드라이 에칭이라도 좋고, 양쪽 모두를 사용하여도 좋다. 웨트 에칭의 에천트는, 불소 수소암모늄 및 불화암모늄을 포함하는 혼합용액과 같은 불산계의 용액을 사용하면 좋다. 에칭용 가스로서는, Cl₂, BCl₃, SiCl₄, 또는 CCl₄ 등으로 대표되는 염소계 가스, CF₄, SF₆, 또는 NF₃ 등으로 대표되는 불소계 가스 또는 O₂를 적절히 사용할 수 있다. 또한, 사용하는 에칭용 가스에 불활성 기체를 첨가하여도 좋다. 첨가하는 불활성 원소로서는, He, Ne, Ar, Kr, Xe 중으로부터 선택된 1종 또는 복수종의 원소를 사용할 수 있다.

[0156] 개구를 덮도록 도전막을 형성하고, 도전막을 에칭하여 각 소스 영역 또는 드레인 영역의 일부와 각각 전기적으로 접속하는 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(229a, 229b, 230a, 230b)을 형성한다. 배선층은, PVD법, CVD법, 증착법 등에 의하여 도전막을 형성한 후, 원하는 형상으로 에칭하여 형성할 수 있다. 또한, 액적 토출법, 인쇄법, 전계 도금법 등에 의하여, 소정의 부분에 선택적으로 도전층을 형성할 수 있다. 또한, 리플로우법, 다마신법(damascene method)을 사용하여도 좋다. 배선층의 재료는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba 등의 금속, 및 Si, Ge, 또는 그 합금, 또는 그 질화물을 사용하여 형성한다. 또한, 이들의 적층 구조로 하여도 좋다.

[0157] 상술한 공정에서 CMOS 구조의 n채널형 박막 트랜지스터인 박막 트랜지스터(231) 및 p채널형 박막 트랜지스터인 박막 트랜지스터(232)를 포함하는 반도체 장치를 제작할 수 있다(도 6d 참조). 도시하지 않지만, 본 실시형태는 CMOS 구조이므로, 박막 트랜지스터(231)와 박막 트랜지스터(232)는 전기적으로 접속된다.

[0158] 본 실시형태에 한정되지 않고, 박막 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도 좋고, 2개 형성되는 더블 게이트 구조 또는 3개 형성되는 트리플 게이트 구조라도 좋다.

[0159] 상술한 바와 같이, 결정 결함이 저감되며, 또 평탄성도 높은 단결정 반도체 층을 갖는 SOI 기판을 사용함으로써 고성능 및 고신뢰성의 반도체 장치를 수율 좋게 제작할 수 있다.

[0160] 이와 같이, SOI 기판을 사용하여 박막 트랜지스터를 제작할 수 있다. SOI 기판의 단결정 반도체 층은, 결정 결함이 거의 없고, 게이트 절연층(207)과의 계면 준위 밀도가 저감된 단결정 반도체 층이고, 그 표면이 평탄화되고, 또한 그 두께를 50nm 이하로 박막화되어 있다. 이로써, SOI 기판에, 낮은 구동전압, 높은 전계효과 이동, 작은 서브 임계값 등, 우수한 특성을 구비한 박막 트랜지스터를 형성할 수 있다. 또한, 동일 기판 위에 특성의 격차가 적은, 복수의 고성능의 트랜지스터를 기판 위에 형성하는 것이 가능하다. 즉, 실시형태 1 내지 실시형태 4에 따른 SOI 기판을 사용함으로써, 임계값 전압이나 이동도 등 트랜지스터 특성으로서 중요한 특성값의 불균일성이 억제되고, 또한 고전계 이동도 등의 고성능화가 가능해진다.

[0161] 따라서, 실시형태 1 내지 실시형태 4에 따른 SOI 기판을 사용하여 TFT 등 각종 반도체 소자를 형성함으로써, 고부가 가치의 반도체 장치를 제작할 수 있다.

- [0162] 도 5a 내지 도 6d를 참조하여 TFT의 제작방법을 설명하였지만, TFT 외에, 용량, 저항 등 TFT와 함께 각종의 반도체 소자를 형성함으로써, 고부가가치의 반도체 장치를 제작할 수 있다. 이하, 도면을 참조하면서 반도체 장치의 구체적인 형태를 설명한다.
- [0163] 우선, 반도체 장치의 일례로서, 마이크로프로세서에 대해서 설명한다. 도 7은 마이크로프로세서(500)의 구성예를 도시하는 블록도이다.
- [0164] 마이크로프로세서(500)는, 연산 회로(501; Arithmetic logic unit; ALU라고도 한다), 연산 회로 제어부(502; ALU Controller), 명령 해석부(503; Instruction Decoder), 인터럽트 제어부(504; Interrupt Controller), 타이밍 제어부(505; Timing Controller), 레지스터(506; Register), 레지스터 제어부(507; Register Controller), 버스 인터페이스(508; Bus I/F), 판독 전용 메모리(509), 및 메모리 인터페이스(510)를 갖고 있다.
- [0165] 버스 인터페이스(508)를 통하여 마이크로프로세서(500)에 입력된 명령은, 명령 해석부(503)에 입력되고, 디코드된 후, 연산회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)에 입력된다. 연산회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)는, 디코드된 명령에 근거하여 여러 가지의 제어를 행한다.
- [0166] 연산 회로 제어부(502)는, 연산회로(501)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(504)는, 마이크로프로세서(500)의 프로그램 실행 중에, 외부의 입출력장치나 주변 회로로부터의 인터럽트 요구를 처리하는 회로이고, 인터럽트 제어부(504)는, 인터럽트 요구의 우선도나 마스크 상태를 판단하여, 인터럽트 요구를 처리한다. 레지스터 제어부(507)는, 레지스터(506)의 어드레스를 생성하여, 마이크로프로세서(500)의 상태에 따라서 레지스터(506)의 판독이나 기록을 행한다. 타이밍 제어부(505)는, 연산회로(501), 연산 회로 제어부(502), 명령 해석부(503), 인터럽트 제어부(504), 및 레지스터 제어부(507)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(505)는, 기준 클럭 신호 CLK1을 기초로 하여, 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 구비하고 있다. 도 7에 도시하는 바와 같이, 내부 클럭 신호 CLK2는 다른 회로에 입력된다.
- [0167] 다음에, 비접촉으로 데이터를 송수신하는 기능, 및 연산기능을 구비한 반도체 장치의 일례를 설명한다. 도 8은 이러한 반도체 장치의 구성예를 도시하는 블록도이다. 도 8에 도시하는 반도체 장치는, 무선통신에 의해 외부장치와 신호를 송수신하여 동작하는 컴퓨터(이하, 「RFCPU」라고 한다)라고 부를 수 있다.
- [0168] 도 8에 도시하는 바와 같이, RFCPU(511)는, 아날로그 회로부(512)와 디지털 회로부(513)를 갖고 있다. 아날로그 회로부(512)로서, 공진용량을 갖는 공진 회로(514), 정류회로(515), 정전압 회로(516), 리셋 회로(517), 발진 회로(518), 복조 회로(519)와, 변조 회로(520)를 갖고 있다. 디지털 회로부(513)는, RF 인터페이스(521), 제어 레지스터(522), 클럭 컨트롤러(523), CPU 인터페이스(524), 중앙 처리 유닛(525), 랜덤 액세스 메모리(526), 판독 전용 메모리(527)를 갖는다.
- [0169] RFCPU(511)의 동작의 개요는 이하와 같다. 안테나(528)가 수신한 신호는 공진 회로(514)에 의해 유도 기전력이 생긴다. 유도 기전력은, 정류 회로(515)를 거쳐서 용량부(529)에 충전된다. 이 용량부(529)는 세라믹 콘덴서나 전기 2중층 콘덴서 등의 커패시터로 형성되어 있는 것이 바람직하다. 용량부(529)는, RFCPU(511)를 구성하는 기관에 집적되어 있을 필요는 없고, 다른 부품으로서 RFCPU(511)에 내장할 수도 있다.
- [0170] 리셋 회로(517)는, 디지털 회로부(513)를 리셋하여 초기화하는 신호를 생성한다. 예를 들어, 전원전압의 상승에 지연되어 상승하는 신호를 리셋 신호로서 생성한다. 발진 회로(518)는, 정전압 회로(516)에 의해 생성되는 제어 신호에 따라, 클럭 신호의 주파수와 듀티비를 변경한다. 복조 회로(519)는, 수신 신호를 복조하는 회로이고, 변조 회로(520)는, 송신하는 데이터를 변조하는 회로이다.
- [0171] 예를 들어, 복조 회로(519)는 로우패스 필터로 형성되고, 진폭변조(ASK)방식의 수신 신호를, 그 진폭의 변동을 기초로 하여 2치화(二値化)한다. 또한, 송신 데이터를 진폭변조(ASK)방식의 송신 신호의 진폭을 변동시켜 송신하기 때문에, 변조 회로(520)는, 공진 회로(514)의 공진점을 변화시킴으로써 통신신호의 진폭을 변화시킨다.
- [0172] 클럭 컨트롤러(523)는, 전원전압 또는 중앙 처리 유닛(525)에 있어서의 소비전류에 따라서 클럭 신호의 주파수와 듀티비를 변경하기 위한 제어 신호를 생성한다. 전원전압의 감시는 전원 관리 회로(530)가 행하고 있다.

- [0173] 안테나(528)로부터 RF CPU(511)에 입력된 신호는 복조 회로(519)에서 복조된 후, RF 인터페이스(521)에서 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(522)에 격납된다. 제어 커맨드에는, 판독 전용 메모리(527)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(526)에 대한 데이터의 기록, 중앙 처리 유닛(525)에 대한 연산 명령 등이 포함된다.
- [0174] 중앙 처리 유닛(525)은, CPU 인터페이스(524)를 통하여 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522)에 액세스한다. CPU 인터페이스(524)는, 중앙 처리 유닛(525)이 요구하는 어드레스에 의거하여, 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522) 중 어느 하나에 대한 액세스 신호를 생성하는 기능을 갖고 있다.
- [0175] 중앙 처리 유닛(525)의 연산 방식은, 판독 전용 메모리(527)에 OS(operating system)를 기억시키고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용 회로로 연산 회로를 구성하고, 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산 회로에서 일부의 연산 처리를 행하고, 프로그램을 사용하여, 나머지의 연산을 중앙 처리 유닛(525)이 처리하는 방식을 적용할 수 있다.
- [0176] 다음에, 도 9a 내지 도 10b를 사용하여, 표시 장치에 대해서 설명한다.
- [0177] 도 9a 및 도 9b는 액정 표시장치를 설명하기 위한 도면이다. 도 9a는 액정 표시장치의 화소의 평면도이고, 도 9b는, J-K 절단선에 의한 도 9a의 단면도이다.
- [0178] 도 9a에 도시하는 바와 같이, 화소는, 단결정 반도체 막(320), 단결정 반도체 막(320)과 교차하고 있는 주사선(322), 주사선(322)과 교차하고 있는 신호선(323), 화소 전극(324), 화소 전극(324)과 단결정 반도체 막(320)을 전기적으로 접속하는 전극(328)을 갖는다. 단결정 반도체 막(320)은, 베이스 기판(120) 위에 형성된 단결정 반도체 막으로 형성된 층이며, 화소의 TFT(325)를 구성한다.
- [0179] SOI 기판에는 상기 실시형태에서 나타난 SOI 기판이 사용되고 있다. 도 9b에 도시하는 바와 같이, 베이스 기판(120) 위에, 제 2 절연막(122) 및 제 1 절연막(102)을 통하여 단결정 반도체 막(320)이 적층된다. 베이스 기판(120)으로서는, 유리 기판을 사용할 수 있다. TFT(325)의 단결정 반도체 막(320)은, SOI 기판의 단결정 반도체 막을 에칭에 의하여 소자 분리하여 형성된 막이다. 단결정 반도체 막(320)에는, 채널 형성 영역(340), 불순물 원소가 첨가된 n형의 고농도 불순물 영역(341)이 형성된다. TFT(325)의 게이트 전극은, 주사선(322)에 포함되고, 소스 전극 및 드레인 전극의 한쪽은 신호선(323)에 포함된다.
- [0180] 층간 절연막(327) 위에는, 신호선(323), 화소 전극(324) 및 전극(328)이 형성된다. 층간 절연막(327) 위에는, 기동형상 스페이서(329)가 형성된다. 신호선(323), 화소 전극(324), 전극(328) 및 기동형상 스페이서(329)를 덮고 배향막(330)이 형성되어 있다. 대향 기판(332)에는, 대향 전극(333), 대향 전극을 덮는 배향막(334)이 형성된다. 기동형상 스페이서(329)는, 베이스 기판(120)과 대향 기판(332)의 틈을 유지하기 위해서 형성된다. 기동형상 스페이서(329)에 의해서 형성되는 틈에 액정층(335)이 형성된다. 신호선(323) 및 전극(328)과 고농도 불순물 영역(341)의 접속부는, 콘택트 홀의 형성에 의해서 층간 절연막(327)에 단차가 생기기 때문에, 이 접속부에서는 액정층(335)의 액정의 배향이 흐트러지기 쉽다. 따라서, 이 단차부에 기동형상 스페이서(329)를 형성하여, 액정의 배향의 흐트러짐을 방지한다.
- [0181] 다음에, 일렉트로루미네선스 표시 장치(이하, EL 표시장치라고 한다)에 대해서 도 10a 및 도 10b를 참조하여 설명한다. 도 10a는 EL 표시장치의 화소의 평면도이고, 도 10b는, J-K 절단선에 의한 도 10a의 단면도이다.
- [0182] 도 10a에 도시하는 바와 같이, 화소는, TFT로 이루어지는 선택용 트랜지스터(401), 표시 제어용 트랜지스터(402), 주사선(405), 신호선(406), 및 전류 공급선(407), 화소전극(408)을 포함한다. 일렉트로루미네선스 재료를 포함하여 형성되는 층(EL층)이 한 쌍의 전극간에 있는 구조의 발광 소자가 각 화소에 형성된다. 발광 소자의 한쪽의 전극이 화소 전극(408)이다. 또한, 반도체 막(403)은, 선택용 트랜지스터(401)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성된다. 반도체 막(404)은, 표시 제어용 트랜지스터(402)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성된다. 반도체 막(403, 404)은, 베이스 기판 위에 형성된 단결정 반도체 막(302)으로 형성된 층이다.
- [0183] 선택용 트랜지스터(401)에 있어서, 게이트 전극은 주사선(405)에 포함되고, 소스 전극 또는 드레인 전극의 한쪽은 신호선(406)에 포함되고, 다른 쪽은 전극(410)으로서 형성된다. 표시 제어용 트랜지스터(402)는,

게이트 전극(412)이 전극(411)과 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 한쪽은, 화소 전극(408)에 전기적으로 접속되는 전극(413)으로서 형성되고, 다른 쪽은, 전류 공급선(407)에 포함된다.

[0184] 표시 제어용 트랜지스터(402)는 p채널형의 TFT이다. 도 10b에 도시하는 바와 같이, 반도체 막(404)에는, 채널 형성 영역(451), 및 p형의 고농도 불순물 영역(452)이 형성된다. 또한, SOI 기판은, 실시형태 1 내지 실시형태 4에서 제작한 SOI 기판이 사용되고 있다.

[0185] 표시 제어용 트랜지스터(402)의 게이트 전극(412)을 덮고, 층간 절연막(427)이 형성된다. 층간 절연막(427) 위에, 신호선(406), 전류 공급선(407), 전극(411, 413) 등이 형성되어 있다. 또한, 층간 절연막(427) 위에는, 전극(413)에 전기적으로 접속되어 있는 화소 전극(408)이 형성된다. 화소 전극(408)은 주변부가 절연성의 격벽층(428)으로 둘러싸여 있다. 화소 전극(408) 위에는 EL층(429)이 형성되고, EL층(429) 위에는 대향 전극(430)이 형성되어 있다. 보강판으로서 대향 기판(431)이 형성되어 있고, 대향 기판(431)은 수지층(432)에 의해 베이스 기판(120)에 고정된다.

[0186] EL 표시장치의 제조의 제어는, 발광 소자의 휘도를 전류로 제어하는 전류 구동 방식과, 전압으로 그 휘도를 제어하는 전압 구동 방식이 있지만, 전류 구동 방식은, 화소마다 트랜지스터의 특성값의 차이가 큰 경우, 채용하는 것은 어렵고, 이 때문에 특성의 차이를 보정하는 보정 회로가 필요하게 된다. SOI 기판의 제작 공정, 및 게터링 공정을 포함하는 제작 방법으로 EL 표시 장치를 제작하는 것으로, 선택용 트랜지스터(401) 및 표시 제어용 트랜지스터(402)는 화소마다 특성의 격차가 없어지기 때문에, 전류 구동 방식을 채용할 수 있다.

[0187] 즉, SOI 기판을 사용함으로써, 여러 가지의 전기 기기를 제작할 수 있다. 전기 기기로서는, 비디오 카메라, 디지털 카메라 등의 카메라, 내비게이션 시스템, 음향 재생 장치(카오디오, 오디오 콤포넌트 등), 컴퓨터, 게임 기기, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화, 휴대형 게임기 또는 전자 서적 등), 기록 매체를 구비한 화상 재생 장치(구체적으로는 DVD(digital versatile disc) 등의 기록 매체에 기억된 음성데이터를 재생하고, 또한 기억된 화상 데이터를 표시할 수 있는 표시 장치를 구비한 장치) 등이 포함된다. 그들 일례를 도 11a 내지 도 11c에 도시한다.

[0188] 도 11a 내지 도 11c는 실시형태 1 내지 실시형태 4에 따른 SOI 기판을 적용한 휴대 전화의 일례이며, 도 11a가 정면도, 도 11b가 배면도, 도 11c가 2개의 케이싱을 슬라이드시킬 때의 정면도이다. 휴대 전화는 케이싱(701) 및 케이싱(702) 2개의 케이싱으로 구성된다. 휴대 전화는 휴대 전화와 휴대 정보 단말의 쌍방의 기능을 구비하고, 컴퓨터를 내장하고, 음성 통화 이외에도 다양한 데이터 처리를 할 수 있는 소위 스마트 폰(smart phone)이다.

[0189] 휴대 전화는, 케이싱(701) 및 케이싱(702)으로 구성된다. 케이싱(701)에 있어서는, 표시부(703), 스피커(704), 마이크로 폰(705), 조작 키(706), 포인팅 디바이스(707), 표면 카메라용 렌즈(708), 외부 접속 단자 잭(jack)(709) 및 이어폰 단자(710) 등을 구비하고, 케이싱(702)에 있어서는, 키 보드(711), 외부 메모리 슬롯(712), 이면 카메라(713), 라이트(714) 등에 의하여 구성된다. 또한, 안테나는 케이싱(701)에 내장된다.

[0190] 또한, 휴대 전화에는 상기 구성에 더하여 비접촉형 IC칩, 소형 기록 장치 등을 내장하여도 좋다.

[0191] 중첩한 케이싱(701)과 케이싱(702)(도 11a 참조)은, 슬라이드시킬 수 있고, 슬라이드시킴으로써 도 11c에 도시하는 바와 같이 전개한다. 표시부(703)에는 실시형태 5에서 설명한 표시 장치의 제작 방법을 적용한 표시 패널 또는 표시 장치를 내장하는 것이 가능하다. 표시부(703)와 표면 카메라용 렌즈(708)을 동일한 면에 구비하기 때문에, TV 전화로서 사용할 수 있다. 또한, 표시부(703)를 뷰파인더로서 사용함으로써, 이면 카메라(713) 및 라이트(714)에 의하여 정지 영상 및 동영상의 촬영이 가능하다.

[0192] 스피커(704) 및 마이크로 폰(705)을 사용함으로써, 휴대 전화는 음성 기록 장치(녹음 장치) 또는 음성 재생 장치로서 사용할 수 있다. 또한, 조작 키(706)에 의하여 전화의 발신/착신 조작, 전자 메일 등의 간단한 정보 입력 조작, 표시부에 표시하는 화면의 스크롤(scroll) 조작, 표시부에 표시하는 정보의 선택 등을 행하는 커서(cursor)의 이동 조작 등이 가능하다.

[0193] 또한, 서류의 제작, 휴대 정보 단말로서의 사용 등, 취급 정보가 많은 경우는, 키 보드(711)을 사용하면 편리하다. 또한, 중첩한 케이싱(701)과 케이싱(702)(도 11a 참조)을 슬라이드시킴으로써, 도 11c와 같이 전개시킬 수 있다. 휴대 정보 단말로서 사용하는 경우에는, 키 보드(711) 및 포인팅 디바이스(707)를 사용하여 원활한 조작을 행할 수 있다. 외부 접속 단자 잭(709)은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(712)에 기록 매체를

삽입하고, 더 대량의 데이터 보존 및 이동이 가능하게 된다.

[0194] 케이싱(702)의 이면(도 11b 참조)에는, 이면 카메라(713) 및 라이트(714)를 구비하고, 표시부(703)를 뷰파인더로서 정지 영상 및 동영상의 촬영이 가능하다.

[0195] 또한, 상기 기능 구성에 더하여, 적외선 통신 기능, USB 포트, TV 원 세그먼트(one segment) 수신기능, 비접촉 IC칩 또는 이어폰 잭 등을 구비한 것이라도 좋다.

[0196] 본 실시형태에서 설명한 각종 전자 기기는, 실시형태 5에서 설명한 트랜지스터 및 표시 장치의 제작 방법을 적용하여 제작할 수 있기 때문에, 실시형태 1 내지 실시형태 4에 따른 SOI 기판을 적용함으로써, 이들의 전자 기기의 표시 특성 및 생산성 등을 향상시킬 수 있다.

[0197] [실시예 1]

[0198] 본 실시예에서는, 상기 실시형태에서 나타낸 염소를 함유하는 산화막에 대해서 설명한다.

[0199] 우선, 단결정 반도체 기판으로서 단결정 실리콘 기판을 준비하고, 상기 단결정 실리콘 기판에 염화 수소가 첨가된 산화성 분위기 중에서 열 처리를 행함으로써, 상기 단결정 실리콘 기판 위에 산화막(HCl 열 산화 SiO_2)을 형성하였다. 다음, 단결정 실리콘 기판에 산화막을 통하여 이온 도핑법을 사용하여 수소 이온을 조사함으로써, 단결정 실리콘 기판의 표면으로부터 소정의 깊이에 취화층을 형성하고, 산화막에 대해서 O_2 플라즈마 처리를 행하였다. 다음, 반도체 기판으로서 단결정 실리콘 기판을 준비하고, 산화막과 단결정 실리콘 기판을 접합시켜서 열 처리를 행함으로써, 취화층을 경계로 하여 분리됨으로써, 단결정 실리콘 기판 위에 산화막을 통하여 단결정 실리콘 막이 형성된 SOI 기판을 제작하였다.

[0200] 열 산화 처리는, 산소에 대해서 염화 수소(HCl)를 $\text{HCl}/\text{O}_2=3$ 부피%의 비율로 포함하는 산화성 분위기 중, 950°C 의 온도, 처리 시간은 210min로 하여 행하였다. 결과적으로, 100nm의 두께의 산화막이 형성되었다. 또한, 접합한 후의 열 처리는 열 처리로 사용하여 가열 온도 200°C , 2시간, 또 가열 온도 600°C , 2시간으로 하여 행하였다. 또한, 분리한 후의 단결정 실리콘 막의 두께는, 130nm이었다.

[0201] 그 후, 산화막에 포함되는 염소의 농도는, 2차 이온 질량 분석법(SIMS;Secondary Ion Mass Spectroscopy)을 사용하여 측정을 행하였다.

[0202] 도 12에 단결정 실리콘 기판 위에 형성된 산화막 중에 있어서의 SIMS 분석에 의한 염소의 농도 깊이 방향 프로파일을 도시한다. 또한, 도 12에 있어서, 염소 농도의 값은, 산화막(HCl 열 산화 SiO_2) 내만 유효하다.

[0203] 도 12에 의하여, 산화막 중에 포함되는 염소는 단결정 실리콘 막과의 계면에 많이 포함되는 것을 알 수 있다.

[0204] [실시예 2]

[0205] 본 실시예에서는, 단결정 반도체 기판 중에 형성된 산화막에 플라즈마 처리를 행함으로써, 단결정 반도체 기판 위에 형성된 산화막과 베이스 기판을 접합시킨 후, 박리함으로써 베이스 기판 위에 형성된 단결정 반도체 층의 상태에 대해서 설명한다.

[0206] 본 실시예에서 평가한 시료에 대해서 설명한다. 우선, 단결정 반도체 기판으로서 단결정 실리콘 기판을 2장 사용하여 각각 단결정 실리콘 기판의 표면에 염화 수소가 첨가된 산화성 분위기 중에서 열 처리를 행함으로써, 각각 단결정 실리콘 기판에 산화막(HCl 열 산화 SiO_2)을 형성하였다. 다음, 각각 단결정 실리콘 기판에 산화막을 통하여 이온 도핑법을 사용하여 수소 이온을 조사함으로써, 각각 단결정 실리콘 기판 중에 취화층을 형성하였다. 자세한 조건은, 이온 도핑 장치를 사용하여, 가속 전압 40kV, 도즈량 $2.2 \times 10^{16} \text{ ions/cm}^2$, 빔 전류 밀도 $2 \mu\text{A/cm}^2$ 로 하여 행하였다.

[0207] 다음, 수소 이온이 조사된 산화막(취화층이 형성되는 측)에 대해서 플라즈마 처리를 행하였다. 플라즈마 처리는 이하의 2개의 조건으로 행하였다. 조건 1로서, ICP 플라즈마 장치를 사용하여 처리 전력 1800W, 압력 66.5Pa, 산소 가스 유량 300sccm, 30초로 행하였다. 조건 2로서, RIE 장치를 사용하여 처리 전력 0.24W/cm^2 (=투입 전력 200W/하부 전극 819cm^2), 압력 66.7Pa, 산소 가스 유량 300sccm, 30초로 행하였다.

[0208] 다음, 플라즈마 처리가 행하여진 산화막과 베이스 기판을 접합시켜, 열 처리를 행함으로써, 취화층에

있어서 분리함으로써, 베이스 기판 위에 산화막을 통하여 단결정 실리콘 층이 형성된 SOI 기판을 제작하였다. 또한, 베이스 기판으로서 단결정 실리콘 기판을 사용하였다. 조건 1의 플라즈마 처리가 실시된 SOI 기판을 시료 A로 하고, 조건 2의 플라즈마 처리가 실시된 SOI 기판을 시료 B로 하였다.

[0209] 도 13a 내지 도 14b에 플라즈마 처리를 행하고, 접합을 행한 단결정 실리콘 층에 대해서 도시한다. 도 13a는, 시료 A의 단결정 실리콘 층의 표면이며, 도 13b는 도 13a의 확대도이다. 도 14a는 시료 B의 단결정 실리콘 층의 표면이고, 도 14b는 도 14a의 확대도이다.

[0210] 조건 1에 의하여, 산화막에 플라즈마 처리를 행한 후에 접합을 행한 경우에는, 베이스 기판 위에 형성된 단결정 실리콘 층에 복수의 결함이 관찰되었다(도 13b 참조). 조건 1의 경우는, 바이어스가 가해지지 않고, 산화막에 이온이 조사되기 어려웠다고 생각할 수 있다.

[0211] 이것에 대해서, 조건 2에 의하여 산화막에 플라즈마 처리를 행한 후에 접합을 행한 경우에는, 베이스 기판 위에 형성된 단결정 실리콘 층에 거의 결함을 확인할 수 없고, 산화막과 베이스 기판의 접합이 양호하게 행하여지는 것이 확인할 수 있었다(도 14a 및 도 14b 참조). RIE법은 파워가 크게 되면, 생성되는 플라즈마의 밀도도 높게 되고, 바이어스도 크게 된다. 따라서, 산화막의 깊은 부분까지 이온이 조사된다고 생각할 수 있다. 또한, Si-O결합으로부터 Si-OH결합으로 전환이 충분히 행하여졌다고 생각할 수 있다. 또한, 이온의 조사에 의한 휨의 형성이 충분히 행하여지고, 열 처리시의 물의 확산 또는 흡수가 촉진되었다고 생각할 수 있다.

[0212] 이상에 의하여, 접합면에 바이어스 전압을 인가하여 플라즈마 처리를 행함으로써, 산화막과 베이스 기판의 접합 강도를 향상시키고, 베이스 기판 위에 얻어지는 단결정 반도체 층의 결함을 저감할 수 있는 것을 확인할 수 있었다.

[0213] [실시예 3]

[0214] 본 실시예에서는, 단결정 반도체 기판 위에 형성된 산화막에 플라즈마 처리를 행한 경우의 표면 특성의 변화에 대해서 설명한다.

[0215] 본 실시예에서 평가한 시료에 대해서 설명한다. 우선, 시료 C는, 단결정 반도체 기판으로서 단결정 실리콘 기판을 사용하여, 단결정 실리콘 기판의 표면에 염화 수소가 첨가된 산화성 분위기 중에서 열 처리를 행함으로써, 단결정 실리콘 기판에 100nm의 산화막을 형성하였다.

[0216] 다음, 시료 D도 시료 C와 마찬가지로, 단결정 실리콘 기판을 사용하여 단결정 실리콘 기판의 표면에 염화 수소가 첨가된 산화성 분위기 중에서 열 처리를 행함으로써, 단결정 실리콘 기판에 100nm의 산화막을 형성하였다. 그 후, 산화막에 대해서 수소 이온을 조사하였다. 수소 이온의 조사 조건은, RF 방전형 이온 도핑 장치를 사용하여 수소 가스 유량 30sccm, 전원 출력 100W, 가속 전압 40kV, 도즈량 2.0×10^{16} ions/cm²의 조건으로 행하였다.

[0217] 다음, 시료 E도 시료 C와 마찬가지로, 단결정 실리콘 기판을 사용하여 단결정 실리콘 기판의 표면에 염화 수소가 첨가된 산화성 분위기 중에서 열 처리를 행함으로써, 단결정 실리콘 기판에 100nm의 산화막을 형성하였다. 그 후, 산화막에 대해서 수소 이온을 조사하였다. 수소 이온의 조사 조건은 시료 D와 마찬가지로, 그 후, 산화막의 표면에 플라즈마 처리를 행하였다. 플라즈마 처리의 조건은, Tegal사 제(製)의 장치(플라즈마 드라이 에칭 장치 모델 981ACS)를 사용하여, RIE(Reactive Ion Etching) 모드라고 불리는 방식으로, 처리 전력 200W, 압력 66.7Pa, 가스(O₂) 유량 100sccm, 처리 시간 30초의 조건으로 행하였다.

[0218] 다음, 시료 C, 시료 D, 시료 E의 산화막의 표면의 상태에 대해서, ToF-SIMS(Time of Flight-Secondary Ion Mass Spectrometry)에 의한 정성(定性) 분석을 행하였다. 도 15에 시료 C, 시료 D, 시료 E에 있어서의 산화막 표면의 분석 결과를 도시한다. 가로축은 시료 C, 시료 D, 시료 E를 나타내고, 세로축은 (SiO₂)n-OH계 음이온 강도를 나타낸다.

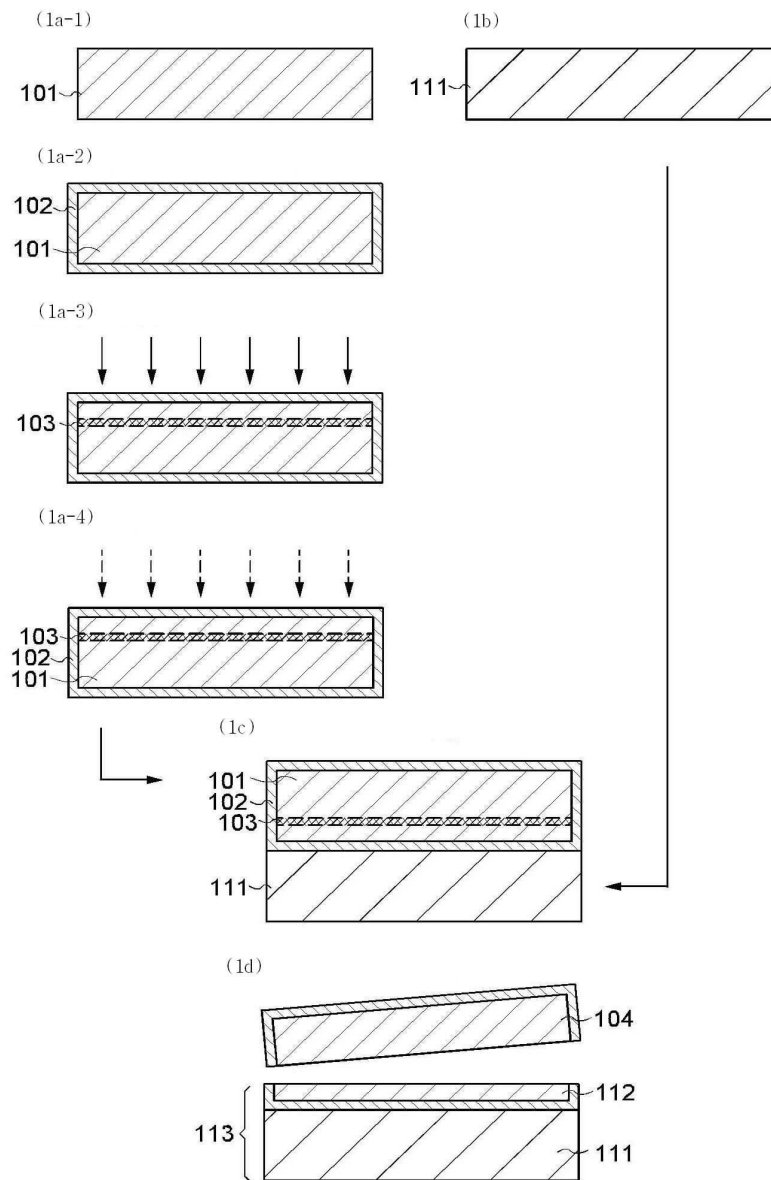
[0219] 플라즈마 처리를 행한 시료 E에 있어서의 산화막은, 그 외의 플라즈마 처리를 행하지 않는 시료 C, 시료 D와 비교하여 (SiO₂)n-OH 이온 강도가 높은 것을 확인할 수 있었다. 즉, 가속된 산소의 양 이온이 산화막의 표면에 충돌함으로써, 산화막 표면의 Si-H, Si-H₂, SiO₂를 감소시키고, (SiO₂)n-OH를 증가시킴으로써 확인할 수 있었다.

도면의 간단한 설명

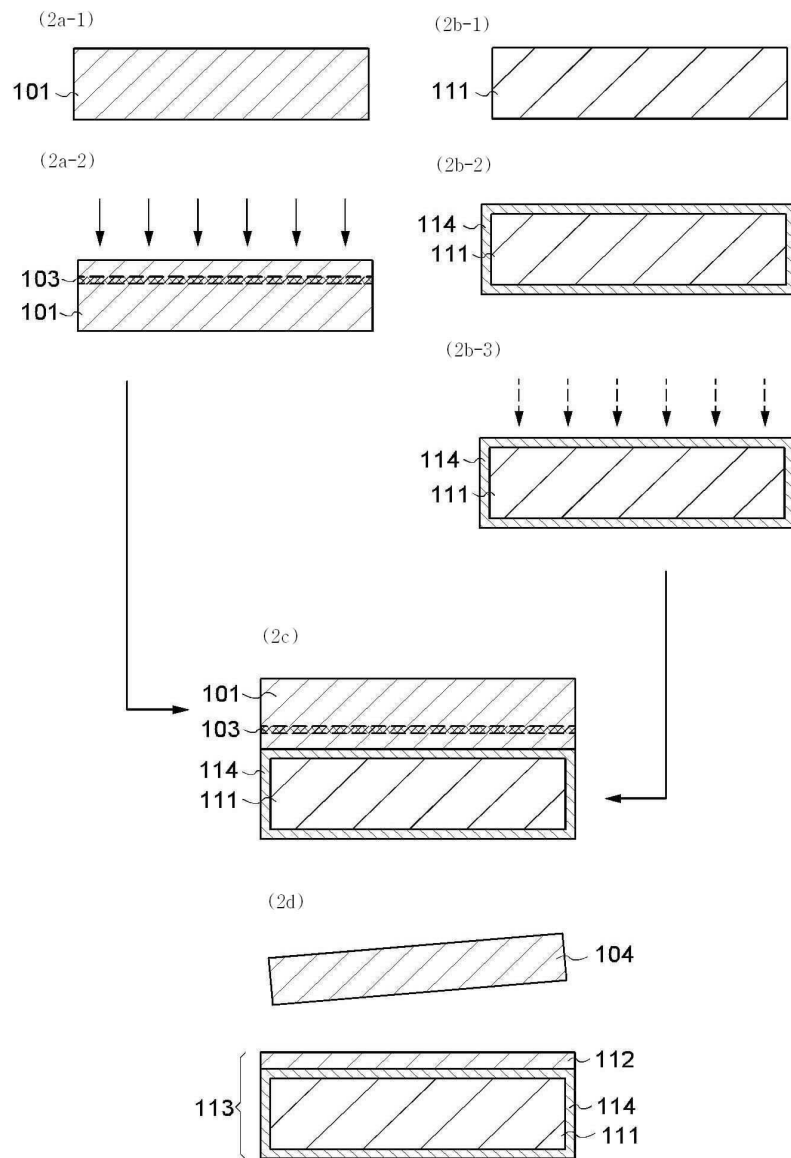
- [0220] 도 1a-1 내지 도 1d는 SOI 기판의 제작 방법의 일례를 도시하는 도면.
- [0221] 도 2a-1 내지 도 2d는 SOI 기판의 제작 방법의 일례를 도시하는 도면.
- [0222] 도 3a-1 내지 도 3d는 SOI 기판의 제작 방법의 일례를 도시하는 도면.
- [0223] 도 4a-1 내지 도 4d는 SOI 기판의 제작 방법의 일례를 도시하는 도면.
- [0224] 도 5a 내지 도 5e는 SOI 기판을 사용한 반도체 장치의 제작 방법의 일례를 도시하는 도면.
- [0225] 도 6a 내지 도 6d는 SOI 기판을 사용한 반도체 장치의 제작 방법의 일례를 도시하는 도면.
- [0226] 도 7은 SOI 기판을 사용한 반도체 장치의 일례를 도시하는 도면.
- [0227] 도 8은 SOI 기판을 사용한 표시 장치의 일례를 도시하는 도면.
- [0228] 도 9a 및 도 9b는 SOI 기판을 사용한 표시 장치의 일례를 도시하는 도면.
- [0229] 도 10a 및 도 10b는 SOI 기판을 사용한 표시 장치의 일례를 도시하는 도면.
- [0230] 도 11a 내지 도 11c는 SOI 기판을 사용한 전자 기기의 일례를 도시하는 도면.
- [0231] 도 12는 SIMS에 의한 산화실리콘막의 염소 농도의 깊이 방향 프로파일.
- [0232] 도 13a는 베이스 기판 위에 형성된 단결정 실리콘 층의 표면을 도시하는 도면이고, 도 13b는 도 13a를 확대한 도면.
- [0233] 도 14a는 베이스 기판 위에 형성된 단결정 실리콘 층의 표면을 도시하는 도면이고, 도 14b는 도 14a를 확대한 도면.
- [0234] 도 15는 단결정 실리콘 기판 위에 형성된 산화막의 ToF-SIMS의 측정 결과를 도시하는 도면.
- [0235] 도 16은 SOI 기판의 제작 방법에 있어서의 플라즈마 처리의 일례를 설명하는 도면.
- [0236] 도 17은 SOI 기판의 제작 방법에 있어서의 플라즈마 처리의 일례를 설명하는 도면.
- [0237] <도면의 주요 부분에 대한 부호의 설명>
- [0238] 101: 단결정 반도체 기판 102: 절연막
- [0239] 103: 취화층 104: 단결정 반도체 기판
- [0240] 111: 반도체 기판 112: 단결정 반도체 층
- [0241] 113: SOI 기판

도면

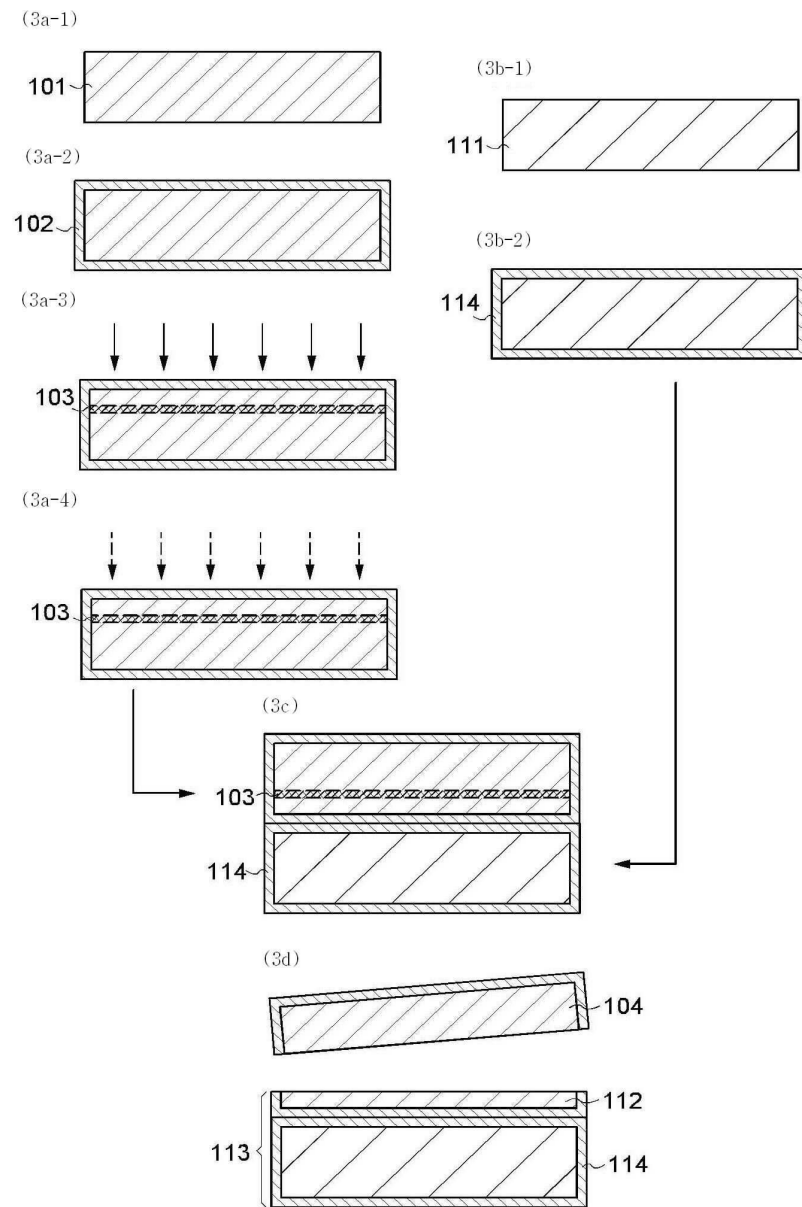
도면1



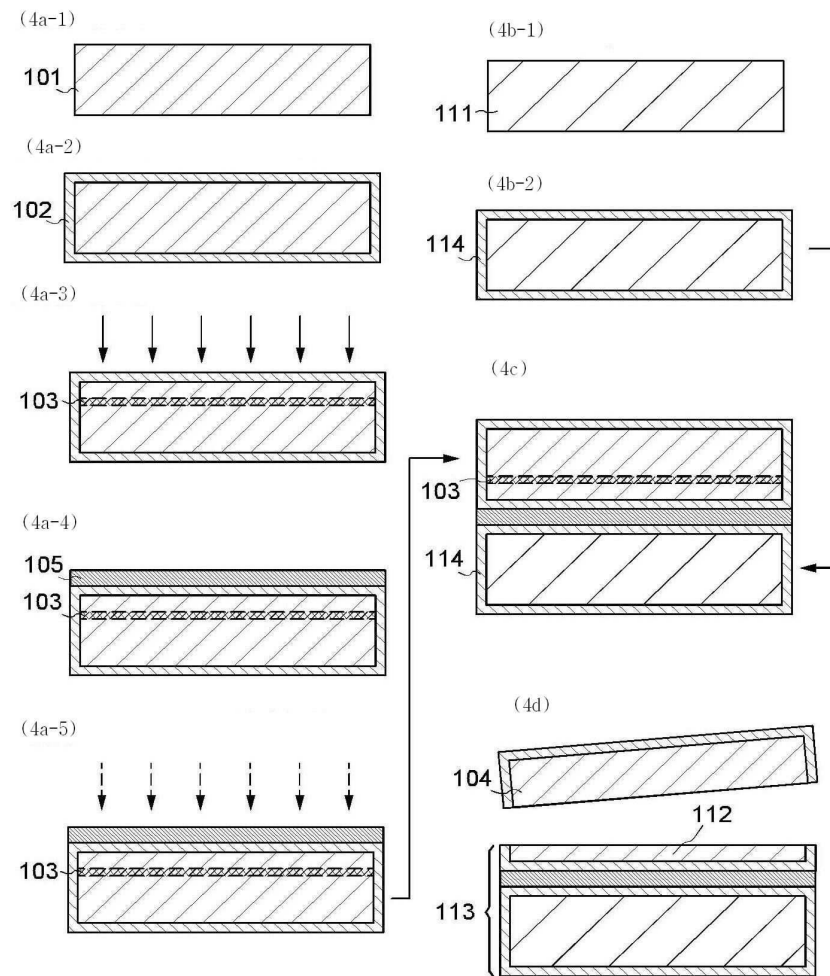
도면2



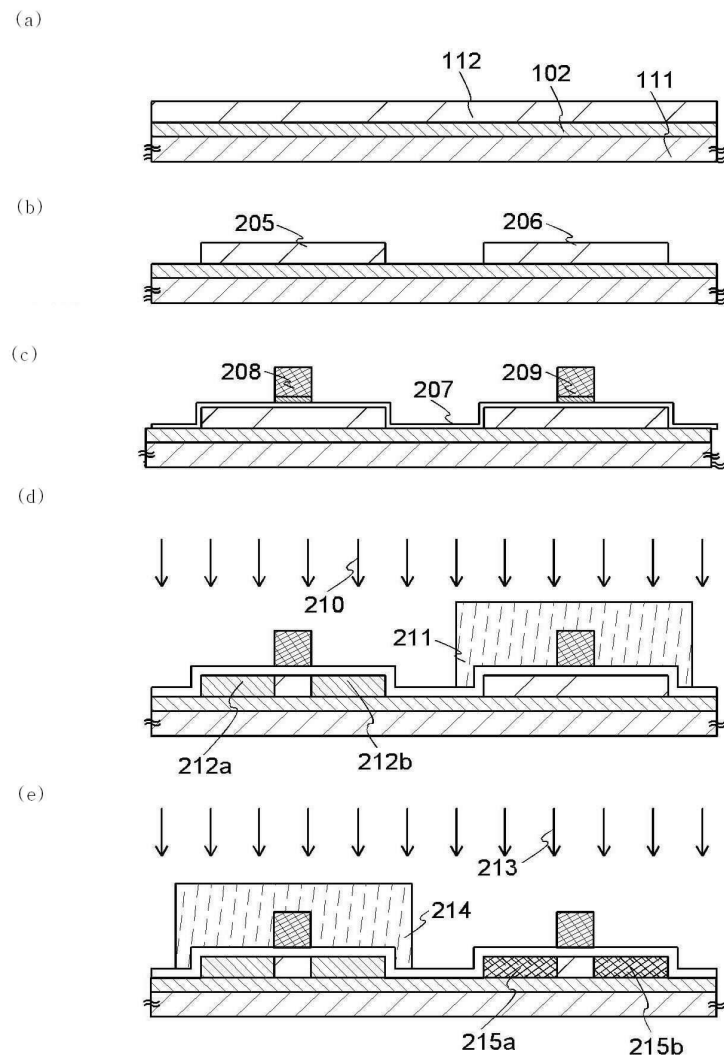
도면3



도면4

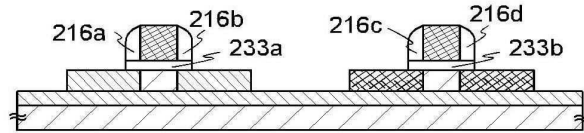


도면5

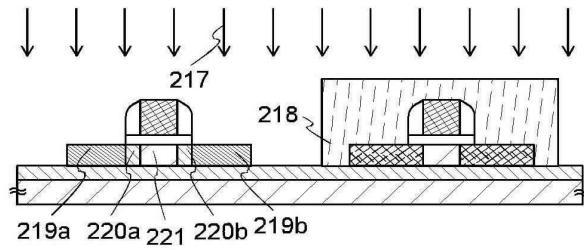


도면6

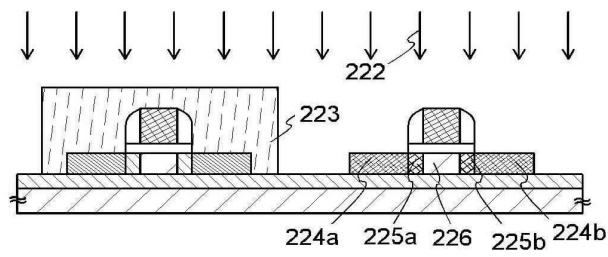
(a)



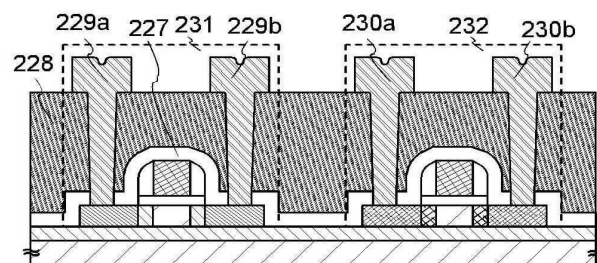
(b)



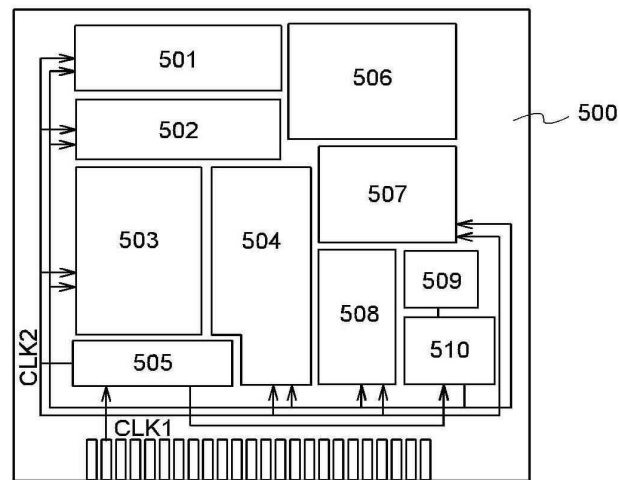
(c)



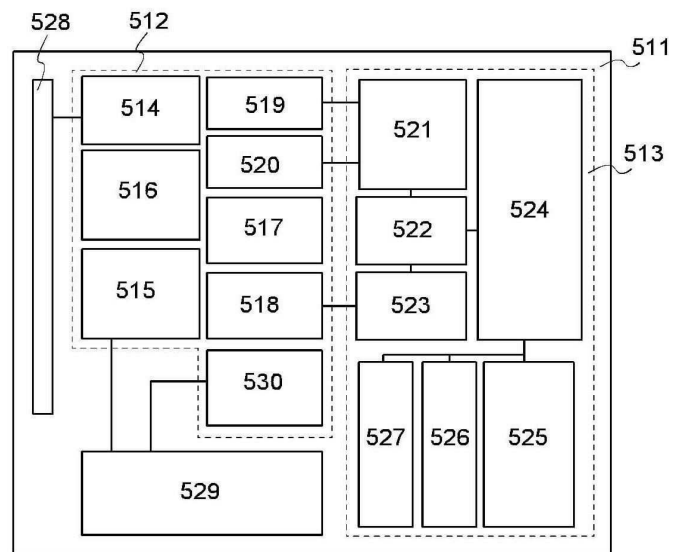
(d)



도면7

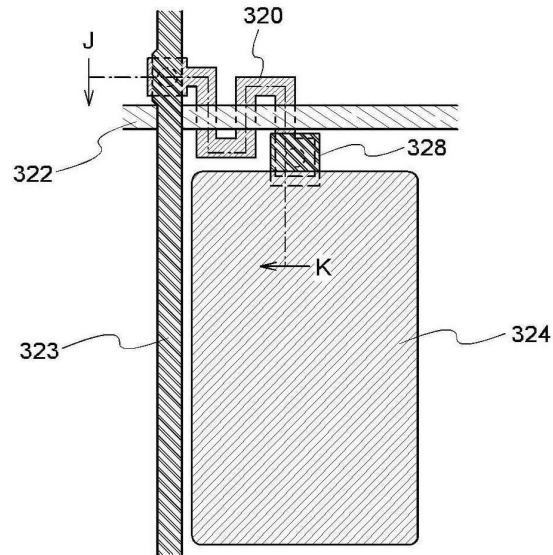


도면8

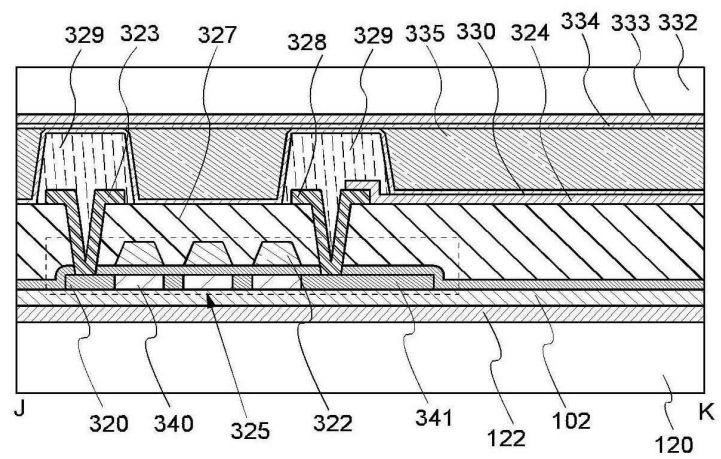


도면9

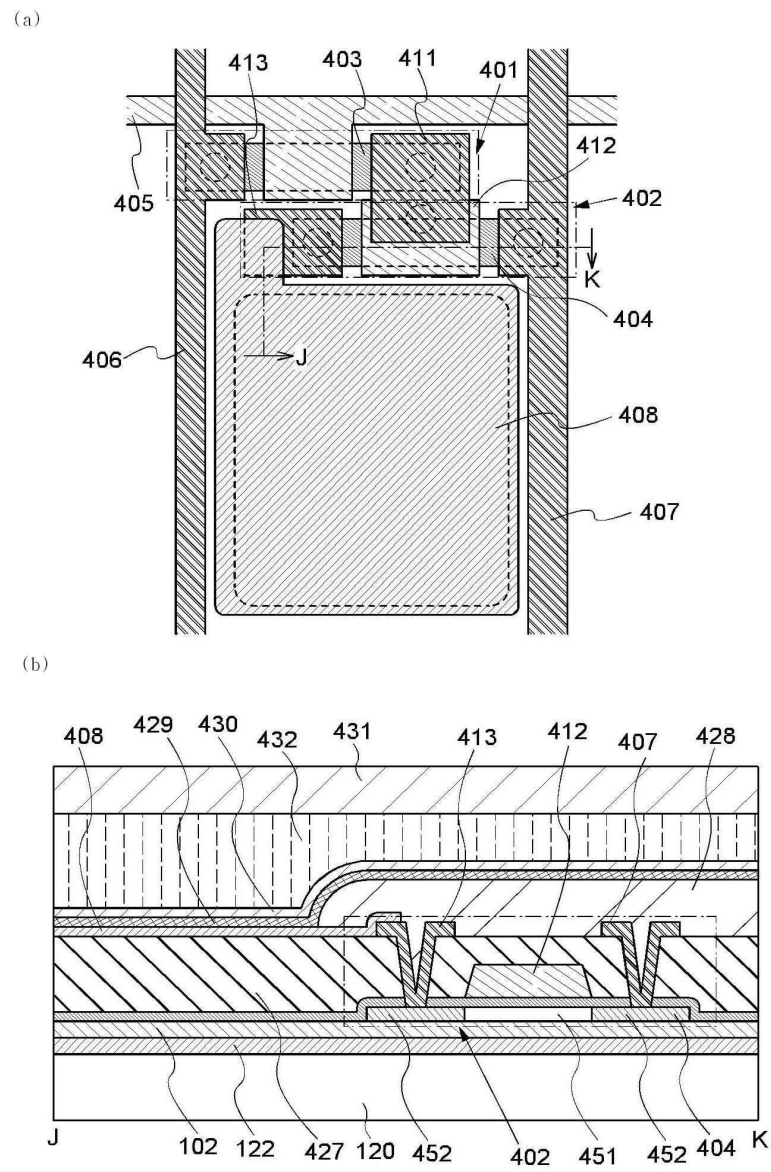
(a)



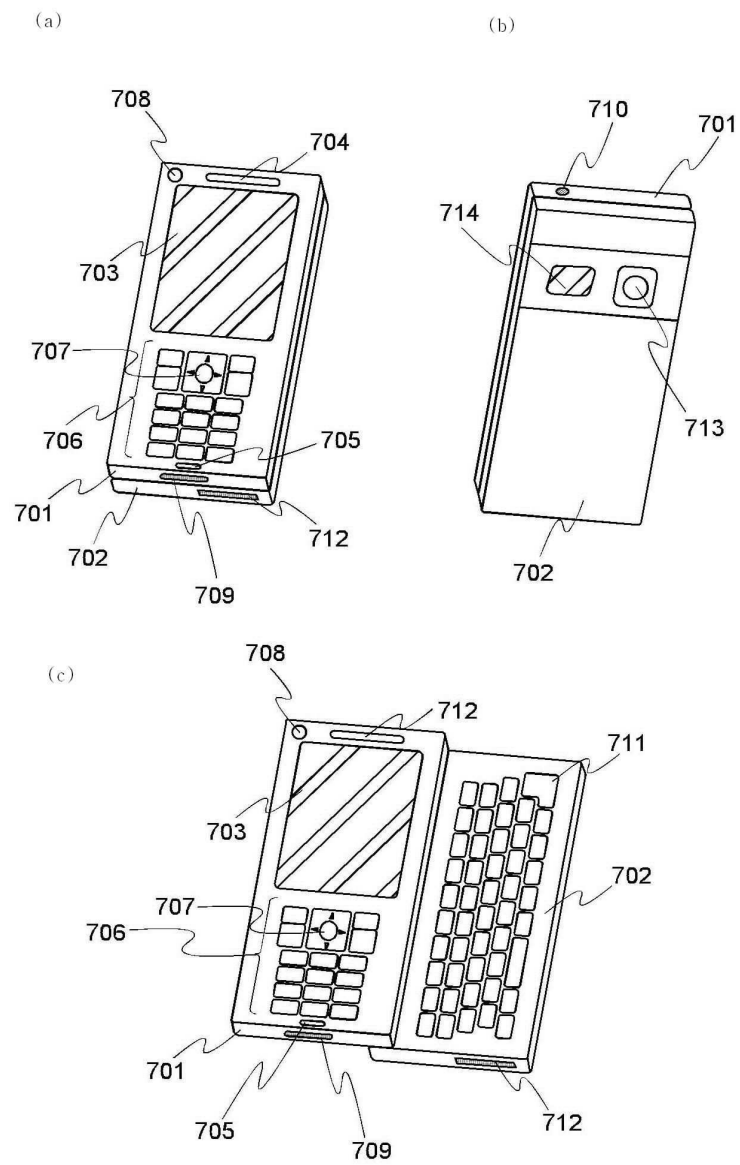
(b)



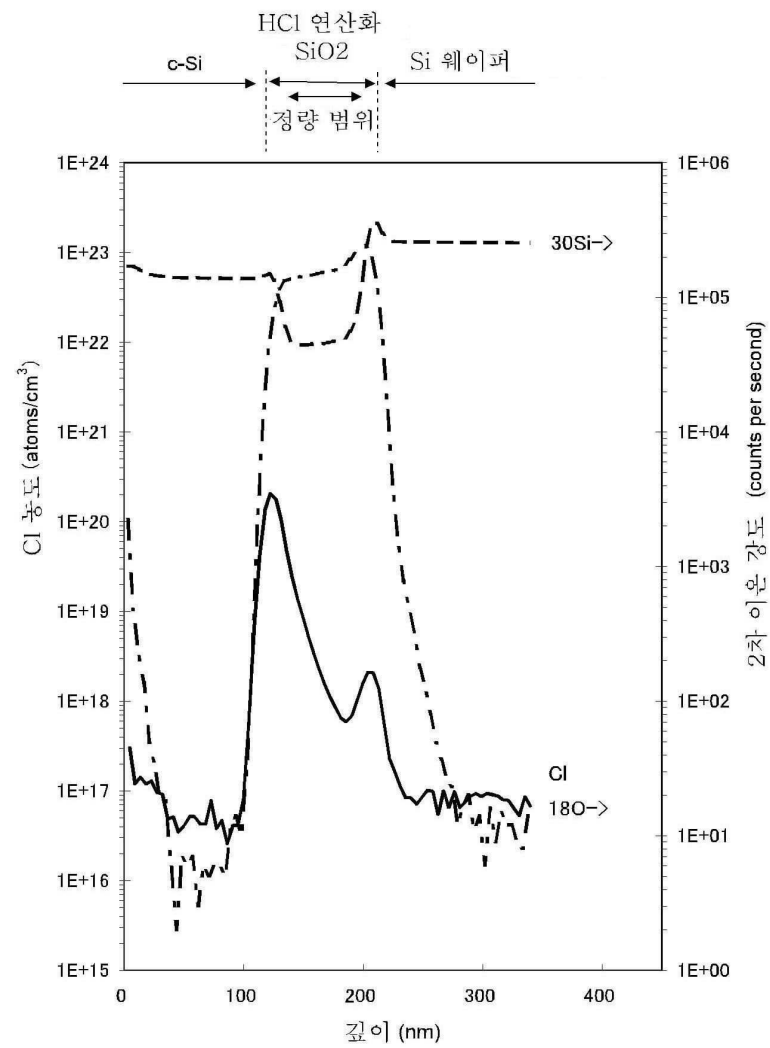
도면10



도면11

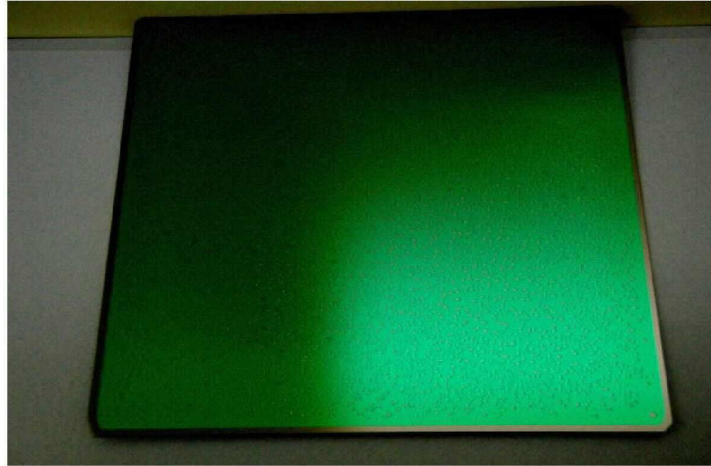


도면12



도면13

(a)

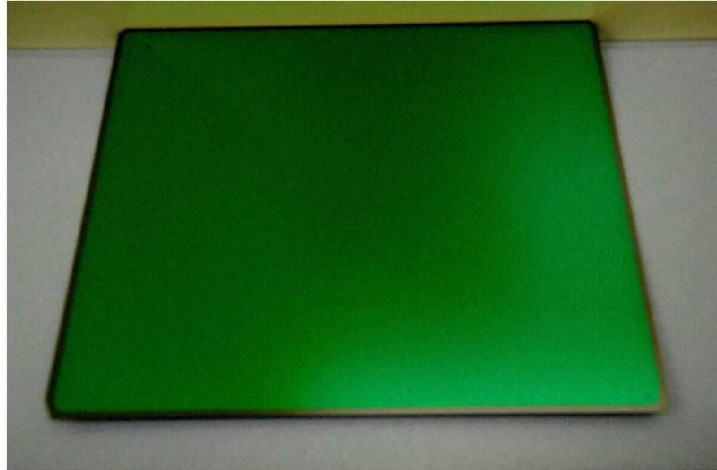


(b)



도면14

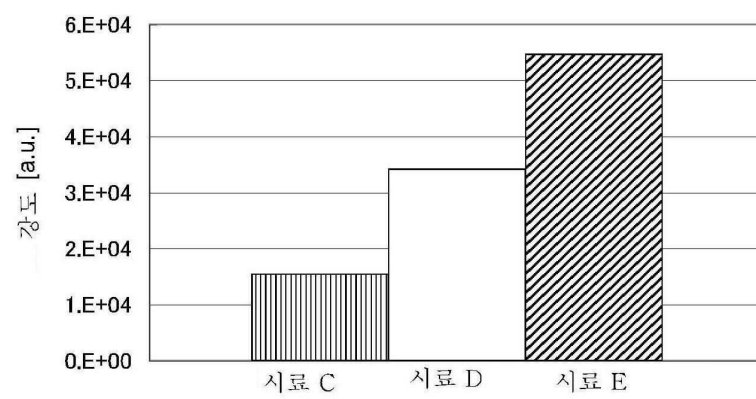
(a)



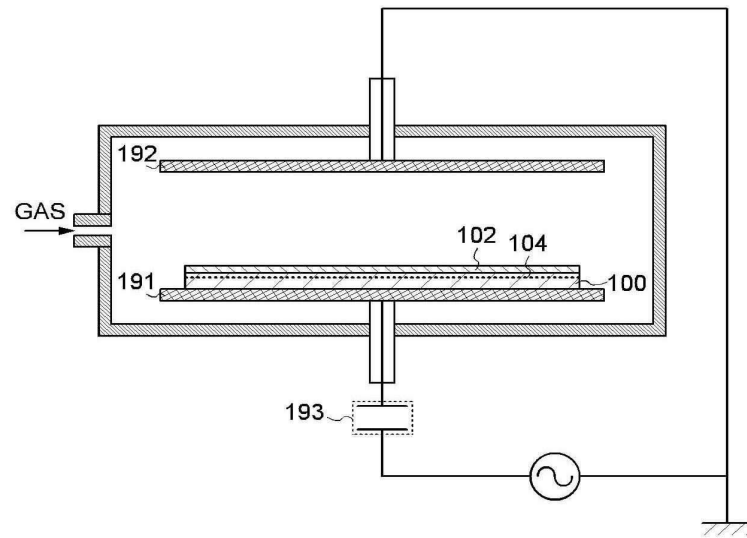
(b)



도면15



도면16



도면17

