

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012 年 1 月 26 日(26.01.2012)

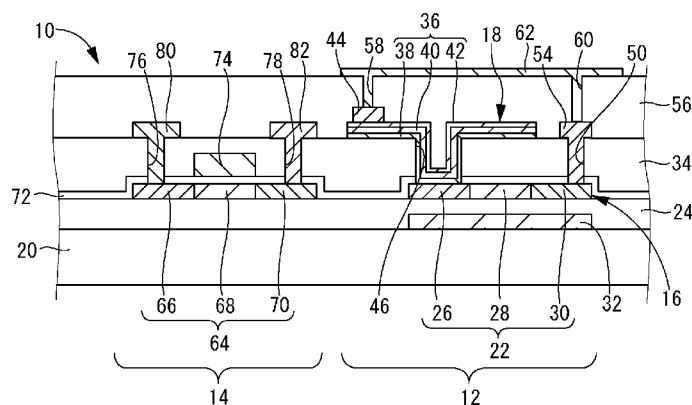
(10) 国際公開番号
WO 2012/011448 A1

- (51) 国際特許分類:
H01L 31/10 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2011/066261
- (22) 国際出願日: 2011 年 7 月 15 日(15.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-164146 2010 年 7 月 21 日(21.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 木山 雅志 (KIYAMA Masashi). 北角 英人(KITAKADO Hidehito).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜 1 丁目 4 番 1 6 号 アクア堂島西館 インテリクス 国際特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: PHOTENSOR AND SEMICONDUCTOR DEVICE PROVIDED WITH SAID PHOTENSOR

(54) 発明の名称: 光センサ及び該光センサを備えた半導体装置

[図1]



(57) Abstract: Disclosed is a photosensor that has a novel structure and that can increase photodetection sensitivity across a wide wavelength region including the region of visible light. Further disclosed is a semiconductor device provided with said photosensor. The photosensor is provided with: a first photodiode (16) that is formed on a substrate (20) and that is provided with a diode semiconductor film (22) having an n-type region (26), an intrinsic region (28) and a p-type region (30); and a second photodiode (18) that is formed on the diode semiconductor film (22), is connected in parallel to the first photodiode (16), and is configured containing a semiconductor layer (36) that has an intrinsic layer (40) as well as an n-type layer (38) and/or a p-type layer (42). One of either the intrinsic region (28) or the intrinsic layer (40) is formed from crystalline silicon, and the other of either the intrinsic region (28) or the intrinsic layer (40) is formed from amorphous silicon.

(57) 要約:

[続葉有]



可視光領域を含む幅広い波長域に亘って光検出感度を向上させることが出来る、新規な構造の光センサ及びこの光センサを備えた半導体装置を提供することを、目的とする。基板 20 上に形成されて、n 型領域 26 と真性領域 28 と p 型領域 30 を有するダイオード用半導体膜 22 を備える第一のフォトダイオード 16 と、ダイオード用半導体膜 22 上に形成されて、n 型層 38 と p 型層 42 の少なくとも一方と真性層 40 を有する半導体層 36 を含んで構成されると共に第一のフォトダイオード 16 と並列に接続される第二のフォトダイオード 18 とを、備えており、真性領域 28 と真性層 40 の一方が結晶質シリコンによって形成され、真性領域 28 と真性層 40 の他方が非晶質シリコンによって形成されている。

明 細 書

発明の名称： 光センサ及び該光センサを備えた半導体装置

技術分野

[0001] 本発明は、光センサ及び該光センサを備えた半導体装置に関する。

背景技術

[0002] 近年、特開 2 0 0 9 - 1 0 1 2 5 号公報（特許文献 1）に記載されているように、薄膜ダイオードと薄膜トランジスタが同じ基板上に形成された半導体装置が知られている。このような半導体装置においては、製造工程の簡略化等の観点から、薄膜ダイオードや薄膜トランジスタの活性領域となる島状半導体層が基板上に形成された同一の結晶質ケイ素膜によって形成されている。

[0003] ところで、結晶質ケイ素膜を基板上に形成する方法としては、特許文献 1 にも記載されているように、基板上に形成された非晶質ケイ素膜にレーザー光を照射して非晶質ケイ素膜を結晶化させる方法が一般的に利用されている。それ故、照射するレーザー光の波長との関係上、非晶質ケイ素膜を薄くする必要がある。

[0004] しかしながら、非晶質ケイ素膜を薄くすると、非晶質ケイ素膜にレーザー光を照射することで形成される結晶質ケイ素膜や、当該結晶質ケイ素膜からなる島状半導体層が薄くなる。その結果、薄膜ダイオードの光検出感度が十分でないという問題があった。

発明の開示

[0005] 本発明の目的は、可視光領域を含む幅広い波長域に亘って光検出感度を向上させることが出来る、新規な構造の光センサ及びこの光センサを備えた半導体装置を提供することである。

[0006] 本発明の光センサは、基板上に形成されて、n 型領域と真性領域と p 型領域を有するダイオード用半導体膜を備える第一のフォトダイオードと、前記ダイオード用半導体膜上に形成されて、n 型層と p 型層の少なくとも一方と

真性層を有する半導体層を含んで構成されると共に前記第一のフォトダイオードと並列に接続される第二のフォトダイオードとを、備えており、前記真性領域と前記真性層の一方が結晶質シリコンによって形成され、該真性領域と該真性層の他方が非晶質シリコンによって形成されている。

[0007] 本発明の光センサによれば、可視光領域を含む幅広い波長域に亘って光検出感度を向上させることができる。

図面の簡単な説明

[0008] [図1]本発明の第一の実施形態としての半導体装置の概略構成を示す断面図。

[図2]図1に示した半導体装置を構成する第一のフォトダイオードと第二のフォトダイオードの位置関係を説明するための平面説明図。

[図3]図1に示した半導体装置を構成する第二のフォトダイオードの拡大断面図。

[図4]図1に示した半導体装置を液晶表示装置の光センサ部として用いた場合の等価回路図。

[図5A]図1に示した半導体装置の製造工程を説明するための断面図であって、遮光層が基板上に形成された状態を示す断面図。

[図5B]図1に示した半導体装置の製造工程を説明するための断面図であって、第一の半導体層とトランジスタ用半導体膜が下地層上に形成された状態を示す断面図。

[図5C]図1に示した半導体装置の製造工程を説明するための断面図であって、ゲート電極がゲート絶縁膜上に形成された状態を示す断面図。

[図5D]図1に示した半導体装置の製造工程を説明するための断面図であって、n型不純物が注入される状態を示す断面図。

[図5E]図1に示した半導体装置の製造工程を説明するための断面図であって、p型不純物が注入される状態を示す断面図。

[図5F]図1に示した半導体装置の製造工程を説明するための断面図であって、層間絶縁膜にコンタクトホールが形成された状態を示す断面図。

[図5G]図1に示した半導体装置の製造工程を説明するための断面図であって

、第二の半導体層が形成された状態を示す断面図。

[図5H]図1に示した半導体装置の製造工程を説明するための断面図であって、電極・配線が形成された状態を示す断面図。

[図5I]図1に示した半導体装置の製造工程を説明するための断面図であって、平坦化膜にコンタクトホールが形成された状態を示す断面図。

[図6]本発明の第二の実施形態としての半導体装置の概略構成を示す断面図。

[図7]本発明の第三の実施形態としての半導体装置の概略構成を示す断面図。

[図8]本発明の第四の実施形態としての半導体装置の概略構成を示す断面図。

[図9]本発明の第五の実施形態としての半導体装置の概略構成を示す断面図。

[図10]本発明の第六の実施形態としての半導体装置の概略構成を示す断面図。

発明を実施するための形態

[0009] 本発明の一実施形態に係る光センサは、基板上に形成されて、n型領域と真性領域とp型領域を有するダイオード用半導体膜を備える第一のフォトダイオードと、前記ダイオード用半導体膜上に形成されて、n型層とp型層の少なくとも一方と真性層を有する半導体層を含んで構成されると共に前記第一のフォトダイオードと並列に接続される第二のフォトダイオードとを、備えており、前記真性領域と前記真性層の一方が結晶質シリコンによって形成され、該真性領域と該真性層の他方が非晶質シリコンによって形成されている（光センサに関する第1の構成）。

[0010] 光センサに関する第1の構成においては、可視光領域での光検出感度が結晶質シリコンよりも優れている非晶質シリコンによって、真性領域と真性層の一方が形成されている。これにより、第一のフォトダイオードと第二のフォトダイオードの一方において、可視光領域での光検出感度を向上させることができる。

[0011] また、可視光領域以外の波長域での光検出感度が非晶質シリコンよりも優れている結晶質シリコンによって、真性領域と真性層の他方が形成されている。これにより、第一のフォトダイオードと第二のフォトダイオードの他方

において、可視光領域以外の波長域での光検出感度を向上させることができる。

[0012] 従って、光センサに関する第1の構成においては、可視光領域を含む幅広い波長域に亘って光検出感度を向上させることができる。

[0013] 光センサに関する第2の構成は、前記光センサに関する第1の構成において、前記ダイオード用半導体膜が前記結晶質シリコンによって形成されている構成である。このような構成においては、真性領域だけを結晶質シリコンによって形成する場合に比して、第一のフォトダイオードの製造工程の簡略化を図ることができる。

[0014] 光センサに関する第3の構成は、前記光センサに関する第1又は第2の構成において、前記半導体層が、前記p型層と、前記真性層と、前記n型層を有している構成である。このような構成においては、半導体層だけで第二のフォトダイオードを構成することができる。

[0015] 光センサに関する第4の構成は、前記光センサに関する第1又は第2の構成において、前記半導体層が、前記n型領域上に形成された前記真性層と、該真性層上に形成された前記p型層を有している構成である。このような構成においては、第一のフォトダイオードのn型領域が第二のフォトダイオードの一部（n型不純物がドーピングされたn⁺領域）を兼ねている。その結果、第二のフォトダイオードの製造工程の簡略化を図ることができる。

[0016] 光センサに関する第5の構成は、前記光センサに関する第1又は第2の構成において、前記半導体層が、前記p型領域上に形成された前記真性層と、該真性層上に形成された前記n型層を有している構成である。このような構成においては、第一のフォトダイオードのp型領域が第二のフォトダイオードの一部（p型不純物がドーピングされたp⁺領域）を兼ねている。その結果、第二のフォトダイオードの製造工程の簡略化を図ることができる。

[0017] 光センサに関する第6の構成は、前記光センサに関する第1～第5の構成の何れか一つにおいて、前記真性層の厚さが100nm～800nmとされている構成である。このような構成においては、第二のフォトダイオードの

光検出感度を良好にしつつ、真性層が剥がれるのを防ぐことができる。

[0018] 光センサに関する第7の構成は、前記光センサに関する第1～第6の構成の何れか一つにおいて、前記ダイオード用半導体膜を覆うように形成された層間絶縁膜を更に備え、前記層間絶縁膜上に前記半導体層が形成され、前記層間絶縁膜を厚さ方向に貫通するように形成されたコンタクトホール内に前記半導体層が入り込んでおり、前記コンタクトホール内において前記半導体層と前記ダイオード用半導体膜が接触している構成である。このような構成においては、第二のフォトダイオードの受光面積を大きくすることができる。その結果、第二のフォトダイオードの光検出感度を向上させることが可能となる。

[0019] 光センサに関する第8の構成は、前記光センサに関する第7の構成において、前記半導体層が前記n型領域とp型領域の何れか一方だけに接触している構成である。このような構成においては、第二のフォトダイオードの受光面積を確保しつつ、第一のフォトダイオードの受光面積を確保することができる。その結果、第一のフォトダイオードと第二のフォトダイオードのそれぞれの光検出感度を向上させることが可能となる。

[0020] 本発明の一実施形態に係る半導体装置は、前記本発明の一実施形態に係る光センサと、前記基板上に形成されて、チャネル領域、ソース領域及びドレイン領域を有するトランジスタ用半導体膜と、前記チャネル領域の導電性を制御するゲート電極と、該ゲート電極と前記トランジスタ用半導体膜の間に設けられたゲート絶縁膜とを有する薄膜トランジスタとを備えている（半導体装置に関する第1の構成）。

[0021] 半導体装置に関する第1の構成においては、優れた光検出感度を有する光センサを備えた半導体装置を実現することができる。

[0022] 半導体装置に関する第2の構成は、前記半導体装置に関する第1の構成において、前記ダイオード用半導体膜と前記トランジスタ用半導体膜が、それぞれ、前記結晶質シリコンによって形成されている構成である。このような構成においては、ダイオード用半導体膜とトランジスタ用半導体膜を同じ製

造工程で形成することができる。その結果、半導体装置の製造工程の簡略化を図ることが可能となる。

[0023] 半導体装置に関する第3の構成は、前記半導体装置に関する第1又は第2の構成において、前記基板には、該基板からの不純物拡散を防ぐための下地層を更に備え、前記ダイオード用半導体膜と前記トランジスタ用半導体膜が前記下地層上に形成されている構成である。このような構成においては、ダイオード用半導体膜とトランジスタ用半導体膜を同じ製造工程で形成することができる。その結果、半導体装置の製造工程の簡略化を図ることが可能となる。

[0024] 半導体装置に関する第4の構成は、前記半導体装置に関する第1～第3の構成の何れか一つにおいて、前記ダイオード用半導体膜の厚さと前記トランジスタ用半導体膜の厚さが同じである構成である。このような構成においては、ダイオード用半導体膜とトランジスタ用半導体膜を同じ製造工程で形成することができる。その結果、半導体装置の製造工程の簡略化を図ることが可能となる。なお、ダイオード用半導体膜の厚さとトランジスタ用半導体膜の厚さは完全に同じである必要はなく、実質的に同じであれば良い。

[0025] 以下、本発明のより具体的な実施形態について、図面を参照しながら説明する。なお、以下で参照する各図は、説明の便宜上、本発明の実施形態の構成部材のうち、本発明を説明するために必要な主要部材のみを簡略化して示したものである。従って、本発明に係る光センサ及び半導体装置は、本明細書が参照する各図に示されていない任意の構成部材を備え得る。また、各図中の部材の寸法は、実際の構成部材の寸法および各部材の寸法比率等を忠実に表したものである。

[0026] [第一の実施形態]

図1には、半導体装置に関する本発明の第一の実施形態としての半導体装置10が示されている。この半導体装置10は、光センサに関する本発明の第一の実施形態としての光センサ12と、薄膜トランジスタ14とを備えている。

- [0027] より詳細には、光センサ１２は、第一のフォトダイオード１６と、第二のフォトダイオード１８とを備えている。
- [0028] 第一のフォトダイオード１６は、基板２０上に形成されたダイオード用半導体膜２２を備えている。基板２０としては、低アルカリガラス基板や石英基板を採用することができる。
- [0029] 本実施形態では、基板２０上に形成された下地層２４を介して、ダイオード用半導体膜２２が基板２０上に形成されている。下地層２４は、基板２０からの不純物拡散を防ぐために設けられている。下地層２４としては、酸化シリコン膜を採用することができる。下地層２４の厚さは、好ましくは１００～６００ｎｍ、より好ましくは１５０～４５０ｎｍとされている。
- [0030] ダイオード用半導体膜２２は、結晶質シリコンによって形成されている。結晶質シリコンとしては、低温ポリシリコンや高温ポリシリコン、連続粒界シリコン、微結晶シリコン等を採用することができる。ダイオード用半導体膜２２の厚さは、２５～１００ｎｍとされている。
- [0031] ダイオード用半導体膜２２には、ｎ型領域２６と真性領域２８とｐ型領域３０とがこの順番で下地層２４に沿って並ぶように形成されている。このことから明らかなように、第一のフォトダイオード１６は所謂ラテラル構造のＰＩＮダイオードとされている。
- [0032] なお、本実施形態では、図２に示されているように、ｎ型領域２６だけがダイオード用半導体膜２２の幅方向（図１において紙面に垂直な方向）一方側へ突出して形成されている。
- [0033] このような第一のフォトダイオード１６（ダイオード用半導体膜２２）の下方には、基板２０上に形成されて且つ下地層２４で覆われた遮光層３２が設けられている。これにより、第一のフォトダイオード１６が設けられた側とは反対側から、基板２０を通過して、ダイオード用半導体膜２２に光が入射するのを防止している。
- [0034] 遮光層３２は、金属材料等によって形成されている。半導体装置１０の製造方法を考慮すると、遮光層３２は高融点金属であるＴａやＷ，Ｍｏ等で形

成されていることが望ましい。遮光層 32 の厚さは、200～300 nm とされている。

[0035] 第一のフォトダイオード 16（ダイオード用半導体膜 22）を覆うようにして、層間絶縁膜 34 が基板 20 上に形成されている。層間絶縁膜 34 としては、例えば、窒化シリコン膜と酸化シリコン膜がこの順番で形成されたもの等を採用することができる。本実施形態では、後述するゲート絶縁膜 72 が、ダイオード用半導体膜 22 を覆うようにして、下地層 24 上に形成されている。そして、ゲート絶縁膜 72 と下地層 24 とを介して、層間絶縁膜 34 が基板 20 上に形成されている。

[0036] 層間絶縁膜 34 上には、第二のフォトダイオード 18 が設けられている。第二のフォトダイオード 18 は、半導体層 36 を備えている。

[0037] 半導体層 36 は、図 3 にも示されているように、n 型層 38 と真性層 40 と p 型層 42 とがこの順番で積層されたものである。このことから明らかなように、第二のフォトダイオード 18 は所謂積層構造の PIN ダイオードとされている。

[0038] n 型層 38、真性層 40 及び p 型層 42 は、何れも、アモルファスシリコンによって形成されている。n 型層 38 の厚さは、膜剥がれや処理時間の関係から、20～100 nm とされている。真性層 40 の厚さは、真性層 40 による光の吸収を可能にすると共に真性層 40 が n 型層 38 から剥がれるのを防止するために、100～800 nm とされている。p 型層 42 の厚さは、膜剥がれや処理時間の関係から、20～100 nm とされている。

[0039] 半導体層 36 の長さ方向寸法（図 2 の左右方向の寸法）は、ダイオード用半導体膜 22 の長さ方向寸法（図 2 の左右方向の寸法）と略同じとされている。半導体層 36 の幅方向寸法（図 2 の上下方向の寸法）は、ダイオード用半導体膜 22 の幅方向寸法（図 2 の上下方向の寸法）よりも僅かに短くされている。

[0040] このような半導体層 36 は、その長さ方向がダイオード用半導体膜 22 の長さ方向と一致するようにして、層間絶縁膜 34 上に形成されている。換言

すれば、半導体層 36 は、ダイオード用半導体膜 22 に形成された三つの領域（n 型領域 26、真性領域 28 及び p 型領域 30）が並ぶ方向に略一定の幅寸法で延びるようにして、層間絶縁膜 34 上に形成されている。

[0041] このようにして層間絶縁膜 34 上に形成された半導体層 36 は、基板 20 の厚さ方向の投影において、ダイオード用半導体膜 22 と重なっている。基板 20 の厚さ方向の投影において、半導体層 36 の $2/3$ 以上がダイオード用半導体膜 22 と重なっている。

[0042] 基板 20 の厚さ方向の投影において半導体層 36 の全体がダイオード用半導体膜 22 と重なる位置よりもダイオード用半導体膜 22 の長さ方向一方側（n 型領域 26 側）に、半導体層 36 が形成されている。これにより、半導体層 36 は、基板 20 の厚さ方向から見た場合に、p 型領域 30 における真性領域 28 との境界付近と真性領域 28 と n 型領域 26 に重なっている。基板 20 の厚さ方向の投影において、真性領域 28 の略全体が半導体層 36 と重なっている。

[0043] 半導体層 36 において基板 20 の厚さ方向から見た場合にダイオード用半導体膜 22 と重ならない部分の上には、電極・配線 44 が形成されている。これにより、p 型層 42 と電極・配線 44 が接続されている。電極・配線 44 としては、例えば、窒化チタン膜とアルミニウム膜の二層構造を有するもの等を採用することができる。

[0044] 層間絶縁膜 34 及びゲート絶縁膜 72 には、基板 20 の厚さ方向の投影において、n 型領域 26 と半導体層 36 の両方に対して重なる位置にコンタクトホール 46 が形成されている。半導体層 36 は、コンタクトホール 46 内に入り込んでいる。これにより、コンタクトホール 46 の内周面と底面（n 型領域 26 においてコンタクトホール 46 を通じて露出されている部分）が半導体層 36 で覆われている。このことから明らかなように、n 型層 38 はコンタクトホール 46 内において n 型領域 26 と接触している。

[0045] 層間絶縁膜 34 及びゲート絶縁膜 72 には、n 型層 38 と n 型領域 26 を接触させるためのコンタクトホール 46 以外にも、層間絶縁膜 34 及びゲー

ト絶縁膜 72 を厚さ方向に貫通するコンタクトホール 48, 50 が形成されている。コンタクトホール 48 は、基板 20 の厚さ方向の投影において、n 型領域 26 においてダイオード用半導体膜 22 の幅方向一方側へ突出している部分と重なる位置に形成されている。コンタクトホール 50 は、基板 20 の厚さ方向の投影において、半導体層 36 の長さ方向一端よりも外側であって且つ p 型領域 30 と重なる位置に形成されている。このようにして、コンタクトホール 48, 50 が形成されていることにより、n 型領域 26 と p 型領域 28 のそれぞれに対して、層間絶縁膜 34 上に形成された電極・配線 52, 54 が接続されている。電極・配線 52, 54 は、半導体層 36 (p 型層 42) 上に形成された電極・配線 44 と同じ材料で形成されている。

[0046] 半導体層 36 や電極・配線 44, 52, 54 を覆うようにして、平坦化膜 56 が層間絶縁膜 34 上に形成されている。平坦化膜 56 としては、酸化シリコン膜を採用することができる。平坦化膜 56 の厚さは、1000~4000 nm とされている。

[0047] 平坦化膜 56 には、平坦化膜 56 を厚さ方向に貫通するコンタクトホール 58, 60 が形成されている。これにより、電極・配線 44, 54 と平坦化膜 56 上に形成された電極・配線 62 が接続されている。電極・配線 62 としては、酸化インジウム錫 (ITO) 膜を採用することができる。

[0048] 一方、薄膜トランジスタ 14 は、下地層 24 を介して基板 20 上に形成されたトランジスタ用半導体膜 64 を備えている。トランジスタ用半導体膜 64 は、結晶質シリコンによって形成されている。結晶質シリコンとしては、低温ポリシリコンや高温ポリシリコン、連続粒界シリコン、微結晶シリコン等を採用することができる。

[0049] トランジスタ用半導体膜 64 を形成する結晶質シリコンは、ダイオード用半導体膜 22 を形成する結晶質シリコンと同じであっても良いし、異なっても良い。光センサ 12 と薄膜トランジスタ 14 のそれぞれにおいて要求されるデバイス特性に応じるために、ダイオード用半導体膜 22 を形成する結晶質シリコンとトランジスタ用半導体膜 64 を形成する結晶質シリコンを

異ならせても良い。ダイオード用半導体膜 22 を形成する結晶質シリコンとトランジスタ用半導体膜 64 を形成する結晶質シリコンを異ならせる方法としては、例えば、アモルファスシリコン膜をレーザ照射して、後にダイオード用半導体膜 22 やトランジスタ用半導体膜 64 となるポリシリコン膜を形成する場合、アモルファスシリコンシリコン膜の結晶化を促進する触媒元素をアモルファスシリコン膜において後にダイオード用半導体膜 22 となる領域とトランジスタ用半導体膜 64 となる領域とに添加した後、アモルファスシリコン膜をレーザ照射する方法等を採用することができる。なお、本実施形態では、トランジスタ用半導体膜 64 を形成する結晶質シリコンとダイオード用半導体膜 22 を形成する結晶質シリコンは同じとされている。

[0050] トランジスタ用半導体膜 64 の厚さは、ダイオード用半導体膜 22 の厚さと略同じである。トランジスタ用半導体膜 64 には、ソース領域 66 とチャネル領域 68 とドレイン領域 70 とがこの順番で下地層 24 に沿って並ぶように形成されている。

[0051] 薄膜トランジスタ 14 は、トランジスタ用半導体膜 64 を覆うようにして、下地層 24 上に形成されたゲート絶縁膜 72 を備えている。ゲート絶縁膜 72 は、トランジスタ用半導体膜 64 だけでなく、ダイオード用半導体膜 22 も覆っている。ゲート絶縁膜 72 としては、酸化シリコン膜を採用することができる。ゲート絶縁膜 72 の厚さは、20～150 nm とされている。

[0052] 薄膜トランジスタ 14 は、ゲート絶縁膜 72 上に形成されたゲート電極 74 を備えている。ゲート電極 74 は、基板 20 の厚さ方向の投影において、チャネル領域 68 を覆う位置に形成されている。ゲート電極 74 にゲート電圧を印加することによって、ソース領域 66 とドレイン領域 70 が接続されるようになっている。

[0053] ゲート電極 74 は、高融点金属である W や Ta, Ti, Mo 或いはこれら高融点金属の合金材料によって形成されている。ゲート電極 74 の厚さは、300～600 nm とされている。

[0054] ゲート電極 74 は、ゲート絶縁膜 72 上に形成された層間絶縁膜 34 によ

って覆われている。層間絶縁膜 34 には、層間絶縁膜 34 を厚さ方向に貫通するコンタクトホール 76, 78 が形成されている。

[0055] コンタクトホール 76 は、基板 20 の厚さ方向の投影において、ソース領域 66 と重なる位置に形成されている。コンタクトホール 78 は、基板 20 の厚さ方向の投影において、ドレイン領域 70 と重なる位置に形成されている。このようにして、コンタクトホール 76, 78 が形成されていることにより、ソース領域 66 とドレイン領域 70 のそれぞれに対して、層間絶縁膜 34 上に形成された電極・配線 80, 82 が接続されている。

[0056] 電極・配線 80, 82 は、半導体層 36 上に形成された電極・配線 44 と同じ材料で形成されている。電極・配線 80, 82 は、平坦化膜 56 によって覆われている。

[0057] このような半導体装置 10 は、タッチセンサ機能を有する液晶表示装置の光センサ部として用いることができる。半導体装置 10 を光センサ部に用いた場合の等価回路図を図 4 に示す。

[0058] 光センサ部は、第一のフォトダイオード 16 と、第二のフォトダイオード 18 と、コンデンサ 84 と、薄膜トランジスタ 14 を備えている。第一のフォトダイオード 16 の p 型領域 30 と第二のフォトダイオードの p 型層 42 には、それぞれ、リセット信号を供給するための配線が接続されている。第一のフォトダイオード 16 の n 型領域 26 と第二のフォトダイオード 18 の n 型層 38 には、それぞれ、コンデンサ 84 の一方の電極と薄膜トランジスタ 14 のゲート電極 74 が接続されている。コンデンサ 84 の他方の電極には、読み出し信号を供給するための配線が接続されている。薄膜トランジスタ 14 のソース領域 66 には、定電圧を供給するための配線が接続されている。薄膜トランジスタ 14 のドレイン領域 70 から光センサ部のセンサ回路出力データが出力される。

[0059] このような光センサ部においては、リセット信号及び読み出し信号をそれぞれ所定のタイミングで供給することにより、第一のフォトダイオード 16 及び第二のフォトダイオード 18 で受光した光の量に応じたセンサ回路出力

データを得ることができる。

[0060] 具体的には、先ず、読み出し信号をハイレベルにする。これにより、読み出し期間が開始する。読み出し期間中、リセット信号はローレベルとされている。

[0061] 読み出し信号がハイレベルの間、コンデンサ 84 を介して蓄積ノード 86 の電位がプルアップされる。プルアップされた蓄積ノード 86 の電位が薄膜トランジスタ 14 の閾値電圧を超えると、薄膜トランジスタ 14 が ON 状態となり、センサ回路出力データが出力される。なお、蓄積ノード 86 とは、コンデンサ 84 と、第一のフォトダイオード 16 の n 型領域 26 と、第二のフォトダイオード 18 の n 型層 38 と、薄膜トランジスタ 14 のゲート電極 74 との接続点である。

[0062] 読み出し信号をローレベルにすることにより、読み出し期間が終了する。読み出し期間が終了したら、リセット信号をハイレベルにする。これにより、リセット期間が開始される。リセット期間中、読み出し信号はローレベルにされている。

[0063] リセット信号がハイレベルの間、第一のフォトダイオード 16 と第二のフォトダイオード 18 のそれぞれに順方向電流が流れる。その結果、蓄積ノード 86 の電位がリセットされる。

[0064] リセット信号をローレベルにすることにより、リセット期間が終了する。リセット期間が終了したら、センシング期間が開始される。センシング期間中、読み出し信号はローレベルにされている。

[0065] リセット信号をローレベルにすることにより、第一のフォトダイオード 16 と第二のフォトダイオード 18 のそれぞれに逆バイアスが発生する。そして、第一のフォトダイオード 16 と第二のフォトダイオード 18 のそれぞれに入射した光の量に応じて発生する光電流によって、蓄積ノード 86 の電位が変化する。

[0066] このような動作を繰り返すことにより、光センサ部からのセンサ回路出力データの読み出しを行うことができる。

[0067] 続いて、上述の如き半導体装置 10 の製造方法について、説明する。なお、半導体装置 10 の製造方法は、以下に記載の製造方法に限定されない。

[0068] 先ず、遮光層 32 を基板 20 上の所定位置に形成する。具体的には、先ず、後に遮光層 32 となる金属膜をスパッタによって基板 20 の上面全体に形成する。その後、この金属膜をフォトリソグラフィによってパターニングする。これにより、図 5 A に示されているように、遮光層 32 が基板 20 上の所定位置に形成される。

[0069] 次に、下地層 24 を CVD (Chemical Vapor Deposition) によって基板 20 の上側に形成する。これにより、遮光層 32 と、基板 20 の上面において遮光層 32 で覆われていない領域とが、下地層 24 で覆われる。

[0070] 続いて、ダイオード用半導体膜 22 とトランジスタ用半導体膜 64 とを下地層 24 上に形成する。具体的には、先ず、アモルファスシリコン膜をプラズマ CVD やスパッタ等によって下地層 24 の上面全体に形成する。続いて、アモルファスシリコン膜にエキシマレーザーを照射する。これにより、下地層 24 の上面全体を覆うポリシリコン膜が形成される。その後、ポリシリコン膜をフォトリソグラフィによってパターニングする。これにより、図 5 B に示されているように、ダイオード用半導体膜 22 とトランジスタ用半導体膜 64 が下地層 24 上の所定位置に形成される。

[0071] 次に、ゲート絶縁膜 72 をプラズマ CVD 等によって基板 20 の上側に形成する。これにより、ダイオード用半導体膜 22 と、トランジスタ用半導体膜 64 と、下地層 24 においてダイオード用半導体膜 22 やトランジスタ用半導体膜 64 で覆われていない領域とが、ゲート絶縁膜 72 で覆われる。

[0072] 続いて、ゲート電極 74 をゲート絶縁膜 72 上に形成する。具体的には、先ず、後にゲート電極 74 となる導電膜をスパッタ又は CVD 等によってゲート絶縁膜 72 の上面全体に形成する。その後、この導電膜をフォトリソグラフィによってパターニングする。これにより、図 5 C に示されているように、ゲート電極 74 がゲート絶縁膜 72 上の所定位置に形成される。

[0073] 次に、リン等の n 型不純物をダイオード用半導体膜 22 とトランジスタ用

半導体膜 64 とに注入する。具体的には、先ず、図 5 D に示されているように、ダイオード用半導体膜 22 の一部を覆うようにして、レジストからなるマスク 88 をゲート絶縁膜 72 上に形成する。その後、リン等の n 型不純物をイオンドーピングする。これにより、ダイオード用半導体膜 22 においてマスク 88 で覆われていない領域とトランジスタ用半導体膜 64 においてゲート電極 74 で覆われていない領域とに n 型不純物が注入される。その結果、ダイオード用半導体膜 22 には、n 型領域 26 が形成される。トランジスタ用半導体膜 64 には、ソース領域 66 とドレイン領域 70 とが形成される。トランジスタ用半導体膜 64 において n 型不純物が注入されていない領域は、真性半導体で形成されたチャネル領域 68 となる。ダイオード用半導体膜 22 及びトランジスタ用半導体膜 64 への n 型不純物の注入が終了したら、マスク 88 を除去する。

[0074] 続いて、ボロン等の p 型不純物をダイオード用半導体膜 22 に注入する。具体的には、先ず、図 5 E に示されているように、ダイオード用半導体膜 22 の一部とトランジスタ用半導体膜 64 の全体とを覆うようにして、レジストからなるマスク 90 をゲート絶縁膜 72 上に形成する。その後、ボロン等の p 型不純物をイオンドーピングする。これにより、ダイオード用半導体膜 22 においてマスク 90 で覆われていない領域に p 型不純物が注入される。その結果、p 型領域 30 がダイオード用半導体膜 22 に形成される。ダイオード用半導体膜 22 において n 型不純物も p 型不純物も注入されなかった領域は、真性半導体で形成された真性領域 28 となる。ダイオード用半導体膜 22 への p 型不純物の注入が終了したら、マスク 90 を除去する。

[0075] 次に、ダイオード用半導体膜 22 及びトランジスタ用半導体膜 64 へ注入した不純物を活性化させる。具体的には、不活性雰囲気下で、RTA (Rapid Thermal Annealing) による熱処理を行う。これにより、ダイオード用半導体膜 22 の n 型領域 26 及び p 型領域 30 と、トランジスタ用半導体膜 64 のソース領域 66 及びドレイン領域 70 とにおいて、イオンドーピングの際に生じた結晶欠陥等のドーピングダメージが回復し、注入された不純物が活

性化される。

[0076] 続いて、層間絶縁膜 34 をプラズマ CVD 等によって基板 20 の上側に形成する。これにより、ゲート電極 74 と、ゲート絶縁膜 72 においてゲート電極 74 で覆われていない領域とが、層間絶縁膜 34 で覆われる。

[0077] このようにして形成されたゲート絶縁膜 72 及び層間絶縁膜 34 に対して、図 5 F に示されているように、層間絶縁膜 34 及びゲート絶縁膜 72 を厚さ方向に貫通するコンタクトホール 46, 48, 50, 76, 78 を形成する。コンタクトホール 46, 48, 50, 76, 78 は、フォトリソグラフィによって形成される。

[0078] 次に、半導体層 36 を形成する。具体的には、先ず、後に n 型層 38 となる n 型半導体膜をプラズマ CVD によって基板 20 の上側に形成する。これにより、層間絶縁膜 34 の上面及びコンタクトホール 46, 48, 50, 76, 78 内が、n 型半導体膜で覆われる。

[0079] n 型半導体膜は、n 型不純物がドーピングされたアモルファスシリコン膜である。n 型半導体膜を CVD によって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。n 型半導体膜を CVD によって形成する際のドーピングガスとしては、例えば、ホスフィンを採用することができる。

[0080] n 型半導体膜を形成したら、後に真性層 40 となる真性半導体膜をプラズマ CVD によって n 型半導体膜上に形成する。これにより、n 型半導体膜の上面全体が真性半導体膜で覆われる。

[0081] 真性半導体膜は、真性半導体で形成されたアモルファスシリコン膜である。真性半導体膜を CVD によって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。

[0082] 真性半導体膜を形成したら、後に p 型層 42 となる p 型半導体膜をプラズマ CVD によって真性半導体膜上に形成する。これにより、真性半導体膜の上面全体が p 型半導体膜で覆われる。

[0083] p 型半導体膜は、p 型不純物がドーピングされたアモルファスシリコン膜

である。p型半導体膜をCVDによって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。p型半導体膜をCVDによって形成する際のドーピングガスとしては、例えば、ジボランを採用することができる。

[0084] このようにして、n型半導体膜と真性半導体膜とp型半導体膜を基板20の上側に順次形成した後、これらの半導体膜をフォトリソグラフィによってパターニングする。これにより、図5Gに示されているように、目的とする半導体層36が形成される。

[0085] 次に、電極・配線52, 54, 80, 82を層間絶縁膜34上に形成すると共に、電極・配線44を半導体層36上に形成する。具体的には、先ず、後に電極・配線44, 52, 54, 80, 82となる導電膜をスパッタやCVD等によって基板20の上側に形成する。これにより、半導体層36と、層間絶縁膜34の上面において半導体層36で覆われていない領域と、コンタクトホール48, 50, 76, 78内とが、導電膜で覆われる。その後、導電膜をフォトリソグラフィによってパターニングする。これにより、図5Hに示されているように、電極・配線52, 54, 80, 82が層間絶縁膜34上に形成され、電極・配線44が半導体層36上に形成される。

[0086] 続いて、平坦化膜56をプラズマCVD等によって基板20の上側に形成する。これにより、電極・配線44, 52, 54, 80, 82と、半導体層36と、層間絶縁膜34において電極配線44, 52, 54, 80, 82や半導体層36で覆われていない領域とが、平坦化膜56で覆われる。

[0087] このようにして形成された平坦化膜56に対して、図5Iに示されているように、平坦化膜56を厚さ方向に貫通するコンタクトホール58, 60を形成する。コンタクトホール58, 60は、フォトリソグラフィによって形成される。

[0088] 続いて、電極・配線62を平坦化膜56上に形成する。具体的には、先ず、後に電極・配線62となる導電膜をスパッタによって平坦化膜56の上面全体に形成する。これにより、平坦化膜56の上面全体が導電膜で覆われる

。その後、導電膜をフォトリソグラフィによってパターニングする。これにより、平坦膜 56 上の所定位置に電極・配線 62 が形成される。

[0089] このような製造方法によって、目的とする半導体装置 10 が得られる。

[0090] 上述の如き半導体装置 10 は、第一のフォトダイオード 16 の真性領域 28 がポリシリコンによって形成され、第二のフォトダイオード 18 の真性層 40 がアモルファスシリコンによって形成されている。可視光領域では、アモルファスシリコンのほうがポリシリコンよりも光検出感度が優れており、可視光領域以外の波長域では、ポリシリコンのほうがアモルファスシリコンよりも光検出感度が優れている。それ故、可視光領域の光は、主に第二のフォトダイオード 18 の真性層 40 で吸収され、可視光領域外の波長域の光は、主に第一のフォトダイオード 16 の真性領域 28 で吸収される。

[0091] 従って、上述の如き半導体装置 10 においては、光センサ 12 の光検出感度を、可視光領域を含む幅広い波長域に亘って、向上させることができる。

[0092] 第一のフォトダイオード 16 には、真性半導体で形成された領域（真性領域 28）が設けられている。これにより、第一のフォトダイオード 16 の光検出感度を向上させることが可能となる。

[0093] 第二のフォトダイオード 18 には、真性半導体で形成された層（真性層 40）が設けられている。これにより、第二のフォトダイオード 18 の光検出感度を向上させることが可能となる。

[0094] 半導体層 36 が層間絶縁膜 34 上に n 型層 38 と真性層 40 と p 型層 42 とを積層した構造とされている。これにより、第二のフォトダイオード 18 の受光面積を大きくすることができる。その結果、第二のフォトダイオード 18 の光検出感度を更に向上させることが可能となる。

[0095] 基板 20 の厚さ方向の投影において、半導体層 36 がダイオード用半導体膜 22 と重なっている。これにより、基板 20 の厚さ方向の投影において、光センサ 12 が基板 20 に占める割合を小さくすることができる。

[0096] 特に本実施形態では、基板 20 の厚さ方向から見た場合に、半導体層 36 の 2/3 以上がダイオード用半導体膜 22 と重なっている。それ故、基板 2

0の厚さ方向の投影において、光センサ12が基板20に占める割合を更に小さくすることができる。

[0097] n型層38がn型領域26だけに接触している。それ故、真性領域28による入射光の吸収が半導体層36で妨げられるのを回避することができる。

[0098] n型層38とn型領域26を接触させるためのコンタクトホール46が、他のコンタクトホール48, 50, 76, 78と同じ工程で、層間絶縁膜34に形成される。それ故、半導体装置10を製造するために必要な工程数を少なくすることができる。

[0099] 半導体層36の形成方法として、プラズマCVDとフォトリソグラフィが採用されている。それ故、半導体装置10を製造するために必要な工程数を少なくすることができる。

[0100] ダイオード用半導体膜22が形成された後、半導体層36が形成される。これにより、ダイオード用半導体膜22と半導体層36の結晶状態を異ならせることが容易になる。

[0101] ダイオード用半導体膜22が結晶質シリコンによって形成されている。それ故、真性領域28だけを結晶質シリコンによって形成する場合に比して、ダイオード用半導体膜22の形成が容易になる。

[0102] ダイオード用半導体膜22とトランジスタ用半導体膜64が同じ工程で形成されるようになっている。それ故、半導体装置10の製造工程の簡略化を図ることができる。

[0103] 非晶質シリコンで形成された真性層40が結晶質シリコンで形成された真性領域28の上方に位置している。それ故、結晶質シリコンで形成された真性層が非晶質シリコンで形成された真性領域の上方に位置している場合に比して、半導体層36が可視光の検出の際に邪魔になるのを回避することができる。

[0104] [第二の実施形態]

続いて、半導体装置に関する本発明の第二の実施形態について、図6に基づいて、説明する。なお、以下に記載の第二の実施形態や後述する第三乃至

第六の実施形態において、第一の実施形態と同様な構造とされた部材及び部位については、図中に、第一の実施形態と同一の符号を付すことにより、それらの詳細な説明を省略する。

[0105] 本実施形態の半導体装置 92 は、第一の実施形態の半導体装置 10 に比して、光センサ 12 の代わりに、光センサに関する本発明の第二の実施形態としての光センサ 94 を備えている。

[0106] この光センサ 94 は、第一の実施形態の光センサ 12 に比して、半導体層 96 が異なっている。半導体層 96 は、真性層 40 と p 型層 42 がダイオード用半導体膜 22 の n 型領域 26 上に順次積層されたものである。即ち、本実施形態における第二のフォトダイオード 98 は、n 型領域 26 と真性層 40 と p 型層 42 とを備えている。

[0107] 半導体層 96 は、以下のようにして、形成することができる。先ず、後に真性層 40 となる真性半導体膜をプラズマ CVD によって基板 20 の上側に形成する。これにより、層間絶縁膜 34 の上面及びコンタクトホール 46, 48, 50, 76, 78 内が、真性半導体膜で覆われる。

[0108] 真性半導体膜は、真性半導体で形成されたアモルファスシリコン膜である。真性半導体膜を CVD によって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。

[0109] 真性半導体膜を形成したら、後に p 型層 42 となる p 型半導体膜をプラズマ CVD によって真性半導体膜上に形成する。これにより、真性半導体膜の上面全体が p 型半導体膜で覆われる。

[0110] p 型半導体膜は、p 型不純物がドーピングされたアモルファスシリコン膜である。p 型半導体膜を CVD によって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。p 型半導体膜を CVD によって形成する際のドーピングガスとしては、例えば、ジボランを採用することができる。

[0111] このようにして、真性半導体膜と p 型半導体膜を基板 20 の上側に順次形成した後、これらの半導体膜をフォトリソグラフィによってパターニングす

る。これにより、図6に示されているように、目的とする半導体層96が形成される。

[0112] このような半導体装置92においては、ダイオード用半導体膜22のn型領域26が第一のフォトダイオード16のn⁺領域と第二のフォトダイオード98のn⁺領域を兼ねている。従って、第一の実施形態の半導体装置10に比して、半導体層96を形成するのに必要な工程数を少なくすることができる。

[0113] [第三の実施形態]

続いて、半導体装置に関する本発明の第三の実施形態について、図7に基づいて、説明する。本実施形態の半導体装置100は、第一の実施形態の半導体装置10に比して、光センサ12の代わりに、光センサに関する本発明の第三の実施形態としての光センサ102を備えている。

[0114] この光センサ102は、第一の実施形態の光センサ12に比して、ダイオード用半導体膜103と、半導体層104と、半導体層104の形成位置とが異なっている。ダイオード用半導体膜103は、第一の実施形態で説明したダイオード用半導体膜22と比して、n型領域26とp型領域30の位置が逆になっている。半導体層104は、p型層42と真性層40とn型層38がダイオード用半導体膜22のp型領域30上に順次形成されたものである。即ち、本実施形態における第二のフォトダイオード106は、半導体層104を備えている。

[0115] 半導体層104は、以下のようにして、形成することができる。先ず、後にp型層42となるp型半導体膜をプラズマCVDによって基板20の上側に形成する。これにより、層間絶縁膜34の上面及びコンタクトホール46, 48, 50, 76, 78内が、p型半導体膜で覆われる。

[0116] p型半導体膜は、p型不純物がドーピングされたアモルファスシリコン膜である。p型半導体膜をCVDによって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。p型半導体膜をCVDによって形成する際のドーピングガスとしては、例えば、ジボランを採用

することができる。

[0117] p型半導体膜を形成したら、後に真性層40となる真性半導体膜をプラズマCVDによってp型半導体膜上に形成する。これにより、p型半導体膜の上面全体が真性半導体膜で覆われる。

[0118] 真性半導体膜は、真性半導体で形成されたアモルファスシリコン膜である。真性半導体膜をCVDによって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。

[0119] 真性半導体膜を形成したら、後にn型層38となるn型半導体膜をプラズマCVDによって真性半導体膜上に形成する。これにより、真性半導体膜の上面全体がn型半導体膜で覆われる。

[0120] n型半導体膜は、n型不純物がドーピングされたアモルファスシリコン膜である。n型半導体膜をCVDによって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。n型半導体膜をCVDによって形成する際のドーピングガスとしては、例えば、ホスフィンを採用することができる。

[0121] このようにして、p型半導体膜と真性半導体膜とn型半導体膜を基板20の上側に順次形成した後、これらの半導体膜をフォトリソグラフィによってパターンニングする。これにより、図7に示されているように、目的とする半導体層104が形成される。

[0122] [第四の実施形態]

続いて、半導体装置に関する本発明の第四の実施形態について、図8に基づいて、説明する。本実施形態の半導体装置108は、第一の実施形態の半導体装置10に比して、光センサ12の代わりに、光センサに関する本発明の第四の実施形態としての光センサ110を備えている。

[0123] この光センサ110は、第一の実施形態の光センサ12に比して、ダイオード用半導体膜111と、半導体層112と、半導体層112の形成位置とが異なっている。ダイオード用半導体膜111は、第一の実施形態で説明したダイオード用半導体膜22と比して、n型領域26とp型領域30の位置

が逆になっている。半導体層 112 は、真性層 40 と n 型層 38 がダイオード用半導体膜 22 の p 型領域 30 上に順次形成されたものである。即ち、本実施形態における第二のフォトダイオード 114 は、p 型領域 30 と真性層 40 と n 型層 38 とを備えている。

[0124] 半導体層 112 は、以下のようにして、形成することができる。先ず、後に真性層 40 となる真性半導体膜をプラズマ CVD によって基板 20 の上側に形成する。これにより、層間絶縁膜 34 の上面及びコンタクトホール 46, 48, 50, 76, 78 内が、真性半導体膜で覆われる。

[0125] 真性半導体膜は、真性半導体で形成されたアモルファスシリコン膜である。真性半導体膜を CVD によって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。

[0126] 真性半導体膜を形成したら、後に n 型層 38 となる p 型半導体膜をプラズマ CVD によって真性半導体膜上に形成する。これにより、真性半導体膜の上面全体が n 型半導体膜で覆われる。

[0127] n 型半導体膜は、n 型不純物がドーピングされたアモルファスシリコン膜である。n 型半導体膜を CVD によって形成する際の原料ガスとしては、例えば、シランガスと水素ガスを採用することができる。n 型半導体膜を CVD によって形成する際のドーピングガスとしては、例えば、ホスフィンを採用することができる。

[0128] このようにして、真性半導体膜と n 型半導体膜を基板 20 の上側に順次形成した後、これらの半導体膜をフォトリソグラフィによってパターンニングする。これにより、図 6 に示されているように、目的とする半導体層 112 が形成される。

[0129] このような半導体装置 108 においては、ダイオード用半導体膜 22 の p 型領域 30 が第一のフォトダイオード 16 の p⁺領域と第二のフォトダイオード 114 の p⁺領域を兼ねている。これにより、第三の実施形態の半導体装置 100 に比して、半導体層 112 を形成するのに必要な工程数を少なくすることができる。

[0130] [第五の実施形態]

続いて、半導体装置に関する本発明の第五の実施形態について、図9に基づいて、説明する。本実施形態の半導体装置116は、第一の実施形態の半導体装置10に比して、電極・配線62と第二のフォトダイオード18の接続が異なっている。

[0131] 本実施形態の半導体装置116においては、半導体層36上に電極・配線44が形成されておらず、電極・配線62と半導体層36（p型層42）が直接に接続されている。これにより、半導体層36上に電極・配線44が形成されていることによる不具合、即ち、第二のフォトダイオード18の受光面積が小さくなる不具合を回避することができる。その結果、第二のフォトダイオード18の光検出感度を向上させることが可能となる。

[0132] [第六の実施形態]

続いて、半導体装置に関する本発明の第六の実施形態について、図10に基づいて、説明する。本実施形態の半導体装置118は、第一の実施形態の半導体装置10に比して、平坦化膜56上に電極・配線62が形成されていない。この場合、第一のフォトダイオード16のp⁺領域（p型領域30）と第二のフォトダイオード18のp⁺領域（p型層42）が電極・配線62を介さずに接続される。その結果、第一のフォトダイオード16のp⁺領域（p型領域30）と第二のフォトダイオード18のp⁺領域（p型層42）を低抵抗な電極・配線だけで接続することができる。

[0133] 以上、本発明の実施形態について、詳述してきたが、これらはあくまでも例示であって、本発明は、上述の実施形態によって、何等、限定されない。

[0134] 例えば、第一～第六の実施形態において、ダイオード用半導体膜22を非晶質シリコンで形成し、半導体層36，96，104，112を結晶質シリコンで形成しても良い。この場合、トランジスタ用半導体膜64は、非晶質シリコンで形成されていても良いし、結晶質シリコンで形成されていても良い。ダイオード用半導体膜22を非晶質シリコンで形成し、トランジスタ用半導体膜64を結晶質シリコンで形成する方法としては、例えば、下地層2

4 上に形成されたアモルファスシリコン膜において後にトランジスタ用半導体膜 6 4 となる領域に、非晶質シリコンの結晶化を促進する触媒元素をイオン注入等で導入した後、アモルファスシリコン膜をアニールする方法等を採用することができる。

[0135] 第一～第六の実施形態において、ダイオード用半導体膜 2 2 における真性領域 2 8 を非晶質シリコンで形成し、半導体層 3 6, 9 6, 1 0 4, 1 1 2 における真性層 4 0 を結晶質シリコンで形成しても良い。真性領域 2 8 を非晶質シリコンで形成する方法としては、例えば、下地層 2 4 上に形成されたアモルファスシリコン膜において後に n 型領域 2 6 となる領域と p 型領域 3 0 となる領域とに、非晶質シリコンの結晶化を促進する触媒元素をイオン注入等で導入した後、アモルファスシリコン膜をアニールする方法等を採用することが出来る。真性層 4 0 を結晶質シリコンで形成する方法としては、プラズマ C V D やスパッタ等の従来から公知の方法を採用することができる。

[0136] 第一～第六の実施形態において、半導体層 3 6, 9 6, 1 0 4, 1 1 2 が備える層 3 8, 4 0, 4 2 のうち真性層 4 0 以外の層 3 8, 4 2 をシリコンカーバイドやシリコンゲルマニウム、ゲルマニウム、化合物半導体、カルコゲナイド、ポリシリコン等で形成しても良い。

[0137] 第一～第六の実施形態において、プラズマ C V D 等によって形成された半導体膜に不純物をイオンドーピングすることにより、n 型層 3 8 と p 型層 4 2 とを形成するようにしても良い。

[0138] 前記第一～第六の実施形態において、半導体層 3 6, 9 6, 1 0 4, 1 1 2 は、基板 2 0 の厚さ方向の投影において、真性領域 2 8 と重なる必要は必ずしもない。

請求の範囲

- [請求項1] 基板上に形成されて、n型領域と真性領域とp型領域を有するダイオード用半導体膜を備える第一のフォトダイオードと、
- 前記ダイオード用半導体膜上に形成されて、n型層とp型層の少なくとも一方と真性層を有する半導体層を含んで構成されると共に前記第一のフォトダイオードと並列に接続される第二のフォトダイオードと
- を、備えており、
- 前記真性領域と前記真性層の一方が結晶質シリコンによって形成され、該真性領域と該真性層の他方が非晶質シリコンによって形成されている、光センサ。
- [請求項2] 前記ダイオード用半導体膜が前記結晶質シリコンによって形成されている、請求項1に記載の光センサ。
- [請求項3] 前記半導体層が、前記p型層と、前記真性層と、前記n型層を有している、請求項1又は2に記載の光センサ。
- [請求項4] 前記半導体層が、前記n型領域上に形成された前記真性層と、該真性層上に形成された前記p型層を有している、請求項1又は2に記載の光センサ。
- [請求項5] 前記半導体層が、前記p型領域上に形成された前記真性層と、該真性層上に形成された前記n型層を有している、請求項1又は2に記載の光センサ。
- [請求項6] 前記真性層の厚さが100nm～800nmとされている、請求項1～5の何れか1項に記載の光センサ。
- [請求項7] 前記ダイオード用半導体膜を覆うように形成された層間絶縁膜を更に備え、
- 前記層間絶縁膜上に前記半導体層が形成され、
- 前記層間絶縁膜を厚さ方向に貫通するように形成されたコンタクトホール内に前記半導体層が入り込んでおり、

前記コンタクトホール内において前記半導体層と前記ダイオード用半導体膜が接触している、請求項 1 ～ 6 の何れか 1 項に記載の光センサ。

[請求項8] 前記半導体層が前記 n 型領域と p 型領域の何れか一方だけに接触している、請求項 7 に記載の光センサ。

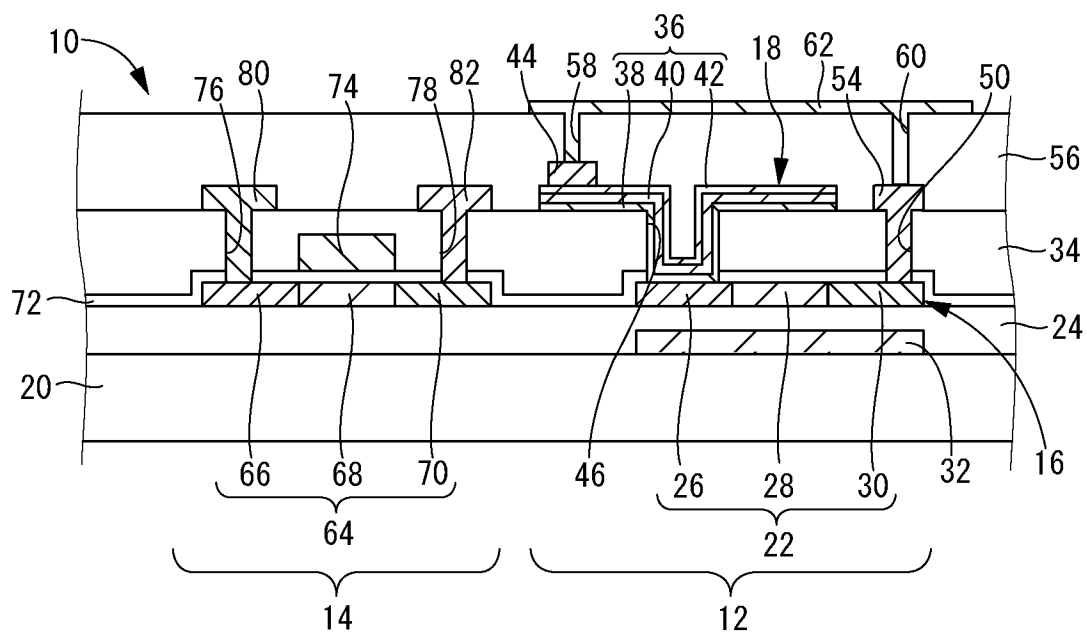
[請求項9] 請求項 1 ～ 8 の何れか 1 項に記載の光センサと、
前記基板上に形成されて、チャネル領域、ソース領域及びドレイン領域を有するトランジスタ用半導体膜と、前記チャネル領域の導電性を制御するゲート電極と、該ゲート電極と前記トランジスタ用半導体膜の間に設けられたゲート絶縁膜とを有する薄膜トランジスタとを備えている、半導体装置。

[請求項10] 前記ダイオード用半導体膜と前記トランジスタ用半導体膜が、それぞれ、前記結晶質シリコンによって形成されている、請求項 9 に記載の半導体装置。

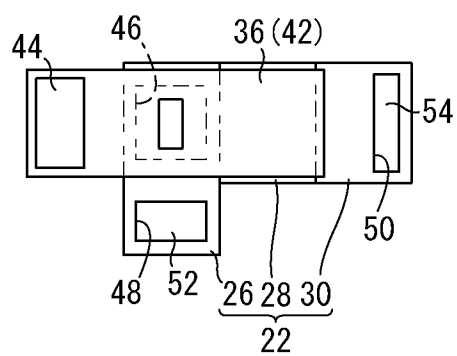
[請求項11] 前記基板上には、該基板からの不純物拡散を防ぐための下地層を更に備え、
前記ダイオード用半導体膜と前記トランジスタ用半導体膜が前記下地層上に形成されている、請求項 9 又は 10 に記載の半導体装置。

[請求項12] 前記ダイオード用半導体膜の厚さと前記トランジスタ用半導体膜の厚さが同じである、請求項 9 ～ 11 の何れか 1 項に記載の半導体装置。

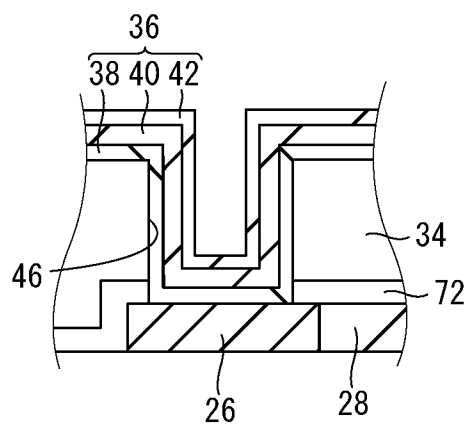
[図1]

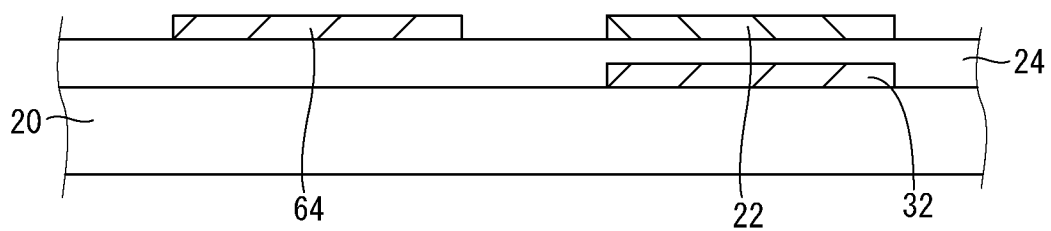
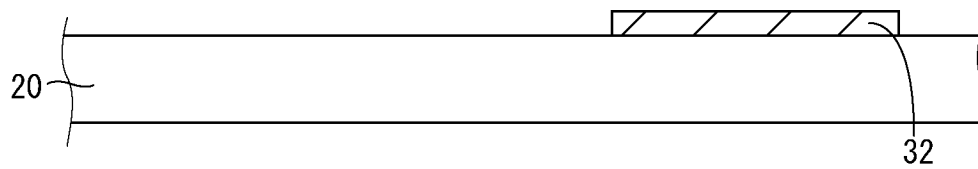
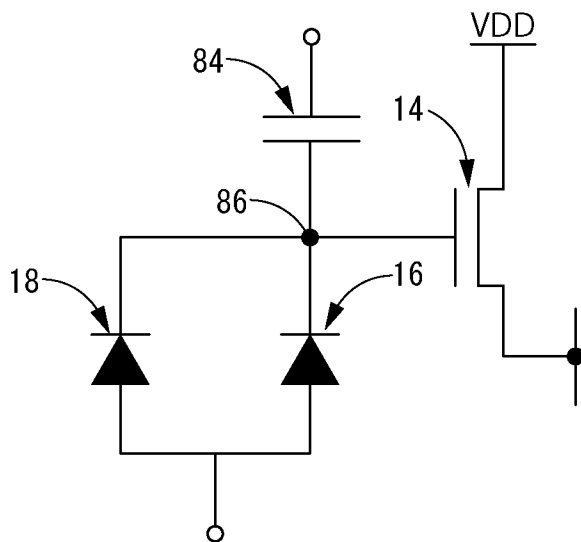


[図2]

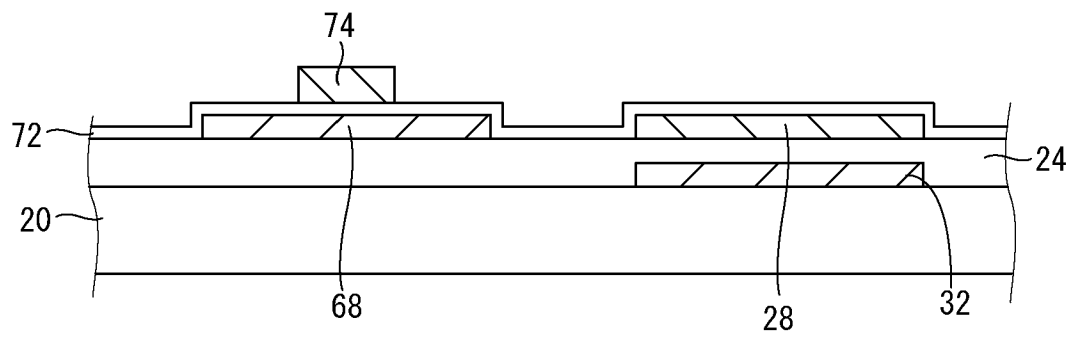


[図3]

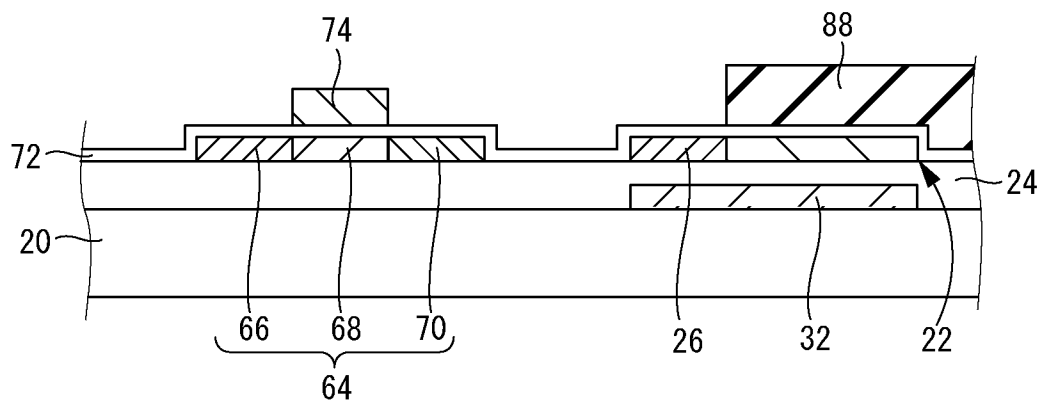




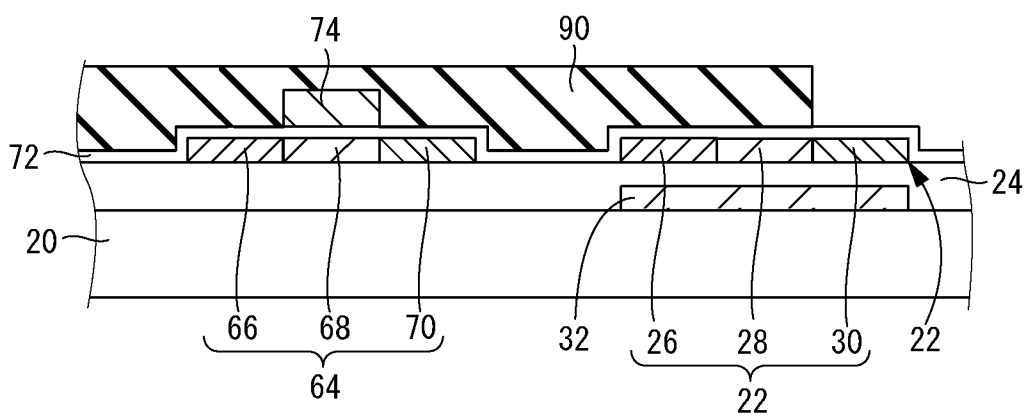
[図5C]



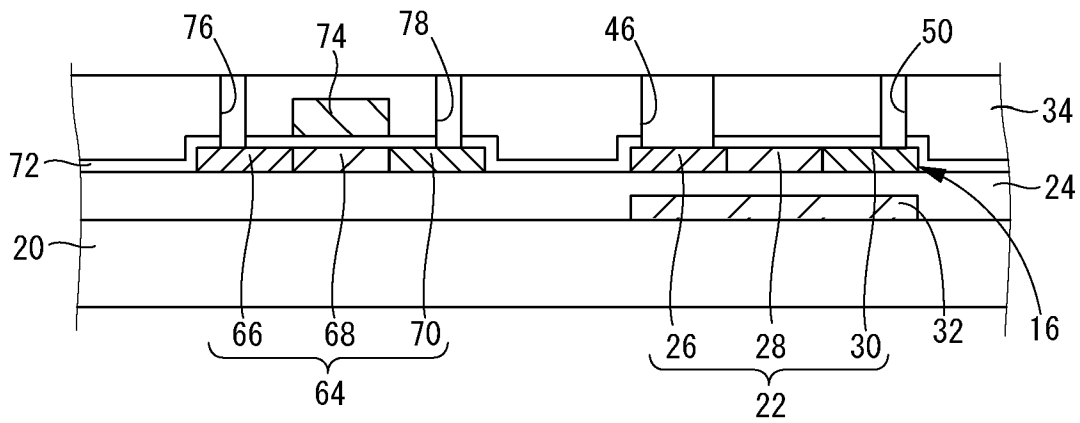
[図5D]



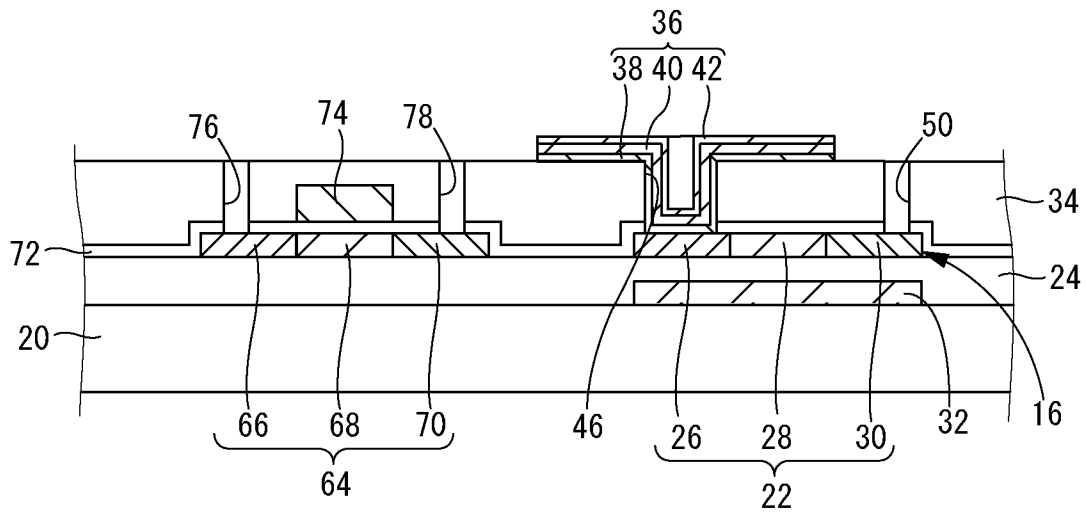
[図5E]



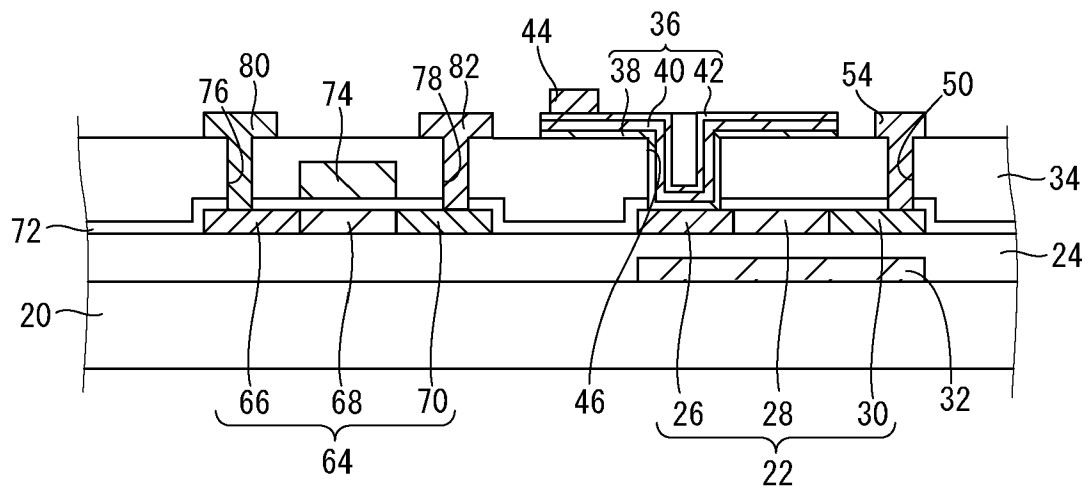
[図5F]



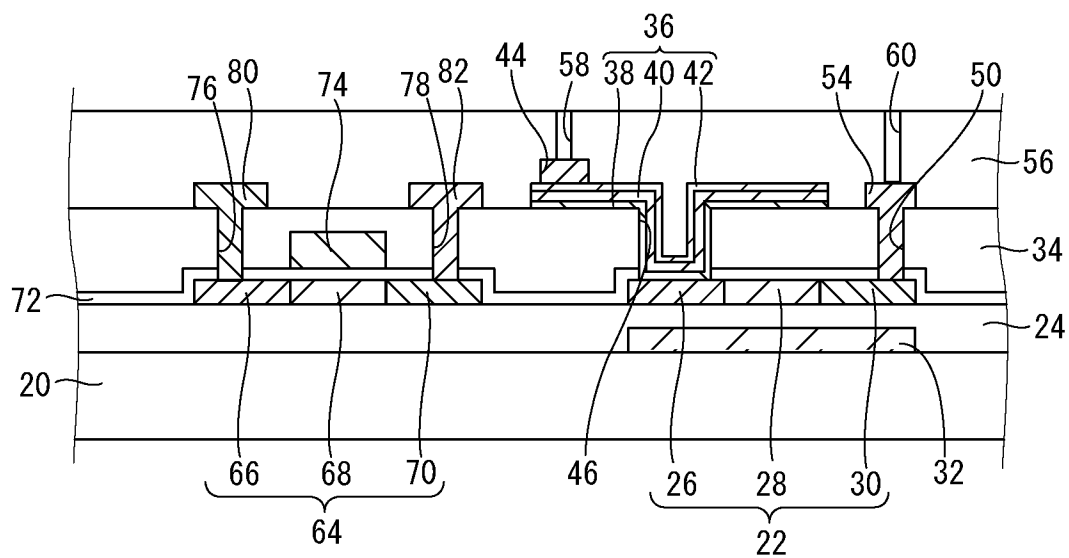
[図5G]



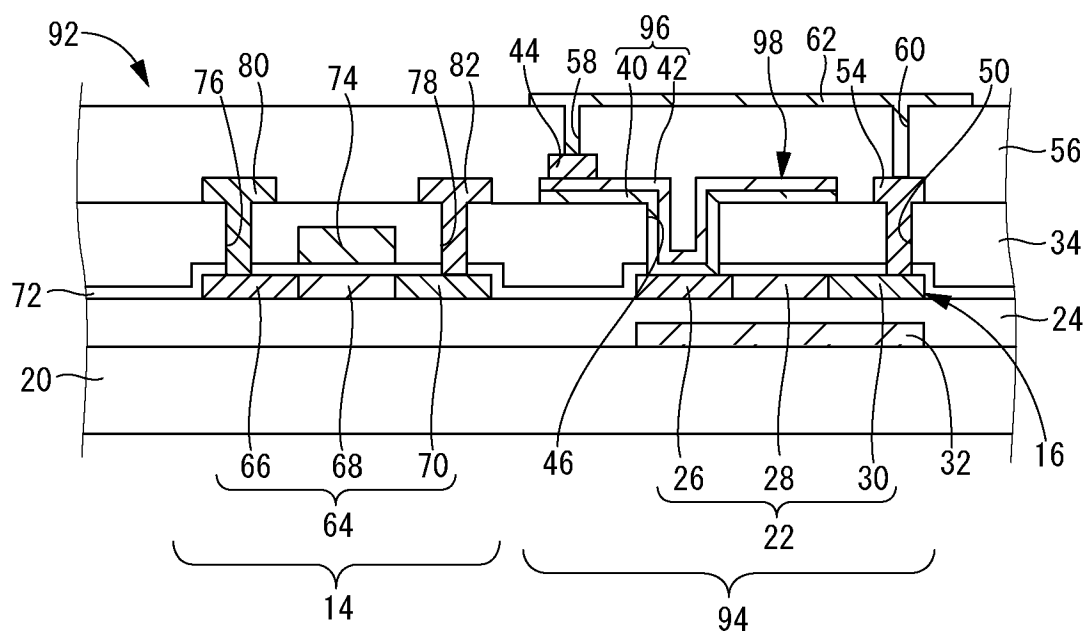
[図5H]



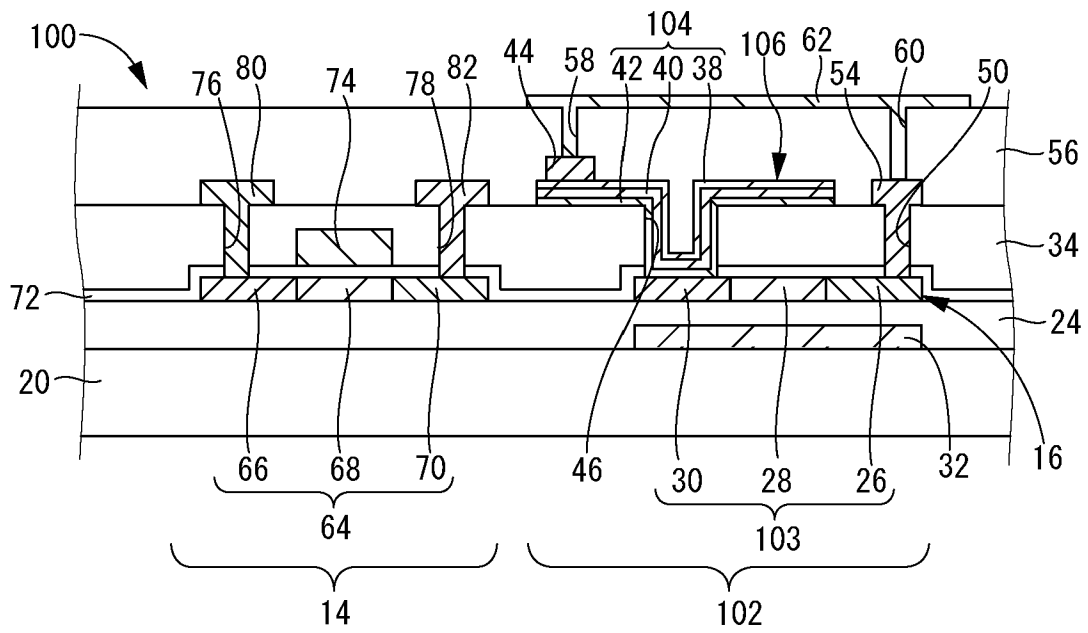
[図5I]



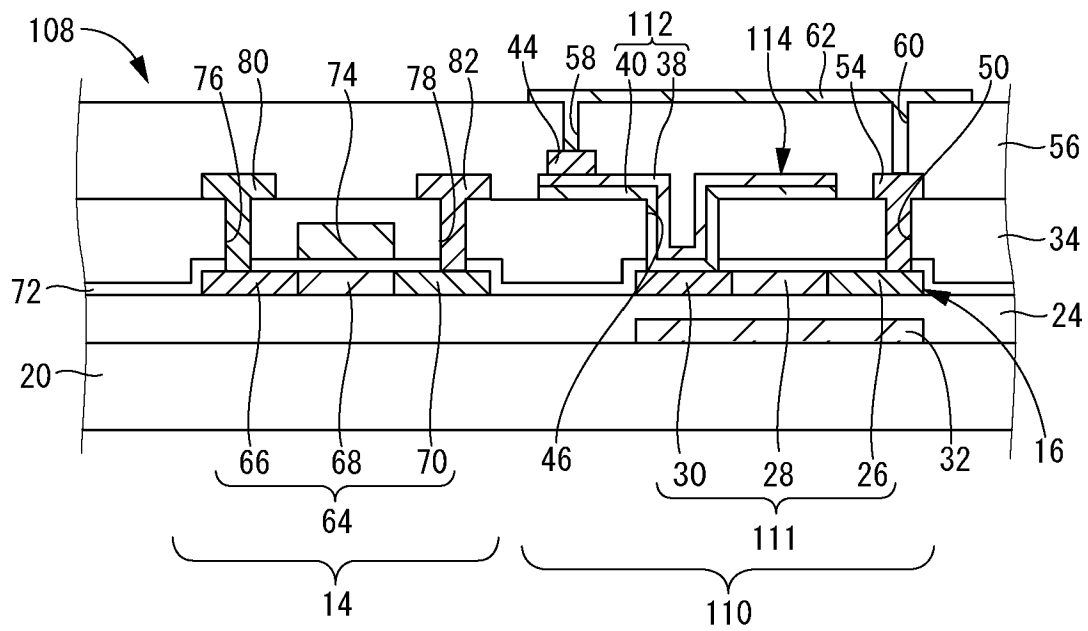
[図6]



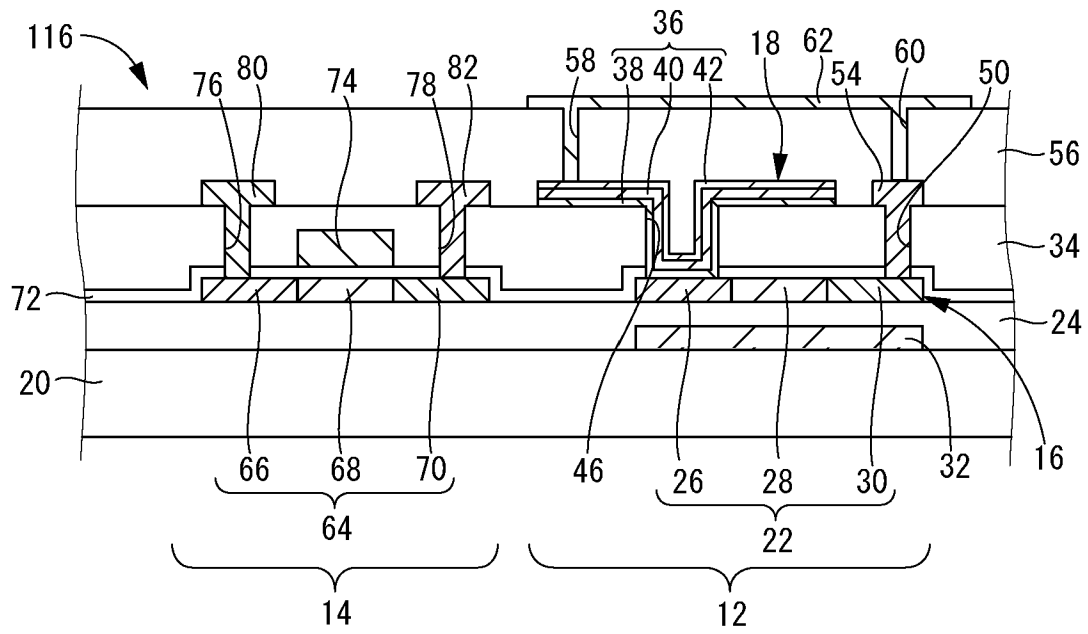
[図7]



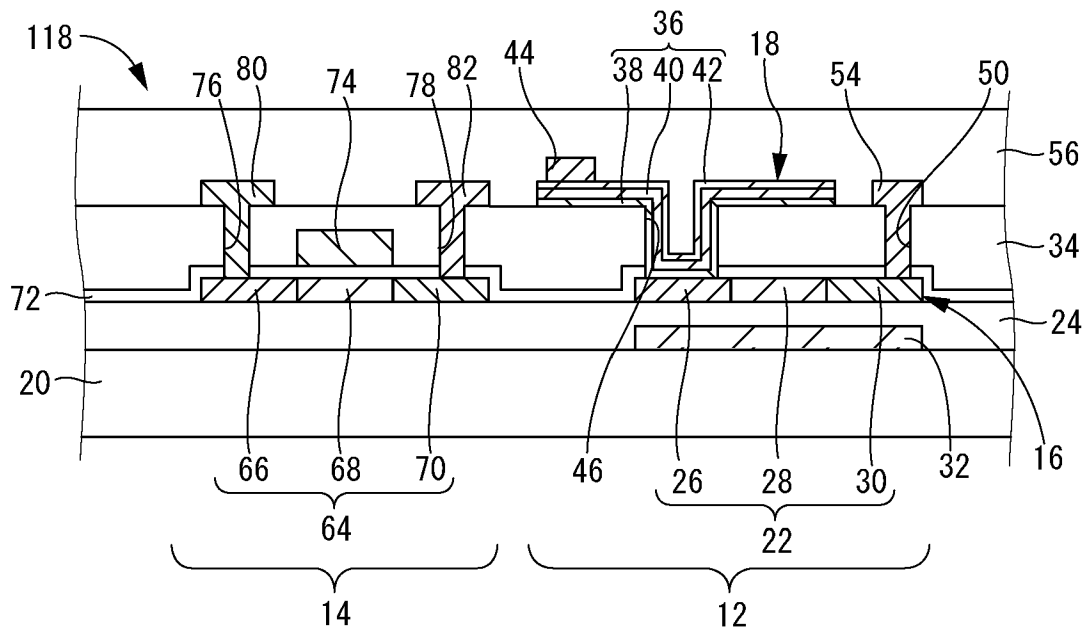
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066261

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/10 (2006.01) i, H01L27/146 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 62-203080 A (Toshiba Corp.), 07 September 1987 (07.09.1987), page 7, upper left column, lines 6 to 9; page 7, upper right column, lines 1 to 8; fig. 1(b) & US 4926052 A & EP 239808 A1	1-6
Y	JP 62-69568 A (Sharp Corp.), 30 March 1987 (30.03.1987), examples; fig. 1, 3 (Family: none)	1-12
Y	JP 3-15728 A (Mitsubishi Electric Corp.), 24 January 1991 (24.01.1991), claim 1; fig. 1 & US 4996417 A & DE 4018815 A1	1-12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 September, 2011 (14.09.11)Date of mailing of the international search report
27 September, 2011 (27.09.11)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/066261

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-318947 A (Rohm Co., Ltd.), 24 November 2006 (24.11.2006), claims 1, 10; fig. 2 to 3 (Family: none)	1-12
Y	JP 2008-135721 A (Semiconductor Energy Laboratory Co., Ltd.), 12 June 2008 (12.06.2008), fig. 16 & US 2008/0099664 A1 & EP 1918995 A2	7-8
Y	JP 2009-10125 A (Sharp Corp.), 15 January 2009 (15.01.2009), claims 1, 29; fig. 1 (Family: none)	9-12
P,X	WO 2010/095401 A1 (Sharp Corp.), 26 August 2010 (26.08.2010), paragraphs [0103], [0108]; fig. 7 (Family: none)	1-6, 9-12

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L31/10(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/10, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 62-203080 A（株式会社東芝）1987.09.07, 第7頁左上欄第6-9行目, 第7頁右上欄第1-8行目, 第1図(b) & US 4926052 A & EP 239808 A1	1-6
Y	JP 62-69568 A（シャープ株式会社）1987.03.30, （実施例）欄, 第1, 3図（ファミリーなし）	1-12

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 9 . 2 0 1 1

国際調査報告の発送日

2 7 . 0 9 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

加藤 昌伸

電話番号 03-3581-1101 内線 3255

2 K

3 7 0 0

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 3-15728 A (三菱電機株式会社) 1991. 01. 24, 特許請求の範囲(1), 第 1 図 & US 4996417 A & DE 4018815 A1	1-12
Y	JP 2006-318947 A (ローム株式会社) 2006. 11. 24, 請求項 1, 10, 図 2-3 (ファミリーなし)	1-12
Y	JP 2008-135721 A (株式会社半導体エネルギー研究所) 2008. 06. 12, 図 16 & US 2008/0099664 A1 & EP 1918995 A2	7-8
Y	JP 2009-10125 A (シャープ株式会社) 2009. 01. 15, 請求項 1, 29, 図 1 (ファミリーなし)	9-12
P, X	WO 2010/095401 A1 (シャープ株式会社) 2010. 08. 26, 段落[0103], [0108], 図 7 (ファミリーなし)	1-6, 9-12