

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001 年 3 月 29 日 (29.03.2001)

PCT

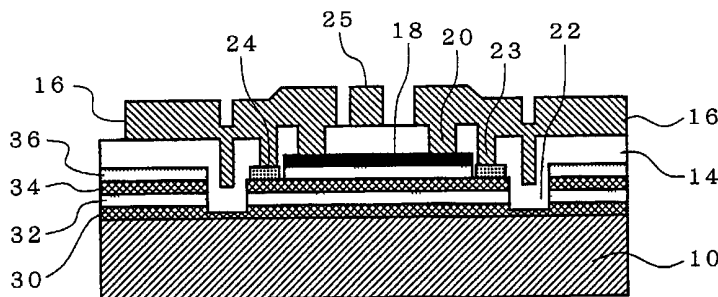
(10) 国際公開番号
WO 01/21412 A1

- (51) 国際特許分類: B41J 2/45, H01L 27/15, 33/00 (72) 発明者: および
(21) 国際出願番号: PCT/JP00/06373 (75) 発明者/出願人(米国についてのみ): 大野誠治 (OHNO, Seiji) [JP/JP]; 〒541-0045 大阪府大阪市中央区道修町 3丁目5番11号 日本板硝子株式会社内 Osaka (JP).
(22) 国際出願日: 2000 年 9 月 19 日 (19.09.2000)
(25) 国際出願の言語: 日本語 (74) 代理人: 弁理士 岩佐義幸 (IWASA, Yoshiyuki); 〒101-0031 東京都千代田区東神田 2丁目10番17号 INビル Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: (81) 指定国 (国内): CA, CN, KR, US.
特願平11/266867 1999 年 9 月 21 日 (21.09.1999) JP
(71) 出願人 (米国を除く全ての指定国について): 日本板硝子株式会社 (NIPPON SHEET GLASS CO., LTD.) [JP/JP]; 〒541-0045 大阪府大阪市中央区道修町3丁目5番11号 Osaka (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: CROSS UNDER METAL INTERCONNECTION STRUCTURE OF SELF SCANNING LIGHT-EMITTING DEVICE

(54) 発明の名称: 自己走査型発光装置のクロスアンダー金属配線構造



uppermost layer through a second contact hole made in the insulation film.

(57) Abstract: A metal interconnection structure of cross-under interconnection formed on a pnpn structure is provided for prevention of latchup. The structure comprises a lower interconnection provided on the uppermost layer of a pnpn structure isolated insularly by an isolation trench, and an upper interconnection connected with the lower interconnection through a first contact hole made in an insulation film covering the pnpn structure. The upper interconnection is connected with a layer directly under the

(57) 要約:

p n p n 構造上にクロスアンダー配線を構成する場合に、ラッチアップを防止できる金属配線構造を提供する。分離溝で島状に分離された p n p n 構造の最上層の上に設けられた下部配線と、分離溝で島状に分離された p n p n 構造を覆う絶縁膜に開けられた第 1 のコンタクトホールを介して下部配線に接続された上部配線とを有し、上部配線は、絶縁膜に開けられた第 2 のコンタクトホールを介して最上層の直下の層に接続されている。



WO 01/21412 A1



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

自己走査型発光装置のクロスアンダー金属配線構造

技 術 分 野

本発明は、自己走査型発光装置、特にクロスアンダー配線を用いた自己走査型発光装置の金属配線構造に関する。

背 景 技 術

多数個の発光素子を同一基板上に集積した発光素子アレイは、その駆動用 IC と組み合わせて光プリンタ等の書き込み用光源として利用されている。本発明者らは発光素子アレイの構成要素として p n p n 構造を持つ発光サイリスタに注目し、発光点の自己走査が実現できることを既に特許出願（特開平 1 - 2 3 8 9 6 2 号公報、特開平 2 - 1 4 5 8 4 号公報、特開平 2 - 9 2 6 5 0 号公報、特開平 2 - 9 2 6 5 1 号公報）し、光プリンタ用光源として実装上簡便となること、発光素子ピッチを細かくできること、コンパクトな発光装置を作製できること等を示した。

さらに本発明者らは、転送用の発光サイリスタ・アレイを、書き込み用の発光サイリスタ・アレイと分離した構造の自己走査型発光装置を提案している（特開平 2 - 2 6 3 6 6 8 号）。

図 1 に、この自己走査型発光装置の等価回路図を示す。この発光装置は、転送素子 T_1 , T_2 , T_3 , ... のアレイと、書き込み用発光素子 L_1 , L_2 , L_3 , ... のアレイとを有している。これら転送素子および発光素子は、3 端子発光サイリスタにより構成される。転送素子部分の構成は、転送素子のゲートを互いに電氣的に接続するのにダイオード D_1 , D_2 , D_3 , ... を用いている。 V_{GA} は電源（通常 5 V）であり、負荷抵抗 R_L を経て各転送素子のゲート電極 G_1 , G_2 , G_3 , ... に接続されている。また、転送素子のゲート電極 G_1 , G_2 , G_3 , ... は、書き込み用発光素子のゲート電極にも接続され

る。転送素子 T_1 のゲート電極にはスタートパルス ϕ_s が加えられ、転送素子のアノード電極には、交互に転送用クロックパルス ϕ_1 , ϕ_2 が加えられ、書き込み用発光素子のアノード電極には、書き込み信号 ϕ_i が加えられている。

なお、図 1 において、 R_1 , R_2 , R_i は、それぞれ、電流制限用抵抗を示している。

動作を簡単に説明する。まず転送用クロックパルス ϕ_1 の電圧が H レベルで、転送素子 T_2 がオン状態であるとする。このとき、ゲート電極 G_2 の電位は V_{GK} の 5 V からほぼ零 V にまで低下する。この電位降下の影響はダイオード D_2 によってゲート電極 G_3 に伝えられ、その電位を約 1 V に（ダイオード D_2 の順方向立上り電圧（拡散電位に等しい））に設定する。しかし、ダイオード D_1 は逆バイアス状態であるためゲート電極 G_1 への電位の接続は行われず、ゲート電極 G_1 の電位は 5 V のままとなる。発光サイリスタのオン電位は、ゲート電極電位 + p n 接合の拡散電位（約 1 V）で近似されるから、次の転送用クロックパルス ϕ_2 の H レベル電圧は約 2 V（転送素子 T_3 をオンさせるために必要な電圧）以上でありかつ約 4 V（転送素子 T_5 をオンさせるために必要な電圧）以下に設定しておけば転送素子 T_3 のみがオンし、これ以外の転送素子はオフのままにすることができる。従って 2 本の転送用クロックパルスでオン状態が転送されることになる。

スタートパルス ϕ_s は、このような転送動作を開示させるためのパルスであり、スタートパルス ϕ_s を L レベル（約 0 V）にすると同時に転送用クロックパルス ϕ_2 を H レベル（約 2 ~ 約 4 V）とし、転送素子 T_1 をオンさせる。その後すぐ、スタートパルス ϕ_s は H レベルに戻される。

いま、転送素子 T_2 がオン状態にあるとすると、ゲート電極 G_2 の電位は、 V_{GK} （ここでは 5 ボルトと想定する）より低下し、ほぼ 0 V となる。したがって、書き込み信号 ϕ_i の電圧が、p n 接合の

拡散電位（約 1 V）以上であれば、発光素子 L_2 を発光状態とすることができる。

これに対し、ゲート電極 G_1 は約 5 V であり、ゲート電極 G_3 は約 1 V となる。したがって、発光素子 L_1 の書き込み電圧は約 6 V、発光素子 L_3 の書き込み電圧は約 2 V となる。これから、発光素子 L_2 のみに書き込める書き込み信号 ϕ_1 の電圧は、1 ~ 2 V の範囲となる。発光素子 L_2 がオン、すなわち発光状態に入ると、発光強度は書き込み信号 ϕ_1 に流す電流量で決められ、任意の強度にて発光が可能となる。また、発光状態を次の発光素子に転送するためには、書き込み信号 ϕ_1 ラインの電圧を一度 0 V までおとし、発光している発光素子をいったんオフにしておく必要がある。

このような自己走査型発光装置は、例えば $600\text{ dpi} / 128$ 発光点のチップ（長さ約 5.4 mm）を、複数個並べることによって作製される。このようなチップは、ウェファ上にて作製され、ダイシングすることにより得られる。

自己走査型発光装置のチップ内の素子配置の一例を、図 2 に概略的に示す。図中、 $L_1 \sim L_{128}$ は発光素子を、 $T_1 \sim T_{128}$ は転送素子を、40, 50 はクロックパルス ϕ_1 , ϕ_2 用ボンディングパッドを、60 はスタートパルス ϕ_s 用ボンディングパッドを、70 は書き込み信号 ϕ_1 用ボンディングパッドを、80 は電源 V_{GK} 用ボンディングパッドを、90 は出力 D_{out} 用ボンディングパッドを、それぞれ示している。参照番号 100 は、チップの外形ラインを示す。

このような素子配置では、発光素子および転送素子をアレイ状に接続するために、多数の金属配線が必要となる。特に、チップ中央部に設けられたボンディングパッド 40, 50, 70 の周辺は、図示のように、 ϕ_1 , ϕ_2 , V_{GK} , ダイオード接続の 4 本の配線が迂回している。

図 3 は、 ϕ_1 用ボンディングパッド 40 の周辺の配線を示す図である。この図では ϕ_1 用電流制限用抵抗 R_1 （図 1 参照）をチップ

内に集積化した場合の例を示す。図中、2は $\phi 1$ 配線を、3は $\phi 2$ 配線を、4は V_{GK} 配線を、5はダイオード接続配線を示している。図からわかるように、これら配線は、ボンディングパッド40を迂回して設けられている。

このような配線の迂回は、チップサイズを大きくするという問題がある。この問題を改善するためには図4のように配線を二層化する手段が考えられる。すなわち、 V_{GK} 配線4およびダイオード接続配線5を、 $\phi 1$ 配線2および $\phi 2$ 配線3の下側に配置する。図4では、配線4, 5が $\phi 1$, $\phi 2$ 配線2, 3と交差する部分を、クロスアンダー配線部分6として、点線で示している。また $\phi 1$, $\phi 2$ の配線2, 3が交差する部分も、 $\phi 2$ 配線3を $\phi 1$ 配線2の下側に配置する。図4では $\phi 1$ 配線2が $\phi 2$ 配線3と交差する部分をクロスアンダー配線部分8として、点線で示している。

図5は、図4のクロスアンダー配線部分8の断面図である。発光サイリスタを構成するpnpn構造は、p型半導体基板10の上に、p型半導体層30, n型半導体層32, p型半導体層34, n型半導体層36がこの順序で積層されて構成される。なお、pnpn構造は、n型半導体基板の上に、n型半導体層, p型半導体層, n型半導体層, p型半導体層がこの順序で積層されているpnpn構造であってもよい。

分離溝22で島状に分離されたpnpn構造部分の上に下部金属配線18を設けると、pnpn構造によって金属配線18は基板10と電気的に分離される。

下部金属配線18は、上記構造の上に形成された絶縁膜14に開けられたコンタクトホール20を介して、上部配線16と接続することにより、クロスアンダー配線を形成する。上部配線16と下部配線18とで、1本の配線、すなわち $\phi 2$ 配線3（図4参照）を形成する。図5において $\phi 2$ 配線3と交差する1本の配線25は、図4の $\phi 1$ 配線2に相当している。このように下部配線18は、上部

配線 2 5 と絶縁膜 1 4 によって電氣的に分離され、両配線の交差が可能となる。

自己走査型発光装置は $pnpn$ 構造の発光サイリスタを基本としているので、図 5 に示したように、分離溝で島状に分離された $pnpn$ 構造上の金属配線から $pnpn$ 構造へ電圧が印加されると、ラッチアップと呼ばれる現象を生じる。ラッチアップが起きると、サイリスタが正常に動作できなくなるだけでなく、サイリスタに大電流が流れ、破壊が起こる危険性がある。

発 明 の 開 示

本発明の目的は、 $pnpn$ 構造上にクロスアンダー配線を構成する場合に、ラッチアップを防止できる金属配線構造を提供することにある。

本発明は、 $pnpn$ 構造の 3 端子転送素子多数個を配列した 3 端子転送素子アレイの各転送素子の制御電極を互いに第 1 の電氣的手段にて接続すると共に、各転送の素子の制御電極に電源ラインを第 2 の電氣的手段を用いて接続し、かつ各転送素子の残りの 2 端子の一方にクロックラインを接続して形成した自己走査型転送素子アレイと、 $pnpn$ 構造の 3 端子発光素子多数個を配列した発光素子アレイとからなり、前記発光素子アレイの各制御電極と前記転送素子の制御電極とを接続し、各発光素子の残りの 2 端子の一方に発光のための電流を印加する書き込み信号ラインを設けた自己走査型発光装置において、分離溝で島状に分離された前記 $pnpn$ 構造の上に形成されるクロスアンダー金属配線構造である。

本発明によれば、分離溝で島状に分離された $pnpn$ 構造上に、クロスアンダー配線を形成する際に、 $pnpn$ 構造の発光サイリスタに電圧印加によるラッチアップが生じることを防止するには、次のような手段をとることができる。

(1) $pnpn$ 構造の上部 2 層に、電位差が生じないようにする。

(2) p n p n 構造の最上層と、この上に設けられる下部配線とは、非オーミック接触となるように、下部配線の材料を選ぶ。

(3) p n p n 構造の最上層と、この上に設ける下部配線との間に、絶縁型の半導体層を形成する。

(4) p n p n 構造の最上層を除去して p n p または n p n 構造にして、この上に下部配線を形成する。

このような手段による本発明のクロスアンダー金属配線構造の第1の態様によれば、分離溝で島状に分離された前記 p n p n 構造の最上層の上に設けられた下部配線と、前記分離溝で島状に分離された前記 p n p n 構造を覆う絶縁膜に開けられた第1のコンタクトホールを介して前記下部配線に接続された上部配線とを有し、前記上部配線は、前記分離溝で島状に分離された前記 p n p n 構造を覆う絶縁膜に開けられた第2のコンタクトホールを介して前記最上層の直下の層に接続されている。

第2の態様によれば、分離溝で島状に分離された前記 p n p n 構造を覆う絶縁膜に開けられたコンタクトホールを介して、下部配線に接続された上部配線とを有し、下部配線は、前記最上層と非オーミック接触を形成する材料よりなる。

第3の態様によれば、分離溝で島状に分離された前記 p n p n 構造の最上層の上に設けられた絶縁層と、絶縁層の上に設けられた下部配線と、分離溝で島状に分離された前記 p n p n 構造を覆う絶縁膜に開けられたコンタクトホールを介して下部配線に接続された上部配線とを有している。

第4の態様によれば、p n p n 構造の部分は最上層が除去されて、p n p 構造または n p n 構造となっており、分離溝で島状に分離された p n p 構造または n p n 構造の最上層の上に設けられた下部配線と、分離溝で島状に分離された前記 p n p 構造または n p n 構造を覆う絶縁膜に開けられたコンタクトホールを介して下部配線に接続された上部配線とを有している。

図面の簡単な説明

図 1 は、自己走査型発光装置の等価回路図である。

図 2 は、自己走査型発光装置のチップ内の素子配置の一例を示す図である。

図 3 は、 $\phi 1$ ボンディングパッドの周辺の配線を示す図である。

図 4 は、二重化された配線を示す図である。

図 5 は、クロスアンダー配線部分の断面図である。

図 6 は、一実施例のクロスアンダー金属配線を示す断面図である。

図 7 は、他の実施例のクロスアンダー金属配線を示す断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を実施例に基づいて説明する。

実施例 1

図 6 は、第 1 の実施例のクロスアンダー金属配線構造を示す断面図である。図 6 において、図 5 と同一の構成要素には、同一の参照番号を付して示している。

半導体基板 10 には p 型 GaAs が、p 型半導体層 30, 34 には p 型 GaAs が、n 型半導体層 32, 36 には n 型 GaAs が、絶縁膜 14 には SiO_2 が用いられている。また、上部配線 16, 25 には Al が、下部配線 18 には AuZn が用いられている。

この実施例では、pnpn 構造サイリスタのラッチアップを防止するために、pnpn 構造の上層の半導体層 34, 36 に電位差が生じないような構造とする。すなわち、p 型半導体層 34 と n 型半導体層 36 とを同電位とする。このためには、p 型半導体層 34 上に、この半導体層とオーミック接触のとれる電極 24 を設け、絶縁膜 14 に開けられたコンタクトホール 23 を介して上部配線 16 に接続し、p 型半導体層 34 と n 型半導体層 36 とを上部配線 16 により接続される。これにより、半導体層 36 と 34 は常に同電位と

なり、半導体層 30, 32, 34, 36 からなる p n p n 構造サイリスタがラッチアップすることはない。

実施例 2

p n p n 構造サイリスタのラッチアップを防ぐ他の方法としては、p n p n 構造において保持電流を流せないようにすればよい。このためには、従来例として示した図 5 の構造において、下部配線 18 の材料を、n 型 G a A s よりなる最上層の n 型半導体層 36 とオーミック接触ではなく、非オーミック接触（例えば、ショットキー接触）となるものを選ぶ。

具体的には、下部配線 18 に A u Z n を使った。この場合、金属－半導体（n 型）間の整流特性は、金属側が正電位の際に順方向特性となる。これは、p 型基板 10 上の p n p n 構造の順方向とは対向するので、保持電流を流すことはできない。

このような下部配線 18 は、p 型半導体層 34 用の電極材料を使うことが望ましい。これは、下部配線 18 を p 型半導体層用電極と同時に形成することによって、工程を簡略化できるからである。

実施例 3

本実施例によれば、図 5 の従来の金属配線構造において、p n p n 構造の上に絶縁型の半導体層（図示せず）を形成し、この上に下部配線 18 を設ける。絶縁型の半導体層の材料としては、ノンドープ G a A s を用いることができる。

このような構造によれば、p n p n 構造上に絶縁型半導体層が存在するために、p n p n 構造には電圧が印加されないため、ラッチアップが起らない。

実施例 4

この実施例では、p n p n 構造の最上層の n 型半導体層を除去して、p n p 構造を使って、下部配線を基板から分離する。

図 7 は、この実施例の断面を示す。図 5 において、n 型 G a A s 層 36 が除去された構造である p n p 構造（30, 32, 34）に

よって、下部配線 18 は、p 型 GaAs 基板 10 から分離されている。このような pnp 構造とすることによって、pnpn 構造サイリスタに特有のラッチアップの発生の問題はなくなる。

本実施例においては、npn 構造も採用できることは、明らかであろう。

以上本発明の実施の形態を 4 つの実施例で説明したが、本発明は、pnpn 構造を基本とする半導体装置であれば、自己走査型発光装置に限らず利用できる。

産業上の利用可能性

本発明によれば、pnpn 構造上にクロスアンダー配線を構成する場合にラッチアップの発生を防止することが可能となる。

請 求 の 範 囲

1. $pnpn$ 構造の 3 端子転送素子多数個を配列した 3 端子転送素子アレイの各転送素子の制御電極を互いに第 1 の電気的手段にて接続すると共に、各転送の素子の制御電極に電源ラインを第 2 の電気的手段を用いて接続し、かつ各転送素子の残りの 2 端子の一方にクロックラインを接続して形成した自己走査型転送素子アレイと、

$pnpn$ 構造の 3 端子発光素子多数個を配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極と前記転送素子の制御電極とを接続し、各発光素子の残りの 2 端子の一方に発光のための電流を印加する書き込み信号ラインを設けた自己走査型発光装置において、

分離溝で島状に分離された前記 $pnpn$ 構造の最上層の上に設けられた下部配線と、

前記分離溝で島状に分離された前記 $pnpn$ 構造を覆う絶縁膜に開けられた第 1 のコンタクトホールを介して前記下部配線に接続された上部配線とを有し、

前記上部配線は、前記絶縁膜に開けられた第 2 のコンタクトホールを介して前記最上層の直下の層に接続されていることを特徴とするクロスアンダー金属配線構造。

2. $pnpn$ 構造の 3 端子転送素子多数個を配列した 3 端子転送素子アレイの各転送素子の制御電極を互いに第 1 の電気的手段にて接続すると共に、各転送の素子の制御電極に電源ラインを第 2 の電気的手段を用いて接続し、かつ各転送素子の残りの 2 端子の一方にクロックラインを接続して形成した自己走査型転送素子アレイと、

$pnpn$ 構造の 3 端子発光素子多数個を配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極と前記転送素子の制御電極とを接続し、各発光素子の残りの 2 端子の一方に発光のための電流を印

加する書き込み信号ラインを設けた自己走査型発光装置において、
分離溝で島状に分離された前記 $pnpn$ 構造の最上層の上に設けられた下部配線と、

前記分離溝で島状に分離された前記 $pnpn$ 構造を覆う絶縁膜に開けられたコンタクトホールを介して前記下部配線に接続された上部配線とを有し、

前記下部配線は、前記最上層と非オーミック接触を形成する材料よりなることを特徴とするクロスアンダー金属配線構造。

3. 前記非オーミック接触は、ショットキー接触であることを特徴とする請求項2記載のクロスアンダー金属配線構造。

4. $pnpn$ 構造の3端子転送素子多数個を配列した3端子転送素子アレイの各転送素子の制御電極を互いに第1の電気的手段にて接続すると共に、各転送の素子の制御電極に電源ラインを第2の電気的手段を用いて接続し、かつ各転送素子の残りの2端子の一方にクロックラインを接続して形成した自己走査型転送素子アレイと、

$pnpn$ 構造の3端子発光素子多数個を配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極と前記転送素子の制御電極とを接続し、各発光素子の残りの2端子の一方に発光のための電流を印加する書き込み信号ラインを設けた自己走査型発光装置において、

分離溝で島状に分離された前記 $pnpn$ 構造の最上層の上に設けられた下部配線と、

前記絶縁層の上に設けられた下部配線と、

前記分離溝で島状に分離された前記 $pnpn$ 構造を覆う絶縁膜に開けられたコンタクトホールを介して前記下部配線に接続された上部配線とを有する、

ことを特徴とするクロスアンダー金属配線構造。

5. $pnpn$ 構造の 3 端子転送素子多数個を配列した 3 端子転送素子アレイの各転送素子の制御電極を互いに第 1 の電気的手段にて接続すると共に、各転送の素子の制御電極に電源ラインを第 2 の電気的手段を用いて接続し、かつ各転送素子の残りの 2 端子の一方にクロックラインを接続して形成した自己走査型転送素子アレイと、

$pnpn$ 構造の 3 端子発光素子多数個を配列した発光素子アレイとからなり、

前記発光素子アレイの各制御電極と前記転送素子の制御電極とを接続し、各発光素子の残りの 2 端子の一方に発光のための電流を印加する書き込み信号ラインを設けた自己走査型発光装置において、

分離溝で島状に分離された前記 $pnpn$ 構造の部分の上に形成されるクロスアンダー配線部分の金属配線構造であって、

前記 $pnpn$ 構造の部分は最上層が除去されて、 pnp 構造または npn 構造となっており、

分離溝で島状に分離された前記 pnp 構造または npn 構造の最上層の上に設けられた下部配線と、

前記分離溝で島状に分離された前記 pnp 構造または npn 構造を覆う絶縁膜に開けられたコンタクトホールを介して前記下部配線に接続された上部配線とを有する、

ことを特徴とするクロスアンダー金属配線構造。

1 / 5

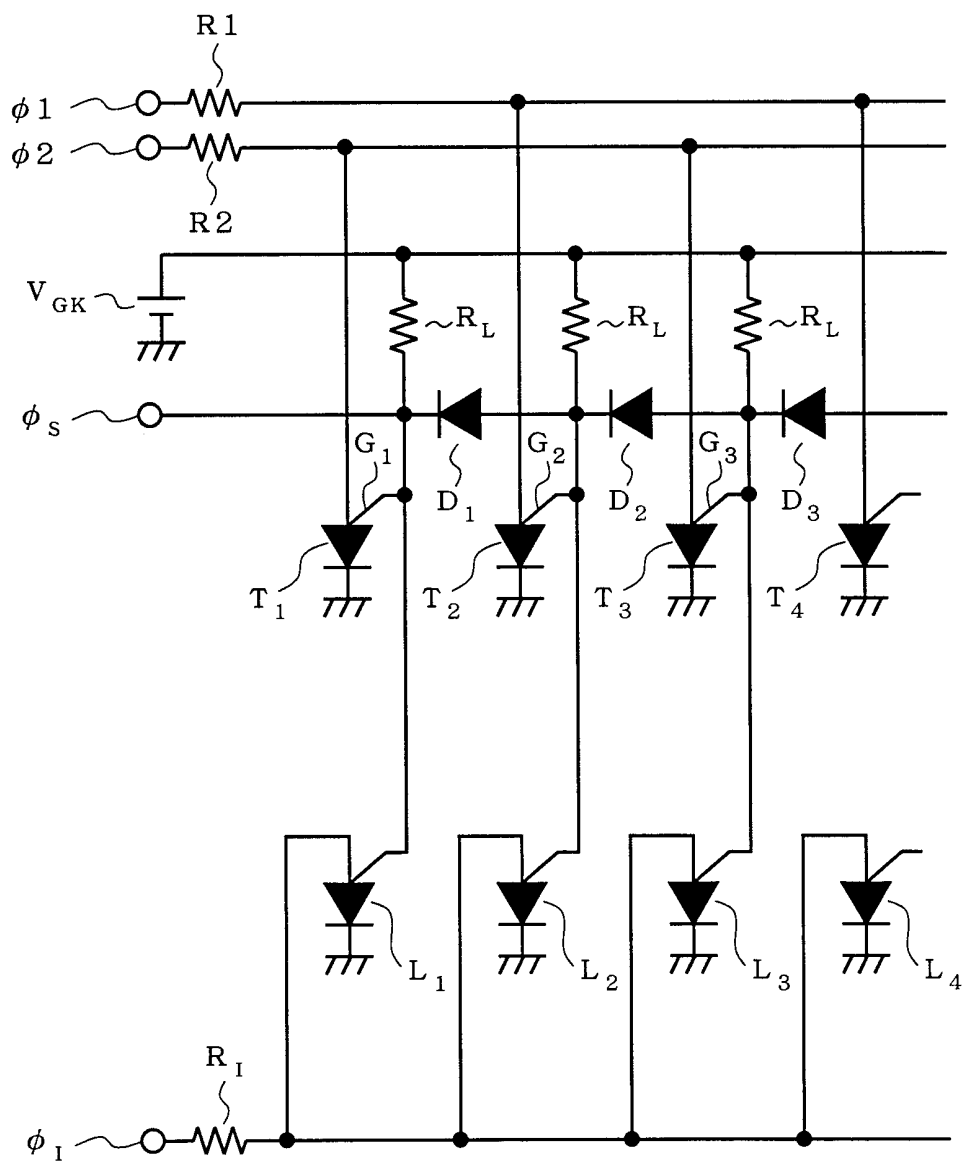


図 1

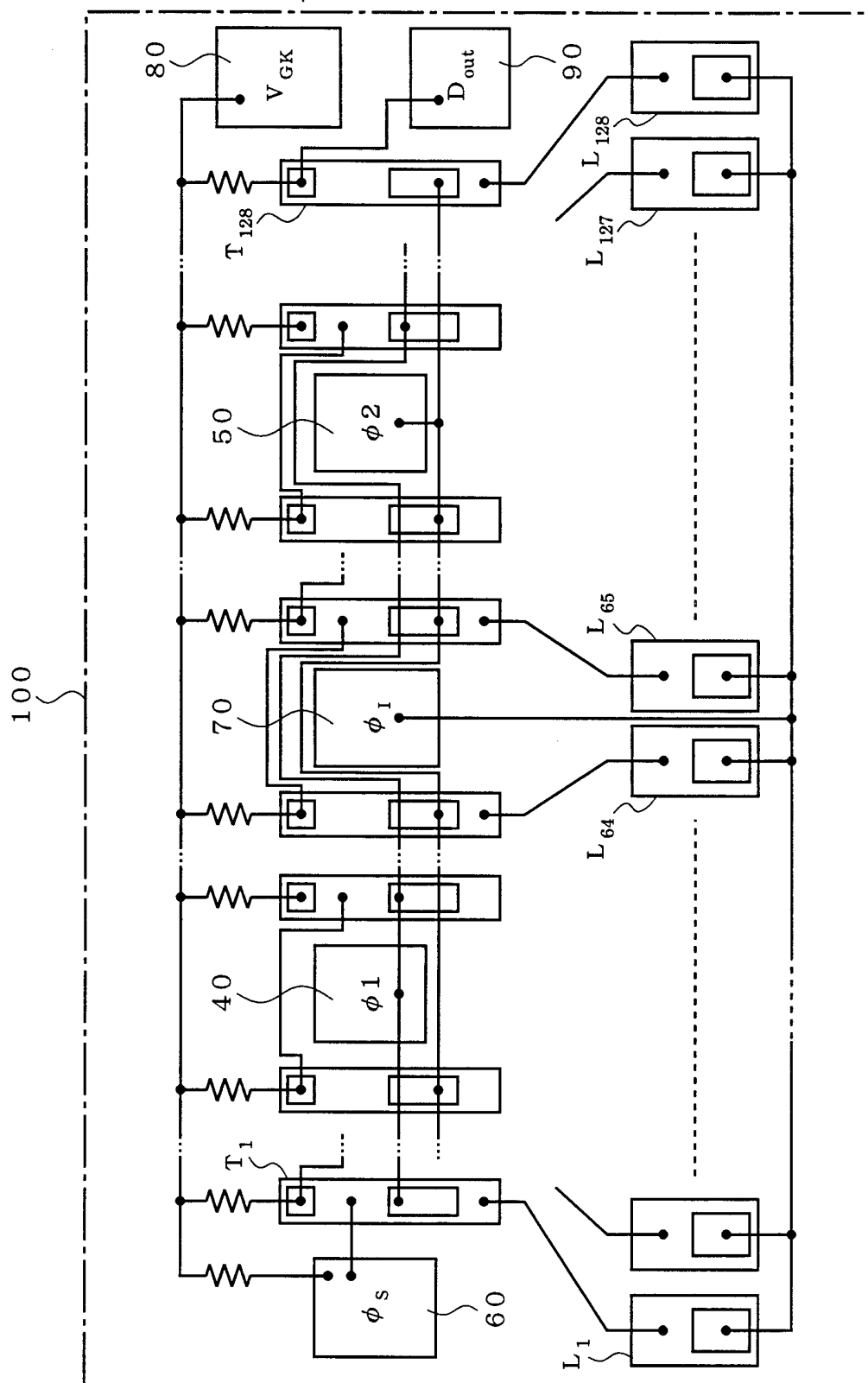


図 2

3 / 5

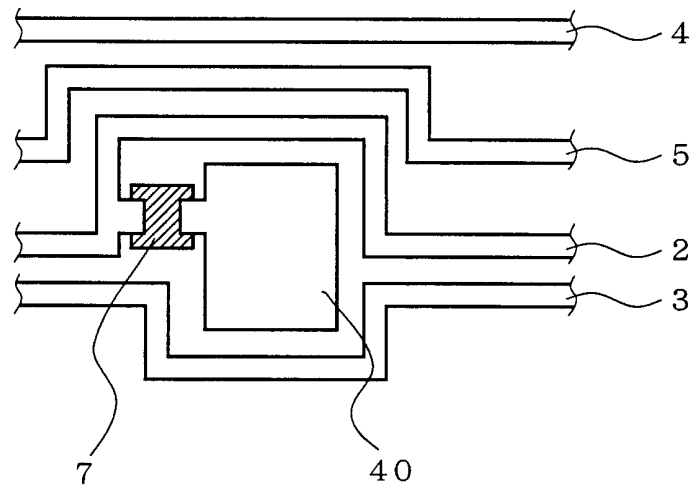


図 3

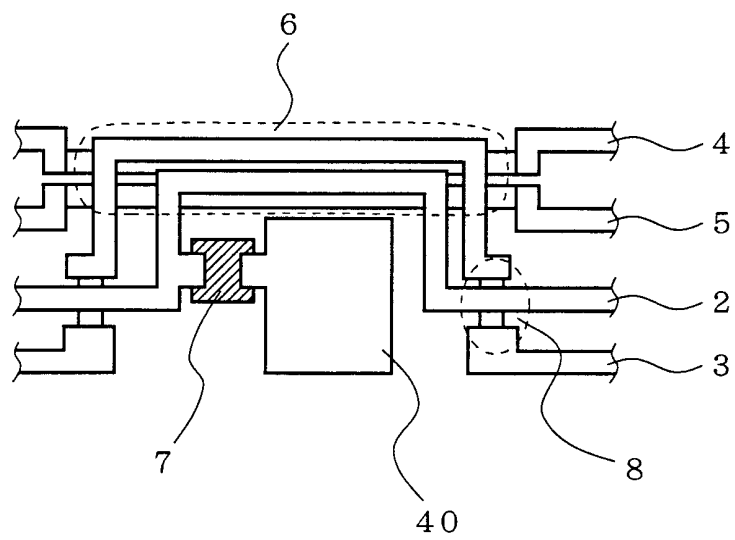


図 4

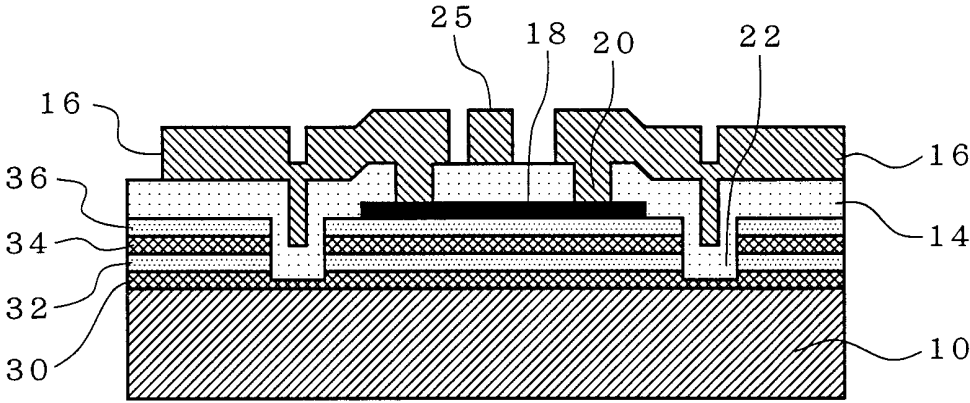


図 5

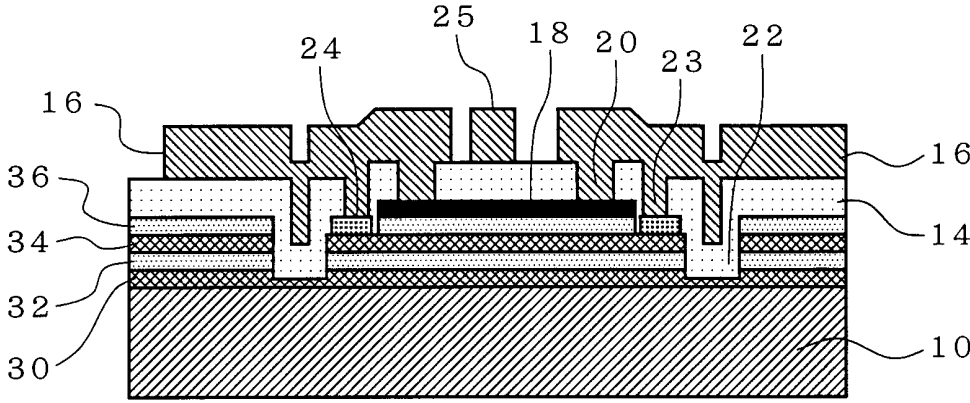


図 6

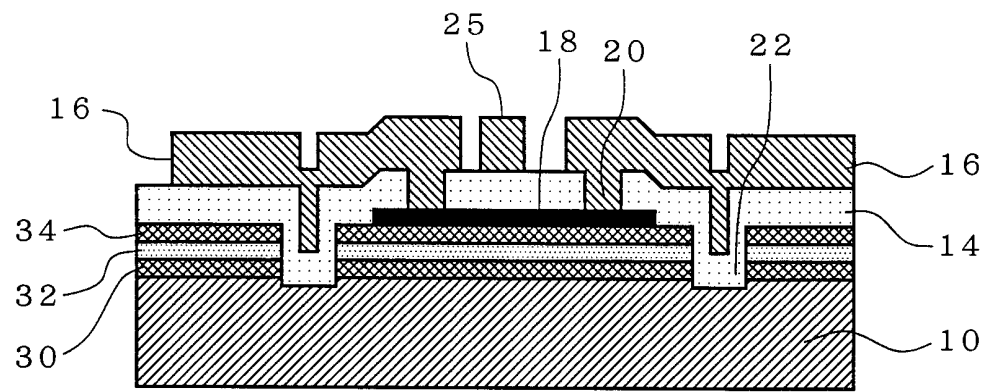


図 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/06373

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ B41J2/45, H01L27/15, H01L33/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ B41J2/45, H01L27/15, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2-208067, A (Nippon Sheet Glass Company, Limited), 17 August, 1990 (17.08.90), Full text; Figs. 1 to 14 (Family: none)	1-5
A	JP, 9-99583, A (Nippon Sheet Glass Company, Limited), 15 April, 1997 (15.04.97), Full text; Figs. 1 to 13 (Family: none)	1-5
A	JP, 5-95085, A (NEC Corporation), 16 April, 1993 (16.04.93), Full text; Figs. 1 to 4	1-5

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 December, 2000 (12.12.00)

Date of mailing of the international search report
19 December, 2000 (19.12.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ B41J2/45, H01L27/15, H01L33/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ B41J2/45, H01L27/15, H01L33/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2000年

日本国登録実用新案公報 1994-2000年

日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 2-208067, A (日本板硝子株式会社) 17. 8月. 1990 (17. 08. 90) 全文, 第1-14図 (ファミリーなし)	1-5
A	J P, 9-99583, A (日本板硝子株式会社) 15. 4月. 1997 (15. 04. 97) 全文, 第1-13図 (ファミリーなし)	1-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12. 12. 00

国際調査報告の発送日

19.12.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

菅藤 政明

電話番号 03-3581-1101 内線 3261



2 P

9305

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 5-95085, A (日本電気株式会社) 16. 4月. 1993 (16. 04. 93) 全文, 第1-4図	1-5