

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 26 年 7 月 17 日 (2014.7.17)

【公開番号】特開 2012-238371 (P2012-238371A)

【公開日】平成 24 年 12 月 6 日 (2012.12.6)

【年通号数】公開・登録公報 2012-051

【出願番号】特願 2012-88767 (P2012-88767)

【国際特許分類】

G 1 1 C 16/04 (2006.01)

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/06 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

【F I】

G 1 1 C 17/00 6 2 1 Z

G 1 1 C 17/00 6 0 1 B

G 1 1 C 17/00 6 3 3 E

G 1 1 C 17/00 6 3 3 Z

G 1 1 C 17/00 6 2 2 E

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 8 1

【手続補正書】

【提出日】平成 26 年 5 月 29 日 (2014.5.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ワードライン及びビットラインを含むメモリセルアレイであり、当該アレイのメモリセルが誘電体電荷トラップ構造を有するアレイと、

前記アレイに結合され、読み出し、プログラム及び消去の動作を制御するように構成された制御回路と、

前記アレイに結合され、前記アレイの前記メモリセル内の前記誘電体電荷トラップ構造を熱アニールする手段と、

を有するメモリ。

【請求項 2】

前記手段は、前記アレイ内の選択されたワードラインに電流を生成する回路を含み、それにより、前記アニールのための熱が前記メモリセル内に生成される、請求項 1 に記載のメモリ。

【請求項 3】

前記手段は、ワードラインドライバと、デコーダ回路に応答して対応するワードライン

上に電流を駆動するワードライン終端回路とを含む、請求項 1 又は 2 に記載のメモリ。

【請求項 4】

前記制御回路は、ブロック消去中に前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 乃至 3 の何れか一項に記載のメモリ。

【請求項 5】

前記制御回路は、プログラム動作、読み出し動作及び消去動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 乃至 3 の何れか一項に記載のメモリ。

【請求項 6】

前記制御回路は、プログラム及び消去サイクル数のカウントを管理し、該カウントが閾値に達したときに前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 乃至 3 の何れか一項に記載のメモリ。

【請求項 7】

前記制御回路は、選択されたワードラインに負電圧が印加される消去動作中に前記手段が熱アニールすることを可能にするロジックを含む、請求項 1 乃至 3 の何れか一項に記載のメモリ。

【請求項 8】

前記アレイは N A N D アーキテクチャで構成される、請求項 1 乃至 7 の何れか一項に記載のメモリ。

【請求項 9】

前記アレイのメモリセルは絶縁基板上に半導体ボディを有する、請求項 1 乃至 8 の何れか一項に記載のメモリ。

【請求項 10】

前記誘電体電荷トラップ構造は、トンネル層、電荷トラップ層及び遮断層を含み、前記トンネル層は、2 nm未満の厚さの酸化シリコン又は酸窒化シリコンの第 1 の層と、3 nm未満の厚さの窒化シリコンの第 2 の層と、4 nm未満の厚さの酸化シリコン又は酸窒化シリコンの第 3 の層とを含む、請求項 1 乃至 9 の何れか一項に記載のメモリ。

【請求項 11】

前記手段は、

前記アレイに結合されたアドレスデコーダと、

前記アレイのワードラインに結合された複数のワードラインドライバ及びワードライン終端回路であり、前記制御回路及び前記デコーダに応答して、選択されたワードラインに電流を印加する複数のワードラインドライバ及びワードライン終端回路と、

を有する、請求項 1 乃至 10 の何れか一項に記載のメモリ。

【請求項 12】

前記制御回路は、ブロック消去中に、選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 11 に記載のメモリ。

【請求項 13】

前記制御回路は、前記読み出し、プログラム及び消去の動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで、選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 11 に記載のメモリ。

【請求項 14】

前記制御回路は、選択されたワードラインに負電圧が印加される消去動作中に、該選択されたワードラインに電流を誘起するように前記ワードラインドライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 11 に記載のメモリ。

【請求項 15】

前記制御回路は、プログラム及び消去サイクル数のカウントを管理し、該カウントが閾値に達したときに、選択されたワードラインに電流を誘起するように前記ワードライン

ライバ及び前記ワードライン終端回路を制御するロジックを含む、請求項 1 1 に記載のメモリ。

【請求項 1 6】

ワードライン及びビットラインを含むメモリセルアレイを動作させる方法であって、前記アレイのメモリセルが誘電体電荷トラップ構造を有し、当該方法は、

読み出し、プログラム及び消去の動作を実行するステップと、

前記読み出し、プログラム及び消去の動作の間にインターリーブして、あるいはこれらの動作中に、の何れかで、前記アレイの前記メモリセル内の前記誘電体電荷トラップ構造を熱アニールするステップと、

を有する、方法。

【請求項 1 7】

前記アレイのワードラインに電流を印加することによって前記アニールのための熱を誘起することを含む、請求項 1 6 に記載の方法。

【請求項 1 8】

ブロック消去中に、選択されたワードラインに電流を印加して、前記アニールのための熱を誘起することを含む、請求項 1 6 又は 1 7 に記載の方法。

【請求項 1 9】

プログラム動作、読み出し動作及び消去動作のうちの少なくとも 1 つ中に前記熱アニールするステップを実行することを含む、請求項 1 6 又は 1 7 に記載の方法。

【請求項 2 0】

プログラム及び消去サイクル数のカウントを管理し、該カウントが閾値に達したときに前記熱アニールするステップを実行することを含む、請求項 1 6 又は 1 7 に記載の方法。

【請求項 2 1】

選択されたワードラインに負電圧が印加される消去動作中に前記熱アニールするステップを実行することを含む、請求項 1 6 又は 1 7 に記載の方法。

【請求項 2 2】

前記誘電体電荷トラップ構造は、トンネル層、電荷トラップ層及び遮断層を含み、前記トンネル層は、2 nm未満の厚さの酸化シリコン又は酸窒化シリコンの第 1 の層と、3 nm未満の厚さの窒化シリコンの第 2 の層と、4 nm未満の厚さの酸化シリコン又は酸窒化シリコンの第 3 の層とを含む、請求項 1 6 乃至 2 1 の何れか一項に記載の方法。