

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7500552号  
(P7500552)

(45)発行日 令和6年6月17日(2024.6.17)

(24)登録日 令和6年6月7日(2024.6.7)

|                       |                             |          |                                                |
|-----------------------|-----------------------------|----------|------------------------------------------------|
| (51)国際特許分類            |                             | F I      |                                                |
| H O 4 R               | 3/00 (2006.01)              | H O 4 R  | 3/00                                           |
| H O 1 L               | 29/786(2006.01)             | H O 1 L  | 29/78 6 1 8 B                                  |
| H O 1 L               | 21/8234(2006.01)            | H O 1 L  | 27/088 E                                       |
| H O 1 L               | 27/088(2006.01)             | H O 1 L  | 27/088 3 3 1 E                                 |
| H O 1 L               | 27/06 (2006.01)             | H O 1 L  | 27/06 1 0 2 A                                  |
| 請求項の数 4 (全35頁) 最終頁に続く |                             |          |                                                |
| (21)出願番号              | 特願2021-518219(P2021-518219) | (73)特許権者 | 000153878<br>株式会社半導体エネルギー研究所<br>神奈川県厚木市長谷398番地 |
| (86)(22)出願日           | 令和2年4月27日(2020.4.27)        | (72)発明者  | 木村 清貴<br>神奈川県厚木市長谷398番地 株式会<br>社半導体エネルギー研究所内   |
| (86)国際出願番号            | PCT/IB2020/053904           | (72)発明者  | 廣瀬 丈也<br>神奈川県厚木市長谷398番地 株式会<br>社半導体エネルギー研究所内   |
| (87)国際公開番号            | WO2020/225640               | (72)発明者  | 小林 英智<br>神奈川県厚木市長谷398番地 株式会<br>社半導体エネルギー研究所内   |
| (87)国際公開日             | 令和2年11月12日(2020.11.12)      | (72)発明者  | 池田 隆之<br>神奈川県厚木市長谷398番地 株式会<br>社半導体エネルギー研究所内   |
| 審査請求日                 | 令和5年4月10日(2023.4.10)        | 最終頁に続く   |                                                |
| (31)優先権主張番号           | 特願2019-87999(P2019-87999)   |          |                                                |
| (32)優先日               | 令和1年5月8日(2019.5.8)          |          |                                                |
| (33)優先権主張国・地域又は機関     | 日本国(JP)                     |          |                                                |

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】  
デジタルアナログ変換回路と、  
前記デジタルアナログ変換回路を制御するための制御回路と、  
電源制御スイッチと、  
複数のギルバート回路と、を有するミキサー回路を有し、  
複数の前記ギルバート回路はそれぞれ、前記デジタルアナログ変換回路が出力するアナ  
ログ電位を保持するためのアナログ電位保持回路を有し、  
前記制御回路は、前記アナログ電位保持回路および前記デジタルアナログ変換回路を制  
御するための信号を出力する機能を有し、  
前記電源制御スイッチは、前記アナログ電位保持回路が保持するアナログ電位を更新し  
ない期間において、前記制御回路への電源電圧の供給を停止する機能を有し、  
前記アナログ電位保持回路は、第1トランジスタを有し、  
前記第1トランジスタは、チャネル形成領域に酸化物半導体を有する半導体層を有する  
、半導体装置。  
【請求項2】  
請求項1において、  
前記ギルバート回路は、第2トランジスタを有し、  
前記第2トランジスタは、チャネル形成領域にシリコンを有する半導体層を有する半導  
体装置。

## 【請求項 3】

請求項 2 において、

前記第 1 トランジスタは、前記第 2 トランジスタが設けられる層に重ねて設けられる、半導体装置。

## 【請求項 4】

請求項 1 乃至 3 のいずれかーにおいて、

加算回路と、アンプ回路と、を有し、

前記加算回路は、複数の前記ギルバート回路が出力する信号を足し合わせる機能を有し、

前記アンプ回路は、前記加算回路から出力される信号を増幅して出力する機能を有する、半導体装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の一態様は、半導体装置に関する。

## 【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、およびセンサ装置などは、半導体装置を有すると言える場合がある。

## 【背景技術】

20

## 【0003】

オーディオコーデックは、様々なアプリケーションにおいてアナログ音声データのデジタルデータへのエンコードおよび、デジタル音声データのアナログデータへのデコードに用いられる。オーディオコーデックにおけるミキサー回路は、複数チャンネルから入力される音声信号をそれぞれ増幅し足し合わせる機能を持ち、そのゲイン（増幅率）を制御する回路を含む。

## 【0004】

第 1 の信号と第 2 の信号を乗算する乗算器（乗算回路ともいう）は、信号同士のミキシングを行うためのミキサー回路に利用される。例えば特許文献 1 では、ミキシングを行うための、ギルバート回路（ギルバートセルともいう）が開示されている。

30

## 【先行技術文献】

## 【特許文献】

## 【0005】

## 【文献】国際公開第 2009/030938 号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

一つのチャンネルに対して一つのゲイン制御回路をオーディオコーデックのミキサー回路に搭載する必要がある。ゲイン制御回路は、エフェクターの信号をアナログ電圧に変換するための、アナログデジタル変換回路および、その制御回路で構成される。アナログデジタル変換回路および、その制御回路において、回路面積および消費電力が大きいと、チャンネル数が多くなるほど、ゲイン制御回路の回路面積や消費電力が大きくなってしまいう虞がある。

40

## 【0007】

本発明の一態様は、回路面積の増加を抑制することができる、新規な構成の半導体装置を提供することを課題の一とする。または、消費電力の増加を抑制することができる、新規な構成の半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置等を提供することを課題の一つとする。

## 【0008】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の

50

一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0009】

本発明の一態様は、デジタルアナログ変換回路と、デジタルアナログ変換回路を制御するための制御回路と、電源制御スイッチと、複数のギルバート回路と、を有するミキサ回路を有し、複数のギルバート回路はそれぞれ、デジタルアナログ変換回路が出力するアナログ電位を保持するためのアナログ電位保持回路を有し、制御回路は、アナログ電位保持回路およびデジタルアナログ変換回路を制御するための信号を出力する機能を有し、電源制御スイッチは、アナログ電位保持回路が保持するアナログ電位を更新しない期間において、制御回路への電源電圧の供給を停止する機能を有し、アナログ電位保持回路は、第1トランジスタを有し、第1トランジスタは、チャンネル形成領域に酸化物半導体を有する半導体層を有する、半導体装置である。

10

【0010】

本発明の一態様において、ギルバート回路は、第2トランジスタを有し、第2トランジスタは、チャンネル形成領域にシリコンを有する半導体層を有する半導体装置が好ましい。

【0011】

本発明の一態様において、第1トランジスタは、第2トランジスタが設けられる層に重ねて設けられる、半導体装置が好ましい。

20

【0012】

本発明の一態様において、加算回路と、アンプ回路と、を有し、加算回路は、複数のギルバート回路が出力する信号を足し合わせる機能を有し、アンプ回路は、加算回路から出力される信号を増幅して出力する機能を有する、半導体装置が好ましい。

【発明の効果】

【0013】

本発明の一態様により、回路面積の増加を抑制することができる、新規な構成の半導体装置を提供することができる。または、消費電力の増加を抑制することができる、新規な構成の半導体装置を提供することができる。または、本発明の一態様は、新規な半導体装置等を提供することができる。

30

【0014】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0015】

図1は、半導体装置の構成を説明するためのブロック図である。

図2は、半導体装置の構成を説明するためのブロック図である。

図3A及び図3Bは、半導体装置の構成を説明するためのブロック図および回路図である。

40

図4A及び図4Bは、半導体装置の構成を説明するためのブロック図および回路図である。

図5は、半導体装置の構成を説明するための回路図である。

図6は、半導体装置の構成を説明するための回路図である。

図7は、半導体装置の構成を説明するタイミングチャートである。

図8は、半導体装置の構成例を示す断面図である。

図9は、半導体装置の構成例を示す断面図である。

図10A乃至図10Cは、トランジスタの構造例を示す断面図である。

図11A乃至図11Eは、半導体ウエハおよび電子部品の構成を説明する図である。

図12A乃至図12Cは、電子機器の構成例を示す図である。

図13は、THD+N特性を示すグラフである。

50

図 1 4 は、半導体装置における信号の保持特性を説明する図である。

【発明を実施するための形態】

【0016】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の主旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0017】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0018】

図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0019】

本明細書において、例えば、電源電位 VDD を、電位 VDD、VDD 等と省略して記載する場合がある。これは、他の構成要素（例えば、信号、電圧、回路、素子、電極、配線等）についても同様である。

【0020】

また、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“\_\_1”、“\_\_2”、“[n]”、“[m, n]”等の識別用の符号を付記して記載する場合がある。例えば、2 番目の配線 GL を配線 GL [2] と記載する。

【0021】

(実施の形態 1)

本発明の一態様の半導体装置の構成および動作について、図 1 乃至図 7 を用いて説明する。本発明の一態様の半導体装置は、アナログ音声データのデジタルデータへのエンコードおよび、デジタル音声データのアナログデータへのデコードに用いられるオーディオコーデックとしての機能を有する。特に本発明の一態様の半導体装置は、オーディオコーデックとしての機能する機能ブロックにおいて、複数チャンネルから入力される音声信号をそれぞれ増幅し足し合わせ、そのゲイン（増幅率）を制御するミキサー回路としての機能を有する。

【0022】

図 1 は本発明の一態様の半導体装置を説明するためのブロック図である。図 1 には、一例として、マイクロホン 11\_\_1、11\_\_2、アンプ回路 12\_\_1、12\_\_2、ミキサー回路 13、アナログデジタル変換回路 14、デジタルエフェクター 15、デジタルインターフェース 16、外部制御回路 17、デジタルアナログ変換回路 18、ミキサー回路 19、アンプ回路 20\_\_1、20\_\_2 およびスピーカー 21\_\_1、21\_\_2 を図示している。

【0023】

図 1 において、アンプ回路 12\_\_1、12\_\_2、ミキサー回路 13、アナログデジタル変換回路 14、デジタルエフェクター 15、デジタルインターフェース 16、デジタルアナログ変換回路 18、ミキサー回路 19、アンプ回路 20\_\_1、20\_\_2 をオーディオコーデック 10 として図示している。オーディオコーデック 10 は、半導体装置としての機能するミキサー回路 19 を含む。

【0024】

図 1 に図示するマイクロホン 11\_\_1、11\_\_2 は、一例として 2 つを図示しているが

、3つ以上備える構成でもよい。アンプ回路12\_\_1、12\_\_2は、マイクロホン11\_\_1、11\_\_2に応じた数を設ける構成とすればよい。

【0025】

ミキサー回路13は、アンプ回路12\_\_1、12\_\_2を介してマイクロホン11\_\_1、11\_\_2より出力されるアナログ音声データを合成するための回路である。アナログデジタル変換回路14は、合成されたアナログ音声データをデジタル音声データに変換するための回路である。

【0026】

デジタルエフェクター15は、デジタルインターフェース16を介して、外部制御回路17で設定された制御に応じて、アナログデジタル変換回路14から出力されるデジタル音声データを加工するための回路である。

【0027】

デジタルアナログ変換回路18は、デジタルエフェクター15で加工されたデジタル音声データをアナログ音声データに加工するための回路である。なおデジタルエフェクター15において、デジタル音声データが複数出力される場合、デジタルアナログ変換回路18を複数設ける構成とすればよい。

【0028】

ミキサー回路19は、デジタルアナログ変換回路18を介してデジタルエフェクター15より出力されるアナログ音声データを合成するための回路である。ミキサー回路19は、複数のアナログ音声データと、外部から制御されるデータとの乗算、および乗算された信号同士の加算を行うことでアナログ音声データの合成を行う機能を有する。ミキサー回路19は、後段に設けられるスピーカー21\_\_1、21\_\_2の数に応じて、合成されたアナログ音声データを出力する。図1に図示するミキサー回路19は、一例として2つの信号を出力する構成を図示しているが、3つ以上とする構成でもよい。アンプ回路20\_\_1、20\_\_2は、スピーカー21\_\_1、21\_\_2の数を設ける構成とすればよい。

【0029】

次いで図2には、半導体装置として機能する図1で図示したミキサー回路19のブロック図を示す。なお図2では、説明のため、アンプ回路20\_\_1、20\_\_2およびスピーカー21\_\_1、21\_\_2のブロック図を合わせて図示している。

【0030】

図2では、ミキサー回路19の一例として、乗算回路30（一例として、乗算回路30\_\_0乃至30\_\_7を図示）、加算回路31（一例として加算回路31\_\_1、31\_\_2を図示）、信号生成部32および電源制御スイッチ33を有する構成を図示している。信号生成部32は、インターフェース34、制御回路35およびデジタルアナログ変換回路36を有する。

【0031】

アンプ回路20\_\_1、20\_\_2は、比較回路51\_\_1、比較回路51\_\_2、スピーカー駆動回路52\_\_1およびスピーカー駆動回路52\_\_2を有する。比較回路51\_\_1、比較回路51\_\_2には、ミキサー回路19から出力される信号と、三角波生成回路53から出力される三角波と、が入力される。スピーカー駆動回路52\_\_1およびスピーカー駆動回路52\_\_2は、ミキサー回路19から出力される信号と三角波との比較結果に応じて、スピーカー21\_\_1、21\_\_2を制御するための信号を出力する機能を有する。

【0032】

乗算回路30は、入力される信号数に応じて乗算回路30\_\_0乃至30\_\_7のように複数設けられる。例えば、図1で説明したデジタルアナログ変換回路18を介してデジタルエフェクター15より出力されるアナログ音声データを信号 $W_{IN}$ とすると、図2では信号 $W_{IN}$ として信号 $W_{IN}[0]$ 乃至 $W_{IN}[3]$ が入力される。

【0033】

また乗算回路30\_\_0乃至30\_\_7には、信号生成部32から信号CTRおよび信号 $W_w$ が入力される。信号CTRは、乗算回路30\_\_0乃至30\_\_7が有するアナログ電位保

10

20

30

40

50

持回路が有するトランジスタのオンまたはオフを制御するための信号である。信号 $W_W$ は、乗算回路30\_\_0乃至30\_\_7が有するアナログ電位保持回路で保持する電位を与えるための信号である。

【0034】

信号生成部32が有するインターフェース34は、外部からデジタル信号を入力するためのインターフェースとして機能する。インターフェース34は、一例として、 $I^2C$  (Inter Integrated Circuit) インターフェースを用いればよい。

【0035】

制御回路35は、インターフェース34で受信する信号に応じて、デジタルアナログ変換回路36を制御するための信号、および信号CTRを生成する機能を有する。

【0036】

デジタルアナログ変換回路36は、制御回路35から出力されるデジタル信号に応じて、アナログ電位を出力するための信号である信号 $W_W$ を生成するための回路である。デジタルアナログ変換回路36としては、一例として、ビットに応じた重みづけを行うキャパシタの充放電を行うことで、デジタルーアナログ変換を行う回路構成とすればよい。

【0037】

電源制御スイッチ33は、乗算回路30\_\_0乃至30\_\_7が有するアナログ電位保持回路の制御に応じて、信号生成部32が有する各回路への電源電圧の供給を制御する機能を有する回路である。例えば、前述のアナログ電位保持回路に信号 $W_W$ を保持させた状態として、インターフェース34および制御回路35への電源電圧の供給を停止して、ミキサー回路19における消費電力の低減を図ることができる。

【0038】

図3A、図3Bは、図2に図示する乗算回路30\_\_0乃至30\_\_7に適用可能な乗算回路30の構成例を説明するためのブロック図および回路図である。

【0039】

図3Aには、乗算回路として機能する回路のブロック図を図示している。図3Aに図示する乗算回路30は、差動信号で動作するギルバート回路として機能する回路に加え、信号 $W_W$ のアナログ電位を信号CTRの制御に応じて保持することができるアナログ電位保持回路45N、45Pを有する。なおギルバート回路とは、2つの入力信号の乗算を行うことができる回路である。

【0040】

図3Aに図示する乗算回路30のブロックに与えられる信号 $W_{WP}$ および信号 $W_{WN}$ は、信号 $W_W$ に相当し、差動対となるトランジスタに与えられる信号である。信号 $W_{INP}$ および信号 $W_{INN}$ は、信号 $W_{IN}$ に相当し、差動対となるトランジスタに与えられる信号である。信号 $CTR_N$ および信号 $CTR_P$ は、信号CTRの信号に相当し、同じ論理の信号である。バイアス電流 $I_{BIAS}$ は、定電流を流すためのトランジスタに与える電流である。バックゲート電圧 $V_{BG}$ は、アナログ電位保持回路45N、45Pが有するトランジスタのバックゲートに与える電圧である。信号 $I_{OUT}$ は、信号 $W_W$ と信号 $W_{IN}$ との積に応じた電流である。

【0041】

図3Bは、図3Aに図示する乗算回路30のブロック図に適用可能な回路図である。乗算回路30は、トランジスタ41\_\_1、トランジスタ41\_\_2、トランジスタ41\_\_3、トランジスタ41\_\_4、トランジスタ41\_\_5、トランジスタ41\_\_6、トランジスタ41\_\_7、トランジスタ41\_\_8、トランジスタ42\_\_1、トランジスタ42\_\_2、抵抗43\_\_1、および抵抗43\_\_2で構成されるギルバート回路46と、ギルバート回路が有するトランジスタのゲートに接続されたトランジスタ44\_\_1、およびトランジスタ44\_\_2を有するアナログ電位保持回路45N、45Pを有する。なお図3Bに図示する各トランジスタのゲートには、図3Aで説明した各信号および電圧が与えられる。

【0042】

図3Bにおいて、トランジスタ41\_\_1、トランジスタ41\_\_2、トランジスタ41\_\_

10

20

30

40

50

3、トランジスタ41\_\_4、トランジスタ41\_\_5、トランジスタ41\_\_6、トランジスタ41\_\_7、トランジスタ41\_\_8は、チャンネル形成領域がシリコンを有するトランジスタ（Siトランジスタ）で、pチャンネル型のSiトランジスタである。トランジスタ42\_\_1、トランジスタ42\_\_2は、nチャンネル型のSiトランジスタである。Siトランジスタは、CMOSテクノロジーで作製することができる。

【0043】

トランジスタ44\_\_1、およびトランジスタ44\_\_2は、チャンネル形成領域が酸化物半導体を有するトランジスタ（以下、OSTランジスタという）で構成されることが好ましい。本発明の一態様の構成では、OSTランジスタをアナログ電位保持回路45N、45Pが有するトランジスタに用いる構成とすることで、オフ時にソースとドレイン間を流れるリーク電流（以下、オフ電流）が極めて低いことを利用して、信号 $W_W$ のアナログ電位を信号CTRの制御に応じてアナログ電位保持回路45N、45Pに保持させることができる。

【0044】

信号 $W_W$ によるアナログ電位の更新の頻度を低減することができ、信号 $W_W$ を出力する信号生成部32の間欠的な動作を行わせることができる。電源制御スイッチ33は、アナログ電位保持回路が保持するアナログ電位を更新しない期間において信号生成部32の制御回路35への電源電圧の供給を停止する機能を有する。そのため、電源制御スイッチ33による信号生成部32の電源電圧の供給の停止による、ミキサ回路19の低消費電力化を図ることができる。

【0045】

加えてOSTランジスタを用いたアナログ電位保持回路45N、45Pでは、電荷を充電又は放電することによってアナログ電圧の書き換えおよび読み出しが可能となるため、実質的に無制限回のアナログ電圧の取得および読み出しが可能である。OSTランジスタを用いたアナログ電位保持回路45N、45Pは、磁気メモリあるいは抵抗変化型メモリなどのように原子レベルでの構造変化を伴わないため、書き換え耐性に優れている。またOSTランジスタを用いたアナログ電位保持回路45N、45Pは、フラッシュメモリのように繰り返し書き換え動作でも電子捕獲中心の増加による不安定性が認められない。

【0046】

またOSTランジスタを用いたアナログ電位保持回路45N、45Pは、Siトランジスタを用いた回路などに自由に配置可能であるため、複数のアナログ電位保持回路45N、45Pを備える構成した場合であっても、Siトランジスタで構成されるギルバート回路46上に集積化を容易に行うことができる。またOSTランジスタは、Siトランジスタと同様の製造装置を用いて作製することが可能であるため、低コストで作製可能である。

【0047】

またOSTランジスタは、ゲート電極、ソース電極およびドレイン電極に加えて、バックゲート電極を含むと、4端子の半導体素子とすることができる。ゲート電極またはバックゲート電極に与える電圧に応じて、ソースとドレインとの間を流れる信号の入出力が独立制御可能な電気回路網で構成することができる。そのため、LSIと同一思考で回路設計を行うことができる。加えてOSTランジスタは、高温環境下において、Siトランジスタよりも優れた電気特性を有する。具体的には、125℃以上150℃以下といった高温下においてもオン電流とオフ電流の比が大きいため、良好なスイッチング動作を行うことができる。

【0048】

図4A、図4Bでは、図3A、図3Bで説明したアナログ電位保持回路45N、45Pに適用可能なアナログ電位保持回路45の動作を説明するためのブロック図および回路図を示す。なおアナログ電位保持回路45N、45Pは、差動信号として与えるアナログ電位を保持する回路であり、同じ回路構成を有する。そのため、アナログ電位保持回路45N、45Pの回路構成を説明する場合、アナログ電位保持回路45という場合がある。

## 【0049】

図4Aでは、上記図2、図3A、図3Bで説明した制御回路35、デジタルアナログ変換回路36、の他、乗算回路30として乗算回路30\_\_0-30\_\_7、アナログ電位保持回路45としてアナログ電位保持回路45\_\_0-45\_\_15を図示している。アナログ電位保持回路45\_\_0-45\_\_15は、例えば、アナログ電位保持回路45\_\_0、45\_\_1が、図3A、図3Bで説明したアナログ電位保持回路45N、45Pに対応する。また図4Aでは、上記図2、図3A、図3Bで説明した信号 $W_W$ として、信号 $W_W[0]$ -信号 $W_W[15]$ 、信号CTRとして信号CTR[0]-CTR[15]、制御回路35からデジタルアナログ変換回路36に出力されるデジタルデータとして信号DATAを図示している。なお信号 $W_W[0]$ -信号 $W_W[15]$ の一对の信号は、図3A、図3Bで説明した信号 $W_{WP}$ および信号 $W_{WN}$ に対応する。また、信号CTR[0]-CTR[15]の一对の信号は、図3A、図3Bで説明した信号CTR<sub>N</sub>および信号CTR<sub>P</sub>に対応する。

10

## 【0050】

図4Aに図示するように制御回路35は、信号DATAをデジタルアナログ変換回路36に出力する。デジタルアナログ変換回路36は、信号DATAに応じて、アナログ値の信号 $W_W[0]$ -信号 $W_W[15]$ を乗算回路30\_\_0-30\_\_7が有するアナログ電位保持回路45\_\_0-45\_\_15のそれぞれに出力する。また、制御回路35は、アナログ電位保持回路45\_\_0-45\_\_15が有するトランジスタのそれぞれにオンまたはオフを制御するための信号CTR[0]-CTR[15]を出力する。

## 【0051】

20

図4Bは、図4Aのアナログ電位保持回路45\_\_0-45\_\_15に適用可能な、アナログ電位保持回路45の回路構成を図示している。なお図4Bでは、説明のため、図4Aで説明した信号 $W_W[0]$ -信号 $W_W[15]$ を信号 $W_W$ 、信号CTR[0]-CTR[15]を信号CTRとして説明する。

## 【0052】

アナログ電位保持回路45は、OSTランジスタであるトランジスタ44を有する。トランジスタ44のソースまたはドレインの一方から信号 $W_W$ が与えられる。信号 $W_W$ に基づく電位は、トランジスタ44のソースまたはドレインの他方と、トランジスタ41のゲートと、が接続されたノードFNに保持される。トランジスタ41は、ギルバート回路46が有するSiトランジスタに相当する。ノードFNは、電荷を保持するためのキャパシタ47を有することが好ましい。トランジスタ44のゲートには、トランジスタ44のオンまたはオフを制御するための信号CTRが与えられる。トランジスタ44のバックゲートには、トランジスタ44のしきい値電圧を制御するためのバックゲート電圧 $V_{BG}$ が印加される。

30

## 【0053】

図5は、上記図2で説明した加算回路31の構成例を説明するための回路図である。図5では、加算回路31に入力される信号IOUTとして、信号IOUT\_\_0-IOUT\_\_3、オペアンプ61、抵抗62、加算回路31から出力される信号VOUTを図示している。VCOMは、基準電位である。一例として、図5に示す加算回路の構成とすることで電流を足し合わせた値に応じた電圧値の信号VOUTが得られる。

40

## 【0054】

図6は、上記図2で説明したデジタルアナログ変換回路36の構成例を説明するための回路図である。図6では、スイッチ71\_\_1、71\_\_2、キャパシタ72\_\_1-72\_\_10、切替スイッチ73\_\_1-73\_\_8およびオペアンプ74を図示している。なお図6では一例として8ビットの分解能を有するデジタルアナログ変換回路36を示す。キャパシタ72\_\_1-72\_\_10の容量比は、1:1:2:4:8:(8/7):1:2:4:8とする。8ビットのデジタル信号である信号DATAは、切替スイッチ73\_\_1-73\_\_8の切り替えを制御する信号となる。スイッチ71\_\_1、71\_\_2は、信号SRESによってオンまたはオフが制御される。切替スイッチ73\_\_1-73\_\_8は、電位VDDを与える配線と、電位VSS(<VDD)を与える配線と、の接続を切り替える。例えば、信号

50



D A T AがLレベルで電位V S Sを与える配線に接続し、Hレベルで電位V D Dを与える配線に切り替える構成とする。オペアンプ74は、アナログ値の信号A O U T (=信号W<sub>W</sub>)を出力することができる。

【0055】

図7は、図5Bおよび図6で説明した回路における各信号の動作を説明するためのタイミングチャートを示す。図7では、信号D A T Aとして信号d[0] - d[15]を図示している。

【0056】

図7に図示するタイミングチャートでは、時刻t<sub>0</sub>でデジタルアナログ変換回路36の初期化を行う。初期化は、信号S R E SをHレベルとしてスイッチ71\_\_1、71\_\_2をオンにすることで行われる。

【0057】

次いで時刻t<sub>1</sub>では、信号D A T Aとして信号d[0]をデジタルアナログ変換回路36に与える。デジタルアナログ変換回路36は、信号d[0]に応じたアナログ値の信号A O U T (=信号W<sub>W</sub>)を出力する。信号A O U Tは、信号C T R[0]をHレベルとすることで、乗算回路30\_\_0が有するアナログ電位保持回路45\_\_0に書き込むことができる。その後、信号C T R[0]をLレベルとすることで、アナログ電位保持回路45\_\_0には信号A O U Tに応じた電位を保持し続けることができる。

【0058】

以降、信号D A T Aとして信号d[1] - d[15]をデジタルアナログ変換回路36に与え、信号D A T Aに応じたアナログ値の信号A O U Tをアナログ電位保持回路45に順次書き込むことができる。そのため、複数のチャンネルのゲインを1個のデジタルアナログ変換回路36で制御することができる。

【0059】

以上説明した本発明の一態様の半導体装置は、回路面積の増加を抑制することができる。または、消費電力の増加を抑制することができる。

【0060】

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置の構成に適用可能なトランジスタの構成、具体的には異なる電気特性を有するトランジスタを積層して設ける構成について説明する。特に本実施の形態では、半導体装置を構成するミキサ回路が有する各トランジスタの構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

【0061】

図8に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図10Aはトランジスタ500のチャネル長方向の断面図であり、図10Bはトランジスタ500のチャネル幅方向の断面図であり、図10Cはトランジスタ300のチャネル幅方向の断面図である。

【0062】

トランジスタ500は、チャネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が小さいため、これを半導体装置が有するOSトランジスタに用いることにより、長期にわたり書き込んだデータ電圧あるいは電荷を保持することが可能である。つまり、リフレッシュ動作の頻度が少ない、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0063】

本実施の形態で説明する半導体装置は、図8に示すようにトランジスタ300、トランジスタ500、容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に

10

20

30

40

50

設けられている。

【0064】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。なお、トランジスタ300は、例えば、上記実施の形態におけるギルバート回路46が有するトランジスタ等に適用することができる。

【0065】

トランジスタ300は、図10Cに示すように、半導体領域313の上面及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

【0066】

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0067】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域314a、及び低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

【0068】

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、又はホウ素などのp型の導電性を付与する元素を含む。

【0069】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。

【0070】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0071】

なお、図8に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路（nチャネル型トランジスタのみ、など同極性のトランジスタで構成される回路を意味する）とする場合、図9に示すとおり、トランジスタ300の構成を、酸化物半導体を用いているトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。

【0072】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

【0073】

絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0074】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0075】

絶縁体 322 は、その下方に設けられるトランジスタ 300 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

【0076】

また、絶縁体 324 には、基板 311、又はトランジスタ 300 などから、トランジスタ 500 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0077】

水素に対するバリア性を有する膜の一例として、例えば、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0078】

水素の脱離量は、例えば、昇温脱離ガス分析法 (TDS) などを用いて分析することができる。例えば、絶縁体 324 の水素の脱離量は、TDS 分析において、膜の表面温度が 50℃ から 500℃ の範囲において、水素原子に換算した脱離量が、絶縁体 324 の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$  以下、好ましくは  $5 \times 10^{15} \text{ atoms/cm}^2$  以下であればよい。

【0079】

なお、絶縁体 326 は、絶縁体 324 よりも誘電率が低いことが好ましい。例えば、絶縁体 326 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 326 の比誘電率は、絶縁体 324 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0080】

また、絶縁体 320、絶縁体 322、絶縁体 324、及び絶縁体 326 には容量素子 600、又はトランジスタ 500 と接続する導電体 328、及び導電体 330 等が埋め込まれている。なお、導電体 328、及び導電体 330 は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

【0081】

各プラグ、及び配線 (導電体 328、導電体 330 等) の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料などの導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。又は、アルミニ

10

20

30

40

50

ウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0082】

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図8において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0083】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0084】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0085】

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図8において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0086】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0087】

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図8において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0088】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0089】

絶縁体374、及び導電体376上に、配線層を設けてもよい。例えば、図8において

10

20

30

40

50

、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

#### 【0090】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

10

#### 【0091】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

#### 【0092】

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

20

#### 【0093】

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 311、又はトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

#### 【0094】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

30

#### 【0095】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

#### 【0096】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

40

#### 【0097】

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

#### 【0098】

50

また、絶縁体510、絶縁体512、絶縁体514、及び絶縁体516には、導電体518、及びトランジスタ500を構成する導電体（例えば、導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体518は、導電体328、及び導電体330と同様の材料を用いて設けることができる。

【0099】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

【0100】

絶縁体516の上方には、トランジスタ500が設けられている。

【0101】

図10A、図10Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

【0102】

また、図10A、図10Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544が配置されることが好ましい。また、図10A、図10Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図10A、図10Bに示すように、絶縁体580、導電体560、絶縁体550及び酸化物530cの上に絶縁体574が配置されることが好ましい。

【0103】

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

【0104】

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図8、図10Aに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0105】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体5

10

20

30

40

50

42bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

#### 【0106】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

10

#### 【0107】

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

20

#### 【0108】

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、`surrounded channel`（`S-channel`）構造とよぶ。

#### 【0109】

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

30

#### 【0110】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

40

#### 【0111】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

#### 【0112】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。

#### 【0113】

絶縁体520、絶縁体522、および絶縁体524は、第2のゲート絶縁膜としての機

50

能を有する。

【0114】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

【0115】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては $100^\circ\text{C}$ 以上 $700^\circ\text{C}$ 以下、又は $100^\circ\text{C}$ 以上 $400^\circ\text{C}$ 以下の範囲が好ましい。

【0116】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0117】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

【0118】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコニウム酸鉛（PZT）、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）、又は（Ba, Sr） $\text{TiO}_3$ （BST）などのいわゆるh i g h - k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にh i g h - k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0119】

特に、不純物、及び酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

【0120】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

【0121】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、h i g h - k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ

10

20

30

40

50



比誘電率の高い積層構造の絶縁体 520 を得ることができる。

【0122】

なお、図 10A、図 10B のトランジスタ 500 では、3 層の積層構造からなる第 2 のゲート絶縁膜として、絶縁体 520、絶縁体 522、及び絶縁体 524 が図示されているが、第 2 のゲート絶縁膜は、単層、2 層、又は 4 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0123】

トランジスタ 500 は、チャネル形成領域を含む酸化物 530 に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物 530 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。また、酸化物 530 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

【0124】

酸化物 530 においてチャネル形成領域として機能する金属酸化物は、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0125】

酸化物 530 は、酸化物 530b 下に酸化物 530a を有することで、酸化物 530a よりも下方に形成された構造物から、酸化物 530b への不純物の拡散を抑制することができる。また、酸化物 530b 上に酸化物 530c を有することで、酸化物 530c よりも上方に形成された構造物から、酸化物 530b への不純物の拡散を抑制することができる。

【0126】

なお、酸化物 530 は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 530a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 530a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 530b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 530b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 530a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 530c は、酸化物 530a 又は酸化物 530b に用いることができる金属酸化物を、用いることができる。

【0127】

また、酸化物 530a 及び酸化物 530c の伝導帯下端のエネルギーが、酸化物 530b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 530a 及び酸化物 530c の電子親和力が、酸化物 530b の電子親和力より小さいことが好ましい。

【0128】

ここで、酸化物 530a、酸化物 530b、及び酸化物 530c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 530a、酸化物 530b、及び酸化物 530c の接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物 530a と酸化物 530b との界面、及び酸化物 530b と酸化物 530c との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0129】

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

#### 【0130】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

#### 【0131】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタルなどの金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

#### 【0132】

また、図10では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

#### 【0133】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

#### 【0134】

また、図10Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

#### 【0135】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（

10

20

30

40

50

領域 5 4 3 b) に導電体 5 4 2 a (導電体 5 4 2 b) に含まれる金属と、酸化物 5 3 0 の成分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a (領域 5 4 3 b) のキャリア密度が増加し、領域 5 4 3 a (領域 5 4 3 b) は、低抵抗領域となる。

#### 【0136】

絶縁体 5 4 4 は、導電体 5 4 2 a、及び導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、及び導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

#### 【0137】

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコン又は窒化シリコンなども用いることができる。

#### 【0138】

特に、絶縁体 5 4 4 として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物(ハフニウムアルミネート)などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体 5 4 2 a、及び導電体 5 4 2 b が耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

#### 【0139】

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、及び水素などの不純物が酸化物 5 3 0 c、絶縁体 5 5 0 を介して、酸化物 5 3 0 b に拡散することを抑制することができる。

#### 【0140】

絶縁体 5 5 0 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 5 0 は、酸化物 5 3 0 c の内側(上面、及び側面)に接して配置することが好ましい。絶縁体 5 5 0 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

#### 【0141】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

#### 【0142】

加熱により酸素が放出される絶縁体を、絶縁体 5 5 0 として、酸化物 5 3 0 c の上面に接して設けることにより、絶縁体 5 5 0 から、酸化物 5 3 0 c を通じて、酸化物 5 3 0 b のチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 5 0 中の水又は水素などの不純物濃度が低減されていることが好ましい。絶縁体 5 5 0 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

#### 【0143】

また、絶縁体 5 5 0 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 5 0 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 5 0 から導電体 5 6 0 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 5 5 0 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物として

は、絶縁体 5 4 4 に用いることができる材料を用いればよい。

【0144】

なお、絶縁体 5 5 0 は、第 2 のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0145】

第 1 のゲート電極として機能する導電体 5 6 0 は、図 1 0 A、図 1 0 B では 2 層構造として示しているが、単層構造でもよいし、3 層以上の積層構造であってもよい。

【0146】

導電体 5 6 0 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 ( $N_2O$ 、 $NO$ 、 $NO_2$  など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素 (例えば、酸素原子、酸素分子などの少なくとも一) の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 5 6 0 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 5 5 0 に含まれる酸素により、導電体 5 6 0 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウムなどを用いることが好ましい。また、導電体 5 6 0 a として、酸化物 5 3 0 に適用できる酸化物半導体を用いることができる。その場合、導電体 5 6 0 b をスパッタリング法で成膜することで、導電体 5 6 0 a の電気抵抗値を低下させて導電体にすることができる。これを OC (Oxide Conductor) 電極と呼ぶことができる。

【0147】

また、導電体 5 6 0 b は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 5 6 0 b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 5 6 0 b は積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

【0148】

絶縁体 5 8 0 は、絶縁体 5 4 4 を介して、導電体 5 4 2 a、及び導電体 5 4 2 b 上に設けられる。絶縁体 5 8 0 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 5 8 0 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂などを有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

【0149】

絶縁体 5 8 0 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体 5 8 0 を、酸化物 5 3 0 c と接して設けることで、絶縁体 5 8 0 中の酸素を、酸化物 5 3 0 c を通じて、酸化物 5 3 0 へと効率良く供給することができる。なお、絶縁体 5 8 0 中の水又は水素などの不純物濃度が低減されていることが好ましい。

【0150】

絶縁体 5 8 0 の開口は、導電体 5 4 2 a と導電体 5 4 2 b の間の領域に重畳して形成される。これにより、導電体 5 6 0 は、絶縁体 5 8 0 の開口、及び導電体 5 4 2 a と導電体 5 4 2 b に挟まれた領域に、埋め込まれるように形成される。

【0151】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

#### 【0152】

絶縁体574は、絶縁体580の上面、導電体560の上面、絶縁体550の上面及び酸化物530cの上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

10

#### 【0153】

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウムなどから選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

#### 【0154】

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

20

#### 【0155】

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水又は水素などの不純物濃度が低減されていることが好ましい。

#### 【0156】

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

30

#### 【0157】

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

#### 【0158】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

40

#### 【0159】

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

#### 【0160】

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、及び絶縁体586には、導電体546、及び

50

導電体 5 4 8 等が埋め込まれている。

【0161】

導電体 5 4 6、及び導電体 5 4 8 は、容量素子 6 0 0、トランジスタ 5 0 0、又はトランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 5 4 6、及び導電体 5 4 8 は、導電体 3 2 8、及び導電体 3 3 0 と同様の材料を用いて設けることができる。

【0162】

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0、絶縁体 6 3 0 とを有する。

【0163】

また、導電体 5 4 6、及び導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、及び導電体 6 1 0 は、同時に形成することができる。

【0164】

導電体 6 1 2、及び導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

【0165】

図 8 では、導電体 6 1 2、及び導電体 6 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0166】

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、又は金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【0167】

導電体 6 2 0、及び絶縁体 6 3 0 上には、絶縁体 6 4 0 が設けられている。絶縁体 6 4 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 4 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0168】

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

【0169】

（実施の形態 3）

本実施の形態では、半導体装置の一例として、IC チップ、電子部品、電子機器等について説明する。

【0170】

<電子部品の作製方法例>

図 11 A は、電子部品の作製方法例を示すフローチャートである。電子部品は、半導体パッケージ、または IC 用パッケージともいう。この電子部品は、端子取り出し方向や、

10

20

30

40

50

端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。以下述べる電子部品は、半導体装置を構成するギルバート回路が有する各トランジスタを備えた電子部品に相当する。

#### 【0171】

トランジスタで構成される半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。後工程については、図11Aに示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップST71）した後、基板の裏面を研削する。この段階で基板を薄膜化して、前工程での基板の反り等を低減し、部品の小型化を図る。次に、基板を複数のチップに分離するダイシング工程を行う（ステップST72）。

10

#### 【0172】

図11Bは、ダイシング工程が行われる前の半導体ウエハ7100の上面図である。図11Cは、図11Bの部分拡大図である。半導体ウエハ7100には、複数の回路領域7102が設けられている。回路領域7102には、本発明の形態に係る半導体装置が設けられている。

#### 【0173】

複数の回路領域7102は、それぞれが分離領域7104に囲まれている。分離領域7104と重なる位置に分離線（「ダイシングライン」ともいう。）7106が設定される。ダイシング工程ST72では、分離線7106に沿って半導体ウエハ7100切断することで、回路領域7102を含むチップ7110を半導体ウエハ7100から切り出す。図11Dにチップ7110の拡大図を示す。

20

#### 【0174】

分離領域7104に導電層や半導体層を設けてもよい。分離領域7104に導電層や半導体層を設けることで、ダイシング工程時に生じるESDを緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域7104に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

#### 【0175】

ステップST72を行った後、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップST73）。ダイボンディング工程におけるチップとリードフレームとの接合方法は製品に適した方法を選択すればよい。例えば、接着は樹脂やテープによって行えばよい。ダイボンディング工程は、インターポーザ上にチップを搭載し接合してもよい。ワイヤーボンディング工程で、リードフレームのリードとチップ上の電極とを金属の細線（ワイヤー）で電氣的に接続する（ステップST74）。金属の細線には、銀線や金線を用いることができる。ワイヤーボンディングは、ボールボンディングとウェッジボンディングの何れでもよい。

30

#### 【0176】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップST75）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる。また水分や埃による特性の劣化を低減することができる。リードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップST76）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。パッケージの表面に印字処理（マーキング）を施す（ステップST77）。検査工程（ステップST78）を経て、電子部品が完成する（ステップST79）。

40

#### 【0177】

完成した電子部品の斜視模式図を図11Eに示す。図11Eでは、電子部品の一例とし

50

て、QFP (Quad Flat Package) の斜視模式図を示している。図 1 1 E に示すように、電子部品 7 0 0 0 は、リード 7 0 0 1 及びチップ 7 1 1 0 を有する。

【0178】

電子部品 7 0 0 0 は、例えばプリント基板 7 0 0 2 に実装される。このような電子部品 7 0 0 0 が複数組み合わせられて、それぞれがプリント基板 7 0 0 2 上で電氣的に接続されることで電子機器に搭載することができる。完成した回路基板 7 0 0 4 は、電子機器等の内部に設けられる。

【0179】

電子部品 7 0 0 0 は、デジタル信号処理、ソフトウェア無線、アビオニクス（通信機器、航法システム、自動操縦装置、飛行管理システム等の航空に関する電子機器）、A S I C のプロトタイピング、医療用画像処理、音声認識、暗号、バイオインフォマティクス（生物情報科学）、機械装置のエミュレータ、および電波天文学における電波望遠鏡等、幅広い分野の電子機器の電子部品（ICチップ）に適用することが可能である。このような電子機器としては、カメラ（ビデオカメラ、デジタルスチルカメラ等）、表示装置、パーソナルコンピュータ（PC）、携帯電話、携帯型を含むゲーム機、携帯型情報端末（スマートフォン、タブレット型情報端末など）、電子書籍端末、ウェアラブル型情報端末（時計型、ヘッドマウント型、ゴーグル型、眼鏡型、腕章型、ブレスレット型、ネックレス型等）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機、家庭用電化製品などが挙げられる。

【0180】

<電子機器への適用例>

次いで、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、移動体、構造体などの電子機器あるいは筐体に、上述の電子部品を適用する場合について説明する。

【0181】

図 1 2 A には、テレビジョン装置 9 1 0 を図示しており、筐体 9 2 1、表示部 9 2 2、スタンド 9 2 3 などで構成されている。筐体 9 2 1 には、上述の電子部品 7 0 0 0 が設けられている。

【0182】

図 1 2 B は、移動体の一例である自動車 9 2 0 の内部の構成について図示しており、車体内部の構成として、ピラー 9 3 1 と、ダッシュボード 9 3 2 と、ハンドル 9 3 3 等を図示している。ピラー 9 3 1、ダッシュボード 9 3 2、ハンドル 9 3 3 には、上述の電子部品 7 0 0 0 を設けることができる。

【0183】

図 1 2 C は、開閉ドア 9 4 1 および支柱 9 4 2 などの構造体を図示したものである。開閉ドア 9 4 1 および支柱 9 4 2 には、上述の電子部品 7 0 0 0 が設けられている。

【0184】

以上のように本実施の形態に示す電子機器には、上述の電子部品 7 0 0 0 を設ける構成としている。そのため、ユーザ等の発する音を音源として特定し、特定した音源の位置に基づいたアプリケーションの起動などを行うことが可能となる。

【実施例 1】

【0185】

本実施例では、上記実施の形態 1 で説明したアナログ電位保持回路を有するギルバート回路について、実際に作製した回路における信号の保持特性について説明する。

【0186】

ギルバート回路を構成するトランジスタは、Si トランジスタをチャネル長 0.11  $\mu$ m の CMOS テクノロジーで、OS トランジスタをチャネル長 60 nm の CAAC-IGZO テクノロジーで試作した。このチップをワイヤーボンディングして、半導体装置を作製した。入力される信号  $V_{inp}$ 、 $V_{inn}$  およびゲインを決定する信号  $V_{wp}$ 、 $V_{wn}$  は外部より供給する構成とした。信号  $I_{out}$  は、抵抗を介して電圧に変換され、アンプ



によって増幅された信号  $V_{out}$  が外部に出力される構成とした。半導体装置の電源電圧は、 $3.3\text{ V}$  とした。ギルバート回路の出力の線形性を保つため信号  $V_{inp}$ ,  $V_{inn}$ ,  $V_{wp}$ ,  $V_{wn}$  のピークトゥピーク値は  $0.4\text{ V}$  とした。

【0187】

OSトランジスタをオフにしてアナログ電位を保持する場合、信号  $V_{wp}$ ,  $V_{wn}$  はフローティングノードに保持される。この状態でギルバート回路を動作させたときに信号  $V_{wp}$ ,  $V_{wn}$  が変動してしまうことが懸念される。これを検証するため、このギルバート回路の  $\text{THD+N}$  ( $\text{Total Harmonic Distortion} + \text{Noise}$ ) 特性 (全高調波歪み率+雑音特性) を調べた。この測定では信号  $V_{inp}$ ,  $V_{inn}$  に  $1\text{ kHz}$  の  $\sin$  波を入力し、信号  $V_{wp}$ ,  $V_{wn}$  に固定電圧を入力し、OSトランジスタをオンにしたままの場合と、OSトランジスタをオフにして信号  $V_{wn}$  をアナログ電位保持回路のキャパシタに保持した場合の信号  $V_{out}$  の波形を測定した。図13は、信号  $V_{out}$  の波形図である。 $\text{THD+N}$  特性は、OSトランジスタ (OSFET) がオンの状態のとき  $12\%$ 、OSトランジスタをオフにして信号  $V_{wn}$  を保持したとき  $14\%$  であり、それぞれの  $\text{THD+N}$  特性は同等程度であった。よって、アナログ電位保持回路で電圧を保持している場合においても、信号  $V_{wn}$  は一定に保たれていた。

【0188】

OSトランジスタを用いたアナログ電位保持回路における信号  $V_{wp}$ ,  $V_{wn}$  の保持時間を測定した。信号  $V_{inp}$ ,  $V_{inn}$  に  $1\text{ kHz}$  の  $\sin$  波を入力し、信号  $V_{wp}$ ,  $V_{wn}$  に固定電圧を入力し、OSトランジスタである CAAC-IGZO FET をオフにして信号  $V_{wn}$  をアナログ電位保持回路のキャパシタに保持した。そのときの信号  $V_{out}$  のピークトゥピーク値を初期値とし、その時間変化を測定した。OSトランジスタのバックゲート電圧  $V_{BG}$  は、 $4$ ,  $4.5$ ,  $5$ ,  $5.5\text{ V}$  としてそれぞれ測定した。図14は、信号  $V_{out}$  のピークトゥピークの初期値からの減衰量  $\Delta V_{pp}$  (信号振幅変化) と時間 (保持時間) の関係である。バックゲート電圧  $V_{BG}$  が小さいほど減衰量  $\Delta V_{pp}$  の変化は小さく、電圧  $V_{BG}$  が  $4\text{ V}$  のとき、 $0.2$  秒後の減衰量  $\Delta V_{pp}$  は  $0.012\text{ V}$  だった。電圧  $V_{BG}$  をさらに小さくすれば、長時間の保持が見込めることがわかった。

【0189】

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。

【0190】

各実施の形態に示す構成は、他の実施の形態あるいは実施例に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

【0191】

なお、ある一つの実施の形態の中で述べる内容 (一部の内容でもよい) は、その実施の形態で述べる別の内容 (一部の内容でもよい)、および／または、一つ若しくは複数の別の実施の形態で述べる内容 (一部の内容でもよい) に対して、適用、組み合わせ、または置き換えなどを行うことが出来る。

【0192】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、または明細書に記載される文章を用いて述べる内容のことである。

【0193】

なお、ある一つの実施の形態において述べる図 (一部でもよい) は、その図の別の部分、その実施の形態において述べる別の図 (一部でもよい)、および／または、一つ若しくは複数の別の実施の形態において述べる図 (一部でもよい) に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0194】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎

10

20

30

40

50

に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0195】

また、図面において、大きさ、層の厚さ、または領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、または、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0196】

また、図面等において図示する構成要素の位置関係は、相対的である。従って、図面を参照して構成要素を説明する場合、位置関係を示す「上に」、「下に」等の語句は便宜的に用いられる場合がある。構成要素の位置関係は、本明細書の記載内容に限定されず、状況に応じて適切に言い換えることができる。

【0197】

本明細書等において、トランジスタの接続関係を説明する際、「ソースまたはドレインの一方」（または第1電極、または第1端子）、ソースとドレインとの他方を「ソースまたはドレインの他方」（または第2電極、または第2端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造または動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

【0198】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0199】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0200】

また本明細書等において、ノードは、回路構成やデバイス構造等に応じて、端子、配線、電極、導電層、導電体、不純物領域等と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

【0201】

本明細書等において、AとBとが接続されている、とは、AとBとが電氣的に接続されているものをいう。ここで、AとBとが電氣的に接続されているとは、AとBとの間で対象物（スイッチ、トランジスタ素子、またはダイオード等の素子、あるいは当該素子および配線を含む回路等を指す）が存在する場合にAとBとの電気信号の伝達が可能である接続をいう。なおAとBとが電氣的に接続されている場合には、AとBとが直接接続されている場合を含む。ここで、AとBとが直接接続されているとは、上記対象物を介することなく、AとBとの間で配線（または電極）等を介してAとBとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

【0202】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

10

20

30

40

50

## 【0203】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

## 【0204】

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

## 【0205】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

## 【符号の説明】

## 【0206】

t0：時刻、t1：時刻、10：オーディオコーデック、11\_\_1：マイクロホン、11\_\_2：マイクロホン、12\_\_1：アンプ回路、12\_\_2：アンプ回路、13：ミキサー回路、14：アナログデジタル変換回路、15：デジタルエフェクター、16：デジタルインターフェース、17：外部制御回路、18：デジタルアナログ変換回路、19：ミキサー回路、20\_\_1：アンプ回路、20\_\_2：アンプ回路、21\_\_1：スピーカー、21\_\_2：スピーカー、30：乗算回路、30\_\_0：乗算回路、30\_\_0-30\_\_7：乗算回路、30\_\_7：乗算回路、31：加算回路、31\_\_1：加算回路、31\_\_2：加算回路、32：信号生成部、33：電源制御スイッチ、34：インターフェース、35：制御回路、36：デジタルアナログ変換回路、41：トランジスタ、41\_\_1：トランジスタ、41\_\_2：トランジスタ、41\_\_3：トランジスタ、41\_\_4：トランジスタ、41\_\_5：トランジスタ、41\_\_6：トランジスタ、41\_\_7：トランジスタ、41\_\_8：トランジスタ、42\_\_1：トランジスタ、42\_\_2：トランジスタ、43\_\_1：抵抗、44：トランジスタ、44\_\_1：トランジスタ、44\_\_2：トランジスタ、45：アナログ電位保持回路、45\_\_0：アナログ電位保持回路、45\_\_0-45\_\_15：アナログ電位保持回路、45\_\_1：アナログ電位保持回路、45N：アナログ電位保持回路、45P：アナログ電位保持回路、46：ギルバート回路、47：キャパシタ、51\_\_1：比較回路、51\_\_2：比較回路、52\_\_1：スピーカー駆動回路、52\_\_2：スピーカー駆動回路、53：三角波生成回路、61：オペアンプ、62：抵抗、71\_\_1：スイッチ、71\_\_2：スイッチ、72\_\_1-72\_\_10：キャパシタ、73\_\_1-73\_\_8：切替スイッチ、74：オペアンプ、300：トランジスタ、311：基板、313：半導体領域、314a：低抵抗領域、314b：低抵抗領域、315：絶縁体、316：導電体、320：絶縁体、322：絶縁体、324：絶縁体、326：絶縁体、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、370：絶縁体、372：絶縁体、374：絶縁体、376：導電体、380：絶縁体、382：絶縁体、384：絶縁体、386：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、526：絶縁体、530：酸化物、530a：酸化物、530b：酸化物、530c：酸化物、540a：導電体、540b：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、546：導電体、548：導電体、550：絶縁体、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600：容量素子、610：導電体、612：導電体、620：導電体、630：絶縁体、640：絶縁体、910：テレビジョン装

10

20

30

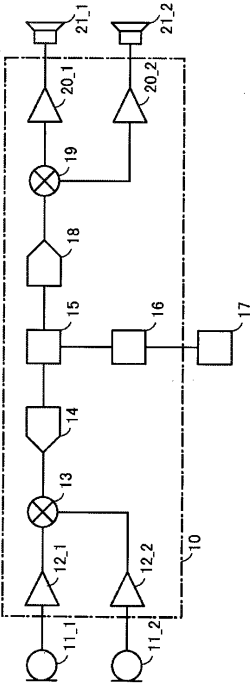
40

50

置、920：自動車、921：筐体、922：表示部、923：スタンド、931：ピラー、932：ダッシュボード、933：ハンドル、941：開閉ドア、942：支柱、7000：電子部品、7001：リード、7002：プリント基板、7004：回路基板、7100：半導体ウエハ、7102：回路領域、7104：分離領域、7106：分離線、7110：チップ

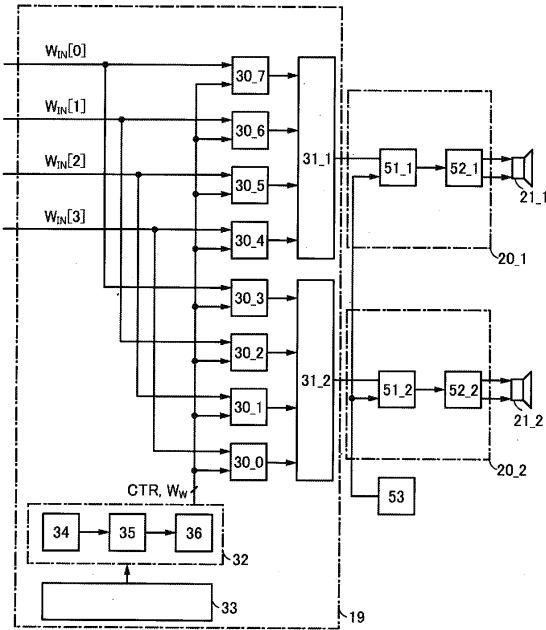
【図面】

【図1】



【図2】

図2



1

10

20

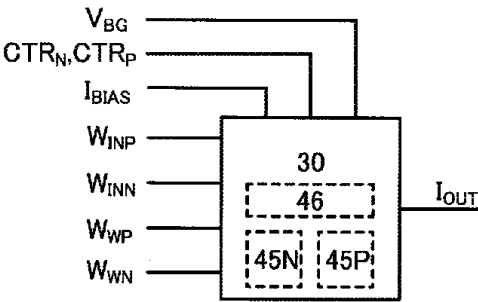
30

40

50

【図 3 A】

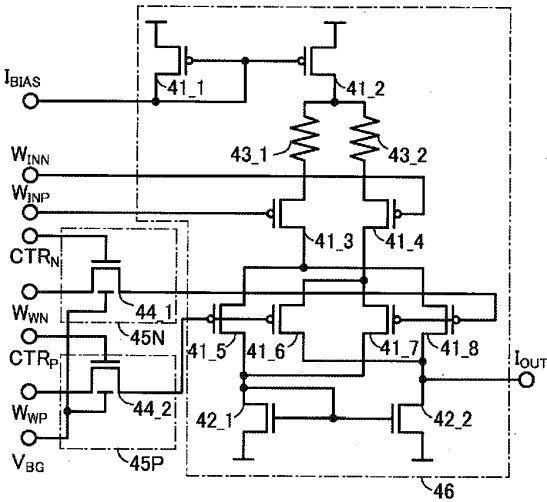
図3A



【図 3 B】

図3B

30

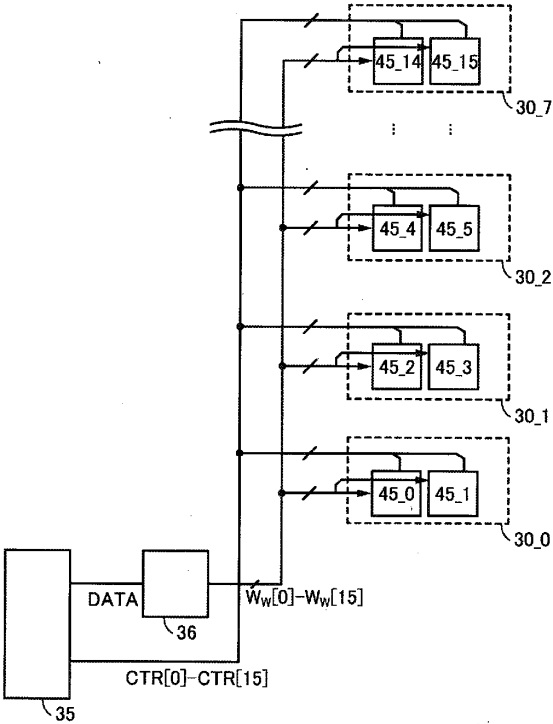


10

20

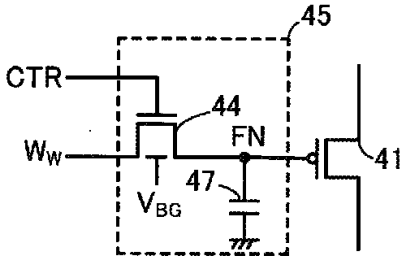
【図 4 A】

図4A



【図 4 B】

図4B



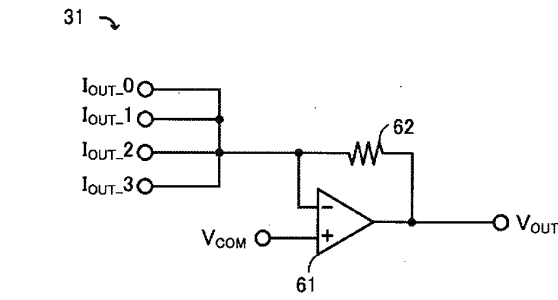
30

40

50

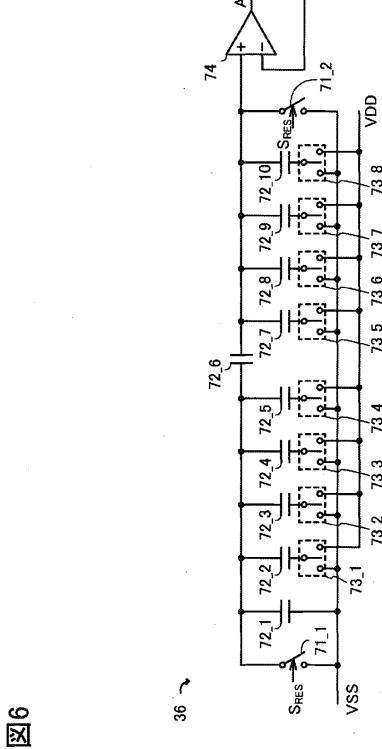
【図 5】

図5



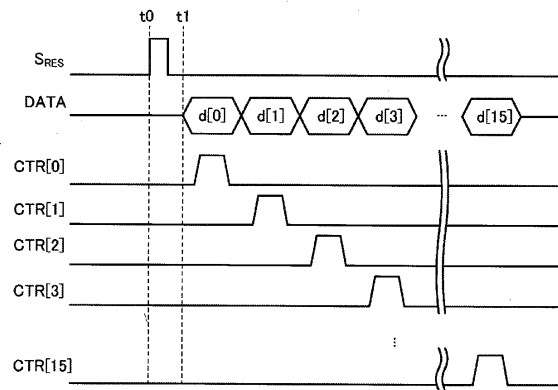
【図 6】

図6



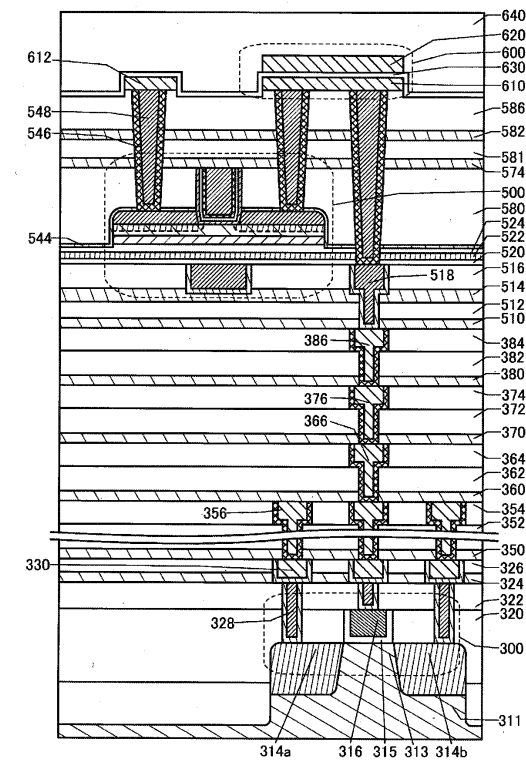
【図 7】

図7



【図 8】

図8



10

20

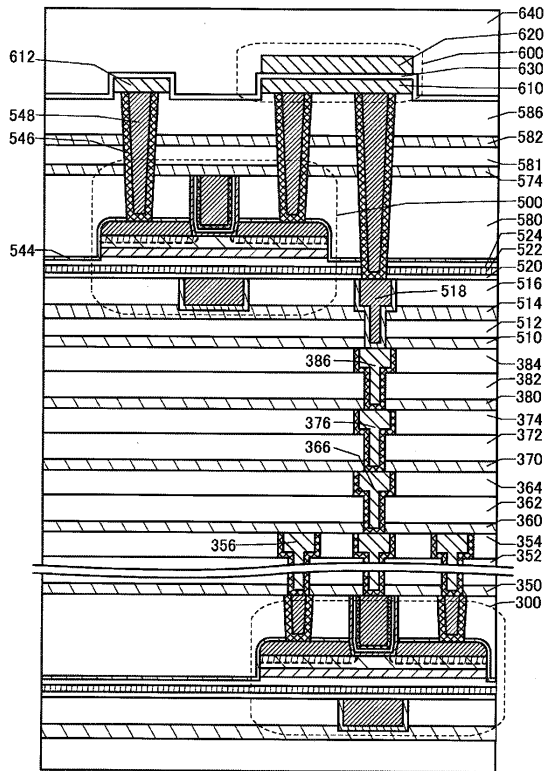
30

40

50

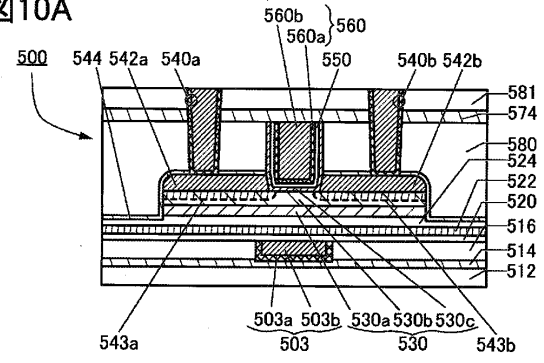
【図 9】

図9



【図 10 A】

図10A

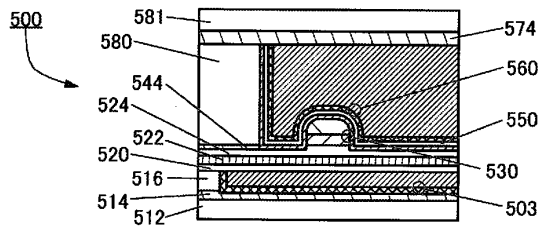


10

20

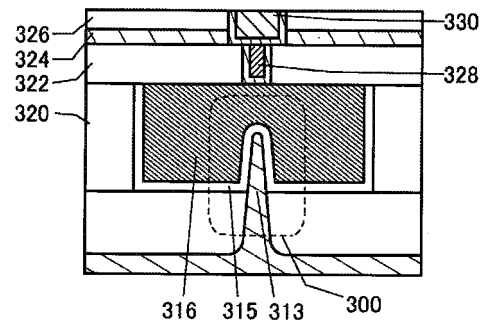
【図 10 B】

図10B



【図 10 C】

図10C



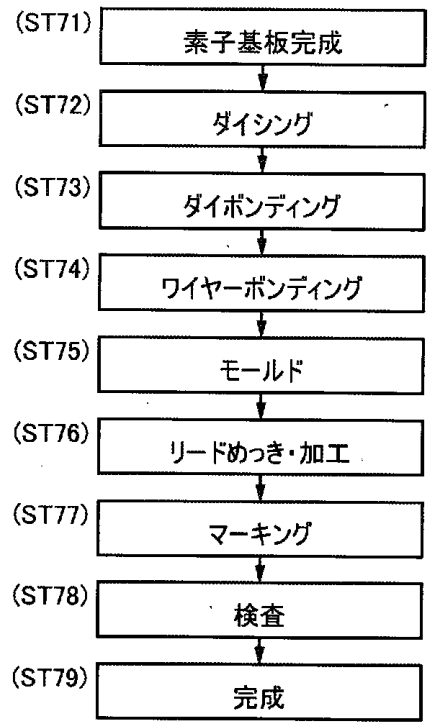
30

40

50

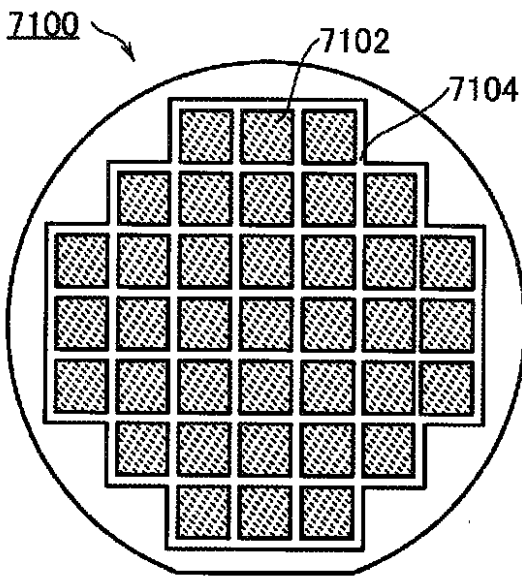
【図 1 1 A】

図11A



【図 1 1 B】

図11B

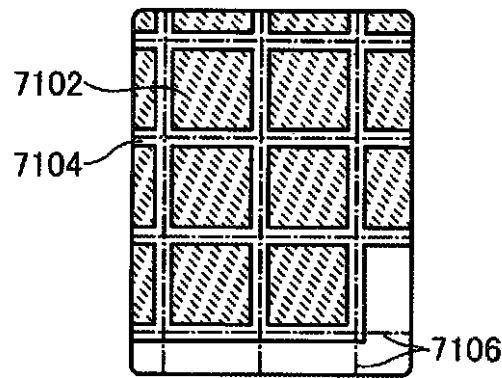


10

20

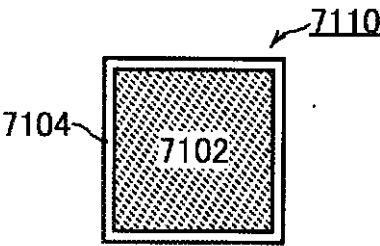
【図 1 1 C】

図11C



【図 1 1 D】

図11D



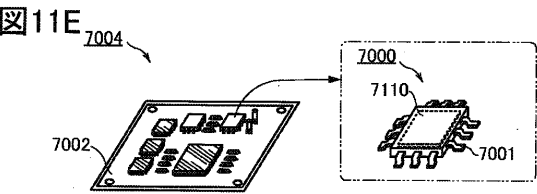
30

40

50

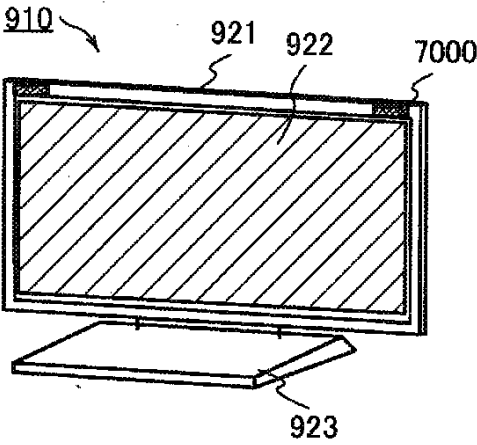


【図 1 1 E】



【図 1 2 A】

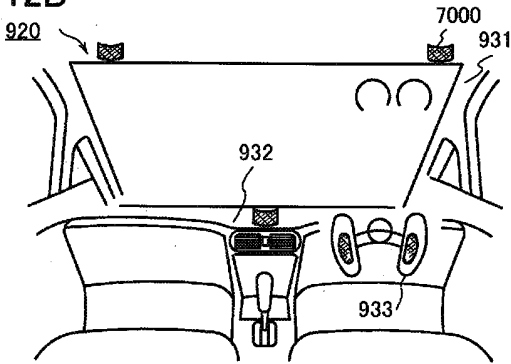
図 12A



10

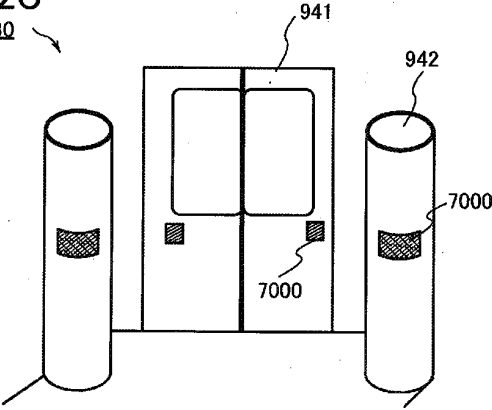
【図 1 2 B】

図 12B



【図 1 2 C】

図 12C



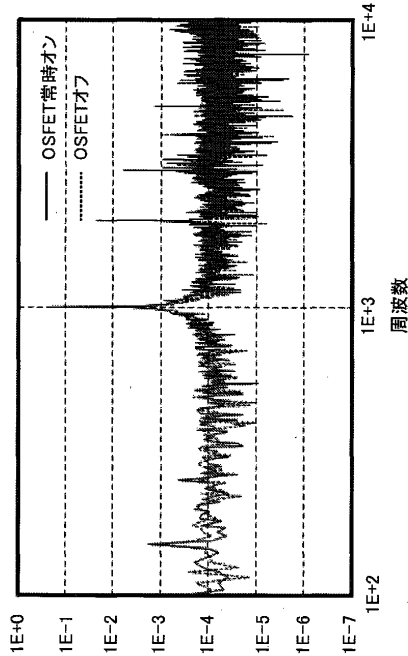
20

30

40

50

【図 13】



【図 14】

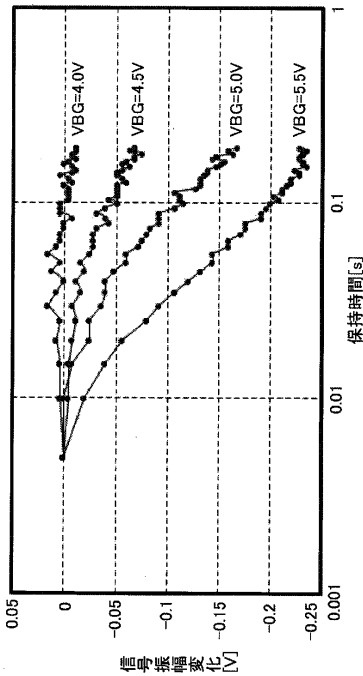


図13

図14

10

20

30

40

50

フロントページの続き

(51)国際特許分類

H 0 3 D

7/14 (2006.01)

F I

H 0 3 D 7/14 D

H 0 1 L 29/78 6 1 3 Z

審査官 堀 洋介

(56)参考文献

特開 2 0 0 3 - 5 1 8 6 0 ( J P , A )

特開 2 0 1 0 - 2 8 5 1 1 ( J P , A )

特開 2 0 1 8 - 2 6 8 1 2 ( J P , A )

(58)調査した分野 (Int.Cl., D B 名)

H 0 4 R 3 / 0 0 - 3 / 1 4

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 8 8

H 0 3 D 7 / 1 4