



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월09일  
(11) 등록번호 10-2739804  
(24) 등록일자 2024년12월03일

(51) 국제특허분류(Int. Cl.)  
H01L 29/47 (2006.01) H01L 29/24 (2006.01)  
H01L 29/66 (2006.01) H01L 29/872 (2006.01)  
(52) CPC특허분류  
H01L 29/47 (2013.01)  
H01L 29/24 (2013.01)  
(21) 출원번호 10-2023-0151913  
(22) 출원일자 2023년11월06일  
심사청구일자 2023년11월06일  
(56) 선행기술조사문헌  
KR1020170014870 A\*  
US20220293735 A1  
KR101732943 B1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
경상국립대학교 산학협력단  
경상남도 진주시 진주대로 501 (가좌동)  
(72) 발명자  
박준홍  
경상남도 진주시 내동로348번길 10, 115동 501호  
(가좌동, 가좌그린빌주공아파트)  
이도현  
경상남도 진주시 모덕로222번길 3, 1층 (상대동, 1층)  
조수연  
울산광역시 북구 연암16길 14 (연암동)  
(74) 대리인  
특허법인위솔

전체 청구항 수 : 총 9 항

심사관 : 방기인

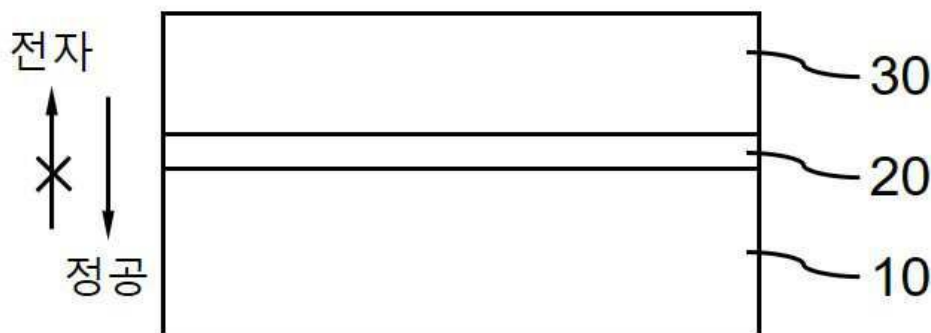
(54) 발명의 명칭 확산장벽층을 구비하는 집적 구조체 및 이를 포함하는 전자소자

(57) 요약

본 발명의 바람직한 실시예에 따른 집적 구조체는 실리콘 또는 SOI(Silicon-on-insulator) 기판, 이와 이격되고 금속 또는 금속화합물을 포함하는 도전층 및 이들 사이에 구비된 확산장벽층을 포함할 수 있다. 상기 기판 및 상기 확산장벽층은 직접 접촉하고 반데르발스 접합을 형성할 수 있다. 상기 확산장벽층은 기판과 도전층 간의 물질(원자) 이동을 차단하여 기판 격자 내 금속 원자의 확산을 차단할 수 있고, 또한 상기 도전층으로부터 기판 방향으로의 정공 주입을 제어할 수 있으므로, 초미세화 및 고집적화 반도체의 한계를 극복하기 위해 금속-반도체 계면 결함을 제어할 수 있다.

대표도 - 도1

100:



(52) CPC특허분류

**H01L 29/66143** (2013.01)

**H01L 29/872** (2013.01)

이 발명을 지원한 국가연구개발사업

|             |                                              |
|-------------|----------------------------------------------|
| 과제고유번호      | 1711199790                                   |
| 과제번호        | 00275300                                     |
| 부처명         | 과학기술정보통신부                                    |
| 과제관리(전문)기관명 | 한국연구재단                                       |
| 연구사업명       | 국가반도체연구실(NSL)핵심기술개발                          |
| 연구과제명       | 상보형 나노시트 전계 효과 트랜지스터 적용의 반데르발스 접근법 활용 준이상적 계 |
| 면 제어 기술 개발  |                                              |
| 기 여 율       | 1/1                                          |
| 과제수행기관명     | 경상국립대학교 산학협력단                                |
| 연구기간        | 2023.08.01 ~ 2023.12.31                      |

---

## 명세서

### 청구범위

#### 청구항 1

P형 실리콘 또는 P형 SOI(Silicon-on-insulator) 기판;

상기 기판과 이격되고 금속 또는 금속화합물을 포함하는 도전층; 및

상기 기판 및 상기 도전층 사이에 구비되고, P형 반도체성 물질을 포함하는 확산장벽층;을 포함하고,

상기 기판 및 상기 확산장벽층은 직접 접촉하고 반데르발스 접합을 형성하고,

상기 확산장벽층은 상기 기판으로부터 상기 도전층으로의 전자(electron) 주입을 차단하고, 상기 도전층으로부터 상기 기판으로의 홀(hole) 주입을 수행하는 것을 특징으로 하는, 집적 구조체.

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,

상기 확산장벽층은 단층(monolayer)인, 집적 구조체.

#### 청구항 4

제1항에 있어서,

상기 확산장벽층의 두께는 0.1 내지 10 Å인, 집적 구조체.

#### 청구항 5

제1항에 있어서,

상기 확산장벽층은 전이금속 디칼코게나이드 물질을 포함하는, 집적 구조체.

#### 청구항 6

제5항에 있어서,

상기 전이금속 디칼코게나이드 물질은 화학식  $MX_2$ 로 표시되고,

상기 M은 전이금속 원소로서 Mo, W, Nb, V, Ta, Ti, Zr, Hf, Tc, Re, Ru, Co, Pd, Pt, Cu, Ga, In, Sn, Ge, Pb 또는 이들 중 선택되는 둘 이상의 조합을 포함하고,

상기 X는 칼코젠(chalcogen) 원소로서 S, Se, Te 또는 이들 중 선택되는 둘 이상의 조합을 포함하는, 집적 구조체.

#### 청구항 7

제5항에 있어서,

상기 전이금속 디칼코게나이드 물질은  $MoS_2$ ,  $MoSe_2$ ,  $MoTe_2$ ,  $WS_2$ ,  $WSe_2$ ,  $WTe_2$ ,  $ZrS_2$ ,  $ZrSe_2$ ,  $HfS_2$ ,  $HfSe_2$ ,  $NbSe_2$ ,  $ReSe_2$ ,  $PdTe_2$  또는 이들 중 선택되는 둘 이상의 조합을 포함하는, 집적 구조체.

#### 청구항 8

제5항에 있어서,

상기 전이금속 디칼코게나이드 물질의 결정 구조는 평면 방향으로 육방 (hexagonal) 구조인, 집적 구조체.

#### 청구항 9

제1항에 있어서,

상기 금속은 Ti, Ni, Cr/Au, Ag 및 이들 중 선택되는 둘 이상의 조합을 포함하는, 집적 구조체.

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

청구항 1 및 청구항 3 내지 9 중 선택되는 어느 하나의 집적 구조체를 포함하는 전자소자.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 확산장벽층을 구비하는 집적 구조체에 관한 것으로, 자세하게는 반도체-금속 계면에서 계면 결함을 감소시키기 위한 확산장벽층을 구비하는 집적 구조체에 관한 것이다.

#### 배경 기술

[0002] 인공지능 및 사물인터넷(IoT, Internet of Things) 융합 기술의 구현을 위하여 저전력 구동이 가능하면서 지능화된 반도체 시냅스 소자의 개발이 전세계적으로 활발히 진행되고 있다. 특히, 포스트 코로나 시대를 맞이하여 실감형 비대면 산업과 국가 안전망의 고도화를 위해서는 자율적으로 정보를 수집하여 학습 및 판단하고 이를 실행하기 위한 자율 제어 장치가 필요하다. 또한, 빅데이터 분석, 자율주행 자동차 등을 포함한 4차 산업에 많이 활용되고 있는 인공지능 기술은 딥러닝 알고리즘 연산에 최적화된 인공지능 반도체로서 NPU(Neural Processing Unit, 신경망처리장치)의 필요성이 대두되고 있으며, 기존 CPU(Central Processing Unit, 중앙처리장치) 중심의 컴퓨팅 반도체 대부분이 인공지능 반도체인 NPU로 전환될 것으로 전망되고 있기 때문에, 대용량의 정보를 고속·저전력 동작으로 처리 가능한 구동 성능을 갖는 고도의 반도체 개발의 중요성은 더욱 강화되고 있다.

[0003] 금속-반도체 계면은 전자의 주입과 전류 출력에 직접적인 영향을 줄 수 있고 반도체 소자의 성능을 결정짓는 요소 중 하나로서, 전극 등으로 사용되는 금속 물질과 반도체 채널 사이의 계면, 특히 물질(원자)의 확산(diffusion), 혼합(intermixing) 등에 의하여 형성되는 금속-반도체 계면 결함을 줄이는 기술은 필수적이다. 나아가, 과거와 달리 현재 반도체 공정 기술이 서브나노(sub-1 nm) 수준으로 근접함에 따라 초미세 스케일에서의 준이상적 계면 설계는 앞으로의 초미세화 및 고집적화 반도체의 한계를 극복하기 위해 대단히 중요하다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명은 상술한 문제를 해결하기 위하여 착안된 것으로, 초미세화 및 고집적화 반도체의 한계를 극복하기 위해 금속-반도체 계면 결함의 제어가 가능한 집적 구조체 및 이를 포함하는 전자소자를 제공한다.

#### 과제의 해결 수단

[0005] 상기 기술적 과제를 달성하기 위해 본 발명의 바람직한 예에 따른 집적 구조체는, 실리콘 또는 SOI(Silicon-on-insulator) 기판; 상기 기판과 이격되고 금속 또는 금속화합물을 포함하는 도전층; 및 상기 기판 및 상기 도전층 사이에 구비되는 확산장벽층;을 포함할 수 있다.

- [0006] 상기 기판 및 상기 확산장벽층은 직접 접촉하고 반데르발스 접합을 형성할 수 있다.
- [0007] 상기 확산장벽층은 p형 반도체성 물질을 포함할 수 있다.
- [0008] 상기 확산장벽층은 단층(monolayer)일 수 있다.
- [0009] 상기 확산장벽층의 두께는 0.1 내지 10 Å일 수 있다.
- [0010] 상기 확산장벽층은 전이금속 디칼코게나이드 물질을 포함할 수 있다.
- [0011] 상기 전이금속 디칼코게나이드 물질은 화학식  $MX_2$ 로 표시될 수 있고, 상기 M은 전이금속 원소로서 Mo, W, Nb, V, Ta, Ti, Zr, Hf, Tc, Re, Ru, Co, Pd, Pt, Cu, Ga, In, Sn, Ge, Pb 또는 이들 중 선택되는 둘 이상의 조합을 포함하고, 상기 X는 칼코겐(chalcogen) 원소로서 S, Se, Te 또는 이들 중 선택되는 둘 이상의 조합을 포함할 수 있다.
- [0012] 상기 전이금속 디칼코게나이드 물질은  $MoS_2$ ,  $MoSe_2$ ,  $MoTe_2$ ,  $WS_2$ ,  $WSe_2$ ,  $WTe_2$ ,  $ZrS_2$ ,  $ZrSe_2$ ,  $HfS_2$ ,  $HfSe_2$ ,  $NbSe_2$ ,  $ReSe_2$ ,  $PdTe_2$  또는 이들 중 선택되는 둘 이상의 조합을 포함할 수 있다.
- [0013] 상기 전이금속 디칼코게나이드 물질의 결정 구조는 평면 방향으로 육방(hexagonal) 구조일 수 있다.
- [0014] 상기 금속은 Ti, Ni, Cr/Au, Ag 및 이들 중 선택되는 둘 이상의 조합을 포함할 수 있다.
- [0015] 상기 도전층과 상기 기판의 물질(원자) 이동이 차단되는 것을 특징으로 하는 것일 수 있다.
- [0016] 상기 기판으로부터 상기 도전층으로의 전자(electron) 주입이 차단되는 것을 특징으로 하는 것일 수 있다.
- [0017] 상기 도전층으로부터 상기 기판으로의 홀(hole) 주입이 수행되는 것을 특징으로 하는 것일 수 있다.
- [0018] 상술한 것들 중 선택되는 어느 하나를 포함하는 집적 구조체를 포함하는 전자 소자를 포함할 수 있다.

### 발명의 효과

- [0019] 상기와 같은 본 발명에 따르면, 본 발명의 바람직한 실시예에 따른 집적 구조체는 실리콘 또는 SOI(Silicon-on-insulator) 기판, 이와 이격되고 금속 또는 금속화합물을 포함하는 도전층 및 이들 사이에 구비된 확산장벽층을 포함할 수 있다. 상기 기판 및 상기 확산장벽층은 직접 접촉하고 반데르발스 접합을 형성할 수 있다. 상기 확산장벽층은 기판과 도전층 간의 물질(원자) 이동을 차단하여 기판 격자 내 금속 원자의 확산을 차단할 수 있고, 또한 상기 도전층으로부터 기판 방향으로의 정공 주입을 제어할 수 있으므로, 초 미세화 및 고집적화 반도체의 한계를 극복하기 위해 금속-반도체 계면 결합을 제어할 수 있다.
- [0020] 본 발명의 효과는 이상에서 언급한 것으로 제한되지 않으며, 명세서 전반의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있으나 명시적으로 언급되지 않은 다른 효과들 역시 포함한다.

### 도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 예에 따른 집적 구조체 단면에서 확산장벽층의 구동 모식도이다.
- 도 2은 본 발명의 일 예에 따른 집적 구조체에 대하여 금속-반도체 계면의 단면을 촬영한 투과전자현미경(TEM) 결과, EDS 기반 원소 맵핑 결과 및 각 구성 요소의 원소 정보 분석 결과이다.
- 도 3는 본 발명의 일 예에 따른 집적 구조체에 대하여 금속-확산장벽층-반도체 계면의 단면을 도시한 모식도, 및 금속-확산장벽층-반도체 계면의 단면을 촬영한 투과전자현미경(TEM) 결과, EDS 기반 원소 맵핑 결과이다.
- 도 4은 본 발명의 일 예에 따른 집적 구조체에 대하여 (a, b) 금속-반도체 계면의 에너지 다이어그램 및 C-V 그래프이고, (c, d) 금속-확산장벽층-반도체 계면의 에너지 다이어그램 및 C-V 그래프이다.
- 도 5는 본 발명의 일 예에 따른 집적 구조체에 대하여 (a) 집적 구조체를 구비하는 전자 소자의 모식도, 확산장벽층 유무에 따른 (b) I-V 그래프, (c) On/Off ratio 및 (d) 최대 이동도(Max mobility)를 도시한 결과이다.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 상세히 설명한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것

이다. 그러나 본 발명은 이하에서 게시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예들은 본 발명의 게시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0023] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다. 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다.

[0024] 명세서에서 사용되는 "포함한다 (comprises)" 및/또는 "포함하는 (comprising)"은 언급된 구성 요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성 요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

# [0026] 확산장벽층을 구비하는 집적 구조체

[0027] 도 1은 본 발명의 일 예에 따른 확산장벽층(20)을 구비하는 집적 구조체(100)의 단면을 나타낸 모식도이다.

[0028] 도 1을 참조하면, 집적 구조체(100)는 실리콘 또는 SOI(Silicon-on-insulator) 기판(10); 이와 이격되고 금속 또는 금속화합물을 포함하는 도전층(30); 및 이들 사이에 구비된 확산장벽층(20);을 포함할 수 있다. 확산장벽층(20)은 얇은 박막으로 기판(10)과 도전층(30) 간의 물질(원자, 전자, 정공 등) 이동, 예컨대 도전층(30)으로부터 기판(10)으로의 금속 원자의 이동을 차단하는 역할을 할 수 있다.

[0029] 기판(10)은 반도체 물질로서 실리콘 또는 SOI(Silicon-on-insulator) 기판일 수 있고, 자세하게는 p형 반도체 물질로서 p형 실리콘일 수 있다. 기판(10)은 추가적으로 도펀트(dopant)로 도핑된 물질을 사용할 수도 있으나, 이에 제한되는 것은 아니다.

[0030] 도전층(30)은 금속 또는 금속화합물을 포함할 수 있다. 상기 금속 또는 금속화합물은 Ti, Ni, Cr/Au, Ag 및 이들 중 선택되는 둘 이상의 조합을 포함하는 금속 원소를 포함할 수 있으며, 금속 전극(metal electrode), 금속 배선(metal interconnection) 등의 전자소자용으로 적용되기에 적합한 종류의 금속 원소를 포함하는 종류의 것이라면 비제한적으로 사용 가능하다.

[0031] 기판(10)과 확산장벽층(20)은 직접적으로 접촉하여 반데르발스 힘(vdW, van der Waals force)에 의한 반데르발스 접합을 형성할 수 있다. 구체적으로, 기판(10) 표면의 실리콘 격자와 확산장벽층(20)의 접합은 반데르발스 힘에 의한 결합으로 형성될 수 있다. 각 층의 원자들은 서로 교차되어 혼합 내지 침투되지 않으면서 각 계면이 물리적으로 뚜렷이 구분되어 있도록 하는, 즉 기판(10)과 확산장벽층(20) 사이에 반데르발스 갭(van der Waals gap)을 형성하는 것일 수 있다. 특히 확산장벽층(20) 제조 과정에서, 구체적으로 전사(transfer) 공정, 더욱 구체적으로 습식 전사(wet transfer) 공정의 적용으로 표면의 물리적 손상이 최소화되면서 균등한(uniform) 두께의 확산장벽층(20)이 형성될 수 있다. 기판(10)의 표면에 반데르발스 접합으로 형성된 확산장벽층(20)이 구비됨으로써 기판(10) 표면의 반응성이 높은 땀글링 본드(dangling bond)가 제거되고 기판(10) 고유 물성이 보존될 수 있으므로 고집적 소자의 구현에 유리하게 적용될 수 있다.

[0032] 확산장벽층(20)과 도전층(30) 또한 직접 접촉을 형성할 수 있으나, 이 둘 사이의 계면은 이상적으로는 반데르발스(vdW) 접합이 형성될 수 있으나, 실제적으로는 반데르발스(vdW) 접합을 형성하지 못하고 확산장벽층(20) 중으로 도전층(30)의 금속 원자 확산에 의한 상호혼합(inter mixing) 영역을 포함할 수도 있다.

[0033] 확산장벽층(20)을 통해 기판(10) 및 도전층(30)의 물질(원자)의 이동/확산을 제어할 수 있고, 이를 통해 전자(electron)의 주입을 제어할 수 있다. 종래의 직접 접촉을 형성하는 금속-반도체 계면에서는 금속 전극을 형성하는 일반적인 증착 방법에 의해서 금속 원자가 실리콘 결정 내로 확산(diffusion) 또는 침투(penetration)하여 이종 원소의 상호혼합(inter mixing) 결합이 형성될 수 있다. 그러나, 본 발명에 의한 집적 구조체는 확산장벽층(20)을 구비함으로써 도전층(30)에서 기판(10) 격자 내 방향으로(예컨대, 금속→Si 방향) 금속 원자가 확산되는 것을 차단할 수 있다. 따라서, 금속 원자가 실리콘 기판 결정 내로 확산되어 상호혼합(inter mixing) 접합을 형성 및 실리콘과 금속의 화합물인 실리사이드(Silicide)를 형성하는 것을 억제하고 계면 결합 밀도를 감소시킴으로써 기판(10)으로부터 도전층(30)으로의 역방향(예컨대, Si→금속 방향) 전자(electron) 주입을 차단하는 효과를 나타낼 수 있다. 이로 인해 기판(10)과 도전층(30) 간 계면에서의 접촉 저항이 감소되고, 트랩 밀도를 감소되며, 쇼트키 장벽의 높이가 감소될 수 있다. 따라서, 확산장벽층(20)을 통해 전자 소자의 누설 전류를 줄이고

정류 특성을 극대화하여 준이상적 계면을 형성할 수 있게 되므로 전기적 특성의 개선 효과를 나타낼 수 있다.

[0034] 또한, 확산장벽층(20)을 통해 도전층(30)으로부터 기판(10) 방향으로 정공(hole)의 주입을 제어할 수 있다. 구체적으로, 확산장벽층(20)을 통해 도전층(30)의 금속으로부터 기판(10) 방향으로(예컨대, 금속→Si 방향)의 홀(hole) 주입 효율을 향상하여, 소자의 구동 성능인 ON/OFF 비를 100배 이상 향상이 가능할 수 있다. 이는 확산장벽층(20) 적용을 통해, 실리콘(Si) 격자내로 금속 원자 침투에 의한 Metal induced gap state형성을 억제되어, 금속/반도체 계면에서의 Fermi level pinning 현상 없이 전압 구동에 따른 Fermi level을 자유 자제로 제어가 가능할 수 있다. 결국 이러한 원인으로 인해, 홀 주입을 방해하는 요소를 원천 제거하여, 홀 주입 효율 향상이 가능한 것으로 설명할 수 있다.

[0035] 특히, 홀(hole) 주입 효율 효과를 높이기 위해 확산장벽층(20) 단층(monolayer)으로 형성될 수 있고, 하나 이상의 층이 반복 적층되어 2층 이상의 복층(multilayer)으로 형성되는 경우에는 홀(hole) 주입 효율이 저하될 수 있으므로 바람직하지 않을 수 있다. 홀(hole) 주입 효율을 높이는 단층의 확산장벽층(20)의 두께는 나노 내지 서브나노 스케일 이하의 얇은(shallow) 두께를 가질 수 있으며, 1 nm 이하로 극히 얇을 수 있고, 얇은 두께를 가지면서도 우수한 특성을 유지할 수 있다. 확산장벽층(20)의 두께는 0.1 내지 10 Å일 수 있고, 구체적으로 0.3 내지 9 Å, 더욱 구체적으로 0.5 내지 8 Å일 수 있다. 일 구체예에서 확산장벽층(20)의 두께는 7 Å 일 수 있으나, 이에 제한되는 것은 아니다. 이러한 확산장벽층(20)은 미세 선폭을 갖는 고집적 소자의 구현에 유리하게 적용될 수 있다.

[0036] 또한, 확산장벽층(20)은 약  $10^{-2} \Omega \cdot \text{cm}$  이하, 구체적으로 약  $10^{-4}$  내지  $10^{-2} \Omega \cdot \text{cm}$ 의 낮은 비저항(resistivity) 값을 가질 수도 있다. 확산장벽층(20)이 낮은 비저항을 갖기 때문에 금속이나 반금속(semimetal)과 유사한 수준의 우수한 전기전도도를 가질 수도 있다. 다만, 확산장벽층(20)의 두께가 극히 얇은 경우, 예를 들어 1 nm 이하인 경우에는 반도체 수준의 비저항 값을 가질 수도 있다.

[0037] 확산장벽층(20)은 반도체성 물질로서, 전이금속 디칼코게나이드(TMD, Transition Metal Dichalcogenide) 물질을 포함할 수 있다. 전이금속 디칼코게나이드 물질은 2차원 결정구조를 갖고 우수한 확산 방지 특성을 가질 수 있으며, 매우 얇은 두께로 형성될 수 있는 등 다양한 장점을 가질 수 있다. 상기 전이금속 디칼코게나이드(TM D)는 도핑 없이 n형 또는 p형 반도체 특성을 갖는 물질일 수 있고, 특히 상기 전이금속 디칼코게나이드(TMD)는 p형 반도체 특성을 갖는 물질일 수 있다. 도핑 특성을 강화하기 위해서는 부가적으로 칼코겐 원자 층에서의 원자 치환 공정이 수행될 수도 있다.

[0038] P형 반도체 특성을 갖는 상기 전이금속 디칼코게나이드(TMD)층은 p 형 실리콘 기판(10)과 접촉함으로써, 실리콘 기판(10) 표면에 있는 실리콘 땀글링 본드(Si dangling bonds)가 공기중의 산소원자와 화학 결합하여 형성되는 절연체 실리콘 옥사이드(SiO<sub>2</sub>)를 억제할 수 있으며, 동시에 도전층(30) 증착 공정 시 도전층(30)의 금속 원자가 직접적으로 실리콘 격자내로 확산되는 것 및 실리사이드(Silicide)가 형성되는 것을 억제할 수 있으므로 실리콘 기판의 불균질성 문제를 원천적으로 차단할 수 있다. 이를 통해, 실리콘 밴드 구조에서 금속으로 인한 갭 상태(Metal induced gap state) 형성을 차단하여 궁극적으로 페르미 준위 고정(Fermi level pinning) 현상을 억제할 수 있다.

[0039] 상기 전이금속 디칼코게나이드 물질은 화학식 MX<sub>2</sub>로 나타낼 수 있고, 여기서 M은 전이금속 원소로서 예를 들어 Mo, W, Nb, V, Ta, Ti, Zr, Hf, Tc, Re, Ru, Co, Pd, Pt, Cu, Ga, In, Sn, Ge, Pb 또는 이들 중 선택되는 둘 이상의 조합을 포함할 수 있고, X는 칼코겐(chalcogen) 원소로서 S, Se, Te 또는 이들 중 선택되는 둘 이상의 조합을 포함할 수 있다. 구체적으로, 상기 전이금속 디칼코게나이드 물질은 MoS<sub>2</sub>, MoSe<sub>2</sub>, MoTe<sub>2</sub>, WS<sub>2</sub>, WSe<sub>2</sub>, WTe<sub>2</sub>, ZrS<sub>2</sub>, ZrSe<sub>2</sub>, HfS<sub>2</sub>, HfSe<sub>2</sub>, NbSe<sub>2</sub>, ReSe<sub>2</sub>, PdTe<sub>2</sub> 또는 이들 중 선택되는 둘 이상의 조합을 포함할 수 있다. 더욱 구체적으로 상기 전이금속 디칼코게나이드 물질은 MoS<sub>2</sub>, MoSe<sub>2</sub>, WS<sub>2</sub>, WSe<sub>2</sub> 또는 이들 중 선택되는 둘 이상의 조합을 포함할 수 있고, 일 구체예에서 WSe<sub>2</sub>를 포함할 수 있으나, 이에 제한되는 것은 아니다.

[0040] 상기 전이금속 디칼코게나이드 물질의 결정 구조(crystal structure)는 전이 금속인 M과 칼코겐 원소인 X간에 공유결합을 하고 있고, 이를 기반으로 평면 방향으로 육방(hexagonal) 구조를 가질 수 있다. 추가적인 상변화 단계 내지 도핑 단계를 통해 결정 구조를 변이하는 것 또한 가능할 수 있다.

[0041] 또한, 확산장벽층(20)으로 상기 전이금속 디칼코게나이드 물질을 구비하는 경우 층 바깥으로 뺏어 나오는 땀글링 본드(dangling bond)가 부재하므로 기판(10) 상에 형성될 시 기판(10) 고유의 물성이 보존될 수 있으며 고집

적 소자의 구현에 유리하게 적용될 수 있다.

[0043] 도 2는 본 발명의 일 예에 따른 집적 구조체에 대하여 금속-반도체 계면의 단면을 촬영한 투과전자현미경(TEM) 결과, 이의 단면에 대한 원소 맵핑 결과 및 EDS 분석 결과이다.

[0044] 도 2를 참조하면, WSe<sub>2</sub> 확산장벽층을 구비하지 않고 금속(Ni) 전극이 기판과 집적 접촉을 형성하는 집적 구조체는 금속 원자가 실리콘 결정 내로 확산(diffusion) 또는 침투(penetration)하여 기판과의 접촉부(interfacial layer)에서 금속 원소(Ni)와 산소(O) 원소가 동시에 존재하는 것을 확인할 수 있고, 이로써 이중 원소의 혼합에 의한 상호혼합(intermixing) 영역을 형성한 것을 알 수 있다.

[0046] 도 3은 본 발명의 일 예에 따른 집적 구조체에 대하여 금속-확산장벽층-반도체 계면의 단면을 도시한 모식도, 금속-확산장벽층-반도체 계면의 단면을 촬영한 투과전자현미경(TEM) 결과 및 이의 단면에 대한 EDS 원소 맵핑 결과이다.

[0047] 도 3을 참조하면, WSe<sub>2</sub> 확산장벽층을 구비하여 Si/WSe<sub>2</sub> 계면이 구축되고 금속(Ag)이 적층된 집적 구조체는 금속 원자가 실리콘 결정 내로 확산(diffusion) 또는 침투(penetration)하지 못하였으므로 상호혼합(intermixing) 구역이 형성되지 않는 것을 확인할 수 있다.

[0049] 이하, 본 발명을 실시 예 및 비교 예를 이용하여 더욱 상세하게 설명하고자 한다. 그러나 하기의 실시 예 및 비교 예는 본 발명의 예증을 위한 것으로, 본 발명의 범위가 이에 국한되는 것은 아니다.

[0051] **제조예 1: WSe<sub>2</sub> 박막 합성방법**

[0052] 텅스텐 디셀레나이드(WSe<sub>2</sub>)를 합성하기 위하여 2개의 가열 구역(heating zone)이 구비된 화학기상증착(CVD; Chemical Vapor Deposition) 장비를 사용한다. 먼저, 기판으로 실리콘 옥사이드(SiO<sub>2</sub>)를 사용하고, 셀레늄(Se, 99.5 % Sigma-Aldrich) 분말 480 mg이 담긴 석영 보트를 왼쪽 가열 구역(heating zone)에 배치하고, NaCl(99 %, Sigma-Aldrich) 40 mg 및 텅스텐 옥사이드(WO<sub>x</sub>, 99.9 %, Sigma-Aldrich) 240 mg 혼합분말이 담긴 석영 보트를 오른쪽 가열 구역(heating zone)에 배치하였다. 이후, 두 석영보트의 간격은 40 cm로 설정한 상태로 각 가열 구역의 온도를 왼쪽 구간 870 °C, 오른쪽 구간 640 °C로 하여 10분간 WSe<sub>2</sub>를 성장시켰다. 이때, 캐리어 가스로 Ar/H<sub>2</sub> 가스의 유량은 100/20 sccm이고, 합성 단계에서 공정 압력은 1 내지 100 Torr로 최적화하였다.

[0054] **제조예 2: 습식 전사(wet transfer) 방법을 사용하여 Si/WSe<sub>2</sub> 계면 형성**

[0055] 상기 제조예 1의 방법으로 제조된 실리콘 옥사이드(SiO<sub>2</sub>) 기판에 성장된 WSe<sub>2</sub> 박막 위에 PMMA(Poly(methyl methacrylate)) 고분자 용액을 코팅하였다. PMMA 코팅 후, 제조된 PMMA/WSe<sub>2</sub>/SiO<sub>2</sub>를 3 wt% KOH 용액에 침지시켜 PMMA/WSe<sub>2</sub> 층과 SiO<sub>2</sub> 기판을 분리하였다. 한편, 노광공정을 통해 패터닝된 실리콘(Si) 기판을 제조하였다. 박리된 PMMA/WSe<sub>2</sub> 층을 노광공정을 통해 패터닝된 p형 실리콘(Si) 기판 위로 이송(transfer)하고 아세톤을 사용하여 PMMA와 감광액(PR)을 제거하였다. 이로써 습식 전사(wet transfer) 방법을 사용하여 실리콘(Si) 기판 상에 구비되는 WSe<sub>2</sub> 박막을 제조하였으며, 이로써 반데르발스(vdW) 접합이 형성된 Si/WSe<sub>2</sub> 계면이 준비되었다.

[0057] **실시예: 반데르발스(vdW) 접합된 Si/WSe<sub>2</sub> 계면을 포함하는 쇼트키 다이오드 및 트랜지스터**

[0058] 상기 제조예 2의 방법으로 제조된 Si/WSe<sub>2</sub> 계면을 포함하여 쇼트키 다이오드(Schottky diode) 및 실리콘(Si) 채널 트랜지스터를 제작하였다. Si/WSe<sub>2</sub> 계면을 포함하는 기판 상에 금속 전극 패터닝(patterning)을 위한 노광공정을 진행한 이후 전자빔 증발법(e-beam evaporator)으로 금속 전극을 증착하였다. 이때, 상기 금속 전극으로 사용되기 위한 금속은 Ti, Ni, Cr/Au 및 Ag을 사용하였다. 그 다음, 노광 공정에서 진행한 패터닝된 감광액을 아세톤을 사용하여 제거하는 리프트-오프(lift-off) 방법으로 금속 전극을 형성함으로써 쇼트키 다이오드를 제작하였다.

[0059] 한편, Si 채널 트랜지스터는 SOI(Silicon on Insulator) 웨이퍼를 사용한 백게이트(back gating) 구조로 제작하였다. 채널 길이 10 μm, 너비 2 μm인 Si 채널 상에 상기 제조예 2의 방법으로 제조된 Si/WSe<sub>2</sub> 계면을 형성하고, 그 위에 전자빔 증발법(e-beam evaporator)으로 Ni 전극을 증착함으로써 Ni 전극의 바로 아래에 WSe<sub>2</sub> 층

이 접합하도록 하였다. 여기에서, WSe<sub>2</sub>/Ni 계면은 이상적으로는 반데르발스(vdW) 접합으로 형성될 수 있으나, 실제 공정 등의 이슈로 인해 반데르발스(vdW) 접합을 형성하지 못하고 WSe<sub>2</sub> 층의 표면이 손상되어 WSe<sub>2</sub> 층 중으로 Ni 원자 확산에 의한 상호혼합(inter mixing) 영역을 포함할 수도 있다. 노광공정을 통해 채널을 패터닝 후, 플라즈마를 사용한 건식 산화법으로 가볍게 SOI 웨이퍼 표면을 산화시킨 뒤, 상술한 리프트-오프(lift-off) 방법과 동일한 방법으로 사용하여 금속(Ni) 전극을 형성하였다.

**비교예: Si/WSe<sub>2</sub> 계면을 포함하지 않는 쇼트키 다이오드 및 트랜지스터 제작**

상기 제조예 2의 방법으로 제조된 Si/WSe<sub>2</sub> 계면을 포함하지 않는 것을 제외하고는, 실시예와 동일한 방법을 사용하여 쇼트키 다이오드(Schottky diode) 및 실리콘(Si) 채널 트랜지스터를 제작하였다.

**시험예: 반데르발스(vdW) 접합된 Si/WSe<sub>2</sub> 계면을 포함하는 쇼트키 다이오드 및 트랜지스터 측정**

쇼트키 장벽:

금속/반도체 계면에서의 WSe<sub>2</sub> 계면 형성에 의한 금속/반도체 계면 결함 감소 효과를 분석하기 위해 쇼트키(Schottky) 다이오드의 전기적 특성 분석을 시행하였다. 구체적으로 I-V 정류특성과 쇼트키(Schottky) 장벽 높이(Schottky barrier height, SBH) 그리고 계면 트랩 밀도(D<sub>it</sub>)를 계산하여 WSe<sub>2</sub> 계면층 삽입 효과를 입증하였다. I-V 정류특성은 전압(V)을 -2 V 내지 2 V로 인가하여 전류(I)의 결과를 취득하였다. Schottky 다이오드의 전류는 일반적으로 하기 식 1에 의해 결정될 수 있다.

[식 1]

$$I = I_0 [\exp(qV/nkT) - 1]$$

상기 식 1에서, q는 전하량, V는 인가 전압, n은 이상계수(ideality factor), k는 볼츠만(Boltzmann) 상수, T는 온도이다. 그리고 I<sub>0</sub>, 포화전류는 하기 식 2와 같다.

[식 2]

$$I_0 = AA^* T^2 \exp(-q\phi_0/kT)$$

상기 식 2에서, A는 다이오드 면적, A\*는 리처드슨(Richardson) 상수, T는 온도, q는 전하량, k는 볼츠만(Boltzmann) 상수, 그리고  $\phi_0$ 는 쇼트키 장벽의 높이(SBH, Schottky barrier height)이다. 이를 통해, 포화전류(I<sub>0</sub>)를 구성하는 변수는 온도(T)와 쇼트키 장벽의 높이( $\phi_0$ )인 것을 알 수 있다. 이를 이용하여 상온(RT, 25 °C) 내지 75 °C까지 10 °C 간격으로 7개의 온도 지점에서 포화전류를 측정하여 쇼트키 장벽의 높이를 계산하였다. 실제 쇼트키 다이오드의 전류 흐름은 낮은 SBH에 의해 흐르는 전류에 지배적으로 결정되므로, 쇼트키 장벽 높이를 보정하는 Barrier Height Inhomogeneities (BHI) model을 통해 수정 계산될 수 있다.

전하 트랩 밀도(D<sub>it</sub>):

전하 트랩은 주로 계면 결함에 의해 발생하므로, 트랩밀도의 변화를 통해 계면 결함의 변화를 간접적으로 유추할 수 있다. 그리고 계면의 트랩은 전하를 포획 및 방출하므로 C-V(Capacitance-Voltage) 및 G-V(Conductance-Voltage) 측정을 수행하여 트랩 밀도의 변화를 정량적으로 계산하였다. C-V 및 G-V 측정은 100 kHz 내지 1 MHz까지 100 kHz 단위로 주파수를 고정하고, -2 V 내지 2 V까지 교류전압을 인가하여 캐패시턴스(capacitance)와 컨덕턴스(conductance)의 변화를 취득하였다. 트랩 밀도(D<sub>it</sub>)는 하기 식 3에 의해 정량적으로 나타낼 수 있다.

[식 3]

$$D_{it} = (2.5/Aq)(G/\omega)_{peak}$$

상기 식 3에서, A는 다이오드 면적, q는 전하량, G는 컨덕턴스(Conductance) 및  $\omega$ 는 각 진동수이다.

도 4는 본 발명의 일 예에 따른 집적 구조체에 대하여 (a, c) 금속-반도체 계면의 에너지 다이어그램 및 C-V 그래프이고, (b, d) 금속-확산장벽층-반도체 계면의 에너지 다이어그램 및 C-V 그래프이다.

- [0081] 도 4 (a) 및 (c)를 참조하면, 직접 접착을 형성하는 금속-반도체 계면에서는, 금속 전극을 형성하는 일반적인 증착 방법에 의해서, 금속 원자가 실리콘 결정 내로 확산(diffusion) 또는 침투(penetration)하여 이중 원소의 상호혼합(inter mixing) 결합이 형성될 수 있다. 이러한 상호혼합(inter mixing) 결합에 의하여 실리콘(Si) 기판의 본질적인(intrinsic) 물성이 변형되며 실리콘(Si) 밴드갭 내 금속-유도된 갭 상태(MIGS, metal-induced gap state)가 형성되고, 이는 게이트를 통한 정전기 구동 시 페르미 준위 고정(Fermi level pinning) 현상을 야기하는 문제가 발생할 수 있다. 이로써 금속-반도체 계면의 접촉 저항이 증가하고 출력 전류가 저하되며 이를 구비하는 소자의 구동 전압은 증가하게 되므로 이에 따른 계면의 스트레스가 증대되어 소자의 열화로 이어질 수 있다.
- [0082] 한편, 도 4 (b) 및 (d)를 참조하면, 기판과 금속의 사이에 확산장벽층(WSe2) 삽입에 따른 효과로 쇼트키 장벽(Schottky barrier)의 높이 감소와 계면 트랩 밀도 ( $D_{it}$ ) 감소를 확인하였다. Capacitance-Voltage 측정 결과, WSe2 삽입 후 트랩 밀도( $D_{it}$ )가 10 배 이상 감소되어 결합의 밀도가 감소됨을 확인하였다. 또한, Ni, Ti, Au/Cr, Ag 등의 전극으로 사용 가능한 다양한 금속에서도 상기 결과와 유사하게 결합 밀도의 감소를 확인하였다.
- [0084] 도 5는 본 발명의 일 예에 따른 집적 구조체에 대하여 (a) 집적 구조체를 구비하는 전자 소자(Si p-MOS)의 모식도, 확산장벽층 유무에 따른 (b) I-V 그래프, (c) On/Off ratio 및 (d) 최대 이동도(Max mobility)에 대한 통계 결과를 도시한 결과이다.
- [0085] 도 5를 참조하면, SOI (silicon on insulator) 기판에 WSe2 및 금속 적층 구조물로 전극이 형성된 Si 소자이며, 드레인(drain) 전압 인가 시, 금속/WSe2 전극을 통해 주입된 홀 전하가 실리콘 채널(Si channel)을 통해 전송되어 구동되는 것을 확인할 수 있다.
- [0087] 이상 첨부된 도면을 참조하여 본 발명의 실시 예들을 설명하였지만, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

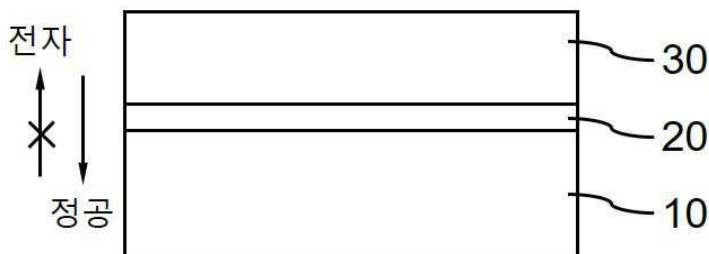
## 부호의 설명

- [0089] 100: 집적 구조체, 10: 기판, 20: 확산장벽층, 30: 도전층

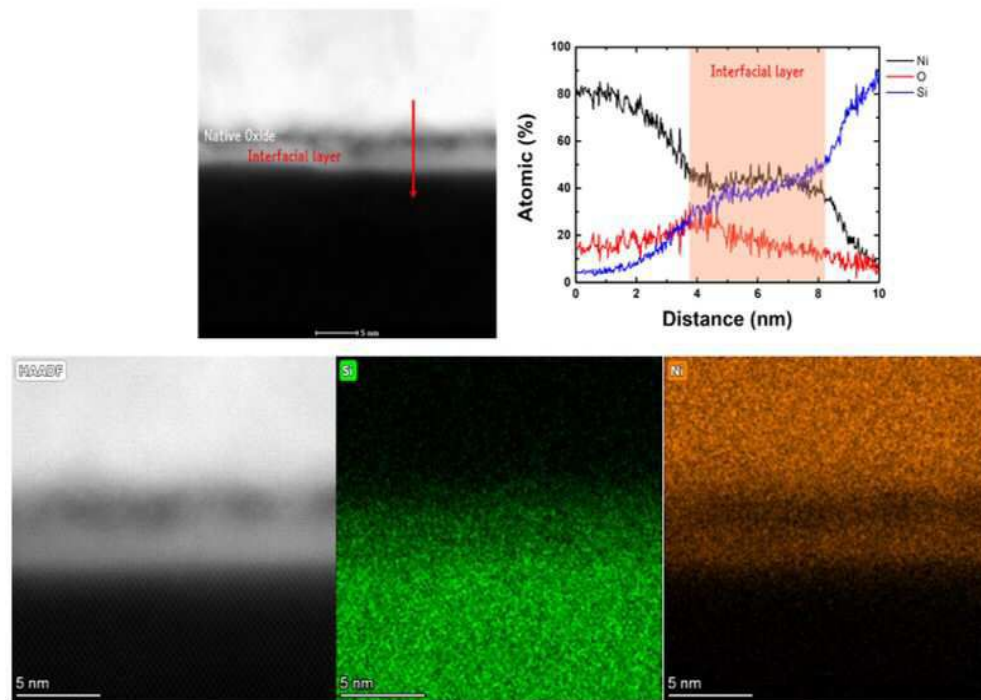
## 도면

### 도면1

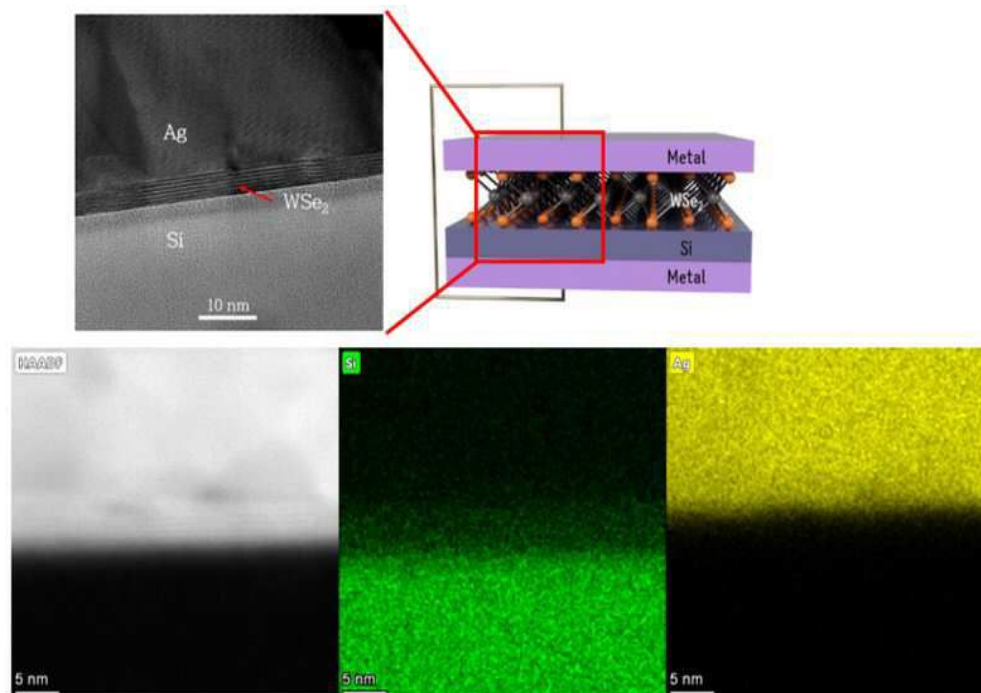
100:



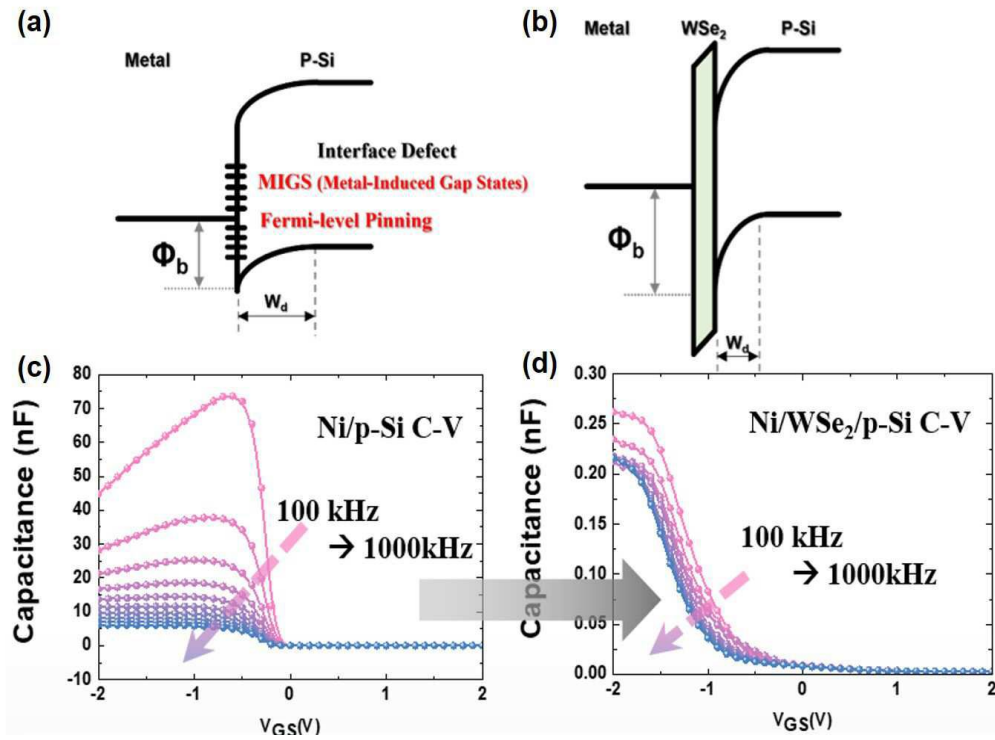
도면2



도면3



도면4



도면5

