(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0045507
(43) 공개일자 2020년05월04일

(51) 국제특허분류(Int. Cl.)
H04L 25/02 (2006.01) *H04L 1/00* (2006.01)
H04L 1/20 (2006.01) *H04L 25/49* (2006.01)
H04L 7/00 (2006.01)
(52) CPC특허분류
H04L 25/0264 (2013.01)
H04L 1/0042 (2013.01)
(21) 출원번호 10-2020-7007638
(22) 출원일자(국제) 2018년09월17일
심사청구일자 없음
(85) 번역문제출일자 2020년03월16일
(86) 국제출원번호 PCT/US2018/051291
(87) 국제공개번호 WO 2019/055894
국제공개일자 2019년03월21일
(30) 우선권주장
62/559,814 2017년09월18일 미국(US)
62/649,599 2018년03월29일 미국(US)

(71) 출원인
인텔 코포레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자
바닌 엘란
이스라엘 43606 라아나나 브레너 54에이
만 에이탄
이스라엘 71708 모딘 하트지트 9/1
(뒷면에 계속)
(74) 대리인
제일특허법인(유)

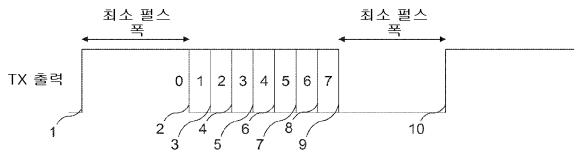
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 **시간 인코딩된 데이터 통신 프로토콜, 데이터 신호를 생성 및 수신하기 위한 장치 및 방법**

(57) 요 약

데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 출력 인터페이스 회로는 데이터 신호를 출력하도록 구성된다.

대 표 도 - 도1a



(52) CPC특허분류
H04L 1/203 (2013.01)
H04L 25/49 (2013.01)
H04L 7/0087 (2013.01)
(72) 발명자
바닌 로템
이스라엘 4053221 이븐-예후다 피 오 비 907 하노티 스트리트 21
제르니즈키 로넨
이스라엘 3901662 지크론 야코브 초칫 3
데가니 오피르
이스라엘 228010 네스-아민 하우스 18
쿠쉬니르 이갈
이스라엘 4502452 호드-하샤론 아하론슨 아하론 3
포랏 샤하르
이스라엘 0308600 호프 하르카멜 피 오 비 73 에인 카르멜
루빈 아미르
이스라엘 5551013 키리야트 오노 라빈 스트리트 8
볼로키틴 블라디미르
이스라엘 3676014 내셔 아파트먼트 32 하자잇 23
카샤니 엘리너
이스라엘 4906444 페타티크바 아파트먼트 58 리브카 고버 스트리트 9
펠센스테인 드미트리
이스라엘 7832519 아슈켈론 아파트먼트 45 하-스네 스트리트 16
에쉬콜리 아얄
이스라엘 3655205 키리야트 티본 데이비드 엘라자르 9
데이비드슨 탈
이스라엘 3780800 지바트 아다 하지바 스트리트 36
오이 응 훈
말레이지아 10400 조지타운 잘란 파당 빅토리아 10
트파티 요시
이스라엘 7550780 리숀 레 지온 릴랏 스트리트 22
시몬 란
이스라엘 5233529 라마트 간 텔 하이 7

명 세 서

청구범위

청구항 1

데이터 신호를 생성하기 위한 장치로서,

상기 데이터 신호를 생성하도록 구성된 처리 회로 - 상기 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 상기 제 1 신호 에지 및 상기 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 상기 제 2 신호 에지 및 상기 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리됨 - ; 및

데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함하는

데이터 신호를 생성하기 위한 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 타입이 상승 에지이고 상기 제 2 타입이 하강 에지이거나, 또는 상기 제 2 타입이 상승 에지이고 상기 제 1 타입이 하강 에지인

데이터 신호를 생성하기 위한 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기간과 상기 제 2 기간의 합은 10^{-7}s 미만인

데이터 신호를 생성하기 위한 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

기 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 상기 제 2 데이터 신호는 상기 데이터 신호에 대해 반전된

데이터 신호를 생성하기 위한 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 데이터는 제 1 데이터 심볼로 나타내고 상기 제 2 데이터는 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼로 나타내는

데이터 신호를 생성하기 위한 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 데이터 신호를 생성하도록 구성된 적어도 하나의 디지털-시간 변환기(Digital to Time converter)를 더 포함하는

데이터 신호를 생성하기 위한 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 출력 인터페이스 회로는 상기 데이터 신호를 하나 이상의 송신 라인으로 구성된 유선 송신 링크로 출력하도록 구성되는

데이터 신호를 생성하기 위한 장치.

청구항 8

데이터 신호를 수신하기 위한 장치로서,

상기 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

상기 제 1 신호 에지와 상기 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터; 및 상기 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함하는

데이터 신호를 수신하기 위한 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 타입이 상승 에지이고 상기 제 2 타입이 하강 에지이며, 또는 상기 제 2 타입이 상승 에지이고 상기 제 1 타입이 하강 에지인

데이터 신호를 생성하기 위한 장치.

청구항 10

제 8 항 또는 제 9 항에 있어서,

상기 제 1 기간과 상기 제 2 기간의 합은 10^{-7}s 또는 10^{-8}s 미만인

데이터 신호를 수신하기 위한 장치.

청구항 11

제 8 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 처리 회로는 또한 제 2 데이터 신호를 수신 - 상기 제 2 데이터 신호는 상기 데이터 신호에 대해 반전됨 - 하고;

상기 제 2 데이터 신호에 더 기초하여 상기 제 1 신호 에지, 상기 제 2 신호 에지 및 상기 제 3 신호 에지를 결정하도록 구성되는

데이터 신호를 수신하기 위한 장치.

청구항 12

제 8 항 내지 제 11 항 중 어느 한 항에 있어서,

2개의 신호 에지 사이의 기간은 통신 프로토콜의 데이터 심볼에 대응하는

데이터 신호를 수신하기 위한 장치.

청구항 13

제 8 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 제 1 기간 및 상기 제 2 기간을 결정하도록 구성된 적어도 하나의 시간-디지털 변환기를 더 포함하는

데이터 신호를 수신하기 위한 장치.

청구항 14

데이터 신호를 생성하기 위한 장치로서,

상기 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 상기 데이터 신호는 제 1 타입과 제 2 타입의 교대하는 신호 에지를 포함하고, 각각의 후속 쌍의 신호 에지의 사이의 기간은 송신될 데이터에 대응하고, 초당 다수의 기간은 $1*10^{7}$ 또는 $1*10^{8}$을 초과하는

데이터 신호를 생성하기 위한 장치.

청구항 15

제 14 항에 있어서,

두 개의 신호 에지 사이의 기간은 통신 프로토콜의 데이터 심볼에 대응하는

데이터 신호를 생성하기 위한 장치.

청구항 16

제 14 항 또는 제 15 항 있어서,

상기 데이터 신호는 유선 송신 링크를 사용하여 송신된 디지털 신호인

데이터 신호를 생성하기 위한 장치.

청구항 17

데이터 신호를 생성하기 위한 수단으로서,

상기 데이터 신호를 생성하기 위한 수단 - 상기 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 상기 제 1 신호 에지 및 상기 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 상기 제 2 신호 에지 및 상기 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리됨 - ; 및

데이터 신호를 출력하기 위한 수단을 포함하는

데이터 신호를 생성하기 위한 수단.

청구항 18

제 17 항에 있어서,

상기 제 1 타입이 상승 에지이고 상기 제 2 타입이 하강 에지이거나, 또는 상기 제 2 타입이 상승 에지이고 상기 제 1 타입이 하강 에지인

데이터 신호를 생성하기 위한 수단.

청구항 19

데이터 신호를 수신하기 위한 수단으로서,

상기 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하기 위한 수단; 및

상기 제 1 신호 에지와 상기 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터; 및 상기 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하기 위한 수단을 포함하는

데이터 신호를 수신하기 위한 수단.

청구항 20

제 19 항에 있어서,

상기 제 1 타입이 상승 에지이고 상기 제 2 타입이 하강 에지이거나, 또는 상기 제 2 타입이 상승 에지이고 상기 제 1 타입이 하강 에지인

데이터 신호를 수신하기 위한 수단.

청구항 21

데이터 신호를 생성하기 위한 수단으로서,

상기 데이터 신호를 생성하기 위한 수단을 포함하되, 상기 데이터 신호는 제 1 타입과 제 2 타입의 교대하는 신호 에지를 포함하고, 각각의 후속 쌍의 신호 에지 사이의 기간은 송신될 데이터에 대응하고, 초당 다수의 기간은 $1*10^{7}$ 또는 $1*10^{8}$을 초과하는

데이터 신호를 생성하기 위한 수단.

청구항 22

데이터 신호를 생성하기 위한 장치로서,

상기 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 상기 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 상기 제 1 신호 에지 및 상기 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 상기 제 2 신호 에지 및 상기 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되는

데이터 신호를 생성하기 위한 장치.

청구항 23

제 22 항에 있어서,

상기 데이터 신호에 대한 출력 인터페이스를 더 포함하는

데이터 신호를 생성하기 위한 장치.

청구항 24

데이터 신호를 생성하도록 구성된 처리 회로를 포함하는 상기 데이터 신호를 생성하기 위한 장치로서,

상기 처리 회로는 송신될 각각의 데이터 부분에 기초하여 상기 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 조정하도록 구성되는

데이터 신호를 생성하기 위한 장치.

청구항 25

제 24 항에 있어서,

상기 데이터 신호에 대한 출력 인터페이스를 더 포함하는

데이터 신호를 생성하기 위한 장치.

발명의 설명

기 술 분 야

[0001] 본 출원은 2017년 9월 18일자로 출원된 미국 가출원 No. US 62/559,814의 우선권의 이득을 주장하며, 가출원은 그 전체가 참조로 포함된다.

[0002] 기술 분야

[0003] 예는 시간 인코딩된 데이터 통신 프로토콜, 데이터 신호를 생성하기 위한 장치 및 데이터 신호를 수신하기 위한

장치에 관한 것이다.

배 경 기 술

[0004] 데이터를 이송하는 인터커넥트는 인터커넥트를 적용하는데 따른 다양한 요건을 충족해야 할 수 있다. 예를 들어, 적당한 에너지 소비 시 높은 처리량을 달성하는 것이 바람직할 수 있다. 또한, 예를 들어 모바일 디바이스/전화기, 컴퓨터, 메모리/저장 시스템, 센서 시스템 등과 같이 인터커넥트를 사용하는 시스템에 존재하는 다른 컴포넌트와 인터커넥트의 간섭을 피하는 것이 바람직할 수 있다.

[0005] 예를 들어, 하드 디스크 드라이브 또는 고체 상태 드라이브(Solid-State-Drive)(SSD)와 같은 저장 디바이스 사이의 디지털 인터페이스는 주변 컴포넌트 인터커넥트 익스프레스(Peripheral Component Interconnect express)(PCI-E) 또는 SATA(Serial AT Attachment)를 기초로 할 수 있는데, 이것이 모바일 디바이스 내에 적용되기 위해서는 이송된 정보의 비트당 너무 많은 전력을 필요로 할 수 있다. 예를 들어, 무선 주파수 프론트엔드와 예를 들어 이동 통신 디바이스의 추가 신호 처리 회로 사이의 아날로그 또는 디지털 연결은 비쌀 수 있으며 상당한 양의 공간을 소비할 수 있다. 특성이 향상된 인터커넥트가 필요할 수 있다.

도면의 간단한 설명

[0006] 도 1a는 데이터 신호 인터커넥트를 도시한다.

도 1b는 STEP 인터커넥트를 도시한다.

도 1c는 시간-디지털 변환기(Time to Digital Converter)의 아키텍처를 도시한다.

도 1d는 데이터 신호를 수신하기 위한 장치의 예를 도시한다.

도 1e는 데이터 신호를 수신하기 위한 장치의 추가 예를 도시한다.

도 1f는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 1g는 데이터 신호를 생성하기 위한 장치의 추가 예를 도시한다.

도 1h는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 1i는 데이터 신호를 수신하기 위한 방법의 예의 흐름도를 도시한다.

도 2a는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 2b는 차동 신호(differential signal)의 예를 도시한다.

도 2c는 차동 신호 쌍을 처리하기 위한 장치의 예를 도시한다.

도 2d는 차동 신호 쌍을 처리하기 위한 장치의 추가 예를 도시한다.

도 2e는 차동 신호 쌍의 속성을 결정하기 위한 처리 회로의 예를 도시한다.

도 2f는 도 2e의 처리 회로 내에서 존재하는 신호의 예를 도시한다.

도 2g는 차동 신호 쌍의 속성을 결정하기 위한 처리 회로의 추가 예를 도시한다.

도 2h는 데이터 신호를 수신하기 위한 방법의 예의 흐름도를 도시한다.

도 2i는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 3a는 데이터 심볼의 시리즈에 기초하여 데이터 신호를 생성하는 방법의 예를 도시한다.

도 3b는 도 3a의 방법에 의해 생성된 송신 데이터의 시리즈의 예를 도시한다.

도 3c는 데이터 심볼의 시리즈에 기초하여 데이터 신호를 생성하는 방법의 추가 예를 도시한다.

도 3d는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 3e는 데이터 신호를 생성하기 위한 장치의 추가 예를 도시한다.

도 3f는 데이터 신호를 수신하기 위한 방법의 예를 도시한다.

도 3g는 데이터 신호를 수신하기 위한 장치의 예를 도시한다.

도 3h는 도 3a 내지 도 3g 중 하나에 도시된 예를 사용하여 생성된 데이터 신호의 스펙트럼의 개선을 도시한다.

도 4a는 I-구분자(delimiter), SOP 및 EOP 구분자의 예를 도시한다.

도 4b는 I-구분자, SOP 및 EOP 구분자의 추가 예를 도시한다.

도 4c는 종래의 접근법에 따라 동일한 타입의 후속 구분자를 포함하는 데이터 신호의 예를 도시한다.

도 4d는 데이터 신호를 생성하기 위한 장치의 예에 의해 생성된 데이터 신호의 예를 도시한다.

도 4e는 도 4d의 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 4f는 도 4d의 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 4g 는 도 4d의 데이터 신호를 생성하기 위한 장치의 추가 예를 도시한다.

도 4h는 도 4d의 데이터 신호를 생성하기 위한 방법의 추가 예의 흐름도를 도시한다.

도 5a는 하나의 인터커넥트로부터 다른 인터커넥트로의 누설(leakage)을 도시한다.

도 5b는 크로스토크(crosstalk)에 의해 하나의 인터커넥트로부터 다른 인터커넥트로의 누설을 도시한다.

도 5c는 송신 시스템의 예를 도시한다.

도 5d는 누설 완화를 위한 필터 회로의 예를 도시한다.

도 5e는 데이터 수신 시스템의 예를 도시한다.

도 5f는 제 1 인터커넥트의 제 2 인터커넥트로의 누설을 완화하는 방법의 예의 흐름도를 도시한다.

도 6a는 STEP 인터링크를 도시한다.

도 6b는 데이터 신호를 처리하기 위한 방법의 예의 흐름도를 도시한다.

도 6c는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 6d는 데이터 신호를 처리하기 위한 장치의 예를 도시한다.

도 6e는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 6f는 데이터 송신을 위한 인터커넥트의 예를 도시한다.

도 6g는 도 6b 내지 도 6f 중 하나에 설명된 바와 같은 예를 사용할 때 달성 가능한 성능 이득(performance gain)의 예를 도시한다.

도 7a는 기간 및 심볼 폭을 통신 프로토콜의 각각의 페이로드 데이터 심볼에 할당하는 것을 결정하기 위한 방법의 예의 흐름도를 도시한다.

도 7b는 페이로드 데이터 심볼의 에지 위치의 확률 분포를 도시한다.

도 7c는 모든 페이로드 데이터 심볼의 확률 분포가 동일한 STEP 인터링크를 도시한다.

도 7d는 페이로드 데이터 심볼의 확률 분포가 동일하지 않은 STEP 인터링크를 도시한다.

도 7e는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 7f는 데이터 신호를 처리하기 위한 방법의 예의 흐름도를 도시한다.

도 7g는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 7h는 데이터 신호를 처리하기 위한 장치의 예를 도시한다.

도 7i는 시간-디지털 변환기를 도시한다.

도 8a는 STEP 프로토콜에 따른 데이터 신호를 도시한다.

도 8b는 데이터 신호 내의 페이로드 데이터 심볼을 결정하는 방법의 예의 흐름도를 도시한다.

도 8c는 도 8b의 방법을 사용하여 처리된 데이터 신호의 예를 도시한다.

도 8d는 데이터 신호를 처리하기 위한 장치의 예를 도시한다.

도 8e는 통신 시스템의 예를 도시한다.

도 8f는 STEP 인터커넥트의 예를 도시한다.

도 9a는 데이터 심볼의 시퀀스를 송신하는 방법의 예의 흐름도를 도시한다.

도 9b는 인터링크의 예 내에서 데이터 처리의 예를 도시한다.

도 9c는 수신된 데이터 심볼의 시리즈를 처리하는 방법의 예의 흐름도를 도시한다.

도 9d는 데이터 심볼의 시퀀스를 송신하기 위한 장치의 예를 도시한다.

도 9e는 수신된 데이터 심볼의 시리즈를 처리하기 위한 장치의 예를 도시한다.

도 10a는 순차적으로 정렬된 미리 결정된 수의 비트를 송신하기 위한 데이터 신호를 생성하는 방법의 예의 흐름도를 도시한다.

도 10b는 데이터의 이차원 표현(two-dimensional representation)의 예를 도시한다.

도 10c는 제어 심볼 표시자(control symbol indicator) 및 제어 심볼을 송신 심볼의 시리즈에 삽입할 위치의 예를 도시한다.

도 10d는 데이터 신호를 처리하는 방법의 예의 흐름도를 도시한다.

도 10e는 순차적으로 정렬된 미리 결정된 수의 비트를 송신할 데이터 신호를 생성하는 방법의 예의 흐름도를 도시한다.

도 11a는 데이터 신호를 처리하기 위한 장치의 예를 도시한다.

도 12a는 데이터 신호를 생성하기 위한 장치의 다른 예를 도시한다.

도 12b는 데이터 신호의 예를 도시한다.

도 12c는 물리 계층 표현과 매체 액세스 제어 계층 표현 사이의 비트 재배열(bit rearrangement)의 제 1 예를 도시한다.

도 12d는 물리 계층 표현과 매체 액세스 제어 계층 표현 사이의 비트 재배열의 제 2 예를 도시한다.

도 12e는 물리 계층 표현과 매체 액세스 제어 계층 표현 사이의 비트 재배열의 제 3 예를 도시한다.

도 12f는 물리 계층 표현과 매체 액세스 제어 계층 표현 사이의 비트 재배열의 제 4 예를 도시한다.

도 12g는 물리 계층 표현과 매체 액세스 제어 계층 표현 사이의 비트 재배열의 제 5 예를 도시한다.

도 12h는 물리 계층 표현과 매체 액세스 제어 계층 표현 사이의 비트 재배열의 제 6 예를 도시한다.

도 12i는 데이터 신호의 다른 예를 도시한다.

도 12j는 데이터 신호를 생성하기 위한 장치의 다른 예를 도시한다.

도 12k는 데이터 신호를 디코딩하기 위한 장치의 예를 도시한다.

도 12l는 데이터 신호를 디코딩하기 위한 장치의 다른 예를 도시한다.

도 12m 는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 12n는 데이터 신호를 생성하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 12o는 데이터 신호를 디코딩하기 위한 방법의 예의 흐름도를 도시한다.

도 12p는 데이터 신호를 디코딩하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 12q는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 12r는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 12s는 데이터 신호를 디코딩하기 위한 장치의 예를 도시한다.

도 12t는 데이터 신호를 디코딩하기 위한 장치의 다른 예를 도시한다.

도 12u는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 12v는 데이터 신호를 생성하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 12w는 데이터 신호를 디코딩하기 위한 방법의 예의 흐름도를 도시한다.

도 12x는 데이터 신호를 디코딩하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 13a는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 13b는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 13c는 데이터 신호를 디코딩하기 위한 장치의 예를 도시한다.

도 13d는 데이터 신호를 디코딩하기 위한 장치의 다른 예를 도시한다.

도 13e는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 13f는 데이터 신호를 생성하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 13g는 데이터 신호를 디코딩하기 위한 방법의 예의 흐름도를 도시한다.

도 13h는 데이터 신호를 디코딩하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 13i는 제 1 우선순위의 제 1 데이터 패킷 및 더 높은 제 2 우선순위의 제 2 데이터 패킷을 송신하기 위한 장치의 예를 도시한다.

도 13j는 데이터 신호의 다른 예를 도시한다.

도 13k는 제 1 우선순위의 제 1 데이터 패킷 및 더 높은 제 2 우선순위의 제 2 데이터 패킷을 송신하기 위한 방법의 예의 흐름도를 도시한다.

도 14a는 통신 시스템의 예를 도시한다.

도 14b는 두 개의 통신 장치 사이의 데이터 흐름의 예를 도시한다.

도 14c는 통신 시스템의 예를 도시한다.

도 14d는 통신 시스템의 다른 예를 도시한다.

도 14e는 통신 시스템의 추가 예를 도시한다.

도 14f는 통신 장치의 통신 방법의 예의 흐름도를 도시한다.

도 14g는 통신 장치의 통신 방법의 다른 예의 흐름도를 도시한다.

도 14h는 통신 장치의 통신 방법의 또 다른 예의 흐름도를 도시한다.

도 14i는 통신 장치의 통신 방법의 추가 예의 흐름도를 도시한다.

도 15a는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 15b는 전력 상태에 대한 상태도의 예를 도시한다.

도 15c는 데이터 신호를 디코딩하기 위한 장치의 예를 도시한다.

도 15d는 통신 장치의 예를 도시한다.

도 16a는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 16b는 데이터 신호의 예를 도시한다.

도 16c는 데이터 신호의 다른 예를 도시한다.

도 16d는 데이터 신호를 생성하기 위한 장치의 다른 예를 도시한다.

도 16e는 데이터 신호를 디코딩하기 위한 장치의 예를 도시한다.

도 16f는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 16g는 데이터 신호를 생성하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 16h는 데이터 신호를 디코딩하기 위한 방법의 예의 흐름도를 도시한다.

도 17a는 통신 시스템의 예를 도시한다.

도 17b는 통신 방법의 예의 흐름도를 도시한다.

도 17c는 통신 방법의 다른 예의 흐름도를 도시한다.

도 18a는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 18b는 데이터 신호를 디코딩하기 위한 장치의 예를 도시한다.

도 18c는 제 1 동작 모드에서 통신 시스템의 예를 도시한다.

도 18d는 제 2 동작 모드에서 통신 시스템의 예를 도시한다.

도 18e는 제 2 동작 모드에서 통신 시스템의 다른 예를 도시한다.

도 18f는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 18g 는 데이터 신호를 디코딩하기 위한 방법의 예의 흐름도를 도시한다.

도 19는 데이터 신호를 생성하기 위한 장치의 다른 예를 도시한다.

도 20a는 전자 디바이스용 저 드롭아웃 레귤레이터(low-dropout regulator)에 의해 생성된 공급 신호를 조절하기 위한 장치의 예를 도시한다.

도 20b는 커패시터 상의 전압의 예시적인 시간적 추이(temporal course)를 도시한다.

도 20c는 전류의 예시적인 비교를 도시한다.

도 20d는 통신 장치의 예를 도시한다.

도 20e는 통신 장치의 다른 예를 도시한다.

도 20f는 전자 디바이스용 저 드롭아웃 레귤레이터에 의해 생성된 공급 신호를 조절하기 위한 방법의 예의 흐름도를 도시한다.

도 21은 통신 시스템의 예를 도시한다.

도 22a는 전류 모드 로직(current-mode logic) 대 상보형 금속 산화물 반도체 변환 회로(complementary metal-oxide-semiconductor conversion circuit)의 예를 도시한다.

도 22b는 인버터의 입력과 인버터의 출력 사이의 예시적인 관계를 도시한다.

도 22c는 도 22a에 도시된 회로 내의 신호의 예시적인 추이를 도시한다.

도 22d는 전류 모드 로직 대 상보형 금속 산화물 반도체 변환 회로의 다른 예를 도시한다.

도 22e는 통신 장치의 다른 예를 도시한다.

도 23a는 디지털-시간 변환기(digital-time converter circuit)의 예를 도시한다.

도 23b는 디지털-시간 변환기의 다른 예를 도시한다.

도 23c는 디지털-시간 변환기의 또 다른 예를 도시한다.

도 23d는 디지털-시간 변환기의 추가 예를 도시한다.

도 23e는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 24a는 디지털-시간 변환기의 다른 예를 도시한다.

도 24b는 발진 신호와 데이터 신호 사이의 관계를 도시한다.

도 25a는 디지털-시간 변환기의 현재 프로파일의 예를 도시한다.

도 25b는 공급 전압의 예시적인 시간적 추이를 도시한다.

도 25c는 공급 전압을 조절하기 위한 장치의 예를 도시한다.

도 25d는 공급 전압의 예시적인 시간적 추이를 도시한다.

도 25e는 공급 전압을 조절하기 위한 장치의 다른 예를 도시한다.

도 25f는 공급 전압을 조절하기 위한 장치의 추가 예를 도시한다.

도 25g는 통신 장치의 예를 도시한다.

도 25h는 통신 장치의 다른 예를 도시한다.

도 25i는 공급 전압을 조절하기 위한 방법의 예의 흐름도를 도시한다.

도 25j는 통신하기 위한 방법의 예의 흐름도를 도시한다.

도 25k는 통신하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 26a는 정전 방전에 대비한 보호 회로의 예를 도시한다.

도 26b는 차동 데이터 신호용 수신기의 예를 도시한다.

도 26c는 차동 데이터 신호를 수신하기 위한 장치의 예를 도시한다.

도 27a는 라디오 헤드(radio head)(RH) 시스템의 블록도를 도시한다.

도 27b는 증폭된 고주파 송신 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 27c는 STEP 인터커넥트를 통한 송신기(TX) 디지털 전치 왜곡(digital pre-distortion)(DPD)이 있는 무선 주파수 전자기 RFEM 모듈의 블록도를 도시한다.

도 27d는 베이스밴드 프로세서의 블록도를 도시한다.

도 27e는 증폭된 고주파 송신 신호를 생성하기 위한 방법의 블록도를 도시한다.

도 27f는 전치 왜곡 설정을 결정하기 위한 방법의 흐름도를 도시한다.

도 28a는 송신기의 예를 도시한다.

도 28b는 심볼 타이밍 에러와 주파수 에러 사이의 예시적인 관계를 도시한다.

도 28c는 송신기의 다른 예를 도시한다.

도 28d는 주파수와 심볼 레이트의 예시적인 시간적 추이를 도시한다.

도 29a는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 29b는 기준 타이밍 설정을 위한 적응적 구분자의 예를 도시한다.

도 29c는 기준 주파수가 낮은 STEP 타이밍의 예를 도시한다.

도 29d는 기준 주파수가 높은 STEP 타이밍의 예를 도시한다.

도 29e는 데이터 신호를 디코딩하기 위한 장치의 블록도를 도시한다.

도 29f는 STEP 시스템의 블록도 및 높은 기준 추출을 도시한다.

도 29g는 이동 디바이스의 블록도를 도시한다.

도 29h는 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다.

도 29i는 데이터 신호를 디코딩하기 위한 방법의 흐름도를 도시한다.

도 30a는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 30b는 2개의 출력 레벨을 사용하는 예를 도시한다.

도 30c는 3개의 출력 레벨을 사용하는 예를 도시한다.

도 30d는 데이터 신호를 디코딩하기 위한 장치의 블록도를 도시한다.

도 30e는 데이터 신호의 쌍을 생성하기 위한 장치의 블록도를 도시한다.

도 30f는 데이터 신호의 예를 도시한다.

도 30g는 데이터 신호의 쌍을 수신하기 위한 장치의 블록도를 도시한다.

도 30h는 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다.

도 30i는 데이터 신호를 디코딩하기 위한 방법의 흐름도를 도시한다.

도 30j는 데이터 신호의 쌍을 생성하기 위한 방법의 흐름도를 도시한다.

도 30k는 데이터 신호의 쌍을 수신하기 위한 방법의 흐름도를 도시한다.

도 31a는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 31b는 세 개 데이터 신호의 세트의 예를 도시한다.

도 31c는 송신기와 수신기 사이의 세 개 송신 라인의 세트의 예를 도시한다.

도 31d는 데이터 신호를 수신하기 위한 장치의 블록도를 도시한다.

도 31e는 수신기의 블록도를 도시한다.

도 31f 는 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다.

도 31g는 데이터 신호를 수신하기 위한 방법의 흐름도를 도시한다.

도 32a는 통신 시스템의 예를 도시한다.

도 32b는 출력 데이터를 생성하기 위한 장치의 예를 도시한다.

도 32c는 디지털-시간 변환기의 제 1 분해능의 예를 도시한다.

도 32d는 디지털-시간 변환기의 제 2 분해능의 예를 도시한다.

도 32e는 입력 데이터 신호와 시간-디지털 변환기의 양자화 레벨 사이의 관계의 예를 도시한다.

도 32f는 시간-디지털 변환기의 예를 도시한다.

도 32g는 교정되지 않은(un-calibrated) 디지털-시간 변환기의 예를 도시한다.

도 32h는 히스토그램의 예를 도시한다.

도 32i는 교정된(calibrated) 시간-디지털 변환기의 예를 도시한다.

도 32j는 통신 시스템의 다른 예를 도시한다.

도 32k는 출력 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 33a는 출력 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 33b는 DTC 출력 신호 및 XOR 출력 신호의 예를 도시한다.

도 33c는 DTC 출력 신호 및 XOR 출력 신호의 다른 예를 도시한다.

도 33d는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 33e는 인터리빙된 데이터 신호를 사용하는 STEP 연결을 도시한다.

도 33f는 출력 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다.

도 33g는 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다.

도 34a는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 34b는 FDD를 사용하는 STEP 시스템의 블록도를 도시한다.

도 34c는 FDD를 사용하는 다른 STEP 시스템의 블록도를 도시한다.

도 34d는 FDD를 사용하는 다른 STEP 시스템의 블록도를 도시한다.

도 34e는 TDD를 사용하는 STEP 시스템의 블록도를 도시한다.

도 34f는 출력 데이터를 생성하기 위한 방법의 흐름도를 도시한다.

도 34g는 STEP 시스템의 블록도를 도시한다.

도 35a는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 35b는 단일 레인(single lane)을 통한 다수의 STEP 스트림의 개략적인 대역 다이어그램을 도시한다.

도 35c는 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다.

도 35d는 단일 레인 및 단일 캐리어를 통해 직교 STEP 스트림을 사용하는 STEP 시스템의 블록도를 도시한다.

도 35e는 단일 송신 라인을 통한 송신을 위해 베이스밴드 STEP 스트림 및 고주파 STEP 스트림을 사용하는 STEP 시스템의 블록도를 도시한다.

도 35f는 단일 송신 라인을 통한 송신을 위해 베이스밴드 STEP 스트림 및 직교 고주파 STEP 스트림을 사용하는 STEP 시스템의 블록도를 도시한다.

도 35g 는 출력 데이터를 생성하기 위한 방법의 흐름도를 도시한다.

도 35h는 출력 데이터를 생성하기 위한 다른 방법의 흐름도를 도시한다.

도 36a는 데이터 신호에 대한 적응 회로의 예를 도시한다;

도 36b는 데이터 신호에 대한 수신기의 예를 도시한다.

도 36c는 감쇠 레벨(attenuation level)을 결정하기 위한 방법의 예의 흐름도를 도시한다.

도 36d는 도 36a에 도시된 적응 회로의 예를 사용하여 지터를 저하하기 위한 예를 도시한다.

도 36e는 데이터 신호를 생성하기 위한 장치 및 데이터 신호를 처리하기 위한 장치를 포함하는 인터커넥트의 예를 도시한다.

도 36f는 데이터 신호를 처리하기 위한 장치의 예를 도시한다.

도 37a는 데이터 신호를 생성하기 위한 장치의 제 1 예를 도시한다.

도 37b는 아이 다이어그램(eye diagram)의 제 1 예를 도시한다.

도 37c는 아이 다이어그램의 제 2 예를 도시한다.

도 37d는 데이터 신호를 생성하기 위한 장치의 제 2 예를 도시한다.

도 37e는 종래의 통신 링크를 도시한다.

도 37f는 송신된 데이터 신호와 수신된 데이터 신호의 비교를 도시한다.

도 37g는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

도 37h는 데이터 신호를 생성하기 위한 방법의 다른 예의 흐름도를 도시한다.

도 38a는 심볼 간 간섭(inter symbol interference)에 대한 모델을 도시한다.

도 38b는 전치 왜곡의 개념을 도시한다.

도 38c는 거친 분해능(coarse resolution)의 시간-디지털 변환기를 사용하여 두 신호 에지 사이의 기간을 결정하는 방법의 예를 도시한다.

도 38d는 교정 계수(calibration factor)에 의해 데이터 신호 내의 후속 신호 에지의 시리즈 사이의 기간을 스케일링하기 위한 예를 도시한다.

도 38e는 인터링크에 미치는 반사에 대한 모델을 도시한다.

도 38f는 데이터 신호에 미치는 반사의 영향의 예를 도시한다.

도 38g는 데이터 신호를 처리하기 위한 장치의 예를 도시한다;

도 38h는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 38i는 교정에 사용되는 페이로드 데이터 심볼의 시리즈의 세 번 반복에 대한 예를 도시한다.

도 39a는 데이터 신호를 생성하기 위한 장치의 예를 도시한다.

도 39b는 제어 심볼 표시자, 교정 심볼의 시리즈를 표시하는 제어 심볼, 및 교정 심볼의 시퀀스의 시퀀스를 포함하는 데이터 스트림의 예를 도시한다.

도 39c는 데이터 신호를 처리하기 위한 장치의 예를 도시한다.

도 39d는 데이터 신호를 생성하기 위한 방법의 예를 도시한다.

도 39e는 데이터 신호를 처리하기 위한 방법의 예를 도시한다.

도 40a는 가변 지연 요소를 교정하는 방법의 예를 도시한다.

도 40b는 가변 지연 요소를 포함하는 TDC를 도시한다.

도 40c는 DTC 및 DTC에 연결된 TDC 내의 기간을 상호 교정하는 방법의 예를 도시한다.

도 40d는 가변 지연 요소를 포함하는 TDC의 예를 도시한다.

도 40e는 디지털 신호의 지터를 저하시키는 회로의 예를 도시한다.

도 41a는 전자 디바이스의 예를 도시한다.

도 41b는 전자 디바이스의 다른 예를 도시한다.

도 41c는 두 개의 결합된 전자 디바이스를 포함하는 시스템을 도시한다.

도 41d는 데이터 케이블의 예를 도시한다.

도 41e는 데이터 케이블의 다른 예를 도시한다.

도 42a는 반도체 패키지의 예를 도시한다.

도 42b는 반도체 다이의 예를 도시한다.

도 42c는 반도체 패키지의 다른 예를 도시한다.

도 43a는 차량용 데이터 수집 디바이스의 예를 도시한다.

도 43b는 차량용 데이터 처리 디바이스의 예를 도시한다.

도 43c는 차량의 예를 도시한다.

도 44a는 전자 디바이스의 예를 도시한다.

도 44b는 전자 디바이스의 다른 예를 도시한다.

도 44c는 전자 디바이스의 추가 예를 도시한다.

도 45a는 사용자 디바이스의 예를 도시한다.

도 45b는 기지국의 예를 도시한다.

도 46a는 무선 시스템의 제 1 예를 도시한다.

도 46b는 무선 시스템의 제 2 예를 도시한다.

도 46c는 무선 시스템의 제 3 예를 도시한다.

도 47a는 무선 시스템의 제 4 예를 도시한다.

도 47b는 이동 디바이스를 도시한다.

도 47c는 무선 시스템의 제 5 예를 도시한다.

도 47d는 무선 시스템의 제 6 예를 도시한다.

도 48a는 반도체 다이의 예를 도시한다.

도 48b는 저장 디바이스의 예를 도시한다.

도 48c는 상이한 통신 프로토콜 사이에서 선택하기 위한 방법의 예의 흐름도를 도시한다.

도 49는 컴퓨팅 디바이스의 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0007] 이제 일부 예가 도시되는 첨부 도면을 참조하여 다양한 예가 보다 상세하게 설명될 것이다. 도면에서, 라인, 층 및/또는 영역의 두께는 명확성을 위해 과장될 수 있다.

[0008] 따라서, 추가 예가 다양한 수정 및 대안적인 형태를 가질 수 있겠지만, 도면에는 그의 일부 특정 예가 도시되고 이어서 상세하게 설명될 것이다. 그러나, 이러한 상세한 설명은 추가 예를 설명된 특정 형태로 제한하지는 않는다. 추가 예는 본 개시내용의 범위 내에 속하는 모든 수정, 등가물 및 대안을 망라할 수 있다. 도면의 설명 전체에서 동일하거나 같은 번호는 동일하거나 유사한 기능성을 제공하면서도 서로 비교될 때는 똑같거나 또는 변형된 형태로 구현될 수 있는 같거나 유사한 요소를 지칭한다.

[0009] 요소가 다른 구성 요소에 "연결된" 또는 "결합된"것으로 언급될 때, 요소는 직접적으로 연결되거나 결합될 수 있고 또는 하나 이상의 개재 요소를 통해 연결되거나 결합될 수 있다고 이해될 것이다. 두 요소(A 및 B)가 "또는"을 사용하여 조합되어 있다면, 이것은 명시적으로 또는 암시적으로 달리 정의되지 않으면, 가능한 모든 조합, 즉 A만, B만일 뿐만 아니라 A 및 B를 개시하는 것으로 이해되어야 한다. 동일한 조합에 대한 대안적인 표현은 "A 및 B 중 적어도 하나" 또는 "A 및/또는 B"이다. 두 개를 초과하는 요소의 조합에 대해서도 필요한 부분만 약간 변경하여 동일하게 적용된다.

[0010] 본 명세서에 사용되는 용어는 특정 예를 설명하려는 것이지 추가 예를 제한하려는 것은 아니다. "한", "하나" 및 "그"와 같은 단수 형태가 사용될 때마다 그리고 단일 요소만을 사용하는 것이 필수인 것으로 명시적으로 또는 암시적으로 정의되지 않을 때마다, 추가 예 또한 동일한 기능성을 구현하기 위해 복수의 요소를 사용할 수도 있다. 마찬가지로, 기능성이 나중에 다수의 요소를 사용하여 구현되는 것으로 설명될 때, 추가 예는 단일 요소 또는 처리 엔티티를 사용하여 동일한 기능성을 구현할 수 있다. "포함한다", "포함하는", "구비한다" 및/또는 "구비하는"이라는 용어는 사용될 때, 언급된 특징, 정수, 단계, 동작, 프로세스, 행위, 요소 및/또는 컴포넌트의 존재를 명시하지만, 하나 이상의 다른 특징, 정수, 단계, 동작, 프로세스, 행위, 요소 및/또는 컴포넌트 및/또는 이들의 임의의 그룹의 존재 또는 추가를 배제하지 않는다는 것이 또한 이해될 것이다.

[0011] 달리 정의되지 않는 한, (기술적 및 과학적 용어를 비롯한) 모든 용어는 본 명세서에서 예가 속하는 기술 분야의 일반적인 의미로 사용된다.

[0012] 연속 시간 인코딩된 Phy(Serial Time Encoded Phy)(STEP)은 저전력 요건에 따라, 예를 들어 1-2 pJ/bit의 비트 효율로 수십 Gb/s의 높은 처리량을 가능하게 하는 인터커넥트일 수 있다. STEP은 시간 인코딩(time encoding)을 사용하여 디지털 펄스를 변조하고 인터커넥트의 송신 링크를 통해 송신되는 데이터 신호에 존재하는 각 신호 에지마다 다수의 비트를 이송한다. 동시에, 별도의 클록 레인(clock lane) 또는 클록 복구 회로가 필요하지 않을 수 있다. STEP 인터커넥트의 송신기와 수신기 사이의 송신 링크는 두 개의 별개의 송신 라인을 사용하여 차동적일 수 있거나, 또는 이것은 단일 송신 라인을 사용하여 단일로 종단될 수 있다.

[0013] 예를 들어, 데이터는 도 1a에 도시된 바와 같이 STEP 인터커넥트에서 데이터 신호의 각각의 쌍의 연속적인 상보적 신호 에지(complementary signal edge)(상승 에지 대 하강 에지 또는 하강 에지 대 상승 에지) 사이의 기간에 의해 인코딩된다. 도 1a의 예에서, 상승과 후속의 하강 신호 에지의 여덟 개의 가능한 쌍에 의해 도시된 바와 같이, 각각의 신호 에지는 3 비트의 페이로드 데이터를 나타낸다. 페이로드 데이터의 제 1 부분은 상승 신호 에지(1)와 8개의 가능한 후속 하강 신호 에지(2, 3, 4, 5, 6, 7, 8 및 9) 사이의 기간(또는 시간 차)에 의해 인코딩되어, 연속적인 상보적 신호 에지의 쌍에서 3 비트의 데이터를 인코딩할 수 있게 한다. 한 쌍의 연속적인 상보적 신호 에지 사이의 기간에 의해 인코딩되어 송신된 데이터는 또한 심볼 또는 데이터 심볼이라고도 지칭된다. 도 1a에 도시된 데이터 신호에서, 제 1 심볼은 상승 신호 에지(1)와 하강 신호 에지(2 내지 9) 중 선택된 신호 에지 사이의 기간에 의해 인코딩된다.

[0014] 후속 심볼은 제 1 데이터 심볼의 선택된 하강 신호 에지와 후속 상승 신호 에지(10) 사이의 기간에 의해 인코딩된다. 상승 신호 에지(1) 및 하강 신호 에지(9)에 의해 인코딩된 제 1 데이터 심볼이 "7"이라고 가정하면, 도 1은 오직 최소 펄스 폭에 의해서만 분리된 하강 신호 에지(9)와 상승 신호 에지(10)에 의해 인코딩된 데이터 심볼 "0"의 후속 송신을 도시한다.

[0015] 도 1a의 예는 데이터 심볼당 3 비트의 데이터(한 쌍의 연속적인 상보적 신호 에지 사이의 기간)를 갖는 예를 도시하지만, 마찬가지로 추가 예는 예를 들어 1, 2, 4, 5 또는 임의의 다른 정수와 같은 심볼당 임의의 상이한 수의 비트를 사용할 수 있다. 각각의 심볼이 정수 개의 비트 수(N)를 나타내면, 후속 신호 에지 사이에는 2^N 개의 가능한 기간이 존재한다. 추가 예는 또한, 2^N 개의 가능한 기간을 초래하는 정수 개의 비트 수에 대응하지는 않지만, 예를 들어 3, 5, 6, 7 또는 임의의 다른 정수 개의 수와 같은 후속 신호 에지 사이에서 임의의 수의 가능한 기간을 사용하는 인코딩 방식을 사용할 수도 있다.

[0016] 구현상의 이유로, 임의의 쌍의 후속 상보적 신호 에지 사이에서, 예를 들면 상승 신호 에지 1과 제 1 가능한 하강 신호 에지 2 사이에 요구되는 최소 펄스 폭이 있을 수 있는데, 이 최소 펄스 폭은 예를 들어 하강 신호 에지 2와 3 사이와 같이 임의의 쌍의 인접하는 하강 신호 에지 사이의 시간 차보다 더 길다. 동일한 타입의 두 개의 가능한 인접 신호 에지 사이의 시간 차는 또한 심볼 분리 시간(symbol separation time)이라고도 표시될 수 있다. 대안적인 구현은 최소 펄스 폭을 필요로 하지 않을 수 있어서, 심볼 "0"도 심볼 분리 시간과 동일한 기간에 의해 인코딩될 수 있다.

[0017] 도 1a에 도시된 바와 같이, STEP 인터커넥트에서 송신되는 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 것으로 특징지을 수 있으며, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[0018] 대안적으로, 데이터 신호는 서로 곧바로 잇따른 세 개의 신호 에지를 포함하는 것을 특징으로 할 수 있으며, 세 개의 신호 에지 중 제 1 신호 에지와 세 개의 신호 에지 중 제 2 신호 에지 사이의 제 1 시간 간격은 제 1 송신 심볼에 대응하고, 세 개의 신호 에지 중 제 2 신호 에지와 세 개의 신호 에지 중 제 3 신호 에지 사이의 제 2 시간 간격은 제 2 송신 심볼에 대응한다.

[0019] STEP 인터커넥트의 데이터 신호에 대한 앞에서의 특성화 둘 모두는 대안적으로 사용될 수 있고, 특성화 중 하나가 사용될 때마다 다른 특성화가 또한 대신 사용될 수 있다.

[0020] 앞의 고려 사항에 기초하여, STEP 인터커넥트를 향한 데이터 신호(STEP 신호)를 (예를 들어, 송신기 내에서) 생성할 수 있는 장치의 예는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[0021] 대안적으로, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하는 것을 특징으로 할 수 있고, 여기서 처리 회로는 송신될 각각의 데이터 부분에 기초하여 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 조정하도록 구성된다.

[0022] STEP 인터커넥트의 데이터 신호에 대한 앞에서의 특성화 둘 모두는 대안적으로 사용될 수 있고, 특성화 중 하나가 사용될 때마다 다른 특성화가 또한 대신 사용될 수 있다.

[0023] 옵션으로, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함할 수 있다.

[0024] 도 1b는 양방향 통신을 위한 STEP 인터커넥트의 예를 개략적으로 도시한다. 양방향 구현에서, 서로 통신하는 STEP 인터페이스(12 및 14)는 데이터 신호를 송신 및 수신할 수 있다. STEP 인터페이스(12 및 14)는 단일 송신 링크(16)에 의해 연결될 수 있다. 송신 링크(16)는 단일 송신 링크(16)를 통한 양방향 통신을 가능하게 하기 위해 시분할 이중(Time Division Duplex)(반이중(Half Duplex))으로 동작될 수 있다. 대안적으로, 두 개의 송신 링크(16a 및 16b)는 전이중(full duplex)(이중 심플렉스(dual simplex)) 통신을 위해 사용될 수 있으며, 각각은 하나의 STEP 인터페이스의 출력 드라이버 스테이지를 다른 STEP 인터페이스의 입력 드라이버 스테이지에 연결한다. 단일 송신 링크는 단일 송신 라인을 사용하여 단일로 종단될 수 있거나, 또는 둘 이상의 송신 라인을 사용하여 차동적일 수 있다. STEP 인터페이스(12 및 14) 및 이와 연관된 송신 링크는 STEP 인터커넥트를 구

성한다. 대안적인 예에서, 단방향 통신을 위한 STEP 인터커넥트가 또한 설정될 수 있다.

[0025] STEP 인터페이스(12 및 14)는 둘 모두 동일한 아키텍처이기 때문에, STEP 인터페이스(12)만이 상세히 논의될 것이다. STEP 인터페이스(12)는 디지털 신호 처리를 위한 디지털 처리 회로(18)를 포함한다. 송신의 관점에서, 디지털 처리는 STEP 프로토콜에 따라 페이로드 데이터를 페이로드 데이터 심볼로 변조하는 것을 포함할 수 있다. 또한, 디지털 처리는 STEP 구현에서 사용되는 각각의 페이로드 데이터 심볼 및 옵션의 추가 심볼에 기간을 할당하는 것을 포함할 수 있다. 할당된 기간에 기초하여 데이터 신호를 생성하기 위해, 디지털-시간 변환기(Digital to Time Converter)(22)는 데이터 신호에서 상보적 신호 에지의 시리즈를 생성하는데 사용될 수 있다. 전력 증폭기가 DTC(22)에 결합되어 송신 링크를 구동할 수 있다.

[0026] 데이터 신호를 수신하기 위해, STEP 인터페이스(12)는 송신 링크(16)에 결합된 저잡음 증폭기 및 데이터 신호 내에서 두 개의 후속 신호 에지 사이의 기간을 결정하는 후속 시간-디지털 변환기(Time to Digital Converter)(TDC)(20)를 포함한다. TDC(20)는 신호 에지 사이의 각각의 기간에 대한 디지털 양을 결정하며, 디지털 양은 디지털 처리 회로(18) 내에서 추가로 처리될 수 있다. 수신의 관점에서, 디지털 처리는 페이로드 데이터 심볼을 각각의 결정된 기간에 할당하고 페이로드 데이터 심볼을 복조하여 페이로드 데이터를 결정하는 것을 포함할 수 있다.

[0027] 배터리로 구동되는 전압 변환기(24)(DC/DV 변환기)는 STEP 인터페이스(12)에 공급 전력을 제공하는데 사용될 수 있고, 추가 예는 마찬가지로 AC 전력 공급 장치에 의해 전력을 공급받을 수 있다. 도 1b는 데이터 인터페이스의 물리 계층 제어기 내에서 사용된 컴포넌트에 초점을 맞추고 있지만, 추가 예는 또한 프로토콜 스택의 상위 계층의 처리, 예를 들어 매체 액세스 제어(Medium Access Control)(MAC)를 위한 처리 회로를 포함할 수 있다. STEP 인터페이스를 사용하는 물리 계층(Physical Layer)(PHY) 제어기의 경우, PHY 제어기 내의 입력/출력 인터페이스는 전용 MAC 계층 제어기에 연결하는 역할을 할 수 있다.

[0028] STEP 인터페이스 내에서 사용되는 TDC의 일부 예는 데이터 신호 내에서 두 개의 후속 상보적 신호 에지 사이의 기간을 직접 결정할 수 있다. 도 1c는 데이터 신호 내에서 두 개의 후속 상보적 신호 에지 사이의 (상승과 후속 하강 신호 에지 사이뿐만 아니라 하강과 후속 상승 신호 에지 사이의) 기간을 결정하는 시간-디지털 변환기(TDC)의 예시적인 구현을 도시한다. TDC는 도 1a의 데이터 신호 내에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지를 포함하는 상보적 신호 에지의 시퀀스를 결정하고 후속 상보적 신호 에지 사이의 기간을 측정한다.

[0029] 도 1c에 개략적으로 도시된 TDC는 인버터(30a 내지 30f)의 시퀀스로서 구현되며, 각각의 인버터는 지연 요소로서 동작한다. 각각의 인버터에 의해 도입되는 지연은 고정적일 수 있지만, 추가 구현은 또한 인버터의 지연을 개별적으로 튜닝하게 할 수 있다. 데이터 신호는 시리즈의 제 1 인버터(30a)에 입력되고, 동시에 트리거링 인버터(32)에 입력된다. 각각의 인버터에 의해, 데이터 신호에서 존재하는 신호 에지는 지연되는 한편, 신호의 상태는 (하이에서 로우로 또는 그 반대로) 변경된다. 각각의 지연 요소(30a 내지 30f)의 출력은 제 1 뱅크의 에지 트리거 플립 플롭(edge triggered flip flop)(34a)의 입력 및 제 2 뱅크의 에지 트리거 플립 플롭(34b)의 입력에 결합된다.

[0030] 두 뱅크(34a 및 34b) 모두의 플립 플롭은 인버터(32)를 트리거함으로써 공동으로 리셋된다. 그러나, 제 1 뱅크(34a)의 플립 플롭은 포지티브 에지(positive edge)에 의해 트리거되는 반면, 제 2 뱅크(34b)의 플립 플롭은 네거티브 에지(negative edge)에 의해 트리거된다. 셋업을 사용하여, 제 1 뱅크의 플립 플롭(34a)은 데이터 신호 내에 네거티브 신호 에지가 존재할 때 신호를 출력하는 반면, 제 2 뱅크의 플립 플롭(34b)은 데이터 신호 내에 포지티브 신호 에지가 존재할 때 신호를 출력한다. 그러나, 제 1 뱅크의 플립 플롭의 출력에서 신호 패턴은 선행 포지티브 신호 에지가 데이터 신호 내에서 얼마나 오래전에 수신되었는지를 결정할 수 있게 한다. 특히, 출력에서뿐만 아니라 입력에서 (대응하는 플립 플롭에 의해 판독되는 바와 같이) 동일한 신호 상태를 갖는 인버터는 지연 라인 내에서 선행 포지티브 신호 에지의 위치를 나타낼 수 있고, 따라서 트리거링 네거티브 신호 에지와 선행 포지티브 신호 에지 사이의 기간 동안 선행 포지티브 신호 에지의 위치를 나타낼 수 있다. 그러므로 포지티브 펄스 디코더(36a)에 의한 제 1 뱅크의 플립 플롭(34a)의 판독은 수신된 데이터 신호가 하이 상태에 있었던 기간을 도출할 수 있게 하고 따라서 수신된 심볼과 연관된 기간을 제공한다.

[0031] 마찬가지로, 네거티브 펄스 디코더(36b)는 수신된 데이터 신호가 로우 상태에 있었던 기간을 도출할 수 있게 하고 따라서 수신된 심볼과 연관된 기간을 제공한다. 도 1c의 TDC가 도 1a에 도시된 바와 같은 데이터 신호를 수신하면, TDC는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리

되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 펄스 디코더(36a 및 36b)는 인버터(30a 내지 30f)의 지연에 의해 주어지고 지연 라인의 전체 지연을 초래하는 전체 인버터의 수에 따른 단일 기간(TDC의 동적 범위)의 최대 길이를 가능하게 하는 분해능으로 하이 펄스 및 로우 펄스의 기간을 결정한다.

[0032] 이전의 고려 사항을 요약하면, (예를 들어 송신기 내에서) 또는 (예를 들어 수신기 내에서) STEP 신호를 생성할 수 있는 장치의 예는 다음과 같이 정의될 수 있다.

[0033] 예에 따르면, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리됨 - ; 및 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[0034] 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지이거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지이다.

[0035] 제 1 기간과 제 2 기간의 합은 $1*10^{-7}$s 미만 (또는 $5*10^{-7}$s 미만, $1*10^{-8}$s 미만 또는 $5*10^{-8}$s 미만)일 수 있다.

[0036] 예를 들어, 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[0037] 제 1 데이터는 제 1 데이터 심볼로 나타낼 수 있고 제 2 데이터는 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼로 나타낼 수 있다.

[0038] 예를 들어, 장치는 데이터 신호를 생성하도록 구성된 적어도 하나의 디지털-시간 변환기를 더 포함할 수 있다.

[0039] 출력 인터페이스 회로는 데이터 신호를 하나 이상의 송신 라인으로 구성된 유선 송신 링크로 출력하도록 구성될 수 있다.

[0040] 예에 따르면, 데이터 신호를 수신하기 위한 장치는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[0041] 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지이거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지이다.

[0042] 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만 (또는 $5*10^{-7}$s 미만, $1*10^{-8}$s 미만 또는 $5*10^{-8}$s 미만)일 수 있다.

[0043] 처리 회로는 또한 제 2 데이터 신호를 수신하도록 구성될 수 있고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다. 또한, 처리 회로는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 또한 구성될 수 있다.

[0044] 2개의 신호 에지 사이의 기간은 통신 프로토콜의 데이터 심볼에 대응할 수 있다.

[0045] 장치는 제 1 기간 및 제 2 기간을 결정하도록 구성된 적어도 하나의 시간-디지털 변환기를 더 포함할 수 있다.

[0046] 예에 따르면, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입과 제 2 타입의 교대하는 신호 에지를 포함한다. 각각의 후속 쌍의 신호 에지 사이의 기간은 송신될 데이터에 대응할 수 있다. 1초 내에 존재하는 많은 수의 기간들이 $1*10^{-7}$ 초과(또는 $5*10^{-7}$s 초과, $1*10^{-8}$s 초과 또는 $5*10^{-8}$s 초과)일 수 있다.

[0047] 두 개의 신호 에지 사이의 기간은 통신 프로토콜의 데이터 심볼에 대응할 수 있다.

[0048] 데이터 신호는 유선 송신 링크를 사용하여 송신된 디지털 신호일 수 있다.

[0049] 예에 따르면, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되

고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[0050] 예에 따르면, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 여기서 처리 회로는 송신될 각각의 데이터 부분에 기초하여 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 조정하도록 구성된다.

[0051] STEP 인터커넥트의 예는 구현의 구체적인 목표를 달성하고 다수의 사용 사례에 대한 인터커넥터의 예를 사용할 수 있게 하는 다수의 특징을 구현할 수 있다. 이어서, 이러한 특징 중 일부는 독립적인 예를 통해 설명될 것이다. 다양한 예는 인터커넥트의 상이한 양태에 관련하여 그룹을 지어 설명될 것이다.

[0052] 논의는 상기 인터페이스를 실행하기 위해 사용되는 물리적 인터페이스(Physical Interface)(Phy) 및 알고리즘에 관한 예부터 시작하고, 이어서 매체 액세스 제어(Medium Access Control)(MAC) 및 이와 관련된 알고리즘에 관한 예가 뒤따를 것이다. 이어서, 인터커넥트의 다양한 기능을 구현하는 회로에 관한 예가 설명된다. 다음의 섹션에서는 인터커넥트의 부품의 교정과 관련된 예를 논의하고, 이어서 인터커넥트의 특정 아키텍처 양태와 관련된 예를 논의한다. 논의는 인터커넥트에 의해 인에이블되는 상이한 사용 사례의 예로 마무리된다.

[0053] 이후에 개시된 임의의 예는 데이터 신호를 생성하기 위한 장치 또는 데이터 신호를 수신하기 위한 장치의 앞서 설명한 예의 임의의 양태와 조합될 수 있다.

[0054] STEP 시스템에서, 수신기(Receiver)(RX)는 "자가 트리거(self-triggered)"될 수 있는데, 이것은 적어도 PHY를 동작시키는데 필요한 클록이 데이터 신호 자체로부터 도출된다는 것을 의미한다. 따라서 송신기(TX)와 RX 사이에서 클록 신호를 전달할 필요가 없을 수 있다. RX 클록킹은 수신된 신호에 의해 행해지며, 이것은 TX와 RX 사이의 레인의 수를 최소화한다. 또한, RX에서 PLL 또는 CDR이 필요하지 않기 때문에 전력 소모가 낮아지고 RX의 PLL/CDR이 고정(lock)될 때까지 기다릴 필요가 없기 때문에 시스템 대기시간(latency)이 낮아진다.

[0055] 도 1d는 자가 트리거된 수신기에서, 예를 들면 STEP 시스템 내에서, 작동될 데이터 신호를 수신하기 위한 장치의 예를 도시한다.

[0056] 장치(102)는 복조 회로(106), 처리 회로(104), 검출 회로(108) 및 발진기 회로(110)를 포함한다. 장치(102)는 예를 들어, 도 1a에서 단지 예시의 목적으로 도시된 STEP 순응 송신기(STEP-compliant transmitter)(112)에 의해 생성된 데이터 신호를 수신한다. 복조 회로(106)는 STEP 순응 데이터 신호를 복조하도록 구성된다. 예를 들어, 두 개의 데이터 심볼이 수신되면, 복조 회로(106)는 데이터 신호 내의 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 데이터 신호의 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정한다. 처리 회로(104)는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정한다. 처리 회로(104)는 예를 들어, 시간-디지털 변환기(TDC)를 포함할 수 있으며, 시간-디지털 변환기(TDC)는 제 1 및 제 2 결정된 기간을 복조 회로(106)에 전달한다.

[0057] 검출 회로(108)는 어떤 데이터도 제 1 데이터 또는 제 2 데이터에 없는 것으로 식별될 때 트리거 신호를 생성하도록 구성된다. 검출 회로(108)는 복조 회로(106)에 또는 도 1d에 도시된 바와 같이 처리 회로(104)에 결합될 수 있다. 검출은 예를 들어 데이터에 대응하지 않는 하나 또는 여러 후속 기간을 식별함으로써 수행될 수 있다. 대안적으로, 검출 회로(108)는 처리 회로(104)가 미리 결정된 기간 동안 데이터 신호 내의 신호 에지를 결정하지 않으면 또는 후속 상보적 신호 에지의 특정 패턴이 처리 회로(104)에 의해 수신되면 데이터가 송신되지 않는다고 결론을 내릴 수 있다.

[0058] 트리거 신호를 받으면, 발진기 회로(110)는 클록 신호를 생성한다. 그 다음에, 클록 신호는 수신된 데이터 신호 자체로부터 도출되는 클록을 사용하여 달리 동작되는 수신기 내의 내부 컴포넌트를 클록하는데 사용될 수 있다. 따라서 발진기 회로(110)는 데이터 신호에 의해 데이터가 수신되지 않더라도 장치(102)의 부품을 동작시킬 수 있게 한다. 이렇게 생성된 클록 신호는, 예를 들어, 데이터가 더 이상 처리 회로(104)에 의해 수신되지 않더라도, 수신기 또는 장치(102)의 신호 처리 체인 내에서 데이터를 추가로 처리하는 역할을 하며, 궁극적으로는 자가 트리거된 클록의 부족을 초래할 수 있다. 그럼에도 불구하고, 신호 처리 체인 내에 이미 존재하는 데이터는 수신된 모든 데이터가 수신기의 더 높은 프로토콜 레벨로, 이를테면 MAC 계층으로, 확실하게 포워딩될 수 있도록 하기 위해 발진기 회로(110)의 클록 신호를 사용하여 신호 처리 체인의 끝까지 처리될 수 있다. 검출 회로(108) 및 발진기 회로(110)를 갖는 장치(102)를 사용하면, STEP 수신기가 송신의 종료 시 데이터를 잃을 위험 없이 데이터 신호 자체로부터 클록을 도출할 수 있게 할 수 있다. 일부 예에 따르면, 데이터 신호에서 누락될 데이터는 페이로드 데이터일 수 있다.

[0059] 요약하면, STEP은 디지털-시간 변환기(DTC)에 의해 생성되고 TDC를 통해 수신된 시간 변조된 신호(time modulated signal)를 사용하기 때문에, 데이터 링크를 통한 데이터의 순간 레이트는 데이터 종속적이다. TDC 데이터 처리 회로는 TDC 수신 데이터에 의해 생성된 순간(instantaneous) CLK를 사용하여 동작하고 있다. 이것은 STEP RX가 자가 트리거되고 CLK/PLL/CDR을 필요로 하지 않기 때문에 매우 가치가 있는 특징이다. TX가 페이로드 데이터 심볼 또는 데이터 신호를 전송하는 것을 일단 종료하면, RX "파이프라인(pipe-line)"의 컴포넌트에 상주하는 페이로드 데이터는 컴포넌트를 동작시키는 클록 신호가 없어질 수도 있기 때문에 더 이상 처리되지 않을 수 있다. 이것은 예를 들어, 데이터가 MAC에 도달하지 못할 수 있는 결과를 가져올 수 있다. STEP이 데이터를 수신하는 한, 자체에서 생성된 CLK를 사용하는 복조 회로(수신기)는 수신된 심볼을 추가 처리를 위한 (예를 들어, PHY 내의 TDC의 레이트로 채워지고 MAC 계층 내에서 사용되는 제 2 클록의 제 2 레이트로 판독되는 두 개의 클록에서 동작하는 레이트 변환기(rate converter)로서 역할을 할 수 있는) 선입 선출(First-In-First-Out)(FIFO) 회로에 전달할 수 있다. 페이로드 데이터가 (예를 들어, 패킷의 종료에서) 중지되면, TDC는 CLK 신호의 생성을 중지할 것이며, TDC 출력과 FIFO 입력 사이의 데이터 샘플은 더 이상 전달되거나 처리되지 않을 수 있는데, 이것은 도 1a에 도시된 장치(102)를 사용하여 방지된다. 도 1a는 RX PHY 계층에서 송신의 종료를 검출하고 합성 CLK를 생성하여 TDC 출력으로부터 FIFO 입력으로 데이터를 전달하는 제 1 예를 제시한다. 이러한 동작을 (예를 들어, MAC에서가 아니고) PHY 계층에서 수행하면 링크의 대기 시간이 최소화된다.

[0060] 도 1e는 도 1d에 도시된 장치와 다수의 컴포넌트를 공유하는 데이터 신호를 수신하기 위한 장치의 추가 예를 도시한다. 도 1e의 특정 예에서, 발진기 회로(110)는 링 발진기(110a)뿐만 아니라 카운터(110b)를 포함한다. 트리거 신호를 받으면, 링 발진기는 발진하기 시작하고 카운터(110b)는 모든 발진을 카운트한다. 미리 결정된 수의 발진 이후에, 카운터(110b)는 링 발진기(100a)의 발진을 중지시킨다. 도 1e는 미리 결정된 수의 발진만을 포함하는 클록 신호를 생성하는 발진기 회로의 특정 예를 도시한다. 이것은 장치(102)의 자가 트리거되는 처리 파이프라인 내의 처리 동작의 수가 제대로 결정된다면 유리한 구현일 수 있다. 파이프라인을 비우는데 필요한 수의 발진만이 발진기 회로(110)에 의해 생성되므로, 선험적으로 불필요한 것으로 알려진 발진에 대해서는 에너지가 낭비될 필요가 없다.

[0061] 도 1d의 예에 더하여, 도 1e의 장치(102)는 페이로드 데이터를 PHY 계층으로부터 MAC 계층으로 이송하도록 구성된 MAC 인터페이스(112)를 포함한다. 일부 예에 따르면, MAC 인터페이스는 PHY와 MAC의 상이한 클록 도메인 사이를 인터페이스하는 비동기식 FIFO를 포함한다. 더 이상 페이로드 데이터가 PHY에서 수신되지 않지만, FIFO는 발진기 회로(110)에 의해 생성된 클록 신호를 사용하여 채워진다.

[0062] 추가 예에 따르면, 장치(102)는 발진기 회로(110)의 클록 신호를 사용하여 동작되는 FIFO 이외의 적어도 하나의 데이터 처리 회로를 포함할 수 있으며, 이것은 클록드 처리 회로(clocked processing circuit)만을 위한 특정 예로서 사용된다.

[0063] 일부 예에 따르면, 검출 회로는 데이터 신호 내에서 패킷 심볼의 종료(End of Packet symbol)(EOP)를 식별하고 패킷 심볼의 종료를 식별할 때 트리거 신호를 생성하도록 구성된다. 이러한 구성은 (EOP로 표시되는) 각각의 데이터 패킷을 수신한 이후에 수신기 내에서 신호 처리 파이프라인을 안전하게 비울 수 있게 하여, 각 EOP 이후에 수신기를 저전력 상태로 들어갈 수 있게 한다. 다시 말해, 합성 CLK는 패킷의 종료(EOP)의 검출 이후에 생성된다. 검출 회로(108)는 트리거된 링 발진기를 인에이블하는 EOP 검출 블록으로서 역할을 한다. CLK 생성은 카운터(110b)에 의해 N 사이클로 제한된다. N 사이클은 최악의 시나리오에 요구되는 최대 사이클 수로 미리 결정될 수 있다.

[0064] 도 1f는 송신의 끝에서 자가 트리거되는 수신기의 동작을 적절하게 인에이블하는데 요구되는 클록 신호가 송신기 내에서 생성되는, 데이터 신호(120)를 생성하기 위한 장치의 예를 도시한다. 장치(120)는 페이로드 데이터의 입력 인터페이스(122) 및 출력 인터페이스(126)에 의해 출력되는 데이터 신호를 생성하도록 구성된 처리 회로를 포함한다. 생성된 데이터 신호는 제 1 타입의 제 1 신호 에지(128a), 제 2 타입의 제 2 신호 에지(128b) 및 제 1 타입의 제 3 신호 에지(128c)의 시퀀스를 포함한다. 제 1 신호 에지(128a)와 제 2 신호 에지(128b)를 분리하는 제 1 기간 및 제 2 신호 에지(128b)와 제 3 신호 에지(128c)를 분리하는 제 2 기간은 페이로드 데이터가 입력 인터페이스(122)에서 수신되는지 아닌지에 따라, 처리 회로(124)에 의해 상이하게 생성된다.

[0065] 페이로드 데이터가 입력 인터페이스(122)에서 수신되면, 입력 인터페이스(122)에서 수신된 페이로드에 따라 제 1 기간은 제 1 페이로드 데이터 심볼에 기초하고, 제 2 기간은 제 2 페이로드 데이터 심볼에 기초한다. 그러나 입력 인터페이스(122)에서 아무런 페이로드 데이터도 수신되지 않으면, 페이로드 데이터의 부재시 수신기에 의해 내부 컴포넌트를 동작시키기 위한 클록 신호를 생성하는데 사용될 수 있는 데이터 신호에 클록 신호를 포함

시키기 위해 제 1 기간은 제 1 미리 결정된 클록 사이클 시간에 기초하고 제 2 기간은 제 2 미리 결정된 클록 사이클 시간에 기초한다.

[0066] 따라서, 일부 실시예에 따르면, 처리 회로(124)는 페이로드 데이터의 부재시 적절한 클록 신호를 제공하기 위해 제 1 미리 결정된 클록 사이클 시간 및 제 2 미리 결정된 클록 사이클 시간을 저장한 메모리(124a)를 포함할 수 있다. 페이로드 데이터를 대신할 적절한 데이터 신호를 생성하기 위해, 처리 회로(124)는 예를 들어, STEP 통신 프로토콜에 따라 수신된 페이로드 데이터 샘플과 기간을 연계시키도록 구성된 변조기(124b)를 포함할 수 있다. 데이터 신호 내에서 에지의 시퀀스는 예를 들어 디지털-시간 변환기(DTC)를 사용하여 생성될 수 있다.

[0067] 특정 구현에 따르면, 페이로드 데이터의 부재시 생성된 제 1 및 제 2 기간은 동일하여, 듀티 사이클이 50 %인 발진을 유발할 수 있지만, 대안적인 구현은 상이한 기간을 사용할 수 있다. 또한, 페이로드 데이터의 부재시 생성된 발진의 주파수는 일정할 필요는 없다. 이와 반대로, 데이터 신호가 메모리로부터 판독된 기간의 시퀀스에 따라 달라지는 기간에 의해 분리된 후속 상보적 신호 에지를 포함할 수 있도록 페이로드 데이터의 부재시 메모리로부터 임의의 수의 기간이 판독되어 데이터 신호를 생성할 수 있다.

[0068] 추가 예에 따르면, 장치(120)는 또한 도 1g에 도시된 바와 같이, 페이로드 데이터의 부재시 출력 인터페이스(126)에 결합된 발진기 회로를 포함할 수 있다. 도 1g의 예에서, 데이터 신호를 생성하기 위한 장치(130)는 출력 인터페이스(132), 변조기(134), 검출기 회로(136) 및 발진기 회로(138)를 포함한다. STEP 순응 수신기(140)는 단지 예시의 목적으로 도시된다. 변조기(134)는 수신된 페이로드 데이터에 기초하여 후속 신호 에지 사이의 기간을 생성한다. 검출기 회로(136)는 더 이상 페이로드 데이터가 변조기(134)에 의해 처리되지 않는 때를 결정한다. 페이로드 데이터가 더 이상 처리되지 않으면, 검출기 회로(136)는 발진기 회로(138)가 발진을 시작하게 하여, 출력 인터페이스(132)가 발진기 회로(138)의 발진을 데이터 신호에 포함시키도록 한다.

[0069] 다시 말해, 도 1f 및 도 1g는 송신의 끝이 TX PHY 계층에서 검출되고 TX PHY가 합성 DATA 또는 송신될 데이터 심볼을 생성하여 RX가 TDC 출력으로부터 FIFO 입력으로 데이터를 전달할 수 있는 예를 제시한다. 이러한 동작을 (MAC이 아니라) PHY 계층에서 수행하면 링크의 대기 시간이 최소화된다. 송신의 끝은 TX 측(TX PHY)에서 식별되며, (MAC에 의해 전송되지 않는) 합성 데이터가 데이터를 RX의 파이프 라인에 푸시하기 위해 생성된다.

[0070] 이어서, 앞에서 논의된 임의의 장치에 의해 수행되는 방법이 흐름도에 의해 간략하게 도시된다. 도 1h는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다. 방법은 데이터 신호 내에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(152)를 포함한다. 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계(154)를 더 포함한다. 또한, 방법은 아무 페이로드 데이터도 제 1 데이터 또는 제 2 데이터 내에 없는 것으로 식별될 때 클록 신호를 생성하는 단계(156)를 포함한다.

[0071] 도 1i는 데이터 신호를 수신하기 위한 방법의 예의 흐름도를 도시한다. 방법은 데이터 신호를 생성하는 단계(162)를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리된다. 방법은 또한 페이로드 데이터가 이용 가능할 때 제 1 페이로드 데이터 심볼에 기초하여 제 1 기간 및 제 2 페이로드 데이터 심볼에 기초하여 제 2 기간을 결정하는 단계(164); 또는 페이로드 데이터가 이용 가능하지 않을 때 제 1 미리 결정된 클록 사이클 시간에 기초하여 제 1 기간 및 제 2 미리 결정된 클록 사이클 시간에 기초하여 제 2 기간을 결정하는 단계(166)를 포함한다.

[0072] 차동 인터페이스는 올바르게 작동하기 위해 송신 링크의 양쪽 끝단에 올바른 극성으로 연결되어야 할 수 있다. 송신 링크가 두 개의 별개 송신 라인(예를 들어, 동축 와이어(Coax Wire))에 의해 설정된다면, 이러한 요건은 양측에서 포지티브와 네거티브를 올바른 극성으로 연결할 송신 라인을 엇갈리게(crossing)할 수 있다. 송신 라인의 엇갈림은 차례로, 예를 들어 크로스토크(crosstalk)에 의해 신호 품질을 저하시킬 수 있고, 또한 전자 디바이스 내에서 제한될 수 있는 공간을 더 많이 소모한다. 전기적 속성으로 인해, 모든 표준 인터커넥트는 송신 라인의 뒤집힘(flipping)/엇갈림이 일어나지 않게 할 수 있으며, 이것 때문에 플랫폼 라우팅(platform routing)이 제한될 수 있다.

[0073] 예를 들어 PCI 익스프레스(PCI Express)(PCIe)와 같은 일부 인터커넥트는 극성 체크(polarity check)를 지원한다. PCIe에서, 복구 흐름(recovery flow) 때마다 극성이라 부르는 전용 심볼을 송신하는 극성 체크가 MAC에 의해 트리거된다. 이렇게 개시된 극성 체크가 시작되면, 인터페이스는 전용 메시지 흐름을 사용하여 차동 송신

링크의 송신 라인의 극성 체크를 수행하고 필요한 경우 입력을 뒤집는다. 전용 흐름을 갖는다는 것은 어떠한 데이터도 포함하지 않는 그리고 더욱이 흐름의 시작을 신호하기 위한 특수 심볼을 필요로 하는 극성 패턴을 송신함으로써 시스템을 복잡하게 만들고 탈출 대기 시간(exit latency)을 증가시킬 수 있다. 극성 체크를 지원하지 않는다면 전체 시스템을 더 복잡하게 만들며 이것은 양측 사이에 양호한 정렬을 필요로 한다. 플랫폼 라우팅(platform routing)은 트레이스 매칭의 저하를 야기하는 트레이스의 엇갈림을 야기할 수 있다. 예를 들어, DPHY는 차동 송신 링크의 포지티브 접점과 네거티브 접점 간의 뒤집힘이 전혀 가능하게 않게 한다. 링크 상에 극성 체크를 구현하면 플랫폼 라우팅이 더 쉬워진다. 또한, 이것은 더 나은 라인 매칭을 얻기 위해 송신 라인을 따라 엇갈림을 피할 수 있다. 이것은 또한 엇갈림을 피하기 위해 미리 예비 조정하는 것을 필요로 하지 않는다. 낮은 오버헤드로 송신 라인에 극성 체크를 제공하는 것이 바람직할 수 있다.

[0074] 도 2a는 송신 링크의 수신 단에서 극성 체크를 수행할 수 있게 하는 차동 신호 쌍을 생성하기 위한 장치의 예를 도시한다. 장치(202)는 두 개의 송신 라인(204a 및 204b)을 포함하는 송신 링크(204)를 통해 송신을 위한 차동 신호 쌍을 생성한다. 장치(202)의 출력 인터페이스 회로(203)는 차동 신호 쌍의 제 1 신호를 송신 링크(204)의 제 1 송신 라인(204a)에, 차동 신호 쌍의 제 2 신호를 송신 링크(204)의 제 2 송신 라인(204b)에 동시에 공급하도록 구성된다. 정상 동작 동안, 제 1 신호 및 제 2 신호는 둘 모두 상보적인 상태를 갖는데, 즉 제 1 신호가 하이 상태에 있는 동안 제 2 신호는 로우 상태에 있고, 또는 제 1 신호가 로우 상태에 있는 동안 제 2 신호는 하이 상태에 있다. 극성 검출을 위해, 두 신호는 모두 초기에 얼마 동안 동일한 상태에 있을 수 있다. 얼마의 기간 동안 동일한 상태에 있는 신호는 또한 예를 들어 이후에 보다 상세히 설명되는 바와 같이 수신기의 전력 상태를 제어하는 데 사용될 수 있다. 도 2b는 연관된 수신기가 송신 라인(204a 및 204b)의 정확한 극성을 결정할 수 있도록 생성될 수 있는 제 1 신호(206a) 및 제 2 신호(206b)에 대한 예를 도시한다. 신호 쌍의 신호에 관한 다음의 논의를 위해, 포지티브 극성은 제 1 송신 라인(204a)을 향한 선택된 제 1 신호(206a)와 연관된다고 가정될 수 있다. 물론, 추가 실시예에서, 제 2 송신 라인(204b)에 대해 포지티브 극성이 선택될 수도 있다.

[0075] 이러한 특정 예에서 제 1 신호(206a) 및 제 2 신호(206b)는 둘 모두 초기에 하이 레벨인 제 1 신호 레벨에 있다. 추가 예에서, 두 신호 모두 마찬가지로 초기에 로우 레벨에 있을 수 있다. 극성 검출을 가능하게 하기 위해, 장치(202)는 제 1 신호(206a)가 제 1 극성이면 제 1 신호(206a)의 신호 레벨을 제 2 신호 레벨로 변경하도록 구성된 처리 회로(208)를 더 포함한다. 도 2b에 도시된 예에서, 하이 레벨의 신호(206a)가 시간(210)에서 로우 레벨로 스위칭되고, 이에 따라 처리 회로(208)는 제 1 신호(206a)에서 하강 신호 에지를 생성함으로써 제 1 신호(206a)의 신호 레벨을 제 2 신호 레벨로 변경하도록 구성된다.

[0076] 위에서 설명한 바와 같은 장치(202)를 사용하면, 수신기는 어느 송신 라인이 신호 레벨의 변화를 나타내는지를 PHY 내에서 이미 결정함으로써 송신 라인(204a 및 204b) 둘 모두의 극성을 정확하게 결정할 수 있다. 위에서 이미 시사된 바와 같이, 두 송신 라인 모두의 극성은 임의로 선택될 수 있어서, 대안적인 예에서, 처리 회로(208)는 또한 제 2 신호(206b)의 신호 레벨을 제 2 신호 레벨로 변경하고 제 1 신호(206a)를 제 1 신호 레벨에서 유지하도록 구성될 수 있다.

[0077] 극성 정보는 STEP 인터커넥트의 파워 온(power on) 이후 및 제 1 페이로드 데이터의 송신의 시작 이전에만 수집될 수 있다. 그러나 일부 예는 또한 초기 파워 온 이후에 페이로드 데이터가 송신되지 않을 때 STEP 인터페이스를 절전 모드로 유지할 수도 있다. 이를 위해, 처리 회로(208)는 또한 페이로드 데이터가 송신될 때까지 제 1 신호(206a)가 제 1 극성을 갖는다면 제 2 신호(206b)를 제 1 신호 레벨로 유지(지속)하도록 구성될 수 있다.

[0078] 하나의 예에 따라 PHY에서 극성 체크가 구현되면 절전 모드로부터 시스템의 탈출 대기 시간을 극적으로 줄일 수 있다. 극성 체크는, 일부 솔루션에서 요구될 수도 있는, 양방향으로 플러그될 수 있는 대칭 커넥터를 지원할 수 있다.

[0079] 차동 신호 쌍의 극성을 표시한 이후에, 처리 회로는 또한 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 제 1 신호(206a) 및 제 2 신호(206b) 중 하나 또는 둘 모두를 생성함으로써 페이로드 데이터를 제출하도록 구성될 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[0080] 예를 들어, 제 1 송신 라인의 경우, 제 1 타입의 신호 에지는 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있는 반면 제 2 송신 라인은 상보적 신호 에지를 수신하며, 즉 제 2 송신 라인의 경우에 제 1 타입은 하강 에지이고 제 2 타입은 상승 에지이다. 대안적으로, 제 1 송신 라인의 경우에 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다.

[0081] STEP 시스템에서, 제 1 기간과 제 2 기간의 합은 예를 들어 10^{-7}s 미만(예를 들어, 10^{-8}, 10^{-9}, 10^{-10}, 10^{-11}초 이하)일 수 있다. 다시 말해, STEP 시스템의 일부 예에서, 데이터 신호의 최소 또는 평균 주파수는 10 MHz를 초과(예를 들어, 100 MHz, 1 GHz, 10 GHz, 100 GHz 이상)할 수 있다. 제 1 데이터는, 예를 들어 제 1 데이터 심볼일 수 있고 제 2 데이터는 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼일 수 있다.

[0082] 장치(2100a)의 보다 세부 사항 및 양태는 제안된 기술 또는 위에서 또는 아래(예를 들어, 도 2a 내지 도 2i)에서 설명되는 하나 이상의 예와 관련하여 언급된다. 장치(202)는 제안된 기술의 하나 이상의 양태 또는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0083] 요약하면, STEP PHY 계층은 (이후에도 설명되는 전력 상태 흐름의 일부인) 두 개의 고유한 상태를 포함할 수 있기 때문에: TX가 RX를 파워 다운할 때 RX는 P와 N을 둘 모두 하이로 출력한다. TX가 파워 오프 모드를 종료할 때, 유휴 상태 또는 패키지의 시작으로 진행하여, 강제로 P를 로우로 그리고 N을 하이로 만든다. 따라서 RX 측은 이 정보를 사용하여 극성을 결정할 수 있다.

[0084] 도 2c는 또한 예를 들어, STEP 수신기 내에서 사용될 수 있는 차동 신호 쌍을 처리하기 위한 장치(212)를 도시한다. 장치(212)는 송신 링크(204)의 제 1 송신 라인(204a)으로부터 차동 신호 쌍의 제 1 신호 및 송신 링크(204)의 제 2 송신 라인(204b)으로부터 차동 신호 쌍의 제 2 신호를 동시에 수신하도록 구성된 입력 인터페이스 회로(214)를 포함한다. 제 1 신호 및 제 2 신호는 초기에 둘 모두 제 1 (논리) 신호 레벨(예를 들어, 하이 또는 로우)에 있다. 장치(212)는 제 1 신호의 신호 레벨이 (제 1 신호 레벨로부터) 제 2 신호 레벨로 변경되면 제 1 신호가 제 1 극성이라고 결정하도록 구성된 처리 회로(216)를 더 포함한다. 제 1 신호가 제 1 극성이라고 결정하는 것은 제 1 송신 라인(204a)이 제 1 극성의 신호를 송신하기 위해 사용되는 라인이어서 장치(212) 또는 대응하는 수신기가 어울리게 구성될 수 있다고 결정하는 것과 동등할 수 있다. 도 2b에 도시된 예시적인 신호를 사용하여, 장치(212)는 제 1 송신 라인(204a)을 통해 수신된 제 1 신호(206a)가 그의 신호 레벨을 하이에서 로우로 변경하고 제 2 신호(206b)가 신호 레벨을 하이 레벨에서 유지하면, 제 1 송신 라인(204a)이 포지티브 극성에 사용된다고 결정한다. 다시 말해, 처리 회로(216)는 또한 제 2 신호가 제 1 신호 레벨을 유지하면 (그대로 남아 있으면), 제 1 신호가 제 1 극성이라고 결정하도록 구성될 수 있다. 이를 위해, 처리 회로(216)는 예를 들어 제 1 신호가 제 1 신호의 하강 신호 에지를 이용하여 제 2 신호 레벨로 변경되는 것으로 결정하도록 구성될 수 있다.

[0085] 추가 예에서, 처리 회로(212)는 또한, 제 2 신호(212b)의 신호 레벨이 제 2 신호 레벨로 변경되면, 그리고 제 1 신호가 제 2 신호 레벨에서 유지하면(그대로 남아 있으면), 제 1 신호가 제 2 극성이라고 결정하도록 구성될 수 있다.

[0086] 도 2d는 도 2c에 도시된 예에 기초한 차동 신호 쌍을 처리하기 위한 장치의 추가 예를 도시한다. 도 2d의 예에서, 장치는 추가 신호 처리 회로(218)를 더 포함한다. 추가 신호 처리 회로(218)는 MAC 계층 내에서 구현되며, 장치(212)는 PHY 계층 내에서 구현된다. 따라서 도 2d는 본 명세서에 설명된 바와 같은 예를 이용한 극성 검출이 PHY 계층 내에서 전적으로 구현될 수 있으며, 그 결과 MAC 계층 상호 작용이 요구되지 않기 때문에 시스템의 시작 또는 웨이크 업(wake up) 시에 지연 시간이 매우 낮은 극성 검출을 초래한다는 것을 도시한다. MAC 계층에서 그 기능성을 구현하려면 극성 검출이 수행될 수 있기 전에 PHY 계층이 완전히 웨이크 업되고 MAC 계층이 완전히 웨이크 업되어야 한다. 그러나, 도 2a 내지 도 2i와 관련하여 설명된 예에 따르면, 극성 검출은 웨이크 업 절차의 일부로서 시스템의 파워 업 또는 웨이크 업시에 자동으로 수행되며, 따라서 최소한의 지연 시간 및 최소한의 시그널링 오버헤드로 수행된다.

[0087] STEP 프로토콜을 지원하는 예에서, 장치(212)는 후속 신호 에지 사이에서 페이로드 데이터를 수신하고 처리하는 회로를 더 포함할 수 있다. 이러한 예에서, 처리 회로(212)는 또한 제 1 신호 및 제 2 신호 중 적어도 하나에 기초하여 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 장치(212)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함할 수 있다.

[0088] 도 2e는 극성 검출을 가능하게 하는 차동 신호 쌍의 속성을 결정하기 위한 처리 회로(220)의 예를 도시한다. 도 2f는 도 2e의 처리 회로 내에서 존재하는 신호의 예를 도시한다. 도 2e에 도시된 예의 기능성에 관한 다음의 설명은 도 2b에 도시된 신호 흐름에 따른다. 처리 회로(220)는 두 송신 라인(204a, 204b) 모두에 결합된 입력을 갖는 NAND 게이트(222)를 포함한다. 제 1 NOR 게이트(224a)의 제 1 입력은 제 1 송신 라인(204a)에 결합

되고, 제 2 입력은 NAND 게이트(222)의 출력에 결합된다. 제 2 NOR 게이트(224b)의 제 1 입력은 제 2 송신 라인(204b)에 결합되는 반면, NOR 게이트(224b)의 제 2 입력은 NAND 게이트(22)의 출력에 결합된다. 제 1 NOR 게이트(224a)의 출력은 래치(226)의 세트 입력(set-input)에 결합된다. 제 2 NOR 게이트(224b)의 출력은 래치(226)의 리셋 입력(reset-input)에 결합된다. 래치(226)의 출력은 차동 신호 쌍의 속성을 표시하며, 어느 송신 라인이 포지티브 극성에 사용되는지에 대한 정보를 포함한다.

[0089] 도 2f에 도시된 바와 같이, 송신 라인(204a)(P 라인) 상의 신호가 먼저 로우가 되면, 래치 출력은 송신 라인(204a) 상의 극성이 포지티브라는 것을 표시하는 하이이다. 송신 라인(204b)(N 라인)이 먼저 로우가 되면, 래치는 극성이 네거티브이고 데이터가 반전되어야 한다고 표시하는 로우를 출력할 것이다.

[0090] 도 2e의 예에서, 처리 회로는 제 1 신호 및 제 2 신호에 기초하여 로직 신호를 생성하도록 구성된 NAND 게이트를 포함한다. 또한, 처리 회로는 제 1 신호 및 로직 신호에 기초하여 제 1 결정 신호(decision signal)를 생성하도록 구성된 제 1 NOR 게이트, 및 제 2 신호 및 로직 신호에 기초하여 제 2 결정 신호를 생성하도록 구성된 제 2 NOR 게이트를 포함한다. 처리 회로는 제 1 결정 신호 및 제 2 결정 신호에 기초하여, 제 1 신호의 극성을 나타내는 극성 신호를 출력하도록 구성된 플립 플롭 회로를 더 포함한다.

[0091] 도 2g는 기준 클록 신호에 기초하여 제 1 신호(232a) 및 제 2 신호(232b)를 동시에 샘플링하도록 구성된 시간-디지털 변환기(TDC)(231)를 포함하는 추가 처리 회로(230)를 도시한다. TDC(231)는 또한 제 1 신호(232a) 및 제 2 신호(232b)가 반전될지를 결정하기 위해 제 1 신호 레벨로부터 제 2 신호 레벨로 변경되는 제 1 신호(232a) 및 제 2 신호(232b) 중 하나를 나타내는 정보 신호(240)를 제공하도록 구성된다. XOR 게이트(236a 및 236b)는, 이들의 두 개의 입력 중 하나에 로직 "1"이 공급되고 다른 입력이 송신 라인에 연결되면, 신호(232a 및 232b)를 둘 모두 동시에 반전시키는 신호 교환 회로(signal swapping circuit)로서 역할을 한다. 로직 "0"이 공급되면, 신호는 반전되지 않는다.

[0092] 로직 "1" 또는 "0"은 두 송신 라인이 모두 서로 다른 레벨로 유지되면 - 두 송신 라인에 결합된 AND 게이트(238)에 의해 평가됨 - 활성화되는 래치(242)에 의해 공급된다. 래치(242)는 기준 클록 신호(234)에 의해 인에이블되고 정보 신호(240)는 래치(242)의 데이터 입력에 입력된다. 정보 신호(240)를 생성할 때, TDC는 극성 검출기로서 사용된다. PHY가 파워 다운 상태에 있는 동안, TDC는 활성 상태가 아니며 클록을 생성하지 않는다. TX가 페이로드 데이터(또는 예를 들어 구분자와 같은 다른 신호)를 전송하기 시작할 때, TDC(231)는 제 1 데이터의 끝에 가서 제 1 에지를 얻을 것이다(예를 들어, 긴 펄스에 이어 그 끝에는 짧은 펄스가 있을 것이다). 수신된 데이터의 제 1 신호 에지(예를 들어, 구분자 표시)를 봄으로써 그리고 송신 라인에서 로우 또는 하이 펄스가 수신되는지를 결정함으로써, 대응하는 송신 라인이 포지티브 극성 또는 네거티브 극성인지 인식될 수 있다. 따라서, TDC 입력이 바뀌어야 하는지가 결정될 수 있고, 그렇다면, 정보 신호(240)는 로직 "1"로 설정될 수 있다.

[0093] 이미 시사한 바와 같이, 수신기에 의해 요구되는 바와 같이 극성이 상이한 것으로 결정되면, 처리 회로(230)는 제 1 송신 라인을 통해 수신된 제 1 신호 및 제 2 송신 라인을 통해 수신된 제 2 신호를 뒤집은 다음에 신호를 정확한 극성으로 처리할 수 있다.

[0094] 이를 위해, 처리 회로는 제 1 신호 및 제 2 신호를 수신하도록 구성된 신호 교환 회로(236)를 더 포함할 수 있다. 신호 교환 회로(236)는 정보 신호(240)에 기초하여 제 1 신호 및 제 2 신호 중 하나를 TDC(231)의 제 1 입력에 제공하고, 정보 신호에 기초하여 제 1 신호 및 제 2 신호 중 다른 하나를 TDC의 제 2 입력에 제공하도록 구성된다.

[0095] 도 2g에 도시된 예에서, 뒤집는 것은 XOR 게이트를 사용하여 두 신호 모두를 논리적으로 반전시킴으로써 수행된다. 추가 예는 송신 라인의 신호를 반전시키는 대신에 송신 라인을 상이한 입력으로 라우팅하기 위해 예를 들어 멀티플렉서와 같은 다른 신호 교환 회로를 사용할 수 있다.

[0096] 도 2h는 차동 신호 쌍을 생성하기 위한 방법의 예의 흐름도를 도시하는 것으로, 차동 신호 쌍의 제 1 신호를 송신 링크의 제 1 송신 라인에 공급하고 차동 신호 쌍의 제 2 신호를 송신 링크의 제 2 송신 라인에 동시에 공급하는 단계(262)를 포함하며, 제 1 신호 및 제 2 신호는 초기에 둘 모두 제 1 신호 레벨에 있다. 방법은 제 1 신호가 제 1 극성에 대응하면 제 1 신호의 신호 레벨(264)을 제 2 신호 레벨로 변경하는 단계를 더 포함한다.

[0097] 도 2i는 차동 신호 쌍을 처리하기 위한 방법의 예의 흐름도를 도시하는 것으로, 송신 링크의 제 1 송신 라인으로부터 차동 신호 쌍의 제 1 신호를 수신하고 송신 링크의 제 2 송신 라인으로부터 차동 신호 쌍의 제 2 신호를 동시에 수신하는 단계(272)를 포함하며, 여기서 제 1 신호 및 제 2 신호는 초기에 둘 모두 제 1 신호 레벨에 있

다. 방법은 제 1 신호의 신호 레벨이 제 2 신호 레벨로 변경되면 제 1 신호가 제 1 극성에 대응한다고 결정하는 단계(274)를 더 포함한다.

[0098] 위에서 시사된 바와 같이, 본 개시내용은 시스템 라우팅을 따라 놓인 포지티브 라인과 네거티브 라인 간의 잘못된 연결로 인한 데이터 오인(data misunderstanding)을 피하기 위해 차동 라인 극성을 다루는 인터커넥트를 위한 솔루션을 제안한다. 그렇게 하기 위해, MAC 계층이 극성을 다루어야 할 필요없이 데이터를 정확하게 얻을 수 있도록 데이터에 앞서 극성을 검출할 수 있는 PHY 계층의 메커니즘이 제안된다. 앞서 설명된 예는 또한 STEP 인터커넥트에 적용될 수 있다.

[0099] 제안된 솔루션의 일부 예는 STEP에서 지원되는 전력 상태 흐름을 사용하고 그 외에 극성 체크를 추가할 수 있으며, 여벌의(extra) 흐름/심볼은 추가하지 않을 수 있다. 일부 STEP 인터커넥트에서, PHY가 파워 오프 상태에 있을 때, TX는 하이 임피던스(하이 Z(high-Z) 상태에 있다. RX는 이것을 두 라인(P 및 N)이 모두 로직 상태 "1"에 있는 상태로 인식하는데, 이 상태는 두 송신 라인(P 및 N)이 모두 동일한 신호 레벨에서 유지되는 경우에만 해당된다. TX는 이러한 상태를 종료할 때, RX를 파워 온할 것을 표시하는 특정 구분자를 송신한다. 이러한 구분자는 P 라인을 하이로 설정하고 N 라인을 로우로 설정하므로, RX는 라인 중 하나가 로직 상태 '1'로부터 '0'으로 된다는 것을 안다. 이 라인은 포지티브인 것으로 설정되며 지금부터는 MAC의 개입없이 올바른 극성을 알게 된다.

[0100] 즉, 일부 예에서, 극성 체크는 MAC 계층으로부터의 전용 메시지 흐름이 필요 없이 PHY 계층에서 행해진다. PHY 계층에서 극성 확인을 지원하기 위해 여벌의 심볼/구분자가 필요하지 않을 수 있다. 더욱이, TDC 능력이 링크의 극성을 결정하는데 사용되면 극성 체크로 인한 대기 시간 페널티가 없을 수 있다. 예를 들어, 절차는 파워 업할 때 한 번 수행될 수 있다. 결정된 값은 상시 온 레지스터(always-on register)에 기록될 수 있다. 대안적으로, 절차는 TX의 파워 온 때마다 이루어질 수 있다(여벌의 HW 지원은 필요하지 않다). 제안된 기술은 핫 플러깅(hot plugging)을 추가로 지원할 수 있다. TX 디바이스가 삽입되지 않은 때, RX는 파워 오프 상태(두 라인 모두 로직 상태 '1')에 있으며, TX 디바이스가 플러그 인될 때, TX는 우측의 구분자로 파워 다운 상태 종료를 전송한다.

[0101] STEP 인터페이스는 클록 레인 또는 클록 복구 회로를 필요로 하지 않으면서, 시간 인코딩을 사용하여 디지털 펄스를 변조하고 데이터 신호 내에서 각 신호 에지마다 (즉, 상승 에지와 후속 하강 에지 사이 및 하강 에지와 후속 상승 에지 사이에서) 다수의 비트를 전송한다. 데이터는 후속 에지 사이의 시간 차에서 인코딩되므로, 송신 링크를 통해 송신되는 데이터 신호의 순간 주파수는 데이터 자체에 따라 달라진다. 이것은, 예를 들어 전송될 페이로드 데이터로 인해 늘어난 기간 동안 평균 주파수가 너무 높으면, 수신기에서 성능에 영향을 미치거나 버퍼 오버런/언더런을 유발할 수 있다.

[0102] 도 3a는 데이터 심볼의 시리즈에 기초한 데이터 신호를 생성하는 방법의 예를 도시한다. 도 3a는 송신될 데이터에 관계없이, 원하는 신호 속성 또는 특성을 유지하면서 데이터 심볼의 시리즈에 기초한 데이터 신호가 생성될 수 있는 방법을 블록도로 도시한다. 원하는 신호 속성에 대한 예는 다음의 단락 중 한 단락에서 제공될 것이다. 단지 예시적인 목적을 위해, 도 3a의 방법은 또한 옵션에 해당하는 데이터 심볼의 시리즈를 수신하는 단계(302)를 도시한다. 구현에 따라, 방법은 또한 PHY 인터페이스를 통해 송신을 위한 데이터 심볼로 변조되기 이전의 페이로드 데이터에 기초하여 수행될 수 있다. 신호 평가(304) 동안, 원하는 신호 속성으로부터의 편차가 데이터 심볼의 그룹에 대해 현재 편차로서 결정된다. 방법은 데이터 심볼을 직접 사용하여 데이터 심볼의 그룹에 대한 원하는 신호 속성으로부터의 편차를 계산할 수 있거나, 또는 그 계산은 데이터 심볼이 종속하는 페이로드 데이터에 기초하여 수행될 수 있다. 예를 들어, 데이터 심볼이 MAC 계층 내에서 생성된 데이터 비트의 시리즈에 기초하여 생성된다면, 편차의 계산은 데이터 비트가 PHY 계층에 의한 송신을 위해 데이터 심볼로 변조되기 이전의 데이터 비트에 기초하여 수행될 수 있다. 변조는 단일 심볼에 다수의 비트를 할당하는 것이며, 심볼은 PHY 인터페이스를 통해 송신된다. 예를 들어, STEP 인터페이스의 일부 예는 3 비트의 데이터를 데이터 심볼로 변조한다.

[0103] 방법은 현재 편차를 누적 편차(accumulated deviation)(307)와 비교하는 단계(306)를 더 포함하며, 누적 편차는 데이터 심볼의 시리즈의 앞에 오는 데이터 심볼에 기초한다. 누적 편차(307)는 예를 들어 메모리 등에 저장될 수 있다. 변환(308) 동안 송신 심볼의 그룹이 생성된다. 송신 심볼의 그룹은, 현재 편차와 누적 편차가 둘 모두 동일한 속성(예를 들어, 동일한 부호)을 가지면, 심볼의 그룹의 모든 데이터 심볼마다 반전된 데이터 심볼을 포함하도록 생성된다. 현재 편차와 누적된 편차가 상이한 속성을 가지면, 송신 심볼의 그룹은 데이터 심볼 자체를 통합하여 생성된다. 데이터 심볼의 개별 그룹의 경우, 원하는 신호 속성으로부터의 편차가 동일한 속성을

갖는지(유사한지)에 대해 결정할 때, 앞에 오는 데이터 심볼에 대해 결정된 누적 편차는 개별 그룹 내의 데이터 심볼을 변경할 수 있게 하여, 대개는 원하는 신호 속성이 생성된 데이터 신호 내에서 유지되도록 한다. 원하는 신호 속성으로부터의 편차가 어떻게 결정되는지에 따라, 데이터 신호의 상이한 평균 특징 또는 속성이 유지되거나 제어될 수 있다. 이어서, 방법의 예에 따라 STEP 인터페이스의 송신 링크 상의 데이터 신호의 평균 주파수 및/또는 평균 공통 모드가 어떻게 유지될 수 있는지에 대해 상세히 설명될 것이다.

[0104] 도 3b는 본 명세서에 설명된 방법에 의해 생성될 수 있는 송신 심볼의 그룹의 예를 도시한다. 도 3b는 여덟 개의 페이로드 데이터 심볼(310a 내지 310h)의 시리즈를 도시한다. 송신 신호의 그룹은 두 개의 상태 심볼(312a 및 312b)을 더 포함한다. 상태 심볼 중 적어도 하나는, 송신 심볼의 그룹이 반전된 심볼을 포함하는지 아닌지에 관해 표시하여, 수신기가 데이터 신호 내에서 송신되는 페이로드 데이터를 정확하게 결정할 수 있게 한다. 상태 심볼은 또한 페이로드 데이터를 반송할 수 있다. 예를 들어, 상태 심볼로 변조된 하나의 비트가 송신 심볼의 그룹이 반전된 심볼을 포함하는지를 시그널링하는 데 사용되면, 상태 심볼로 변조된 나머지 비트는 페이로드 데이터를 송신하는데 사용될 수 있다.

[0105] 일부 예에 따르면, 방법은 또한 송신 심볼의 그룹에 기초하여 누적 편차를 업데이트하는 단계를 포함한다. 이를 위해, 이전(304)에 결정된 현재 편차는, 부가적으로 데이터 심볼의 그룹 내의 데이터 심볼이 변환될지 아닐지를 고려하면서, 누적된 편차(307)를 업데이트하는데 사용될 수 있다. 각각의 처리된 데이터 심볼의 그룹에 대해 누적 편차(307)를 업데이트하는 것은 늘어난 시간 동안 원하는 신호 속성을 유지할 수 있게 한다.

[0106] STEP 인터커넥트의 경우, 데이터 신호의 평균 주파수를 유지하는 것은 송신 심볼의 그룹 내의 각 데이터 심볼과 연관된 시간의 평균 길이가 일정하다는 것을 보장하는 것과 동등하다. 도 1에 이미 도시된 바와 같이, 페이로드 데이터는 송신 라인상의 데이터 신호가 일정한 레벨로 유지되는 다수의 가능한 기간 중 하나의 기간에 의해 인코딩된다. 도 1은 두 개의 가능한 레벨을 도시하지만, 추가 예는 또한 다수의 상이한 레벨을 사용하여 진폭 변조를 추가로 구현할 수 있다. 그러므로 페이로드 데이터 내에 다수의 짧은 후속 심볼이 있다고 가정하면, 다수의 긴 후속 심볼의 시리즈에 의해 생성된 데이터 신호보다 높은 주파수를 갖는 데이터 신호가 생성될 것이다.

[0107] STEP 시스템에서, 원하는 평균 주파수는 임의의 수단에 의해, 예를 들면 기간의 평균 길이가 페이로드 데이터에 사용되는 송신 심볼과 연관된 최대 길이의 50% 이도록 요구함으로써 정의될 수 있다. 여덟 개의 가능한 전송 심볼을 도시하는 도 1의 예에서, 기간의 평균 길이는 하강 신호 에지 9에 의해 송신된 심볼 7과 연관된 기간의 50%에 대응할 것이다. 다른 가능한 구현에 따르면, 기간의 평균 길이는 최단 심볼 0과 최장 심볼 7의 길이 사이의 중간에 이르는 것으로 정의될 수 있다. 후자를 요구하는 것은, 예를 들어, 송신된 심볼의 평균값이 3.5에 이르도록 요구함으로써 달성될 수 있다.

[0108] 원하는 평균 신호 속성을 유지하도록 요구될 때마다 심볼 그룹의 심볼은 반전된다. 심볼은 심볼의 이진 표현(binary representation)의 각각의 비트를 반전하고, 도 1의 표준 변조 방식에 따라 반전된 이진 표현을 심볼로 변조함으로써 반전될 수 있다. 심볼을 반전하는 다른 방법은 2^N 상태의 심볼 X에 대해, 심볼 X와 반전된 심볼 Y의 합이 (2^N-1): X+Y=(2^N)-1인 관계를 사용하는 것이다.

[0109] 그러므로 Y =(2^N) -1- X이다. 예를 들어, 반전될 심볼 X가 7 이었으면, 반전된 심볼 Y는 0이고, 도 1에서 명백해지는 바와 같이, 데이터 신호의 주파수가 원하는 대로 변경된다.

[0110] 위의 고려 사항에 기초하여, STEP 인터커넥트에 대한 평균 주파수가 어떻게 유지될 수 있는지에 관한 특정 솔루션은 나중에 설명된다.

[0111] (제어 심볼 또는 제어 심볼 표시자(control symbol indicator)에 대해서뿐만 아니라) 데이터 심볼의 그룹 내의 각 STEP 데이터 심볼에 대해, STEP 인코더는 각각의 새로운 심볼에 대해 원하는 평균으로부터 심볼 델타의 합을 계산할 수 있으며, 이는 차후에 sum[n]이라 불리우고, n은 시퀀스의 n-번째 심볼을 식별하는 인덱스이다. 결과적으로 2^N 개의 데이터 심볼(예를 들어, N = 3 인 경우 8개)이 되며, 각 심볼은 [0, ..., 2^N-1] 중 하나이다. 심볼의 평균은 (2^N-1)/2 이다(N = 3 인 경우 3.5개이다). 그러므로 n-번째 심볼의 경우, 원하는 평균으로부터 모든 심볼의 편차는 다음과 같이 계산된다:

[0112] $$sum[n]= sum[n-1] + symbol - (2^N-1)/2$$

[0113] 하나의 특정 예에서, 인코더는 m 입력 심볼(n = n_o, ..., n_o+m-1)의 그룹 또는 시리즈를 샘플링하고, 이들 m 개 심볼의 평균 부호를 계산하여 지금까지 합의 부호(전체 부호)와 비교한다.

[0114] 두 개의 부호가 동일하면, 우리는 정정되지 않은 m 개 심볼을 유지하는 것이 원하는 신호 속성으로부터의 편차를 증가시키고 이에 따라 m 개 심볼이 반전된다는 결론을 내릴 수 있다. 반전된 데이터 심볼은 원하는 평균(sum[n_o+m-1])으로부터 새로운 편차가 0에 가깝도록 송신된다.

[0115] 일부 수신기는 또한 신호의 공통 모드에 민감할 수 있다. 따라서, 송신된 데이터가 고정된 평균 주파수를 갖는 하이 및 로우 펄스로 구성되더라도, 수신기 성능이 저하되지 않도록 하기 위해 공통 모드의 균형을 맞추는 것이 더 요구될 수 있다. 공통 모드는 데이터 신호가 하이 상태에 있는 누적 시간과 데이터 신호가 로우 상태에 있는 누적 시간 간의(하이 펄스의 합과 로우 펄스의 합)의 차이이다. 예를 들어, 심볼 0, 7, 0, 7, ...의 시리즈는 일정한 평균 주파수의 데이터 신호를 생성하지만, 최대의 공통 모드를 유발할 것이다.

[0116] 도 1에 도시된 바와 같이 STEP 인터커넥트의 신호의 평균 공통 모드를 유지하는 것은, 신호 속성으로서, 도 1에 도시된 두 개의 가능한 신호 상태(하이와 로우)의 평균 지속기간 간의 차이가 0이라는 것을 보증하는 것과 동등하다.

[0117] 일부 예에 따르면, 송신 심볼의 평균 기간을 유지하는 앞서 제시된 방법이 하이 상태에서 송신된 신호 펄스 및 로우 상태에서 송신된 신호 펄스 둘 모두에 대해 병렬로 및 독립적으로 수행된다면, 신호의 평균 공통 모드는 유지된다. 로우 상태 및 하이 상태가 각자의 연관된 펄스에 대한 평균 기간을 나타내도록 제어된다면, 공통 모드는 평균적으로 하이 상태와 로우 상태 사이의 중간에 있고, 이것이 바람직할 수 있다. 하이 상태 및 로우 상태를 별도로 제어하는 것은, 도 3c의 흐름도에 의해 도시된 바와 같이, 앞서 제시된 방법에 의해 심볼의 시리즈의 모든 제 2 심볼을 고려하는 것으로 해석된다.

[0118] 그러므로 데이터 신호를 생성하는 방법의 예는, 데이터 심볼의 그룹의 모든 제 2 데이터 심볼에 대한 원하는 신호 속성으로부터의 편차를 제 1 현재 편차로서 결정하는 단계(320) 및 데이터 심볼의 그룹의 나머지 데이터 심볼에 대한 원하는 신호 속성으로부터의 편차를 제 2 현재 편차로서 결정하는 단계(322)를 포함한다. 제 1 현재 편차는 제 1 누적 편차와 비교되며(324), 제 1 누적 편차는 앞에 오는 데이터 심볼의 그룹의 모든 제 2 데이터 심볼에 기초한다. 마찬가지로, 제 2 현재 편차는 제 2 누적 편차와 비교되며(326), 제 2 누적 편차는 앞에 오는 데이터 심볼의 그룹의 나머지 데이터 심볼에 기초한다. 구성 프로세스(328)에서, 송신 심볼의 그룹이 생성된다. 비교(324 및 326)의 결과에 기초하여, 송신 심볼의 그룹은, 제 1 현재 편차 및 제 1 누적 편차가 둘 모두 동일한 속성을 갖는다면, 데이터 심볼의 그룹의 모든 제 2 데이터 심볼에 대해 반전된 데이터 심볼을 포함하도록 생성되고; 그렇지 않고 제 1 현재 편차 및 제 1 누적 편차가 둘 모두 상이한 속성을 갖는다면, 데이터 심볼의 그룹의 모든 제 2 데이터 심볼을 포함하도록 생성된다. 또한, 송신 심볼의 그룹은, 제 2 현재 편차 및 제 2 누적 편차가 둘 모두 동일한 속성을 갖는다면, 데이터 심볼의 그룹의 모든 나머지 데이터 심볼에 대해 반전된 데이터 심볼을 포함하고; 그렇지 않고 제 2 현재 편차 및 제 2 누적 편차가 둘 모두 상이한 속성을 갖는다면, 데이터 심볼의 그룹의 모든 나머지 데이터 심볼을 포함한다.

[0119] 다시 말해, 도 3c의 방법을 요약하면, 공통 모드는 하이 펄스의 합과 로우 펄스의 합 사이의 차이이다. 평균 공통 모드를 유지하기 위해, 하나 또는 두 개의 추가 비트가 추가될 수 있으며 인코더는 두 개 - 하나는 하이 펄스이고 하나는 로우 펄스(또는 하강 에지 및 상승 에지) - 의 합을 추적하고 정정한다. 즉, sum[n]이 로우 펄스 및 하이 펄스에 대해 0이라는 목표를 충족하도록 개별적으로 계산되고 조정된다면, 우리는 원하는 평균 주파수 및 평균 공통 모드 억제를 둘 모두 달성한다. 이렇게 하면, 각각의 합(sum_{high} 및 sum_{low})은 평균 0으로 수렴된다. 따라서 각각의 합은 평균 주파수를 유지하고 조합 또한 신호의 평균 DC 값(또는 공통 모드)을 유지한다.

[0120] 구현에 따라, 이전의 기준 중 하나의 기준에 따라 공동으로 반전될 심볼의 수 m은 임의로 선택될 수 있다. 그러나 단일 페이로드 데이터 심볼 내에서 미리 결정된 수의 비트를 동시에 전송하기 위해 선택된 변조에 따라, 특정 수의 m이 유리할 수 있다. 예를 들어, 단일 페이로드 데이터 심볼에 의해 3 비트의 데이터가 제출될 수 있다면, 상기한 바에 의해 22개 데이터 심볼을 공동으로 처리하는 것이 유리한 선택일 수 있다. 22개 심볼은 66 비트의 데이터에 대응하며, 이것은 송신 신호의 포지티브 사이클 및/또는 네거티브 사이클이 바이트 단위로 동작하는 Mac 계층에 신호 오버헤드를 유발하지 않으면서 반전된 페이로드 데이터 심볼을 반송한다면 두 개의 추가 상태 비트를 신호에 삽입할 수 있게 한다. 예를 들어, STEP 시스템의 MAC 계층에서 오는 8 바이트(64 비트)를 전송하려면 22개 심볼이 필요하다. 그러나 22개 심볼은 66 비트를 전송할 수 있어, 추가적인 오버헤드를 유발하지 않고 2개의 상태 비트를 포함시킬 수 있는 가능성을 제공한다. 유사한 선택은 44개의 데이터 심볼을 공동으로 처리하는 것이다. 44개 심볼의 경우, 4 비트의 데이터가 상태 비트로서 사용될 수 있다. 인코더는 또한 (추가) 상태 심볼 내에 2개의 동일한 비트를 추가하여 신호 상태 중 하나의 극성을 시그널링할 수 있다.

예를 들어, 2 비트가 하나의 신호 상태(하이 또는 로우)에 대한 상태 정보를 나타내면, 데이터 비트는 에러를 피하기 위해 독립적으로 처리된 심볼의 서브그룹에 대해 2개의 동일한 비트로 메워 넣을 수 있다. 제 1 서브그룹은 데이터 심볼의 그룹의 모든 제 2 데이터 심볼을 포함하고, 제 2 서브그룹은 데이터 심볼의 그룹의 나머지 데이터 심볼을 포함한다. 서로 다른 서브그룹에 대한 상태 비트는 또한 두 개의 별도의 송신 심볼을 사용하여 제출될 수 있다.

[0121] 상태 비트를 송신하기 위한 신뢰도를 증가시키는 대안적인 접근법은 에러를 피하기 위해 각각의 심볼에 대해 신뢰성이 높은 변조 방식으로 상태 정보를 송신하는 것이다. 예를 들어, 임계치를 초과하는 모든 가능한 데이터 심볼(예를 들어, 가능한 데이터 심볼 6 및 7)은 하나의 가능한 상태로 해석될 수 있는 반면, 다른 임계치 미만의 모든 가능한 데이터 심볼(예를 들어, 가능한 데이터 심볼 0 및 1)은 다른 상태로 해석될 수 있다.

[0122] 추가 예에서 우리는 코드를 그레이 코드(grey code)를 사용하여 추가로 정렬하고, 상태 비트를 MSB에 메워 넣으면 그레이 코드가 미러 코드(mirror code)이므로 에러로부터 코드를 보호할 수 있게 된다.

[0123] 다시 말해, 이전의 고려 사항을 요약하면, 순수한 페이로드 데이터만을 송신하는 대신에, 송신기(TX)가 송신된 데이터를 조작하여 평균 주파수 및 공통 모드를 유지하게 하는 코딩 방식을 형성하는 일부 리던던시(redundency)가 추가될 수 있다. 리던던시에 의해, 수신기(RX)에게 변경에 관해 시그널링하여 수신기가 정보를 정확하게 디코딩할 수 있게 하는 것이 제안된다. TX는 현재 송신된 데이터를 추적하고 평균 주파수(또는 위상 드리프트) 및 누적된 공통 모드를 계산할 수 있다. 입력되는 각 데이터 심볼 또는 데이터 심볼의 시리즈에 대해, 주파수 및/또는 공통 모드에 미치는 영향을 결정하는 계산이 수행된다. 주파수 및/또는 공통 모드 조건을 충족시키기 위해, 단일 데이터 심볼 또는 전체 데이터 심볼의 시리즈가 반전될 수 있다. 송신되는 데이터(펄스) 또는 심볼이 자기의 원래 형태 또는 반전된 형태에 있으면, 코딩 방식은 미리 결정된 위치에 소수 개의 비트를 추가하여 RX에게 시그널링한다. 따라서 TX는 평균 데이터를 제어할 수 있고 평균 주파수 및 공통 모드를 보장할 수 있다. 이러한 접근법은 평균 주파수와 공통 모드를 유지하고 시스템으로부터 설계 노력 및 회로 제약을 줄일 수 있게 한다.

[0124] 예를 들어, 제안된 방식은 수신기의 버퍼 크기를 제한하고 평균 데이터 레이트에 의존하게 할 수 있다.

[0125] 평균 주파수 및 공통 모드 외에도, 전력 스펙트럼 밀도 내에서 하나 이상의 피크가 존재하는 스퓨리어스(spurious)의 생성이 문제가 될 수 있다. 일부 구현에서는 스퓨리어스의 생성을 피해야 한다.

[0126] 앞서 설명된 방법은 원하는 평균 주파수를 유지하는 것을 보장하는 역할을 할 수 있지만, 이러한 메커니즘은 또한 스퓨리어스의 생성을 피하기 위해 사용될 수 있다. 일부 예에 따르면, 앞서 설명된 바와 같이 데이터 신호를 생성하는 방법에서 사용되는 평균 목표 주파수는 추가 평균 목표 주파수로 변경된다. 추가 평균 목표 주파수로부터의 편차는 평균 목표 주파수와 비교된 앞에 오는 데이터 심볼의 그룹에 후속하는 추가의 데이터 심볼의 그룹에 대해 결정된다. 다시 말해, 평균 목표 주파수는 진행중인 방법 동안 달라질 수 있다. 목표 주파수를 달리하면 생성된 데이터 신호의 스펙트럼에서 스퓨리어스를 피하는 역할을 하는 전력 스펙트럼 밀도를 확장시키는 결과를 가져온다.

[0127] 평균 목표 주파수를 변경하거나 달리하는 것은 상이한 수단에 의해 수행될 수 있다. 예를 들어, 추가 목표 주파수가 미리 결정된 평균 목표 주파수의 시퀀스로부터 선택되도록 평균 목표 주파수의 시퀀스가 사용될 수 있다. 추가 예에서, 평균 목표 주파수는 난수 생성 방법을 사용하여 결정된다.

[0128] 다시 말해, 우리는 생성된 데이터 신호의 스펙트럼을 확산시키는 것이 바람직할 수 있는 다음의 공식에 따라 원하는 평균(AV_{des})을 변경함으로써 평균 주파수를 추가로 변조할 수 있다:

$$sum[n]= sum[n-1] + symbol - AV_{des}$$

. 평균 목표 주파수가 변경되는 유효 주파수는 임의적일 수 있다. 예를 들어, 평균 목표 주파수는 공동으로 처리되는 모든 데이터 심볼의 그룹에 대해 변경될 수 있다. 추가 예에 따르면, 평균 목표 주파수는 공동으로 처리된 데이터 심볼의 2, 3, 또는 N-번째 그룹마다 변경될 수 있다.

[0129] 평균 목표 주파수가 어떻게 변조될 수 있는지에 관한 하나의 특정 구현이 다음 단락에서 논의된다.

[0130] 일부 예에서, PHY의 평균 기간은 심볼의 합을 체크하고 이것을 PHY 유닛의 심볼 수(N)(예를 들어, 44)를 곱한 평균 심볼(s_{avg})과 비교함으로써 데이터 심볼의 그룹(예를 들어, 44개 데이터 심볼, 22개 DTC 사이클에 대응함)에 대해 제어된다.

[0131] 값(S_i)을 갖는 데이터 심볼의 그룹에 대한 합산 오프셋(O_k)(신호 속성 "평균 주파수"로부터의 편차)은 다음과 같

이 정의된다:

[0132] $$O_k = \sum S_i - Ns_{avg}$$

[0133] 그리고 총 가중치는 모든 오프셋을 적분하고, 비트를 뒤집을지를 결정한 이후에, 더하기/빼기를 변경하는 것이다.

[0134] $$W_k = O_{k-1} \pm O_k$$

[0135] (여기서 'k'는 단위 인덱스(unit index), 즉 현재 고려되는 심볼의 그룹의 수이고, 'i'는 특정 유닛 내부의 심볼에 대한 러닝 인덱스(running index)이며, 'N'= 단위의 심볼 수이다). 이것은 상수 참조(constant reference)가 있는 폐 루프로서, 스퓨리어스를 생성할 수 있다. 이것을 극복하기 위해, 우리는 O_k에 새로운 값을 더하여, 확산 인자(spreading factor)(R)를 사용하여 새로운 시프팅 참조(new shifting reference)를 생성한다.

[0136] $$O_k = \sum S_i - Ns_{avg} + R_k$$

[0137] 다시 말해, 데이터 심볼의 그룹 내의 데이터 심볼에 대한 신호 속성의 누적 값(O_k)은 확산 인자를 누적 값에 더해줌으로써 수정되어 신호 속성의 현재 추정치를 결정한다.

[0138] R_k는 두 개의 기본 파라미터를 갖는 확산 인자의 시퀀스이다. 최소값과 최대 값은 확산 인자를 설정하여, 스펙트럼의 확산 폭을 만들어 낸다. 또한 시퀀스는 주기적이며 이 기간은 확산을 완료하는데 걸리는 시간이다.

[0139] 일부 옵션에 따라 시퀀스가 생성될 수 있다. 제 1 옵션은 예를 들어, LFSR 구현을 사용하는 의사 랜덤 생성(pseudo random generation)이다. 여기서, 비트의 수는 확산 기간을 설정하며($T = 2^N T_{cycle}$), 확산 인자는 LFSR을 특정 값으로 나누어서 설정된다. 두 확산 파라미터를 모두 제어하기 위해 비트의 수와 나눗셈 인자 둘 모두 구성될 수 있다.

[0140] 제 2 옵션은 결정론적 시퀀스(deterministic sequence)를 사용하는 것 - 예를 들면, 네거티브에서부터 확산 인자에 의해 설정된 포지티브의 'x' 값으로 이어지는 삼각 시퀀스(triangular sequence)를 구현하는 것이며, 스텝 윈도우(step window)('y')가 구성되어 최종적으로 확산 기간을 $T = 2xyT_cycle_T$ 로 설정한다.

[0141] 특정 변조가 요구된다면 다양한 스텝 윈도우가 구성될 수도 있다.

[0142] 다시 말해, 일부 예는 데이터 심볼의 그룹에 대해 확산 인자를 고려한다. 일부 예는 데이터 심볼의 그룹 내의 데이터 심볼에 대한 신호 속성의 누적값을 결정하고, 확산 인자를 누적값에 가산하여 신호 속성의 현재 추정치를 결정하는 단계; 및 현재 추정치를 원하는 신호 속성과 비교하여 현재 편차를 결정하는 단계를 포함한다.

[0143] 확산 인자의 시리즈는 임의로 생성될 수 있다. 일부 예는 미리 결정된 확산 인자의 시퀀스로부터 확산 인자를 선택한다. 추가 예는 난수 생성 방법을 사용하여 확산 인자를 결정할 수 있다.

[0144] 설명된 방법 중 한 방법에 의해 공동으로 처리된 데이터 심볼의 그룹은 또한 기본 송신 유닛(Basic Transmission Unit)(BTU)으로 특징지어질 수도 있다. BTU는 PHY 인터페이스 내의 데이터 처리 방법에 의해 공동으로 처리되는 데이터의 양일 수 있다. 예를 들어, 또한 인코딩/디코딩 또는 인터리빙/디인터리빙(스크램블링/디스크램블링)이 데이터에 대해 BTU의 블록 크기로 수행될 수 있다. BTU의 데이터는 MAC 계층으로부터 STEP 계층으로 전달된다. MAC 계층으로부터 PHY 계층으로의 인터페이스는 병렬 링크일 수 있지만, MAC 사이의 직렬 인터페이스일 수도 있다. BTU를 구성하는 데이터는 (예를 들어 비트 및 바이트와 같은) MAC 계층 내에서 사용되는 데이터 구조 또는 PHY 계층 내에서 사용되는 데이터 구조로 특징지어질 수 있다. BTU 내의 데이터 양은 임의적일 수 있다. 예를 들어, BTU는 MAC 계층의 264 데이터 비트(33 바이트) 또는 MAC 계층의 528 데이터 비트(66 바이트)에 각각 대응하는 44 데이터 심볼 또는 88 데이터 심볼로 주어질 수 있다.

[0145] 도 3d는 앞서 설명한 방법 중 한 방법을 수행할 수 있는, 데이터 신호를 생성하기 위한 장치(330)의 예를 도시한다. 장치(330)는 데이터 심볼의 그룹에 대해 원하는 신호 속성으로부터의 편차를 현재 편차로서 결정하도록

구성된 모니터링 회로(332)를 포함한다. 장치는 현재 편차를 누적 편차(338)와 비교하도록 구성된 결정 회로(334)를 포함하며, 누적 편차(338)는 데이터 심볼의 시리즈의 앞에 오는 데이터 심볼에 기초한다. 또한, 장치는 송신 심볼의 그룹을 생성하도록 구성된 회로(336)를 포함하며, 송신 심볼의 그룹은, 현재 편차와 누적 편차가 둘 모두 동일한 부호를 갖는다면, 데이터 심볼의 그룹의 모든 데이터 심볼에 대해 반전된 데이터 심볼을 포함하고; 그렇지 않고 현재 편차와 누적 편차가 둘 모두 상이한 부호를 갖는다면, 데이터 심볼의 그룹의 데이터 심볼을 포함한다.

[0146] 도 3e는 도 3d에 도시된 장치에 기초한 데이터 신호를 생성하기 위한 장치의 추가 예를 도시한다. 도 3d의 장치에 더하여, 도 3e의 장치는 송신 데이터 심볼의 그룹 및 적어도 하나의 상태 데이터 심볼을 데이터 신호에 포함시키도록 구성된 멀티플렉서 회로(340)를 포함하며, 적어도 하나의 상태 데이터 심볼은 송신 데이터 심볼의 그룹이 반전된 데이터 심볼을 포함하는지를 표시한다.

[0147] 앞서 많은 신호 생성에 대해 논의되었다. 도 3f 및 도 3g는 앞서 논의된 예 중 한 예에 의해 생성된 데이터 신호를 수신할 수 있는 장치에서의 방법에 대한 예를 간략하게 요약한다.

[0148] 도 3f는 데이터 신호를 수신하기 위한 방법의 예를 도시한다. 방법은 적어도 하나의 상태 데이터 심볼 및 데이터 심볼의 그룹을 포함하는 송신 심볼의 그룹을 수신하는 단계(342)를 포함한다. 또한, 상태 데이터 심볼이 송신 심볼의 그룹이 반전된 데이터 심볼을 포함한다고 표시하면, 방법은 송신 심볼의 그룹의 데이터 심볼을 반전하는 단계(344)를 포함한다.

[0149] 도 3g는 데이터 신호를 수신하기 위한 장치의 예를 도시한다. 장치는 적어도 하나의 상태 데이터 심볼 및 데이터 심볼의 그룹을 포함하는 송신 심볼의 그룹을 수신하도록 구성된 입력 회로(350)를 포함한다. 또한, 상태 데이터 심볼이 송신 심볼의 그룹이 반전된 데이터 심볼을 포함한다고 표시하면, 장치는 송신 심볼의 그룹의 데이터 심볼을 반전하도록 구성된 반전 회로(352)를 포함한다.

[0150] 도 3h는 도 3c에 따른 방법의 예를 사용하여 생성된 데이터 신호의 스펙트럼의 개선에 대한 예를 도시한다. 도 3h는 도 3c의 방법에 따라 생성된 데이터 신호의 전력 스펙트럼 밀도를 목표 주파수의 변동이 없는 전력 스펙트럼 밀도와 비교하여 도시한다. 데이터 신호는 페이로드 데이터의 랜덤 시퀀스에 기초한다. 도 3h로부터 명백한 바와 같이, 스퓨리어스 피크(360a, 360b, 360c 및 360d)는 방법의 예를 사용할 때 제거된다. (고속) 통신 인터페이스를 전자 디바이스 또는 컴포넌트 사이의 인터커넥트로서 사용할 때, 인터커넥트의 양쪽의 송신 및 수신 회로 사이에서 한 세트의 제어를 정의할 필요가 있을 수 있다. 예를 들어, 제어는 동기화, 전력 관리, 흐름 제어 등에 사용될 수 있다. 전체 데이터 처리량에 미치는 페널티를 최소화하기 위해 제어는 임의의 다른 페이로드 데이터 송신과 혼동되어서는 안된다. 제어가 모호해지면 페이로드 데이터가 없는 것보다 더 큰 장애물이 제기될 수 있다.

[0151] PCIe Gen 1 & 2 및 M-Phy와 같은 표준 프로토콜에서, 송신기는 수신기에 의해 데이터 신호로부터 클록이 복구될 수 있도록 데이터 신호 내에서의 전이(transition)의 수를 확대시키기 위해 데이터 비트에 대해 오버헤드를 사용한다(예를 들어, 8 비트 대 10 비트 매핑, PCIe Gen 3 및 4은 128-130 매핑을 사용한다). 이렇게 생성된 추가 코드 또는 심볼은 송신기로부터 수신기로 제어 워드를 제출하여 인터커넥트의 동작을 제어하는데 사용될 수 있다. 제어 워드 또는 제어 심볼은 다른 인터페이스 기술에서 마커(marker)라고도 부른다. 주파수 및 공통 모드 전압과 같은 데이터 신호의 동적 파라미터를 더욱 균형을 이루게 하기 위해, 몇몇 코드 또는 심볼이 단일 마커에 매핑될 수 있다.

[0152] 종래의 메커니즘은 데이터에 대해 큰 오버헤드를 겪게 하여 처리량에 해를 끼칠 수 있다. 제어 워드/심볼은 또한 제어 워드 내의 비트 에러가 혼동되어 데이터 워드로서 번역될 수 있도록 보호되지 않을 수 있다.

[0153] STEP 인터페이스에서, 제어를 위한 메시지 또는 메시지 흐름(제어 코드)은 "구분자(delimiter)"라고 지칭된다. 구분자는 적어도 2개의 후속 펄스 또는 심볼, 제어 심볼 표시자 및 후속하는 또는 앞에 오는 제어 심볼로 나타낸다. 구분자를 언급하는 이후의 논의는 STEP 이외의 다른 통신 인터페이스에도 또한 적용될 수 있다.

[0154] STEP 프로토콜은 송신될 데이터의 펄스 폭 변조를 기초로 하며 각 심볼은 두 개의 후속 상보적 신호 에지 사이의 기간과 연관된다. 데이터에 사용되는 기간은 이후 페이로드 데이터 심볼이라고도 지칭된다. 구분자에 페이로드 데이터 심볼을 낭비하지 않기 위해, 프로토콜은 구분자 대용의 대역 외/고유 심볼을 할당하여, 수신기가 아무런 오버헤드 페널티 없이 구분자를 쉽게 검출할 수 있게 한다. 일부 예에서, 구분자에 연관된 기간은 페이로드 데이터에 연관된 가장 긴 기간보다 길다. 더욱이, 라인의 동적 파라미터를 균형을 맞추기 위해, 구분자는 MAC/Phy로부터의 아무런 전용 처리도 필요로 하지 않고 스스로 균형을 맞추는 특별한 클록 기간에 매핑될 수 있

다. 구분자는 에러로 인해 오검출(false-detection)이 일어나지 않는 방식으로 매핑함으로써 더욱 보호될 수 있다. 요약하면, STEP은 대역 외 심볼을 구분자로서 할당하며 구분자는 주파수 및 DC 레벨로부터 자체로 균형을 맞출 수 있다. 구분자는 고유할 수 있으며 데이터로 오인될 수 없다. 또한, 구분자는 매우 신뢰할 수 있고 임의의 다른 구분자와 혼동될 수 없다.

[0155] 구분자를 쉽게 그리고 보호를 받게/신뢰할 수 있게 수신하기 위해, 대역 외 하이/로우 펄스가 사용된다. 각 구분자는 데이터 신호 내의 적어도 2개의 후속 심볼(2개의 후속 펄스(subsequent pulse)라고도 지칭함), 제어 심볼 표시자 및 후속 제어 심볼로 나타낸다. 제어 심볼 표시자는 임의의 페이로드 데이터 심볼의 기간보다 긴 연관된 기간을 갖는다. 다시 말해, 제어 심볼 표시자는 이 점에서 대역 외이다.

[0156] 대역 외 제어 심볼 표시자는 구분자의 존재를 표시하지만, 대역 내(페이로드 데이터 심볼의 길이를 가짐)일 수 있거나, 또는 대역 외이기도 할 수 있는 제어 심볼은 구분자의 타입을 제공하고 그래서 내용(content)을 제공한다. 추가 예는 또한 제어 심볼 표시자와 함께 하나 초과의 제어 심볼을 사용하여 이용 가능한 구분자(제어문(control statement))의 수를 증가시킬 수 있다.

[0157] 제어 심볼에 대해 페이로드 데이터 심볼과 동일한 위상 분리를 사용하는 것은 심볼당 3개의 페이로드 데이터 비트가 전송되는 것을 감안한다면 7개의 가능한 구분자를 생성할 수 있다. 각각의 구분자는 긴 하이 또는 로우 펄스를 제어 심볼 표시자로서 가지며, 구분자 타입을 표시하는 후속하는 또는 앞에 오는 짧은 펄스를 가질 수 있다.

[0158] 전형적인 구현에서는 적어도 3개의 구분자를 정의할 수 있다. 패킷의 시작(Start of Packet)(SOP)은 패킷의 시작을 표시하는 제어 심볼을 포함한다. 패킷의 종료(End of Packet)(EOP)는 패킷의 종료를 표시하는 제어 심볼을 포함한다. 유휴(Idle)(I-구분자)는 예를 들어 MAC이 전송할 페이로드 데이터가 없을 때 유휴 모드를 표시하는 제어 심볼을 포함한다. 예를 들어, 저전력 모드로 전이하기 이전에는 유휴 모드를 표시하는 제어 심볼을 포함한다.

[0159] 구분자의 다른 예는 짧은/긴/마진(margin)의 초고신뢰 패킷 포맷의 시작(Start of ultra-reliable packet format)(SOR)과 같이 교정 타입이 상이한 교정 사이클의 시작(Start of Calibration cycle)(SOC)일 수 있다.

[0160] 도 4a는 I-구분자, SOP 구분자 및 EOP 구분자의 예를 페이로드 데이터 심볼과 대비하여 도시한다. 도 4a의 예에서, 구분자를 제출하는 제 1 대안이 도시되며, 제 1 대안에서 제어 심볼 표시자(402)가 먼저 제출되고 뒤이어 제어 심볼(404)이 제출된다. 도 4a의 특정 예에서, 제어 심볼 표시자(402)는 페이로드 데이터 심볼의 가장 긴 시간 기간보다 더 긴 기간의 펄스 폭에 의해 제출된다. 도 4a는 세 개의 비트가 한 번에 페이로드 데이터 심볼로 변조되어 페이로드 데이터 심볼 "7"에 대해 가장 긴 기간에 대응하는 하강 신호 에지(406)를 생성하는 변조 방식을 가정한다. 제어 심볼 표시자는 가장 긴 페이로드 데이터 심볼보다 길고, 이는 페이로드 데이터 임계치를 초과한다. 제어 심볼 표시자(402)(도 4a에서 초기의 하이 시간)는 임의의 실제 데이터를 반송하지 않고 그보다는 구분자의 제출을 표시한다. 제어 심볼(404)(도 4a에서 후속하는 로우 시간)은 구분자의 타입을 표시하고 있다. 도 4a에 도시된 예에서, 세 개의 가능한 구분자가 상승 신호 에지(408a, 400b 및 408c)의 위치에 의해 구별된다. I-구분자는 가장 짧은 제어 심볼(신호 에지(408a))에 의해 구성되고, SOP 구분자는 중간 길이 제어 심볼(신호 에지(408b))에 의해 구성되며, EOP 구분자는 가장 긴 제어 심볼(신호 에지(408c))에 의해 구성된다. 그러나, 추가 실시예는 마찬가지로 다른 제어 심볼을 사용하여 I-구분자를 표시할 수 있다. 구분자의 타입을 확실하게 검출하기 위해, 상이한 제어 심볼은 페이로드 데이터 심볼보다 더 긴 기간으로 분리된다 - 도 4a의 예에서, 상이한 구분자 타입 사이, 즉 상이한 제어 심볼 사이에는 3 스텝이 있지만, 페이로드 데이터 심볼은 단일 스텝에 의해 분리된다.

[0161] 도 4b는 제어 심볼(410)이 제어 심볼 표시자(412)의 앞에 오는 구분자를 제출하는 대안의 가능성을 도시한다. 도 4b에 도시된 예에서, 구분자는 로우 시간을 긴 기간으로서 사용하고 로우 시간은 정보를 더 전달하지 않는 반면에, 하이 시간은 구분자 타입을 반송하고 제어 심볼(410)을 구성한다.

[0162] 도 4a 및 도 4b에 의해 도시된 바와 같이, 구분자의 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되며, 여기서 제 1 시간 기간 및 제 2 시간 기간 중 적어도 하나는 통신 프로토콜에 의해 정의된 임의의 페이로드 데이터 심볼의 시간 기간보다 더 길다. 통신 프로토콜에 의해 정의된 임의의 페이로드 데이터 심볼의 가장 긴 기간은 또한 페이로드 데이터 임계치라고도 지칭될 수 있다.

[0163] I-구분자 이외의 구분자 타입은 도 12a 내지 도 12x를 참조하는 후속 단락에서 보다 상세하게 설명될 것이며, 도 4c 내지 도 4g에 관한 설명은 유휴 구분자의 주목을 끄는 사용에 초점을 맞출 것이다.

[0164] 유휴 구분자는 전력 관리에 사용될 수 있다. 유휴 구분자는, 예를 들어 공동으로 처리된 어떤 단위의 끝(예를 들어, n 개 비트)에 이를 때까지 MAC이 임의의 페이로드 데이터를 송신하지 않을 때 송신될 수 있다. 그러나 전송될 페이로드 데이터가 없는 시간이 오래되면, 도 4c에 도시된 바와 같이 I-구분자의 길다란 시퀀스가 발생될 수 있다.

[0165] 도 4c는 종래의 접근법에 따라 동일한 타입의 3개의 후속 구분자(420, 422 및 424)를 포함하는 데이터 신호의 예를 도시한다. 도 4c는 반복적인 신호를 도시하기 때문에, 주요 하모니의 주파수에서 스퍼(spur) 또는 스퓨리어스를 생성할 수 있으며, 예로서, I-구분자의 길이가 0.8 nSec(800 psec)이면, 1.25 GHz, 2.5 GHz 및(n*1.25 GHz)에서 스퍼가 발생된다.

[0166] 도 4d는 데이터 신호를 생성하기 위한 장치의 예에 의해 생성된 데이터 신호의 예를 도시한다. 제어 심볼 표시자(구분자의 긴 부분 - 하이 또는 로우일 것임)는 페이로드 데이터 임계치를 초과하는 임의의 길이를 가질 수 있다(예를 들어, 도면에 도시된 예의 경우 9를 초과한다). 그러므로 구분자의 긴 부분의 길이를 변조함으로써, 즉 제어 심볼 표시자(도 4d에서 하이 시간)를 페이로드 데이터 임계치보다 큰 임의의 수로 변조함으로써 스퍼의 발생이 회피될 수 있다. 도 4d에 도시된 바와 같이, 제 1 제어 심볼 표시자(424)를 송신하는데 사용된 기간은 후속 제어 심볼 표시자(426 및 428)의 기간과 상이하다.

[0167] 그러나 후속 제어 심볼(425, 427 및 429)의 기간은 동일하고, 동일한 타입의 구분자, 예를 들어 I-구분자를 표시한다. 제어 심볼 표시자의 길이를 변조함으로써, I-구분자의 전체 길이가 후속 I-구분자 사이에서 변경되고 스퓨리어스의 생성이 회피될 수 있다.

[0168] 이러한 원리에 따라 생성된 데이터 신호는 제 1 타입의 제 1 신호 에지(420), 제 2 타입의 제 2 신호 에지(432), 제 1 타입의 제 3 신호 에지(434), 제 2 타입의 제 4 신호(436) 및 제 1 타입의 제 5 신호 에지(438)의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간(424)에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간(425)에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간(426)에 의해 분리되고, 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간(427)에 의해 분리되며, 여기서 제 1 기간(424)은 페이로드 데이터 임계치보다 길고, 제 2 기간(425)은 페이로드 데이터 임계치보다 짧고, 제 3 기간(426)은 페이로드 데이터 임계치보다 길고 제 1 기간(424)과는 상이하며, 제 4 기간(427)은 제 2 기간(425)과 동일하다.

[0169] 대안적인 실시예는 마찬가지로, 도 4b에 의해 도시된 바와 같이, 즉 제어 심볼로 시작하여 뒤이어 변조될 심볼 표시자가 따라오는 구분자를 제출하는 대안의 모드를 사용할 수 있다. 이에 따라 생성된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 4 신호 및 제 1 타입의 제 5 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간에 의해 분리되고, 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간에 의해 분리되며, 여기서 제 1 기간은 페이로드 데이터 임계치보다 짧고, 제 2 기간은 페이로드 데이터 임계치보다 길고, 제 3 기간은 제 1 기간과 동일하고, 제 4 기간은 페이로드 데이터 임계치보다 길고 제 2 기간과는 상이하다.

[0170] 제어 심볼 표시자에 사용되는 기간의 변조 방식은 필요에 따라 선택될 수 있다. 예를 들어, 변조는 최소 9부터 25까지 시작하여 다시 9로 감소한 다음에 다시 시작하는 램프처럼 사용될 수 있다. 대안적으로, 길이는 난수 생성기에 의해 선택될 수 있다. 또한 길이는 반드시 모든 I-구분자마다 변경될 필요는 없다. 대신에, 다시 변경될 때까지 유한한 수의 I-구분자에 대해 일정하게 유지될 수 있다. 예를 들어, 몇몇 예를 들자면, 기간은 10 등으로 증가하기 전에 몇 개의 구분자에 대해 9의 길이를 고수할 수 있다.

[0171] 도 4e는 데이터 신호를 생성하기 위한 장치(440)의 예를 도시한다. 장치(440)는 데이터 신호를 생성하도록 구성된 처리 회로(442)를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 4 신호 및 제 1 타입의 제 5 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간에 의해 분리되고, 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간에 의해 분리되며, 여기서 제 1 기간은 페이로드 데이터 임계치보다 길고, 제 2 기간은 페이로드 데이터 임계치보다 짧고, 제 3 기간은 페이로드 데이터 임계치보다 길고 제 1 기간과는 상이하며, 제 4 기간은 제 2 기간과 동일하다. 또한, 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로(444)를 포함

한다.

[0172] 도 4f는 데이터 신호를 생성하기 위한 장치(448)의 추가 예를 도시한다. 장치(448)는 제어 심볼 표시자, 유휴 상태를 표시하는 제어 심볼, 추가 제어 심볼 표시자 및 유휴 상태를 표시하는 추가 제어 심볼의 시퀀스를 포함하는 데이터 스트림을 생성하도록 구성된 처리 회로(450)를 포함하고, 여기서 제어 심볼 표시자는 제 1 기간과 연관되고, 제어 심볼은 제 2 기간과 연관되고, 추가 제어 심볼 표시자는 제 3 기간과 연관되며, 추가 제어 심볼은 제 2 기간과 연관된다. 또한, 장치(448)는 미리 결정된 변조 방식에 따라 기간 간격 내에서 기간을 변동시킴으로써 제 1 기간 및 제 3 기간을 결정하도록 구성된 변조기 회로(452)를 포함한다.

[0173] 도 4g는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다. 방법은 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 4 신호 에지 및 제 1 타입의 제 5 신호 에지의 시퀀스를 생성하는 단계(460)를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간에 의해 분리되고, 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간에 의해 분리되며, 여기서 제 1 기간은 페이로드 데이터 임계치보다 길고, 제 2 기간은 페이로드 데이터 임계치보다 짧고, 제 3 기간은 페이로드 데이터 임계치보다 길며, 제 4 기간은 제 2 기간과 동일하다. 또한, 방법은 제 3 기간을 제 1 기간과 상이하게 변동시키는 단계(462)를 포함한다.

[0174] 도 4h는 데이터 신호를 생성하기 위한 방법의 추가 예의 흐름도를 도시한다. 방법은 제어 심볼 표시자, 유휴 상태를 표시하는 제어 심볼, 추가 제어 심볼 표시자 및 유휴 상태를 표시하는 추가 제어 심볼의 시퀀스를 포함하는 데이터 스트림을 생성하는 단계(464)를 포함하고, 여기서 제어 심볼 표시자는 제 1 기간과 연관되고, 제어 심볼은 제 2 기간과 연관되고, 추가 제어 심볼 표시자는 제 3 기간과 연관되며, 추가 제어 심볼은 제 2 기간과 연관된다. 또한, 방법은 기간 간격 내에서 기간을 변동시켜 제 1 기간 및 상이한 제 3 기간을 생성하는 단계(466)를 포함한다.

[0175] 일부 애플리케이션은 대역폭 수요로 인해 또는 아키텍처적인 이유로 다수의 채널 또는 인터커넥트를 병렬로 사용할 수 있다. 예를 들어, CPU는 다수의 인터커넥트(STEP 레인)를 병렬로 사용하여 메모리/그래픽/등에 연결될 수 있다. 모바일 디바이스에서, 단일 AP는, 예를 들어 다중 채널 STEP 상호 연결을 사용하여 LTE, WiFi, 5G 등을 구동할 수 있다. 다수의 인터커넥트가 병렬로 사용되면, 인접한 인터커넥트 사이에서 누설(leakage)이 발생할 수 있다. 예를 들어, STEP 시스템에서 송신 링크 사이의 누설은 지터를 증가시키고 링크 품질을 저하시킬 수 있다. 다른 인터커넥트는 링크 품질을 저하시키는 다른 이유를 경험할 수 있다. 누설의 지배적인 원인(dominant contribution)은 디바이스(예를 들어, 송신기 및/또는 수신기)의 출력 또는 예를 들면, PCB 상의 레인으로서 구현되는 송신 링크 사이의 크로스토크(crosstalk)로부터 발생할 수 있다. 예를 들어, STEP 링크와 같은 인터커넥트의 모든 시행자는 자체 PCB를 설계하고 PCB 제약 조건에 따라 송신 링크의 송신 라인을 라우팅한다. PCB 상의 인접한 채널/송신 링크의 조합은 임의적일 수 있기 때문에 우리는 누설의 지배적인 소스가 무엇인지 미리 예측할 수 없다.

[0176] 누설의 지배적인 소스가 미리 확실하게 예측될 수는 없지만, 누설은 다음과 같은 특성 중 적어도 하나를 가질 수 있다. 누설은 높은 통과 주파수 응답을 가질 수 있는데, 이는 낮은 주파수에서의 양호한 절연이 주파수가 올라감에 따라 저하된다는 것을 의미한다. 주파수 응답은 용량성 또는 전자기 결합으로 인한 것일 수 있다. 누설은 하나 이상의 지배적인 소스, 예를 들어 서로 크로스토크를 일으키는 인접한 두 개의 송신 링크를 가질 수 있다.

[0177] 영향을 받는 송신기와 수신기가 이격되어 있을지라도, 임의의 쌍의 인터커넥트 사이에는 누설이 발생할 수 있다. 도 5a 및 도 5b는 인터커넥트 사이에서 누설이 발생할 수 있는 두 개의 셋업을 도시한다. 도 5a는 송신 링크(502c, 504c 및 506c)에 의해 각각 연결되는 송신기(502a, 504a, 506a) 및 이와 연관된 수신기(502b, 504b, 506b)로 구성된 3개의 인터커넥트(502, 504 및 506)를 도시한다. 도 5a의 예에서, 인터커넥트의 레이아웃은 완전히 병렬적이며, 즉, 송신기와 수신기가 서로 인접해 있고 송신 링크는 송신 링크가 그와 연관된 송신기 및 수신기와 동일하게 서로 인접해 있도록 라우팅된다. 도 5a의 셋업에서, 누설은 송신 링크(502c, 504c 및 506c) 사이의 크로스토크에 의해 또는 송신기의 출력으로부터 인접한 송신 링크로 또는 인접한 송신기의 출력으로의 크로스토크에 의해 지배될 수 있다.

[0178] 도 5b는 단일 칩(518) 또는 패키지 내의 네 개의 송신기(510a 내지 516a) 및 연관된 수신기(510b 내지 516b)를 포함하는 두 개의 칩(519 및 520)을 갖는 셋업을 도시한다. 송신 링크(510c 내지 516c)는 송신기와 수신기를 연결한다. 송신기(510a 및 516a)는 칩(518) 내에서 이격되어 있지만, 그럼에도 불구하고 그들의 인터커넥트 사

이에서는 송신 링크(510c 및 516c)의 라우팅으로 인해 누설이 발생할 수 있다. 예를 들어, PCB 상의 라우팅은 칩(518, 519 및 520)의 제조자가 예측할 수 없다.

[0179] 송신 링크/데이터 링크 사이 또는 인터커넥트 사이의 누설을 보상 또는 완화하는 수단을 갖는 것이 바람직할 수 있다.

[0180] 도 5c는 송신 시스템의 예를 도시한다.

[0181] 송신 시스템(530)은 제 1 데이터 링크(532c)에 대한 제 1 출력 인터페이스(532b)에 결합된 제 1 송신기(532a)를 포함한다. 제 2 송신기(534a)는 제 2 데이터 링크(534c)에 대한 제 2 출력 인터페이스(534b)에 결합된다. 멀티플렉서 회로(536)는 제 1 송신기(532a)에 의해 생성된 제 1 데이터 신호로부터 도출된 신호를 필터 회로(538)로 스위칭하도록 구성되며, 필터 회로(538)는 제 2 출력 인터페이스(532b)에 결합된다. 따라서 필터 회로(538)는 제 1 송신 링크(532c)를 통해 송신된 데이터 신호와 관련된 데이터 신호에 대해 동작한다. 제 1 송신기(532a) 및 제 1 송신 링크(532c)를 포함하는 제 1 인터링크(532)로부터 제 2 송신기(534a) 및 제 2 송신 링크(534c)를 포함하는 제 2 인터커넥트(534) 쪽으로 누설이 있는 경우, 누설은 필터 회로(538)를 사용하여 도출되는 보정 신호를 제 2 인터커넥트에 의해 사용되는 출력 인터페이스(532b)에 인가함으로써 제거되거나 또는 적어도 감소될 수 있다. 도 5c의 송신 시스템을 사용하면 지배적인 누설의 소스에 관계없이 누설의 부정적인 영향을 완화할 수 있다. 멀티플렉서를 사용하게 되면 제 1 인터커넥트로부터 제 2 인터커넥트 쪽으로 아무런 누설도 밝혀지지 않는 경우 보정 신호를 인가하지 않을 수 있다.

[0182] 추가 예는 또한, 도 5c에 도시된 바와 같이, 제 1 송신기(542a)를 연관된 출력 인터페이스(542b)와 함께 도시할 뿐만 아니라 제 3 송신기(540a)를 연관된 출력 인터페이스(540b)와 함께 더 도시하는 두 개 초과의 인터커넥트에 대한 송신기를 포함할 수 있다. 시스템의 유연성을 최대로 보증하기 위해, 멀티플렉서(536)는 모든 송신기(532a 내지 542a)에 의해 생성된 데이터 신호로부터 도출된 신호를 연관된 필터 회로를 통해 임의의 출력 인터페이스로 스위칭하도록 구성될 수 있다.

[0183] 추가 예는 또한, 단일의 인터커넥트 쪽으로 동시에 누설되는 다수의 인터커넥트에 의해 야기되는 신호 열화를 완화하기 위해 둘 이상의 송신기로부터 도출되는 신호를 둘 이상의 필터 회로를 통해 단일 출력 인터페이스로 스위칭하도록 구성될 수 있다.

[0184] 추가 예에 따르면, 필터 회로(538)는 누설에 의해 야기된 신호 열화를 가능한 한 양호하게 억제하기 위해 필터 회로(538)를 튜닝하여 두 개의 인터커넥트 사이의 누설 특성을 재현하게 하는 가변 필터 특성을 나타낸다. 추가 예에 따르면, 필터 회로(538)는 고역 통과 필터 특성을 갖는다.

[0185] 다시 말해, 누설 제거(leakage cancellation)를 위한 범용적인 솔루션이 도 5c에 도시된다. (예를 들어, STEP 채널의) 송신기의 각각의 데이터 신호는 MUX(536)에 의해 샘플링되고 크로스토크가 발생하는 채널로 멀티플렉싱된다. 도 5c에 도시된 바와 같이, 송신 측에 대해 제거가 수행되면, 우리는 신호를 샘플링하지 않고 대안적으로 송신기로부터(예를 들어, STEP 시스템 내의 DTC로부터) 신호를 직접 복제할 수 있다. 일반적으로 말해서, 송신기와 관련된 데이터 신호로부터 도출된 신호는 누설 제거를 위해 사용된다. 도 5c는 단일 채널 누설 제거만을 도시하지만, 다수의 채널이 단일 채널에 크로스토크를 일으키는 것을 고려하기 위해 다수의 제거 신호가 투입되는 경우에도 동일한 원리가 사용될 수 있다.

[0186] 도 5d는 하나의 채널로부터 다른 채널로의 적응적 누설 제거를 위한 필터 회로(550)의 예를 개략적으로 도시한다. 특히, 도 5d는 인터링크의 포지티브 및 네거티브 컴포넌트를 상호 크로스 커플링함으로써 제 1 인터링크의 데이터 신호로부터 도출된 보정 신호의 파괴적인 중첩(destructive superposition)이 달성되는 예를 도시한다. 필터 회로(550)는 차동 데이터 신호의 포지티브 컴포넌트에 대한 포지티브 입력(552a) 및 차동 데이터 신호의 네거티브 컴포넌트에 대한 네거티브 입력(552b)을 포함한다. 필터 회로(550)는 차동 데이터 신호의 포지티브 컴포넌트에 대한 포지티브 출력(554a) 및 차동 데이터 신호의 네거티브 컴포넌트에 대한 네거티브의 출력(554b)을 더 포함한다. 필터 회로(556)는 포지티브 입력(552a)과 네거티브 출력(552b) 사이뿐만 아니라 네거티브 입력(552b)과 포지티브 출력(554a) 사이에 결합된다. 차동 신호의 포지티브 컴포넌트에 대한 입력을 차동 신호의 네거티브 컴포넌트에 대한 출력에 결합할 때, 보정 신호를 구성하는 필터링된 입력 신호가 필터 회로(550)의 출력에 연결된 신호로부터 자동으로 감산되어 제 1 인터커넥트(546)와 제 2 인터커넥트(548) 사이의 누설을 완화한다. 도 5d는 단일 채널 누설 제거만을 도시하지만, 도 5c 및 도 5e에 의해 도시된 바와 같이, 다수의 채널이 단일 채널에 크로스토크를 일으키는 것을 고려하기 위해 다수의 제거 신호가 투입되는 경우에도 동일한 원리가 사용될 수 있다.

[0187] 도 5d에 의해 더 도시된 바와 같이, 적응적 누설 제거는 RX 측 또는 TX 측에 대해 수행될 수 있다. 도 5c의 예는 누설 제거를 수행할 수 있는 송신 시스템을 도시하지만, 도 5e는 RX 측에 대해 누설 제거를 수행할 수 있는 데이터 수신 시스템을 도시한다. 다시 말해, 도 5e는 적절한 크로스 커플링 및 누설 제거를 위해 MUX를 사용하는 RX 측 누설 제거를 도시한다.

[0188] 도 5e는 제 1 데이터 링크(582c)에 대한 제 1 출력 인터페이스(582b)에 결합된 제 1 수신기(582a)를 포함하는 데이터 수신 시스템(580)을 도시한다. 제 2 수신기(584a)는 제 2 데이터 링크(584c)에 대한 제 2 입력 인터페이스(584b)에 결합되고, 멀티플렉서 회로(586)는 제 1 입력 인터페이스(582b)에서 수신된 제 1 데이터 신호로부터 도출된 신호를 필터 회로(585)로 스위칭하도록 구성되며, 필터 회로(585)의 출력은 제 2 입력 인터페이스(584b)에 결합된다.

[0189] 필터 회로(585) 및 누설 제거의 일반적인 원리는 도 5c의 송신 시스템과 관련하여 설명된 것과 유사하므로, 이에 대응하는 단락이 참조된다. 도 5e의 데이터 수신 시스템(580)은 수신 측에서 동작하기 때문에, 제 1 입력 인터페이스(582b)에서 수신된 제 1 데이터 신호는 필터 회로(585)가 보정 신호를 생성할 수 있도록 하기 위해 필터 회로(585)에 복사되거나 직접 복사되기 전에 샘플링될 필요가 있을 수 있다. 도 5c에 도시된 예와 유사하게, 예를 들어 수신기(586a) 및 수신기(588a)와 같은 다수의 추가 수신기가 이들의 입력 인터페이스(586b 및 588b)와 함께 데이터 수신 시스템의 추가 예에 존재하여 매우 유연한 시스템을 구축할 수 있다.

[0190] 도 5c의 예와 유사하게, 도 5e의 예는 고역 통과 특성을 갖는 필터 회로(585)를 포함할 수 있다. 추가 예에 따르면, 필터 특성은 가변적이어서 동작 동안 필터 회로(585)의 전달 함수를 두 개의 인터커넥트 사이의 누설의 전달 함수에 맞게 튜닝할 수 있는데, 왜냐하면 상기 전달 함수는 선험적으로 알려지지 않기 때문이다.

[0191] 도 5c 내지 도 5e의 예 중 하나를 사용하면, PCB 및 인터커넥트의 RFIC 출력에 요구되는 스펙으로서 데이터 레인 사이에 높은 상호 격리 - 레인 사이에 큰 격리를 부과하고 비효율적인 PCB 및 RFIC를 생성할 수 있음 - 를 요구하지 않을 수 있다.

[0192] 도 5c 내지 도 5e는 누설 제거를 가능하게 하는 데이터 송신 시스템 및 데이터 수신 시스템의 예를 도시하지만, 도 5f는 앞서 설명된 시스템 중 하나 또는 둘 모두에 의해 제 1 인터커넥트의 제 2 인터커넥트 쪽으로의 누설을 완화하는 방법의 흐름도를 도시한다.

[0193] 제 1 인터커넥트의 제 2 인터커넥트 쪽으로의 누설을 완화하는 방법은 제 1 인터커넥트의 제 1 송신기에 의해 생성된 제 1 데이터 신호로부터 데이터 신호를 도출하여 원시 신호(raw signal)를 생성하는 단계(592)를 포함한다. 방법은 원시 신호를 필터링하여 보정 신호를 생성하는 단계(594) 및 보정 신호를 제 2 인터커넥트에 의해 사용되는 제 2 데이터 링크에 인가하는 단계(596)를 더 포함한다.

[0194] 일부 예에 따르면, 제 1 데이터 신호로부터 데이터 신호를 도출하는 단계는, 예를 들어, 방법이 수신기 측에서 구현된다면, 제 1 데이터 신호를 샘플링하는 단계를 포함할 수 있다. 추가 예에 따르면, 제 1 데이터 신호로부터 데이터 신호를 도출하는 단계는, 예를 들어, 방법이 송신기 측에서 구현된다면, 제 1 데이터 신호를 복사하는 단계를 포함할 수 있다.

[0195] 일부 예에 따르면, 필터링은 이전에 설명된 이유로 고역 통과 특성을 사용한다.

[0196] 일부 예는 보정 신호의 진폭, 위상 및 지연 중 적어도 하나를 조정하는 단계를 더 포함한다. 이러한 파라미터 중 하나를 조정하는 것은 제 1 인터커넥트로부터 제 2 인터커넥트 쪽으로 누설되는 신호에 가능한 한 가깝게 대응하도록 보정 신호를 튜닝하고 그래서 누설 신호를 가능한 한 양호하게 제거하는 역할을 할 수 있다.

[0197] 누설이 얼마나 양호하게 제거되는지 및/또는 원시 신호의 필터링이 누설 신호를 얼마나 잘 모방하는지에 대해 판단하기 위해, 추가 예는 제 2 데이터 링크 상의 제 2 데이터 신호의 신호 특성을 결정하는 단계를 포함한다.

[0198] 일부 예에 따르면, 특성은 비트 에러 레이트(Bit Error Rate)(BER) 또는 지터 중 적어도 하나이다. 누설에 의해 손상된 제 2 데이터 신호의 비트 에러 레이트 또는 지터는 누설이 얼마나 형편없이 신호를 손상시키는지를 판단할 수 있게 한다. 예를 들어, 비트 에러 레이트가 높으면, 우리는 여전히 현재 누설이 신호 품질을 크게 열화시킨다고 결론을 내릴 수 있다. 마찬가지로 높은 지터 레이트도 동일한 결론을 내릴 수 있다. 반면에 두 신호 특성이 모두 낮으면 누설 제거가 제대로 작동한다고 결론을 내릴 수 있다.

[0199] 추가 예는 신호 특성이 미리 결정된 기준을 충족할 때까지 원시 신호를 필터링하도록 필터 특성을 변동시키는 것을 포함한다. 미리 결정된 기준이 충족될 때까지 필터 특성을 변동시키면서 신호 특성을 반복적으로 평가하는 것은 동작 동안 가능한 한 양호하게 누설 특성과 매칭하도록 필터 특성을 조정하는 역할을 할 수 있다. 예

를 들어, 신호 특성이 최소치를 나타내거나 또는 신호 특성이 미리 결정된 임계치 미만이면, 미리 결정된 기준이 충족될 수 있다. 필터 특성의 주어진 탐색 공간 내에서, 주어진 필터 특성에서 최소한의 특정 신호 특성을 겪게 되면, 신호 특성이 최소치를 나타내는 것으로 결론지을 수 있다. 그런 다음 이렇게 결정된 주어진 필터 특성은 동작 동안 제 1 인터커넥트로부터 제 2 인터커넥트 쪽으로의 누설에 의해 야기되는 신호 손상을 완화하는 데 사용될 수 있다.

[0200] 변동될 필터 특성은, 예를 들어, 특정 주파수에서 신호의 감쇠, 필터 내에서 신호에 적용되는 위상 시프트, 필터가 효과적인 더 낮은 및/또는 더 높은 주파수, 또는 필터의 임의의 다른 특성일 수 있다. 일부 예에 따르면, 필터의 전달 함수가 변동될 수 있다.

[0201] 예를 들어, 도 6a에 도시된 STEP 인터페이스와 같은 인터커넥트는 종종 매우 낮은 비트 에러 레이트로 작동하는 것이 요구된다(STEP 인터커넥트의 경우, 비트 에러 레이트는 BER=1e-12만큼 낮게 요구될 수 있다). STEP 인터커넥트에서, STEP 송수신기(602)는 제 1 송신 링크(606a)에 결합된 송신기(602a) 및 제 2 송신 링크(606b)에 결합된 STEP 수신기(602b)를 포함한다. 마찬가지로, STEP 송수신기(604)는 제 2 송신 링크(606b)에 결합된 송신기(604a) 및 제 1 송신 링크(606a)에 결합된 STEP 수신기(604b)를 포함하여 두 개의 단방향 송신 링크를 포함하는 STEP 인터커넥트를 확립한다.

[0202] STEP 세대(STEP generation)는 BAUD=20 Gbps뿐만 아니라 예를 들어 40 Gbps와 같은 훨씬 더 높은 BAUD 레이트를 지원할 수 있다. STEP 인터커넥트의 BAUD 레이트를 증가시킨다는 것은 심볼 간의 시간 차(심볼 분리 시간)가 더 짧아져야 하는데 반해 잡음과 지터는 더 낮아지지 않는 것을 의미한다. 예를 들어, STEP의 경우, 낮은 BER은 심볼을 결정할 때 에러를 피하기 위해 데이터 신호의 지터가 아주 낮을 것을 요구한다. STEP 이외의 다른 인터커넥트의 경우, 낮은 BER을 달성하기 위해 지터와 같은 다른 파라미터에 대한 요건은 동일하게 요구될 수 있다.

[0203] 그럼에도 불구하고, 비트 에러 레이트의 증가없이 인터커넥트의 대역폭(BAUD)을 증가시키는 것이 바람직할 수 있다.

[0204] 도 6b는 데이터 신호를 처리하기 위한 방법의 예의 흐름도를 도시한다.

[0205] 도 6b에 도시된 예에 따르면, 페이로드 데이터 심볼의 그룹이 수신된다(610). 그룹의 데이터 심볼이 에러를 포함하면, 네거티브 확인 응답(negative acknowledge) 신호가 발행된다(612). 또한, 에러가 검출되면, 제 2 페이로드 데이터 심볼의 그룹은 네거티브 확인 응답 신호를 발행한 이후 미리 결정된 수의 페이로드 데이터 심볼의 그룹 또는 페이로드 데이터 심볼의 그룹을 수신한 이후 미리 결정된 수의 페이로드 데이터 심볼의 그룹이 수신된다(614). 방법은 그룹의 페이로드 데이터 심볼 대신에 제 2 그룹의 페이로드 데이터 심볼을 사용하는 단계(616)를 더 포함한다.

[0206] 에러가 존재할 때 네거티브 확인 응답 신호(NACK)를 발행하면, 예를 들어, 송신기가 제 2 페이로드 데이터 심볼의 그룹을 사용하여 페이로드 데이터 심볼의 그룹에 포함된 정보를 재송신하게 할 수 있다. 수신된 데이터 신호를 처리하기 위한 수신기 또는 장치는 이후 제 2 데이터 심볼의 그룹에 의한 재송신을 사용하여 정확한 페이로드 데이터를 결정할 수 있다. 도 6b에 도시된 방법을 사용하는 인터커넥트의 왕복 시간이 알려질 수 있기 때문에, 제 2 페이로드 데이터 심볼의 그룹에 의한 재송신이 수신될 때까지 경과된 시간 또는 수신된 페이로드 데이터 심볼의 그룹의 수는 예측 가능하다. 따라서 방법을 구현하는 수신기는 어떤 페이로드 데이터 심볼의 후속 그룹이 재송신을 포함하고 있는지를 선험적으로 알 수 있다. 따라서, 현재 수신된 페이로드 데이터 심볼의 그룹이 재송신을 포함하고 있다고 시그널링하는데 필요한 임의의 추가 오버헤드가 회피될 수 있다. 제 1 대안에서, 제 2 페이로드 데이터 심볼의 그룹에 의한 재송신이 수신될 때까지 대기할 심볼의 그룹은 에러를 포함하는 페이로드 데이터 심볼의 그룹으로부터 시작하여 카운트된다. 제 2 대안에서, 카운팅은 네거티브 확인 응답 신호의 발행 시에 시작될 수 있다.

[0207] 그룹의 페이로드 데이터 심볼에 대해 에러가 결정되지 않으면, 방법의 실시예는 도 6b의 옵션 단계(618)에 의해 예시된 바와 같이 페이로드 데이터 심볼의 그룹을 교체하는 단계를 건너뛰어 진행할 수 있다.

[0208] 일부 예에 따르면, 페이로드 데이터 심볼의 그룹 및 재송신에 사용되는 제 2 페이로드 데이터 심볼의 그룹은 상이한 복조 방식을 사용하여 복조될 수 있다. 예를 들어, 제 2 페이로드 데이터 심볼의 그룹 내에서 재송신을 위해 보다 강건한 변조 방식이 선택될 수 있다. 보다 강건한 변조 방식은 송신 동안 데이터 신호의 신호 파라미터에 영향을 미치는 에러에 대해 에러 내성이 더 많은 변조 방식이다. 예를 들어, STEP 인터커넥트의 경우, 보다 강건한 변조 방식은 인접 심볼을 구별하는 더 긴 심볼 분리 시간을 사용할 수 있다. 심볼 분리 시간이 더

길어지면 복조 에러를 초래하지 않고 지터가 더 높게 존재하게 할 수 있다. 따라서 보다 강건한 변조 방식을 사용하면 손상된 페이로드 데이터를 반복적으로 수신하는 것을 피할 수 있다.

[0209] 일부 예에 따르면, 페이로드 데이터 심볼의 그룹은 제 1 송신 링크를 통해 수신되는 반면, 네거티브 확인 응답 신호는 제 2 송신 링크를 통해 송신된다. 또 다른 송신 링크를 사용하면 제 1 송신 링크를 수신 모드에서 송신 모드로 스위칭하는 것을 피할 수 있고, 그래서 네거티브 확인 응답 신호가 발행될 때까지 대기 시간을 절약할 수 있으며, 따라서 제 2 그룹의 재송신된 데이터 심볼이 수신될 때까지 추가의 대기 시간을 또한 피할 수 있다.

[0210] 페이로드 데이터 심볼의 그룹 내의 에러는 예를 들어 순환 중복 검사(Cyclic Redundancy Check)(CRC) 또는 임의의 다른 에러 검출 방법을 사용하여 결정될 수 있다. 순환 중복 검사는 데이터가 인터커넥트를 통해 직렬로 수신됨에 따라 연속적으로 계산될 수 있다는 점에서 유리할 수 있다.

[0211] 예에 따르면, 네거티브 확인 응답 메시지만이 전송되므로, 손상된 페이로드 데이터 심볼에 포함된 데이터를 여전히 재송신할 수 있으면서 포지티브 확인 응답 메시지를 송신하기 위한 오버헤드를 절약한다.

[0212] 도 6c는 예를 들어 송신기 내에서 구현될 수 있는, 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

[0213] 방법은 페이로드 데이터 심볼의 그룹을 송신하는 단계(620)를 포함한다. 네거티브 확인 응답 신호가 수신되면, 방법은 페이로드 데이터 심볼의 그룹과 관련 있는 제 2 페이로드 데이터 심볼의 그룹을 송신하는 단계(622)를 더 포함한다. 도 6b와 관련하여 이미 앞서 설명된 바와 같이, 제 2 페이로드 데이터 심볼의 그룹은 페이로드 데이터 심볼의 그룹을 송신한 이후 미리 결정된 수의 페이로드 데이터 심볼의 그룹이 송신되거나 또는 네거티브 확인 응답 신호를 수신한 이후 미리 결정된 수의 페이로드 데이터 심볼의 그룹이 송신된다(614). 일단 인터커넥트상의 데이터 신호의 왕복 시간(round-trip time) 또는 전파 지연이 알려지면, 네거티브 확인 응답 신호를 수신하는 것으로도 에러를 포함하여 이전에 송신된 페이로드 데이터 심볼의 그룹을 식별하기에 충분할 수 있다. 예를 들어, 제 2 페이로드 데이터 심볼의 그룹은, 네거티브 확인 응답 신호를 수신하면 즉시 송신될 수 있다. 네거티브 확인 응답 신호를 수신하면, 그전에 미리 결정된 수의 그룹이 이미 전송한 페이로드 데이터 심볼의 그룹에 포함된 페이로드 데이터가 다시 전송된다. 도 6c에 도시된 바와 같이, 네거티브 확인 응답 메시지가 수신되지 않으면, 방법은 옵션으로 단계(624)에서의 제 2 데이터 심볼의 그룹의 송신을 건너뛸 수 있다.

[0214] 다양한 추가 예는 데이터 신호를 처리하기 위한, 예를 들어, 상이한 변조 방식을 사용하여 변조하기 위한 방법에서도 도 6b와 관련하여 이미 설명된 양태를 구현할 수 있다. 이러한 옵션의 구현에 대해 논의하기 위해, 도 6b의 설명이 중복을 피하기 위해 참조된다.

[0215] 이어서, 도 6d 및 도 6e는 데이터 신호를 처리하고 데이터 신호를 생성하기 위한, 도 6b 및 도 6c의 방법을 구현할 수 있는, 장치를 간략하고 개략적으로 도시한다.

[0216] 데이터 신호를 처리하기 위한 장치(630)는 페이로드 데이터 심볼의 그룹을 수신하도록 구성된 수신기 회로(632)를 포함한다. 장치(630)는 페이로드 데이터 심볼의 그룹의 데이터 심볼이 에러를 포함하고 있으면 네거티브 확인 응답 신호를 생성하도록 구성된 에러 검출 회로(634)를 더 포함한다. 에러 보정 회로(636)는 페이로드 데이터 심볼의 그룹을 대체할 제 2 페이로드 데이터 심볼의 그룹을 사용하도록 구성되고, 제 2 페이로드 데이터 심볼의 그룹은 네거티브 확인 응답 신호를 발행한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹 또는 페이로드 데이터 심볼의 그룹에는 페이로드 데이터 심볼의 그룹을 수신한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹이 수신된다.

[0217] 데이터 신호를 생성하기 위한 장치(640)는 페이로드 데이터 심볼의 그룹을 송신하도록 구성된 송신기 회로(642)를 포함한다. 장치(640)는 네거티브 확인 응답 신호를 수신하도록 구성된 입력 인터페이스(644)를 더 포함한다. 송신기 회로(642)는 또한 페이로드 데이터 심볼의 그룹에 관련된 제 2 페이로드 데이터 심볼의 그룹을, 페이로드 데이터 심볼의 그룹을 송신한 이후 미리 결정된 수의 페이로드 데이터 심볼의 그룹 또는 네거티브 확인 응답 신호를 수신한 이후 미리 결정된 수의 페이로드 데이터 심볼의 그룹으로 송신하도록 구성된다.

[0218] 도 6f는 데이터 송신을 위한 인터커넥트, 특히 STEP 인터커넥트의 예를 도시한다. 인터커넥트는 송신기 내의 제 1 물리 계층 제어기(650), 수신기 내의 제 2 물리 계층 제어기(660) 및 제 1 물리 계층 제어기(650)와 제 2 물리 계층 제어기(660)를 연결하는 송신 링크(670)를 포함한다.

[0219] 제 2 물리 계층 제어기(660)는, 예를 들어 도 6d에 도시된 바와 같이 데이터 신호를 처리하기 위한 장치(630)를 포함할 수 있다. 마찬가지로, 제 1 물리 계층 제어기(650)는, 예를 들어 도 6e에 도시된 바와 같이 데이터 신

호를 생성하기 위한 장치(640)를 포함할 수 있다. 도 6e는 STEP 인터링크를 도시하므로, 송신기는 데이터 심볼의 시리즈에 기초하여 데이터 신호를 생성하는 디지털-시간 변환기(652)를 포함하고, 반면에 수신기는 수신된 데이터 신호에 기초하여 데이터 심볼을 생성하는 시간-디지털 변환기(662)를 포함한다. 증폭기(654 및 664)는 각각 데이터 신호 및 수신된 데이터 신호를 증폭하는 역할을 한다. STEP 인터페이스는 직렬 인터페이스이므로, 병렬-직렬 변환기(parallel to serial converter)(PISO)(656) 및 직렬-병렬 변환기(serial to parallel converter)(SIPO)(666)는, 예를 들어 MAC 계층과 같은 고차 프로토콜 계층에 송신하기 전에 및 고차 프로토콜 계층으로부터 수신한 이후에 데이터를 직렬화 및 역직렬화하는 역할을 한다. 도 6f에 도시된 물리 계층 제어기(660)의 예의 에러 검출 회로(668)는 시간-디지털 컨버터(662)의 출력에 연결되어 직접 수신된 데이터 심볼의 시리즈에 대해 동작한다. 마찬가지로, 추가 예는, 예를 들어, 사용된 에러 검출 방법에 따라, 직렬-병렬 변환기(666) 다음의 데이터 스트림에 또한 연결된 에러 검출 회로를 가질 수 있다. 도 6f는 송신 물리 계층 제어기(650)를 수신 물리 계층 제어기(660)에 연결하는 하나의 송신 링크(670)를 도시한다. NACK 메시지를 수신 물리 계층 제어기(660)로부터 송신 물리 계층 제어기(650)로 송신하기 위해, 추가 송신 링크가 사용될 수 있다. 대안적으로, STEP과 상이한 통신 프로토콜에 따라 작동하는 인터커넥트가 또한 NACK를 전송하는데 사용될 수 있다.

[0220] 앞서 설명한 방법 또는 장치의 예를 사용하면, 데이터 심볼의 개별 그룹 내의 에러가 제 2 데이터 심볼의 그룹을 사용하여 에러가 있는 페이로드 데이터를 재송신함으로써 복구되기 때문에 원하는 전체 비트 에러 레이트를 유지하면서 송신 링크를 통해 더 낮은 비트 에러 레이트를 수용하는 것이 가능해질 수 있다. 인터링크의 더 높은 순 대역폭(net bandwidth)으로 인해 데이터 심볼에서 에러를 포함하는 그룹이 더 많아지는 것을 수용하는 것과 물리 계층 제어기 내에서 낮은 오버헤드로 재송신을 제어하는 메커니즘과의 조합은 결과적으로 높은 비트 에러 레이트에서 대역폭을 더 높일 수 있다. 다시 말해, 더 높은 순 데이터 레이트(STEP 인터페이스의 경우 더 낮은 심볼 분리 시간)로 인해 부수적으로 발생하는 오류는 매우 효율적인 재전송 메커니즘에 의해 보상된다. MAC 계층에 의해 개시된 재송신과 비교하여, 재송신 메커니즘에 의한 대기 시간 비용은 매우 낮게 유지된다.

[0221] 다시 말해, 앞에서 설명한 예는 다음과 같은 원리에 기초하는 것으로 요약될 수 있다. 심볼 분리 시간을 짧게 하여 순 대역폭을 증가시킬 수 있도록 하기 위해 STEP 링크를 통한 BER은 의도적으로 (예를 들어, BER=1e-12에서 1e-4로) 낮추어진다. 에러 검출은 PHY 계층에서 수행되며, 단지 NACK(네거티브 확인 응답) 만이 STEP 송신 링크 또는 다른 송신 링크일 수 있는 링크(예를 들어, 수신에 사용된 것 이외의 다른 송신 라인)를 통해 송신된다. 낮은 대기 시간 요건 때문에 재송신은 한 번 행해진다. 송신된 패킷은 더 양호한 순 BER로 (더 적은 수의 활성 심볼로), 예를 들어 더욱 강건한 변조 방식을 이용하여 송신될 수 있다. 링크 지연은 선험적으로 알고 있기 때문에, NACK는 알려진 시간에 TX 측을 토글시켜 데이터 심볼의 정확한 그룹(패키지)을 자동으로 다시 제출하게 함으로써, 결과적으로 NACK 검출 및 데이터 준비 시간이 낮아진다.

[0222] STEP 인터페이스의 성능을 평가하기 위한 하나의 특정 예가 도 6g에 도시된다. 성능은 대략 24 ps 및 12 ps(피코초)의 심볼 분리 시간에서 대략 20 Gbps의 BAUD 레이트를 갖는 표준 STEP 구현과 비교된다. BAUD 레이트를 48 Gbps로 두 배 늘리면 심볼 분리 시간을 대략 9 또는 6 ps로 감소시킬 수 있다. 더 높은 스펙트럼 내용(spectral content)으로 인해 잡음이 일정해지고 심볼 간 간섭(Inter-Symbol Interference)이 증가할 것이므로, 송신 링크를 통한 BER(순 BER)은 증가할 것이다. 그러나 도 6b 내지 도 6f(고속 재송신)와 관련하여 설명된 바와 같은 예를 사용하면 그러한 짧은 펄스로 작동하게 할 수 있다. 예를 들어, 우리는 STEP에 비해 낮은 BER을 수용하고 고속 재송신(fast re-transmission)(FRT) 메커니즘을 사용하여 에러를 정정할 수 있다.

[0223] 도 6g에 도시된 바와 같이, 우리는 송신 링크에 대해 BER=1e-4 조차도 수용할 수 있다. FRT가 없으면 우리는 8.55ps_p2p의 잡음 예산(BER=1e-12)에 도달하고, FRT가 있으면 우리는 5.6ps_p2p의 잡음 예산(BER=1e-4 이고 FRT 이후에는 BER=1e-12)에 도달한다.

[0224] 재송신 메커니즘의 속도를 높이기 위해, NACK 만 송신될 뿐이다. NACK는 다른 트레이스/송신 링크(TX 모드에 있는 송신 링크가 아닌 것)를 통해 송신될 수 있다. 다른 송신 링크가 비활성 상태일지라도(이것은 저전력 GPIO 모드에 있는 것일 수 있음), 그럼에도 불구하고 이것은 NACK의 송신에 사용될 수 있다. 다른 송신 링크가 STEP 모드에서 활성화 상태이면, 특수 구분자가 NACK를 제출하기 위해 사용되어, NACK 검출을 가속화할 수 있다.

[0225] 재송신 링크 전파는 알고 있고(측정될 수 있고), 그래서 STEP 레이트가 일정하지 않을지라도, 재송신된 패킷의 위치는 고정적일 수 있다(예를 들어, 재송신된 패킷은 NACK가 RX에 의해 생성된 순간부터 고정된 수의 패킷 다음에 RX로 송신될 것이다). 링크 전체에 걸쳐 실제 BER이 낮다는 사실, 즉 1e-12보다 훨씬 더 낮다는 사실로

인해, 불량 패킷 수가 많을 수 있고 연속적인 패킷의 수 또한 (BER=1e-12와 비교하여) 더 많을 수 있고, 따라서 재송신된 패킷은 (예를 들어, 정상 8개 심볼 및 BER=1e-12으로부터 4개 심볼 및 BER=1e-12로 진행함으로써) 안전한 방식으로 송신될 수 있다.

[0226] STEP 인터커넥트 내에서, 균일하게 분포된 심볼이 생성될 수 있고, 즉 모든 심볼이 동일한 확률로 송신된다. 그러나 구현의 제한 및 손상으로 인해, STEP 송신 링크를 통해 송신되고 이후에 STEP 수신기에 의해 복구되는 심볼은 에러가 불균등하게 분포된 확률을 가질 수 있다. 서로 다른 심볼은 손상되어 부정확하게 수신될 서로 다른 확률을 경험할 수 있다. 전체 비트 에러 레이트(BER)는 개별 심볼의 에러의 확률 분포에 민감하기 때문에, 차선 성능의 인터커넥트가 만들어질 수 있다. 예를 들어, STEP 인터커넥트와 같은 고속 인터커넥트의 BER을 증가시키려는 바램이 있을 수 있다.

[0227] 기간 및 심볼 폭을 통신 프로토콜의 각 페이로드 데이터 심볼에 할당하는 것을 결정하기 위한 방법의 예가 도 7a에 도시된다.

[0228] 방법은 적어도 하나의 페이로드 데이터 심볼에 할당된 심볼 폭 및 기간을 변동시키는 변동 프로세스(702)를 포함한다. 심볼 폭 및 기간을 변동시키면 데이터 신호의 열화가 존재할 때 연관된 심볼을 결정할 확률이 변동하게 되고, 이것은 예를 들어 지터를 증가시킬 수 있다. 심볼 폭을 늘리면 지터를 더 크게 수용할 수 있어서 심볼을 더욱 올바르게 결정하게 한다. 하나의 심볼의 심볼 폭을 늘리면 나머지 심볼에 대해 사용 가능한 심볼 폭이 줄어들 수 있다. 방법은 한 심볼의 심볼 폭 및 기간의 변동이 나머지 심볼에 미치는 영향을 고려할 수 있게 하는 모든 페이로드 데이터 심볼에 대한 수신 에러 확률을 결정하는 단계(704)를 더 포함한다. 또한, 방법은 모든 페이로드 데이터 심볼의 수신 에러 확률이 미리 결정된 허용 범위 내에서 동일하다면 현재 기간 및 심볼 폭을 페이로드 데이터 심볼에 할당하는 단계(706)를 포함한다. 모든 페이로드 데이터 심볼의 수신 에러 확률이 가능한 한 동일해지는 기준을 적용하면, 다음의 고려 사항이 보여주는 바와 같이, 인터링크의 전체 BER을 최선으로 달성할 수 있는 결과를 가져올 수 있다.

[0229] 도 7b는 STEP 인터링크에서 페이로드 데이터 심볼의 신호 에지의 도달 시간의 확률 분포의 예를 도시한다. 도 7b의 특정 예에서, 확률 분포(P_j)는 가우스인 것으로 가정되며, 따라서 표준 편차(σ_j)를 갖는 페이로드 데이터 심볼(j)에 연관된 기간(708)(μ_j)에 대해 대칭이다:

[0230] $$P_j = \frac{1}{\sqrt{2\pi\sigma_j^2}} e^{-\frac{(t-\mu_j)^2}{2\sigma_j^2}}$$

[0231] 심볼 폭(710)은 수신기에 의해 수신된 에지가 페이로드 데이터 심볼(j)인 것으로 해석되는 페이로드 데이터 심볼의 기간(708) 주위의 시간 간격이다. 기간(708) 및 심볼 폭(710)에 의해 주어진 시간 간격을 벗어난 에지를 수신하면 페이로드 데이터 심볼(j)의 오검출이 초래되어 페이로드 데이터 심볼(j)의 수신 에러 확률(Pe_j)을 증가시킨다. 분포의 표준 편차(σ_j)는 예를 들어 랜덤 지터에 의해 지배될 수 있다.

[0232] 분포의 표준 편차(σ_j)를 고려하면, 특정 페이로드 데이터 심볼에 대해 특정 BER을 달성하는데 요구되는 심볼 폭(710)은 도 7b의 우측 그래프에 도시된 바와 같이 표준 편차(σ_j)의 관점에서 나타낼 수 있다.

[0233] 그러나 완벽한 인터링크의 BER은 또한 공칭 기간(712a, 714a, 716a, 718a 및 720a)이 연관된 N=5 심볼(712, 714, 716, 718, 720)을 갖는 예시적인 시스템에 대해 도 7c에 의해 도시된 바와 같이, 다른 가능한 페이로드 데이터 심볼이 원인이 된다. 도 7c는 모든 페이로드 데이터 심볼이 동일한 P_{ej}를 갖는 구성을 도시하는 것으로, σ_j (및 심볼 폭(712b, 714b, 716b, 718b, 720b))가 모든 페이로드 데이터 심볼에 대해 동일하다. 또한, 특정 심볼을 송신하기 위한 확률이 P_S이고 전체 BER을 계산하기 위해 모든 페이로드 데이터 심볼에 대해 동일하다고 가정한다.

$$BER = \sum_{n=1}^{N} P_s \cdot P_{ej} = P_j$$

[0234]

[0235] STEP에서, 결정론적 지터(교정 또는 신호 종속 지터(signal dependent jitter))와 가우스 랜덤 지터(랜덤 잡음 소스)가 둘 모두 있을 수 있다. P_j가 가우스 랜덤 지터에 의해 지배된다고 가정하면, 모든 심볼이 동일한 Pe_j를 경험한다는 가정은 합리적일 수 있다. BER=1e-12(7.1σ에 대응함)를 얻기 위해, 우리는 심볼 폭(712a 내지 712b)이 14.2σ보다 커야 한다는 것을 의미하는 $\frac{T_{LSB}}{2} > 7.1\sigma$을 각 심볼이 준수한다고 보장해야 한다.

[0236] 그러나, 구현 세부사항으로 인해, 상이한 심볼은 또한 상이한 확률 분포(P_j)를 경험할 수 있으며, 특히 상이한 표준 편차(σ_j)를 가질 수 있다.

[0237] 도 7d는 도 7c와 동일한 시스템을 도시하는 것으로, 페이로드 데이터 심볼 3(718)은 더 많은 지터를 경험하게 되고 그 결과 더 낮은 Pe(예를 들어, Pe3 ≫ Pe)를 경험하여, 결과적으로 전체 BER은 다음과 같다:

$$BER = \sum_{j=1}^{N} P_s \cdot P_e[j] = \frac{N-1}{N} P_e + \frac{1}{N} Pe_3 \approx \frac{1}{N} Pe_3$$

[0238]

[0239] 이러한 상황에서, 전체 BER은 페이로드 데이터 심볼 3에 의해 지배될 수 있다. 도 7d의 페이로드 데이터 심볼 3이 심볼 폭(718b)(T_{LSB}) = J_{S3} = ± 5.7σ를 발생하는 더 많은 랜덤 지터를 갖는다고 가정하면, 위의 고려 사항은 결과적으로 Pe3=1e-8이 되어, 최악이 아닌 대략 1e-9라는 전체 BER로 이어진다.

[0240] 그러나 도 7a에 도시된 방법에 따르면, 모든 페이로드 데이터 심볼에 대한 수신 에러 확률이 가능한 한 동일해질 때까지 - 이것은 예를 들어 모든 에러 확률이 미리 결정된 공차 범위 내에 있을 것을 요구함으로써 달성될 수 있음 - 심볼 3의 심볼 폭 및 기간이 변동될 수 있다. 수신 에러 확률은 할당된 기간을 사용하여 생성된 페이로드 데이터 심볼이 할당된 기간에 맞추어 할당된 심볼 폭에 의해 주어진 시간 간격 내에서 수신되는 확률을 표시한다. 시간 예산이 주어진 경우, 하나의 페이로드 데이터 심볼의 심볼 폭을 변동하면 다른 페이로드 데이터 심볼의 기간 및 심볼 폭 또는 적어도 하나의 추가 페이로드 데이터 심볼의 기간 및 심볼 폭을 조정하는 결과를 또한 가져올 것이다. 일부 예에 따르면, 변동 이후의 모든 페이로드 데이터 심볼에 대한 수신 에러 확률을 재정의하는 것이 필요할 수 있다. 이것은 예를 들어 페이로드 데이터 심볼의 미리 결정된 페이로드 데이터 심볼의 시퀀스를 송신하고 수신된 페이로드 데이터 심볼의 시퀀스를 결정함으로써 달성될 수 있다. 미리 결정된 페이로드 데이터 심볼의 시퀀스를 수신된 페이로드 데이터 심볼의 시퀀스와 비교하면 모든 심볼의 수신 에러 확률에 대해 결론을 내리는 것이 가능해질 수 있다. 수신 에러 확률을 결정하는 것은 일반적으로 기간의 폭을 페이로드 데이터 심볼에 할당한 데이터 펄스를 포함하는 데이터 신호를 송신하는 것 및 데이터 신호를 수신하는 것을 포함한다. 페이로드 데이터 심볼은, 기간에 맞추어진 심볼 폭에 의해 주어진 시간 간격 내의 폭을 갖는 데이터 펄스가 데이터 신호 내에서 수신되면 수신된 것으로 간주된다.

[0241] 심볼이 시간-디지털 변환기를 사용하여 결정되면, 심볼 폭은 시간-디지털 변환기의 유한 스텝의 분해능에서 변경될 수 있다. 마찬가지로, 시간을 변동시키는 것은 디지털-시간 변환기의 유한 단계의 분해능에서 기간을 변경하는 것을 포함할 수 있다.

[0242] 페이로드 데이터 심볼의 수신 에러 확률이 요건을 충족하면, 현재 기간 및 현재 심볼 폭이 변동을 겪는 심볼에 할당된다. 방법에 따르면, 모든 페이로드 데이터 심볼이 거의 동일하거나 또는 동일한 수신 에러 확률을 경험하는 것이 달성될 수 있고, 이것은 결과적으로 이전의 고려 사항에 따라 전체 BER을 최선으로 달성할 수 있다. 도 7d에 도시된 예에 대한 방법을 사용하면, 우리는 심볼 #0, #1, #2, #4(712, 714, 716 및 720)의 심볼 폭을 낮추고 심볼 #3(718)의 폭을 증가시켜, 모든 심볼이 균일한 Pe에 도달하게 할 것이다. 특정 예에서, 우리는 페이로드 데이터 심볼 3의 심볼 폭을 ~20%만큼 증가시키고 다른 네 개의 심볼의 심볼 폭을 ~5%만큼 감소시킬 것이다. 이렇게 하면, 우리는 모든 페이로드 데이터 심볼에 대해 대략 ±6.8σ 만큼 균등하게 분리된 기간 및 심볼 폭을 갖게 되어, 전체 BER이 대략 1e-11이 되고, 이것은 개별 심볼 기간 및 심볼 폭을 할당하는 방법의 예를 사용하지 않으면서도 페이로드 데이터 심볼 3에 의해 지배되는 1e-9보다 양호한 방식이다.

[0243] 방법의 예는 예를 들어 STEP 인터링크와 같은 통신 인터링크 전체에 걸쳐 BER의 최적화를 가능하게 하는 물 붓는 방법(water pouring method)으로 특징지어질 수 있다.

[0244] 예를 들어, 도 7a의 방법은, 예를 들어 인터링크가 파워 업되거나 특별한 교정 사이클 내에 있을 때 온라인 교정(online calibration)으로서 수행될 수 있다. 방법은 또한 인터링크의 공장 교정(factory calibration) 동안 한 번 수행될 수 있다.

[0245] 도 7a에 의해 도시된 방법의 일부는 수신 측에 대해 수행될 수 있는 반면, 다른 부분은 인터링크의 송신 측에 대해 수행될 수 있다. 심볼 폭의 변동은 데이터 신호를 처리하기 위한 방법에 의한 수신 측에 대해서만 수행될 수 있지만, 페이로드 데이터 심볼과 연관된 기간의 변동은 데이터 신호를 처리하기 위한 방법에 의한 수신 측 및 데이터 신호를 생성하기 위한 방법에 의한 송신 측 둘 모두에 대해 수행될 수 있다.

[0246] 도 7e는 인터링크의 송신 측에 대해 수행될 수 있는, 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다.

[0247] 방법은 데이터 신호 내의 기간을 각 페이로드 데이터 심볼에 할당하는 단계(730)를 포함하며, 인접한 페이로드 데이터 심볼의 쌍의 기간은 연관된 심볼 분리 시간에 의해 분리된다. 기간은 적어도 제 1 심볼 분리 시간이 적어도 제 2 심볼 분리 시간과 상이하도록 할당된다. 방법은 데이터 신호를 생성하는 단계(732)를 더 포함한다. 인접한 페이로드 데이터 심볼 사이의 심볼 분리 시간이 상이할 수 있도록 개별 페이로드 데이터 심볼에 기간을 할당함으로써, 방법은 수신기 측의 모든 페이로드 데이터 심볼에 대해 동일한 수신 에러 확률을 갖는 데이터 신호를 생성할 수 있게 한다. 따라서, 통신 인터링크의 전체 BER이 최적화될 수 있다.

[0248] 도 7f는 수신 측에 대해 수행될 수 있는, 데이터 신호를 처리하기 위한 방법의 예의 흐름도를 도시한다. 방법은 통신 프로토콜의 각각의 페이로드 데이터 심볼에 기간 및 심볼 폭을 할당하는 단계(734)를 포함하며, 여기서 적어도 제 1 심볼 폭은 적어도 제 2 심볼 폭과 상이하다. 방법은 데이터 펄스의 시리즈를 포함하는 데이터 신호를 수신하는 단계(736)를 더 포함한다. 또한, 방법은 할당된 기간에 맞추어 할당된 심볼 폭에 의해 주어진 시간 간격 내의 폭을 갖는 데이터 펄스가 데이터 신호 내에서 수신되면 페이로드 데이터 심볼이 수신된 것으로 결정하는 단계(738)를 포함한다. 개별 페이로드 데이터 심볼에 대해 심볼 폭 및 기간을 상이할 수 있게 하면, 인터링크의 전체 BER이 감소될 수 있다.

[0249] 예를 들어, 모든 페이로드 데이터 심볼이 TX 및 RX에서 균일한 조건을 갖는 STEP 구현과 비교할 때, 채널 및 STEP 손상이 이제는 불균일하게 분포된 에러 확률에 의해 고려되어 전체 BER을 낮출 수 있다.

[0250] 방법의 일부 예는 온라인 또는 공장 교정으로서 수행될 수 있지만, 추가 예는 통신 인터링크에 관한 선험적 지식에 기초하여, 미리 결정된 개별 기간 및 심볼 폭의 세트를 사용할 수 있다.

[0251] 예를 들면, STEP 인터링크에서, 데이터 신호의 조직적인 손상이 존재하여, 불균일한 수신 에러 확률을 야기할 수 있다. 예를 들어, 도 7i에 도시된 예와 같이, 지배적인 손상이 데이터 신호를 수신하는데 사용되는 시간-디지털 변환기(TDC)의 공급기의 변조로부터 생긴다면, 심볼 수가 많을수록 연관된 신호 에지의 결정 시 에러는 더 커질 수 있다. 도 7i에 도시된 바와 같이, TDC는, 구현에 따라 인버터에 의해 구성된 개별 지연 요소를 튜닝할 수 있게 할 수도 있는, 지연 요소로서 동작하는 인버터(762a 내지 762f)의 시퀀스로서 구현될 수 있다. 각각의 지연 요소(762a 내지 762f)의 출력은 두 개의 플립 플롭에 결합되며, 두 개의 플립 플롭은 데이터 신호 내에서 신호 에지가 발생하면 리셋된다. 셋업을 사용하여, 제 1 뱅크의 플립 플롭(764)은 데이터 신호 내에서 포지티브 신호 에지가 존재할 때 신호를 출력하는 반면, 제 2 뱅크의 플립 플롭(766)은 데이터 신호 내에서 네거티브 신호 에지가 존재할 때 신호를 출력한다. 구현으로 인해, TDC의 전력 소비는 수신된 페이로드 데이터 심볼에 따라 달라지는데, 왜냐하면 페이로드 데이터 심볼이 길수록 TDC(760) 내에서 더 많은 디지털 컴포넌트가 동작되기 때문이다. 컴포넌트가 많을수록 더 많은 전력이 소비되고 전력 공급 장치의 변동이 더 커져서, 시스템 내에서 더 큰 에러로 변환된다. 전력 공급 장치의 변동으로 인해 시간이 더 긴 페이로드 데이터 심볼은 더 높은 에러(지터)를 경험한다. 또한, 고차(더 긴) 심볼의 경우, 더 많은 수의 지연 요소의 개별적인 에러에는 더 짧은 심볼에 비해 더 높은 에러까지 합쳐진다.

[0252] 기간을 증가시킴에 따라 심볼 분리 시간이 증가하도록 기간이 페이로드 데이터 심볼에 할당된다는 점에서 일부 예는 분류법(systematics), 즉 고차 심볼을 감안한다.

[0253] 예를 들어, 송신기와 수신기 사이의 송신 링크에 길고 손실이 있는 케이블이 사용된다면, 다른 인터커넥트는 심볼 간 간섭(inter-symbol interference)(ISI)으로 인한 신호 열화에 의해 지배될 수 있다. 짧은 기간의 심볼

은 스펙트럼 내용이 높기 때문에 ISI에 더 민감하다. 추가 예는 기간을 증가시킴에 따라 심볼 분리 시간이 감소하도록 기간이 페이로드 데이터 심볼에 할당된다는 점에서 상기 속성을 감안한다. 다시 말해, 우리는 심볼 분리를 감소시키는 (S0 내지 S1이 분리가 가장 높은) 시스템을 설계할 것이다.

[0254] 앞서 설명한 일부 예는 소프트웨어로 구현될 수 있고, 추가 예는 하드웨어로 구현될 수 있다. 도 7g 및 도 7h는 앞서 설명한 방법 중 하나를 수행할 수 있는 장치를 개략적으로 도시한다.

[0255] 도 7g는 데이터 신호를 생성하기 위한 장치(740)의 예를 도시한다. 장치는 데이터 신호 내에서 기간을 각각의 페이로드 데이터 심볼에 할당하도록 구성된 매핑 회로(742)를 포함하고, 페이로드 데이터 심볼의 인접한 쌍의 기간은 연관된 심볼 분리 시간에 의해 분리되며, 여기서 적어도 제 1 심볼 분리 시간은 적어도 제 2 심볼 분리 시간과 상이하다. 장치는 기간을 저장하도록 구성된 메모리(744)를 더 포함한다.

[0256] 일부 예는 옵션으로 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로(746)를 더 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 페이로드 데이터 심볼에 할당된 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 페이로드 데이터 심볼에 할당된 제 2 기간에 의해 분리된다.

[0257] 도 7h는 데이터 신호를 처리하기 위한 장치(750)의 예를 도시한다. 장치는 통신 프로토콜의 각 페이로드 데이터 심볼에 기간 및 심볼 폭을 할당하기 위한 메모리(752)를 포함하며, 여기서 적어도 제 1 심볼 폭은 적어도 제 2 심볼 폭과 상이하다. 또한, 장치는 각기 할당된 기간에 맞추어 각기 할당된 심볼 폭에 의해 주어진 시간 간격 내의 폭을 갖는 데이터 펄스가 데이터 신호 내에서 수신되면 페이로드 데이터 심볼이 수신된 것으로 결정하도록 구성된 디매핑 회로(de-mapping circuit)(754)를 포함한다.

[0258] 일부 예는 옵션으로 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 수신하도록 구성된 입력 인터페이스(756)를 더 포함할 수 있고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 펄스를 구성하고 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 펄스를 구성한다.

[0259] STEP 인터커넥트는 페이로드 데이터 심볼 및 다른 심볼에, 이를테면 예를 들어 제어 심볼에 할당된 기간을 측정한다. 도 8a에 도시된 바와 같이, 심볼(802, 804 및 806)은 데이터 신호의 하강 대 상승 에지 사이의 기간 또는 상승 대 하강 에지 사이의 기간에 의해 송신된다.

[0260] 지터로 인해 타이밍 에러 및 결과적으로 틀린 심볼 측정이 발생할 수 있다. 그러나 시간 도메인 에러만이 측정된 기간에 영향을 줄 수 있다. STEP 인터커넥트의 라인업을 따라, 가산성 잡음(additive noise)의 일부 소스가 존재하여, STEP 데이터 신호(810)에 잡음이 추가되게 할 수 있다. 도 8a에 도시된 바와 같이, 데이터 신호(810)의 진폭을 변경시키는 가산성 잡음(812)은 또한, 데이터 신호(810)의 에지가 엄청 가파르지 않기에 일단 데이터 신호(810)가 슬라이서(slicer)를 통과하여 디지털 신호(811)를 생성하면 지터(814)로 변환된다. 인버터는 슬라이서의 하나의 특정 예이다. 예를 들어, 도 7i에 도시된 바와 같은 TDC 내에서, 심볼은 슬라이싱의 형태인 데이터 신호의 제로 크로싱에 기초하여 결정된다. (예를 들어, 슬라이서로서 작용하는 입력 인버터 스테이지를 갖는) 시간-디지털 변환기(TDC) 전후의 STEP 데이터. 가산성 잡음이 없으면, 데이터 신호(810)의 제로 크로싱(813)은 정확히 데이터의 상승 및 하강 에지의 중간에 있을 것이다.

[0261] 그러나 도 8a에 도시된 바와 같이, 가산성 잡음은 STEP 데이터 신호(810)에 추가된다. 변경된 데이터 신호(810)가 슬라이서를 통과하여 예를 들어 제로 크로싱을 결정하면, 가산성 진폭 잡음(812)은 지터(814)로서 데이터 신호(810)의 제로 크로싱에서 교대로 나타나서, 슬라이서에 의해, 예를 들어 TDC에 의해 출력된 디지털 신호의 심볼을 식별하는데 틀린 기간이 사용되게 한다. 심볼이 두 개의 인접한 상보적 신호 에지 사이에서 표현되는 STEP 시스템에서, 가산성 잡음은 두 개의 후속 에지(포지티브 및 네거티브 또는 그 반대)에 반대 방향으로 영향을 미쳐서, 심볼을 결정하기 위한 타이밍 에러를 두 배로 증가시킨다. 예를 들어, 심볼(804)의 하강 에지는 더 긴 시간 쪽으로 시프트되는 반면, 후속 상승 에지는 더 짧은 시간 쪽으로 시프트되어, 에지 사이의 기간을 사실상 단일 에지의 에러의 두 배만큼 감소시킨다. 따라서 가산성 진폭 잡음은 상당한 타이밍 에러를 유발하고 수신된 페이로드 데이터 심볼의 잠재적인 잘못된 해석으로 이어질 수 있다.

[0262] 통신 인터링크에서 가산성 잡음의 부정적인 영향을 완화하려는 바램이 있을 수 있다.

[0263] 도 8b는 데이터 신호 내에서 페이로드 데이터 심볼을 결정하는 방법(830)의 예의 흐름도를 도시한다. 방법은 또한 도 8c의 데이터 신호를 참조하여 설명될 것이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지(832), 제 2 타입의 제 2 신호 에지(834), 제 1 타입의 제 3 신호 에지(836) 및 제 2 타입의 제 4 신호 에지

(838)의 시퀀스를 수신하는 단계(814)를 포함한다. 방법은 제 1 신호 에지(832)와 제 3 신호 에지(836) 사이의 제 1 기간(840)을 결정할 뿐만 아니라 제 2 신호(834) 에지와 제 4 신호 에지(838) 사이의 제 2 기간(842)을 결정하는 단계(816)를 더 포함한다. 또한, 방법은 제 1 기간(840) 및 제 2 기간(842)에 기초하여 제 3 신호 에지(836)와 제 4 신호 에지(838) 사이의 기간(846)에 대응하는 페이로드 데이터 심볼을 결정하는 단계(818)를 포함한다. 페이로드 데이터 심볼에 대응하는 기간은 후속 상보적 신호 에지(836 및 838) 사이의 시간을 직접 측정함으로써 결정되는 것이 아니라 동일한 타입의 후속 에지 사이의 두 개의 기간을 측정함으로써 결정된다. 동일한 타입의 신호 에지는 가산성 잡음이 존재할 때 동일한 타이밍 에러를 수신하기 때문에, 양쪽 신호 에지 사이의 시간 차는 일정한 가산성 잡음에 의해 영향을 받지 않은 채로 유지된다. 가산성 잡음에 의해 영향을 받지 않는 두 개의 기간을 사용하여 수신된 페이로드 데이터 심볼을 결정하면 가산성 잡음에 의해 거의 영향을 받지 않는 페이로드 데이터 심볼이 결정된다. 동일한 타입의 두 개의 후속 신호 에지 사이의 기간을 결정하는데 사용 가능한 TDC는 도 7i의 TDC에 기초할 수 있다.

[0264] 다시 말해, 위의 잘못된 해석의 소스를 피하기 위해, 도 8c에 도시된 바와 같이, 각각의 심볼이 상승 대 상승과 하강 대 하강 사이의 시간을 사용하여 각 심볼이 표현되도록 또는 복조되도록 심볼을 변경하는 것이 제안된다. 이렇게 수행할 때, 도 8에 도시된 바와 같이, 동일한 에지(포지티브 또는 네거티브)가 동일한 에러를 수신하기 때문에 심볼 에지 상의 가능한 제로 크로싱 에러는 서로 상쇄된다.

[0265] 심볼이 어떻게 결정될 수 있는지에 대한 특정 예는 부가된 플리커 잡음(flicker noise)이 도 8c에 도시된 에러의 소스라고 가정할 수 있다. STEP 심볼은 매우 짧지만(80-160 psec), 플리커 잡음과 가산성 DC 스퍼는 STEP 심볼에 비해 느리다(기간이 매우 길다). STEP 신호에 느린 잡음 신호를 추가하면 도 8c에 도시된 것처럼 각 심볼의 상승 및 하강 에지 둘 모두에서 거의 동일한 전압 에러가 부가된다.

[0266] 또한 STEP 신호에 추가된 원하지 않는 잡음 신호는 심볼의 각 신호 에지에 TERR이라는 에러를 도입시킨다고 가정한다. 위에서 이미 시사한 바와 같이, 이러한 에러는 후속 상보적 신호 에지 사이의 기간을 직접 결정할 때 각 심볼마다 2*TERR의 타이밍 에러를 부가하여 발생한다.

[0267] 그러나 도 8b의 방법에 따르면, 심볼은 상승 대 상승과 하강 대 하강 사이에서 결정된다(옵션으로 또한 생성된다). 이로 인해 가산성의 느린 잡음이 제거된다.

[0268] 동일한 타입의 두 개의 후속 신호 에지 사이의 각각의 기간(K[n])은 두 개의 후속 심볼의 기간과 이들의 타이밍 에러(D[n]; TERR)의 합이다:

[0269] $$K[n] = D[n] + 2*TERR + D[n+1] - 2*TERR = D[n] + D[n+1]$$.

[0270] 이 방법에 의해, 타이밍 에러가 제거된다.

[0271] 재구성 동안, 제 1 기간(K[n])이 제 2 기간(K[n+1])으로부터 감산되어, 그 결과 D[n+2]+D[n+1]-D[n+1]-D[n]=D[n+2]-D[n]이 되는데, 즉, 심볼(D[n+2])은 앞에 오는 심볼(D[n+1])과 독립적인 앞에 오는 심볼에 대한 지식 없이 결정될 수 있다. 다시 말해, 우리는 옵션으로 TX에서는 두 개의 연속적인 원래의 데이터 심볼마다 합산하고 RX에서는 감산함으로써 샘플을 재생성하도록 심볼을 구성하고 디코딩할 수 있다. 대안적인 예는 DTC를 사용하여 페이로드 데이터 심볼에 할당된 기간만큼 이격된 두 개의 후속 상보적 신호 에지를 직접 생성함으로써 관례적으로 송신기에서 페이로드 데이터 심볼을 생성한다.

[0272] 위에서 도시된 바와 같이, 페이로드 데이터 심볼을 결정하는 것은 심볼의 기간(D[n+2])을 결정하기 위해 제 1 기간(K[n])을 제 2 기간(K[n+1])로부터 감산하는 것을 포함할 수 있다. 일부 예에서, 방법은 옵션으로 가장 최근 두 개의 기간 또는 심볼을 저장하여 이들을 또한 옵션으로 페이로드 데이터 심볼을 결정하기 위해 사용하는 단계를 포함할 수 있다. 그런 다음 결정된 기간은 통신 프로토콜에 따라 페이로드 데이터 심볼에 할당될 수 있다.

[0273] 일부 실시예에 따르면, 제 1 신호 에지와 제 2 신호 에지 사이의 기간은 미리 결정된 지속기간을 갖는 패킷의 시작을 표시하는 제어 심볼에 대응할 수 있고, 이것은 방법이 선험적으로 알고 있는 기간부터 시작하기 때문에 오검출의 가능성을 더욱 감소시킬 수 있다.

[0274] 도 8b는 흐름도에 의해 데이터 신호 내에서 페이로드 데이터 심볼을 결정하는 방법의 예를 도시하지만, 도 8d 및 도 8e는 방법을 수행하도록 구성된 장치의 예를 개략적으로 도시할 것이다.

[0275] 도 8d는 데이터 신호를 처리하기 위한 장치(850)의 예를 도시한다. 장치(850)는 데이터 신호에서 제 1 타입의

제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(852)를 포함한다. 복조 회로(854)는 제 1 신호 에지와 제 3 신호 에지 사이의 제 1 기간 및 제 2 신호 에지와 제 4 신호 에지 사이의 제 2 기간에 기초하여 제 3 신호 에지와 제 4 신호 에지 사이의 기간에 대응하는 페이로드 데이터 심볼을 결정하도록 구성된다.

[0276] 일부 예에서, 옵션으로 처리 회로(852)는 데이터 신호에서 제 1 타입의 신호 에지를 결정하도록 구성된 제 1 에지 검출기(856a) 및 데이터 신호에서 제 2 타입의 신호 에지를 결정하도록 구성된 제 2 에지 검출기(856b)를 포함할 수 있다.

[0277] 도 8e는 통신 시스템(860)의 예를 도시한다. 통신 시스템은 데이터 신호를 생성하도록 구성된 처리 회로(864)를 포함하는, 데이터 신호를 생성하기 위한 장치(862)를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 2 기간에 의해 분리되며, 제 3 신호 에지 및 제 4 신호 에지는 제 3 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다. 장치(862)는 데이터 신호를 출력하도록 구성된 처리 회로(866)를 더 포함한다. 또한, 통신 시스템(860)은 데이터 신호를 수신하기 위한 장치(870)를 포함하고, 장치(870)는 데이터 신호에서 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(872); 및 제 1 신호 에지와 제 3 신호 에지 사이의 제 1 수신 기간 및 제 2 신호 에지와 제 4 신호 에지 사이의 제 2 수신 기간을 사용하여 제 3 페이로드 데이터 심볼을 결정하도록 구성된 복조 회로(874)를 포함한다.

[0278] 도 8a 내지 도 8e를 참조하여 설명된 방법 및 장치의 예에 따르면, 상관적인 가산성 잡음의 영향이 낮아질 수 있다. 이러한 잡음의 가능한 소스는 플리커 잡음, (DC/DC 변환기 및 그 DC/DC에 연결된 다른 블록으로부터의) 공급 스퍼(supply spur) 및 (예를 들어, CLK, Fref, 제어 등과 같이, STEP의 심볼에 할당된 시간에 비해 느릴 수 있는) 다른 외부 공격기(aggressor)이다. 우리는 또한 대안적으로 잡음 레벨을 낮추려고 시도함으로써 가산성 상관 잡음의 영향을 낮추려고 시도할 수도 있다. 그러나 이것은 대형의 필터링 컴포넌트(주로 커패시터)로 인해 더 높은 전력 소비와 더 복잡한 DC 방식(DC/DC + LDO)의 단점에 이르게 할 수 있다.

[0279] 데이터 신호 내의 페이로드 데이터 심볼을 결정하는 방법의 예를 사용하여, STEP 인터링크 또는 임의의 다른 통신 인터링크는 플리커 잡음, 공급 스퍼 및 다른 가산성 상관 잡음에 대한 면역성을 증가시킬 수 있다. 결과는 더 양호한 링크 잡음 예산(더 적은 에러) 및 보다 간단하고 저렴한 DC 공급 장치를 사용할 수 있는 가능성을 가져올 수 있다. 플리커 잡음은 (CMOS) 디바이스 면적(길이 및 폭)에 반비례하므로, 플리커 잡음의 레벨을 낮추려면 (CMOS) 디바이스의 크기를 늘려야 할 것이다. 그러나 (CMOS) 디바이스의 크기를 늘리면 디바이스의 커패시턴스가 증가하고, 이것은 차례로 전력 소비를 증가시킬 것이다. 방법의 예를 사용하면 더 작은 크기의 디바이스를 사용할 수 있어, 전력 효율적인 구현을 가져올 수 있다.

[0280] 도 8f는 이전에 이미 도시된 바와 같은 STEP 인터커넥트의 예를 도시하며, 추가로는 전력 증폭기 및 저잡음 증폭기로부터의 플리커 잡음(880), 송신 링크와 크로스토크를 일으키는 외부 공격기로부터의 가산성 잡음(882) 및 전력 공급 장치(884)의 부하 변조에 의해 야기되는 잡음과 같은 가산성 잡음의 서로 다른 가능한 소스를 도시한다.

[0281] 도 9a 내지 도 9e는 인터커넥트의 송신 링크를 통해 송신된 데이터 신호의 손상에 의해 야기된 에러가 어떻게 완화될 수 있는지에 관한 예에 관한 것이다.

[0282] 일부 애플리케이션에서는 페이로드 데이터가 높은 강건성 및 에러에 대한 면역성과 교환되는 것을 요구한다. 이것은 에러 보정 코드(error correction code)(ECC)를 추가함으로써 달성될 수 있다. ECC의 오버헤드는 보호해야 하는 데이터의 양 및 정정할 잠재적 에러의 수에 따라 달라진다. 인터커넥트의 송신 링크를 통해 송신된 데이터 신호의 손상에 의해 야기된 에러를 오버헤드를 추가하지 않으면서 완화시키는 수단을 제공하는 것이 유리할 수 있다.

[0283] 도 9a는 데이터 심볼의 시퀀스를 송신하는 방법의 예의 흐름도를 도시한다. 방법은 그레이 코드를 사용하여 데이터 심볼의 시퀀스를 인코딩하여 인코딩된 데이터 심볼의 시퀀스를 생성하는 단계(902)를 포함한다. 그레이 코드는 두 개의 연속적인 값이 단지 한 비트(이진수)에서만 상이하도록 한 이진수 시스템의 배열이다. 다시 말해, 정수를 나타내는 데이터 비트의 시리즈의 그레이 코딩된 표현에서, 수가 1씩 증가 또는 감소하면 한 비트만 변한다. 가능한 그레이 코드의 수는 인코딩될 비트 수에 따라 다르다. n 비트 시퀀스의 경우, n!(n의 집합단

(faculty of n)) 그레이 코드는 앞서 설명한 속성으로 존재할 수 있다. 예를 들어, 심볼당 3 비트를 송신하는 STEP 인터커넥트의 경우, 6개 그레이 코드가 존재할 수 있고 이들 각각이 방법에 의해 사용될 수 있다. 그러므로 데이터 심볼을 인코딩하는 것은 데이터 심볼에 할당된 비트 시퀀스를 인코딩하고, 이어서 인코딩된 비트 시퀀스를 인코딩된 데이터 심볼로 변조하거나 또는 변조 방식의 지식에 기초하여 데이터 심볼을 인코딩된 데이터 심볼로 직접 변환함으로써 수행될 수 있다. 제 1 옵션은 그레이 코드를 사용하여 단일 데이터 심볼과 연관된 비트 시퀀스를 인코딩하여 인코딩된 비트 시퀀스를 생성하고, 통신 프로토콜의 변조 방식을 사용하여 인코딩된 비트 시퀀스를 인코딩된 데이터 심볼로 변조하는 것으로 설명될 수 있다.

[0284] 방법은 인코딩된 데이터 심볼의 시퀀스를 미분하여 송신 데이터 심볼의 시퀀스를 생성하는 단계(904) 및 송신 데이터 심볼의 시퀀스를 송신하는 단계(906)를 더 포함한다. 다시 말해, 되풀이 하여 도 9b에 도시된 바와 같이, 제출 이전에, 데이터 심볼은 그레이 코드를 사용하여 인코딩되고(908), 이어서 인코딩된 데이터 심볼은 송신되기 전에 미분(미분화)된다(910).

[0285] 수신기에서, 두 행위 모두 반전되어, 수신된 데이터 심볼의 시리즈를 적분하여 일련의 적분된 데이터 심볼을 생성하는 단계(912)에서 시작하고 후속하여 그레이 디코더를 사용하여 적분된 데이터 심볼의 시퀀스를 디코딩하여 데이터 심볼의 시퀀스에 관한 정보를 생성하는 단계(914)가 이어진다. 심볼을 미분하는 단계는 송신될 심볼의 값으로부터 앞에 오는 심볼의 값을 감산하여 송신 심볼을 생성함으로써 수행될 수 있다. 감산은 데이터 심볼의 수를 모듈로(modulo) 수행된다. 인코딩된 데이터 심볼의 시퀀스를 미분하는 단계는 또한 시퀀스의 제 1 데이터 심볼을 변경하지 않고 송신하는 단계를 포함할 수 있다. 마찬가지로, 적분은 수신된 심볼을 모두 시퀀스 내에서 결정될 데이터 심볼에 가산함으로써 수행될 수 있다. 가산은 변조 방식의 데이터 심볼의 수를 모듈로 수행될 수 있다.

[0286] 일부 구현에 따르면, 데이터 심볼의 시퀀스의 시작은 데이터 프레임의 시작에 의해 주어질 수 있다. 따라서 데이터 심볼의 시퀀스는 미리 결정된 데이터 심볼로 시작할 수 있으며, 예를 들어 데이터 프레임의 시작을 표시하는 통신 프로토콜의 제어 심볼인 데이터 심볼로 시작할 수 있다.

[0287] 예를 들어, STEP 인터페이스의 코딩 방식에서, 수신기는 심볼/펄스의 시작 시간에서 한 번 그리고 심볼/펄스의 종료 시간에서 두 번째로 각각의 에지를 두 번 측정한다. 단일 신호 에지는 그래서 두 개의 인접 데이터 심볼에 영향을 미친다. 단일 신호 에지가 잘못된 위치에서 결정되면, 인접하는 데이터 심볼은 둘 모두 에러가 있는 채로 수신될 수 있다. 송신 전에 데이터 심볼을 미분하는 것은, 일단 수신기가 수신된 데이터 심볼의 시리즈를 적분함으로써 미분을 역전시키면, 수신기 측에서 신호 에지를 틀리게 검출하는 것에 의해 단일 데이터 심볼만이 손상 받게 하는 것이 보장된다. 시퀀스의 데이터 심볼에 그레이 코드를 적용한다면, 틀리게 결정된 데이터 심볼이 올바른 데이터 심볼에 인접한다고 가정할 때, 데이터 심볼이 잘못 결정되더라도 단일 비트 에러만 발생하는 것이 보장된다.

[0288] 그러므로 도 9a에 도시된 방법에 따라 심볼을 그레이 코딩하는 것과 미분하는 것을 조합하면, 도 1에 도시된 데이터 신호 내의 단일 신호 에지의 오검출은 데이터 심볼로 변조된 비트 시퀀스 내에서 단일 비트 에러만을 초래한다는 것이 제공된다.

[0289] 어떤 이유로 (예를 들어, 잡음, 왜곡 또는 외부 이벤트로 인해) 수신기가 수신 페이로드 데이터 심볼을 잘못 해석한다면, 잘못 해석된 페이로드 데이터 심볼에 대응하는 결과적인 비트 시퀀스는 송신된 비트 시퀀스와 단지 하나의 단일 비트만 상이할 뿐이다. 하나의 신호 에지의 장애는 한 비트의 에러를 초래한다. 다시 말해, 도 9a에 도시된 방법의 코딩 방식에 따르면, 단일 에지 에러는 단일 심볼 에러를 야기하며, 이것은 또한 단일 비트 에러를 초래한다.

[0290] 도 9c는 수신된 데이터 심볼의 시리즈를 처리하는 방법의 예의 흐름도를 도시한다. 수신된 데이터 심볼은 도 9a의 방법을 사용하여 전송될 수 있다. 방법은 수신된 데이터 심볼의 시리즈를 적분하여 적분된 데이터 심볼의 시리즈를 생성하는 단계(920) 및 그레이 디코더를 사용하여 적분된 데이터 심볼의 시퀀스를 디코딩하여 데이터 심볼의 시퀀스에 관한 정보를 생성하는 단계(922)를 포함한다. 인코딩과 유사하게, 디코딩된 데이터 심볼의 시퀀스는 통신 프로토콜에 따라 데이터 심볼로서 제공되거나 또는 이미 각각의 데이터 심볼에 대한 데이터 비트 시퀀스로서 제공될 수 있다. 후자의 경우, 디코딩은 통신 프로토콜의 변조 방식을 사용하여 적분된 데이터 심볼을 복조하여 인코딩된 비트 시퀀스를 생성하는 단계; 및 그레이 코드를 사용하여 인코딩된 비트 시퀀스를 디코딩하여 디코딩된 비트 시퀀스를 생성하는 단계를 포함한다.

[0291] 이하에서, 그룹[0, ..., 7]으로부터 데이터 심볼을 생성하는 데이터 심볼당 3 비트를 사용하는 STEP 인터커넥트

에 의해 데이터 심볼의 시퀀스를 제출하는 동안 추정된 에러에 대한 특정 예가 제시된다.

[0292] 송신기가 데이터 심볼의 시퀀스 012321를 전송하고 하나의 에지 상에 지터가 있다고 가정하면, 수신기는 수신된 데이터 심볼의 시리즈 012411을 수신할 수 있다. 에지가 2개의 심볼에 사용되기 때문에 단일 에지 에러는 2개의 후속 심볼과 상관관계가 있고, 따라서 단일의 손상된 신호 에지는 두 개의 데이터 심볼이 잘못 수신되게 할 것이다.

[0293] 그러나 앞서 설명한 바와 같은 방법의 예를 사용하면, 수신된 신호 에지에서 에러가 발생할 때 단일 비트 에러만이 발생한다.

[0294] 방법에 따르면, 데이터 심볼의 시퀀스 012321를 전송하는 대신에, 데이터 심볼은 그레이 대 빈 코드(gray to bin code)를 거쳐, 결과적으로 예를 들면 인코딩된 데이터 심볼의 시퀀스 012321로 전달된다(이러한 특정 예의 경우 가능한 여섯 개의 그레이 코드 중 하나가 임의로 선택된다). 시퀀스를 미분하면 송신 데이터 심볼의 시퀀스 012716를 발생한다.

[0295] 제 5 신호 에지에서의 에러를 가정하면, 수신기는 두 개의 인접한 심볼이 송신 데이터 심볼의 시퀀스와 상이한 수신된 데이터 심볼의 시리즈 013616을 수신할 수 있다.

[0296] 방법의 예를 구현하면, 수신된 데이터 심볼의 시퀀스가 적분되고, 이것은 결과적으로 적분된 데이터 심볼의 시리즈 014231을 발생한다(8개의 페이로드 데이터 심볼을 갖는 이러한 예의 경우 적분은 모듈로 8로 수행된다). 마지막으로, 미분된 데이터 심볼의 시퀀스 014231는 그레이 대 빈 코드와 매칭되는 빈 대 그레이 코드를 이용하여 디코딩되어, 데이터 심볼의 시퀀스 016321를 발생한다.

[0297] 요약하면, 송신기는 012321을 송신하였고, 수신기는 심볼 에지의 에러에 대응하여 016321을 디코딩하였다. 즉, 데이터 심볼 2가 심볼 6이 되는 것이고, 이것은 단일 비트 에러(010 대 110)이다. 그레이 코드가 없으면, 수신된 심볼 4는 비트 시퀀스 100으로 변환되었을 것이고, 이것은 2 비트 에러이었다.

[0298] 이전의 도면은 데이터 심볼의 시퀀스를 송신하고 수신하는 방법의 예를 도시했지만, 도 9d 및 도 9e는 그 방법 중 하나를 수행하도록 구성된 장치를 이어서 개략적으로 도시할 것이다.

[0299] 도 9d는 데이터 심볼의 시퀀스를 송신하기 위한 장치(930)의 예를 도시한다. 장치(930)는 그레이 인코더를 사용하여 데이터 심볼의 시퀀스를 인코딩하여 인코딩된 데이터 심볼의 시퀀스를 생성하도록 구성된 인코더 회로(932) 및 인코딩된 데이터 심볼의 시퀀스를 미분하여 송신 데이터 심볼의 시퀀스를 생성하도록 구성된 회로(934)를 포함한다. 출력 인터페이스(936)는 송신 데이터 심볼의 시퀀스를 출력하도록 구성된다.

[0300] 도 9e는 수신된 데이터 심볼의 시리즈를 처리하기 위한 장치(940)의 예를 도시한다.

[0301] 장치는 수신된 데이터 심볼의 시리즈를 적분하여 적분된 데이터 심볼의 시리즈를 생성하도록 구성된 적분기 회로(942)를 포함한다. 디코더 회로(944)는 그레이 코드를 사용하여 적분된 데이터 심볼의 시퀀스를 디코딩하여 데이터 심볼의 시퀀스를 생성하도록 구성된다. 옵션으로, 장치는 수신된 데이터 심볼의 시리즈를 수신하기 위한 입력 인터페이스(946)를 더 포함할 수 있다.

[0302] 특히 STEP 인터커넥트 내에서 방법의 구현을 위해 그리고 수신기의 TDC가 인접 페이로드 데이터 심볼을 분리하는 심볼 임계치보다 높은 분해능을 제공하는 경우에, 적어도 부분적으로 심볼의 미분을 대체하는 연판정 방법(soft decision method)을 옵션으로 추가하는 것이 가능할 수 있다. TDC가 심볼 판정 임계치에 가까운 데이터 심볼을 제공하고 또한 다음 데이터 심볼이 심볼 판정 임계치에 가깝다면, 제 1 심볼의 시프트가 다음 심볼에서 감산된다. 하나의 심볼이 더 길면, 다른 심볼은 더 짧아질 것이다. 이것은 에러를 심해지게 하지만 에러 사이에 더 많은 상관관계가 있다는 것을 보장하고, 이에 따라 그레이 코딩은 단지 단일 비트 에러만 있다는 것을 보장한다. (두 심볼이 모두 판정 임계치에 있으면, 그렇지 않았더라면 양자화 및 잡음으로 인해 그 중 하나가 에러로 결정되고 다른 하나가 올바른 값인 것으로 결정될 수 있지만, 이것은 최종적으로 2개의 에러를 발생할 수 있다). 각각의 장치는 그레이 인코더를 사용하여 데이터 심볼의 시퀀스를 인코딩하여 송신 데이터 심볼의 시퀀스를 생성하도록 구성된 인코더 회로를 포함하는 것으로 특징지어질 수 있다. 장치의 처리 회로는 데이터 신호를 생성하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 심볼의 시퀀스의 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 심볼의 시퀀스의 제 2 데이터 심볼에 대응하는제 2 기간에 의해 분리된다.

[0303] 수신된 데이터 심볼의 시리즈를 처리하기 위한 STEP 인터링크의 수신측에서 각각의 장치는 수신된 데이터 심볼

의 시리즈를 포함하는 수신된 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함하는 것을 특징으로 할 수 있다. 복조 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 시리즈의 제 1 수신된 데이터 심볼; 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 시리즈의 제 2 수신된 데이터 심볼을 결정하도록 구성된다. 장치 내의 디코더 회로는 그레이 코드를 사용하여 수신된 데이터 심볼의 시퀀스를 디코딩하여 데이터 심볼의 시퀀스를 생성하도록 구성된다.

[0304] 이후의 단락은 송신 동안 데이터 신호의 손상으로 인한 에러를 정정할 수 있는 가능성을 도시한다. 이어서 설명되는 방법 및 장치는 송신 측뿐만 아니라 수신 측에서 데이터를 처리하는 것을 포함한다.

[0305] 송신 측의 경우, 순차적으로 정렬된 미리 결정된 수의 비트를 송신하는 방법의 예가 도 10a에 개략적으로 도시된다. 방법은 비트의 다수의 서브그룹의 각 서브그룹 내의 데이터 비트에 대한 적어도 하나의 에러 보정 비트를 생성하는 단계를 포함한다. 에러 보정 비트를 생성하는 단계(1002)는 비트의 서브그룹 내에서 에러를 결정하거나 보정하게 할 수 있다. 검출 가능하거나 보정 가능한 에러의 양은 사용된 에러 보정 코드(ECC)의 강도에 따라 다르다.

[0306] 방법은 데이터의 다차원 표현 중 제 1 차원을 따라 있는 각 서브그룹의 비트 및 연관된 에러 보정 비트를 정렬하는 단계(1004)를 더 포함한다.

[0307] 또한, 방법은 다차원 표현으로부터 제 2 차원을 따라 있는 데이터 비트를 판독하여 일련의 송신 비트를 결정하는 단계(1006); 및 송신 비트의 시리즈를 송신 심볼의 시리즈로 변조하는 단계(1008)를 포함한다. 인터리빙이라고도 하는, 송신 심볼에 의해 송신 비트를 전송하기 전에 송신 비트를 다른 차원에서 판독하는 것은 동일한 서브그룹의 다수의 비트가 송신 에러에 의해 영향을 받는 확률을 감소시키는데, 왜냐하면 서브그룹의 비트가 상이한 송신 심볼에 의해 송신될 수 있기 때문이다. 결과적으로 오버헤드를 덜 유발하는 더 약한 ECC가 사용될 수 있다. 추가 예는 또한 인접 비트를 상이한 페이로드 데이터 심볼에 의해 물리적으로 송신되게 하는 상이한 인터리빙 방식을 사용할 수 있다.

[0308] 또한, 방법은 비트의 시리즈 내에서 제어 커맨드를 나타내는 비트 그룹의 위치에 따른 위치에서 제어 심볼 표시자 및 제어 심볼을 송신 심볼의 시리즈에 삽입하는 단계(1010)를 포함한다. STEP 구현 내에서, 제어 심볼 표시자 및 연관된 제어 심볼은 또한 공동으로 구분자로 특징지어질 수 있다. 제어 심볼 표시자 및 그의 연관된 제어 심볼을 미리 결정된 위치에서 송신 심볼에 삽입하는 것은 인터리빙의 이점을 유지하면서 페이로드 데이터를 송신하는데 사용되는 페이로드 데이터 심볼 이외의 특성을 나타내는 특수 제어 심볼을 데이터 신호 내에서 사용할 수 있게 한다.

[0309] 일부 예에 따르면, 제어 심볼 표시자 및 제어 심볼은 비트의 그룹 내의 제어 커맨드를 나타내는 바이트의 수에 대응하는 다차원 표현 내의 제 2 차원에 대한 인덱스에 의해 식별된 비트로부터 생성된 송신 심볼 내에 삽입된다. 송신 심볼을 미리 결정된 위치에 삽입하는 것은 (제어 심볼 표시자 및 그의 연관된 제어 심볼에 의해 데이터 신호로 변조될 수 있는) 제어 커맨드를 나타내는 비트의 그룹을 추가적인 시그널링 오버헤드 없이 수신기에서 다차원 표현 내에서 적절한 위치에 재배열할 수 있게 한다.

[0310] 도 10b는 STEP 인터커넥트를 향한 데이터 신호를 생성하기 위한 특정 예를 도시한다. 도 10b의 예에서, 다차원 표현은 2개의 차원을 가지며, 비트는 2 차원 매트릭스의 컬럼에 정렬되거나 채워지지만, 이들 비트는 라인에서 판독되어 도 10c에 도시된 송신 비트의 시리즈를 결정한다. 다시 말해, 제 1 차원(1020)은 컬럼에 의해 제공되고, 제 2 차원(1022)은 라인에 의해 제공된다. 추가 예는 또한 2개 차원을 초과하여 이용할 수 있다. 마찬가지로, 비트의 정렬은 또한 라인의 차원을 따라 수행될 수도 있고, 판독은 컬럼의 차원을 따라 수행될 수 있으므로, 도 10의 예와 비교하여 제 1 및 제 2 차원은 바뀐다.

[0311] 도 10b의 예에서, 데이터 비트는, 예를 들어 프로토콜 스택의 MAC 계층 내에서 생성될 수 있는 후속 바이트에 의해 제공된다. 세 개의 바이트(1024a, 1024b 및 1024c)는, 예를 들어 다중 바이트로 구성된 데이터 패킷의 시작에 대한 표시와 같은 제어 커맨드를 표시한다.

[0312] 각 57 비트의 서브그룹의 경우, 6개 에러 보정 비트가 생성되고, 각 서브그룹의 비트 및 이와 연관된 에러 보정 비트가 제 1 차원(1020)을 따라 정렬되어, 2 차원 표현의 단일 컬럼을 형성한다. 도 10b의 예에서, 처리될 데이터 비트의 시리즈는 512개 데이터 비트를 포함하여, 결과적으로 9개 컬럼을 갖는 매트릭스를 형성한다. 결과적으로, 다차원 표현의 제 1 차원은 63개 엔트리를 포함하고 제 2 차원은 9개 엔트리를 포함한다.

[0313] 추가 예는 상이한 수의 비트, 예를 들어 512개 데이터 비트의 정수배를 공동으로 처리할 수 있다. 마찬가지로,

서브그룹 내 비트의 수는 예에 도시된 57개 비트와 상이할 수 있다. 유사하게, 보정 비트의 수는 더 강하거나 더 약한 ECC를 사용하도록 상이하게 선택될 수 있다.

[0314] 제 2 차원(1022)을 따라 있는 송신 비트 판독치의 시리즈가 도 10c에 도시된다. 송신 비트의 시리즈는 송신 심볼의 시리즈로 변조된다. STEP 구현에서, 3개의 후속 비트가 단일 심볼에 할당될 수 있다. 모든 제어 커맨드(1024a, 1024b 및 1024c)에 대해, 제어 심볼 표시자 및 제어 심볼(구분자)가 비트의 시리즈 내에서 제어 커맨드를 나타내는 비트 그룹의 위치에 따른 위치에서, 송신 전에 송신 심볼의 시리즈에 삽입된다. 도 10c의 예에서, 제어 커맨드를 나타내는 비트를 포함하는 순차적으로 정렬된 비트 수 내에서 바이트의 수는 연관된 구분자가 송신 전에 삽입되는 라인의 수를 정의한다. 예를 들어, 제어 커맨드(1024a)는 매트릭스 내에서 처리될 순차적으로 정렬된 미리 정해진 수의 비트 내에서 바이트 번호 1에 포함된다. 대응하는 제어 심볼 표시자 및 제어 심볼(1034a)은 라인 #1의 시작 부분에 삽입된다. 도 10b의 매트릭스의 요소는 제 1 차원에 관련하여 엔트리의 수(엔트리가 있는 컬럼의 수)를 제공하는 제 1 인덱스 및 제 2 차원에 관련하여 엔트리의 수(엔트리가 있는 라인의 수)를 제공하는 제 2 인덱스에 의해 식별될 수 있다. 다시 말해, 제어 심볼 표시자 및 제어 심볼(1034a)은 비트의 그룹 내에서 제어 커맨드를 나타내는 바이트의 수에 대응하는 다차원 표현 내의 제 2 차원에 대한 인덱스에 의해 식별된 비트로부터 생성된 송신 심볼 내에 삽입된다. 추가 예는, 도 10b 및 도 10c에 도시된 STEP 인터커넥트의 예에서 3 비트가 단일 페이로드 데이터 심볼에 의해 공동으로 송신되는 것을 고려하여, 송신 심볼의 시리즈 내의 다른 미리 결정된 위치를 사용하여 구분자를 삽입할 수 있다. 비트 시리즈 내에서 제어 커맨드를 나타내는 비트의 그룹의 위치에 따른 임의의 미리 결정된 위치를 사용하면 삽입된 구분자의 위치를 표시하는 데이터를 수신기에 추가로 제출하는 것을 피할 수 있다. 그러나 삽입된 구분자의 위치를 표시하는 데이터를 수신기에 추가로 또는 대안적으로 삽입하는 추가 예가 구현될 수 있다.

[0315] 추가 예는 대안적으로 제어 커맨드(1024a)에 대한 제어 심볼 표시자 및 제어 심볼을 바로 그 시작 부분 이외의 라인 #1 내의 다른 위치에 삽입할 수 있다. 예를 들어, 제어 심볼 표시자 및 제어 심볼(1034b)은 제 2 라인(R1)의 비트의 처음 세 개 비트 뒤에, 즉 송신 링크를 통해 송신될 제 1 페이로드 데이터 심볼 뒤에 삽입될 수 있다. 하나의 페이로드 데이터 심볼(3 비트와 같음)이 떨어져 있는 대체 위치를 사용하면, 후속하는 3개의 페이로드 데이터 비트의 모든 쌍이 데이터 신호 내에서 상이한 극성을 갖는 페이로드 데이터 심볼에 의해 송신된다는 것을 고려하여, 제어 심볼 표시자가 항상 STEP 인터커넥트의 데이터 신호 내에서 미리 결정된 극성(포지티브 또는 네거티브)으로 송신되게 보장할 수 있다.

[0316] 요약하면, (예를 들어, STEP 인터커넥트에서 구분자에 의해 송신되는) 임의의 통신 프로토콜의 제어 커맨드(1024a, 1024b 및 1024b)는 페이로드 데이터에 사용되는 것과 상이한 변조 방식을 사용하여 송신될 수 있다. 따라서, 도 10c에 도시된 일련의 인터리빙된 비트를 변조하기만 해도 제어 커맨드(1024a, 1024b 및 1024b)의 정보를 손상시킬 수 있는데, 이것은 도 10a 내지 도 10c에 의해 도시된 방법을 사용하여 피할 수 있다.

[0317] 다시 말해, 도 10b 및 도 10c는 단일 매트릭스를 사용하는 예를 설명한다. 그러나 상이한 매트릭스 크기가 지연 및 효율에 영향을 미칠 것이라는 점을 고려하여 다중 매트릭스 차원이 구현될 수 있다. 매트릭스는 9개 코드 워드를 포함하는 63x9 크기이며, (56개 정보 비트를 반송하는 컬럼 9에 있는 1개 코드 워드를 제외한) 각각의 코드 워드는 57개 정보 비트 및 6개 리던던시 비트를 갖는다. 이것은 64*8 = 512개 애플리케이션 데이터 비트의 원래의 전체 데이터에 들어맞을 수 있지만, 전송된 총 데이터는 63*9 = 567개이고, 이것은 >90 % 효율이다. 데이터는 컬럼에 채워진다. 구분자는 임의의 데이터 바이트를 대체할 수 있으며 최소 패킷 크기는 3 바이트 이상인 것으로 가정한다. 일부 STEP 인터커넥트는 3 비트 단위로 데이터를 전송하는데, 각 라인의 시작 부분에 있는 그러한 "예약 공간(reserved room)"은 구분자용이며, 구분자가 전송된 라인은 구분자가 원래 위치했던 바이트를 나타낸다.

[0318] 아래 예에서, 512 비트는 총 64 바이트(0 내지 63)를 나타내고 총 63개 라인이 있고 64개 구분자를 위한 공간이 있다. 원래 데이터(64 비트)는 57 비트로서 매트릭스 컬럼 0에 배치되고 나머지 비트 7는 다음 컬럼에 배치되고, 뒤를 이어 다음 64 비트가 - 이러한 단위로부터 50 비트가 컬럼 1에 배치되고 14개 나머지 비트가 컬럼 2에 배치되는 등의 방식으로 - 배치된다. 각각의 57 비트 컬럼에 대해 6 비트 ECC 코드가 (e1 내지 e9로 표시된) 컬럼에 추가된다. 제 1 64 비트 데이터 단위의 두 번째 바이트에 있는 것으로 추정되는 구분자는 (L1로 표시된) "제 2 위치"에 "위치"된다. 매트릭스가 가득 채워질 때 송신이 시작된다. 제 1 바이트가 구분자이면, 이 구분자가 먼저 전송되고 뒤이어 매트릭스의 제 1 라인에 위치한 9 비트의 데이터가 전송된다. 제 2 바이트가 구분자이면, 이것은 제 1 라인이 전송된 직후에, 즉, 제 2 라인의 시작 부분에서 전송되고, 뒤이어 제 2 라인의 비트가 전송되는 등의 방식으로 전송된다. 구분자가 없다면, 구분자는 전송되지 않는다.

[0319] 구분자는 긴 '1' 시간(하이 펄스) 및 변조된 '0' 시간(로우 펄스) 또는 긴 '0' 시간 및 변조된 '1' 시간을 가질 수 있다. 구분자 타입 및 구분자가 전송될 시기의 라인의 정확한 상태에 따라 - 구분자 위치를 변경해야 할 수도 있기 때문에 - 극성의 순서는 고정되어야 할 수 있다. 예를 들어, 제 1 데이터 유닛의 제 2 바이트가 '1'로 변조된 LONG '0'이어야 하는 구분자라고 가정한다. 처음 3 비트가 상승 에지로서 전송되고, 뒤어어 하강 에지를 변조한 뒤에 비트 6-8에 대해 변조된 상승 에지가 뒤따라오는 제 2 세트의 3 비트가 전송된다. 이제 우리는 구분자를 배치해야 하지만, 구분자는 긴 '0'을 필요로 하는데도 신호는 막 상승했다. 이와 같이 NEXT 3 비트(9 내지 11)는 하강 에지를 변조하고 있고, 구분자는 이후 신호가 0으로 내려가고 긴 '0'이 적용되고 뒤이어 변조된 '1'이 뒤따라올 수 있을 때 전송된다. 전송된 구분자는 특정 패턴을 가져야 하며, 그렇지 않으면 구분자가 '변조되고' 긴 레벨 또는 변조된 레벨이 길게 뒤따라오는지를 검출하는 것이 불가능할 수 있다. 전송될 수 있는 구분자는 일정한 방식의 긴 레벨과 그 뒤에 변조된 레벨이 뒤따라야 (또는 그 반대이어야) 한다. 대안적으로, 제 1 구분자가 일정한 포맷을 갖고, 필요에 따라 제 2 구분자가 있는 경우 캐스케이드식 구분자(cascaded delimiter)가 사용될 수 있다.

[0320] 도 10b에 도시된 예에 의한 BER의 증가는 앞서 설명된 바와 같이 변조가 그레이 코딩을 추가로 사용한다는 가정하에 추정될 수 있어서, 단일 에지를 변조하여 에러를 갖게 하는 3 비트의 확률은 낮아진다. 그러나 2개의 트리플렉스 중 2개의 에러가 가능할 수 있다. 도 10b의 예를 사용하면, 적어도 9 비트 떨어져 있는 버스트 에러는 에러가 생긴 비트를 보정할 수 있는 ECC에 의해 보호되는 단일 데이터 유닛(컬럼 내의 57 비트의 데이터)을 초과하여 에러가 분포되는 결과를 가져올 것이다.

[0321] 매트릭스를 사용하는 에러 보정(인터리빙의 개념)이 에러를 다룰 수 있고 단일 비트 확률을 P로 주어지게 하도록 분포된 2개의 에러를 가정하여 업데이트된 확률이 추정된다. 앞서 설명한 인터리버는 A 컬럼 x B 라인 차원의 매트릭스를 사용한다. 데이터의 소스는 라인 별로(또는 컬럼 별로)로 매트릭스를 채우고 각 데이터 유닛에는 단일 비트 또는 여러 비트의 에러 수정 코드가 추가된다. 일단 매트릭스가 완전히 채워지면 전송이 시작되지만, 버스트 에러는 ECC에 의해 보호되는 다수의 데이터 유닛에 걸쳐 분포될 것이므로 버스트 에러의 영향을 완화하기 위해서는 매체를 통한 데이터는 컬럼 별로 (또는 매트릭스가 컬럼에 채워졌다면 라인 별로) 취해진다.

[0322] 앞서 설명한 (그레이 코딩을 비롯한) 변조 방식을 사용하면 2개의 에러는 서로 1 내지 5 비트 떨어져 있을 것으로 예상된다. 이것은 에러가 어떻게 분포되는지에 따라 에러 코드가 에러를 보정할 수 있어야 한다는 것을 의미한다. 전체적으로, 그 체계를 사용하여 최대 9개 에러가 정정될 수 있다.

[0323] 비트 에러는 다음과 같이 주어진 매트릭스 에러 레이트(matrix error rate)(MER)로 변환될 것이다:

[0324] MER=1-P[에러 없음]-P[단일 에러]-P[2개 에러];

[0325] P[에러 없음]={1-P}^[전송된 비트 수];

[0326] P[단일 에러]=[비트 수!]/[1!*(매트릭스 내 비트-1)!]*P*(1-P)^[매트릭스 내 비트-1];

[0327] P[2개 에러]=[비트 수!]/[2!*(매트릭스 내 비트-2)!]*P^2*(1-P)^[매트릭스 내비트-2];

[0328] 우리가 위의 내용을 적용하면 그리고 P = 1e-10이고, 매트릭스 비트가 567(= 63*9)이라고 가정하면, 우리는 매우 낮은 에러 레이트인 3.022e-20이 되는 MER에 도달한다.

[0329] 도 10d는 도 10a의 방법에 의해 생성된 데이터 신호를 처리하는데 사용될 수 있는, 데이터 신호를 처리하는 방법의 흐름도를 도시한다. 방법은 심볼의 시리즈를 수신하는 단계(1050) 및 심볼의 시리즈 내에서 제어 심볼 표시자 및 제어 심볼을 식별하는 단계(1052)를 포함한다. 방법은 데이터의 다차원 표현 내에서 제 2 차원을 따라 있는 시리즈의 각 심볼과 연관된 비트를 정렬하는 단계(1054) 및 다차원 표현의 제 1 차원을 따라 있는 에러 보정 코드를 평가하는 단계(1056)를 더 포함한다. 또한, 방법은 심볼의 시리즈 내의 제어 심볼 표시자 및 제어 심볼의 위치에 따른 다차원 표현 내의 위치에서 제어 커맨드로서 제 1 차원을 따라 있는 비트의 그룹을 해석하는 단계(1058)를 포함한다.

[0330] 방법의 예를 사용하면 제어 커맨드를 송신하는데 특별하고 강력한 변조 방식을 사용할 수 있게 하면서 수신된 데이터 신호 내의 에러를 보정할 수 있다.

[0331] 도 10e 및 도 11a는 데이터 통신 링크 또는 인터커넥트의 송신 측 또는 수신 측에서 도 10a 및 도 10d에 따른 방법을 구현할 수 있는 장치를 개략적으로 도시한다. 도 10e는 순차적으로 정렬된 미리 결정된 수의 비트를 송신할 데이터 신호를 생성하기 위한 장치를 도시하며, 비트는 제어 커맨드를 나타내는 비트의 그룹을 포함한다. 장치(1060)는 비트의 다수의 서브그룹의 각 서브그룹 내의 데이터 비트에 대한 적어도 하나의 에러 보정 비트를

생성하도록 구성된 코드 생성 회로(1062)를 포함한다.

[0332] 인터리빙 회로(1064)는 데이터의 다차원 표현의 제 1 차원을 따라 있는 각 서브그룹의 비트 및 이와 연관된 에러 보정 비트를 정렬하고; 다차원 표현으로부터 제 2 차원을 따라 있는 데이터 비트를 판독하여 송신 비트의 시리즈를 결정하도록 구성된다.

[0333] 변조기 회로(1066)는 송신 비트의 시리즈를 송신 심볼의 시리즈로 변조하고; 비트의 시리즈 내에서 제어 커맨드를 나타내는 비트 그룹의 위치에 따른 위치에서 제어 심볼 표시자 및 제어 심볼을 송신 심볼의 시리즈에 삽입하도록 구성된다.

[0334] 일부 예에 따르면, 도 10e의 장치의 변조기 회로는 제어 심볼 표시자 및 제어 심볼을, 비트의 그룹 내에서 제어 커맨드를 나타내는 바이트의 수에 대응하는 다차원 표현 내의 제 2 차원에 대한 인덱스에 의해 식별된 비트로부터 생성된 송신 심볼 내에 삽입하도록 구성된다.

[0335] 일부 예에 따르면, 장치는 옵션으로 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 송신 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 송신 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[0336] 도 11a는 데이터 신호를 처리하기 위한 장치(1070)를 도시한다. 장치(1070)는 심볼의 시리즈를 수신하고, 심볼의 시리즈 내에서 제어 심볼 표시자 및 제어 심볼을 식별하고; 각각의 심볼을 연관된 비트로 복조하도록 구성된 복조기 회로(1072)를 포함한다.

[0337] 또한, 장치(1070)는 데이터의 다차원 표현 내의 제 2 차원을 따라 있는 시리즈의 각 심볼에 연관된 비트를 정렬하고; 제 1 차원을 따라 있는 다차원 표현의 비트를 판독하도록 구성된 디인터리빙 회로(1074)를 포함한다.

[0338] 장치(1070)는 제 1 차원을 따라 있는 판독된 비트에 대한 에러 보정 코드를 평가하여 보정된 비트를 결정하고; 심볼의 시리즈 내의 제어 심볼 표시자 및 제어 심볼의 위치에 따른 다차원 표현 내의 위치에서 제 1 차원을 따라 있는 비트의 그룹을 제어 커맨드로서 해석하도록 구성된 코드 평가 회로(1076)를 더 포함한다.

[0339] 추가 예에 따르면, 장치(1070)는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 수신하도록 구성된 입력 인터페이스를 더 포함하고; 여기서 복조 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 연관된 비트 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 연관된 비트를 결정하도록 구성된다.

[0340] 이전의 섹션에서, STEP 인터커넥트의 기본 양태는, 예를 들어 STEP 프로토콜 및 STEP 프로토콜의 물리 계층과 관련하여 설명된다. 다음의 설명 섹션에서는 STEP 프로토콜의 매체 액세스 제어(MAC) 계층에 초점을 맞춘다. 다음에 설명되는 회로 및 기술은 STEP 프로토콜에 따라 통신을 가능하게 하기 위한 송신기, 수신기 또는 송수신기에 사용될 수 있다는 것을 유의해야 한다. 그러나 다음에 설명된 회로 및 기술은 또한 STEP 프로토콜과 상이한 통신 프로토콜에도 사용될 수 있다.

[0341] (고속) 통신 인터페이스를 전자 디바이스 사이에서 사용할 때, 인터커넥트의 양측의 송신, 수신 또는 송수신기 회로 사이에서 한 세트의 제어를 정의할 필요가 있을 수 있다. 예를 들어, 제어는 동기화, 전력 관리, 흐름 제어, 시그널링 등에 사용될 수 있다. 제어는 임의의 다른 데이터 송신과 혼동되지 않아야 하고 전체 데이터 처리량에 최소한의 영향을 주어야 한다.

[0342] 제어의 (크게) 신뢰할 수 있는 송신을 가능하게 할 수 있는 기술이 도 12a 내지 도 12q와 관련하여 아래에서 설명된다. 도 12a는 데이터 신호(1201)를 생성하기 위한 장치(1200)의 예를 도시한다. 장치(1200)는 데이터 신호(1201)를 생성하도록 구성된 처리 회로(1205)(예를 들어, DTC)를 포함한다. 처리 회로(1205)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1201)를 생성한다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0343] 또한, 장치(1200)는 데이터 신호(1201)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1210)를 포함한다.

[0344] 처리 회로(1205)는 제 1 신호 에지 및 제 2 신호 에지가 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신

될 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되도록 데이터 신호(1201)를 생성한다.

[0345] 페이로드 데이터 심볼을 데이터 신호에 인코딩하기 위한 예시적인 가능한 기간에 관한 개요가 도 12b에 도시된다. 도 12b의 좌측 부분에서, 제 1 펄스(1202)가 도시된다. 펄스(1202)는 상승 신호 에지(1203)에서 시작하여 하강 신호 에지(1204)에서 종료된다. 시사한 바와 같이, 하강 신호 에지(1204)의 위치는 데이터 신호(1201)에 인코딩될 페이로드 데이터 심볼에 기초하여 처리 회로(1205)에 의해 조정 가능하다. 도 12b의 예에서, 하강 신호 에지(1204)에 대한 열 개의 상이한 가능한 위치가 도시된다(0 내지 9로 표시된다). 위치 0은 펄스(1202)의 최소 펄스 길이를 정의한다. 따라서, 상승 신호 에지(1203)와 하강 신호 에지(1204) 사이에서 열 개의 상이한 기간이 조정될 수 있다. 즉, 열 개의 상이한 펄스 길이가 조정될 수 있다.

[0346] 도 12b의 예에서, 위치 0 내지 7은 (예를 들어, STEP 프로토콜에 따라) 페이로드 데이터 심볼을 펄스(1202)에 인코딩하는데 사용된다고 가정된다. 즉, 하강 신호 에지(1204)의 위치를 조정함으로써 여덟 개의 상이한 페이로드 데이터 심볼 또는 3 비트가 펄스(1202)에 인코딩될 수 있다. 다시 말해, 상승 신호 에지(1203)와 하강 신호 에지(1204) 사이의 상이한 기간은 통신 프로토콜의 상이한 페이로드 데이터 심볼을 표시한다. 상승 신호 에지(1203)와 하강 신호 에지(1204) 사이의 상이한 기간은 상이한 페이로드 데이터 심볼의 심볼 폭으로서 이해될 수 있다. 도 12b로부터 알 수 있는 바와 같이, 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간은 (적어도) 일정한 심볼 분리 시간(ΔT)만큼 다르다. 예를 들어, 장치(1200)의 처리 회로(1205)는 특정 페이로드 데이터 심볼을 데이터 신호(1201)에 인코딩하기 위해 데이터 신호(1201)의 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간을 도 12b의 펄스(1202)에 의해 표시된 바와 같이 여덟 개의 가능한 옵션 중 하나에 맞게 조정할 수 있다.

[0347] 처리 회로(1205)는 또한 제 2 신호 에지 및 제 3 신호 에지가 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리되도록 데이터 신호(1201)를 생성한다. 또한, 처리 회로(1205)는 제 3 신호 에지의 바로 뒤에 오는 제 2 타입의 제 4 신호 에지를 포함하는 데이터 신호(1201)를 생성하도록 구성된다. 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 3 기간에 의해 분리된다. 다시 말해, 처리 회로(1205)는 제어 신호 표시자(예를 들어, 대역 외 심볼)를 데이터 신호(1201)에 인코딩하기 위해 데이터 신호(1201)에서 대역 외 펄스를 생성한다. 제어 심볼 표시자는 페이로드 데이터 심볼(들)로부터 제어 심볼(제어 워드)을 분리한다.

[0348] 도 12b의 예를 참조하면, 펄스(1202)는 최대로 페이로드 데이터 심볼에 대해 위치 7에서 종료된다. 따라서, 위치 8 및 9는 제어 심볼 표시자를 송신하는데 사용될 수 있다.

[0349] 제어 심볼 표시자의 신뢰성을 증가시키기 위해, 위치 9만이 제어 심볼 표시자를 데이터 신호(1201)에 인코딩하는데 사용될 수 있다. 다시 말해, 제어 심볼 표시자에 대응하는 (표시하는) 기간은 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 (표시하는) 가장 긴 가능한 기간으로부터 하나 초과의 심볼 분리 시간(ΔT)만큼 상이할 수 있다. 예를 들어, 장치(1200)의 처리 회로(1205)는 제어 심볼 표시자를 데이터 신호(1201)에 인코딩하기 위해 데이터 신호(1201)에서 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간을 도 12b의 위치 9에 의해 표시된 기간에 맞추어 조정할 수 있다.

[0350] 통신 프로토콜의 특정 제어 심볼을 데이터 신호(1201)에 인코딩하기 위해, 처리 회로(1205)는 데이터 신호(1201)에서 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간을 조정한다. 도 12b의 예를 참조하면, 제어 심볼 표시자를 표시하기 위해 펄스(1202)는 위치 9에서 종료된다. 펄스(1202) 다음에는 제 2 펄스(1206)가 바로 뒤따른다. 펄스(1206)는 위치 9에서 하강 신호 에지(1204)로 시작한다. 펄스(1206)는 상승 신호 에지(1207)로 종료된다. 상승 신호 에지(1207)의 위치에 대해 세 개의 옵션이 가능하다. 따라서, 펄스(1206)는 통신 프로토콜의 세 개의 상이한 제어 심볼을 표시할 수 있다.

[0351] 도 12b의 예에서, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 세 개의 심볼 분리 시간(ΔT)만큼 다르다. 그러나, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 대안적으로 심볼 분리 시간(ΔT)의 임의의 다른 정수배만큼(예를 들어, 두 개 또는 네 개의 심볼 분리 시간(ΔT)만큼) 상이할 수 있다. 다시 말해, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 하나 초과의 심볼 분리 시간(ΔT)만큼 상이할 수 있다. 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간을 하나 초과의 심볼 분리 시간(ΔT)만큼 분리하는 것은 상이한 제어 심볼 사이의 더 큰 시간차로 인해 제어 심볼 인코딩을 보다 강건하게 만들 수 있다. 일부 예에서, 그러나 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 대안적으로 하나의 심볼 분리 시간(ΔT)만큼 상이할 수 있다.

[0352] 예를 들어, 장치(1200)의 처리 회로(1205)는 특정 제어 심볼을 데이터 신호(1201)에 인코딩하기 위해 데이터 신호(1201)에서 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간을 도 12b의 펄스(1206)에 의해 표시된 바와 같은 세 개의 가능한 옵션 중 하나에 맞추어 조정할 수 있다.

[0353] 제어 심볼과 함께 제어 심볼 표시자는 특정 제어를 위한 고유한 구분자로 이해될 수 있다. 대역 외 제어 심볼 표시자로 인해, 이것이 페이로드 데이터 심볼로 오인될 수는 없다.

[0354] 제어 심볼은 통신 인터페이스의 데이터 송신 및/또는 동작을 제어하기 위한 다양한 상이한 커맨드, 상태 등을 표시할 수 있다. 예를 들어, 제어 심볼은 데이터 패킷의 시작(SOP 구분자), 데이터 패킷의 끝(EOP 구분자), 유휴 모드(I 구분자), 교정(훈련) 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호(1201)를 반송하는 송신 링크 상의 데이터 흐름 방향의 반전 중 하나를 표시할 수 있다.

[0355] 유휴 모드를 표시하는 제어 심볼은, 예를 들어 (MAC 층에 의해) 송신할 데이터가 없거나 또는 저전력 모드로 진행하기 이전에 데이터 신호에 인코딩될 수 있다(가능한 전력 모드에 대한 세부 사항은 아래의 도 15a 내지 도 15d 참고).

[0356] 구분자는 또한 전력 관리에 사용될 수 있다. 예를 들어, 적어도 (n 비트)의 송신 데이터 유닛의 끝까지 MAC 계층에 의해 송신할 데이터가 없을 때, 제어 심볼 표시자는 유휴 모드를 표시하는 제어 심볼과 함께 한번, 두 번, 세 번 이상 데이터 신호(1201)에 인코딩될 수 있다. 유휴 모드를 표시하는 구분자의 (반복된) 송신은 (송신기로서 작용하는) 장치(1200)의 활동이 낮은 일종의 저전력 모드로 이해될 수 있다. 그러나 동시에, 유휴 모드를 표시하는 구분자의 연속 송신으로 인해 송신 링크(라인)는 장치(1200)에 의해 "핫(hot)" 상태로 유지된다. 따라서, 장치(1200)를 유휴 모드로부터 최대 처리량 모드(full throughput mode)로 웨이크 업/파워 업하는 것이 매우 빠를 수 있다. 다시 말해, 구분자는 대기 시간이 매우 낮은 완전 동작(최대 처리량) 모드로 들어가고 빠져나가도록 함으로써 시스템 효율성을 증가시킬 수 있다.

[0357] 또한, 유휴 모드를 표시하는 구분자의 긴 펄스는 늘어날 수 있다. 예를 들어, 장치(1200)의 처리 회로(1205)는 데이터 신호(1201)에서 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간을 도 12b의 위치 9에 의해 표시된 기간보다 긴 기간에 맞추어 조정할 수 있다. 예를 들어, 처리 회로(1205)는 데이터 신호(1201)의 제 2 기간을 (도 12b에서 위치 0으로 표시된) 최소 기간 더하기 20배, 50배, 100배 이상의 심볼 분리 시간(ΔT)의 합이 되는 기간에 맞추어 조정할 수 있다. 즉, 처리 회로(1205)는 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 (표시하는) 가장 긴 가능한 기간의 배수가 되도록 데이터 신호(1201)의 제 2 시간을 조정할 수 있다. 따라서, 데이터 신호(1201)는 처리 회로(1205)에 의해 낮은 레이트로 생성될 수 있다. 긴 유휴 구분자를 사용하는 버스트 모드는 토글링 없이 라인을 핫 상태로 (실질적으로) 유지할 수 있고, 이에 따라 송신된 비트당 에너지 양을 낮게 (예를 들어, 비트당 대략 1 피코-주울) 유지할 수 있다.

[0358] 대안으로서, 두 개의 연속적인 긴 펄스(대역 외 펄스)가 제어 심볼을 데이터 신호(1201)에 인코딩하는데 사용될 수 있다. 즉, 처리 회로(1205)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간뿐만 아니라 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간이 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길도록 데이터 신호(1201)를 생성하도록 구성될 수 있다. 다시 말해, 처리 회로(1205)는 특정 제어 심볼을 효과적으로 데이터 신호(1201)에 인코딩하기 위해 두 개의 연속적인 제어 심볼 표시자(구분자)를 데이터 신호(1201)에 인코딩할 수 있다. 장치(1200)의 처리 회로(1205)는, 예를 들어 데이터 신호(1201)의 제 2 기간뿐만 아니라 제 3 기간을 도 12b의 위치 9로 표시된 시간에 맞추어 조정할 수 있다.

[0359] 예를 들어, 전력 관리 구분자의 경우, 하이 및 로우 펄스는 둘 모두 데이터 신호에 대해 균형을 맞춘 듀티 사이클을 생성하기 위해 대역 외일 수 있다. 데이터 신호(1201)에서 두 개의 연속적인 대역 외 펄스는, 예를 들어 상이한 전력 모드(전력 상태, 동작의 모드)를 표시하기 위해 사용될 수 있다.

[0360] 페이로드 데이터는 데이터 신호(1201)에서 연속적인 신호 에지 사이의 기간을 조정함으로써 데이터 신호(1201)에 인코딩된다. 따라서, 처리 회로(1205)는 제 1 신호 에지에 (바로) 앞에 오는 적어도 제 2 타입의 제 4 신호 에지를 더 포함하는 데이터 신호(1201)를 생성하도록 구성된다. 제 5 신호 에지 및 제 1 신호 에지는 다른 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다. 위에서 언급한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1200)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 1 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0361] 데이터 신호(1201)에서 페이로드 데이터 심볼을 나타내는 신호 에지의 시퀀스가 제어 심볼 표시자 및 제어 심볼을 나타내는 신호 에지 앞에 온다고 위에서 설명되었지만, 페이로드 데이터 심볼을 데이터 신호(1201)에 인코딩

하기 위한 위의 예는 단지 교육학적 목적을 위한 것임을 유의해야 한다. 데이터 신호에 인코딩된 구분자에는 임의의 종류의 데이터(예를 들어, 다른 구분자, 훈련 데이터 심볼 등)가 앞에 오거나 또는 뒤에 올 수 있다. 따라서, 페이로드 데이터 심볼은, 제어 심볼 표시자 및 제어 심볼 표시자를 나타내는 데이터 신호(1201)에서의 신호 에지의 시퀀스에 바로 앞에 오거나 또는 그 뒤에 올 필요는 없다는 것을 유의해야 한다. 다시 말해, 하나 또는 둘 이상의 페이로드 데이터 심볼을 나타내는 신호 에지의 시퀀스는 제어 심볼 표시자 및 제어 심볼을 나타내는 데이터 신호(1201)에서 신호 에지의 시퀀스의 앞에 오거나 또는 그 뒤에 오는 데이터 신호(1201)의 임의의 위치에 인코딩될 수 있다.

[0362] 장치(1200)의 처리 회로(1205)는 또한 주파수 및 DC 레벨(공통 모드 전압)의 관점에서 자체 균형을 맞춘 분리자를 생성하는 것을 가능하게 할 수 있다. 그러므로 처리 회로(1205)는 구분자의 긴 펄스 앞에 오거나 또는 그 뒤에 오는 하나 이상의 펄스를 짧게 (예를 들어, 데이터 신호(1201)에서 연속적인 신호 에지 사이의 평균 기간보다 짧게) 생성하도록 구성될 수 있다. 예를 들어, 처리 회로(1205)는 제 1 기간과 제 4 기간의 합이 데이터 신호(1201)에서 동일한 타입의 연속적인 신호 에지 사이의 평균 기간보다 작도록 데이터 신호(1201)를 생성하도록 구성될 수 있다. 따라서, 구분자의 긴 펄스는 주파수 및 DC 레벨의 관점에서 데이터 신호(1201)의 균형을 맞추기 위해 더 짧은 선행 펄스(들)에 의해 보상될 수 있다.

[0363] 구분자에 대해 신호 균형을 맞추는 것은 예를 들어 MAC 계층으로부터 물리 계층으로 갈 때 데이터 재배열을 통해 이루어질 수 있다. 일부 예시적인 데이터 재배열이 도 12c 내지 도 12i를 참조하여 이하에서 설명될 것이다. 예를 들어, 데이터 패킷의 시작 또는 데이터 패킷의 끝을 표시하는 구분자의 경우, MAC 계층에 의해 주어진 구분자 데이터의 일부 비트는 물리 계층에서 중복적일 수 있다. 이들 비트는 라인 주파수 및 듀티 사이클의 균형을 맞추기 위해 사용될 수 있다.

[0364] MAC 계층이 8 비트의 분해능으로 동작하고 물리 계층이 6 비트의 분해능(예를 들어, 두 개의 3 비트 심볼)으로 동작한다고 가정하면, 구분자는 여섯 비트만이 구분자를 표현하는데 요구되는 바이트로 전송될 수 있다. 따라서, 구분자를 나타내는 여덟 비트 중 두 개가 중복된다. 이것은 예시적으로 도 12c에 도시된다.

[0365] 도 12c의 상부에는 MAC 계층에서 비트(b0 내지 b23)의 시퀀스의 배열이 도시된다. 비트(b0 내지 b7)는 구분자를 나타내는 반면, 비트(b8 내지 b15 및 비트 b16 내지 b23)는 페이로드 데이터를 나타낸다. 즉, 구분자는 3 바이트 세트의 끝에 위치한다. 구분자를 나타내는데는 비트(b0 내지 b5)만 요구된다. 따라서, 비트(b6 및 b7)는 0이다.

[0366] 도 12c의 하부에서 도시된 바와 같이, 비트는 물리 계층에서 네 개의 클록 주기로 재배열된다. 리던던트 비트(b6 및 b7)는 다음번 로우 펄스 심볼의 최상위 비트(Most Significant Bits)(MSB)로서 배치된다(제로 비트(b6 및 b7)는 비트(b8과 b9) 사이에 배치된다). 따라서, 세 개의 비트(b6, b7 및 b8)에 의해 정의된 페이로드 데이터 심볼은 짧은 지속기간을 갖는다. 예를 들어, 도 12b에 도시된 펄스 길이를 참조하면, 세 개의 비트(b6, b7 및 b8)에 의해 정의된 심볼 페이로드 데이터 심볼을 나타내는 펄스는 비트(b8)의 값에 따라 위치 0에서 또는 위치 1에서 종료될 수 있다. 데이터 신호가 균형을 이루고 있다고 가정하면, 평균 펄스 길이(연속적인 신호 에지 사이의 기간)는 위치 3과 위치 4 사이일 것이다. 구분자의 펄스 앞에 오는 (비트(b0 내지 b5)에 의해 정의된) 로우 펄스는 평균 펄스 길이보다 짧기 때문에, 구분자의 긴 하이 펄스는 데이터 신호가 균형을 이룬 채로 유지되도록 보상된다. 다시 말해, 평균 심볼은 MAC 계층과 물리 계층 사이의 데이터 재배열에 의해 균형을 이룬다.

[0367] 도 12d는 구분자를 나타내는 비트가 페이로드 데이터를 나타내는 비트 사이에 배열되는 유사한 상황을 도시한다. 비트(b8 내지 b15)는 구분자를 나타내는 반면, 비트(b0 내지 b7 및 비트 b16 내지 b23)는 페이로드 데이터를 나타낸다. 구분자를 나타내는데는 비트(b8 내지 b13)만 요구된다. 따라서, 비트(b14 및 b15)는 0이다.

[0368] 비트는 물리 계층에서 다시 네 개의 클록 주기로 재배열된다. 비트(b6 및 b7)는 각각 다음번 하이 펄스 심볼 및 다음번 로우 펄스 심볼 쪽으로 이동된다. 리던던트 비트(b14 및 b15)는 다시 다음번 로우 펄스 심볼의 MSB로서 배치된다. 되풀이하면, (비트(b8 내지 b13)에 의해 정의된) 구분자의 펄스 앞에 오는 로우 펄스는 평균 펄스 길이보다 짧아서 구분자의 긴 펄스는 보상되고 데이터 신호는 균형을 이룬 채로 유지된다.

[0369] 도 12e는 구분자를 나타내는 비트가 페이로드 데이터를 나타내는 비트 앞에 배열되는 유사한 상황을 도시한다. 비트(b16 내지 b23)는 구분자를 나타내는 반면, 비트(b8 내지 b15 및 비트 b0 내지 b7)는 페이로드 데이터를 나타낸다. 구분자를 나타내는데는 비트(b16 내지 b21)만 요구된다. 따라서, 비트(b22 및 b23)는 0이다.

[0370] 되풀이하면 비트는 물리 계층에서 다시 네 개의 클록 주기로 재배열된다. 리던던트 비트(b22 및 b23)는 다음번

로우 펄스 심볼의 MSB로서 배치된다. (비트(b16 내지 b21)에 의해 정의된) 구분자의 펄스 앞에 오는 로우 펄스는 평균 펄스 길이보다 짧아서 구분자의 긴 펄스는 보상되고 데이터 신호는 균형을 이룬 채로 유지된다.

[0371] 도 12f는 두 개의 연속적인 유휴 구분자를 나타내는 비트가 3 바이트 세트의 끝에 위치하는 상황을 도시한다. 비트(b0 내지 b7)는 제 1 유휴 구분자를 나타내고 비트(b8 내지 b15)는 제 2 유휴 구분자를 나타내는 반면, 비트(b16 내지 b23)은 페이로드 데이터를 나타낸다. 제 2 유휴 구분자를 나타내는데는 비트(b8 내지 b13)만 요구된다. 따라서, 비트(b14 및 b15)는 0이다.

[0372] 비트는 물리 계층에서 다시 네 개의 클록 주기로 재배열된다. 제 1 유휴 구분자의 비트(b6 및 b7)는 각각 페이로드 데이터를 나타내는 다음번 하이 펄스 심볼 및 다음번 로우 펄스 심볼 쪽으로 이동된다. 리던던트 비트(b14 및 b15)는 다시 페이로드 데이터를 나타내는 다음번 로우 펄스 심볼의 MSB로서 배치된다. 되풀이하면, (비트(b8 내지 b13)에 의해 정의된) 제 2 유휴 구분자의 펄스 앞에 오는 로우 펄스는 평균 펄스 길이보다 짧아서 구분자의 긴 펄스는 보상되고 데이터 신호는 균형을 이룬 채로 유지된다.

[0373] 도 12g는 세 개의 바이트 세트가 세 개의 연속적인 유휴 구분자를 나타내는 상황을 도시한다. 비트(b0 내지 b7)는 제 1 유휴 구분자를 나타내고, 비트(b8 내지 b15)는 제 2 유휴 구분자를 나타내며, 비트(b16 내지 b23)는 제 3 유휴 구분자를 나타낸다. 비트(b8 내지 b13)만이 제 2 유휴 구분자를 나타내는데 요구되고, 비트(b16 내지 b21)만이 제 3 유휴 구분자를 나타내는데 요구된다. 따라서, 비트(b14 및 b15)뿐만 아니라 비트(b22 및 b23)는 0이다.

[0374] 비트는 물리 계층에서 다시 네 개의 클록 주기로 재배열된다. 비트(b1 내지 b5), 비트(b8 내지 b13) 및 비트(b16 내지 b21)는 물리 계층에서 제 1, 제 2 유휴 및 제 3 유휴 구분자를 나타내는데 사용된다. 제 1 유휴 구분자의 비트(b6 및 b7)는 각각 다음번 하이 펄스 심볼 및 다음번 로우 펄스 심볼 쪽으로 이동된다. 리던던트 비트(b14 및 b15) 및 리던던트 비트(b22 및 b23)는 각각 페이로드 데이터를 나타내는 다음번 로우 펄스 심볼 및 다음번 하이 펄스 심볼의 MSB로서 배치된다. 페이로드 데이터를 나타내는 로우 펄스 및 하이 펄스는 둘 모두 평균 펄스 길이보다 짧아서 구분자의 긴 펄스는 보상되고 데이터 신호는 균형을 이룬 채로 유지된다.

[0375] 도 12h는 페이로드 데이터를 나타내는 바이트 세트가, 구분자를 나타내는 두 개의 바이트 세트 사이에 배열되는 다른 상황을 도시한다. 비트(b0 내지 b7)는 제 1 유휴 구분자를 나타내고 비트(b16 내지 b23)는 제 2 유휴 구분자를 나타내는 반면, 비트(b8 내지 b15)는 페이로드 데이터를 나타낸다. 비트(b1 내지 b5) 및 비트(b16 내지 b21)만이 제 1 및 제 2 분리자를 나타내는데 요구된다. 따라서, 비트(b6 및 b7)뿐만 아니라 비트(b22 및 b23)는 0이다.

[0376] 비트는 물리 계층에서 다시 네 개의 클록 주기로 재배열된다. 비트(b1 내지 b5) 및 비트(b16 내지 b21)는 제 1 및 제 2 분리자를 나타내는데 사용된다. 제 1 구분자의 리던던트 비트(b6 및 b7)는 페이로드 데이터를 나타내는 다음번 로우 펄스 심볼의 MSB로서 배치된다. 또한, 제 2 구분자의 리던던트 비트(b22 및 b23)는 페이로드 데이터를 나타내는 선행 로우 펄스 심볼의 MSB로서 배치된다. 페이로드 데이터를 나타내는 로우 펄스가 둘 모두 평균 펄스 길이보다 짧아서 구분자의 긴 펄스는 보상되고 데이터 신호는 균형을 이룬 채로 유지된다.

[0377] 장치(1200)는 위에서 설명한 바와 같이 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성하도록 할 수 있다. 즉, 일부 예에서, 처리 회로(1205)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1201)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1210)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0378] 위에서 설명한 양태에 따른 다른 예시적인 데이터 신호(1215)가 도 12i에 도시된다. 데이터 신호(1215)는 상이한 페이로드 데이터 심볼을 데이터 신호(1215)에 인코딩하기 위해 상이한 펄스 길이를 나타내는 복수의 펄스(1215-n-(m+3), ..., 1215-n-2)를 포함한다. 또한, 펄스(1215-n-1 및 1215-n)는 유휴 구분자를 데이터 신호(1215)에 인코딩한다. 제어 심볼 표시자를 나타내는 펄스(1215-n-1)는 위에서 설명한 바와 같이 확장된다. 예를 들어, 장치(1200)는 데이터 신호(1215)를 생성할 수 있다.

[0379] 위에서 설명한 예에서, 제어 심볼 표시자는 때맞추어 제어 심볼 앞에 온다. 그러나 일부 예에서 대안적으로 제어 심볼이 제어 심볼 표시자 앞에 올 수 있다. 부합하는 데이터 신호(1221)를 생성하기 위한 장치(1220)가 도 12j에 도시된다.

[0380] 장치(1220)는 데이터 신호(1221)를 생성하도록 구성된 처리 회로(1225)(예를 들어, DTC)를 포함한다. 처리 회로(1225)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1221)를 생성하도록 구성된다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜

(예를 들어, STEP 프로토콜)의 제어 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 제어 심볼 표시자를 데이터 신호(1221)에 인코딩하기 위한 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0381] 장치(1220)는 데이터 신호(1221)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1230)를 포함한다.

[0382] 도 12a 및 도 12b와 관련하여 위에서 설명된 것과 유사하게, 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 데이터 신호(1221)의 기간은 적어도 심볼 분리 시간(ΔT)만큼 상이할 수 있으며, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간(ΔT)보다 더 많이 상이할 수 있다. 예를 들어, 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간(ΔT)의 정수배만큼 상이할 수 있다. 또한, 제어 심볼 표시자에 대응하는 (표시하는) 기간은 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 (표시하는) 가장 긴 가능한 기간으로부터 하나 초과의 심볼 분리 시간(ΔT)만큼 상이할 수 있다.

[0383] 제어 심볼은 되풀이하면 통신 인터페이스의 데이터 송신 및/또는 동작을 제어하기 위한 다양한 상이한 커맨드, 상태 등을 표시할 수 있다. 예를 들어, 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 끝, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름 방향의 반전 중 하나를 표시할 수 있다.

[0384] 또한, 페이로드 데이터는 데이터 신호(1221)에서 연속적인 신호 에지 사이의 기간을 조정함으로써 데이터 신호(1221)에 인코딩될 수 있다. 따라서, 처리 회로(1225)는 제 2 타입의 제 4 신호 에지를 더 포함하는 데이터 신호(1221)를 생성하도록 구성될 수 있고, 여기서 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다. 또한, 처리 회로(1225)는 제 1 타입의 제 5 신호 에지를 더 포함하는 데이터 신호(1221)를 생성하도록 구성되며, 여기서, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 다른 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다. 위에서 언급한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1220)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0385] 데이터 신호(1221)에서 페이로드 데이터 심볼을 나타내는 신호 에지의 시퀀스가 제어 심볼 및 제어 심볼 표시자를 나타내는 신호 에지의 뒤에 온다고 위에서 설명되었지만, 페이로드 데이터 심볼을 데이터 신호(1221)에 인코딩하기 위한 위의 예는 단지 교육학적 목적을 위한 것임을 유의해야 한다. 데이터 신호에 인코딩된 구분자에는 임의의 종류의 데이터(예를 들어, 다른 구분자, 훈련 데이터 심볼 등)가 앞에 오거나 또는 그 뒤에 올 수 있다. 따라서, 페이로드 데이터 심볼은, 제어 심볼 및 제어 심볼 표시자를 나타내는 데이터 신호(1221)에서 신호 에지의 시퀀스 바로 앞에 오거나 또는 그 뒤에 올 필요는 없다는 것을 유의해야 한다. 다시 말해, 하나 또는 둘 이상의 페이로드 데이터 심볼을 나타내는 신호 에지의 시퀀스는 제어 심볼 및 제어 심볼 표시자를 나타내는 데이터 신호(1221)의 신호 에지의 시퀀스 앞에 오거나 그 뒤에 오는 데이터 신호(1221)에서의 임의의 위치에 인코딩될 수 있다.

[0386] 장치(1220)의 처리 회로(1225)는 또한 주파수 및 DC 레벨(공통 모드 전압)의 관점에서 자체 균형을 맞춘 분리자를 생성하는 것을 가능하게 할 수 있다. 따라서 처리 회로(1225)는 구분자의 긴 펄스 앞에 오거나 또는 그 뒤에 오는 하나 이상의 펄스를 짧게 (예를 들어, 데이터 신호(1221)에서 연속적인 신호 에지 사이의 평균 기간보다 짧게) 생성하도록 구성될 수 있다. 예를 들어, 처리 회로(1205)는 제 3 기간과 제 4 기간의 합이 데이터 신호(1221)에서 동일한 타입의 연속적인 신호 에지 사이의 평균 기간보다 작도록 데이터 신호(1221)를 생성하도록 구성될 수 있다.

[0387] 장치(1200)와 마찬가지로, 장치(1220)는 위에서 설명한 바와 같은 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성하게 할 수 있다. 즉, 일부 예에서, 처리 회로(1225)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1221)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1230)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0388] 장치(1220) 또는 장치(1220)의 적어도 회로 부분은, 일부 예에서, 장치(1200)와 관련하여 위에서 설명된 더 부합하게 적응된(예를 들어, 데이터 신호에서 제어 심볼 표시자 위치와 제어 심볼 위치의 상호 교환에 적응된) 특징을 실행하도록 구성될 수 있다.

[0389] 위에서 설명한 바와 같이, STEP 프로토콜은 송신된 데이터에 기초한 펄스 폭 변조에 기초한다. 구분자에 하나

이상의 페이로드 데이터 심볼을 낭비하지 않기 위해, 제안된 기술은 수신기가 오버헤드 페널티 없이 구분자를 쉽게 검출하게 할 수 있는 구분자 대용의 대역 외, 고유 심볼을 사용한다.

[0390] 더욱이, 구분자는 라인의 동적 파라미터의 균형을 맞추기 위해 스스로 균형을 맞추는 물리 계층의 특별한 클록 주기에 매핑될 수 있다. MAC 계층 또는 물리 계층으로부터 전용 처리는 요구되지 않을 수 있다. 또한, 구분자는 에러에 의해 오검출을 일으키지 않도록 매핑에 의해 보호될 수 있다.

[0391] 예를 들어, 도 12b와 관련하여 위에서 설명한 바와 같이, STEP 프로토콜은 (예를 들어, n 비트의 심볼을 생성하는) 여러 옵션 중 하나로서 데이터 신호의 각 펄스를 변조한다. 도 12b의 예를 참조하면, 펄스당 여덟 개의 상이한 위상이 사용되도록 심볼당 세 개의 비트가 사용될 수 있다. 다시 말해, 펄스의 여덟 개의 서로 다른 가능한 위상이 데이터를 인코딩하는데 사용될 수 있다.

[0392] 구분자를 쉽게 그리고 보호를 받게/신뢰할 수 있게 수신할 수 있도록 하기 위해, 대역 외 하이 및 로우 펄스가 사용될 수 있다. 각 구분자는 두 개의 펄스로 나타낸다. 예를 들어, 일곱 개의 구분자가 사용될 수 있는데, 각각의 구분자는 긴 하이 펄스와 함께 짧은 로우 펄스, 긴 로우 펄스와 함께 짧은 하이 펄스를 갖거나 또는 하이 펄스와 로우 펄스를 둘 모두 길게 가질 수 있다. 두 펄스 중 하나만 길면, 다음번 펄스는 구분자 타입(제어 심볼)을 유지한다. 위에서 설명한 바와 같이, 수신 에러를 피하기 위해 짧은 펄스에 구분자 타입을 매핑하는 것은, 예를 들어 세 개 이상의 위상에 의해 분리될 수 있다.

[0393] 도 12a 내지 도 12j의 전술한 설명은 구분자를 포함하는 데이터(송신) 신호의 생성에 초점을 맞추었다. 아래에서, 데이터(수신) 신호에서 구분자의 검출에 관한 대응하는 양태가 도 12k 및 도 121과 관련하여 설명된다.

[0394] 도 12k는 데이터 신호(1241)를 디코딩하기 위한 장치(1240)의 예를 도시한다. 장치(1240)는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1245)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(1241)는 장치(1240)의 인터페이스 회로(도시되지 않음)에 의해 송신 링크로부터 수신될 수 있다.

[0395] 또한, 데이터 신호(1241)를 디코딩하기 위한 장치(1240)는 제 1 기간이 페이로드 데이터 임계치보다 짧으면 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 페이로드 데이터 심볼을 결정하도록 구성된 복조 회로(1250)를 포함한다. 복조 회로(1250)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된다.

[0396] 위에서 설명한 바와 같이, 통신 프로토콜(예를 들어, STEP 프로토콜)의 페이로드 데이터 심볼에 대응하는 데이터 신호에서 바로 잇따른 신호 에지 사이에는 가장 긴 가능한 기간이 존재한다. 따라서, 페이로드 데이터 임계치는 펄스에 인코딩된 데이터가 페이로드 데이터인지 또는 구분자의 제어 심볼 표시자인지를 결정하기 위한 결정 기준으로서 사용되는 기준 기간이다. 도 12b의 예를 참조하면, 페이로드 데이터 임계치는, 예를 들어, 하강 신호 에지(1204)의 경우 위치 7과 9 사이의 임의의 펄스 폭일 수 있다. 다시 말해, 페이로드 데이터 임계치는 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 데이터 신호에서 바로 잇따른 신호 에지 사이에서 가장 긴 가능한 기간보다 길며, 페이로드 데이터 임계치는 제어 심볼 표시자에 대해 통신 프로토콜에서 정의된 기간보다 짧다. 예를 들어, 페이로드 데이터 임계치는 도 12b의 예에서 하강 신호 에지(1204)의 경우 위치 8에 의해 표시된 펄스 폭일 수 있다.

[0397] 데이터 신호(1241)에서 연속적인 신호 에지 사이의 기간을 페이로드 데이터 임계치와 비교함으로써, 구분자의 시작이 비교적 수월하게 검출될 수 있다. 따라서, 처리 회로(1245)는 또한 제 3 신호 에지의 바로 뒤에 오는 데이터 신호(1241)에서의 제 2 타입의 제 4 신호 에지를 결정하도록 구성될 수 있고, 복조 회로(1250)는 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 각각의 제어 심볼을 결정하도록 구성될 수 있다.

[0398] 위에서 설명한 바와 같이, 되풀이하면 제어 심볼은 통신 인터페이스의 데이터 송신 및/또는 동작을 제어하기 위한 다양한 상이한 커맨드, 상태 등을 표시할 수 있다. 예를 들어, 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 끝, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름 방향의 반전 중 하나를 표시할 수 있다.

[0399] 신호 생성에 대해 도 12a 및 도 12b와 관련하여 위에서 설명된 바와 같이, 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간은 적어도 심볼 분리 시간(ΔT)만큼 상이할 수 있으며, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간(ΔT)보다 더 많이 상이할 수 있다. 예를 들어, 상이한 제어 심볼

에 대응하는 기간은 심볼 분리 시간(ΔT)의 정수배만큼 상이할 수 있다. 따라서, 복조 회로(1250)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다.

[0400] 페이로드 데이터는 연속적인 신호 에지 사이의 기간을 통해 데이터 신호(1241)에 인코딩된다. 따라서, 처리 회로(1245)는 또한 제때에 제 1 신호 에지 바로 앞에 오는 데이터 신호(1241)에서의 제 2 타입의 제 5 신호 에지를 결정하도록 구성될 수 있다. 따라서, 복조 회로(1250)는 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 다른 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 위에서 설명한 것처럼, 제 1 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0401] 데이터 신호(1241)에서 페이로드 데이터 심볼을 디코딩하기 위한 위의 예는 단지 교육학적 목적을 위한 것이다. 데이터 신호에 인코딩된 구분자에는 임의의 종류의 데이터(예를 들어, 다른 구분자, 훈련 데이터 심볼 등)가 앞에 오거나 또는 그 뒤에 올 수 있다. 따라서, 페이로드 데이터 심볼은, 제어 심볼 표시자 및 제어 심볼 표시자를 나타내는 데이터 신호(1241)에서의 신호 에지의 시퀀스에 바로 앞에 오거나 또는 그 뒤에 올 필요는 없다는 것을 유의해야 한다. 다시 말해, 하나 또는 둘 이상의 페이로드 데이터 심볼을 나타내는 신호 에지의 시퀀스는 제어 심볼 표시자 및 제어 심볼을 나타내는 데이터 신호(1241)에서의 신호 에지의 시퀀스 앞에 오거나 또는 그 뒤에 오는 데이터 신호(1241)에서의 임의의 위치에 인코딩될 수 있다.

[0402] 일부 예에서, 차동 신호 쌍이 장치(1240)에 의해 수신될 수 있다. 즉, 처리 회로(1245)는 또한 데이터 신호(1241)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1245)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다. 다시 말해, 처리 회로(1245)는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[0403] 신호 생성에 대해 위에서 설명한 바와 같이, 제어 심볼은 대안적으로 데이터 신호에서 제어 심볼 표시자 앞에 올 수 있다. 부합하는 데이터 신호(1261)를 디코딩하기 위한 장치(1260)가 도 121에 도시된다.

[0404] 장치(1260)는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1265)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(1261)는 장치(1260)의 인터페이스 회로(도시되지 않음)에 의해 송신 링크로부터 수신될 수 있다.

[0405] 또한, 데이터 신호(1261)를 디코딩하기 위한 장치(1260)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜(예를 들어, STEP 프로토콜)의 제어 심볼을 결정하도록 구성된 복조 회로(1270)를 포함한다. 또한, 복조 회로(1270)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 페이로드 데이터 임계치보다 길면 통신 프로토콜의 제어 심볼 표시자를 결정하도록 구성된다.

[0406] 장치(1240)와 대조적으로, 장치(1260)는 구분자의 끝을 검출하기 위해 데이터 신호(1261)에서 연속적인 신호 에지의 기간을 페이로드 데이터 임계치와 비교한다. 그러나 되풀이하면 구분자는 비교적 수월하게 검출될 수 있다.

[0407] 또한 데이터 신호(1261)에서, 페이로드 데이터는 연속적인 신호 에지 사이의 기간을 통해 신호에 인코딩된다. 따라서 처리 회로(1265)는 또한 데이터 신호에서 제 3 신호 에지의 바로 뒤에 오는 제 2 타입의 제 4 신호 에지를 결정하고, 데이터 신호에서 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에지를 결정하도록 구성될 수 있다. 따라서, 복조 회로(1270)는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜(예를 들어, STEP 프로토콜)의 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 유사하게, 복조 회로(1270)는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 다른 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 위에서 설명한 것처럼, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0408] 되풀이하면, 데이터 신호(1261) 내의 페이로드 데이터 심볼을 디코딩하기 위한 위의 예는 단지 교육학적 목적을 위한 것이다. 데이터 신호에 인코딩된 구분자에는 임의의 종류의 데이터(예를 들어, 다른 구분자, 훈련 데이터 심볼 등)가 앞에 오거나 또는 그 뒤에 올 수 있다. 따라서, 페이로드 데이터 심볼은, 제어 심볼 및 제어 심볼

표시자를 나타내는 데이터 신호(1261)에서 신호 에지의 시퀀스 바로 앞에 오거나 또는 그 뒤에 올 필요는 없다는 것을 유의해야 한다. 다시 말해, 하나 또는 둘 이상의 페이로드 데이터 심볼을 나타내는 신호 에지의 시퀀스는 제어 심볼 및 제어 심볼 표시자를 나타내는 데이터 신호(1241)의 신호 에지의 시퀀스 앞에 오거나 또는 그 뒤에 오는 데이터 신호(1241)에서의 임의의 위치에 인코딩될 수 있다.

[0409] 또한 복조 회로(1270)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다. 상이한 기간에 관한 정보는 장치(1240)에 대해 위에서 설명한 바와 같을 수 있다.

[0410] 일부 예에서, 처리 회로(1265)는 또한 데이터 신호(1261)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1265)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다. 즉, 처리 회로(1265)는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[0411] 장치(1260) 또는 장치(1260)의 적어도 회로 부분은 장치(1240)와 관련하여 위에서 설명된 더 부합하게 적응된 (예를 들어, 데이터 신호에서 제어 심볼 표시자 위치와 제어 심볼 위치의 상호 교환에 적응된) 특징을 실행하도록 구성될 수 있다.

[0412] 구분자에 관한 위의 양태 중 일부를 요약하기 위해, 데이터 신호를 생성하기 위한 방법(1200m)의 예가 도 12m의 흐름도에 의해 도시된다. 방법(1200m)은 데이터 신호를 생성하는 단계(1202m)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 방법(1200m)은 데이터 신호를 출력하는 단계(1204m)를 포함한다.

[0413] 옵션으로, 데이터 신호는 제 2 타입의 제 4 신호 에지를 더 포함할 수 있으며, 여기서 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 3 기간에 의해 분리된다.

[0414] 방법(1200m)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12a 내지 도 12i)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0415] 데이터 신호를 생성하기 위한 방법(1200n)의 다른 예가 도 12n의 흐름도에 의해 도시된다. 방법(1200n)은 데이터 신호를 생성하는 단계(1202n)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 방법(1200n)은 데이터 신호를 출력하는 단계(1204n)를 포함한다.

[0416] 옵션으로, 데이터 신호는 제 2 타입의 제 4 신호 에지를 더 포함할 수 있으며, 여기서 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다.

[0417] 방법(1200n)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12j)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0418] 데이터 신호를 디코딩하기 위한 방법(1200o)의 예가 도 12o의 흐름도에 의해 도시된다. 방법(1200o)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1202o)를 포함한다. 또한, 방법(1200o)은 제 1 기간이 페이로드 데이터 임계치보다 짧으면 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 페이로드 데이터 심볼을 결정하는 단계(1204o)를 포함한다. 방법(1200o)은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 페이로드 데이터 임계치보다 길면 통신 프로토콜의 제어 심볼 표시자를 결정하는 단계(1206o)를 포함한다.

[0419] 옵션으로, 방법(1200o)은 데이터 신호에서 제 2 타입의 제 4 신호 에지를 결정하는 단계(1208o), 및 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제어 심볼을 결정하는 단계(1210o)를 더 포함할 수 있다.

[0420] 방법(1200o)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12k)에서 설명된 하나 이상의 예

와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0421] 데이터 신호를 디코딩하기 위한 방법(1200p)의 다른 예가 도 12p의 흐름도에 의해 도시된다. 방법(1200p)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1202p)를 포함한다. 또한, 방법(1200p)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제어 심볼을 결정하는 단계(1204p)를 포함할 수 있다. 방법(1200p)은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 페이로드 데이터 임계치보다 길면 통신 프로토콜의 제어 심볼 표시자를 결정하는 단계(1206p)를 포함한다.

[0422] 옵션으로, 방법(1200p)은 데이터 신호에서 제 2 타입의 제 4 신호 에지를 결정하는 단계(1208p), 및 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 페이로드 데이터 심볼을 결정하는 단계(1210p)를 더 포함할 수 있다.

[0423] 방법(1200p)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 121)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0424] 구분자에 대한 위의 예는 통신 프로토콜의 하나의 제어 심볼 표시자 및 하나의 제어 심볼의 조합을 사용하였다. 구분자의 수를 증가시키기 위해, 하나 초과의 제어 심볼이 제어 심볼 표시자를 뒤따를 수 있다. 다시 말해, 구분자는 캐스케이드될 수 있다. 부합하는 데이터 신호를 생성하거나 또는 디코딩하기 위한 일부 예시적인 회로가 도 12q 내지 도 12s와 관련하여 다음에 설명된다.

[0425] 도 12q는 데이터 신호(1276)를 생성하기 위한 장치(1275)의 예를 도시한다. 장치(1275)는 데이터 신호(1276)를 생성하도록 구성된 처리 회로(1277)(예를 들어, DTC)를 포함한다. 처리 회로(1277)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하는 데이터 신호(1276)를 생성하도록 구성된다.

[0426] 처리 회로(1277)는 제 1 신호 에지 및 제 2 신호 에지가 통신 프로토콜(예를 들어, STEP 프로토콜)의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되도록 데이터 신호(1276)를 생성한다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리된다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0427] 또한, 데이터 신호(1276)는 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에지를 포함할 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[0428] 장치(1275)는 데이터 신호(1276)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1278)를 더 포함한다.

[0429] 복수의 연속적인 제어 심볼을 사용함으로써, 가능한 제어의 수가 확장될 수 있다. 각각의 제어 심볼은 제어 심볼 표시자와 함께 데이터 신호에 인코딩된다면 특정 속성/특징을 제어하거나 표시할 수 있다. 또한, 데이터 신호에서 제어 심볼 표시자에 뒤따르는 연속적인 제어 심볼의 조합은 추가적인 제어 또는 특정 속성/특징의 표시를 데이터 신호에 인코딩할 수 있게 할 수 있다. 예를 들어, 제어 심볼의 특정 시퀀스가 특정 커맨드에 할당될 수 있다.

[0430] 다시 말해, (임의의 선택된 구분자일 수 있는) 확장(escape)(ESC) 구분자 다음에는 하나 이상의 세미 레거시 구분자(semi legacy delimiter)가 뒤따라올 수 있다. 세미 레거시 구분자는 여전히 매우 콤팩트하고 매우 신뢰할 수 있다. 예를 들어, 위에서 설명한 바와 같이, ESC 구분자 다음에는 두 개의 제어 심볼이 뒤따라올 수 있다. 도 12b와 관련하여 위에서 설명한 것과 유사하게, 상이한 제어 심볼에 대한 기간은 하나 초과의 심볼 분리 시간(ΔT)만큼 분리될 수 있다. 예를 들어, 두 제어 심볼이 모두 세 개의 상이한 기간(예를 들어, 임의의 길이 0, 3 및 6)을 나타낼 수 있다면, 두 개의 제어 심볼을 결합하는 것으로 3^2 = 9개의 추가적인 제어를 가능하게 할 수 있다.

[0431] 일부 예에서, 제 1 제어 심볼은 잇따른 정확한 수의 제어 심볼을 표시할 수 있다. 다른 예에서, 잇따른 제어 심볼의 수는 통신 프로토콜에 의해 정의될 수 있다(예를 들어, 통신 프로토콜은 제 1 제어 심볼 다음에 항상 두

개, 세 개, 네 개 이상의 추가 제어 심볼이 뒤따른다고 정의할 수 있다).

[0432] 대안적으로, 잇따른 제어 심볼의 수가 통신 프로토콜에 의해 정의된다면, 제 1 제어 심볼은 생략될 수 있다. 예를 들어, 통신 프로토콜은 제어 심볼 표시자 다음에 항상 두 개, 세 개, 네 개 이상의 제어 심볼이 뒤따른다고 (뒤에 온다고) 정의할 수 있다. 따라서, 데이터 신호(1276)에서 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 2 기간에 의해 분리될 수 있고, 데이터 신호(1276)에서 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 3 기간에 의해 분리될 수 있다.

[0433] 또한, 페이로드 데이터는 데이터 신호(1276)에서 연속적인 신호 에지 사이의 기간을 조정함으로써 데이터 신호(1276)에 인코딩될 수 있다. 따라서, 처리 회로(1277)는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 더 포함하는 데이터 신호(1276)를 생성하도록 구성될 수 있다. 처리 회로(1277)는 제 6 신호 에지 및 제 7 신호 에지가 통신 프로토콜의 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지가 통신 프로토콜의 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리되도록 데이터 신호(1276)를 생성한다. 위에서 언급한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치 (1275)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 5 기간과 제 6 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0434] 장치(1200)와 마찬가지로, 장치(1275)는 위에서 설명한 바와 같은 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성하게 할 수 있다. 즉, 일부 예에서, 처리 회로(1277)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1276)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1278)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0435] 장치(1275) 또는 장치(1275)의 적어도 회로 부분은 또한 장치(1200)와 관련하여 위에서 설명된 다른 부합하게 적응된 특징을 실행하도록 구성될 수 있다.

[0436] 일부 예에서, 제어 심볼은 대안적으로 제어 심볼 표시자의 앞에 올 수 있다. 부합하는 데이터 신호(1281)를 생성하기 위한 장치(1280)가 도 12r에 도시된다. 장치(1280)는 데이터 신호(1281)를 생성하도록 구성된 처리 회로(1282)(예를 들어, DTC)를 포함한다. 처리 회로(1282)는 적어도 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하는 데이터 신호(1281)를 생성하도록 구성된다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜(예를 들어, STEP 프로토콜)의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 적어도 하나의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0437] 또한, 데이터 신호(1281)는 제 1 신호 에지의 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 포함할 수 있다. 제 1 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[0438] 장치(1280)는 데이터 신호(1281)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1283)를 더 포함한다.

[0439] 복수의 연속적인 제어 심볼을 사용함으로써, 되풀이하면 장치(1275)에 대해 위에서 설명한 바와 같이 가능한 제어의 수가 확장될 수 있다. 장치(1275)와 대조적으로, 장치(1280)는 캐스케이드식 구분자의 끝을 표시하기 위한 제어 심볼 표시자를 사용한다.

[0440] 일부 예에서, 제 2 제어 심볼은 앞에 오는 제어 심볼의 정확한 수를 표시할 수 있다. 다른 예에서, 앞에 오는 제어 심볼의 수는 통신 프로토콜에 의해 정의될 수 있다(예를 들어, 통신 프로토콜은 제 2 제어 심볼 앞에 항상 두 개, 세 개, 네 개 이상의 추가 제어 심볼이 온다고 정의할 수 있다).

[0441] 대안적으로, 되풀이하면, 앞에 오는 제어 심볼의 수가 통신 프로토콜에 의해 정의된다면, 제 2 제어 심볼은 생략될 수 있다. 예를 들어, 통신 프로토콜은 제어 심볼 표시자 앞에 항상 두 개, 세 개, 네 개 이상의 제어 심볼이 온다고 정의할 수 있다. 따라서, 데이터 신호(1281)의 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 1 기간에 의해 분리될 수 있고, 데이터 신호(1281)의 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다.

[0442] 또한, 페이로드 데이터는 데이터 신호(1281)에서 연속적인 신호 에지 사이의 기간을 조정함으로써 데이터 신호(1281)에 인코딩될 수 있다. 따라서, 처리 회로(1282)는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 더 포함하는 데이터 신호(1281)를 생성하도록 구성될 수 있다. 제 6 신호 에지 및 제 7 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리된다. 위에서 언급한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치 (1280)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 5 기간과 제 6 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0443] 장치(1275)와 마찬가지로, 장치(1280)는 위에서 설명한 바와 같은 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성하게 할 수 있다. 즉, 일부 예에서, 처리 회로(1282)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1281)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1283)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0444] 장치(1280) 또는 장치(1280)의 적어도 회로 부분은 또한 장치(1200, 1220 및 1275)와 관련하여 위에서 설명된 다른 부합하게 적응된 특징을 실행하도록 구성될 수 있다.

[0445] 도 12q 내지 도 12r의 전술한 설명은 캐스케이드식 구분자를 포함하는 데이터(송신) 신호의 생성에 초점을 맞추었다. 아래에서, 데이터(수신) 신호에서 캐스케이드식 구분자의 검출에 관한 대응하는 양태가 도 12s 및 도 12t와 관련하여 설명된다.

[0446] 도 12s는 데이터 신호(1286)를 디코딩하기 위한 장치(1285)의 예를 도시한다. 장치(1285)는 데이터 신호(1286)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1287)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(1286)는 장치(1285)의 인터페이스 회로(도시되지 않음)에 의해 송신 링크로부터 수신될 수 있다.

[0447] 또한, 데이터 신호(1286)를 디코딩하기 위한 장치(1285)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로(1288)를 포함한다. 또한, 복조 회로(1288)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성된다. 복조 회로(1288)는 또한 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성될 수 있다.

[0448] 처리 회로(1287)는 또한 데이터 신호(1286)에서 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에지를 결정하도록 구성될 수 있다. 따라서, 복조 회로(1288)는 또한 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성될 수 있다.

[0449] 데이터 신호(1286)에서 연속적인 신호 에지 사이의 기간을 페이로드 데이터 임계치와 비교함으로써, 캐스케이드식 구분자의 시작이 비교적 수월하게 검출될 수 있다. 예를 들어, 데이터 신호(1286)를 디코딩하기 위한 장치(1285)의 복조 회로(1288) 또는 추가 회로는 데이터 신호(1286)에 인코딩된 (제어) 커맨드의 타입을 결정하기 위해 데이터 신호(1286)에서 제 2 제어 심볼 및 제 3 제어 심볼의 시퀀스/조합을 분석할 수 있다.

[0450] 일부 예에서, 제 1 제어 심볼은 잇따른 제어 심볼의 정확한 수를 표시할 수 있다. 다른 예에서, 잇따른 제어 심볼의 수는 통신 프로토콜에 의해 정의될 수 있다(예를 들어, 통신 프로토콜은 제 1 제어 심볼에는 항상 두 개, 세 개, 네 개 이상의 추가 제어 심볼이 뒤에 온다고 정의할 수 있다).

[0451] 대안적으로, 잇따른 제어 심볼의 수가 통신 프로토콜에 의해 정의된다면, 제 1 제어 심볼은 생략될 수 있다. 예를 들어, 통신 프로토콜은 제어 심볼 표시자 다음에 항상 두 개, 세 개, 네 개 이상의 제어 심볼이 뒤따른다고(뒤에 온다고) 정의할 수 있다. 따라서, 복조 회로(1288)는 데이터 신호(1286)에서 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 통신 프로토콜의 제 2 제어 심볼을 결정하고, 데이터 신호(1286)에서 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성될 수 있다.

[0452] 페이로드 데이터는 연속적인 신호 에지 사이의 기간을 통해 데이터 신호(1286)에 인코딩된다. 따라서, 처리 회

로(1287)는 또한 데이터 신호(1286)에서 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(1288)는 제 5 기간이 페이로드 데이터 임계치보다 짧으면 제 6 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 통신 프로토콜의 제 1 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 따라서, 복조 회로(1288)는 제 6 기간이 페이로드 데이터 임계치보다 짧으면 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 통신 프로토콜의 제 2 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 위에서 설명한 것처럼, 제 5 기간과 제 6 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0453] 또한 복조 회로(1288)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다. 상이한 기간에 관한 정보는 장치(1240)에 대해 위에서 설명한 바와 같을 수 있다.

[0454] 일부 예에서, 처리 회로(1287)는 또한 데이터 신호(1286)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1287)는 제 2 데이터 신호에 더 기초하여 적어도 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하도록 구성될 수 있다. 즉, 처리 회로(1287)는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[0455] 장치(1285) 또는 장치(1285)의 적어도 회로 부분은 또한 장치(1240 및 1260)와 관련하여 위에서 설명된 다른 부합하게 적응된 특징을 실행하도록 구성될 수 있다.

[0456] 신호 생성에 대해 위에서 설명한 바와 같이, 제어 심볼은 대안적으로 데이터 신호에서 제어 심볼 표시자 앞에 올 수 있다. 부합하는 데이터 신호(1291)를 생성하기 위한 장치(1290)가 도 12t에 도시된다.

[0457] 장치(1290)는 데이터 신호(1291)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1292)(예를 들어 TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(1291)는 장치(1290)의 인터페이스 회로(도시되지 않음)에 의해 송신 링크로부터 수신될 수 있다.

[0458] 또한, 데이터 신호(1291)를 디코딩하기 위한 장치(1290)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜(예를 들어, STEP 프로토콜)의 제 1 제어 심볼을 결정하도록 구성된 복조 회로(1293)를 포함한다. 또한, 복조 회로(1293)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 적어도 하나의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성된다. 복조 회로(1293)는 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된다.

[0459] 또한, 처리 회로(1292)는 데이터 신호(1291)에서 제 1 신호 에지 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 결정하도록 구성될 수 있다. 따라서, 복조 회로(1293)는 또한 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성될 수 있다.

[0460] 장치(1285)와 대조적으로, 장치(1290)는 캐스케이드식 구분자의 끝을 검출하기 위해 데이터 신호(1291)에서 연속적인 신호 에지의 기간을 페이로드 데이터 임계치와 비교한다. 그러나, 되풀이하면 캐스케이드식 구분자는 비교적 수월하게 검출될 수 있다. 예를 들어, 데이터 신호(1291)를 디코딩하기 위한 장치(1290)의 복조 회로(1293) 또는 추가 회로는 데이터 신호(1291)에 인코딩된 (제어) 커맨드의 타입을 결정하기 위해 데이터 신호(1291)에서 제 1 제어 심볼 및 제 3 제어 심볼의 시퀀스/조합을 분석할 수 있다.

[0461] 일부 예에서, 제 2 제어 심볼은 앞에 오는 제어 심볼의 정확한 수를 표시할 수 있다. 다른 예에서, 앞에 오는 제어 심볼의 수는 통신 프로토콜에 의해 정의될 수 있다(예를 들어, 통신 프로토콜은 제 1 제어 심볼 앞에 항상 두 개, 세 개, 네 개 이상의 추가 제어 심볼이 온다고 정의할 수 있다).

[0462] 장치(1285)에 대해 위에서 설명한 것과 유사하게, 잇따른 제어 심볼의 수가 통신 프로토콜에 의해 정의된다면, 제 2 제어 심볼은 생략될 수 있다. 예를 들어, 통신 프로토콜은 제어 심볼 표시자 앞에 항상 두 개, 세 개, 네 개 이상의 제어 심볼이 온다고 정의할 수 있다. 따라서, 복조 회로(1293)는 데이터 신호(1291)에서 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하고, 데이터 신호(1291)에서 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 통신 프로토콜의 제 1 제어 심볼을

결정하도록 구성될 수 있다.

[0463] 또한, 데이터 신호(1291)에서, 페이로드 데이터는 연속적인 신호 에지 사이의 기간을 통해 신호에 인코딩된다. 그러므로 처리 회로(1292)는 또한 데이터 신호(1291)에서 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 따라서, 복조 회로(1293)는 제 5 기간이 페이로드 데이터 임계치보다 짧으면 제 6 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 통신 프로토콜(예를 들어, STEP 프로토콜)의 제 1 페이로드 데이터 심볼을 결정하고, 제 6 기간이 페이로드 데이터 임계치보다 짧으면 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 통신 프로토콜의 제 2 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 위에서 설명한 바와 같이, 제 5 기간과 제 6 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0464] 또한 복조 회로(1293)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다. 상이한 기간에 관한 정보는 장치(1240)에 대해 위에서 설명한 바와 같을 수 있다.

[0465] 일부 예에서, 처리 회로(1292)는 또한 데이터 신호(1291)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1292)는 제 2 데이터 신호에 더 기초하여 적어도 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하도록 구성될 수 있다. 즉, 처리 회로(1292)는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[0466] 장치(1290) 또는 장치(1290)의 적어도 회로 부분은 장치(1285)와 관련하여 위에서 설명된 더 부합하게 적응된 (예를 들어, 데이터 신호에서 제어 심볼 표시자 위치와 제어 심볼 위치의 상호 교환에 적응된) 특징을 실행하도록 구성될 수 있다.

[0467] 캐스케이드식 구분자에 관한 위의 양태 중 일부를 요약하기 위해, 데이터 신호를 생성하기 위한 방법(1200u)의 예가 도 12u의 흐름도에 의해 도시된다. 방법(1200u)은 데이터 신호를 생성하는 단계(1202u)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리된다. 또한, 방법(1200u)은 데이터 신호를 출력하는 단계(1204u)를 포함한다.

[0468] 옵션으로, 데이터 신호는 제 1 신호 에지의 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 더 포함할 수 있다. 제 1 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[0469] 방법(1200u)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12q)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0470] 데이터 신호를 생성하기 위한 방법(1200v)의 다른 예가 도 12v의 흐름도에 의해 도시된다. 방법(1200v)은 데이터 신호를 생성하는 단계(1202v)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 적어도 하나의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다. 또한, 방법(1200v)은 데이터 신호를 출력하는 단계(1204v)를 포함한다.

[0471] 옵션으로, 데이터 신호는 제 4 신호 에지의 바로 뒤에 오는 제 2 타입의 제 5 신호 에지를 더 포함할 수 있다. 제 1 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[0472] 방법(1200v)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12r)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0473] 데이터 신호를 디코딩하기 위한 방법(1200w)의 예가 도 12w의 흐름도에 의해 도시된다. 방법(1200w)은 데이터

신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하는 단계(1202w)를 포함한다. 또한, 방법(1200w)은 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계(1204w)를 포함한다. 방법(1200w)은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계(1206w)를 포함한다. 또한, 방법(1200w)은 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제 2 제어 심볼을 결정하는 단계(1208w)를 포함할 수 있다.

[0474] 옵션으로, 방법(1200w)은 데이터 신호에서 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에지를 결정하는 단계(1210w), 및 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하는 단계(1212w)를 더 포함할 수 있다.

[0475] 방법(1200w)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12s)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0476] 데이터 신호를 디코딩하기 위한 방법(1200x)의 다른 예가 도 12x의 흐름도에 의해 도시된다. 방법(1200x)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하는 단계(1202x)를 포함한다. 또한, 방법(1200x)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계(1204x)를 포함할 수 있다. 방법(1200x)은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 적어도 하나의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하는 단계(1206x)를 포함한다. 또한, 방법(1200o)은 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계(1208x)를 포함한다.

[0477] 옵션으로, 방법(1200w)은 데이터 신호에서 제 1 신호 에지 앞에 오는 제 2 타입의 제 5 신호 에지를 결정하는 단계(1210x), 및 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하는 단계(1212x)를 더 포함할 수 있다.

[0478] 방법(1200x)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 12l)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0479] (예를 들어, STEP 프로토콜에 따라) 통신 인터페이스는 상이한 타입의 서비스의 데이터를 매체를 통해 전송할 수 있다. 예를 들어, 일부 서비스는 대기 시간에 민감할 수 있지만, 다른 서비스는 매우 낮은 BER을 요구할 수 있다. STEP 프로토콜은 예를 들어 $1 \cdot 10^{-12}$ 의 디폴트 BER에서 초당 다수의 기가비트 비트레이트를 지원할 수 있다. 이러한 디폴트 BER은 일부 서비스에 충분할 수 있지만, 다른 서비스는 훨씬 더 나은 BER을 요구할 수 있다.

[0480] 또한, 일부 경우에, 서비스는 다소 결정론적 거동(deterministic behavior)일 수 있다(예를 들어, 데이터는 다소 결정론적 타이밍에서 생성되고 데이터 크기는 알려진 길이일 수 있다). 다른 경우에, 이것은 데이터 생성이 되려 무작위적 순간 대역폭의 방식일 수 있도록 반대일 수 있다. 또한, 송신될 비트는 일부 경우에 제어 또는 상태 비트일 수 있고, 따라서 대기 시간 및/또는 에러 레이트에 민감할 수 있다(예를 들어, 낮은 BER이 요구될 수 있다).

[0481] 아래에서, 상이한 타입의 서비스를 위한 데이터를 효율적으로 반송할 수 있게 할 수 있는, 데이터 신호(1301)를 생성하기 위한 장치(1300)가 도 13a와 관련하여 설명된다.

[0482] 장치(1300)는 데이터 신호(1301)를 생성하도록 구성된 처리 회로(1302)(예를 들어, DTC)를 포함한다. 처리 회로(1302)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1301)를 생성한다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0483] 또한, 장치(1300)는 데이터 신호(1301)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로

(1303)를 포함한다.

[0484] 처리 회로(1302)는 제어 심볼 표시자를 데이터 신호(1301)에 인코딩하기 위해 제 1 신호 에지 및 제 2 신호 에지가 통신 프로토콜(예를 들어, STEP 프로토콜)의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되도록 데이터 신호(1301)를 생성한다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 2 기간에 의해 분리된다.

[0485] 장치(1300)는 고유한 (및 크게 신뢰성 있는) 구분자를 사용하여 곧 다가오는 데이터 패킷의 타입(예를 들어, 데이터 패킷은 타입 A, B 또는 C를 가짐)을 데이터 신호(1301)의 수신기에 표시/시그널링한다. 따라서, 수신기는 곧 다가오는 데이터 패킷을 처리할 수 있다. 예를 들어, 데이터 패킷의 서비스 타입에 관한 정보는 데이터 패킷이 특정 포맷으로 변환될 필요가 있다는 것을 수신기에게 암시하거나, 또는 데이터 패킷을 파싱하는 방법 및 어디로 보낼지를 수신기에게 암시할 수 있다.

[0486] 구분자 자체는 도 12a 및 도 12b와 관련하여 위에서 설명한 바와 같이 구성될 수 있다.

[0487] 데이터 패킷의 데이터는 연속적인 신호 에지 사이의 기간을 통해 데이터 신호(1301)에 인코딩된다. 따라서, 처리 회로(1302)는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하는 데이터 신호(1301)를 생성하도록 구성될 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 데이터 패킷에서 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 데이터 패킷에서 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다. 위에서 언급한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치 (1300)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0488] 장치(1300)는 위에서 설명한 바와 같이 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성할 수 있게 할 수 있다. 즉, 일부 예에서, 처리 회로(1302)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1301)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1303)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0489] 일부 예에서, 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 시그널링하는데 사용될 수 있다. 예를 들어, 처리 회로(1302)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 포함하는 데이터 신호(1301)를 생성할 수 있다. 되풀이하면 제 1 신호 에지 및 제 2 신호 에지는 제어 심볼 표시자를 데이터 신호(1301)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리된다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 다수의 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 제 3 신호 에지 및 제 7 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 6 기간에 의해 분리된다. 데이터 신호(1301)에서 제 2 제어 심볼 및 제 3 제어 심볼의 시퀀스/조합은 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시한다. 위에서 설명한 바와 같이, 일부 예에서 제 1 제어 심볼이 생략될 수 있다.

[0490] 또한 두 개 초과의 연속적인 제어 심볼이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하기 위해 사용될 수 있다는 것을 유의해야 한다.

[0491] 장치(1300) 또는 장치(1300)의 적어도 회로 부분은 또한 위에서 설명한 구분자 생성과 관련된 다른 특징을 실행하도록 구성될 수 있다(예를 들어, 도 12a 및 도 12b 참조).

[0492] 일부 예에서 제어 심볼(들)은 대안적으로 제어 심볼 표시자의 앞에 올 수 있다. 부합하는 데이터 신호(1311)를 생성하기 위한 장치(1310)가 도 13b에 도시된다.

[0493] 장치(1310)는 데이터 신호(1311)를 생성하도록 구성된 처리 회로(1312)(예를 들어, DTC)를 포함한다. 처리 회로(1312)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1311)를 생성한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0494] 또한, 장치(1310)는 데이터 신호(1311)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1313)를 포함한다.

[0495] 처리 회로(1312)는 제 1 신호 에지 및 제 2 신호 에지가 통신 프로토콜(예를 들어, STEP 프로토콜)의 제어 심볼에 대응하는 제 1 기간에 의해 분리되도록 데이터 신호(1311)를 생성한다. 제어 심볼은 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시한다. 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다.

[0496] 되풀이하면, 구분자는 데이터 신호(1311)의 수신기에게 곧 다가오는 데이터 패킷의 타입을 표시/시그널링할 수 있게 하여 수신기가 곧 다가오는 데이터 패킷을 그에 따라 처리할 수 있게 한다. 장치(1300)와 대조적으로, 장치(1310)는 캐스케이드식 구분자의 끝을 표시하기 위한 제어 심볼 표시자를 사용한다.

[0497] 데이터 패킷의 데이터는 연속적인 신호 에지 사이의 기간을 통해 데이터 신호(1311)에 인코딩된다. 따라서, 처리 회로(1312)는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하는 데이터 신호(1311)를 생성하도록 구성될 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 데이터 패킷에서 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 데이터 패킷에서 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다. 되풀이하면, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1310)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0498] 또한 장치(1310)는 위에서 설명한 바와 같이 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성하게 할 수 있다. 즉, 일부 예에서, 처리 회로(1312)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1311)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1313)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0499] 일부 예에서, 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 시그널링하는데 사용될 수 있다. 예를 들어, 처리 회로(1312)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 포함하는 데이터 신호(1311)를 생성할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리된다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 제 3 신호 에지 및 제 7 신호 에지는 통신 프로토콜의 다수의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 5 기간에 의해 분리된다. 제 7 신호 에지 및 제 8 신호 에지는 제어 심볼 표시자를 데이터 신호(1311)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 6 기간에 의해 분리된다. 데이터 신호(1311)에서 제 1 제어 심볼 및 제 2 제어 심볼의 시퀀스/조합은 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시한다. 위에서 설명한 바와 같이, 일부 예에서 제 3 제어 심볼이 생략될 수 있다.

[0500] 되풀이하면 두 개 초과의 연속적인 제어 심볼이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하기 위해 사용될 수 있다는 것을 유의해야 한다.

[0501] 장치(1310) 또는 장치(1310)의 적어도 회로 부분은 또한 위에서 설명한 구분자 생성과 관련된 다른 특징을 실행하도록 구성될 수 있다(예를 들어, 도 12a 및 도 12b 참조).

[0502] 도 13a 및 도 13b의 전술한 설명은 서비스의 타입을 표시하는 구분자를 포함하는 데이터(송신) 신호의 생성에 초점을 맞추었다. 아래에서, 데이터(수신) 신호에서 이러한 구분자의 검출에 관한 상호 보완적인 양태가 도 13c 및 도 13d와 관련하여 설명된다.

[0503] 도 13c는 데이터 신호(1321)를 디코딩하기 위한 장치(1320)의 예를 도시한다. 장치(1320)는 데이터 신호(1321)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1322)(예를 들어 TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(1321)는 장치(1320)의 인터페이스 회로(도시되지 않음)에 의해 송신 링크로부터 수신될 수 있다.

[0504] 또한, 데이터 신호(1286)를 디코딩하기 위한 장치(1285)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜(예를 들어, STEP 프로토콜)에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로(1287)를 포함한다. 또한, 복조 회로(1287)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패

킷의 서비스 타입을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성된다.

[0505] 데이터 신호(1321)에서 연속적인 신호 에지 사이의 기간을 페이로드 데이터 임계치와 비교함으로써, 구분자의 시작이 비교적 수월하게 검출될 수 있다. 또한, 제어 심볼에 의해 표시된 데이터 패킷의 서비스 타입은 장치(1320) 또는 다운스트림 수신 회로가 요구된 대로 곧 다가오는 데이터 패킷을 처리할 수 있게 할 수 있다.

[0506] 데이터 패킷의 데이터는 연속적인 신호 에지 사이의 기간을 통해 데이터 신호(1321)에 인코딩된다. 따라서, 처리 회로(1322)는 또한 데이터 신호(1321)에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(1323)는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 데이터 패킷의 제 1 페이로드 데이터 심볼을 결정하고, 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 데이터 패킷의 제 2 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 위에서 설명한 바와 같이, 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0507] 일부 예에서, 장치(1320)는 데이터 처치 회로(data handling circuit)(1324)(예를 들어, 에러 보정 또는 신호 조정을 위한 회로, 베이스밴드 프로세서 또는 애플리케이션 프로세서)를 더 포함한다. 데이터 처치 회로(1324)는 데이터 패킷의 서비스 타입에 기초하여 제 1 페이로드 데이터 심볼 및 제 2 페이로드 데이터 심볼을 처리하도록 구성된다. 따라서, 장치(1320)에 의한 적절한 데이터 처치가 가능해질 수 있다.

[0508] 일부 예에서, 처리 회로(1322)는 또한 데이터 신호(1321)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1322)는 제 2 데이터 신호에 더 기초하여 적어도 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하도록 구성될 수 있다. 즉, 처리 회로(1322)는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[0509] 위에서 설명한 바와 같이, 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 시그널링하는데 사용될 수 있다. 따라서, 처리 회로(1322)는, 예를 들어, 데이터 신호(1321)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(1323)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성될 수 있다. 또한, 복조 회로(1323)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 다수의 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성될 수 있다. 복조 회로(1323)는 제 3 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 통신 프로토콜의 제 2 제어 심볼을 결정하고, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성될 수 있다. 데이터 신호(1321)에서 제 2 제어 심볼 및 제 3 제어 심볼의 시퀀스/조합은 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시한다. 예를 들어, 데이터 신호(1321)를 디코딩하기 위한 장치(1320)의 복조 회로(1323) 또는 추가 회로는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 결정하기 위해 데이터 신호(1321)에서 제 2 제어 심볼 및 제 3 제어 심볼의 시퀀스/조합을 분석할 수 있다. 위에서 설명한 바와 같이, 일부 예에서 제 1 제어 심볼이 생략될 수 있다.

[0510] 위에서 언급한 바와 같이, 두 개 초과의 연속적인 제어 심볼이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 데 사용될 수 있다.

[0511] 다른 복조 회로에 대해 위에서 설명한 바와 같이, 또한 복조 회로(1323)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다.

[0512] 일부 예에서 제어 심볼(들)은 대안적으로 제어 심볼 표시자의 앞에 올 수 있다. 부합하는 데이터 신호(1331)를 생성하기 위한 장치(1300)가 도 13d에 도시된다.

[0513] 장치(1330)는 데이터 신호(1331)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1332)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(1331)는 장치(1330)의 인터페이스 회로(도시되지 않음)에 의해 송

신 링크로부터 수신될 수 있다.

[0514] 또한, 데이터 신호(1331)를 디코딩하기 위한 장치(1330)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜(예를 들어, STEP 프로토콜)의 제 1 제어 심볼을 결정하도록 구성된 복조 회로(1333)를 포함한다. 복조 회로(1333)는 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성될 수 있다.

[0515] 데이터 신호(1321)에서 연속적인 신호 에지 사이의 기간을 페이로드 데이터 임계치와 비교함으로써, 구분자의 끝이 비교적 수월하게 검출될 수 있다. 또한, 제어 심볼에 의해 표시된 데이터 패킷의 서비스 타입은 장치(1330) 또는 다운 스트림 수신 회로가 요구된 대로 곧 다가오는 데이터 패킷을 처리할 수 있게 할 수 있다.

[0516] 데이터 패킷의 데이터는 연속적인 신호 에지 사이의 기간을 통해 데이터 신호(1331)에 인코딩된다. 따라서, 처리 회로(1332)는 또한 데이터 신호(1331)에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(1333)는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 데이터 패킷의 제 1 페이로드 데이터 심볼을 결정하고, 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 데이터 패킷의 제 2 페이로드 데이터 심볼을 결정하도록 구성될 수 있다. 위에서 설명한 바와 같이, 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0517] 또한 장치(1320)는, 일부 예에서, 데이터 처치 회로(1334)(예를 들어, 에러 보정 또는 신호 조정을 위한 회로, 베이스밴드 프로세서 또는 애플리케이션 프로세서)를 더 포함할 수 있다. 데이터 처치 회로(1334)는 데이터 패킷의 서비스 타입에 기초하여 제 1 페이로드 데이터 심볼 및 제 2 페이로드 데이터 심볼을 처리하도록 구성된다. 따라서, 장치(1330)에 의한 적절한 데이터 처치가 가능해질 수 있다.

[0518] 일부 예에서, 처리 회로(1332)는 또한 데이터 신호(1331)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1332)는 제 2 데이터 신호에 더 기초하여 적어도 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하도록 구성될 수 있다. 즉, 처리 회로(1332)는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[0519] 도 13b와 관련하여 설명된 바와 같이, 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 시그널링하는데 사용될 수 있다. 따라서, 처리 회로(1332)는, 예를 들어, 데이터 신호(1331)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(1323)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성될 수 있다. 복조 회로(1323)는 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성될 수 있다. 또한, 복조 회로(1323)는 제 3 신호 에지와 제 7 신호 에지 사이의 제 5 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 다수의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성될 수 있다. 복조 회로(1323)는 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성될 수 있다. 데이터 신호(1331)에서 제 1 제어 심볼 및 제 2 제어 심볼의 시퀀스/조합은 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시한다. 예를 들어, 데이터 신호(1331)를 디코딩하기 위한 장치(1330)의 복조 회로(1333) 또는 추가 회로는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 결정하기 위해 데이터 신호(1331)에서 제 1 제어 심볼 및 제 2 제어 심볼의 시퀀스/조합을 분석할 수 있다. 위에서 설명한 바와 같이, 일부 예에서 제 3 제어 심볼이 생략될 수 있다.

[0520] 되풀이하면, 또한 두 개 초과의 연속적인 제어 심볼이 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 데 사용될 수 있다.

[0521] 다른 복조 회로에 대해 위에서 설명한 것과 유사하게, 또한 복조 회로(1333)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다.

[0522] 아래에서, 데이터 신호를 생성 및 디코딩하기 위한 일부 예시적인 방법이 서비스 타입 민감성 구분자에 관한 위의 양태를 요약하기 위해 도 13e 내지 도 13h와 관련하여 설명된다.

[0523] 도 13e는 데이터 신호를 생성하기 위한 방법(1300e)의 예를 도시한다. 방법(1300e)은 데이터 신호를 생성하는 단계(1302e)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법(1300e)은 데이터 신호를 출력하는 단계(1304e)를 포함한다.

[0524] 방법(1300e)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 13a)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0525] 도 13f는 데이터 신호를 생성하기 위한 방법(1300f)의 다른 예를 도시한다. 방법(1300f)은 데이터 신호를 생성하는 단계(1302f)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 방법(1300f)은 데이터 신호를 출력하는 단계(1304f)를 포함한다.

[0526] 방법(1300f)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 13b)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0527] 데이터 신호를 디코딩하기 위한 방법(1300g)의 예가 도 13g 의 흐름도에 의해 도시된다. 방법(1300g)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1302g)를 포함한다. 또한, 방법(1300g)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계(1304g)를 포함한다. 또한, 방법(1300g)은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계(1306g)를 포함한다.

[0528] 방법(1300g)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 13c)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0529] 도 13h는 데이터 신호를 생성하기 위한 방법(1300h)의 다른 예를 도시한다. 방법(1300h)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1302h)를 포함한다. 또한, 방법(1300h)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼을 결정하는 단계(1304h)를 포함한다. 방법(1300h)은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계(1306h)를 포함한다.

[0530] 방법(1300h)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 13d)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0531] 구분자는 또한 데이터 패킷 송신의 우선순위를 정하기 위하여 데이터 패킷을 다른 데이터 패킷에 내포하게 할 수 있다. 제 1 우선순위의 제 1 데이터 패킷 및 더 높은 제 2 우선순위의 제 2 데이터 패킷을 송신하기 위한 부합하는 장치(1340)의 예가 도 13i에 도시한다.

[0532] 장치(1340)는 데이터 신호(1341)를 생성하도록 구성된 처리 회로(1350)(예를 들어, DTC)를 포함한다. 데이터 신호(1341)는 도 13j에 도시된다.

[0533] 처리 회로(1350)는 제 1 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜(예를 들어, STEP 프로토콜)

의 제 1 제어 심볼(1342)(및 제어 심볼 표시자), 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 1 부분(1343-1), 제 2 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 2 제어 심볼(1344)(뿐만아니라 제어 심볼 표시자), 제 2 데이터 패킷(1345), 제 2 우선순위의 데이터 패킷의 끝을 표시하는 통신 프로토콜의 제 3 제어 심볼(1346)(뿐만아니라 제어 심볼 표시자), 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 2 부분(1343-2)의 시퀀스를 나타내는 데이터 신호(1341)를 생성하도록 구성된다.

[0534] 또한, 장치(1340)는 데이터 신호(1341)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1360)를 포함한다.

[0535] 예를 들어, 제 2 데이터 패킷은 긴급하게 송신되어야 하는 높은 우선순위의 데이터 패킷일 수 있다. 도 13j에서 시사된 바와 같이, 제 1 데이터 패킷은 예를 들어 기다란 데이터 패킷일 수 있다. 제 2 데이터 패킷을 제 1 데이터 패킷에 내포시킴으로써, 높은 우선순위의 제 2 데이터 패킷이 제 1 데이터 패킷의 송신이 완료되기 전에 송신될 수 있다. 따라서, 상이한 우선순위의 데이터 패킷은, 더 높은 우선순위의 데이터 패킷이 먼저 송신될 수 있게 하는 방식으로 동일한 데이터 신호(1341)에 멀티플렉싱될 수 있다.

[0536] 예를 들어, 제 1 데이터 패킷은 송신 지연을 수용할 수 있는 데이터를 포함할 수 있는 반면, 제 2 데이터 패킷은 신뢰할 수 있고 가능한 한 전송 지연이 적게 전송되어야 하는 제어 데이터일 수 있다. 장치(1340)는, 제 1 데이터 패킷의 송신 동안 제 2 데이터 패킷이 송신될 필요가 있다면, 제 1 데이터 패킷의 송신이 전송 중간에 일시 중단되고 그리고 제 1 데이터 패킷의 나머지 부분의 송신이 재개되기 전에 제 2 데이터 패킷의 시작을 표시하는 구분자, 제 2 데이터 패킷 자체 및 제 2 데이터 패킷의 끝을 표시하는 다른 구분자의 시퀀스가 송신되기 때문에, 두 데이터 패킷 모두 동일한 데이터 신호(1341)에 멀티플렉싱될 수 있게 할 수 있다.

[0537] 전술한 예를 참조하면, 제 1 및 제 2 데이터 패킷은 또한 상이한 포맷 및/또는 상이한 헤더를 나타낼 수 있다. 예를 들어, 제 2 데이터 패킷이 신뢰할 수 있게 전송되어야 하면, 이것은 복제되어 송신되거나 에러 보정 코드를 반송할 수 있다. 그러나, (더) 높은 우선순위 데이터 패킷은 또한 에러 복구, 에러 보정 코드, 데이터 패킷의 복제 또는 데이터 패킷의 재송신없이 송신될 수 있다.

[0538] 되풀이하면, 데이터는 처리 회로(1350)에 의해 데이터 신호(1341)에 시간 인코딩될 수 있다. 즉, 데이터 신호(1341)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리된다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 제 2 제어 심볼(1342)에 대응하는 제 2 기간에 의해 분리된다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0539] 제 2 데이터 패킷(1345)은 적어도 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스에 의해 데이터 신호(1341)에 인코딩될 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 제 2 데이터 패킷(1345)의 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다. 제 5 신호 에지 및 제 6 신호 에지는 제 2 데이터 패킷(1345)의 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다. 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1340)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0540] 유사하게, 제 1 데이터 패킷의 제 1 부분(1343-1), 제 1 데이터 패킷의 제 2 부분(1343-2) 및 옵션으로 제 1 데이터 패킷의 추가 부분의 페이로드 데이터 심볼은 데이터 신호(1341)에서 상이한 타입의 연속적인 신호 에지 사이의 기간을 조정함으로써 데이터 신호(1341)에 인코딩될 수 있다.

[0541] 제 2 제어 심볼(1344)을 나타내기 위해, 데이터 신호(1341)는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 더 포함할 수 있다. 제 7 신호 에지 및 제 8 신호 에지는 다른 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 5 기간에 의해 분리된다. 제 8 신호 에지 및 제 9 신호 에지는 제 2 페이로드 데이터 심볼(1344)에 대응하는 제 6 기간에 의해 분리된다.

[0542] 데이터 신호(1341)는 제 3 제어 심볼(1346)을 나타내기 위해 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지 및 제 1 타입의 제 12 신호 에지의 시퀀스를 더 포함할 수 있다. 제 10 신호 에지 및 제 11 신호 에

지는 다른 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 7 기간에 의해 분리된다. 제 11 신호 에지 및 제 12 신호 에지는 제 3 제어 심볼(1346)에 대응하는 제 8 기간에 의해 분리된다.

[0543] 도 13j에서 시사된 바와 같이, 제 1 데이터 패킷의 끝을 표시하기 위해, 데이터 신호(1341)는 제 1 우선순위의 데이터 패킷의 데이터 패킷의 끝을 표시하는 통신 프로토콜의 제 4 제어 심볼(1348)(및 제어 심볼 표시자)을 뒤쪽에 더 나타낼 수 있다. 예를 들어, 데이터 신호(1341)는 제 4 제어 심볼(1348)을 나타내기 위해 제 1 타입의 제 13 신호 에지, 제 2 타입의 제 14 신호 에지 및 제 1 타입의 제 15 신호 에지의 시퀀스를 더 포함할 수 있다. 제 13 신호 에지 및 제 14 신호 에지는 다른 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 9 기간에 의해 분리된다. 제 14 신호 에지 및 제 15 신호 에지는 제 4 제어 심볼(1348)에 대응하는 제 10 기간에 의해 분리된다.

[0544] 그뿐만 아니라, 데이터 패킷의 송신을 일시 중단하기 위해 유휴 구분자가 데이터 패킷에 내포될 수 있다. 예를 들어, 데이터 패킷의 모든 데이터가 아직 송신하는데 이용 가능하지 않으면(예를 들어, 송신 버퍼에 아직도 데이터 패킷의 일부 데이터가 부족하면) 유휴 구분자가 내포될 수 있다. 따라서, 데이터 패킷의 지금까지 이용 가능한 데이터가 데이터 패킷이 완성되기 전에 송신될 수 있다. 따라서, 장치(1340)는 데이터 패킷의 모든 데이터가 송신 가능해질 때까지 기다릴 필요가 없다. 이것은 또한 데이터 신호(1341)가 유휴 모드를 표시하는 통신 프로토콜의 제 5 제어 심볼(1347)(및 제어 심볼 표시자) 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 3 부분(1343-3)을 더 나타내는 것을 도시하는 도 13j에 도시된다. 제 5 제어 심볼(1347)은 제 1 데이터 패킷의 제 2 및 제 3 부분(1343-2 및 1343-3)의 페이로드 데이터 심볼 사이에 배열된다. 유휴 구분자를 제 1 데이터 패킷에 내포시키는 것은 제 2 데이터 패킷을 제 1 데이터 패킷에 내포시키는 것과 무관하다는 것을 유의해야 한다.

[0545] 예를 들어, 데이터 신호(1341)는 제 5 제어 심볼(1347)을 나타내기 위해 제 1 타입의 제 16 신호 에지, 제 2 타입의 제 17 신호 에지 및 제 1 타입의 제 18 신호 에지의 시퀀스를 더 포함할 수 있다. 제 16 신호 에지 및 제 17 신호 에지는 다른 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 11 기간에 의해 분리된다. 제 17 신호 에지 및 제 18 신호 에지는 제 5 제어 심볼(1347)에 대응하는 제 12 기간에 의해 분리된다.

[0546] 일부 예에서 제어 심볼은 대안적으로 제어 심볼 표시자 앞에 올 수 있다. 즉, 제 1 신호 에지 및 제 2 신호 에지는 대안적으로 제 1 제어 심볼(1342)에 대응하는 제 1 기간에 의해 분리될 수 있고, 제 2 신호 에지 및 제 3 신호 에지는 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리될 수 있다.

[0547] 유사하게, 제 7 신호 에지 및 제 8 신호 에지는 제 2 제어 심볼(1344)에 대응하는 제 5 기간에 의해 분리될 수 있고, 제 8 신호 에지 및 제 9 신호 에지는 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 6 기간에 의해 분리될 수 있다.

[0548] 또한, 제 10 신호 에지 및 제 11 신호 에지는 대안적으로 제 3 제어 심볼(1346)에 대응하는 제 7 기간에 의해 분리될 수 있고, 제 11 신호 에지 및 제 12 신호 에지는 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 8 기간에 의해 분리될 수 있다.

[0549] 또한 제 13 신호 에지 및 제 14 신호 에지는 대안적으로 제 4 제어 심볼(1348)에 대응하는 제 9 기간에 의해 분리될 수 있고, 제 14 신호 에지 및 제 15 신호 에지는 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 10 기간에 의해 분리될 수 있다.

[0550] 제 16 신호 에지 및 제 17 신호 에지는 또한 일부 예에서 제 5 제어 심볼(1347)에 대응하는 제 11 기간에 의해 분리될 수 있고, 제 17 신호 에지 및 제 18 신호 에지는 제어 심볼 표시자를 데이터 신호(1341)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 12 기간에 의해 분리될 수 있다.

[0551] 도 13b와 관련하여 위에서 설명한 바와 같이, 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)은 데이터 패킷의 시작, 데이터 패킷의 끝 등을 시그널링하는데 사용될 수 있다.

[0552] 도 13j에서 시사된 바와 같이, 데이터 신호(1341)는 옵션으로 훈련 데이터(training data)(1349-1)(예를 들어, 훈련 데이터 심볼), 추가 데이터 패킷(1349-2)(데이터 패킷의 시작 또는 끝을 표시하는 제어 심볼을 포함) 또는 유휴 모드를 나타내는 제어 심볼(1349-3, 1349-4)과 같은 추가 데이터를 나타낼 수 있다.

[0553] 장치(1340)는 위에서 설명한 바와 같이 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성할 수 있게 할 수 있다. 즉, 일부 예에서, 처리 회로(1350)는 또한 제 2 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 2 데이터 신호는 데이터 신호(1341)에 대해 반전된다. 따라서, 출력 인터페이스 회로(1360)는 제 2 데이터 신호를 또한 송신 링크로 출력하도록 구성될 수 있다.

[0554] 다른 데이터를 데이터 패킷에 내포시키는 것에 관한 위의 양태를 요약하기 위해, 도 13k는 제 1 우선순위의 제 1 데이터 패킷 및 더 높은 제 2 우선순위의 제 2 데이터 패킷을 송신하기 위한 방법(1300k)의 예를 도시한다. 방법(1300k)은 데이터 신호를 생성하는 단계(1302k)를 포함한다. 데이터 신호는 제 1 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 1 제어 심볼, 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 1 부분, 제 2 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 2 제어 심볼, 제 2 데이터 패킷, 제 2 우선순위의 데이터 패킷의 끝을 표시하는 통신 프로토콜의 제 3 제어 심볼, 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 2 부분의 시퀀스를 나타낸다. 또한, 방법(1300k)은 데이터 신호를 출력하는 단계(1304k)를 포함한다.

[0555] 옵션으로, 데이터 신호는 또한 제 1 우선순위의 데이터 패킷의 끝을 표시하는 통신 프로토콜의 제 4 제어 심볼을 나타낼 수 있다.

[0556] 일부 예에서, 데이터 신호는 또한 유휴 모드를 표시하는 통신 프로토콜의 제 5 제어 심볼 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 3 부분을 나타낼 수 있다. 제 5 제어 심볼은 제 1 데이터 패킷의 제 2 및 제 3 부분의 페이로드 데이터 심볼 사이에 배열된다.

[0557] 방법(1300k)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 13i 및 도 13j)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0558] 높은 신뢰성을 필요로 하는 송신의 경우, 도 10a 내지 도 10f와 관련하여 위에서 설명한 바와 같은 인터리빙 방식이 사용될 수 있다. 인터리빙 방식을 사용하는 것은 매트릭스가 가득 차고 계산이 완료되기 전에 데이터의 송신이 시작될 수 없기 때문에 통상적으로 대기 시간을 도입시킨다. 또한, 가득 찬 매트릭스가 수신되지 않고 에러 보정이 적용되지 않으면, 송신을 위한 데이터는 애플리케이션 계층으로 전달될 수 없다. 그러나 높은 신뢰성 및/또는 높은 우선순위 데이터 패킷에 대해 하나 이상의(예를 들어, 소수 개의) 구분자를 할당함으로써, 매트릭스의 송신은 중간에서 일시 중단될 수 있고 높은 신뢰성 및/또는 높은 우선순위 데이터 패킷은 전체 매트릭스가 완료되기를 기다리지 않고 밀어 내보낼 수 있다. 예를 들어, 전용(높은 우선순위) 구분자가 매트릭스 전송의 중간에 송신될 수 있고, 그 다음에는 높은 신뢰성 및/또는 높은 우선순위 데이터 패킷이 송신될 수 있다. 또한, 데이터 패킷의 끝을 표시하는 구분자가 송신될 수 있고 매트릭스의 송신이 재개될 수 있다.

[0559] 일부 애플리케이션에서, 통신 인터페이스는 동시에 대칭적일 필요는 없다. 예를 들어, 제 1 기간 동안 두 통신 파트너 사이에서 주로 제 1 방향으로 데이터 트래픽이 있을 수 있는데 반해, 제 2 기간 동안 제 1 방향과 반대인 제 2 방향으로 주로 데이터 트래픽이 있을 수 있다. 대역폭(처리량) 목표를 충족시키기 위해, 종래의 솔루션은 각 방향의 데이터 트래픽에 대해서만 각각 하나 이상의 트레이스를 제공한다. 도 14a는 제 1 통신 장치(1410)와 제 2 통신 장치(1420) 사이에서 보다 효율적인 데이터 교환을 가능하게 할 수 있는 통신 시스템(1400)을 도시한다.

[0560] 제 1 통신 장치(1410)는 제 2 통신 장치(1420)와 통신하기 위해 적어도 제 1 송신 링크(1401)에 결합하도록 구성된 인터페이스 회로(1411)를 포함한다. 인터페이스 회로(1411)는 제 1 송신 데이터 신호(1405)를 제 1 송신 링크(1401)를 통해 제 2 통신 장치(1420)로 출력하도록 구성된다.

[0561] 도 14a에서 시사된 바와 같이, 제 1 통신 장치(1410)는 옵션으로 추가 송신 링크를 통해 제 2 통신 장치(1420)와 통신할 수 있다. 예를 들어, 인터페이스 회로(1411)는 제 2 통신 장치(1420)와 통신하기 위해 제 2 송신 링크(1402), 제 3 송신 링크(1403) 및/또는 제 4 송신 링크(1404)에 결합하도록 구성될 수 있다.

[0562] 제 1 통신 장치(1410)는 제 1 송신 데이터 신호(1405)를 생성하도록 구성된 처리 회로(1412)를 더 포함한다. 예를 들어, 처리 회로(1412)는 제 1 송신 데이터 신호(1405)를 생성하기 위한 DTC를 포함할 수 있다. 제 1 송신 데이터 신호(1405)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 1 타입이 하강 에지이고 제 2 타입이 상승 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제어 심볼 표시자를 제 1 송신 데이터 신호(1405)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기

간보다 긴 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 송신 링크 상에서 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다.

[0563] 제 2 통신 장치(1420)는 제 1 통신 장치(1410)와 통신하기 위해 적어도 제 1 송신 링크(1401)에 결합하도록 구성된 인터페이스 회로(1421)를 포함한다. 인터페이스 회로(1421)는 또한 제 1 송신 링크(1401)를 통해 제 1 통신 장치(1410)로부터 제 1 송신 데이터 신호(1405)를 수신하도록 구성된다. 제 1 통신 장치(1410)에 의해 출력된 제 1 송신 데이터 신호(1405)는 제 2 통신 장치(1420)를 향한 제 1 수신 데이터 신호로 이해될 수 있다.

[0564] 또한, 제 2 통신 장치(1420)는 제 1 송신 데이터 신호(1405)에서 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1422)를 포함한다. 예를 들어, 처리 회로(1422)는 수신된 제 1 송신 데이터 신호(1405)에서 신호 에지를 결정하기 위한 TDC를 포함할 수 있다.

[0565] 제 2 통신 장치(1420)는 또한 제 1 송신 데이터 신호(1405)에서 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜(예를 들어, STEP 프로토콜)에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로(1423)를 포함한다. 복조 회로(1423)는 또한 제 1 송신 데이터 신호(1405)에서 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성된다. 다시 말해, 복조 회로(1423)는 제 1 송신 데이터 신호(1405)에서 시간 인코딩된 신호 에지를 다시 데이터로 변환한다.

[0566] 제 1 제어 심볼은 데이터를 제 1 통신 장치(1410)와 제 2 통신 장치(1420) 사이에서 제 1 송신 링크(1401)를 통해 서로 다른 방향으로 교환할 수 있게 할 수 있다. 예를 들어, 인터페이스 회로(1421)는 또한 제 1 제어 심볼을 수신하는 것에 응답하여 제 2 통신 장치(1420)의 제 1 송신 데이터 신호(1406)를 제 1 송신 링크(1401)를 통해 제 1 통신 장치(1410)로 출력하도록 구성될 수 있다. 따라서, 인터페이스 회로(1411)는 제 1 제어 심볼을 출력한 이후 제 1 송신 링크(1401)를 통해 제 2 통신 장치(1420)로부터 제 1 송신 데이터 신호(1406)를 수신하도록 구성될 수 있다. 제 2 통신 장치(1420)에 의해 출력된 제 1 송신 데이터 신호(1406)는 제 1 통신 장치(1410)를 향한 제 1 수신 데이터 신호로 이해될 수 있다.

[0567] 제 1 송신 링크(1401) 상에서 데이터 흐름 방향의 반전은 제 1 통신 장치(1410)에 의해 고유 구분자를 통해 제 2 통신 장치(1420)에 시그널링된다. 위에서 설명한 바와 같이, 구분자는 비교적 짧은 지속기간(예를 들어, 5 나노초 훨씬 미만)의 매우 신뢰할 수 있는 심볼이다. 따라서, 제 1 송신 링크(1401) 상에서 데이터 흐름의 방향은 비교적 짧은 시간(예를 들어, 1 마이크로초(㎲) 미만) 내에 반전될 수 있다.

[0568] 또한, 제 1 통신 장치(1410)와 제 2 통신 장치(1420) 사이의 다수의 송신 링크는 통상의 접근법에 비해 감소될 수 있다. 예를 들어, 인터페이스 회로(1411)는 또한 제 1 송신 링크(1401)상에서 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 2 송신 링크(1402)를 통해 제 2 통신 장치(1420)로 출력하도록 구성될 수 있다. 되풀이하면, 제 1 통신 장치(1410)의 제 2 송신 데이터 신호는 제 2 통신 장치(1420)를 향한 제 2 수신 데이터 신호로서 이해될 수 있다. 다시 말해, 인터페이스 회로(1421)는 또한 제 1 송신 링크(1401)상에서 데이터 흐름 방향에 관계없이 제 2 송신 링크(1402)를 통해 제 1 통신 장치(1410)로부터 제 2 수신 데이터 신호를 수신하도록 구성될 수 있다. 유사하게, 인터페이스 회로(1421)는 또한 제 1 송신 링크(1401)상에서 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 3 송신 링크(1403)를 통해 제 1 통신 장치(1410)로 출력하도록 구성될 수 있다. 제 2 통신 장치(1420)의 제 2 송신 데이터 신호는 제 1 통신 장치(1410)를 향한 제 2 수신 데이터 신호로 이해될 수 있다. 다시 말해, 인터페이스 회로(1411)는 또한 제 1 송신 링크(1401)상에서 데이터 흐름 방향에 관계없이 제 3 송신 링크(1403)를 통해 제 2 통신 장치(1420)로부터 제 2 수신 데이터 신호를 수신하도록 구성될 수 있다.

[0569] 세 개의 송신 링크이면 제 1 통신 장치(1410)와 제 2 통신 장치(1420) 사이에서 두 개의 상이한 데이터 교환 모드를 지원하기에 충분할 수 있다. 예를 들어, 제 1 동작 모드에서, 제 1 통신 장치(1410)로부터 제 2 통신 장치(1420)로의 데이터 송신은 30 Gbit/초의 대역폭에서 요구될 수 있고, 제 2 통신 장치(1420)로부터 제 1 통신 장치(1410)로의 데이터 송신은 20 Gbit/초 (훨씬) 미만의 대역폭에서 요구될 수 있다. 한편, 제 2 동작 모드에서, 제 2 통신 장치(1420)로부터 제 1 통신 장치(1410)로의 데이터 송신은 30 Gbit/초의 대역폭에서 요구될 수 있고, 제 1 데이터 통신 장치(1410)로부터 제 2 통신 장치(1420)로의 데이터 송신은 20 Gbit/초 (훨씬) 미만의 대역폭에서 요구될 수 있다.

[0570] 제 1 내지 제 3 송신 링크(1401 내지 1403) 각각이 20 Gbit/초의 대역폭에서 데이터를 반송할 수 있다고 가정하면, 제 2 송신 링크(1402)는 두 동작 모드 모두에서 제 1 통신 장치(1410)로부터 제 2 통신 장치(1420)로 데이

터를 반송하는데 사용될 수 있고, 제 3 송신 링크(1403)는 두 동작 모드 모두에서 제 2 통신 장치(1420)로부터 제 1 통신 장치(1410)로 데이터를 반송하는데 사용될 수 있다. 또한, 제 1 송신 링크(1401) 상에서 데이터 흐름의 방향은 현재의 동작 모드에 기초하여 선택될 수 있다. 예를 들어, 제 1 송신 링크(1401) 상에서 데이터 흐름의 방향은 제 1 통신 장치(1410)로부터 제 2 통신 장치(1420)로 향할 수 있어서, 제 1 및 제 2 송신 링크(1401 및 1402)는 제 1 동작 모드에서 제 1 통신 데이터로부터 제 2 통신 장치(1420)로 데이터를 반송하기에 충분한 대역폭을 제공할 수 있다. 반대로, 제 1 및 제 3 송신 링크(1401 및 1403)가 제 2 동작 모드 동안 제 2 통신 장치(1420)로부터 제 1 통신 장치(1410)로 데이터를 반송하기에 충분한 대역폭을 제공하도록 제 1 송신 링크(1401) 상에서 데이터 흐름의 방향이 뒤집힐 수 있다.

[0571] 데이터 흐름의 양방향 모두에 대해 20 Gbit/초 초과의 대역폭이 동시에 요구되지 않기 때문에, 제 1 통신 장치(1410)와 제 2 통신 장치(1420) 사이의 데이터 교환의 필요는 단지 세 개의 송신 링크로 해결될 수 있다. 방향당 두 개의 송신 라인(송신 라인)을 사용하는 종래의 솔루션에 비해, 한 라인(레인)이 절약될 수 있다. 다시 말해, 데이터 흐름의 방향마다 하나의 송신 링크 및 방향을 뒤집을 수 있는 제 3 송신 링크이면 필요를 해결하기에 충분할 수 있다.

[0572] 위의 데이터 교환 개략도를 나타내는 애플리케이션은 예를 들어 무선 통신 송수신기일 수 있다. 무선을 통해 데이터를 송신할 때, (예를 들어, 제 1 반도체 칩/다이 상의) 베이스밴드 회로와 (예를 들어, 제 2 반도체 칩/다이 상의) 무선 주파수 회로 사이에서 송신되는 대부분의 데이터는 베이스밴드 회로로부터 무선 주파수 회로로 출력되지만, 무선 주파수 회로로부터 베이스밴드 회로로의 요구되는 대역폭은 훨씬 더 낮다. 다른 한편, 신호가 무선으로부터 수신될 때, 베이스밴드 회로와 무선 주파수 회로 사이의 데이터 교환을 위한 대부분의 대역폭은 무선 주파수 회로로부터 베이스밴드 회로로의 데이터 전송을 위해 요구되지만, 무선 주파수 회로로부터 베이스밴드 회로로의 요구되는 대역폭은 훨씬 더 낮다. 따라서, 베이스밴드 회로와 무선 주파수 회로 사이의 데이터 교환을 위해 통신 시스템(1400)을 사용하면 송신 링크 중 적어도 하나는 데이터 흐름의 방향을 뒤집을 수 있기 때문에 두 회로 사이의 송신 링크의 수를 감소시킬 수 있다. 위에서 설명한 바와 같이, 통신 시스템(1400)은 또한 다른 송신 링크(여기서는 변경되지 않는 송신 링크(1402 및 1403))가 어떠한 중단도 없이 자신의 동작을 유지할 수 있게 할 수 있다. 또한, 뒤집힌 송신 링크는 (그의 방향이 뒤집힌 이후) 동일한 데이터 흐름의 방향을 나타내는 하나 이상의 다른 라인과 병합될 수 있다.

[0573] 예를 들어, 제 1 통신 장치(1410)는 수신된 제어 신호에 기초하여 제 1 제어 심볼을 제 2 통신 장치(1420)로 송신하도록 구성될 수 있다. 예를 들어, 통신 인터페이스의 상위 계층(의 회로)은 제 1 통신 장치(1410)를 향한 제어 신호를 생성(제공)할 수 있다.

[0574] 제 2 통신 장치(1420)의 제 1 송신 데이터 신호(1406)는 예를 들어 처리 회로(1422)에 의해 생성될 수 있다. 예를 들어, 처리 회로(1422)는 제 2 통신 장치(1420)의 제 1 송신 데이터 신호(1406)를 생성하기 위한 DTC를 더 포함할 수 있다. 제 1 제어 심볼의 수신을 확인 응답하기 위하여, 처리 회로(1422)는 또한 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하는 제 1 송신 데이터 신호(1406)를 생성하도록 구성될 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 제어 심볼 표시자를 제 1 송신 데이터 신호(1406)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다. 제 5 신호 에지 및 제 6 신호 에지는 통신 장치에 의한 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[0575] 제 1 통신 장치(1410)의 경우, 처리 회로는 또한 (제 1 통신 장치(1410)를 향한 제 1 데이터 수신 신호로 이해될 수 있는) 제 1 송신 데이터 신호(1406)에서 제 4 신호 에지, 제 5 신호 에지 및 제 6 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 제 1 통신 장치(1410)는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로(1413)를 더 포함할 수 있다. 또한, 복조 회로(1413)는 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 제 2 통신 장치(1420)에 의한 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성될 수 있다.

[0576] 일부 예에서, 제 1 통신 장치(1410)의 인터페이스 회로(1411)뿐만 아니라 제 2 통신 장치(1420)의 인터페이스 회로(1421)는, 제 1 송신 링크(1401)에 결합하여 제 1 송신 링크(1401)를 통해 제 1 송신 데이터 신호(1405/1406)를 다른 통신 장치로 출력하도록 구성된 각각의 송신 회로(도시되지 않음)를 포함할 수 있다. 유사하게, 제 1 통신 장치(1410)의 인터페이스 회로(1411)뿐만 아니라 제 2 통신 장치(1420)의 인터페이스 회로(1421)는, 제 1 송신 링크에 결합하여 제 1 송신 링크(1401)를 통해 다른 통신 장치로부터 제 1 수신 데이터 신

호(1406/1405)를 수신하도록 구성된 수신 회로(도시되지 않음)를 포함할 수 있다.

[0577] 다시 말해, 제 1 통신 장치(1410)는 먼저 뒤집힘 구분자(flip delimiter)를 전송하고 그 이후에 송신 모드에서 수신 모드로 변경될 수 있는 반면, 제 2 통신 장치(1420)는 뒤집힘 구분자를 받아들인 이후 구분자 다음의 데이터가 더 이상 제 1 송신 링크(1401)를 통해 오고 있지 않은 것을 인식할 수 있다. 제 2 통신 장치(1420)는 이어서 그의 송신 회로를 활성화하고 뒤집힘 확인 응답 구분자를 제 1 통신 장치(1410)에 전송할 수 있다.

[0578] 이것은 예시적으로 도 14b에 도시된다. 라인(1431a)은 제 1 송신 링크(1401)와 관련하여 제 1 통신 장치(1410)의 활동을 나타낸다. 제 1 기간(1431a-1) 동안, 제 1 통신 장치(1410)는 데이터를 제 1 송신 링크(1401)를 통해 제 2 통신 장치(1420)로 출력한다. 그 다음에, 제 1 통신 장치(1410)는 제 2 기간(1431a-2) 동안 뒤집힘 구분자를 출력한다. 뒤집힘 구분자를 출력한 이후, 제 1 통신 장치(1410)는 기간(1431a-3) 기간 동안 수신 모드에 있다.

[0579] 라인(1431b)은 제 1 송신 링크(1401)와 관련하여 제 2 통신 장치(1420)의 활동을 나타낸다. 제 2 통신 장치(1420)는 제 1 통신 장치(1410)로부터 뒤집힘 구분자를 수신할 때까지 초기 기간(1431b-1) 동안 수신 모드에 있다. 뒤집힘 구분자를 수신한 이후, 제 2 통신 장치(1420)는 제 2 기간(1431b-1) 동안 뒤집힘 확인 응답 구분자를 출력한다. 뒤집힘 확인 응답 구분자를 출력한 이후, 제 2 통신 장치(1420)는 제 3 기간(1431b-3) 동안 데이터를 제 1 송신 링크(1401)를 통해 제 1 통신 장치(1410)로 출력한다.

[0580] 라인(1432)은 제 2 송신 링크(1402)와 관련하여 제 1 통신 장치(1410)의 활동을 나타낸다. 도 14b로부터 알 수 있는 바와 같이, 제 1 통신 장치(1410)는 제 1 송신 링크(1401)상의 데이터 흐름의 방향에 관계없이 데이터를 제 2 송신 링크(1402)를 통해 제 2 통신 장치(1420)로 송신한다. 유사하게, 라인(1433)은 제 3 송신 링크(1403)와 관련하여 제 1 통신 장치(1420)의 활동을 나타낸다. 제 2 통신 장치(1420)는 제 1 송신 링크(1401)상의 데이터 흐름의 방향에 관계없이 데이터를 제 3 송신 링크(1403)를 통해 제 1 통신 장치(1410)로 송신한다.

[0581] 도 14b로부터 알 수 있는 바와 같이, 제 1 통신 장치(1410) 및 제 2 통신 장치(1420)는 제 1 송신 링크(1401)상에서 데이터 흐름의 방향이 뒤집힌 동안 동시에 수신 모드에 있다. 제 1 통신 장치(1410) 및 제 2 통신 장치(1420) 중 적어도 하나는 그 기간 동안 제 1 송신 링크(1401)상에서 플로팅 상태(floating state)를 피하도록 구성될 수 있다. 예를 들어, 인터페이스 회로(1411)는 송신 데이터 신호(1405)의 제 3 신호 에지를 출력한 이후 및 (제 1 통신 장치(1410)를 향한 제 1 수신 데이터 신호로 이해될 수 있는) 제 1 송신 데이터 신호(1406)를 수신하기 이전에 제 1 송신 링크(1401)를 비 플로팅 상태(non-floating state)로 구동하도록 구성될 수 있다.

[0582] 유사하게, 제 6 신호 에지를 생성한 이후 및 페이로드 데이터의 시작을 표시하는 신호 에지를 생성하기 이전에, 처리 회로(1422)는 또한 제 1 송신 링크(1401)가 비 플로팅 상태에 있도록 제 1 송신 데이터 신호(1406)를 생성하도록 구성될 수 있다.

[0583] 예를 들어, 처리 회로(1422)는 유휴 모드를 표시하는 하나 이상의 구분자를 제 2 통신 장치(1420)의 제 1 송신 데이터 신호(1406)에 인코딩할 수 있다. 위에서 설명한 바와 같이, 유휴 모드를 표시하는 구분자는 제 1 송신 링크(1401)를 풀 업(pull up)할 수 있게 할 수 있다(예를 들어, 링크 상에서 적어도 매우 낮은 레이트의 트래픽이 지속되도록 핫으로 유지시킨다). 따라서, 처리 회로(1422)는 유휴 모드로부터 완전 동작(최대 처리량) 모드로 빠르게 변경될 수 있다. 다시 말해, 처리 회로(1422)는 제 6 신호 에지의 바로 뒤에 오는 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 적어도 하나의 시퀀스를 포함하는 제 1 송신 데이터 신호(1406)를 생성하도록 구성될 수 있다. 제 7 타입 신호 에지와 그의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 5 기간은 제어 심볼 표시자를 제 2 통신 장치(1420)의 제 1 송신 데이터 신호(1406)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다. 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간은 유휴 모드를 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응한다.

[0584] 다음번의 적절한 시점에서, 제 2 통신 장치(1420)는 제 1 송신 링크를 통해 제 1 통신 장치(1410)로 데이터 송신을 시작할 수 있다. 즉, 처리 회로(1422)는 제 1 타입의 제 9 신호 에지, 제 2 타입의 제 10 신호 에지 및 제 1 타입의 제 11 신호 에지의 시퀀스를 더 포함하는 제 1 송신 데이터 신호(1406)를 생성하도록 구성될 수 있다. 제 9 신호 에지는 적어도 하나의 제 7 신호 에지 및 제 8 신호 에지의 시퀀스의 마지막 신호 에지의 뒤에 온다. 제 9 신호 에지 및 제 10 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 10 신호 에지 및 제 11 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다. 제 7 기간과 제 8 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0585] 따라서, 처리 회로는 또한 (제 1 통신 장치(1410)를 향한 제 1 수신 데이터 신호로 이해될 수 있는) 제 2 통신 장치(1420)의 제 1 송신 데이터 신호(1406)에서 제 9 신호 에지, 제 10 신호 에지 및 제 11 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로는 또한 신호 에지 사이의 각각의 기간에 기초하여 제 1 및 제 2 페이로드 데이터 심볼을 결정하도록 구성될 수 있다.

[0586] 제 1 통신 장치(1410) 및 제 2 통신 장치(1420)는 또한 두 통신 장치 모두를 결합하는 하나 초과의 송신 링크 상의 데이터 흐름의 방향을 뒤집을 수 있다. 도 14a에서 시사된 바와 같이, 두 통신 장치(1410 및 1420) 모두의 인터페이스 회로(1411 및 1421)는 각각 다른 통신 장치와 통신하기 위해 제 4 송신 링크(1404)에 결합하도록 구성될 수 있다.

[0587] 즉, 제 2 통신 장치(1420)의 인터페이스 회로(1421)는 또한 제 4 송신 링크(1403)를 통해 제 1 통신 장치(1410)로부터 제 3 수신 데이터 신호를 수신하도록 구성될 수 있다. 제 3 수신 데이터 신호는 제 1 통신 장치(1410)의 제 3 송신 데이터 신호로 이해될 수 있다. 위에서 설명한 것과 유사하게, 처리 회로(1422)는 또한 제 3 수신 데이터 신호에서 제 1 타입의 제 12 신호 에지, 제 2 타입의 제 13 신호 에지 및 제 1 타입의 제 14 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(1423)는 또한 제 12 신호 에지와 제 13 신호 에지 사이의 제 9 시간 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하고, 제 13 신호 에지와 제 14 신호 에지 사이의 제 10 기간이 미리 결정된 기간에 대응하면 제 1 제어 심볼을 결정하도록 구성될 수 있다. 제 4 송신 링크(1404)를 통해 제 1 제어 심볼을 수신하는 것에 응답하여, 인터페이스 회로(1422)는 제 3 송신 데이터 신호를 제 4 송신 링크(1410)를 통해 제 1 통신 장치(1410)로 출력하도록 구성될 수 있다. 이런 이유로, 데이터 흐름의 방향은 또한 제 4 송신 링크(1404) 상에서 뒤집힐 수 있다.

[0588] 따라서, 제 1 통신 장치(1410)의 인터페이스 회로(1411)는 또한 (제 1 통신 장치(1410)의 제 3 송신 데이터 신호로 이해될 수 있는) 제 2 통신 장치(1420)를 향한 제 3 수신 데이터 신호를 제 4 송신 링크(1404)를 통해 출력하도록 구성될 수 있다. 처리 회로(1412)는 또한 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 기간 및 통신 프로토콜의 제 1 제어 심볼에 대응하는 기간에 의해 분리된 신호 에지의 시퀀스를 포함하는 제 3 수신 데이터 신호를 생성하도록 구성될 수 있다.

[0589] 위에서 언급한 바와 같이, 제 2 통신 장치(1420)는 뒤집힘 구분자를 수신하기 전에 제 1 송신 링크(1401)를 통해 페이로드 데이터를 수신할 수 있다. 예를 들어, 처리 회로(1422)는 (제 2 통신 장치(1420)를 향한 제 1 데이터 수신 신호로 이해될 수 있는) 제 1 데이터 송신 신호(1405)에서 제 1 타입의 제 15 신호 에지, 제 2 타입의 제 16 신호 에지 및 제 1 타입의 제 17 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 페이로드 데이터가 때맞추어 뒤집힘 구분자에 앞에 오기 때문에 제 17 신호 에지는 제 1 신호 에지의 앞에 온다. 복조 회로는 또한 제 15 신호 에지와 제 16 신호 에지 사이의 제 11 기간에 기초하여 제 3 페이로드 데이터 심볼을 결정하고, 제 16 신호 에지와 제 17 신호 에지 사이의 제 12 기간에 기초하여 제 4 페이로드 데이터 심볼을 결정하도록 구성된다.

[0590] 따라서, 제 1 통신 장치(1410)의 처리 회로(1412)는 또한 제 3 및 제 4 페이로드 데이터 심볼을 제 1 데이터 송신 신호(1405)에 인코딩하기 위해 위의 신호 에지를 포함하는 제 1 데이터 송신 신호(1405)를 생성하도록 구성될 수 있다. 다시 말해, 제 1 통신 장치(1410)의 처리 회로(1412)는 제 3 및 제 4 페이로드 데이터 심볼에 기초하여 위의 신호 에지 사이의 기간을 조정하도록 구성될 수 있다. 제 3 및 제 4 페이로드 데이터 심볼을 나타내는 두 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0591] 일부 예에서, 제 1 통신 장치(1410)와 제 2 통신 장치(1420) 사이의 하나 이상의 송신 링크는 차동 송신 링크일 수 있다. 예를 들어, 적어도 제 1 송신 링크(1401)는 차동 송신 링크일 수 있다. 따라서, 제 1 통신 장치(1410)뿐만 아니라 제 2 통신 장치(1420)는 위의 개시내용에 따라 차동 쌍의 데이터 송신 신호를 생성하고 출력하도록 구성될 수 있다. 또한, 제 1 통신 장치(1410)뿐만 아니라 제 2 통신 장치(1420)는 위의 개시내용에 따라 차동 쌍의 데이터 송신 신호를 수신하고 디코딩하도록 구성될 수 있다.

[0592] 다른 복조 회로에 대해 위에서 설명한 바와 같이, 또한 복조 회로(1413 및 1423)는 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간에 관한 정보 및 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간에 관한 정보에 기초하여 페이로드 데이터 심볼 및 제어 심볼을 결정하도록 구성될 수 있다.

[0593] 통신 장치(1410 및 1420)는 위에서 설명한 바와 같이 뒤집힐 수 있는 송신 링크를 통해 데이터를 초기에만 송신 또는 수신하지 않을 수 있다는 것에 유의해야 한다. 통신 장치(1410 및 1420)는 뒤집힘이 가능한 하나의 송신 링크 상에서 데이터를 수신하고 동시에 뒤집힘이 가능한 다른 송신 링크 상에서 데이터를 송신할 수 있다.

[0594] 일부 예에서, 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)은 위에서 설명한 기술에 따라 다른 통신 장치를 향하는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하기 위해 사용될 수 있다.

[0595] 일부 예에서 제어 심볼(들)은 대안적으로 제어 심볼 표시자의 앞에 올 수 있다. 초기에 데이터를 다른 통신 장치(1440)에 송신하는 부합하는 통신 장치(1430)가 도 14c에 도시된다. 통신 장치(1430)는 통신 장치 사이에서 교환되는 신호에서 제어 심볼 표시자 및 제어 심볼의 교환된 위치를 제외하고는 도 14a에 도시된 통신 장치(1410)와 실질적으로 동일하다.

[0596] 통신 장치(1430)는 제 2 통신 장치(1440)와 통신하기 위해 적어도 제 1 송신 링크(1441)에 결합하도록 구성된 인터페이스 회로(1431)를 포함한다. 인터페이스 회로(1431)는 또한 제 1 송신 데이터 신호(1435)를 제 1 송신 링크(1441)를 통해 다른 통신 장치(1440)로 출력하도록 구성된다.

[0597] 또한, 통신 장치(1430)는 제 1 송신 데이터 신호(1435)를 생성하도록 구성된 처리 회로(1432)를 더 포함한다. 제 1 송신 데이터 신호(1435)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜(예를 들어, STEP 프로토콜)의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다.

[0598] 장치(1410)와 대조적으로, 장치(1430)는 뒤집힘 구분자의 끝을 표시하기 위해 제어 심볼 표시자를 사용한다. 되풀이하면, 제 1 송신 링크 상에서 데이터 흐름의 방향은 통신 장치(1430)에 의해 효과적으로 제어될 수 있다.

[0599] 통신 장치(1410)와 유사하게, 인터페이스 회로(1431)는 제 1 송신 링크(1441) 상의 데이터 흐름 방향의 반전으로 인해 제 1 제어 심볼을 출력한 이후 제 1 송신 링크(1401)를 통해 다른 통신 장치(1440)로부터 제 1 수신 데이터 신호(1436)를 수신하도록 구성될 수 있다.

[0600] 따라서, 처리 회로(1432)는 또한 제 1 수신 데이터 신호(1436)에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 통신 장치(1430)는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 다른 통신 장치(1440)에 의한 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성된 복조 회로(1433)를 더 포함할 수 있다. 또한, 복조 회로(1433)는 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성될 수 있다. 즉, 되풀이하면 제어 심볼 표시자는 구분자(여기서는 뒤집힘 확인 응답 구분자)의 끝을 결정하는데 사용된다.

[0601] 송신 데이터 신호(1445)의 제 3 신호 에지를 출력한 이후 및 제 1 수신 데이터 신호(1436)를 수신하기 이전에, 인터페이스 회로는 제 1 송신 링크(1421)를 비 플로팅 상태로 구동하도록 구성될 수 있다. 도 14b와 관련하여 위에서 설명된 것과 유사하게, 방향 뒤집힘 동안 제 1 송신 링크(1441)의 플로팅 상태가 회피될 수 있다.

[0602] 도 14c에서 시사된 바와 같이, 인터페이스 회로(1431)는 다른 통신 장치와 통신하기 위해 제 2 송신 링크(1442)에 결합하도록 구성될 수 있다. 인터페이스 회로(1431)는 또한 제 1 송신 링크(1441) 상의 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 2 송신 링크(1442)를 통해 다른 통신 장치(1440)로 출력하도록 구성될 수 있다.

[0603] 유사하게, 인터페이스 회로(1431)는 다른 통신 장치(1440)와 통신하기 위해 제 3 송신 링크(1443)에 결합하도록 구성될 수 있다. 인터페이스 회로(1431)는 또한 제 1 송신 링크(1441) 상의 데이터 흐름 방향에 관계없이 제 3 송신 링크(1443)를 통해 다른 통신 장치(1440)로부터 제 2 수신 데이터 신호를 수신하도록 구성될 수 있다.

[0604] 다시 말해, 각각의 송신 링크는 데이터가 각각의 송신 링크 상의 인터페이스를 통해 준 비동기적으로(semi-asynchronously) 송신될 수 있도록 사실상 독립적일 수 있다. STEP 프로토콜이 선천적으로 비동기적인 경우, 각 송신 링크에서 정확히 동일한 비트 레이트를 요구하는 종래의 통신 프로토콜과 달리 상이한 송신 링크에서 상이한 비트 레이트를 사용하게 할 수 있다. STEP 프로토콜에 대한 MAC 계층의 회로(로직)는 그저 상이한 송신 링크에서 상이한 전파 지연을 해결하기만 하면 된다.

[0605] 통신 장치(1410)와 유사하게, 통신 장치(1430) 또한 다수의 송신 링크 상의 데이터 흐름의 방향을 뒤집을 수 있다. 도 14c로부터 알 수 있는 바와 같이, 인터페이스 회로(1431)는 또한 다른 통신 장치와 통신하기 위해 제 4 송신 링크(1444)에 결합하도록 구성될 수 있다. 인터페이스 회로(1431)는 제 3 송신 데이터 신호를 제 4 송신

링크(1444)를 통해 다른 통신 장치(1440)로 출력하도록 구성된다. 따라서, 처리 회로(1432)는 또한 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하는 제 4 송신 데이터 신호를 생성하도록 구성될 수 있다. 제 7 신호 에지 및 제 8 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 6 기간에 의해 분리된다.

[0606] 제 1 송신 링크(1441)의 경우와 마찬가지로, 통신 장치(1430)는 제 4 송신 링크(1444)상의 데이터 흐름의 방향을 효과적으로 제어할 수 있다.

[0607] 위에서 시사된 바와 같이, 통신 장치(1430)는 데이터 흐름의 방향이 반전되기 전에 페이로드 데이터를 다른 통신 장치(1440)에 송신할 수 있다. 즉, 처리 회로(1432)는 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지 및 제 1 타입의 제 12 신호 에지의 시퀀스를 더 포함하는 제 1 송신 데이터 신호(1435)를 생성하도록 구성될 수 있다. 제 12 신호 에지는 때맞추어 제 1 신호 에지의 앞에 온다. 제 10 신호 에지 및 제 11 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 11 신호 에지 및 제 12 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다. 제 7 기간과 제 8 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0608] 통신 장치(1440)는 뒤집힐 수 있는 송신 링크를 통해 데이터를 초기에만 송신하지 않을 수 있다는 것에 유의해야 한다. 통신 장치(1440)는 뒤집힘이 가능한 하나의 송신 링크 상에서 데이터를 수신하고 동시에 뒤집힘이 가능한 다른 송신 링크 상에서 데이터를 송신할 수 있다.

[0609] 통신 장치(1430) 또는 통신 장치(1430)의 적어도 회로 부분은 또한 통신 장치(1410)에 대해 위에서 설명된 (데이터 신호에서 제어 심볼 표시자 위치와 제어 심볼 위치의 상호 교환에 부합하게 적응된) 하나 이상의 특징을 포함/구현할 수 있다.

[0610] 초기에 다른 통신 장치(1460)로부터 데이터를 수신하는 통신 장치(1450)의 다른 예가 도 14d에 도시된다. 통신 장치(1450)는 통신 장치 사이에서 교환되는 신호에서 제어 심볼 표시자 및 제어 심볼의 교환된 위치를 제외하고는 도 14a에 도시된 통신 장치(1420)와 실질적으로 동일하다.

[0611] 통신 장치(1450)는 제 2 통신 장치(1460)와 통신하기 위해 적어도 제 1 송신 링크(1461)에 결합하도록 구성된 인터페이스 회로(1451)를 포함한다. 인터페이스 회로(1451)는 또한 제 1 송신 링크(1461)를 통해 다른 통신 장치(1460)로부터 제 1 수신 데이터 신호(1456)를 수신하도록 구성된다. 또한, 통신 장치(1450)는 제 1 수신 데이터 신호(1456)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1452)를 포함한다.

[0612] 통신 장치(1450)의 복조 회로(1453)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜(예를 들어, STEP 프로토콜)의 제 1 제어 심볼을 결정하도록 구성된다. 복조 회로(1453)는 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성될 수 있다.

[0613] 장치(1420)와 대조적으로, 장치(1450)는 뒤집힘 구분자의 끝을 표시하기 위해 제어 심볼 표시자를 사용한다. 되풀이하면, 제 1 송신 링크 상의 데이터 흐름 방향의 변경은 뒤집힘 구분자에 의해 효과적으로 통신 장치(1450)에 통신될 수 있다.

[0614] 통신 장치(1420)와 유사하게, 인터페이스 회로(1451)는 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호(1455)를 제 1 송신 링크(1461)를 통해 다른 통신 장치(1460)로 출력하도록 구성될 수 있다. 이제 제 1 송신 링크 상의 데이터 흐름의 방향은 반전된다.

[0615] 다른 통신 장치(1460)에 페이로드를 송신하기 전에, 통신 장치(1440)는 제 1 송신 링크(1461)상의 데이터 흐름의 반전을 확인 응답할 수 있다. 따라서, 처리 회로(1452)는 또한 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하는 데이터 신호(1455)를 생성하도록 구성될 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 통신 장치(1460)에 의해 송신 링크상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리된다. 제 5 신호 에지 및 제 6 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 4 기간에 의해 분리된다. 되풀이하면, 제어 심볼 표시자는 구분자(여기서는 뒤집힘 확인 응답 구분자)의 끝을 결정하는데 사용된다.

[0616] 제 6 신호 에지를 생성한 이후 및 페이로드 데이터의 시작을 표시하는 신호 에지를 생성하기 이전에, 처리 회로(1452)는 또한 제 1 송신 링크(1461)가 비 플로팅 상태에 있도록 제 1 송신 데이터 신호(1455)를 생성하도록 구성될 수 있다. 도 14b와 관련하여 위에서 설명된 것과 유사하게, 방향 뒤집힘 동안 제 1 송신 링크(1461)의 플로팅 상태가 회피될 수 있다.

[0617] 예를 들어, 처리 회로(1452)는 제 6 신호 에지의 바로 뒤에 오는 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 적어도 하나의 시퀀스를 포함하는 제 1 송신 데이터 신호(1455)를 생성하도록 구성될 수 있다, 제 7 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 5 기간은 유휴 모드를 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응한다. 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다. 다시 말해, 처리 회로(1452)는 완전 동작(최대 처리량) 모드로의 빠른 전이를 가능하게 하기 위해 유휴 모드를 표시하는 하나 이상의 구분자를 제 1 송신 데이터 신호(1545)에 인코딩하여 제 1 송신 링크(1461)를 풀업(예를 들어, 핫 상태로 유지)시킬 수 있다.

[0618] 제 1 송신 링크(1461)상의 데이터 흐름 방향의 반전 이후, 통신 장치(1450)는 페이로드 데이터를 다른 통신 장치(1460)에 송신할 수 있다. 예를 들어, 처리 회로(1452)는 제 1 타입의 제 9 신호 에지, 제 2 타입의 제 10 신호 에지 및 제 1 타입의 제 11 신호 에지의 시퀀스를 포함하는 제 1 송신 데이터 신호(1455)를 생성하도록 구성될 수 있다. 제 9 신호 에지는 제 7 신호 에지 및 제 8 신호 에지의 적어도 하나의 시퀀스의 마지막 신호 에지의 뒤에 온다. 제 9 신호 에지 및 제 10 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 10 신호 에지 및 제 11 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다. 제 7 기간과 제 8 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0619] 일부 예에서, 통신 장치(1450)는 하나 이상의 추가 송신 링크를 통해 다른 통신 장치와 통신할 수 있다.

[0620] 예를 들어, 인터페이스 회로(1451)는 다른 통신 장치(1460)와 통신하기 위해 제 2 송신 링크(1462)에 결합하도록 구성될 수 있다. 인터페이스 회로(1451)는 또한 제 1 송신 링크(1461)상의 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 2 송신 링크(1462)를 통해 다른 통신 장치(1460)로 출력하도록 구성될 수 있다.

[0621] 유사하게, 인터페이스 회로(1451)는 다른 통신 장치(1460)와 통신하기 위해 제 3 송신 링크(1463)에 결합하도록 구성될 수 있다. 인터페이스 회로는 또한 제 1 송신 링크(1460)상의 데이터 흐름의 방향에 관계없이 제 3 송신 링크(1463)를 통해 다른 통신 장치(1460)로부터 제 2 수신 데이터 신호를 수신하도록 구성될 수 있다.

[0622] 다시 말해, 각각의 송신 링크는 데이터가 각각의 송신 링크상의 인터페이스를 통해 준 비동기적으로 송신될 수 있도록 사실상 독립적일 수 있다.

[0623] 통신 장치(1450)는 또한 다수의 송신 링크상의 데이터 흐름의 방향을 뒤집을 수 있다. 예를 들어, 인터페이스 회로(1451)는 다른 통신 장치(1460)와 통신하기 위해 제 4 송신 링크(1464)에 결합하도록 구성될 수 있다. 인터페이스 회로(1451)는 또한 제 4 송신 링크(1464)를 통해 다른 통신 장치(1460)로부터 제 3 수신 데이터 신호를 수신하도록 구성된다. 처리 회로(1452)는 또한 제 1 수신 데이터 신호에서 제 1 타입의 제 12 신호 에지, 제 2 타입의 제 13 신호 에지 및 제 1 타입의 제 14 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 따라서, 복조 회로(1453)는 또한 제 12 신호 에지와 제 13 신호 에지 사이의 제 9 기간이 미리 결정된 기간에 대응하면 제 1 제어 심볼을 결정하고, 제 13 신호 에지와 제 14 신호 에지 사이의 제 10 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성될 수 있다. 제 1 송신 링크(1461)의 경우와 마찬가지로, 송신 링크상의 데이터 흐름 방향의 변경은 뒤집힘 구분자에 의해 효과적으로 통신 장치(1430)에 통신될 수 있다.

[0624] 제 1 송신 링크(1461)에 대해 위에서 설명한 것과 유사하게, 인터페이스 회로(1451)는 제 1 제어 심볼을 수신하는 것에 응답하여 제 3 송신 데이터 신호를 제 4 송신 링크(1464)를 통해 다른 통신 장치(1460)로 출력하도록 구성될 수 있다.

[0625] 통신 장치(1450)는 뒤집힐 수 있는 송신 링크를 통해 초기에만 데이터를 수신하지 않을 수 있다는 것에 유의해야 한다. 통신 장치(1450)는 뒤집힘이 가능한 하나의 송신 링크 상에서 데이터를 수신하고 동시에 뒤집힘이 가능한 다른 송신 링크 상에서 데이터를 송신할 수 있다.

[0626] 통신 장치(1450) 또는 통신 장치(1450)의 적어도 회로 부분은 또한 통신 장치(1420)에 대해 위에서 설명된 (데이터 신호에서 제어 심볼 표시자 위치와 제어 심볼 위치의 상호 교환에 부합하게 적응된) 하나 이상의 특징을

포함할 수 있다.

[0627] 제 1 통신 장치(1480) 및 제 2 통신 장치(1490)를 포함하는 다른 통신 시스템(1470)이 도 14e에 도시된다. 예를 들어, 제 1 통신 장치(1480)는 통신 장치(1410 및 1430)에 대해 위에서 설명한 바와 같이 구현될 수 있고, 제 2 통신 장치(1490)는 통신 장치(1420 및 1450)에 대해 위에서 설명한 바와 같이 구현될 수 있다. 도 14e로부터 알 수 있는 바와 같이, 제 1 통신 장치(1480)는 제 1 반도체 다이(칩)에 배열될 수 있고, 제 2 통신 장치(1490)는 (상이한) 제 2 반도체 다이(칩)에 배열될 수 있다. 따라서, 제 1 통신 장치(1480)와 제 2 통신 장치(1490) 사이의 통신을 가능하게 하는 세 개의 송신 링크(1471, 1472 및 1473)는, 예를 들어, 제 1 통신 장치(1480) 및 제 2 통신 장치(1490)를 보유하는 인쇄 회로 기판(printed circuit board)(PCB) 상에 배열될 수 있거나, 또는 제 1 통신 장치(1480) 및 제 2 통신 장치(1490)를 포함하는 반도체 패키지 내부에 배열될 수 있다. 대안적으로, 제 1 통신 장치(1480) 및 제 2 통신 장치(1490)는 동일한 반도체 다이(칩)에 배열될 수 있고 세 개의 송신 링크(1471, 1472 및 1473)는 반도체 다이(칩) 내부에 배열될 수 있다. 알 수 있는 바와 같이, 송신 링크(1471, 1472 및 1473)는 차동 링크이다. 예를 들어, 이들은 통신 장치 사이의 차동 쌍의 데이터 신호를 송신하기 위한 두 개의 송신 라인을 포함할 수 있다.

[0628] 제 1 통신 장치(1480)는 송신 링크(1471, 1472 및 1473)에 결합하기 위한 인터페이스 회로(1481)를 포함한다. 유사하게, 제 2 통신 장치(1490)는 송신 링크(1471, 1472 및 1473)에 결합하기 위한 인터페이스 회로(1491)를 포함한다. 도 14e에서 시사된 바와 같이, 제 2 송신 링크(1472)는 데이터를 제 2 통신 장치(1490)로부터 제 1 통신 장치(1480)로 (영구적으로/연속적으로) 송신하기 위해 사용된다. 제 3 송신 링크(1473)는 데이터를 제 1 통신 장치(1480)로부터 제 2 통신 장치(1490)로 (영구적으로/연속적으로) 송신하기 위해 사용된다. 제 1 송신 링크(1471)상의 데이터 흐름의 방향은 교환/뒤집힐 수 있다.

[0629] 따라서, 인터페이스 회로(1481)는 제 1 송신 링크(1471) 및 제 3 송신 링크(1743)에 결합하도록 구성된 송신 회로(1481-1)를 포함한다. 송신 회로(1481-1)는 송신 데이터 신호를 제 3 송신 링크(1473) 및 옵션으로는 제 1 송신 링크(1471)를 통해 제 2 통신 장치(1490)로 출력하도록 구성될 수 있다. 도 14e에서 시사된 바와 같이, 송신 회로(1481-1)는, 예를 들어, 송신 데이터 신호(예를 들어, 도 14e의 예에서와 같은 차동 신호 쌍 또는 대안적인 단일 종단 구현에서의 단일 종단 신호)를 송신 링크로 출력하도록 구성된 (전력) 증폭기를 포함할 수 있다.

[0630] 또한, 인터페이스 회로(1481)는 제 1 송신 링크(1471) 및 제 2 송신 링크(1472)에 결합하도록 구성된 수신 회로(1481-2)를 포함한다. 수신 회로(1481-2)는 제 2 송신 링크(1472) 및 옵션으로는 제 1 송신 링크(1471)를 통해 제 2 통신 장치(1490)로부터 수신 데이터 신호를 수신하도록 구성될 수 있다. 도 14e에서 시사된 바와 같이, 수신 회로(1481-2)는, 예를 들어, 송신 링크로부터 수신 데이터 신호(예를 들어, 도 14e의 예에서와 같은 차동 신호 쌍 또는 대안적인 단일 종단 구현에서의 단일 종단 신호)를 증폭하기 위한 (연산) 증폭기를 포함할 수 있다.

[0631] 제 2 통신 장치(1490)의 인터페이스 회로(1491)는 송신 회로(1491-1) 및 수신 회로(1491-2)를 포함하는 유사한 방식으로 구현된다.

[0632] 처리 회로 및 복조 회로의 위에서 설명한 기능성은 도 14e에서 통신 장치의 제어 회로(1482 및 1492)에 의해 나타낸다.

[0633] 도 14e에서 시사된 바와 같이, 제 1 송신 링크(1471) 상의 데이터 흐름의 방향을 언제 뒤집을지에 관한 결정은 상위 계층에 의해 취해질 수 있다. 예를 들어, 전용 유한 상태 머신(1475)은 제 1 송신 링크(1447) 상의 데이터 흐름의 방향을 결정하고, 부합하는 제어 신호를 통신 장치의 제어 회로(1482 및 1492)에 제공할 수 있다.

[0634] 다시 말해, 도 14e는 세 개의 송신 링크가 있는 상황을 도시한다. 예를 들어, 송신 링크 중 두 개(예를 들어, 송신 링크(1471 및 1473))는 초기에 방향(A)으로 동작하는 반면, 초기에 제 3 송신 링크(예를 들어, 송신 링크(1472))는 반대 방향(B)으로 동작한다. 송신 링크(1471)가 데이터 흐름의 방향을 방향(B)으로 변경시킬 필요(요구/요건)가 있으면, 송신 링크(1471)는 데이터의 전송을 중지하고, 데이터 흐름의 방향을 뒤집고 데이터를 방향(B)으로 전송하기 시작한다.

[0635] 송신 링크 상의 데이터 흐름의 방향을 반전시키는 것에 관한 위의 양태 중 일부를 요약하기 위해, 도 14f는 통신 장치의 통신 방법(1400f)의 예를 도시한다. 통신 방법(1400f)은 다른 통신 장치와 통신하기 위해 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하는 단계(1402f)를 포함한다. 또한, 통신 방법(1400f)은 제 1 송신 데이터 신호를 생성하는 단계(1404f)를 포함한다. 제 1 송신 데이터 신호는 제 1 타입의

제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다.

[0636] 옵션으로, 통신 방법(1400f)은 제 1 제어 심볼을 출력한 이후 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계(1406f)를 더 포함할 수 있다.

[0637] 방법(1400f)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 14a 및 도 14b)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0638] 통신 장치의 통신 방법(1400g)의 다른 예가 도 14g에 도시된다. 통신 방법(1400g)은 다른 통신 장치와 통신하기 위해 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하는 단계(1402g)를 포함한다. 또한, 통신 방법(1400g)은 제 1 송신 데이터 신호를 생성하는 단계(1404g)를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다.

[0639] 옵션으로, 통신 방법(1400g)은 제 1 제어 심볼을 출력한 이후 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계(1406g)를 더 포함할 수 있다.

[0640] 방법(1400g)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 14c)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0641] 통신 장치의 통신 방법(1400h)의 또 다른 예가 도 14h에 도시된다. 통신 방법(1400h)은 다른 통신 장치와 통신하기 위해 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계(1402h)를 포함한다. 또한, 통신 방법(1400h)은 제 1 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1404h)를 포함한다. 통신 방법(1400h)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계(1406h)를 포함한다. 또한, 통신 방법(1400h)은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 링크상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계(1408h)를 포함한다.

[0642] 옵션으로, 통신 방법(1400h)은 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하는 단계(1410h)를 더 포함할 수 있다.

[0643] 방법(1400h)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 14a 및 도 14b)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0644] 도 14i는 통신 장치의 통신 방법(1400i)의 다른 예의 흐름도를 도시한다. 통신 방법(1400i)은 다른 통신 장치와 통신하기 위해 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계(1402i)를 포함한다. 또한, 통신 방법(1400i)은 제 1 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1404i)를 포함한다. 통신 방법(1400i)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계(1406i)를 포함한다. 또한, 통신 방법(1400i)은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계(1408i)를 포함한다.

[0645] 옵션으로, 통신 방법(1400i)은 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하는 단계(1410i)를 더 포함할 수 있다.

[0646] 방법(1400i)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 14d)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하

는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0647] 도 14a 내지 도 14i와 관련하여 위에서 설명한 바와 같이, STEP 프로토콜은 두 개의 매우 신뢰할 수 있고 고유한 구분자: 뒤집힘 구분자 및 뒤집힘 확인 응답 구분자를 사용할 수 있다. STEP 프로토콜의 경우, 일부 송신 링크는 동일한 송신 라인 세트의 송신 및 수신 회로 블록에 대해 구현(사용)할 수 있다. 예를 들어, STEP 프로토콜에 따른 상위 레벨 엔티티는 하나 이상의 송신 링크 상의 데이터 흐름의 방향을 뒤집기로 결정하고 회로를 트리거하여 방향 뒤집음을 수행할 수 있다. 또한, STEP 프로토콜에 따른 수신기의 일부 예는 송신 링크를 플로팅 상태로 두지 않는다. STEP 프로토콜에 따른 통신 시스템의 송신 측이 데이터 흐름의 방향을 뒤집을 때, 뒤집힘 구분자를 전송하고, 데이터를 전송하는 것을 중지하고 수신 모드로 변경할 수 있다. 따라서, 수신 측은 방향 뒤집힘의 검출 시에 송신 모드를 활성화하고 뒤집힘 확인 응답 구분자를 전송할 수 있다. 일부 예에서, 방향 뒤집힘은 항상 송신 측에 의해 송신 링크 레벨에서 개시될 수 있다.

[0648] 전력 소비는 통신 인터페이스(예를 들어, 직렬 인터페이스)의 핵심 성과 지표(Key Performance Indicator)(KPI)이다. 전력 효율적 회로 외에도, 전력 소비는 전용 전력 상태에 의해 최적화될 수 있다. 하나의 전력 상태로부터 다른 전력 상태로 변경할 때 회로가 턴 온 또는 턴 오프되면, 빠르고 효율적인 턴 온/턴 오프가 바람직하다. 아래에서, 통신 인터페이스의 에너지 효율적인 동작 및 전력 상태 사이에서 빠른 전이를 가능하게 할 수 있는, (예를 들어, STEP 프로토콜에 따른) 통신 인터페이스에 대한 전력 상태 체계가 도 15a 내지 도 15d와 관련하여 설명된다.

[0649] 도 15a는 데이터 신호(1501)를 생성하기 위한 장치(1500)의 예를 도시한다. 장치(1500)는 데이터 신호(1501)를 송신 링크(1505)로 출력하도록 구성된 출력 인터페이스 회로(1510)를 포함한다. 또한, 장치(1500)는 데이터 신호(1501)를 생성하도록 구성된 처리 회로(1515)(예를 들어, DTC)를 포함한다. 데이터 신호(1501)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0650] 가능한 전력 모드뿐만 아니라 전력 모드 간의 가능한 전이를 도시하는 상태도를 도시하는 도 15b와 관련하여, 상이한 전력 모드(전력 상태)에서 장치(1500)의 예시적인 동작이 아래에서 설명된다. 전력 모드는 장치(1500)의 상이한 동작 모드로 이해될 수 있다.

[0651] 제 1 동작 모드(1531)에서, 처리 회로(1515)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간을 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 제 1 페이로드 데이터 심볼에 대응하는 기간으로 조정하고, 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간을 통신 프로토콜에 따라 송신될 제 2 페이로드 데이터 심볼에 대응하는 기간으로 조정하도록 구성된다. 즉, 처리 회로(1515)는 제 1 동작 모드(1531)에서 페이로드 데이터를 데이터 신호(1501)에 시간 인코딩하도록 구성된다. 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 STEP 모드에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 따라서, 제 1 동작 모드는 데이터를 전송하기 위한 고속 모드, 최대 처리량 모드 또는 완전 동작 모드로 이해될 수 있다. 예를 들어, 장치(1500)는 제 1 동작 모드에서 2 GHz와 6 GHz 사이의 주파수를 나타내는 데이터 신호(1501)를 생성할 수 있다. 그러나, 일부 예에서, 더 높은 주파수(예를 들어, 10 GHz, 12 GHz, 20 GHz 이상)가 또한 사용될 수 있다.

[0652] 송신할 데이터가 없거나 데이터가 조금밖에 없으면, 장치(1500)는 제 2 동작 모드(1532)로 전이할 수 있다. 제 2 동작 모드(1532)에서, 처리 회로(1515)는 제어 심볼 표시자를 데이터 신호(1501)에 인코딩하기 위해, 제 1 기간을 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길게 조정하고, 제 2 기간을 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼에 대응하는 기간으로 조정하도록 구성된다. 대안적으로, 처리 회로는 제 2 기간을 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길게 조정하고, 제 1 기간을 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼에 대응하는 기간으로 조정하도록 구성된다. 다시 말해, 처리 회로(1515)는 제 2 동작 모드(1532)에서 유휴 모드를 표시하는 구분자를 데이터 신호(1501)에 시간 인코딩하도록 구성된다. 위에서 설명한 바와 같이, 유휴 구분자(들)를 데이터 신호(1501)에 인코딩하면 송신 링크(1505)를 핫 상태로 유지시키고 동시에 제 1 모드(1531)와 비교하여 처리 회로(1515)(및 장치(1500))의 활동을 감소시킬 수 있다. 예를 들어, 장치(1500)는 제 2 동작 모드에서 100 MHz와 400 MHz 사이의 주파수(예를 들어, 약 200 MHz)를 나타내는 데이터 신호(1501)를 생성할 수 있다. 따라서, 제 2 동작 모드는 제 1 저전력 모드(low power mode)(LPH1)로 이해될 수 있다.

[0653] 처리 회로(1515)는 송신 링크를 핫 상태로 유지하기 위해 제 2 동작 모드에서 복수의 유휴 구분자를 데이터 신호(1501)에 인코딩할 수 있다. 따라서, 제 2 동작 모드에서, 처리 회로(1515)는 제 3 신호 에지의 바로 뒤에

오는 제 2 타입의 제 4 신호 에지 및 제 1 타입의 제 5 신호 에지의 적어도 하나의 시퀀스를 더 포함하는 데이터 신호(1501)를 생성하도록 구성될 수 있다. 제 4 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 3 기간 또는 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간은 제어 심볼 표시자를 데이터 신호(1501)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다. 제 4 기간 또는 제 3 기간은 각각 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼에 대응한다.

[0654] 하나의 동작 모드로부터 다른 동작 모드로의 전이(상이한 전력 상태 사이의 전이)는 장치(1500)의 제어 회로(1520)에 의해 제어될 수 있다. 예를 들어, 제어 회로(1520)는 송신될 데이터의 양이 제 1 임계치 미만이면 제 1 동작 모드로부터 제 2 동작 모드로 변경하고, 송신될 데이터의 양이 제 1 임계치를 초과하면 제 2 동작 모드로부터 제 1 동작 모드로 변경하도록 장치(1500)의 회로를 제어하도록 구성될 수 있다. 제 1 임계치는 임의로 선택될 수 있다. 예를 들어, 제어 회로(1520)는 송신될 데이터가 없으면(예를 들어, 송신 데이터 크기가 0이면) 장치(1500)의 회로를 제 2 동작 모드로 변경하도록 제어할 수 있다. 예를 들어, 제어 회로(1520)는 송신될 데이터를 저장하는 버퍼의 충전 레벨(fill level)을 모니터링할 수 있다. 버퍼가 비어 있거나, 또는 충전 레벨이 다른 임계 값 미만이면, 제어 회로(1520)는 유휴 구분자(들)를 송신 링크(1505)를 통해 송신하기 위해 장치(1500)의 회로를 제 2 동작 모드로 변경하도록 제어할 수 있다. 버퍼가 더 이상 비어 있지 않거나 또는 다른 임계 값을 초과하지 않으면, 제어 회로(1520)는 장치(1500)의 회로를 다시 최대 처리량 모드(예를 들어, 제 1 동작 모드)로 변경하도록 제어할 수 있다.

[0655] 다시 말해, 시스템은 높은 처리량 데이터를 전송하기 위한 고속 모드(상태)를 가질 수 있다. 그러나 이따금 전송할 데이터가 없으면, 시스템은 고유 심볼(예를 들어, 유휴 구분자)을 낮은 주파수로 송신함으로서 이러한(짧은) 유휴 시간 동안 에너지를 절약할 수 있다. 제 1 저전력 모드는 라인을 낮은 레이트로 활성 상태로 유지시킴으로써 시스템이 송신을 재개할 준비를 유지할 수 있게 한다. 예를 들어, 제 1 동작 모드(1531)로부터 제 2 동작 모드(1532)로의 전이는 5 나노초(ns) 미만(예를 들어, 1ns)이 걸릴 수 있고, 제 2 동작 모드로부터 제 1 동작 모드로의 전이는 20 ns 미만(예를 들어, 10 ns) 걸릴 수 있다.

[0656] 장치(1500)는 또한 데이터를 차동 방식으로 송신 링크(1505)에 출력하도록 구성될 수 있다. 즉, 처리 회로(1515)는 또한 데이터 신호(1501)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 또한, 출력 인터페이스 회로(1510)는 제 2 데이터 신호를 송신 링크(1505)로 출력하도록 구성될 수 있다. 따라서, 송신 링크(1505)는 제 1 데이터 신호(1501) 및 제 2 데이터 신호를 위한 두 개의 송신 라인을 포함하는 차동 송신 링크일 수 있다.

[0657] 도 21과 관련하여 아래에서 보다 상세하게 설명되는 바와 같이, 출력 인터페이스 회로(1510)는 장치(1500)를 데이터 신호(1501)의 수신기에 DC 결합하기 위해 접지 및 (차동) 송신 링크(1505)에 결합하도록 구성될 수 있다. 수신기는 공급 전압에 결합된다. 다시 말해, 출력 인터페이스 회로(1510)는 수신기와 접지 사이에 결합되는 반면, 수신기는 출력 인터페이스 회로(1510)와 공급 전압 사이에 결합된다. 이러한 구성은 제 1 저전력 모드(즉, 제 2 동작 모드(1532))에 비해 전력 소비가 감소된 제 2 저전력 모드(second low power mode)(LPH2), 즉 제 3 동작 모드(1533)를 가능하게 할 수 있다. 예를 들어, 제 3 동작 모드에서, 출력 인터페이스 회로(1510)는 도 21과 관련하여 아래에서 상세히 설명되는 바와 같이 수신기를 접지로부터 분리함으로써 수신기를 파워 다운하도록 구성될 수 있다. 또한, 처리 회로(1515)는 송신 링크(1505)를 통한 송신이 없도록 제 3 동작 모드에서 비활성화될 수 있다. 제 3 동작 모드(1533)에서, (송신기로 이해될 수 있는) 장치(1500)는 수신기로부터의 싱킹 전류(sinking current)를 효과적으로 중지시킨다. 수신기는 일종의 대기 모드로 들어간다. 따라서, 장치(1500)가 송신을 재개할 때까지(예를 들어, 수신기로부터 전류를 싱킹할 때까지) 송신 링크를 통한 송신은 없다. 따라서, 제 3 동작 모드(1533)로 들어가거나 빠져나가기 위해 수신기에 의한 어떠한 추가의 작동도 요구되지 않을 수 있다.

[0658] 장치(1500)의 회로가 비활성화되기 때문에 그리고 수신기가 제 3 동작 모드에서 비활성화되기 때문에, 제 2 동작 모드(1532)로부터 제 3 동작 모드로의 전이, 또는 그 반대로의 전이는 제 1 동작 모드(1531)와 제 2 동작 모드(1532) 사이의 전이보다 시간이 더 걸릴 수 있다. 그러나, 제 3 동작 모드(1533)에서는 제 2 동작 모드(1322)에 비해 더 많은 양의 전력이 절약될 수 있다. 다시 말해, 제 3 동작 모드(1533)에서는 종료 대기 시간(exit latency)을 더 길게(예를 들어, 약 100 ns)하여 트레이드오프하기 때문에 더 많은 전력이 절약될 수 있다. 따라서, 장치(1500)는, 예를 들어(미리 정의된) 더 긴 기간 동안 데이터가 송신되지 않으면 제 3 동작 모드(1533)에서 동작될 수 있다.

[0659] 제어 회로(1520)는, 예를 들어, 송신될 데이터의 양이 (제 1 임계치와 상이할 수 있는) 제 2 임계치 미만이면,

장치(1500)의 회로를 제어하여 제 2 동작 모드(1532)로부터 제 3 동작 모드(1533)로 변경하도록 구성될 수 있다. 위에서 시사한 바와 같이, 제어 회로(1520)는, 수신된 제어 신호(ALLOW_DIS)가 제 3 동작 모드(1533)가 인에이블된다고 표시하면, 단지 장치(1500)의 회로를 제어하여 제 2 동작 모드(1532)로부터 제 3 동작 모드(1533)로 변경하도록 구성될 수 있다. 예를 들어, 제어 신호는 미리 정의된 임계 시간 동안 데이터가 송신되지 않으면 제 3 동작 모드(1533)가 인에이블된다는 것을 표시할 수 있다.

[0660] 반면에, 제어 회로(1520)는 송신될 데이터의 양이 제 2 임계치 미만이면, 또는 제어 신호가 제 3 동작 모드(1533)가 인에이블된다고 표시하면, 장치(1500)의 회로를 제어하여 제 2 동작 모드(1533)로부터 제 3 동작 모드(1532)로 변경하도록 구성될 수 있다. 예를 들어, 제어 회로(1520)는 송신될 데이터를 저장하는 버퍼의 충전 레벨을 모니터링할 수 있다. 버퍼가 비어 있거나, 또는 충전 레벨이 다른 임계 값 미만이고 제어 신호가 제 3 동작 모드(1533)가 인에이블된다고 표시하면, 제어 회로(1520)는 더 깊은(deeper) 절전 모드로 가기 위해 장치(1500)의 회로를 제 3 동작 모드로 변경하도록 제어할 수 있다. 버퍼가 더 이상 비어 있지 않거나 또는 다른 임계 값을 초과하지 않으면 및/또는 제어 신호가 제 3 동작 모드(1533)가 디스에이블된다고 표시하면, 제어 회로(1520)는 장치(1500)의 회로를 다시 제 2 동작 모드(1532)로 변경하도록 제어할 수 있다.

[0661] 도 21과 관련하여 아래에서 보다 상세하게 설명되는 바와 같이, 출력 인터페이스 회로(1510)는 제 3 동작 모드(1533)에서 (차동) 송신 링크(1505)에 하이 임피던스를 제공하도록 구성될 수 있다. 따라서, 송신 링크(1505)가 차동 송신 링크이면, 차동 송신 링크(1505)의 두 송신 라인은 모두, 차동 송신 링크(1505)의 송신 라인이 차동적으로 교번하는 제 1 및 제 2 동작 모드(1531, 1532)와 반대로, 제 3 동작 모드(1533) 동안 동일한 신호 레벨(예를 들어, 하이)에 있다.

[0662] 또한, 제 3 동작 모드(1533)로부터 제 2 동작 모드(1532)로 변경될 때, 출력 인터페이스 회로(1510)는 수신기를 접지에 재결합함으로써 수신기를 파워 업하도록 구성될 수 있다(보다 상세한 내용은 아래의 도 21의 설명을 참고할 것).

[0663] 또한, 장치(1500)는 다른 깊은 절전 모드(즉, 제 4 동작 모드(1534))로 가기 위해 완전히 턴 오프될 수 있다. 제어 회로(1520)는 제 4 동작 모드(1534)에서 장치(1500)의 회로를 비활성화시키도록 구성될 수 있다. 출력 인터페이스 회로는 제 4 동작 모드(1534)에서 (차동) 송신 링크(1505)에 하이 임피던스를 제공하도록 구성될 수 있다.

[0664] 예를 들어, 제어 회로(1520)는, 송신될 데이터의 양(송신 데이터 크기)이 제 3 임계치를 초과하면 또는 제어 신호가 제 4 동작 모드(1534)가 인에이블된다고 표시하면, 장치(1500)의 회로를 제어하여 제 4 동작 모드(1534)로부터 다시 제 3 동작 모드(1532)로 변경하도록 구성될 수 있다.

[0665] 반면에, 제어 회로(1520)는 송신될 데이터의 양이 제 3 임계치 미만이면, 장치(1500)의 회로를 제어하여 제 2 동작 모드(1532)로부터 제 4 동작 모드(1534)로 변경하도록 구성될 수 있다. 또한, 제어 신호가 제 4 동작 모드(1534)가 인에이블된다고 표시하면, 제어 회로(1520)는 단지 장치(1500)의 회로를 제어하여 제 2 동작 모드(1532)로부터 제 4 동작 모드(1534)로 변경하도록 구성될 수 있다.

[0666] 예를 들어, 제어 회로(1520)는 송신될 데이터를 저장하는 버퍼의 충전 레벨을 모니터링할 수 있다. 버퍼가 비어 있으면 또는 충전 레벨이 다른 임계 값 미만이고 제어 신호가 제 4 동작 모드(1534)가 인에이블된다고 표시하면, 제어 회로(1520)는 더 깊은 절전 모드로 가기 위해 장치(1500)의 회로를 제 4 동작 모드로 변경하도록 제어할 수 있다. 버퍼가 더 이상 비어 있지 않거나 또는 다른 임계 값을 초과하지 않으면 및/또는 제어 신호가 제 4 동작 모드(1534)가 디스에이블된다고 표시하면, 제어 회로(1520)는 장치(1500)의 회로를 다시 제 3 동작 모드(1533)로 변경하도록 제어할 수 있다.

[0667] 다시 말해, 제어 회로(1520)는 링크를 파워 다운하도록 (전력을 절약하기 위해 또는 데이터 전송이 수행되지 않기 때문에) 선택할 수 있으며 제어 회로는 장치(1500)를 디스에이블된 상태로 만들 수 있다. 또한, 제 4 동작 모드(1534)로의 전이는 전용 구분자를 사용하여 데이터 신호(1501)에 의해 수신기로 시그널링될 수 있다. 예를 들어, 제 2 동작 모드(15322)로부터 제 4 동작 모드(1534)로 변경될 때, 처리 회로(1515)는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 포함하는 데이터 신호(1501)를 생성하도록 구성될 수 있다. 제 6 신호 에지 및 제 7 신호 에지는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 제 6 기간에 의해 분리된다. 제 5 기간 또는 제 6 기간은 제어 심볼 표시자를 데이터 신호(1501)에 인코딩하기 위해 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다. 제 6 기간 또는 제 5 기간은 각각 제 4 동작 모드(1534)로의 전환을 표시하는 통신 프로토콜의 제어 심볼에

대응한다. 일부 예에서, 제 4 동작 모드(1534)로의 전환을 표시하기 위해 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)이 사용될 수 있다.

[0668] 위에서 설명한 동작 모드는 상이한 전력 소비 및 상이한 종료 지연 시간을 나타낸다. 그러나 전력 소비가 낮을수록 종료 대기 시간이 길어진다. 제 1 동작 모드는 초당 다수 기가비트의 비트 레이트에서 STEP 프로토콜에 따른 통신을 가능하게 할 수 있다. 예를 들어, 이러한 초 고대역폭 모드는 꽤 큰 전송 버스트 유닛을 송신하기 위해 사용될 수 있다. 그러나 일부 애플리케이션은 작은 유닛의 데이터(예를 들어, 1 또는 2 바이트)만 전송할 것을 요구한다. 다른 애플리케이션은 이러한 두 가지 극단적인 데이터 송신 간의 혼합을 요구한다.

[0669] 비교적 적은 양의 데이터에 대해 낮은 대역폭만을 필요로 하는(예를 들어, 단지 몇 바이트만 전송되어야 하는) 애플리케이션을 위해 STEP 프로토콜 또는 임의의 다른 통신 프로토콜의 레거시 모드(즉, 제 1 동작 모드(1531))를 사용하는 것은 전송된 비트당 상당히 많은 에너지가 소비되기 때문에 오히려 비효율적일 수 있다. 또한, STEP 프로토콜 또는 임의의 다른 통신 프로토콜의 고속 모드로의 전이 및 다시 저전력 모드 중 하나로의 전이는 데이터 전송 자체보다 (훨씬) 더 오래 걸릴 수 있다. 예를 들어, 1 마이크로초마다 16 비트가 전송되어야 하면(즉, 16 Mbit/sec의 데이터 레이트가 요구되면) 그리고 저전력 모드로부터 고속 모드로의 종료 대기 시간이 1 마이크로초가 걸리면, 통신 인터페이스는 줄곧 고속 모드에서 머물러야 하고, 이런 이유로 그러한 애플리케이션에 대해 상대적으로 비효율적이다.

[0670] 그러한 애플리케이션에 대해 효율을 증가시킬 수 있게 하기 위해, 장치(1500)는 또한 제 5 동작 모드(1535)를 지원할 수 있다. 위에서 언급한 바와 같이, 제 5 동작 모드(1535)는 소량의 데이터를 송신하는데 사용될 수 있다. 그러므로 송신 데이터 크기(송신될 데이터의 양)가 제 4 임계치 미만이면, 제어 회로(1520)는 장치(1500)의 회로를 제어하여 제 4 동작 모드(1534)로부터 제 5 동작 모드(1535)로 변경하도록 구성될 수 있다. 제 4 임계치는 임의로 (예를 들어, 특정 애플리케이션에 대해 단위 시간당 송신될 데이터의 양에 기초하여) 선택될 수 있다. 전력을 절약하기 위해, 제어 회로(1520)는 (제 4 임계치보다 적은 양의) 데이터를 송신한 이후 장치(1500)의 회로를 제어하여 제 5 동작 모드(1535)로부터 다시 제 4 동작 모드로 변경하도록 구성될 수 있다. 따라서, 장치(1500)는 더 많은 양의 데이터가 송신되어야 하는 경우에만, 제 4 동작 모드(1534)로부터 제 1 동작 모드(1531)(고속 모드)로 변경할 수 있다.

[0671] 제 5 동작 모드에서, 제어 회로(1520)는 제 1 동작 모드(1531)에서의 데이터 신호(1501)보다 낮은 대역폭을 나타내는 저 대역폭 데이터 신호(1502)를 생성하도록 구성된 다른(제 2) 처리 회로(1525)를 활성화시키도록 구성된다. 또한, 제어 회로(1520)는 제 4 동작 모드(1534) 동안 이전에 비활성화되었던 출력 인터페이스 회로(1510)를 활성화하도록 구성된다.

[0672] 장치(1500)가 제 5 동작 모드(1535)에서 수신기로 동작하고 있음을 수신기에게 시그널링하기 위해, 차동 송신 링크(1505)의 송신 라인 상의 신호 레벨이 사용될 수 있다. 예를 들어, 출력 인터페이스 회로(1510)는 정의된 신호 레벨(예를 들어, 접지)을 미리 정의된 기간(예를 들어, 100 ns, 200 ns 또는 300 ns) 동안 차동 송신 링크(1505)의 두 송신 라인 모두에 출력하도록 구성될 수 있다. 정의된 신호 레벨을 차동 송신 링크(1505)에 출력한 이후, 출력 인터페이스 회로(1510)는 또한 저 대역폭 데이터 신호(1502)를 송신 링크(1505)로 출력하도록 구성될 수 있다. 다시 말해, 차동 송신 링크(1505)의 송신 라인 상의 미리 정의된 신호 레벨은 출력 인터페이스 회로(1510)에 의해 구동되어 제 5 동작 모드(1535)의 시작을 수신기에 시그널링할 수 있다.

[0673] 제 5 동작 모드에서, 출력 인터페이스 회로(1510)는 송신의 종료를 수신기에 시그널링하기 위해 (예를 들어, 제 4 동작 모드(1534)로 복귀하기 위해) 저 대역폭 데이터 신호(1502)를 출력한 다음에 미리 정의된 제 2 기간 동안 차동 송신 링크(1505)로 접지를 출력하도록 구성될 수 있다. 따라서, 장치(1500)로부터 더 이상의 데이터 트래픽이 예상되지 않기 때문에 수신기는 (깊은) 슬립 모드로 가게 될 수 있다.

[0674] 제 5 동작 모드(1535)에서 저 대역폭 데이터 신호(1502)의 대역폭은 제 1 동작 모드(1531)에서 데이터 신호(1505)의 대역폭보다 (훨씬) 낮다. 제 5 동작 모드(1535)에서 저 대역폭 데이터 신호(1502)의 대역폭은, 예를 들어, 제 1 동작 모드(1531)에서 데이터 신호(1501)의 대역폭보다 적어도 10배, 15배 또는 20배 더 낮을 수 있다. 예를 들어, 제 1 동작 모드(1531)에서 데이터 신호(1501)의 대역폭이 20 Gbit/sec이면, 제 5 동작 모드(1535)에서 저 대역폭 데이터 신호(1502)의 대역폭은 100 Mbit/sec일 수 있다.

[0675] 제 5 동작 모드(1535)에서 저 대역폭 데이터 신호(1502)의 감소된 대역폭은 저 대역폭 데이터 신호(1502)에서 신호 에지의 상승 및 하강 시간(예를 들어, 100 Mbps의 대역폭의 경우 3 내지 5 나노초 상승/하강 시간)을 데이터 신호(1501)에 비해 더 많이 완화하여 구동할 수 있게 한다. 따라서, 제 5 동작 모드(1535)에서 장치(1500)

의 전력 소비는 제 1 동작 모드(1531)에서 보다 (훨씬) 낮을 수 있다.

[0676] 제 4 동작 모드(1534)로부터 제 5 동작 모드(1535)로, 또는 그 반대로의 전이는 빠를 수 있다(예를 들어, 200 ns 이하). 제 4 동작 모드(1534)로부터 제 5 동작 모드(1535)로, 또는 그 반대로의 전이는 제 2 동작 모드(1532)를 통해 제 4 동작 모드(1534)로부터 제 1 동작 모드(1531)로 변경하는 것보다 훨씬 빠를 수 있다. 예를 들어, 제 2 동작 모드(1532)를 통해 제 4 동작 모드(1534)로부터 제 1 동작 모드(1531)로 변경하는 것은 제 4 동작 모드(1534)로부터 제 5 동작 모드(1535)로 변경하는 것보다 적어도 5배, 10배 또는 15배 더 오래 걸릴 수 있다.

[0677] 24 비트의 데이터가 송신되는 것으로 가정하면, 데이터를 전송하는 전체 사이클은, 예를 들어, 제 5 동작 모드에서 100 Mbit/sec의 송신 레이트(저 대역폭 데이터 신호(1502)의 대역폭)의 경우 640 ns 걸리고, 제 4 동작 모드(1534)에서 제 5 동작 모드(1535)로의 전이 시간은 200 ns 걸릴 수 있고, 그 반대일 수도 있다. 즉, 37.5 Mbit/sec의 동등한 대역폭이 송신 링크(1505)를 통해 송신될 수 있다. 제 4 동작 모드(1534)로부터 제 2 동작 모드(1532)로 변경하기 위한 시간은, 예를 들어 2.5 마이크로초일 수 있고, 제 2 동작 모드(1532)로부터 제 1 동작 모드(1531)로 변경하기 위한 시간은, 예를 들어 10 ns일 수 있다. 따라서, 제 4 동작 모드(1534)로부터 제 1 동작 모드(1531)로 변경하기 위한 시간은 제 4 동작 모드(1534)로부터 제 5 동작 모드(1535)로 진행하고, 제 5 동작 모드(1535)로부터 데이터를 송신하고 다시 제 4 동작 동작(1534)로 다시 가기 위한 시간보다 이미 더 많다. 따라서, 소량의 데이터를 송신하기 위해 제 5 동작 모드(1535)를 사용하는 것은 장치(1500)를 제 4 동작 모드(1534)에 더 자주 및/또는 더 오랜 시간 머무르게 할 수 있다. 따라서, 장치(1500)의 전력 소비가 감소될 수 있고 장치(1500)의 전력 효율이 증가될 수 있다.

[0678] 따라서, 제 5 동작 모드(1535)는 LVGP(Low Voltage General Purpose) 모드 또는 준(semi) GPIO(General Purpose Input Output) 모드로 이해될 수 있다. 즉, 이따금 소량의 데이터가 시그널링되어야 하면, 시스템을 웨이크 업하고 (소량 데이터에는 비효율적인) 고속 모드를 사용하는 대신, 효율성과 빠른 온/오프 시간으로 인해 소량 데이터 페이로드를 전송하기 위한 LVGP 상태가 사용될 수 있다.

[0679] 일부 예에서, 다른 처리 회로(1525)는 제 1 동작 모드(1531)에서 데이터 신호(1501)를 생성하기 위해 사용하는 처리 회로(1515)와는 상이한 변조 방식을 사용하여 저 대역폭 데이터 신호(1502)를 생성하도록 구성될 수 있다. 예를 들어, 처리 회로(1525)는 신호의 에지를 시그널링하기 위해 시간 인코딩 데이터 이외의 다른 변조 방식을 사용할 수 있다. 예를 들어, 처리 회로(1525)는 진폭 변조, 다른 위상 변조 방식 또는 진폭 변조 및 위상 변조의 조합을 사용할 수 있다.

[0680] 제 5 동작 모드(1535)에서, 출력 인터페이스 회로(1510)는, 예를 들어, 저 대역폭 데이터 신호(1502)를 차동 송신 링크(1505)의 하나의 송신 라인에 출력하고 클록 신호를 차동 송신 링크(1505)의 다른 송신 라인에 출력하도록 구성될 수 있다. 예를 들어, 클록 신호는 듀얼 데이터 레이트(Dual Data Rate)(DDR) 클록 신호 또는 싱글 데이터 레이트(Single Data Rate)(SDR) 클록 신호일 수 있다. 대안적으로, 다른 처리 회로(1525)는 두 개의 단일 종단 저 대역폭 신호가 차동 송신 링크(1505)의 송신 라인을 통해 송신되도록 제 2 저 대역폭 데이터 신호를 생성하도록 구성될 수 있다. 차동 신호에 비해 단일 종단 신호의 감소된 면역성은 제 1 동작 모드(1531)에서 데이터 신호(1501)와 비교하여 저 대역폭 데이터 신호의 감소된 대역폭에 의해 보상될 수 있다.

[0681] 일부 예에서, 장치(1500)는 제 5 동작 모드(1535)에서도 또한 데이터를 차등적으로 송신할 수 있다. 예를 들어, 다른 처리 회로(1525)는 저 대역폭 데이터 신호(1502)에 대해 반전된 제 2 저 대역폭 데이터 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로(1510)는 저 대역폭 데이터 신호(1502) 및 제 2 저 대역폭 데이터 신호를 차동 송신 링크(1505)로 출력하도록 구성될 수 있다.

[0682] 시사한 바와 같이, 장치(1500)는 또한 오프 상태, 즉 제 6 동작 모드(1536)로 구동될 수 있다. 예를 들어, 장치(1500)를 파워 업할 때, 장치(1500)는 저 에너지의 제 4 동작 모드(1534)로 가기 전에 먼저 오프 상태로 갈 수 있다. 오프 상태에서, 장치(1500)(또는 전체 STEP 인터페이스)는 외부 커맨드(제어 신호)에 기초하여 리셋/셧 다운된다.

[0683] 또한, 장치(1500)가 수신 모드를 변경할 수 있도록 하기 위해 송신 링크(1505) 상의 데이터 흐름의 방향을 뒤집을 때(반전시킬 때) 제 7 동작 모드(1537)가 사용될 수 있다.

[0684] 데이터 신호를 생성하기 위한 장치(1500)(통신 인터페이스의 송신 측) 이외에, 또한 수신 측도 전력 방식에 따라 동작할 수 있다. 이것은 도 15b 및 도 15c와 관련하여 아래에서 설명된다. 도 15c는 데이터 신호(1541)를 디코딩하기 위한 장치(1540)의 예를 도시한다. 장치(1540)는 송신 링크(1545)로부터 데이터 신호(1541)를 수신

하도록 구성된 인터페이스 회로(1550)를 포함한다. 또한, 장치는 데이터 신호(1541)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1555)(예를 들어, TDC)를 포함한다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0685] 장치(1540)는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로(1560)를 포함할 수 있다. 제 1 기간과 제 2 기간의 합은 제 1 데이터 및 제 2 데이터가 페이로드 데이터 심볼이면 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0686] 장치(1540)의 동작 모드(전력 모드)는 제어 회로(1565)에 의해 제어된다. 제어 회로(1565)는 제 1 데이터 및 제 2 데이터가 통신 프로토콜(예를 들어, STEP 프로토콜)에 따른 페이로드 데이터 심볼이면 장치(1540)의 회로를 제어하여 제 1 동작 모드(1531)에서 동작하도록 구성된다. 또한, 제어 회로(1565)는 제 1 데이터 및 제 2 데이터가 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼 표시자 및 제어 심볼이면 장치(1540)의 회로를 제어하여 제 2 동작 모드(1532)에서 동작하도록 구성된다.

[0687] 위에서 설명한 바와 같이, 복조 회로(1560)는 데이터 신호(1541)의 제 1 내지 제 3 신호 에지 사이의 기간에 기초하여 유휴 모드를 표시하는 구분자를 결정할 수 있다. 예를 들어, 복조 회로(1560)는 제 1 기간 또는 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제 1 데이터 또는 제 2 데이터가 제어 심볼 표시자라고 결정하도록 구성될 수 있다. 또한, 복조 회로(1560)는 제 1 기간 또는 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 제 1 데이터 또는 제 2 데이터가 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼이라고 결정하도록 구성될 수 있다.

[0688] 데이터 신호(1541)는 제 1 동작 모드에서 보다 제 2 동작 모드(1532)에서 더 낮은 레이트로 생성된다(위의 내용 참고). 따라서, 또한 장치(1540)는 전력을 절약하기 위해 더 낮은 레이트에서 동작할 수 있다. 그래서, 제어 회로(1565)는 장치(1540)의 회로를 제어하여 제 1 동작 모드에서보다 제 2 동작 모드에서 더 낮은 레이트로 동작하도록 구성될 수 있다. 장치(1500)와 마찬가지로, 장치(1540)는 제 2 동작 모드에서 전력을 절약할 수 있지만, 장치(1540)가 낮은 대기 시간으로 제 1 동작 모드(1531)로 빠져나갈 수 있도록 동시에 유휴 구분자를 낮은 레이트에서 디코딩함으로써 핫 상태로 유지된다. 다시 말해, 장치(1540)는 낮은 대기 시간으로 고속 모드로 재개할 수 있도록 하기 위해 낮은 레이트에서 활성 상태로 유지된다.

[0689] 장치(1540)는 또한 (적어도 제 1 및/또는 제 2 동작 모드(1531, 1532)에서) 차동 입력 신호를 처리하도록 구성될 수 있다. 즉, 인터페이스 회로(1550)는 또한 데이터 신호(1541)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 또한, 처리 회로(1555)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다. 따라서, 송신 링크(1545)는 제 1 데이터 신호(1541) 및 제 2 데이터 신호를 위한 두 개의 송신 라인을 포함하는 차동 송신 링크일 수 있다.

[0690] 도 21과 관련하여 아래에서 보다 상세하게 설명되는 바와 같이, 인터페이스 회로(1550)는 장치(1540)를 데이터 신호(1541)를 생성하는 송신기(예를 들어, 장치(1500))에 DC 결합하기 위해 공급 전압 및 (차동) 송신 링크(1545)에 결합될 수 있다. 송신기는 접지에 결합된다. 다시 말해, 인터페이스 회로(1550)는 송신기와 공급 전압 사이에 결합되는 반면, 송신기는 인터페이스 회로(1550)와 접지 사이에 결합된다. 도 21과 관련하여 아래에서 보다 상세히 설명되는 바와 같이, 송신기는 장치(1540)가 제 3 동작 모드(1533)로 구동되도록 인터페이스 회로(1550)를 접지로부터 분리시킴으로써 인터페이스 회로를 파워 다운할 수 있다. 즉, 인터페이스 회로(1550)는 제 3 동작 모드(1533)에서 비활성화되도록 구성된다. 제 3 동작 모드(1533) 동안 비활성화되어 있을 때, 인터페이스 회로(1550)는 송신 링크(1545)의 송신 라인이 비 플로팅 상태에 있도록 정의된 신호 레벨(예를 들어, 하이 신호 레벨 /약한 풀 업)을 차동 송신 링크(1545)에 출력하도록 구성된다.

[0691] 송신기가 다시 제 2 동작 모드(1532)로 전이하고 유휴 구분자를 송신하기 시작할 때, 인터페이스 회로는 접지에 재결합된다. 그래서 이것은 송신기에 의해 자동으로 재활성화되고 다시 제 2 동작 모드(1532)로 구동된다.

[0692] 위에서 설명한 바와 같이, 송신기는 전용 구분자를 통해 또는 송신 링크(1545)의 송신 라 인상의 신호 레벨을 통해 제 4 동작 모드(1534)로의 전이를 시그널링할 수 있다. 예를 들어, 처리 회로(1565)는 데이터 신호(1541)가 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 전용 시퀀스를 포함하면 장치(1540)의 회로를 제 4 동작 모드(1534)에서 동작하도록 제어할 수 있다. 처리 회로(1555)는 데이터 신호(1541)에서 신호 에지의 시퀀스를 결정할 수 있고 복조 회로(1560)는 신호 에지 사이의 각각의

기간, 예를 들어, 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간 및 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간을 결정할 수 있다. 제어 회로(1565)는, 제 3 기간 또는 제 4 기간이 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고 제 4 기간 또는 제 3 기간이 제 4 동작 모드(1534)로의 전환을 표시하는 통신 프로토콜의 제어 심볼에 대응하면, 장치(1540)의 회로를 제 4 동작 모드(1534)에서 동작하도록 제어할 수 있다. 즉, 장치(1540)는 예약된 심볼(구분자)이 송신기에 의해 브로드캐스트되면 제 4 동작 모드(1534)로 전이할 수 있다. 일부 예에서, 제 4 동작 모드(1534)로의 전환을 표시하기 위해 하나 초과의 제어 심볼(예를 들어, 캐스케이드식 구분자)이 사용될 수 있다.

[0693] 위에서 설명한 바와 같이, 공통 또는 차동 시그널링은 송신기에 의해 전력 상태를 명시적으로 송신하지 않으면서 대안적으로 (수신기로서 이해될 수 있는) 장치(1540)가 상태를 검출할 수 있게 할 수 있다. 예를 들어, 제어 회로(1565)는, 인터페이스 회로(1550)가 송신기가 차동 송신 링크(1545)의 두 송신 라인을 모두 하이 임피던스로 구동하는 것을 감지하면, 장치(1540)의 회로를 제 4 동작 모드(1534)에서 동작하도록 제어할 수 있다. 인터페이스 회로(1550)는, 예를 들어 장치(1540)가 전력 상태를 인식하도록 하기 위해 송신 링크(1545)의 송신 라인(들)의 상태(신호 레벨)를 검출하도록 구성된 (작은) 감지 회로를 포함할 수 있다.

[0694] 송신 링크를 통한 데이터 송신이 발생하지 않기 때문에 처리 회로(1555)뿐만 아니라 복조 회로(1560)는 제어 회로(1565)에 의해 제 4 동작 모드(1534)에서 비활성화될 수 있다. 또한, 감지 회로를 제외하고 인터페이스 회로(1550)가 비활성화될 수 있다. 인터페이스 회로(1550)(예를 들어, 감지 회로)가 송신 링크(1545)의 송신 라인에서 차동 신호 쌍을 감지하면, 제어 회로(1565)는 장치(1540)의 회로를 다시 제 2 동작 모드(1532)에서 동작하도록 제어할 수 있다.

[0695] 또한, 인터페이스 회로(1550)(예를 들어, 감지 회로)가 미리 정의된 기간 동안 차동 송신 링크(1545)의 두 송신 라인 모두에서 정의된 신호 레벨(예를 들어 접지)을 감지하면, 제어 회로(1565)는 장치의 회로를 제어하여 제 5 동작 모드(1535)에서 동작하도록 구성될 수 있다. 제 5 동작 모드(1535)에서, 인터페이스 회로(1550)는 위에서 설명한 것과 유사하게 차동 송신 링크(1545)의 적어도 하나의 송신 라인으로부터 저 대역폭 데이터 신호(1542)를 수신하도록 구성될 수 있다.

[0696] 제 5 동작 모드(1535)에서, 처리 회로(1555) 및 복조 회로(1560)는 저 대역폭 데이터 신호(1542)를 디코딩하기 위한 요건이 데이터 신호(1541)에 비해 더 낮기 때문에 비활성화될 수 있다. 대신에, 다른 처리 회로(1570)가 저 대역폭 데이터 신호(1542)에 기초하여 데이터를 결정하기 위해 사용될 수 있다. 예를 들어, 다른 처리 회로(1570)는 저 대역폭 데이터 신호(1542)의 신호 에지 및/또는 신호 진폭을 결정하도록 구성될 수 있다. 따라서, 다른 처리 회로(1570)는 저 대역폭 데이터 신호(1542)의 신호 에지 및/또는 신호 진폭에 기초하여 데이터를 결정하도록 구성될 수 있다.

[0697] 위에서 언급한 바와 같이, 동일하거나 상이한 변조 방식이 데이터 신호(1541)에 비해 낮은 대역폭 데이터 신호(1542)에 대해 사용될 수 있다. 그러므로 다른 처리 회로(1570)는 데이터 신호(1541)에 대한 복조 회로(1560)와는 상이한 변조 방식을 사용하는 저 대역폭 데이터 신호(1542)에 기초하여 데이터를 결정하도록 구성될 수 있다.

[0698] 위에서 설명한 바와 같이, 제 5 동작 모드(1535)에서 저 대역폭 데이터 신호(1542)의 대역폭은 제 1 동작 모드(1531)에서 데이터 신호(1541)의 대역폭보다 (훨씬) 낮다. 예를 들어, 저 대역폭 데이터 신호(1542)의 대역폭은 제 1 동작 모드(1531)에서 데이터 신호(1541)의 대역폭보다 적어도 5배, 10배 또는 15배 더 낮을 수 있다(예를 들어, 20 Gbit/sec 대신 100 Mbit/sec).

[0699] 더 낮은 대역폭으로 인해, 장치(1540)는 제 1 동작 모드(1513)에 비해 제 5 동작 모드(1535)에서 더 낮은 레이트에서 동작할 수 있다. 다시 말해, 제 1 동작 모드(1531)에 비해 요건이 더 완화된다. 따라서, 제 5 동작 모드(1535)에서 장치의 전력 소비는 제 1 동작 모드(1531)에서 보다 (훨씬) 낮을 수 있다.

[0700] 위에서 설명한 바와 같이, 데이터는 적어도 제 1 동작 모드에서 차동 방식으로 송신될 수 있다. 따라서, 장치(1540) (예를 들어, 인터페이스 회로(1550))는 차동 송신 링크(1545)의 송신 라인을 종단하도록 구성될 수 있다. 저 대역폭 데이터 신호(1542)는 단일 종단 데이터 신호일 수 있으므로, 종단이 필요하지 않다. 따라서, 제 5 동작 모드에서, 제어 회로(1565)는 차동 송신 링크(1545)의 송신 라인 사이에서 장치(1540)의 종단을 비활성화시키도록 구성될 수 있다.

[0701] 대안적으로, 데이터는 제 5 동작 모드(1535)에서도 또한 차동 방식으로 송신 링크(1545)를 통해 송신될 수 있다. 즉, 제 5 동작 모드(1535)에서, 인터페이스 회로(1550)는 차동 송신 링크(1545)의 다른 송신 라인으로부

터 제 2 저 대역폭 데이터 신호를 수신하도록 구성될 수 있다. 제 2 저 대역폭 데이터 신호는 저 대역폭 데이터 신호(1542)에 대해 반전된다. 따라서, 다른 처리 회로(1570)는 또한 제 2 저 대역폭 데이터 신호에 기초하여 데이터를 결정하도록 구성될 수 있다.

[0702] 위에서 설명한 바와 같이, 저 대역폭 데이터 신호(1542)는 클록 신호와 함께 송신 링크를 통해 송신될 수 있다. 따라서, 제 5 동작 모드(1535)에서, 인터페이스 회로(1550)는 차동 송신 링크(1545)의 다른 송신 라인으로부터 클록 신호를 수신하도록 구성될 수 있다. 다른 처리 회로(1570)는 (예를 들어, 저 대역폭 데이터 신호(1542)의 신호 에지 또는 신호 진폭을 결정하기 위해) 클록 신호를 사용하여 저 대역폭 데이터 신호(1542)에서 데이터를 결정하도록 구성될 수 있다.

[0703] 대안적으로, 저 대역폭 데이터 신호(1542)는 (예를 들어, 제 2 저 대역폭 데이터 신호가 송신 링크(1545)를 통해 송신되기 때문에) 클록 신호없이 송신될 수 있다. 그러므로 수신기 측은 클록을 (예를 들어 비동기적으로) 복구해야 한다. 다시 말해, 수신 측은 자체 클록을 가동해야 한다. 따라서, 제 5 동작 모드(1535)에서, 제어 회로(1565)는 클록 신호(1576)를 생성하도록 구성된 클록 생성 회로(1575)를 활성화하도록 구성될 수 있다. 예를 들어, 클록 생성 회로(1575)는 저 대역폭 데이터 신호(1542)에 기초하여 클록 신호(1576)를 생성하도록 구성될 수 있다(예를 들어, 장치(1540)는 클록 복구 위상 고정 루프(Phase-Locked Loop)(PLL)와 같은 클록 복구 기능성을 활성화할 수 있다). 다른 처리 회로(1570)는 (예를 들어, 저 대역폭 데이터 신호(1542)의 신호 에지 또는 신호 진폭을 결정하기 위해) 클록 신호(1576)를 사용하여 저 대역폭 데이터 신호(1542)에서 데이터를 결정하도록 구성될 수 있다.

[0704] 송신기는 제 5 동작 모드(1535)에서 데이터 송신이 종료되었음을 표시하기 위해 차동 송신 링크(1545)를 접지로 몰고 간다. 따라서, 인터페이스 회로(1550)가 저 대역폭 데이터 신호(1542)를 수신한 다음에 차동 송신 링크(1545)가 (예를 들어 감지 회로에 의해) 제 2 미리 정의된 시간 동안 접지된 것을 감지하면, 제어 회로(1565)는 장치(1540)의 회로를 다시 제 4 동작 모드(1534)로 전이(변경)하도록 제어할 수 있다.

[0705] 도 15a 내지 도 15c와 관련하여 위에서 설명한 바와 같이, STEP 프로토콜에 따른 통신 인터페이스의 송신기 및 수신기는 고속(최대 처리량) 모드에서 차동 방식으로 동작할 수 있고, LVGP 모드에서 단일 종단되어 동작할 수 있다. 차동 신호에 비해 단일 종단 신호의 감소된 면역성은 감소된 대역폭에 의해 비교될 수 있다.

[0706] 장치(1500)와 마찬가지로, 또한 장치(1540)는 인터페이스의 셧다운/리셋을 가능하게 하기 위해 제 6 동작 모드(1536)(즉, 오프 상태)로 갈 수 있다.

[0707] 또한, 장치(1540)가 송신 모드로 변경할 수 있도록 하기 위해 송신 링크(1545) 상의 데이터 흐름의 방향을 뒤집을 때(반전시킬 때) 장치(1540)는 제 7 동작 모드(1537)로 진행할 수 있다.

[0708] 상이한 동작 모드 사이의 전이(변경)를 위한 전이 시간은 장치(1500)보다는 장치(1500)에 대해 (실질적으로) 동일할 수 있다.

[0709] 위에서 설명된 전력 방식의 양태에 따른 통신 장치(1580)의 일부가 도 15d에 도시된다. 통신 장치(1580)는 송수신기가 송신 및 수신 기능성을 나타내기 때문에 송수신기로서 이해될 수 있다.

[0710] 통신 장치(1580)는 차동 송신 링크(1587)에 결합되어 데이터를 송신 링크(1587)로 출력 및 수신하는 송신 버퍼(1581) 및 수신 버퍼(1582)를 포함한다. 그러므로 송신 버퍼(1581) 및 수신 버퍼(1582)는 위에서 설명된 인터페이스 회로의 기능성을 제공한다.

[0711] 또한, 통신 장치(1580)는 송신 링크(1587)로 출력 될 데이터 신호를 생성하기 위한 신호 생성 회로(1583)를 포함한다. 신호 생성 회로(1583)는 위에서 설명한 데이터 신호를 생성하기 위한 처리 회로의 기능성을 나타낸다.

[0712] 유사하게, 통신 장치(1580)는 송신 링크(1587)로부터 수신된 수신 신호를 처리하고, 수신 신호에 인코딩된 데이터를 결정하기 위한 수신 신호 처리 회로(1584)를 포함한다. 수신 신호 처리 회로(1584)는 적어도 신호 에지를 결정하기 위한 위에서 설명된 처리 회로 및 위에서 설명된 복조 회로의 기능성을 나타낸다.

[0713] 신호 생성 회로(1583) 및 수신 신호 처리 회로(1584)는 도 15b에 도시된 제 1 내지 제 4 동작 모드(1531 내지 1534)에서 데이터를 교환하기 위해 사용된다. 제 5 동작 모드(1535)에서 소량의 데이터가 교환되는 경우, 통신 장치(1580)는 전용 LVGP 신호 생성 회로(1585) 및 전용 LVGP 수신 신호 처리 회로(1586)를 포함한다. LVGP 신호 생성 회로(1585)는 적어도 도 15a와 관련하여 위에서 설명한 다른 처리 회로(1525)의 기능을 나타내고, LVGP 수신 신호 처리 회로(1584)는 적어도 도 15c와 관련하여 위에서 설명한 처리 회로(1575)의 기능성을 나타낸다.

[0714] 다시 말해, 제 5 동작 모드(1535)에서, 송신 버퍼(1581)를 향한 데이터는 상이한 경로에서 생성되고, 수신 버퍼(1582)로부터의 데이터는 상이한 경로에서 처리된다. 따라서, 송신 버퍼(1581) 및 수신 버퍼(1582)의 좌측에 있는 블록은 LVGP 모드에 필요하지 않기 때문에 제 5 동작 모드(1535)에서 셧다운(전력 차단) 또는 클록 게이팅 될 수 있다.

[0715] 도 15a 내지 도 15d와 관련하여 위에서 설명된 바와 같이, STEP 프로토콜은 종료 대기 시간 및 전력(뿐만 아니라 다른 파라미터) 측면에서 고유한 몇몇 전력 모드를 사용할 수 있다. STEP 프로토콜에 따르면, 물리 계층 회로는 전력 소비를 감소시키기 위해 (적어도 부분적으로) 파워 다운/클록 게이팅될 수 있다. 송신 및/또는 수신 버퍼는 다른 회로의 파워 다운 동안 활성 상태로 유지될 수 있다. 또한, 송신 및/또는 수신 버퍼는 STEP 프로토콜의 시간 인코딩된 방식과 상이한 변조 방식을 사용하여 데이터를 분석할 수 있는 상이한 엔티티에 데이터(입력 또는 출력)을 라우팅할 수 있다. 대안적인 LVPG 모드 동안, 예를 들어, 비동기 프로토콜 또는 소스 동기 프로토콜이 STEP 프로토콜에 따라 사용될 수 있다. 또한, 인터페이스는 (단일 송신 링크의 경우) 두 개의 단일 종단 트레이스로서 또는 차동 인터페이스로서 동작하도록 구성될 수 있다. LVGP 모드로 전이하고 되돌아 오는 것은 고속 모드로 전이하는 것보다 눈에 띄는 인자만큼 짧을 수 있다. LVGP 모드로의 전이는 짧은 지속기간 동안 또는 더 긴 지속기간 동안일 수 있다.

[0716] 전술한 설명 섹션은 (예를 들어, STEP 프로토콜에 따른) 통신 인터페이스의 전력 소비를 최적화하는 것과 관련된 양태에 초점을 맞추었다. 아래에서, 높은 송신의 신뢰성을 요구하는 데이터를 송신하는 것과 관련된 양태가 논의된다. 데이터 패킷을 다른 데이터 패킷에 내포시키는 것과 관련하여 위에서 시사한 바와 같이, 일부 데이터 패킷은 제어 데이터 또는 상태 데이터와 같은 매우 신뢰할 수 있는 데이터를 반송할 수 있다. 다시 말해, 이러한 데이터 패킷은 매우 신뢰할 수 있는 데이터 송신을 요구하는 중대한 데이터를 반송한다. 예를 들어, 이러한 데이터 패킷에 대한 송신 에러는 통신 표준/프로토콜의 요건의 위반(예를 들어 허용된 것보다 많은 에너지의 송신), 회로(반도체 다이)에 대한 영구적인 손상 또는 컴포넌트 간의 불일치를 초래할 수 있다.

[0717] 아래에서, 강건한 데이터 송신에 대한 개념이 도 16a 내지 도 16h와 관련하여 설명될 것이다. 도 16a는 데이터 신호(1601)를 생성하기 위한 장치(1600)의 예를 도시한다.

[0718] 장치(1600)는 데이터 신호(1601)를 생성하도록 구성된 처리 회로(1605)(예를 들어, DTC)를 포함한다. 처리 회로(1605)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1601)를 생성한다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리된다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0719] 또한, 장치(1600)는 데이터 신호(1601)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1610)를 포함한다.

[0720] 제 1 동작 모드에서, 처리 회로(1605)는 송신될 데이터(예를 들어 페이로드 데이터 또는 페이로드 데이터 심볼)에 기초하여 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하도록 구성된다. 제 1 복수의 기간의 시간 기간은 제 1 오프셋 시간만큼 서로 오프셋된다.

[0721] 제 2 동작 모드에서, 처리 회로(1605)는 송신될 데이터에 기초하여 제 2 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하도록 구성된다. 제 2 복수의 기간의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다.

[0722] 다시 말해, 데이터를 데이터 신호(1601)에 인코딩하기 위한 가능한 폭 사이의 델타(폭 차이)는 제 2 동작 모드의 경우 더 크게 선택된다. 따라서, 데이터 신호(1601)는 제 1 동작 모드에서보다 제 2 동작 모드에서 더 강건하다(예를 들어, 에러가 덜 발생하는 경향이 있다). 그러므로 중대한/매우 신뢰할 수 있는 데이터를 송신하기 위해, 장치(1600)는 제 2 동작 모드를 사용할 수 있다. 제 1 동작 모드는 예를 들어 정규 데이터를 송신하기 위해 사용될 수 있다.

[0723] 예를 들어, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1600)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 1 기간과 제 2 기간의 합은 두 동작 모드 모두에서 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0724] 예시적인 데이터 신호(1620)가 도 16b에 도시된다. 도 16b의 좌측 부분에서, 제 1 펄스(1622)가 도시된다. 펄스(1622)는 상승 신호 에지(1623)에서 시작하여 하강 신호 에지(1624)에서 종료된다. 시사한 바와 같이, 하강

신호 에지(1624)의 위치는 데이터 신호에 인코딩될 데이터에 기초하여 처리 회로(1605)에 의해 조정 가능하다. 도 16b의 예에서, 하강 신호 에지(1624)에 대해 일곱 개의 서로 다른 가능한 위치가 도시된다(0 내지 6로 표시된다). 위치 0은 펄스(1622)의 최소 펄스 길이를 정의한다. 따라서, 상승 신호 에지(1623)와 하강 신호 에지(1624) 사이에서 일곱 개의 상이한 기간이 조정될 수 있다. 다시 말해, 일곱 개의 상이한 펄스 길이가 조정될 수 있다. 도 12b에 도시된 예에 대해, 상이한 기간은(일정한) 심볼 분리 시간(ΔT)만큼 상이하다.

[0725] 예를 들어, 제 1 복수의 기간은 상승 신호 에지(1623)와 하강 신호 에지(1624) 사이의 일곱 개의 가능한 기간을 모두 포함할 수 있는 반면, 제 2 복수의 기간은 예를 들어 상승 신호 에지(1623)와 하강 신호 에지(1624) 사이의 일곱 개의 가능한 기간 중 가장 짧은 가능한 기간 및 가장 긴 가능한 기간(위치(1 및 6)으로 표시됨)만을 포함할 수 있다. 즉, 각 펄스는 제 2 동작 모드에서 두 개의 상이한 상태를 표시할 수 있다. 다시 말해, 각각의 펄스는 단일 비트(예를 들어 0 또는 1)를 반송할 수 있다. 그러므로 제 2 동작 모드에서, 제 2 복수의 기간의 가능한 기간은 각각 떨어진 일곱 개의 심볼 분리 시간(ΔT)인 반면, 제 1 복수의 기간의 가능한 기간은 제 1 동작 모드에서 서로 떨어진 한 개의 심볼 분리 시간(ΔT)이다. 다시 말해, 제 1 복수의 기간의 기간 사이의 제 1 오프셋 시간은 심볼 분리 시간(ΔT)과 동일한 반면, 제 2 복수의 기간의 기간 사이의 제 2 오프셋 시간은 심볼 분리 시간(ΔT)의 일곱 배와 동일하다.

[0726] 유사하게, 연속적인 제 2 펄스(1625)(즉, 잇따른 로우 펄스)의 경우, 하강 신호 에지(1624)와 상승 신호 에지(1626) 사이의 일곱 개의 가능한 모든 기간이 제 1 동작 모드에서 사용될 수 있는 반면, 하강 신호 에지(1624)와 상승 신호 에지(1626) 사이의 일곱 개의 가능한 기간 중 오직 가장 짧은 가능한 기간 및 가장 긴 가능한 기간만이 제 2 동작 모드에서 사용될 수 있다. 따라서, 두 비트가 데이터 신호의 하나의 발진 사이클에 인코딩될 수 있다.

[0727] 제 2 동작 모드에서 사용되는 신호 에지 사이의 간격이 넓기 때문에, 신호의 강건성이 매우 높을 수 있고 에러가(극히) 작을 가능성이 있다.

[0728] 도 16b의 예는 단지 예일 뿐이라는 것을 유의해야 한다. 예를 들어, 제 1 복수의 기간은 도 16b에서와 같이 일곱 개의 상이한 기간 대신에 넷, 다섯, 여섯, 여덟, 아홉, 열, 열하나, 열두 개 또는 그 이상의 상이한 기간을 포함할 수 있다. 일부 예에서, 제 1 복수의 기간은 적어도 여섯 개의 기간을 포함할 수 있다.

[0729] 유사하게, 제 2 오프셋 시간은 도 16b에서와 같이 일곱 배 대신에 두 배, 세 배, 네 배, 다섯 배, 여섯 배, 여덟 배 또는 그 이상의 제 1 오프셋 시간일 수 있다. 제 1 동작 모드에서 생성된 데이터 신호에 비해 상당히 더 높은 강건성을 가능하게 하기 위해, 제 2 오프셋 시간은 제 1 오프셋 시간의 적어도 두 배일 수 있다.

[0730] 위의 예에서 알 수 있는 바와 같이, 제 2 복수의 기간은 제 1 복수의 기간보다 전체적으로 적은 기간을 포함할 수 있다.

[0731] 예를 들어, 펄스의 상승 신호 에지와 하강 신호 에지 사이의 여덟 개의 가능한 기간이 제 1 동작 모드에 사용될 수 있고, 제 2 복수의 기간은 펄스의 상승 신호 에지와 하강 신호 에지 사이의 여덟 개의 가능한 기간 중 가장 짧은 가능한 기간 및 가장 긴 가능한 기간만을 포함할 수 있다. 그 다음에, 각각의 에지는 제 2 동작 모드에서 단일 비트(0 또는 1)를 반송하여 데이터 신호의 단일 발진 사이클이 2 비트를 반송하도록 할 수 있다. 그러나 이들은 서로 떨어진 일곱 개의 심볼 분리 시간(ΔT)이므로, 데이터를 데이터 신호에 인코딩하는 것은 매우 강건할 수 있다. 제 1 동작 모드에서, 펄스의 상승 신호 에지와 하강 신호 에지 사이의 여덟 개의 서로 다른 가능한 기간(즉, 여덟 개의 서로 다른 가능한 펄스 폭)은 2^3 = 8 비트를 하나의 펄스(예를 들어, 데이터 신호의 각각의 로우 또는 하이)에 인코딩하게 할 수 있다.

[0732] 위치 0에 대응하는 최소 펄스 폭이 80 ps(피코초)라고 가정하면, 비트 값 0은 제 2 동작 모드에서 데이터 신호에 80 ps의 긴 펄스로서 인코딩된다. 또한, 심볼 분리 시간(ΔT)이 15 ps라고 가정하면, 최대 펄스 폭은 185 ps이다. 즉, 비트 값 1은 제 2 동작 모드에서 데이터 신호에 185 ps의 긴 펄스로서 인코딩된다. 따라서, 비트 값을 0으로 인코딩하는 것과 데이터 신호를 1로 인코딩하는 것 사이에는 상당히 큰 차이가 있다. 이것은 수신기를 향한 데이터 신호의 강건하고 매우 신뢰할 수 있는 디코딩을 가능하게 할 수 있다. 예를 들어, 지속기간이 125 ps 미만인 각각의 펄스는 비트 값 0으로 변환될 수 있고, 125 ps보다 큰 임의의 펄스 지속기간은 비트 값 1로 변환될 수 있다.

[0733] 펄스의 상승 신호 에지와 하강 신호 에지 사이의 여덟 개의 가능한 펄스 폭(예를 들어, 가능한 펄스 폭(0 내지 7))과 관련하여, 펄스 폭(0, 1, 2 및 3)은 수신 측에서 예를 들어 비트 값 0으로 다시 변환될 수 있고, 펄스 폭

(4, 5, 6 및 7)은 비트 값 1로 다시 변환될 수 있다.

[0734] 다시 말해, 제 2 복수의 기간은 두 개의 기간을 포함할 수 있으며, 여기서 제 2 동작 모드에서, 제 1 기간은 송신될 데이터의 2의 기수법 표현(base two numeral system representation)의 제 1 숫자에 대응하고, 제 2 기간은 송신될 데이터의 2의 기수법 표현의 제 2 숫자에 대응한다.

[0735] 일부 예에서, 처리 회로(1605)는 또한 제 2 동작 모드에서 미리 정의진 횟수로 송신될 데이터의 적어도 하나의 비트를 복제하도록 구성될 수 있다. 따라서, 처리 회로(1605)는 또한 비트 및 비트의 미리 정의된 횟수의 복제에 기초하여 데이터 신호(1601)를 생성하도록 구성될 수 있다. 예를 들어, 비트를 복제하기 위한 미리 정의된 횟수는 2, 3, 4, 5 또는 그 이상일 수 있다.

[0736] 장치(1600)에서, 송신될 모든 비트는, 예를 들어, 비트 0이 000으로 송신되고 비트 1이 111로 발행되도록 세 번 복제될 수 있다. 송신될 비트를 복제하는 것은 데이터 송신의 신뢰성/강건성을 더욱 증가시킬 수 있다.

[0737] 제 2 동작 모드에 대해 세 개의 서로 다른 가능한 기간(코드)을 사용하는 다른 예가 도 16c에 도시된다. 도 16c는 데이터 신호(1630)의 다른 예를 도시한다. 도 16c의 좌측 부분에서, 제 1 펄스(1632)가 도시된다. 펄스(1632)는 상승 신호 에지(1633)에서 시작하여 하강 신호 에지(1634)에서 종료된다. 도 16c의 예에서, 하강 신호 에지(1634)에 대해 일곱 개의 서로 다른 가능한 위치가 도시된다(0 내지 6로 표시된다). 되풀이하면 위치 0은 펄스(1632)에 대한 최소 펄스 길이를 정의하고 위치 6은 최대 펄스 길이를 정의한다. 되풀이하면 상이한 기간은 (일정한) 기호 분리 시간(ΔT)만큼 상이하다.

[0738] 유사하게, 하강 신호 에지(1634)와 상승 신호 에지(1636) 사이의 연속적인(로우) 펄스(1625)는 일곱 개의 상이한 기간에 맞추어 조정될 수 있다.

[0739] 되풀이하면, 펄스의 상승 신호 에지와 하강 신호 에지 사이의 일곱 개의 가능한 모든 기간은 제 1 동작 모드에 사용될 수 있다. 도 16b의 예와 대조적으로, 제 2 복수의 기간은 펄스의 상승 신호 에지와 하강 신호 에지 사이의 일곱 개의 가능한 기간 중 가장 짧은 가능한 기간, 일곱 개의 가능한 기간 중 가장 긴 가능한 기간 및 일곱 개의 가능한 기간 중 중간의 가능한 기간을 포함한다. 예를 들어, 도 12b에서 위치(0, 3 및 6)에 의해 표시된 기간이 제 2 복수의 기간 동안 사용될 수 있다.

[0740] 따라서, 세 개의 상이한 코드가 하나의 펄스(하나의 신호 에지)에 인코딩될 수 있다. 도 16b의 예와 비교하여, 강건성을 약간 더 낮게 하여 트레이드오프하기 때문에 전송 효율은 증가될 수 있다.

[0741] 되풀이하면, 도 16c의 예는 단지 예일 뿐이라는 것을 유의해야 한다. 가능한 기간 및 시간 오프셋에 대해 다른 숫자가 사용될 수 있다. 예를 들어, 펄스의 상승 신호 에지와 하강 신호 에지 사이에 여덟 개의 가능한 기간은 제 1 동작 모드에 사용될 수 있고, 여덟 개의 가능한 기간 중 세 개만이 제 2 동작 모드에 사용될 수 있다. 여덟 개의 가능한 기간(0 내지 7) 중에서, 기간(0, 3 및 7)은 예를 들어 제 2 동작 모드에 사용될 수 있다.

[0742] 따라서, 각각의 펄스(신호 에지)는 세 개의 상이한 코드를 반송하여 네 개의 펄스(신호 에지)가 3^4 = 81개의 상이한 옵션을 반송할 수 있고, 즉 81개의 상이한 옵션을 데이터 신호에 인코딩할 수 있다. 6 비트의 데이터를 데이터 신호에 인코딩하는 경우, 2^6 = 64개의 상이한 옵션이 요구된다. 즉, 각각의 펄스가 세 개의 상이한 펄스 길이를 가질 수 있기 때문에, 제 2 동작 모드에서 6 비트가 데이터 신호의 네 개의 연속적인 펄스(신호 에지)에 매핑(인코딩)될 수 있다. 제 1 동작 모드에서, 여덟 개의 가능한 기간은 12 비트를 데이터 신호의 네 개의 연속적인 펄스(신호 에지)에 인코딩(펄스당 3 비트)할 수 있게 한다.

[0743] 따라서, 위의 예의 경우 제 1 동작 모드와 비교하여 제 2 동작 모드의 효율은 6/12이다. 비교하자면, 각각의 펄스가 제 2 동작 모드에서 두 개의 상이한 펄스 길이만을 갖는다면 제 1 동작 모드와 비교하여 제 2 동작 모드의 효율은 4/12이다. 위에서 언급한 바와 같이, 제 2 동작 모드에 대해 더 많은 가능한 펄스 길이를 사용하면 강건성을 약간 더 낮게 하여 트레이드오프하기 때문에 전송 효율을 증가시킬 수 있다. 제 2 동작 모드의 가능한 기간 사이에 세 개의 심볼 분리 시간(ΔT)의 거리를 사용하면 공칭 길이(지속기간)로부터 최대 1.5 비트 떨어진 데이터 신호에서의 펄스 길이(기간)가 수신 측에서 원래 코드로 되돌려질 수 있게 할 수 있다.

[0744] 유사하게, 729개의 상이한 옵션을 제공하는 여섯 펄스(신호 에지)는 제 2 동작 모드에서 아홉 비트(2^9 = 512)를 데이터 신호에 매핑하는데 사용될 수 있다(효율 9/18). 대안적으로, 열두 개 비트는 일곱 펄스(신호 에지)에 매핑될 수 있다. 마찬가지로, 3^{14} = 4564269개의 상이한 옵션을 제공하는 14개 펄스(신호 에지)는 22 비트(2^{22}

= 4194304)를 제 2 동작 모드에서 데이터 신호에 매핑하는데 사용될 수 있다(효율 22/42).

[0745] 에지에 인코딩된 전송 블록의 비트 수를 증가시킴으로써, 세 개의 가능한 신호 에지를 사용하는 전송의 효율은 최대로 K = 52 %(2^X = 3, K = x/3)에 도달할 수 있다.

[0746] 제 2 동작 모드에서 데이터를 세 개의 서로 다른 가능한 기간 중 하나에 매핑하는 것은 데이터를 기수 3 숫자로 변환(예를 들어, 이진수에서 기수 3 숫자로의 변환)하는 것으로 이해될 수 있다.

[0747] 따라서, 제 2 동작 모드에서, 처리 회로(1605)는 또한 송신될 데이터를 3의 기수법 표현으로 변환하도록 구성될 수 있다. 또한, 처리 회로(1605)는 데이터 신호(1601)에서 제 1 기간이 송신될 데이터의 3의 기수법 표현의 제 1 숫자에 대응하고 제 2 기간이 송신될 데이터의 3의 기수법 표현의 제 2 숫자에 대응하도록 데이터 신호(1601)를 생성하도록 구성될 수 있다.

[0748] 예를 들어, 처리 회로(1605)는 기본 전송 유닛(예를 들어, 위에서 설명한 바와 같이 6, 9 또는 22 비트)을 기수 2 숫자로 변환할 수 있다. 3진법으로 변환한 이후, 각 숫자(예를 들어, 0, 1 또는 2)는 여덟 개의 가능한 기간(0 내지 7) 중 기간(0, 3 또는 7)을 나타내는 펄스로서 코딩된다.

[0749] 수신 측에서, 이것은 예를 들어 펄스 폭(0, 1)을 다시 3진법의 숫자 0으로, 펄스 폭(2, 3 및 4)를 숫자 1로, 그리고 펄스 폭(5, 6 및 7)을 숫자 2로 변환하게 할 수 있다. 기수 세 개의 숫자를 다시 이진 코드로 변환함으로써 데이터가 복구될 수 있다.

[0750] 위의 예로부터 알 수 있는 바와 같이, 제 2 복수의 기간의 기간은 단일의 제 2 오프셋 시간에 의해 또는 상이한 제 2 오프셋 시간만큼 서로 오프셋될 수 있다. 그러나 하나 이상의 제 2 오프셋 시간은 항상 제 1 오프셋 시간보다 크다.

[0751] 장치(1600)는 또한 데이터를 차동 방식으로 송신 링크로 출력하도록 구성될 수 있다. 즉, 처리 회로(1605)는 또한 데이터 신호(1601)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 또한, 출력 인터페이스 회로(1610)는 제 2 데이터 신호를 송신 링크로 출력하도록 구성될 수 있다.

[0752] 위에서 설명한 바와 같이, 데이터의 크게 신뢰할 수 있는 송신을 위한 대안적인 변조 방식은 적은 양의 데이터가 데이터 신호의 하나의 펄스로 인코딩된다는 점에서 정규 변조 방식과 상이할 수 있다. 이러한 양태를 요약하기 위해, 도 16d는 데이터 신호(1641)를 생성하기 위한 다른 장치(1640)를 도시한다. 장치(1600)와 마찬가지로, 장치(1640)는 데이터 신호(1641)가 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1641)를 생성하도록 구성된 처리 회로(1645)(예를 들어, DTC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0753] 또한, 장치(1640)는 데이터 신호(1641)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1650)를 포함한다.

[0754] 제 1 동작 모드에서, 데이터 신호(1641)에서 제 1 신호 에지 및 제 2 신호 에지는 제 1 양의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 양의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[0755] 제 2 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 더 적은 제 2 양의 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 양의 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다.

[0756] 예를 들어, 도 16b 및 도 16c와 관련하여 위에서 설명한 바와 같이, 데이터 중 세 개의 비트는 제 1 동작 모드에서 연속적인 신호 에지 사이의 기간에 각각 인코딩될 수 있고, 데이터 중 한 비트는 제 2 동작 모드에서 연속적인 신호 에지 사이의 기간에 각각 인코딩될 수 있다.

[0757] 따라서, 데이터 신호(1641)는 제 1 동작 모드에서보다 제 2 동작 모드에서 더 강건하다(예를 들어, 에러가 덜 발생하는 경향이 있다). 그러므로, 제 2 동작 모드는 중대한/크게 신뢰할 수 있는 데이터를 송신하는데 사용될 수 있다. 제 1 동작 모드는 예를 들어 정규 데이터를 송신하기 위해 사용될 수 있다.

[0758] 예를 들어, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1640)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 1 기간과 제 2 기간의 합은 두 동작 모드 모두에서 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미

만일 수 있다.

[0759] 도 16b 및 도 16c와 관련하여 위에서 설명된 것과 유사하게, 처리 회로(1645)는 예를 들어 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하도록 구성될 수 있으며, 여기서 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 또한, 처리 회로(1645)는 제 2 복수의 기간으로부터 제 3 기간 및 제 4 기간을 선택하도록 구성될 수 있으며, 여기서 제 2 복수의 기간(예를 들어, 위에서 설명한 바와 같이 여덟 개의 기간(0 내지 7) 중 기간(0, 3 및 7))은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다. 되풀이하면, 제 2 오프셋 시간은 제 1 오프셋 시간의 적어도 두 배일 수 있다. 또한, 제 2 복수의 기간은 제 1 복수의 기간보다 적은 기간을 포함할 수 있다. 제 1 복수의 기간은 예를 들어 적어도 여섯 개의 기간을 포함할 수 있다.

[0760] 제 2 복수의 기간은 일부 예에서, 예를 들어, 도 16b와 관련하여 위에서 설명한 바와 같은 두 개의 기간을 포함할 수 있다. 따라서, 제 3 데이터는 송신될 데이터의 2의 기수법 표현의 제 1 숫자일 수 있고, 제 4 데이터는 송신될 데이터의 2의 기수법 표현의 제 2 숫자일 수 있다.

[0761] 일부 예에서, 제 2 복수의 기간은 예를 들어 세 개의 기간을 포함할 수 있다. 그러면 처리 회로(1645)는 또한 도 16c와 관련하여 위에서 설명한 바와 같이 송신될 데이터를 3의 기수법 표현으로 변환하도록 구성될 수 있다. 따라서, 제 3 데이터는 송신될 데이터의 3의 기수법 표현의 제 1 숫자일 수 있고, 제 4 데이터는 송신될 데이터의 3의 기수법 표현의 제 2 숫자일 수 있다.

[0762] 또한 장치(1640)의 경우, 처리 회로(1645)는 제 2 동작 모드에서 송신될 데이터의 적어도 하나의 비트를 미리 정의된 횟수(예를 들어, 3 회 이상)로 복제하고 비트 및 비트의 미리 정의된 횟수의 복제에 기초하여 데이터 신호(1641)를 생성하도록 구성될 수 있다. 송신될 데이터를 복제하는 것은 또한 데이터 송신의 신뢰성/강건성을 더욱 증가시킬 수 있다.

[0763] 또한 장치(1640)는 일부 실시예에서 데이터를 차동 방식으로 송신 링크로 출력하도록 구성될 수 있다. 즉, 처리 회로(1645)는 또한 데이터 신호(1641)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 또한, 출력 인터페이스 회로(1650)는 제 2 데이터 신호를 송신 링크로 출력하도록 구성될 수 있다.

[0764] 장치(1640) 또는 장치(1640)의 회로는 일부 예에서 또한 도 16b 및 도 16c와 관련하여 위에서 설명된 하나 이상의 부가적인 옵션의 특징을 실행/구현하도록 구성될 수 있다.

[0765] 도 16a 내지 도 16d의 전술한 설명은 주로 (초) 신뢰할 수 있는 데이터 신호의 생성에 초점을 맞추었지만, 다음의 단락은 부합하는 데이터 신호의 디코딩에 초점을 맞출 것이다. 도 16e는 데이터 신호(1661)를 디코딩하기 위한 장치(1660)의 예를 도시한다.

[0766] 위에서 설명한 데이터 신호를 디코딩하기 위한 장치와 유사하게, 장치(1660)는 데이터 신호(1661)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(1665)(예를 들어, TDC)를 포함한다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0767] 장치(1660)는 또한 제 1 동작 모드에서 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하도록 구성된 복조 회로(1670)를 포함한다. 제 1 동작 모드에서, 복조 회로(1670)는 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된다.

[0768] 제 2 동작 모드에서, 복조 회로(1670)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기준 기간 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기준 기간을 결정하도록 구성된다. 또한, 복조 회로(1670)는 제 1 기준 기간에 기초하여 제 3 데이터를 결정하고 제 2 기준 기간에 기초하여 제 4 데이터를 결정하도록 구성된다.

[0769] 예를 들어, 도 16c와 관련하여 설명된 예를 참조하면, 복수의 기준 기간은 데이터 신호(1661)에서 펄스 길이에 대해 여덟 개의 가능한 기간(0 내지 7) 중 기간(0, 3 및 7)을 포함할 수 있다. 따라서, 복조 회로(1670)는 데이터 신호(1661)에서 펄스의 실제 길이(지속기간)를 기간(0, 3 및 7)과 비교하고 데이터 신호(1661)에서 펄스의 실제 길이(지속기간)에 가장 가까운 기간(0, 3 및 7) 중에서 하나를 선택할 수 있다. 예를 들어, 데이터 신호(1661)에서 펄스가 펄스 폭 0 또는 1을 나타내면, 복조 회로(1670)는 허용된 기간 0을 펄스의 길이로서 결정할 수 있다. 펄스가 펄스 폭 2, 3 또는 4를 나타내면, 복조 회로(1670)는 허용된 기간 3을 펄스의 길이로서 결정할 수 있다. 또한, 펄스가 펄스 폭 5, 6 또는 7을 나타내면, 복조 회로(1670)는 허용된 기간 7을 펄스의 길이

로서 결정할 수 있다. 허용된 기간(0, 3 및 7) 각각은 특정 데이터(예를 들어, 특정 비트 값 또는 특정 페이로드 데이터 심볼)와 연관되어 데이터 신호(1601)에 인코딩된 데이터가 복조 회로(1670)에 의해 디코딩되도록 한다.

[0770] 제 1 동작 모드에서, 복조 회로(1670)는 예를 들어 펄스의 실제 길이(지속기간)를 여덟 개의 가능한 기간(0 내지 7) 각각과 비교할 수 있고, 따라서 데이터 신호(1661)에 인코딩된 데이터를 디코딩할 수 있다. 다시 말해, 복조 회로(1670)는 제 1 동작 모드에서 제 1 기간 및 제 2 기간에 가장 가까운 복수의 미리 정의된 가능한 기간의 미리 정의된 가능한 기간을 결정하고, 이러한 미리 정의된 가능한 기간에 기초하여 제 1 데이터 및 제 2 데이터를 결정하도록 구성된다.

[0771] 다시 말해, 복조 회로(1670)는 제 1 동작 모드에서 복수의 미리 정의된 가능한 기간(예를 들어, 가능한 기간 (0 내지 7))을 사용하여 제 1 데이터 및 제 2 데이터를 결정하도록 구성될 수 있으며, 여기서 제 2 동작 모드에서 사용된 복수의 기준 기간은 복수의 미리 정의된 가능한 기간의 서브세트이다.

[0772] 제 2 동작 모드에서 허용된 펄스 길이 사이의 때에 맞추어 더 큰 이격으로 인해, 디코딩은 제 2 동작 모드보다 더 강건할 수 있다. 따라서, 데이터 송신의 강건성이 증가될 수 있다.

[0773] 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0774] 데이터 신호(1661)에 인코딩된 데이터는 예를 들어 위에서 설명한 바와 같이 3의 기수법 표현일 수 있다. 즉, 일부 예에서, 복조 회로(1670)에 의해 결정된 제 3 데이터는 데이터의 3의 기수법 표현의 제 1 숫자일 수 있고, 제 4 데이터는 데이터의 3의 기수법 표현의 제 2 숫자일 수 있다. 보다 통상적인 이진 표현에서 추가적인 데이터 처리를 가능하게 하기 위해, 복조 회로(1670)는 제 3 데이터 및 제 4 데이터에 기초하여 데이터의 2의 기수법 표현(이진 표현)을 생성하도록 구성될 수 있다.

[0775] 위에서 설명한 바와 같이, 데이터는 차동 방식으로 송신될 수 있다. 따라서, 처리 회로(1670)는 일부 예에서 데이터 신호(1661)에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1670)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다.

[0776] 도 16a 내지 도 16e와 관련하여 위에서 설명한 장치에 대한 동작 모드는 기본 통신 프로토콜(예를 들어, STEP 프로토콜)의 상이한 계층에 의해 선택될 수 있다. 다시 말해, 통신 프로토콜의 상이한 계층은 패킹된 데이터를 초 신뢰할 수 있는 것으로 송신 또는 마킹하기로 결정하고 이에 따라 데이터 패킷의 송신기 및/또는 수신기를 제어할 수 있다. 예를 들어, 물리 계층이 결정을 내릴 수 있다. 일부 예에서, MAC 계층이 결정을 내릴 수 있다. MAC 계층에서의 결정은 물리 계층에 비해 구현하기가 더 간단할 수 있으며, 예를 들어 레지스터 전송 언어(Register Transfer Language)(RTL) 코드를 사용하여 수행되고 자동화된 툴을 사용하여 합성될 뿐만 아니라 자동적으로 검증될 수 있다. 예를 들어, MAC 계층은 하나 이상의 데이터 패킷이 초 신뢰할 수 있는 것으로 송신되어야 한다고 결정할 수 있고, 이어서 MAC 계층은 위에서 설명된 초 신뢰할 수 있는 변조 방식에 따라 데이터의 매핑을 제어할 수 있다.

[0777] 도 16a 내지 도 16e와 관련하여 위에서 설명된 장치는, 예를 들어, (예를 들어, MAC 계층 또는 물리 계층에 의해 생성된) 동작 모드를 표시하는 수신된 제어 신호에 기초하여 장치의 회로의 동작을 제어하도록 구성된 각각의 제어 회로를 포함할 수 있다 .

[0778] 데이터의 크게 신뢰할 수 있는 송신에 관한 위의 양태를 요약하기 위해, 도 16f는 데이터 신호를 생성하기 위한 방법(1600f)의 예를 도시한다. 방법은 데이터 신호를 생성하는 단계(1602f)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리된다. 제 1 동작 모드에서, 데이터 신호를 생성하는 단계(1602f)는 송신될 데이터에 기초하여 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하는 단계를 포함한다. 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 제 2 동작 모드에서, 데이터 신호를 생성하는 단계(1602f)는 송신될 데이터에 기초하여 제 2 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하는 단계를 포함한다. 제 2 복수의 기간은 제 1 오프셋 시간보다 큰 제 2 오프셋 시간만큼 서로 오프셋된다. 방법은 데이터 신호를 출력하는 단계(1604f)를 더 포함한다.

[0779] 방법(1600f)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 16a 내지 도 16c)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 부가적인 옵션의 특징을 포함할 수 있다.

[0780] 데이터 신호를 생성하기 위한 방법(1600g)의 예가 도 16g에 도시된다. 방법(1600g)은 데이터 신호를 생성하는 단계(1602g)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 제 1 양의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 양의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 2 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 더 적은 제 2 양의 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 양의 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 또한, 방법(1600g)은 데이터 신호를 출력하는 단계(1604g)를 포함한다.

[0781] 방법(1600g)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 16d)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0782] 데이터 신호를 디코딩하기 위한 방법(1600h)의 예가 도 16h에 도시된다. 방법(1600h)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1602h)를 포함한다. 제 1 동작 모드에서, 방법(1600h)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하는 단계(1604h) 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계(1606h)를 더 포함한다. 제 2 동작 모드에서, 방법(1600h)은 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기간 및 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기간을 결정하는 단계(1608h)를 포함한다. 방법(1600h)은 제 1 기준 기간에 기초하여 제 3 데이터를 결정하는 단계(1610h) 및 제 2 기준 기간에 기초하여 제 4 데이터를 결정하는 단계(1612h)를 더 포함한다.

[0783] 방법(1600h)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 16e)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0784] 위의 개시내용에 따르면, STEP 프로토콜은 몇몇 위상을 단일 비트로서 그룹화함으로써 신뢰할 수 있는 코드를 사용할 수 있다. 또한, STEP 프로토콜은 비트의 세트를 3의 기수 표현에 매핑시킴으로써 신뢰할 수 있는 코드를 사용하고 3의 기수로서 전송할 수 있다. STEP 프로토콜은 또한 신뢰성이 확립되기 전에 인터페이스 연결을 설정하게 할 수 있다(예를 들어, 협상 단계 동안 사용될 수 있다). 또한, 처리량 및 신뢰성의 균형은 (완전) 동적 방식으로 균형을 이룰 수 있다.

[0785] 통신 인터페이스에 대한 다른 관심의 양태는 서로의 능력에 관한 통신 파트너의 인식일 수 있다. 예를 들어, 상이한 세대의 통신 표준으로부터 유래하는 디바이스가 서로 통신한다면, 인터페이스 성능 및 지원되는 인터페이스 특징이 진화할 수 있으므로 디바이스의 성능 및 특징은 상이할 수 있다. 통신 인터페이스의 세대에 걸쳐, 비용 감소 또는 전력 소비 감소를 가능하게 하기 위해 비트 레이트가 향상될 수 있거나, 전력 소비가 감소될 수 있거나, 또는 일부 특징이 제거될 수 있다. 그러나 이러한 모든 특징은 디바이스 사이의 통신 성능에 영향을 미칠 수 있다. 또한, 통신 파트너는 통신 채널의 특성을 아는 것이 유리할 수 있다. 다음에는 디바이스 사이의 통신을 최적화하게 할 수 있는 예시적인 링크 설정 협상 흐름이 도 17a 내지 도 17c와 관련하여 설명된다.

[0786] 도 17a는 송신 링크(1705)를 통해 결합된 제 1 통신 장치(1710) 및 제 2 통신 장치(1730)를 포함하는 통신 시스템(1700)을 도시한다. 제 1 통신 장치(1710)는 송신 링크(1705)에 결합하도록 구성된 인터페이스 회로(1715)를 포함하고, 제 2 통신 장치(1730)는 송신 링크(1705)에 결합하도록 구성된 인터페이스 회로(1735)를 포함한다.

[0787] 제 2 통신 장치(1730)의 인터페이스 회로(1735)는 통신 장치(1730)의 통신 능력을 나타내는 제 1 데이터를 송신 링크(1705)를 통해 제 1 통신 장치(1710)로 송신하도록 구성된다. 제 1 데이터는 제 2 통신 장치(1730)에 의해 지원되는 통신 관련 특징 또는 사양을 표시한다. 예를 들어, 제 1 데이터는 장치에 의해 지원되는 최대 데이터 레이트, 장치에 의해 지원되는 전력 모드, 장치에 의해 지원되는 최대 진폭, 및 제 1 통신 장치(1710)와 통신하기 위한 제 2 통신 장치(1730)에 의해 지원되는 송신 링크의 최대 수 중 적어도 하나를 표시할 수 있다. 또한, 제 1 데이터는 제 2 통신 장치(1730)가 송신 링크 특성화(transmission link characterization)를 지원한다는 것을 표시한다. 송신 링크 특성화는 제 2 통신 장치(1730)와 제 1 통신 장치(1710) 사이의 송신 링크,

즉 송신 링크(1705)를 특성화하기 위한 절차/흐름이다.

[0788] 제 1 통신 장치(1710)의 인터페이스 회로(1715)는 송신 링크(1705)를 통해 제 2 통신 장치(1730)의 통신 능력을 나타내는 제 1 데이터를 수신하도록 구성된다.

[0789] 제 1 통신 장치(1710)는 제 1 데이터의 송신기가 송신 링크 특성화를 지원하는지를 제 1 데이터로부터 결정하도록 구성된 처리 회로(1720)를 더 포함한다. 송신기가 송신 링크 특성화를 지원한다면, 처리 회로(1720)는 또한 송신 링크 특성화를 위한 미리 정의된 테스트 신호를 생성하도록 구성된다. 제 2 데이터 통신 장치(1730)는 제 1 데이터에서 송신 링크 특성화를 지원한다고 표시했기 때문에, 제 1 통신 장치(1710)의 처리 회로(1720)는 미리 정의된 테스트 신호를 생성한다. 예를 들어, 테스트 신호는 송신 링크(1705)를 테스트/특성화하기 위한 미리 정의된 데이터, 주파수, 진폭 또는 위상 패턴을 나타낼 수 있다. 일부 예에서, 예를 들어 송신 링크(1705)를 특성화하기 위해 주파수 스윕(frequency sweep)이 사용될 수 있다. 즉, 테스트 신호는 미리 결정된 주파수 범위 내에서 변동하는 주파수를 나타낼 수 있다.

[0790] 제 1 통신 장치(1710)의 인터페이스 회로(1715)는 테스트 신호를 송신 링크(1705)로 출력하도록 구성된다. 다른 측에서, 제 2 통신 장치(1730)의 인터페이스 회로(1735)는 제 1 데이터를 송신하는 것에 대한 응답으로 제 1 통신 장치(1710)로부터 송신 링크(1705)를 통해 테스트 신호를 수신한다.

[0791] 제 2 통신 장치(1730)의 처리 회로(1740)는 수신된 테스트 신호에 기초하여 송신 링크(1705)의 적어도 하나의 특성을 결정하도록 구성된다. 예를 들어, 처리 회로(1740)는 송신 링크(1705)의 대역폭, 송신 링크(1705)의 비트 에러 레이트(BER), 송신 링크(1705)의 감쇠, 또는 송신 링크(1705)의 신호 송신 거동을 설명할 수 있게 하는 임의의 다른 특성을 결정할 수 있다.

[0792] 따라서, 제 2 통신 장치(1730)는 송신 링크(1705)의 품질 및/또는 신뢰성을 결정하게 할 수 있다. 제 1 통신 장치(1710)와 제 2 통신 장치(1730) 사이의 통신 링크에 관한 이러한 단편의 정보는 두 통신 장치 모두에 의해 이들의 통신을 채널 조건에 적응시키는데 사용될 수 있다.

[0793] 제 1 통신 장치(1710)에게 송신 링크(1705)상의 채널 조건에 관해 알려주기 위해, 인터페이스 회로(1725)는 (처리 회로(1740)에 의해 결정되는 것으로) 송신 링크(1705)의 적어도 하나의 특성을 나타내는 제 2 데이터를 제 1 통신 장치(1710)에 송신하도록 구성될 수 있다. 위에서 언급한 바와 같이, 제 2 데이터는 제 1 통신 장치(1710)에 의해 이전에 송신된 테스트 신호에 기초한다.

[0794] 따라서, 제 1 통신 장치(1710)의 인터페이스 회로(1715)는 또한 제 2 통신 장치(1730)로부터 송신 링크(1705)의 적어도 하나의 특성을 나타내는 제 2 데이터를 수신하도록 구성될 수 있다.

[0795] 제 1 통신 장치(1710)는 마스터 디바이스로서 작용하여 두 통신 장치 모두의 사이에서 데이터를 교환하기 위한 파라미터를 결정할 수 있다. 예를 들어, 제 1 통신 장치(1710)의 처리 회로(1720)는 또한 제 1 데이터 및 제 2 데이터에 기초하여 송신 링크(1705)를 통해 제 2 통신 장치(1730)와 데이터를 교환하기 위한 적어도 하나의 통신 파라미터를 결정하도록 구성될 수 있다.

[0796] 일부 예에서, 처리 회로(1720)는 또한 송신 링크(1705)를 통해 두 통신 장치 모두의 사이의 통신에 영향을 미칠 수 있는 수량에 관한 추가 데이터를 사용할 수 있다. 예를 들어, 처리 회로(1740)는 또한 제 1 통신 장치(1710) 자체의 통신 능력을 나타내는 제 3 데이터에 기초하여 적어도 하나의 통신 파라미터를 결정하도록 구성될 수 있다.

[0797] 처리 회로(1740)는, 예를 들어, 송신 링크(1705)를 통해 두 통신 장치 모두의 사이에서 데이터를 교환하기 위한 데이터 레이트 또는 신호 진폭을 결정할 수 있다. 따라서, 두 통신 장치 모두의 사이에서 데이터 교환이 최적화될 수 있다. 유사하게, 처리 회로(1740)는, 예를 들어, 통신 시스템(1700)의 에너지 효율을 향상시키기 위해 두 통신 장치 모두의 사이에서 데이터 교환의 유휴 시간 동안 사용될 수 있는 전력 모드(상태)를 결정할 수 있다.

[0798] 제 2 통신 장치(1730)에게 송신 링크(1705)를 통한 통신에 최적화된 파라미터에 관해 알려주기 위해, 제 1 통신 장치(1710)의 인터페이스 회로(1715)는 적어도 하나의 통신 파라미터를 나타내는 정보 신호를 송신 링크(1705)로 출력하도록 구성될 수 있다. 제 2 통신 장치(1730)의 입력 인터페이스 회로(1735)는 정보 신호를 수신하도록 구성될 수 있다. 제 2 통신 장치(1730)의 처리 회로(1740) 또는 임의의 다른 제어 회로는 이러한 정보에 기초하여 제 2 통신 장치(1730)의 통신 회로를 적응/튜닝/제어하기 위한 적어도 하나의 통신 파라미터에 관한 정보를 사용할 수 있다.

[0799] 유사하게, 제 1 통신 장치(1710)의 처리 회로(1720) 또는 임의의 다른 제어 회로는 이러한 정보에 기초하여 제 1 통신 장치(1710)의 통신 회로를 적응/튜닝/제어하기 위한 적어도 하나의 통신 파라미터에 관한 정보를 사용할 수 있다.

[0800] 예를 들어, 적어도 하나의 통신 파라미터를 결정한 이후, 처리 회로(1720)는 또한 적어도 하나의 통신 파라미터를 고려하여 데이터 신호를 생성하도록 구성될 수 있다. 예를 들어, 송신 링크(1705)(통신 채널)를 통한 데이터 교환을 위해 결정된 대역폭에 따라, 처리 회로(1720)는 예를 들어 낮은 대역폭에 대해 전력을 절약하고 더 높은 대역폭에 대해서는 여벌의 전압을 공급하게 할 수 있는 더 낮은 진폭을 사용할 수 있다.

[0801] 처리 회로(1720)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성할 수 있다. 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 처리 회로(1720)는 제 1 신호 에지 및 제 2 신호 에지가 송신될 제 4 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지가 송신될 제 5 데이터에 대응하는 제 2 기간에 의해 분리되도록 데이터 신호를 생성한다. 예를 들어, 제 4 데이터는 제 1 페이로드 데이터 심볼일 수 있고, 제 5 데이터는 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 제 2 페이로드 데이터 심볼일 수 있다. 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1700)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0802] 제 1 통신 장치(1710)의 인터페이스 회로(1715)는 테스트 신호를 제 2 통신 장치(1730)로 송신하기 위해 송신 링크(1705)로 출력하도록 구성된다.

[0803] 다른 측에서, 제 2 통신 장치(1730)의 처리 회로(1730)는 데이터 신호에서 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 복조를 위해, 제 2 통신 장치(1730)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 4 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 5 데이터를 결정하도록 구성된 복조 회로(1745)를 더 포함할 수 있다.

[0804] 또한 제 1 및 제 2 통신 장치(1710 및 1730)는 일부 예에서 데이터를 차동 방식으로 송신 링크(1705)를 통해 교환하도록 구성될 수 있다. 예를 들어, 제 1 통신 장치(1710)의 처리 회로(1720)는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 인터페이스 회로(1715)는 제 2 데이터 신호를 송신 링크(1705)로 출력하도록 구성될 수 있다. 유사하게, 제 2 통신 장치(1730)의 인터페이스 회로(1735)는 또한 제 2 데이터 신호를 수신하도록 구성될 수 있고, 처리 회로(1740)는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다.

[0805] 제 1 통신 장치(1710)로부터 제 2 통신 장치(1730)로의 데이터 송신이 위에서 설명되었지만, 데이터는 제 2 통신 장치(1730)로부터 제 1 통신 장치(1710)로 동등한 방식으로 송신될 수 있다는 것을 유의해야 한다.

[0806] 또한, 위에서 설명한 제 2 통신 장치(1730)의 통신 능력을 나타내는 제 1 데이터는 시간 인코딩 방식으로 제 1 통신 장치로 송신될 수 있다. 예를 들어, 통신 장치(1730)의 처리 회로(1740)는 제 1 데이터를 포함하는 능력 정보 신호(capability information signal)를 생성하도록 구성될 수 있다. 처리 회로(1740)는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하도록 능력 정보 신호를 생성할 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 제 1 데이터의 제 1 부분에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 1 데이터의 제 2 부분에 대응하는 제 4 기간에 의해 분리된다.

[0807] 제 1 데이터의 송신의 신뢰성을 증가시키기 위해, 도 16a 내지 도 16h와 관련하여 위에서 설명된 초 신뢰할 수 있는 변조 방식이 사용될 수 있다. 예를 들어, 정규 송신 데이터를 인코딩하기 위한 제 1 기간 및 제 2 기간이 제 1 오프셋 시간만큼 서로 오프셋되어 있으면, 처리 회로(1740)는 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋되어 있는 복수의 기간으로부터 제 1 데이터를 능력 정보 신호에 인코딩하기 위한 제 3 기간 및 제 4 기간을 선택하도록 구성될 수 있다.

[0808] 즉, 처리 회로(1740)는 데이터 신호보다 낮은 데이터 레이트를 나타내도록 능력 정보 신호를 생성하도록 구성될 수 있다. 다시 말해, 제 1 통신 장치(1710)의 처리 회로(1720)는 수신된 능력 정보 신호보다 높은 데이터 레이트를 나타내도록 데이터 신호를 생성하도록 구성될 수 있다.

[0809] 통신 장치(1710) 측에서, 처리 회로(1720)는 제 2 통신 장치(1730)로부터 수신된 능력 정보 신호에서 제 4 신호

에지, 제 5 신호 에지 및 제 6 신호 에지의 시퀀스를 결정하도록 구성된다. 복조를 위해, 제 1 통신 장치(1710)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기준 기간을 결정하도록 구성된 복조 회로(1725)를 더 포함할 수 있다. 유사하게, 복조 회로(1725)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기준 기간을 결정하도록 구성될 수 있다. 제 1 기준 기간에 기초하여, 복조 회로(1725)는 또한 제 1 데이터의 제 1 부분을 결정하도록 구성될 수 있다. 마찬가지로, 복조 회로(1725)는 제 2 기준 기간에 기초하여 제 1 데이터의 제 2 부분을 결정하도록 구성될 수 있다.

[0810] 제 1 데이터는 도 16a 내지 도 16h와 관련하여 위에서 설명한 바와 같이 중대하거나 크게 신뢰할 수 있는 데이터에 대한 예일 수 있다.

[0811] 송신 링크 특성화뿐만 아니라 제 1 데이터의 교환은 미리 정의된 이벤트에 응답하여, 규칙적으로 또는 요청에 따라 수행될 수 있다. 예를 들어, 제 1 통신 장치(1710)가 송신 링크(1705)의 소켓에 플러그되면, 인터페이스 회로(1715)는 제 2 통신 장치(1730)에게 제 1 통신 장치(1710)와의 통신 능력에 관한 정보를 송신하라는 요청을 포함하는 폴링 신호(polling signal)를 송신 링크(1705)로 출력하도록 구성될 수 있다. 유사하게, 제 1 통신 장치(1710)의 전용 회로가 제 2 통신 장치(1730)가 송신 링크(1705)의 소켓에 플러그된 것을 검출하면, 인터페이스 회로(1715)는 폴링 신호를 출력하도록 구성될 수 있다. 대안적으로, 인터페이스 회로(1715)는 폴링 신호를 규칙적으로(예를 들어, 미리 결정된 시간 경과 이후에) 출력하도록 구성될 수 있다. 또한 대안적으로, 인터페이스 회로(1715)는 하나 이상의 미리 결정된 이벤트가 발생할 때 폴링 신호를 출력하도록 구성될 수 있다. 예를 들어, 제 1 통신 장치(1710)의 전용 회로가 제 2 통신 장치(1730)가 송신 링크(1705)의 공칭 값(설정치(set point))으로부터 벗어난 것을 검출하면, 인터페이스 회로(1715)는 폴링 신호를 출력하도록 구성될 수 있다.

[0812] 한편, 제 2 통신 장치(1730)의 인터페이스 회로(1735)는 송신 링크(1705)를 통해 폴링 신호를 수신하고, 폴링 신호의 수신에 응답하여 제 1 데이터를 출력하도록 구성될 수 있다.

[0813] 링크 설정 협상에 관한 위의 양태를 요약하기 위해, 도 17b는 통신 장치의 통신 방법(1700b)의 예를 도시한다. 통신 방법(1700b)은 통신 장치를 송신 링크에 결합하는 단계(1702b)를 포함한다. 통신 방법(1700b)은 다른 통신 장치로부터 송신 링크를 통해, 다른 통신 장치의 통신 능력을 나타내는 제 1 데이터를 수신하는 단계(1704b)를 더 포함한다. 또한, 통신 방법(1700b)은 제 1 데이터로부터 다른 통신 장치가 송신 링크 특성화를 지원하는지를 결정하는 단계(1706b)를 포함한다. 다른 통신 장치가 송신 링크 특성화를 지원한다면, 통신 방법(1700b)은 미리 정의된 테스트 신호를 생성하는 단계(1708b) 및 테스트 신호를 송신 링크로 출력하는 단계(1710b)를 더 포함한다.

[0814] 방법(1700b)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 17a)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0815] 통신 장치의 통신 방법(1700c)의 상호 보완적인 추가 예가 도 17c에 도시된다. 통신 방법(1700c)은 통신 장치를 송신 링크에 결합하는 단계(1702c)를 포함한다. 통신 방법(1700c)은 통신 장치의 통신 능력을 나타내는 제 1 데이터를 송신 링크를 통해 다른 통신 장치로 송신하는 단계(1704c)를 더 포함한다. 제 1 데이터는 또한 송신 링크 특성화가 지원된다는 것을 표시한다. 또한, 통신 방법(1700c)은 송신 링크를 통해 다른 통신 장치로부터 미리 정의된 테스트 신호를 수신하는 단계(1706c) 및 테스트 신호에 기초하여 송신 링크의 적어도 하나의 특성을 결정하는 단계(1708c)를 포함한다.

[0816] 방법(1700c)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 17a)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0817] STEP 프로토콜의 경우, 위의 링크 설정 협상 흐름은 예를 들어 채널 성능의 함수로서 비트 레이트, 리던던시 또는 전력을 튜닝하게 할 수 있다. 흐름은 채널이 자주 변경될 것으로 예상되지 않는 애플리케이션에도 사용될 수 있다. 위에서 설명한 바와 같이, 송신기는 채널의 마스터일 수 있고 수신기는 슬레이브일 수 있다. 양방향 통신의 첫 번째 부분에서, 각 측은 최대 비트 레이트, 최대 스윙, 전력 모드, 라인(레인) 등과 같은 각자의 능력에 관한 정보를 다른 측으로부터 "수집"할 수 있다. 이러한 수집은 위에서 설명한 초 신뢰할 수 있는 변조 방식을 사용할 수 있다. 또한 슬레이브는 슬레이브가 또한 흐름의 두 번째 부분을 지원한다면 마스터에 시그널

링할 것이다. 두 번째 부분이 지원되면, 마스터는 수신기가 채널이 신뢰할 수 있는지를 결정할 수 있게 할 패턴에 대해 합의된 세트(여러 패턴을 포함할 수 있음)를 실행할 수 있다. 패턴을 전송한 이후, 마스터는 예를 들어 예상된 거동, 대역폭 등이 달성되는지를 결정하게 할 수 있는 결과를 수신기로부터 수집할 것이다. 인터페이스의 전력 또는 대역폭은 이에 부합하게 적응될 수 있다. STEP 프로토콜은 정규 회로에 통합된 것이거나 또는 협상 단계를 용이하게 하기 위한 매우 작은 외부 회로인 실리콘 솔루션을 용이하게 할 수 있다. 또한, STEP 프로토콜은 총 고려 사항의 일부로서 채널 특성을 고려할 수 있는 데이터 패턴을 적용할 수 있게 할 수 있다.

[0818] STEP 프로토콜과 같은 시간 인코딩된 변조 방식을 사용하는 통신 인터페이스에 대한 다른 흥미로운 양상은 펄스 진폭 변조(Pulse Amplitude Modulation)(PWM)에 기초한 통신 프로토콜을 사용하는 회로와의 하위 호환성일 수 있다. 다음에는 PAM 방식을 사용하는 회로뿐만 아니라 시간 인코딩된 변조 방식을 사용하여 회로와 통신하게 할 수 있는 회로 및 방법이 도 18a 내지 도 18g와 관련하여 설명된다.

[0819] 도 18a는 데이터 신호(1801)를 생성하기 위한 장치(1800)의 예를 도시한다. 장치(1800)는 데이터 신호(1801)를 생성하도록 구성된 처리 회로(1805) 및 데이터 신호(1801)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(1810)를 포함한다. 예를 들어, 처리 회로(1805)는 데이터 신호(1801)를 생성하기 위한 DTC를 포함한다.

[0820] 제 1 동작 모드에서, 처리 회로(1805)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1801)를 생성하도록 구성된다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 예를 들어, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1800)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 다시 말해, 처리 회로(1805)는 제 1 동작 모드에서 정보를 전달하기 위해, 정보를 데이터 신호(1801)에서 연속적인 신호 에지 사이의 시간차에 인코딩하는 변조 방식을 사용한다.

[0821] 제 2 동작 모드에서, 처리 회로(1805)는 PAM을 이용하여 제 1 데이터 및 제 2 데이터에 기초하여 데이터 신호(1801)를 생성하도록 구성된다. 다시 말해, 처리 회로(1805)는 정의된 시간 간격으로 데이터 신호(1801)의 전압 레벨에 의해 정보를 인코딩한다. 처리 회로는 데이터를 데이터 신호(1801)에 인코딩하기 위해 상이한 수의 신호 레벨을 사용할 수 있다. 예를 들어, 처리 회로(1805)는 (예를 들어, PAM2, PAM3, PAM4 등의 변조를 사용하는) 2, 3, 4개 또는 그 이상의 가능한 신호 레벨을 갖는 PAM을 사용하여 데이터 신호(1801)를 생성하도록 구성될 수 있다. 일부 예에서, 처리 회로(1805)는 또한 NRZ(Non-Return-to-Zero) PAM을 사용하여 데이터 신호(1801)를 생성하도록 구성될 수 있다. 예를 들어, 처리 회로(1805)는 제 2 동작 모드에서 NRZ PAM2를 사용하여 데이터 신호(1801)를 생성할 수 있다.

[0822] 제 1 동작 모드 및 제 2 동작 모드를 지원함으로써, 장치(1800)는 PAM을 사용하는 프로토콜뿐만 아니라 STEP 프로토콜과 같은 시간 인코딩된 통신 프로토콜에 따른 통신에 사용될 수 있다. 따라서, 장치(1800)는 다양한 서로 다른 통신 파트너와의 통신을 가능하게 할 수 있다. STEP 프로토콜을 지원하는 통신 파트너 외에도, 장치(1800)는 또한 물리 계층에서 PAM(예를 들어, NRZ PAM2)을 사용하여 통신 파트너와 통신할 수 있다.

[0823] 예를 들어, 장치(1800)가 STEP 프로토콜의 물리 계층을 구현하기 위해 사용되면, 처리 회로(1805)는 NRZ PAM2 물리 계층의 거동을 모방하기 위해 비트 길이에 곱해진 연속적인 샘플 진폭 비트의 수와 매칭하는 데이터 신호(1801)에서의 제 2 동작 펄스 모드에서 생성할 수 있다. 10 Gbit/s에서 NRZ PAM2 변조 방식이 모방되었다고 가정하면, 처리 회로(1805)는 펄스를 100 ps의 배수로 생성할 수 있다.

[0824] 위에서 언급한 바와 같이, DTC는 데이터 신호를 생성하기 위해 사용될 수 있다. DTC의 보간 회로와 함께 DTC의 주파수 분할 회로가 제 1 동작 모드에서 데이터 신호(1801)를 생성하기 위해 사용될 수 있지만, NRZ PAM2 변조를 모방하기 위해서는 DTC의 주파수 분할 회로만이 제 2 모드에서 사용될 수 있다. 예를 들어, DTC를 향한 입력 발진 신호가 10 GHz의 주파수를 나타내면, 위의 예에서 언급된 바와 같이 펄스를 100 ps의 배수로 나타내는 데이터 신호(1801)는 DTC의 보간 회로(예를 들어, 디지털 제어 에지 보간기(DCEI))를 필요로 하지 않고 DTC의 주파수 분할 회로를 사용하여 입력 발진 신호를 단순히 분할함으로써 생성될 수 있다. 다시 말해, DTC는 제 2 동작 모드에서 입력 발진 신호를 주파수 분할함으로써 데이터 신호(1801)를 생성하도록 구성될 수 있다.

[0825] 더욱이, PAM 변조를 사용하는 모방된 프로토콜이 클록 신호를 필요로 하면, 처리 회로(1805)는 또한 제 2 동작 모드에서 부합하는 클록 신호(1802)를 생성하도록 구성될 수 있다(예를 들어, 클록 신호(1802)를 생성하기 위한 제 2 DTC를 포함할 수 있다). 또한, 출력 인터페이스 회로(1810)는 제 2 동작 모드에서 클록 신호(1802) 및 데이터 신호(1801)를 동시에 출력하도록 구성될 수 있다. 또한, 출력 인터페이스 회로(1810)는 클록 신호(1802) 및 데이터 신호(1801)를 동시에 차동 송신 링크의 상이한 송신 라인으로 출력하도록 구성될 수 있다.

[0826] 차동 송신 링크는 차동 방식으로 송신될 데이터를 출력하기 위해 제 1 동작 모드에서 사용될 수 있다. 즉, 처리 회로(1805)는 제 1 동작 모드에서 또한 데이터 신호(1801)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 또한, 출력 인터페이스 회로(1810)는 제 2 데이터 신호(1803)를 송신 링크로 출력하도록 구성될 수 있다.

[0827] 제 1 동작 모드에서 동작할 때, 장치(1800) 또는 장치(1800)의 적어도 회로 부분(예를 들어, 처리 회로(1805))은 위에서 또는 아래에 설명되는 추가 특징 중 하나 이상을 실행 또는 구현하도록 구성될 수 있다.

[0828] 장치(1800)의 동작 모드는 상위 계층 애플리케이션 또는 회로에 의해 제어될 수 있다. 예를 들어, 장치(1800)는 (예를 들어 상위 계층 회로에 의해 제공되는) 수신된 제어 신호에 기초하여 처리 회로(1805) 및/또는 출력 인터페이스를 제어하여 제 2 동작 모드에서 동작하도록 구성된 제어 회로(도시되지 않음)를 포함할 수 있다.

[0829] 또한 수신 측에서, 진폭 인코딩된 신호뿐만 아니라 시간 인코딩된 신호의 디코딩은 다양한 통신 파트너와의 호환성을 가능하게 할 수 있다. 데이터 신호(1821)를 디코딩하기 위한 부합하는 장치(1820)가 도 18b에 도시된다. 장치(1820)는 처리 회로(1825) 및 복조 회로(1830)를 포함한다.

[0830] 제 1 동작 모드에서, 처리 회로(1825)는 데이터 신호(1821)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 처리 회로(1825)는 데이터 신호(1821)에서 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지의 시퀀스를 결정하도록 구성된 TDC를 포함한다.

[0831] 복조 회로(1830)는 제 1 동작 모드에서, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하도록 구성된다. 또한 복조 회로(1830)는 제 1 동작 모드에서, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된다. 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 다시 말해, 장치(1820)는 제 1 동작 모드에서, 데이터 신호(1821)에서 연속적인 신호 에지 사이의 시간차에 기초하여 정보를 디코딩하는 복조 방식을 사용한다.

[0832] 제 2 동작 모드에서, 처리 회로(1825)는 복수의 연속적인 시간 인스턴스에서 데이터 신호(1821)의 신호 레벨의 시퀀스를 결정하도록 구성된다. 다시 말해, 처리 회로(1825)는 제 2 동작 모드에서 연속적인 신호 에지 사이의 시간이 아니라 데이터 신호(1821)의 진폭을 결정한다. 복수의 연속 시간 인스턴스는 일정한 오프셋 시간만큼 서로 오프셋된다. 즉, 처리 회로(1825)는 데이터 신호(1821)의 진폭을 일정한 주파수로 샘플링할 수 있다. 위에서 언급한 바와 같이, DTC는 데이터 신호(1821)를 샘플링하기 위해 사용될 수 있다. TDC의 복수의 플립 플롭 회로는 데이터 신호(1821)에서 신호 에지를 결정하는데 사용될 수 있지만, TDC의 복수의 플립 플롭 회로 중 단일의 플립 플롭 회로만이 데이터 신호(1821)의 진폭을 일정한 주파수로 샘플링하는데 사용될 수 있다.

[0833] 따라서 복조 회로(1830)는 제 2 동작 모드에서 신호 레벨의 시퀀스에 기초하여 제 1 데이터 및 제 2 데이터를 결정하도록 구성된다.

[0834] 제 1 동작 모드 및 제 2 동작 모드를 지원함으로써, 장치(1820)는 PAM을 사용하는 프로토콜뿐만 아니라 STEP 프로토콜과 같은 시간 인코딩된 통신 프로토콜에 따른 통신에 사용될 수 있다. 따라서, 장치(1820)는 다양한 서로 다른 통신 파트너와의 통신을 가능하게 할 수 있다. STEP 프로토콜을 지원하는 통신 파트너 외에도, 장치(1820)는 또한 물리 계층에서 PAM을 사용하여 통신 파트너와 통신할 수 있다.

[0835] 제 2 동작 모드에서 데이터 신호(1821)를 샘플링하는데 사용되는 복수의 연속 시간 인스턴스는 클록 신호(1822)에 기초할 수 있다. 다시 말해, 제 2 동작 모드에서 샘플링 주파수는 클록 신호(1822)에 의해 결정될 수 있다. 예를 들어, 처리 회로(1825)는 제 2 동작 모드에서 송신기(도시되지 않음)로부터 클록 신호(1822) 및 데이터 신호(1821)를 동시에 수신하도록 구성될 수 있다. 대안적으로, 장치(1820)는 또한 데이터 신호(1821)에 기초하여 클록 신호(1822)를 생성하도록 구성된 클록 복구 회로(도시되지 않음)를 포함할 수 있다. 즉, 타이밍

정보가 데이터 신호(1821)에 인코딩된 직렬 데이터 스트림으로부터 추출될 수 있다. 예를 들어, 클록 복구 회로는 PLL일 수 있다. PLL은 예를 들어, 클록 신호(1822)를 생성하기 위해 기준 클럭 신호를 데이터 신호(1821)의 전이(신호 에지)에 정렬할 수 있다.

[0836] 예를 들어, STEP 프로토콜은 제 2 동작 모드에서 상이한 경로로부터 또는 내부 소스로부터 클록이 공급될 수 있도록 장치(1820)의 TDC가 클록 및 데이터 경로를 분리할 수 있게 할 수 있다. 따라서, 입력 데이터 신호(1821)는 다른 신호(예를 들어, 전용 클록 라인으로부터 또는 내부 소스로부터의 클록 신호(1822))로 샘플링될 수 있다.

[0837] 제 1 동작 모드에서, 데이터는 차동 방식으로 수신될 수 있다. 즉, 처리 회로(1825)는 제 1 동작 모드에서 또한 데이터 신호(1821)에 대해 반전된 제 2 데이터 신호(1823)를 수신하도록 구성될 수 있다. 따라서, 처리 회로(1825)는 제 1 동작 모드에서, 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다.

[0838] 제 2 동작 모드에서, 데이터 신호(1821) 및 클록 신호(1822)는 제 1 동작 모드에서 데이터 신호(1821) 및 제 2 데이터 신호(1823)를 수신하기 위해 사용되는 차동 송신 링크의 두 개의 상이한 송신 라인을 통해 수신될 수 있다. 장치(1820)의 (입력) 인터페이스 회로(도시되지 않음)는 처리 회로(1825)와 (차동) 송신 링크 사이에 결합될 수 있다.

[0839] 제 1 동작 모드에서 동작할 때, 장치(1820) 또는 장치(1820)의 적어도 회로 부분(예를 들어, 처리 회로(1825))은 위에서 또는 아래에 설명되는 추가 특징 중 하나 이상을 실행 또는 구현하도록 구성될 수 있다.

[0840] 장치(1820)의 동작 모드는 되풀이하면 상위 계층 애플리케이션 또는 회로에 의해 제어될 수 있다. 예를 들어, 장치(1800)는 (예를 들어 상위 계층 회로에 의해 제공되는) 수신된 제어 신호에 기초하여 처리 회로 및 복조 회로를 제어하여 제 2 동작 모드에서 동작하도록 구성된 제어 회로(도시되지 않음)를 포함할 수 있다.

[0841] 추가적인 진폭 변조 방식을 사용하는 것에 관한 위의 양태에 따른 예시적인 통신 시스템(1840)이 다양한 동작 모드의 도 18c 내지 도 18e에서 도시된다.

[0842] 도 18c는 송신 링크(1846)를 통해 결합된 송신기(1847) 및 수신기(1848)를 포함하는 통신 시스템(1840)을 도시한다.

[0843] 송신기(1847)는 송신될 데이터를 STEP 프로토콜에 따라 데이터 신호(1841)의 연속적인 신호 에지 사이의 기간에 인코딩함으로써 데이터 신호(1841)를 생성하기 위한 DTC(1842)를 포함한다. (예를 들어, 증폭기를 포함하는) 출력 인터페이스 회로(1843)는 데이터 신호(1841)를 송신 링크(1846)로 출력한다.

[0844] 수신기(1848)는 데이터 신호(1841)를 수신하기 위한 입력 인터페이스 회로(1844)를 포함한다. 데이터 신호(1841)는 데이터 신호(1841)에서 신호 에지를 결정하기 위한 TDC(1845)에 공급된다. 신호 에지에 관한 정보는 데이터 신호(1841)에서 연속적인 신호 에지 사이의 기간을 다시 데이터로 변환하는 복조 회로(도시되지 않음)에 포워딩된다.

[0845] 즉, 송신기(1847)는 제 1 동작 모드에서 동작될 때 위에서 설명한 데이터 신호를 생성하기 위한 장치(1800)처럼 동작하고, 수신기(1848)는 제 1 동작 모드에서 동작될 때 위에서 설명한 데이터 신호를 디코딩하기 위한 장치(1820)처럼 동작한다.

[0846] 다시 말해, 도 18c는 정규 STEP 동작 동안의 통신 시스템을 도시한다.

[0847] 도 18d는 제 2 동작 모드에서의 통신 시스템(1840)의 예를 도시한다. 위에서 설명한 제 1 동작 모드와 대조적으로, DTC(1842)는 NRZ PAM을 사용하여 데이터 신호(1841)를 생성한다.

[0848] 따라서, TDC(1845)는 데이터 신호(1841)로부터 클록 복구 PLL(1849)에 의해 생성된 클록 신호에 기초하여 데이터 신호(1841)의 진폭을 샘플링한다. 신호 진폭에 관한 정보는 데이터 신호(1841)의 신호 진폭을 다시 데이터로 변환하는 복조 회로에 포워딩된다.

[0849] 즉, 송신기(1847)는 제 2 동작 모드에서 동작될 때 위에서 설명한 데이터 신호를 생성하기 위한 장치(1800)처럼 동작하고, 수신기(1848)는 제 2 동작 모드에서 동작될 때 위에서 설명한 데이터 신호를 디코딩하기 위한 장치(1820)처럼 동작한다.

[0850] 다시 말해, 도 18d는 NRZ PAM 지원을 위go 클록 복구를 이용한 STEP 동작 동안의 통신 시스템을 도시한다.

[0851] 도 18e는 제 2 동작 모드에서의 통신 시스템(1840)의 예를 도시한다. 도 18d의 예와 대조적으로, 송신기(1847)는 클록 신호(1851)를 생성하기 위한 제 2 DTC(1850) 및 클럭 신호를 다른 송신 링크(1853)(또는 차동 송신 링크의 제 2 송신 라인)로 출력하기 위한 제 2 출력 인터페이스 회로(1852)를 포함한다.

[0852] TDC(1845)는 되풀이하면 클록 신호에 기초하여 데이터 신호(1841)의 진폭을 샘플링한다. 그러나, 도 18d의 예와 대조적으로, 클록 신호는 데이터 신호(1841)에 기초하여 PLL(1849)에 의해 제공되지 않고 송신기(1847)로부터 수신기(1848)의 제 2 입력 인터페이스 회로(1854)를 통해 수신된다.

[0853] 다시 말해, 도 18e는 STEP 송신을 위해 정규적으로 사용되는 라인이 클록 및 송신 라인으로서 사용되는 상황에서의 통신 시스템을 도시한다.

[0854] 도 18c 내지 도 18e에 도시된 송신기(1847) 및 수신기(1848)는 둘 모두 시간 인코딩된 변조 방식 및 진폭 인코딩된 변조 방식을 지원하는 것으로 설명되었지만, 수신기(1848)뿐만 아니라 송신기(1847)는 시간 인코딩된 변조 방식 및 진폭 인코딩된 변조 방식 중 하나만 지원하는 하는 다른 수신기 또는 송신기와 함께 사용될 수 있다는 것을 유의해야 한다. 예를 들어, 송신기(1847)는 도 18a와 관련하여 상세히 설명된 두 개의 동작 모드를 지원하기 때문에 송신기(1847)는 NRZ PAM2 신호의 복조만을 지원하는 수신기와 함께 사용될 수 있다. 유사하게, 수신기(1848)는 도 18b와 관련하여 상세히 설명된 두 개의 동작 모드를 지원하기 때문에 수신기(1848)는 NRZ PAM2 변조만을 지원하는 송신기와 함께 사용될 수 있다.

[0855] 추가적인 진폭 변조 방식을 사용하는데 관한 위의 양태를 요약하기 위해, 도 18f는 데이터 신호를 생성하기 위한 방법(1800f)의 예를 도시한다. 제 1 동작 모드에서, 방법(1800f)은 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하는 단계(1802f)를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 2 동작 모드에서, 방법(1800f)은 PAM을 이용하여 제 1 데이터 및 제 2 데이터에 기초하여 데이터 신호를 생성하는 단계(1804f)를 포함한다. 또한, 방법(1800f)은 데이터 신호를 출력하는 단계(1806f)를 포함한다.

[0856] 방법(1800f)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 18a, 도 18c, 도 18d 및 도 18e)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 부가적인 옵션의 특징을 포함할 수 있다.

[0857] 데이터 신호를 디코딩하기 위한 상보적인 방법(1800g)의 예가 도 18g에 도시된다. 제 1 동작 모드에서, 방법(1800g)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(1802g)를 포함한다. 또한, 방법(1800g)은 제 1 동작 모드에서 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계(1804g)를 포함한다. 제 2 동작 모드에서, 방법(1800g)은 복수의 연속 시간 인스턴스에서 데이터 신호의 신호 레벨의 시퀀스를 결정하는 단계(1806g) 및 신호 레벨의 시퀀스에 기초하여 제 1 데이터 및 제 2 데이터를 결정하는 단계(1808g)를 포함한다.

[0858] 방법(1800g)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 18b 18b)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0859] 도 18a 내지 도 18g와 관련하여 설명된 양태는 예를 들어 NRZ PAM2 신호의 생성 및 디코딩을 위해 STEP 프로토콜에 따른 회로를 재사용할 수 있게 한다.

[0860] 전술한 설명에서, STEP 프로토콜의 기본이 STEP 프로토콜의 물리 계층 및 STEP 프로토콜의 MAC 계층의 양태와 함께 설명된다. 다음의 설명 섹션은 STEP 프로토콜에 따라 통신할 수 있는 통신 하드웨어(예를 들어, 송신기, 수신기 또는 송수신기)의 회로에 초점을 맞출 것이다. 다음에 설명된 회로는 STEP 프로토콜에 따른 통신을 가능하게 하기 위해 송신기, 수신기 또는 송수신기에 사용될 수 있지만, 이러한 특정 회로를 STEP 프로토콜에 따른 통신을 가능하게 하기 위해 사용할 필요는 없다는 것을 유의해야 한다. STEP 프로토콜에 따른 통신은 또한 다음에 설명된 것과 상이한 회로를 사용하여 실행될 수 있다. 또한, 다음에 설명되는 회로는 STEP 프로토콜에 따른 통신과 상이한 애플리케이션에 사용될 수 있다는 것을 유의해야 한다. 예를 들어, 다음에 설명되는 회로는 STEP 프로토콜과 상이한 통신 프로토콜에 따른 통신에 사용될 수 있다.

[0861] 절전은 많은 전자 디바이스에서 중요한 속성이다. 대부분의 전자 디바이스는 절전을 위해 특징의 감소된 가용

성 또는 사용하지 않는 특징의 비활성화(턴 오프)와 연관된 하나 이상의 절전 모드를 지원한다. 예를 들어, (예를 들어, STEP 프로토콜에 따라) 높은 처리량으로 작동하는 통신 인터페이스는 항상(내내) 최대 처리량 능력을 요구하지는 않는다. 통신 인터페이스는, 예를 들어, 데이터가 전송되지 않는 기간(유휴 기간이라고도 알려짐)을 나타낼 수 있다. 따라서, 통신 인터페이스는 데이터가 송신되지 않는 기간에 절전 모드로 갈 수 있다. 절전 모드로 갈 때, 파워 업/웨이크 업 특징(예를 들어, 인터페이스를 완전 작동 모드로 되돌리기)은 통신 인터페이스에서 전력을 소비하는데 얼마간의 시간이 걸릴 수 있지만 데이터는 전송되지 않는다는 것이 고려되어야 한다. 또한, 상이한 절전 모드는 상이한 파워 업/웨이크 업 시간을 나타낼 수 있다. 예를 들어, (통신 인터페이스가 더 높은 절전 모드보다 더 적은 전력을 소비하는) 더 깊은 절전 모드는 (통신 인터페이스가 더 낮은 절전 모드보다 더 많은 전력을 소비하는) 더 높은 절전 모드보다 더 긴 파워 업/웨이크 업 시간을 나타낼 수 있다. 그러나 (깊은) 절전 모드에서 최대 처리량 모드로 진행하기 위한 파워 업/웨이크 업 시간이 데이터를 송신해야 할 때까지 사용 가능한 시간보다 더 길면, 통신 인터페이스는 유휴 시간 동안 전력을 절약하기 위해 이러한 (깊은) 절전 모드로 갈 수 없다.

[0862] 도 19는 파워 업/웨이크 업 시간을 향상하여 (깊은) 절전 모드를 더 잘 활용할 수 있게 할 수 있는 데이터 신호(1901)를 생성하기 위한 장치(1900)의 예를 도시한다.

[0863] 장치(1900)는 적어도 제 1 동작 모드에서 송신될 데이터(1902)에 기초하여 데이터 신호(1901)를 생성하도록 구성된 처리 회로(1910)를 포함한다. 예를 들어, 처리 회로(1910)는 데이터 신호를 생성하기 위한 DTC를 포함할 수 있다. 제 1 동작 모드 외에도, 장치(1900)는 장치(1900)의 회로의 적어도 일부가 비활성화되는 적어도 제 2 동작 모드를 지원한다. 예를 들어, 제 2 동작 모드는 (깊은) 절전 모드일 수 있다. 장치(1900)는, 예를 들어, 데이터가 전송되지 않으면 (예를 들어, 장치(1900)의 송신 버퍼가 비어 있을 수 있거나, 또는 상위 계층 제어 애플리케이션 또는 하드웨어에 의해 데이터가 스케줄링되지 않으면) 제 2 동작 모드에서 동작될 수 있다. 예를 들어, 제 2 동작 모드는 도 15b와 관련하여 위에서 설명된 절전 모드 중 하나일 수 있다.

[0864] 또한, 장치(1900)는 장치(1900)의 회로의 안정성을 모니터링하도록 구성된 모니터링 회로(1920)를 포함한다. 장치(1900)의 회로는 처리 회로(1910) 이외에, 예를 들어 PLL, 하나 이상의 필터, 하나 이상의 버퍼, 하나 이상의 지연 요소, 하나 이상의 제어 회로, 하나 이상의 전압 조정기 등을 포함할 수 있다. 회로의 안정성은 교란받은 이후 회로 응답이 제로 복귀(return to zero)의 경향이 있다는 것을 말한다. 안정한 회로의 응답은 교란받은 직후에 제로 복귀가 되지만, 불안정한 회로의 응답이 제로 복귀가 될 때까지 많은 시간이 걸릴 수 있다. 일부 예에서, 불안정한 회로의 응답은 교란받은 후에 전혀 제로 복귀가 되지 않는다. 예를 들어, 장치(1900)의 파워 업/웨이크 업 동안, 회로가 안정될 때까지 얼마간의 시간이 걸릴 수 있다. 다시 말해, 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때, 장치(1900)의 회로는 적어도 부분적으로 초기에 불안정하고 얼마간의 시간 이후에만 안정화될 수 있다.

[0865] 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때, 처리 회로(1910)는 모니터링 회로(1920)가 장치(1900)의 회로가 안정하게 동작한다고 결정할 때까지 제 1 양의 각각의 데이터 부분에 기초하여 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 초기에 조정하도록 구성된다. 또한, 처리 회로(1910)는 모니터링 회로(1920)가 장치(1900)의 회로가 안정적으로 동작한다고 결정한 이후 더 큰 제 2 양의 각각의 데이터 부분에 기초하여 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 조정하도록 구성된다. 예를 들어, 모니터링 회로(1920) (또는 장치(1900)의 임의의 다른 제어 회로)는 장치(1900)의 회로가 안정적인지를 표시하는 대응하는 제어 또는 정보 신호를 처리 회로(1910)에 공급할 수 있다.

[0866] 즉, 처리 회로(1900)는 장치(1900)가 완전히 안정화될 때까지 파라미터를 감소시켜서(예를 들어, 더 낮은 차수의 변조 방식으로) 데이터 신호(1901)를 생성하기 시작한다. 예를 들어, 처리 회로(1910)는 장치(1900)의 회로가 아직 안정하게 동작하지 않는 한 송신될 데이터의 각각의 1 비트 부분에 기초하여 데이터 신호(1901)의 바로 잇따른 에지 사이의 기간을 초기에 조정하고, 장치(1900)의 회로가 안정하게 동작한 이후에 송신될 데이터의 각각의 3 비트 부분에 기초하여 데이터 신호(1901)의 바로 잇따른 에지 사이의 기간을 조정하도록 구성된다. 데이터 신호(1901)를 생성하기 위해 안정화되기 전에 장치(1900)의 회로를 사용하면, 데이터 신호(1901)에서 에러 레이트가 증가될 수 있다(예를 들어, 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간이 너무 짧거나 너무 길게 조정될 수 있다). 그러나, 데이터 신호(1901)에서 증가된 에러 레이트는 장치(1900)의 회로가 안정화될 때까지 더 작은 데이터 부분에 기초하여 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 초기에 변조함으로써 (적어도 부분적으로) 보상될 수 있다.

[0867] 예를 들어, 처리 회로(1910)는 모니터링 회로(1920)가 장치(1900)의 회로가 안정적으로 동작한다고 결정할 때까

지 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 제 1 복수의 기간의 기간으로 조정하도록 구성될 수 있다. 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 또한, 처리 회로(1910)는 모니터링 회로(1920)가 장치(1900)의 회로가 안정적으로 동작한다고 결정한 이후 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 제 2 복수의 기간의 기간으로 조정하도록 구성될 수 있다. 제 2 복수의 기간은 제 1 오프셋 시간보다 작은 적어도 제 2 오프셋 시간만큼 서로 오프셋된다. 다시 말해, 장치(1900)의 회로가 안정적으로 동작할 때까지 처리 회로(1910)는 초기에 도 16a 내지 도 16d와 관련하여 위에서 설명된 초 신뢰할 수 있는 변조 방식과 유사한 변조 방식을 사용할 수 있다.

[0868] 즉, 장치(1900)의 회로가 아직 안정적으로 동작하지 않는 한 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 가능한 기간 사이에는 더 큰 오프셋이 사용된다. 따라서, 아직 불안정한 장치(1900)의 회로로 인해 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간이 너무 짧거나 너무 길게 조정될지라도, 증가된 오프셋이 이러한 신호 에러에 대한 면역성을 증가시킬 수 있다. 따라서, 회로의 불안정성으로 인해 잠재적으로 증가된 신호 에러가 보상(완화)될 수 있다.

[0869] 예를 들어, 아직 불안정한 장치(1900)의 회로로 인해 잠재적으로 증가된 신호 에러에 대한 신호 에지의 높은 (충분한) 면역성을 보장하기 위해 제 1 오프셋 시간은 제 2 오프셋 시간의 적어도 두 배, 세 배, 네 배 또는 그 이상일 수 있다. 따라서, 제 1 복수의 기간은 제 2 복수의 기간보다 적은 기간을 포함할 수 있다. 예를 들어, 제 2 복수의 기간은 제 1 복수의 기간보다 적어도 두 배, 세 배 또는 네 배 이상의 기간을 포함할 수 있다. 제 2 복수의 기간은, 예를 들어, 적어도 6, 8, 10, 12, 14, 16 또는 그 이상의 기간을 포함할 수 있다. 제 1 복수의 기간 및 제 2 복수의 기간 중 하나의 기간이 더 많은 기간을 포함할수록, 장치(1900)의 처리량이 증가하도록 더 많은 비트가 데이터 신호(1901)의 펄스에 인코딩될 수 있다.

[0870] 요약하면, 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때, 처리 회로(1910)는 송신될 데이터에 기초하여, 모니터링 회로(1920)가 장치(1900)의 회로가 안정하게 동작한다고 결정할 때까지 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 초기에 제 1 복수의 기간의 기간으로 조정하고, 그리고 송신될 데이터에 기초하여, 모니터링 회로(1920)가 장치(1900)의 회로가 안정하게 동작한다고 결정한 이후 데이터 신호(1901)의 바로 잇따른 신호 에지 사이의 기간을 제 2 복수의 기간의 기간으로 조정하도록 구성될 수 있다.

[0871] 다른 회로 중에서도, 장치(1900)는 예를 들어 발진 신호(1931)를 생성하도록 구성된 PLL(1930)을 포함할 수 있다. 처리 회로(1910)는 발진 신호(1931)를 사용하여 데이터 신호(1901)를 생성하도록 구성될 수 있다(예를 들어, 처리 회로(1910)는 송신될 데이터에 따라 발진 신호(1931)의 신호 에지를 시프트할 수 있다). 제 2 동작 모드에서, 전력을 절약하기 위해 PLL(1930)이 비활성화된다. 따라서, 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때는 PLL(1930)이 활성화된다. PLL(1930)은 고정(locked)될 때까지, 즉 PLL(1930)이 안정적으로 동작할 때까지 얼마간의 시간이 걸린다. 그러나, 장치(1900)는 PLL(1930)이 고정되기 전에 이미 데이터 신호(1901)를 생성할 수 있게 한다. 예를 들어, 신호 송신은 PLL(1930)이 위상 고정되기 전에 감소된 파라미터로 시작될 수 있다.

[0872] PLL(1930)이 고정된 후, 데이터 신호(1901)에서 에러 레이트는 PLL(1930)의 고정 해제 동작에 비해 상당히 감소될 수 있다. 그러므로 PLL(1930)이 고정되어 있으면 단지 모니터링 회로(1920)는 장치(1900)의 회로가 안정적으로 동작한다고 결정하도록 구성될 수 있다.

[0873] 또한, 데이터 신호(1901)의 수신기(도시되지 않음)의 동작 모드는 더 큰 제 2 양의 데이터 부분에 기초하여 기간을 조정(기간을 제 2 복수의 기간의 기간으로 조정)하는 것으로 전환하기로 결정할 때 고려될 수 있다. 예를 들어, 모니터링 회로(1920)(또는 장치(1900)의 임의의 다른 제어 회로)는 데이터 신호(1901)의 수신기의 동작 모드를 나타내는 표시자 신호를 수신할 수 있다. 따라서, 표시자 신호가 데이터 신호(1901)의 수신기가 완전 동작 모드에 있다고 표시하면, 단지 처리 회로(1910)는 제 1 양의 각각의 데이터 부분에 기초하여 데이터 신호(1901)의 기간을 조정하는 것으로부터 더 큰 제 2 양의 각각의 데이터 부분에 기초하여 데이터 신호(1901)의 기간을 조정하는 것으로 변경하도록 구성될 수 있다. 다시 말해, 표시자 신호가 데이터 신호(1901)의 수신기가 완전 동작 모드에 있다고 표시하면, 단지 처리 회로(1910)는 데이터 신호(1901)의 기간을 제 1 복수의 기간의 기간으로 조정하는 것으로부터 데이터 신호(1901)의 기간을 제 2 복수의 기간의 기간으로 조정하는 것으로 변경하도록 구성될 수 있다.

[0874] 장치(1900)는 안정되기 전에 웨이크 업된다. 따라서, 장치(1900)의 웨이크 업 시간은 종래의 시스템보다 몇 배(예를 들어, 5배, 10배, 15배 또는 그 이상) 더 빠를 수/느릴 수 있다. 예를 들어, 종래의 시스템의 웨이크 업 시간이 1-2 μs라고 가정하면, 장치(1900)는 예를 들어 0.1-0.2 μs 내에 웨이크 업(작동)될 수 있다. 감소된 웨

이크 업 시간은 더 자주 그리고 더 긴 오랜 시간 동안 깊은 절전 모드(예를 들어, 깊은 슬립 모드)로 가게 할 수 있다. 따라서, 장치(1900)는 감소된 에너지 및 보다 전력 효율적인 방식으로 신호 생성 및 신호 송신을 가능하게 할 수 있다.

[0875] 장치(1900)는 위에서 설명한 바와 같이 단일 종단 데이터 신호 또는 차동 신호 쌍을 생성할 수 있게 할 수 있다. 즉, 일부 예에서, 처리 회로(1910)는 또한 데이터 신호(1901)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다.

[0876] 위에서 언급한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(1900)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 즉, 모니터링 회로(1920)가 장치(1900)의 회로가 안정적이라고 결정한 이후, 처리 회로(1910)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(1901)를 생성하도록 구성될 수 있다. 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 제 2 양의 제 1 데이터 부분에 대응하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간은 제 2 양의 제 2 데이터 부분에 대응한다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0877] 본 명세서에 설명된 바와 같이, STEP 프로토콜에 따른 통신 인터페이스는 종래의 인터페이스와 비교하여 디스에이블 동작 모드 또는 절전 모드로부터 완전 동작 모드(최대 처리량 모드)로의 빠른 전이를 가능하게 할 수 있다. 완전 동작 모드로의 전이 시간은 PLL 웨이크 업/파워 업 시간에 의해 지배될 수 있지만, 위와 아래에 설명된 양태에 따라 가속된다.

[0878] 완전 작동 모드(최대 처리량 모드)로의 전이를 지배할 수 있는 다른 회로는 전력 공급 장치 회로이다. 예를 들어, 로우 드롭아웃(Low-DropOut)(LDO) 레귤레이터는 통신 회로의 전력 공급 장치로 사용될 수 있다. 다른 회로에 대해 위에서 설명한 바와 같이, LDO 레귤레이터의 웨이크 업/파워 업하는 데는 시간이 걸리고, 따라서 완전 동작 모드로의 전이 시간을 증가시킬 수 있다. 일반적으로, LDO 레귤레이터는 빠른 전이 시간을 가능하게 하기 위해 대부분의 시간을 작동 상태로 계속 유지된다. 그러나 LDO 레귤레이터를 장시간 작동 유지시키면 전력 소비가 증가하고, 이것은 전자 디바이스의 전력 소비 목표와 충돌할 수 있다(예를 들어, 배터리를 사용하는 모바일 디바이스의 경우 저전력 소비는 KPI이다).

[0879] 도 20a는 LDO 레귤레이터(2010) 및 이에 따른 전자 디바이스(2020)에 효과적인 파워 업/웨이크 업 시간을 향상시킬 수 있는, 전자 디바이스(2020) 용 LDO 레귤레이터(2010)에 의해 생성된 공급 신호(2011)를 조절하기 위한 장치(2000)를 도시한다.

[0880] LDO 레귤레이터(2010)는 입력 전압(V_{in})의 공급 신호(2011)를 제공한다. (외부 커패시터가 있거나 없는) 종래의 LDO 레귤레이터는 그의 대역폭에 의해 제한되는 파워 업을 나타낸다. 전형적으로 파워 업 시간은 조절된 LDO 레귤레이터 및 개방 루프 LDO 레귤레이터의 경우 1 μs를 초과한다(입력 전압(V_{in})은 개방 루프 LDO 레귤레이터에 의해 조절되지 않으며, 이것은 LDO 레귤레이터의 소스 전압에 도달하는 입력 전압(V_{in})의 값을 높게 유발할 수 있다).

[0881] 장치(2000)는 LDO 레귤레이터(2010)와 전자 디바이스(2020) 사이를 결합하도록 구성된 출력 커패시터(2030)를 포함한다. 출력 커패시터(2030)는 LDO 레귤레이터(2010)에 결합되고 공급 신호(2011)를 수신하도록 구성된다.

[0882] 장치(2000)는 제어 신호(2001)가 전자 디바이스(2020)가 제 1 동작 모드로부터 제 2 모드로 전이(변경)한다고 표시하면(또는 제어 신호(2001)가 전자 디바이스(2020)가 제 1 동작 모드로부터 제 2 동작 모드로 전이할 것으로 표시하면), 전하 소스((charge source)2050)를 (병렬로) 출력 커패시터(2030)에 선택적으로 결합하도록 구성된 스위치 회로(2040)를 더 포함한다. 예를 들어, 제어 신호(2001)는 상위 계층 제어 애플리케이션 또는 하드웨어(도시되지 않음)로부터 제공될 수 있다. 도 20a에서 시사된 바와 같이, 전하 소스(2050)는 예를 들어 충전된 커패시터일 수 있다. 즉, 미리 충전된 스위치드 커패시터(pre-charged switched capacitor)가 사용될 수 있다.

[0883] 예를 들어, 제 1 동작 모드는 전자 디바이스(2020)가 전력을 소비하지 않는 전자 디바이스(2020)의 디스에이블 모드(비 동작 모드) 또는 절전 모드이다. 따라서, 제 2 동작 모드는 전자 디바이스(2020)의 완전 동작 모드일 수 있다. 전자 디바이스(2020)는 제 1 동작 모드에서 전력을 소비하지 않기 때문에, LDO 레귤레이터(2010)는 초기에 비활성화(턴 오프)될 수 있다. 활성화 이후, LDO 레귤레이터(2010)가 전자 디바이스(2020)에 의해 요구

되는 전압 레벨로 공급 신호를 제공할 수 있을 때까지 시간이 걸릴 수 있다. 즉, LDO 레귤레이터(2010)가 출력 커패시터(2030)에서만 요구된(원하는) 출력 전압(V_{out})을 생성할 수 있을 때까지 시간이 걸릴 수 있다.

[0884] 출력 커패시터(2030)에서 요구된(원하는) 출력 전압(V_{out})이 도달될 때까지의 시간을 감소시키기 위해, 스위치 회로(2040)는 (미리 충전된) 전하 소스(2050)를 출력 커패시터(2030)에 결합하도록 구성된다. 따라서, 출력 커패시터(2030)가 요구된 출력 전압(V_{out})으로 더 빨리 충전되도록 추가 전하가 출력 커패시터(2030)에 전달된다. 그 결과, 전자 디바이스(2020)에 의해 보여지는 바와 같이 LDO 레귤레이터(2010)의 유효 웨이크 업/파워 업 시간이 감소된다. 따라서 LDO 레귤레이터(2010)를 웨이크 업하는 것이 효과적으로 가속된다. 요구된 출력 전압(V_{out})이 감소된 기간 내에 출력 커패시터(2030)에 제공되기 때문에, 전자 디바이스(2020)를 파워 업/웨이크 업하는 것 또한 가속될 수 있다. 예를 들어, 전자 디바이스(2020)가 PLL이면, PLL 웨이크 업이 가속될 수 있다. 따라서, PLL은 PLL에 대해 효과적으로 가속된 웨이크 업/파워 업 시간으로 인해 더 자주 또는 더 오랜 기간 동안 절전 모드 또는 디스에이블 모드로 보내질 수 있다.

[0885] 즉, 장치(2000)는 표준 LDO 레귤레이터를 사용하면서 LDO 레귤레이터(2010)를 빠른 전이(예를 들어, 100 n 이하)로 효과적으로 웨이크 업/파워 업할 수 있게 할 수 있다. LDO 출력 전압(공급 신호(2011))은 조절되고 제어되므로, LDO 레귤레이터(2010)의 성능이나 신뢰성에 영향을 미치지 않는다.

[0886] 예를 들어, 파워 업/웨이크 업 동안 LDO 레귤레이터(2010)에 의해 전력을 공급받는 전자 디바이스(2020)가 활성화되어 있지 않다고 가정하면, (누설을 제외하고는) 전류 소비가 일어나지 않는다. 출력 커패시터(2030)의 알려진 커패시턴스(C_{out}) 및 원하는 전이 시간을 고려하여, 요구되는(원하는) 출력 전압(V_{out})에 도달하기 위한 요구된 전하(Q)는 다음과 같이 계산될 수 있다:

수학식 1

[0887] $$Q = \int C_{out} \cdot V(t)dt$$

[0888] V(t)는 출력 커패시터(2030)의 전극 양단의 현재 전압 값을 나타낸다.

[0889] 요구된 전하를 출력 커패시터(2030)에 공급하기 위해, 전하 소스(2050)는 요구된 출력 전압(V_{out})에 도달할 때까지의 기간 내에 전하를 출력 커패시터(2030)에 주입한 다음 전하 주입을 중지하는데 사용된다. 출력 커패시터(2030)의 전압의 변화는 다음과 같이 설명될 수 있다:

수학식 2

[0890] $$dV_{out} = \frac{C_{inj}(V_{in}-V_{out})}{C_{inj}+C_{out}}$$

[0891] C_{inj}는 전하 소스(2050)(예를 들어, 도 20a에 도시된 바와 같이 충전된 커패시터)의 커패시턴스를 나타낸다.

[0892] 예를 들어, 요구된 전하를 출력 커패시터(2030)에 공급하기 위해 토글링이 사용될 수 있다. 즉, 스위치 회로(2040)는 충전된 커패시터(2050)의 전극을 LDO 레귤레이터(2010)와 출력 커패시터(2040) 사이에서 토글하도록 구성될 수 있다.

[0893] C_{inj}, C_{out}, V_{in} 및 V_{out}을 알면, 미리 정의된 파워 업 시간 내에 목표 전압(V_{out})에 도달하기 위해 올바른 토글링 양이 설정될 수 있다. 예를 들어, 스위치 회로(2040)는 충전된 커패시터(2050)의 전극을 LDO 레귤레이터(2010)와 출력 커패시터(2030) 사이에서 미리 결정된 토글 주파수로 토글하도록 구성될 수 있다. 토글 주파수는 미리 결정된 양의 전하가 미리 결정된 시간 간격 내에서 출력 커패시터(2030)로 전달되도록 선택된다.

[0894] 도 20b는 출력 커패시터(2030)의 전극 양단의 전압(2031)의 예시적인 시간적 추이를 도시한다. 시간(T_0) 시점

에서, 토글링이 시작되고 전하가 충전된 커패시터(2050)에 의해 출력 커패시터(2030)로 지속적으로 전달된다(충전 커패시터(2050)에 의해 출력 커패시터(2030)에 제공되는 전압을 나타내는 라인(2051)에 의해 표시됨). 출력 커패시터(2030)는 지속적으로 충전되고 출력 커패시터(2030)의 전극 양단의 전압(2031)은 증가한다. 미리 결정된 시간 간격($T_{power\ on}$)이 경과된 이후, 요구된(원하는) 출력 전압(V_{out})에 도달하고 스위칭 회로(2040)에 의해 토글링이 정지된다.

[0895] 대안적으로, 스위치 회로(2040)는 출력 커패시터(2030)의 전극 양단의 전압이 미리 결정된 값(V_{out})이 될 때까지 전하 소스(2050)(예를 들어, 충전된 커패시터)를 출력 커패시터(2030)에 선택적으로 계속하여 결합하도록 구성될 수 있다. 일부 예에서, 장치(2000)는 출력 커패시터(2030)의 전극 양단의 전압(2031)의 현재 값과 미리 결정된 값(V_{out})의 비교에 기초하여 비교 신호(2061)를 생성하도록 구성된 비교기 회로(2060)를 더 포함할 수 있다. 따라서, 스위치 회로(2040)는 비교 신호(2061)에 기초하여 전하 소스(2040)를 출력 커패시터에 선택적으로 결합하도록 구성될 수 있다.

[0896] 또한 대안적으로, 스위치 회로(2040)는 미리 결정된 시간 간격 동안 전하 소스(2050)(예를 들어, 충전된 커패시터)를 출력 커패시터(2030)에 선택적으로 계속하여 결합하도록 구성될 수 있으며, 여기서 시간 간격은 (예를 들어, 수학식(1)에 기초하여) 미리 결정된 양의 전하가 출력 커패시터(2030)에 전달되도록 선택된다.

[0897] 다시 말해, 요구된 파워 업 전압(V_{out})에 도달하는 다른 방법은 특정 기간 동안 스위치(2040)를 턴 온하고 일단 전압(V_{out})에 도달하면 스위치를 다시 턴 오프하는 것일 수 있다. 위에서 설명한 바와 같이, 이러한 접근법은 (고속) 비교기(2060)를 사용하거나 또는 미리 정의된 시간 윈도우 동안 스위치(2040)를 개방함으로써 구현될 수 있다.

[0898] 장치(2000)는 또한 낮은 전류를 요구하는 동작 모드로부터 높은 전류를 요구하는 동작 모드로 전자 디바이스(2020)의 빠른 전이를 가능하게 할 수 있다. 예를 들어, 제 1 동작 모드는 유휴 모드 또는 저속 데이터 송신 모드(낮은 처리량 모드)일 수 있고 제 2 동작 모드는 하이 레이트 데이터 송신 모드(높은 처리량 모드)이다. 제 1 동작 모드로부터 제 2 동작 모드로의 전이는 신속하여서 LDO(2010) 자체는 제한된 대역폭으로 인해 전류 변화를 따라올 수 없다. 이것은 예시적으로 도 20c에 도시된다.

[0899] 도 20c는 시간(T_1)에서 제 1 동작 모드로부터 제 2 동작 모드로 변경될 때 전자 디바이스(2020)에 요구된 전류(전자 디바이스(2020)에 의해 인출된 전류)의 시간 추이(2021)를 도시한다. 참고로, LDO 레귤레이터(2010)에 의해 제공되는 전류의 시간 추이(2012)가 도시된다. 도 20c로부터, LDO 레귤레이터(2010) 자체가 제한된 대역폭으로 인해 전자 디바이스(2020)의 전류 변화를 따라올 수 없다는 것이 명백하다. 그 결과, 전자 디바이스(2020)에 공급된 전압이 강하될 수 있다.

[0900] 그러나, 제어 신호(2001)가 전자 디바이스(2020)가 (전류를 거의 소비하지 않는) 제 1 동작 모드로부터 (높은 전류를 소비하는) 제 2 동작 모드로 전이한다고 표시하면, 왜냐하면 스위치 회로(2040)는 전하 소스(2050)를 출력 커패시터(2030)에 선택적으로 결합하도록 구성되기 때문이다. 전하 소스(2050)를 출력 커패시터(2030)에 선택적으로 결합시키면 LDO 레귤레이터(2010)가 요구된 전류를 제공할 수 있을 때까지 출력 커패시터(2030)에 추가 전하의 주입이 가능해질 수 있다. 전하 소스(2050)에 의해 출력 커패시터(2030)에 주입된 전류는 도 20c에서 예시적인 토글링 구현을 위해 라인(2041)으로 도시된다.

[0901] 장치(2000)는 초고속 커패시터 충전 및 LDO 레귤레이터 웨이크 업을 가능하게 할 수 있다.

[0902] 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(2000)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 도 20d는 통신 장치(2070)의 제 1 예를 도시한다. 통신 장치(2070)는 데이터 신호(2072)를 생성하기 위한 장치(2071)를 포함한다. 데이터 신호(2072)를 생성하기 위한 장치(2071)는 송신될 데이터(2075)에 기초하여 데이터 신호(2072)를 생성하도록 구성된 처리 회로(2073)(예를 들어, DTC)를 포함한다. 데이터 신호(2072)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0903] 또한, 데이터 신호(2072)를 생성하기 위한 장치(2071)는 데이터 신호(2072)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(2074)를 포함한다.

[0904] 통신 장치(2070)는 데이터 신호(2072)를 생성하기 위한 장치(2071)에 필요한 공급 신호(2011)를 생성하도록 구성된 LDO 레귤레이터(2010)뿐만 아니라 위에서 설명한 바와 같이 공급 신호(2011)를 조절하기 위한 장치(2000)를 포함한다.

[0905] 장치(2000)는 데이터 신호(2072)를 생성하기 위한 장치(2071)에 의해 보이는 바와 같이 LDO 레귤레이터(2010)의 효과적인 웨이크 업/파워 업 시간을 감소시킬 수 있다. 따라서, 데이터 신호(2072)를 생성하기 위한 장치(2071)의 웨이크 업/파워 업 시간이 또한 향상될 수 있다.

[0906] 예를 들어, 처리 회로(2073)가 데이터 신호(2072)를 제 1 동작 모드에서 제 1 데이터 레이트로 생성하고 데이터 신호(2072)를 제 2 동작 모드에서 더 높은 제 2 데이터 레이트로 생성하도록 구성되면, 신속하게 증가하는 처리 회로(2073)의 전류 수요는 위에서 설명한 바와 같이 장치(2000)에 의해 보상될 수 있다.

[0907] 유사하게, 제 1 동작 모드가 데이터 신호(2072)를 생성하기 위한 장치(2071)의 유휴 모드이고 제 2 동작 모드가 데이터 신호(2072)를 생성하기 위한 장치(2071)의 완전 동작 모드(최대 처리량 모드)이면, 신속하게 증가하는 처리 회로(2073)의 전류 수요는 위에서 설명한 바와 같이 장치(2000)에 의해 보상될 수 있다.

[0908] 제 1 동작 모드가 데이터 신호(2072)를 생성하기 위한 장치(2071)의 파워 오프 모드 및 저전력 모드(예를 들어, 절전 모드) 중 하나이고 제 2 동작 모드가 데이터 신호(2072)를 생성하기 위한 장치(2071)의 유휴 모드 및 완전 동작 모드 중 하나이면, 데이터 신호(2072)를 생성하기 위한 장치(2071)의 웨이크 업/파워 업은 위에서 설명한 바와 같이 장치(2000)에 의해 가속될 수 있다.

[0909] 통신 장치(2080)의 제 2 예가 도 20e에 도시된다. 통신 장치(2080)는 송신 링크(도시되지 않음)로부터 수신된 데이터 신호(2082)를 디코딩하기 위한 장치(2081)를 포함한다. 데이터 신호(2082)를 디코딩하기 위한 장치(2081)는 데이터 신호(2082)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(2083)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 또한, 장치는 데이터 신호(2082)를 디코딩하기 위한 장치(2081)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로(2084)를 포함한다. 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0910] 통신 장치(2080)는 데이터 신호(2082)를 디코딩하기 위한 장치(2081)에 필요한 공급 신호(2011)를 생성하도록 구성된 LDO 레귤레이터(2010)뿐만 아니라 위에서 설명한 바와 같이 공급 신호(2011)를 조절하기 위한 장치(2000)를 더 포함한다.

[0911] 장치(2000)는 데이터 신호(2082)를 디코딩하기 위한 장치(2081)에 의해 보여지는 바와 같이 LDO 레귤레이터(2010)의 효과적인 웨이크 업/파워 업 시간을 감소할 수 있게 할 수 있다. 따라서, 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 웨이크 업/파워 업 시간이 또한 개선될 수 있다.

[0912] 예를 들어, 제 1 동작 모드가 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 유휴 모드이고 제 2 동작 모드가 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 완전 동작 모드(최대 처리량 모드)이면, 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 신속하게 증가하는 전류 수요는 위에서 설명한 바와 같이 장치(2000)에 의해 보상될 수 있다.

[0913] 제 1 동작 모드가 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 파워 오프 모드 및 저전력 모드(예를 들어, 절전 모드) 중 하나이고 제 2 동작 모드가 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 유휴 모드 및 완전 동작 모드(최대 처리량 모드) 중 하나이면, 데이터 신호(2082)를 디코딩하기 위한 장치(2081)의 웨이크 업/파워 업은 위에서 설명한 바와 같이 장치(2000)에 의해 가속될 수 있다.

[0914] LDO 레귤레이터에 의해 생성된 공급 신호를 조절하는 것에 관한 위의 양태를 요약하기 위해, 전자 디바이스의 LDO 레귤레이터에 의해 생성된 공급 신호를 조절하기 위한 방법(2090)의 예가 도 20f의 흐름도에 의해 도시된다. 방법(2090)은 LDO 레귤레이터와 전자 디바이스 사이에 결합된 출력 커패시터에 의해 공급 신호를 수신하는 단계(2092)를 포함한다. 또한, 방법(2090)은 제어 신호가 전자 디바이스가 제 1 동작 모드로부터 제 2

동작 모드로 전이한다고 표시하면 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계(2094)를 포함한다.

[0915] 방법(2090)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 20a, 도 20b 및 도 20c)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[0916] LDO 레귤레이터 대신에, 임의의 다른 전력 공급 회로(예를 들어 DC-DC 변환기)가 도 20a 내지 도 20f와 관련하여 위에서 설명한 예에서 사용될 수 있다는 것을 유의해야 한다.

[0917] 위에서 언급한 바와 같이, 전력은 (직렬) 통신 인터페이스에 중요한 KPI일 수 있다. 상이한 전력 상태(상이한 동작 모드)를 지원하는 회로뿐만 아니라 전력 효율적인 회로가 전력 목표를 충족하도록 할 수 있다. 또한, 회로는 상이한 동작 모드 사이에서 빠르고 효율적인 방법으로 변경될 수 있어야 한다. 도 21은 전력 효율적인 동작을 가능하게 하고 다수의 동작 모드를 지원할 수 있는 송신기(2110) 및 수신기(2150)를 포함하는 통신 시스템(2100)을 도시한다. 송신기(2110) 및 수신기(2150)는 (차동) 송신 링크(2140)를 통해 DC 결합된다. 송신기(2110) 및 수신기(2150)는 도 21에서 차동 구현으로 도시된다. 그러나, 송신기(2110) 및 수신기(2150)에 대한 기술적 개념은 또한 단일 종단 구현에서 사용될 수 있다는 것을 유의해야 한다. 너무 긴 반복을 피하기 위해, 통신 시스템(2100)에 관한 다음의 설명은 단지 포지티브 극성을 나타내는 신호의 회로에 초점을 맞춘다. 관련 기술분야의 통상의 기술자에게는 네거티브 극성을 나타내는 신호의 회로가 동등한 방식으로 기능한다는 것이 자명하다.

[0918] 송신기(2110)는 송신될 데이터 신호(2121)를 생성하도록 구성된 처리 회로(예를 들어, DTC)(2120)를 포함한다. 처리 회로(2120)는 송신될 데이터에 기초하여 데이터 신호(2121)를 생성하도록 구성된다.

[0919] 다른 시간 인코딩된 통신 프로토콜 외에도, 처리 회로(2120)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 즉, 처리 회로(2120)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(2121)를 생성하도록 구성될 수 있다. 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 송신될 제 1 데이터에 대응하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간은 송신될 제 2 데이터에 대응한다. 예를 들어, 제 1 데이터는 제 1 데이터 심볼이고 제 2 데이터는 STEP 프로토콜과 같은 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼일 수 있다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0920] 또한, 송신기(2110)는 송신기(2110)를 공급 전압(V_{DD})(2195)에 결합된 수신기(2150)에 DC 결합하기 위해 접지(노드)(2190) 및 송신 링크(2140)에 결합하도록 구성된 출력 인터페이스 회로(2130)를 포함한다. 따라서, DC 전류는 송신 링크(2140)를 통해 수신기(2150)로부터 송신기(2110)로 흐른다. 출력 인터페이스 회로(2130)는, 데이터 신호(2121)에 기초하여, 송신 링크(2140)를 통해 수신기(2150)로부터 송신기(2110)로 흐르는 DC 전류를 변조함으로써 데이터 신호(2121)를 수신기로 출력하도록 구성된다. 즉, 출력 인터페이스 회로(2130)(송신기(2110)의 출력 드라이버)는 수신기(2150)로부터 오는 전류를 토글하여 데이터를 송신 링크(2140)의 송신 라인(레인)을 통해 송신한다. 출력 인터페이스 회로(2130)는 수신기(2150)의 전류를 효과적으로 재사용하기 때문에, 송신기(2110)는 (크게) 에너지 효율적으로 동작할 수 있다.

[0921] 수신기(2150)로부터 오는 전류를 토글하기 위해, 출력 인터페이스 회로(2130)는 제어 단자(예를 들어, 게이트 단자)에서 데이터 신호(2121)를 수신하도록 구성된 제 1 트랜지스터(2131)를 포함한다. 제 1 트랜지스터(2131)의 제 1 단자는 송신 링크(2140)에 결합하도록 구성되고, 제 1 트랜지스터(2131)의 제 2 단자는 접지(2190)에 결합된다.

[0922] 또한, 출력 인터페이스 회로(2130)는 송신 링크(2140)의 라인 영향(예를 들어, 트레이스 손실(trace loss))을 균등화하기 위해 데이터 신호(2121)의 고주파 성분(에너지)을 부스팅하기 위한 회로를 포함한다. 특히, 출력 인터페이스 회로(2130)는 또한 데이터 신호(2121)에 관련된 신호(2121')를 송신 링크(2140)에 용량성 결합하도록 구성된다. 그러므로 출력 인터페이스 회로(2130)는 데이터 신호(2121)를 반전하고 반전된 데이터 신호를 데이터 신호(2121)에 관련된 신호(2121')로서 출력하도록 구성된 인버터 회로(2132)를 포함한다. 또한, 출력 인터페이스 회로는 반전된 데이터 신호(2121')를 송신 링크(2140)에 용량성 결합하도록 구성된 (부스트) 커패시터(2133)를 포함한다. 커패시터(2133)와 송신 링크(2140) 사이에는 (부스트) 저항기(2134)가 결합된다.

[0923] 데이터 신호(2121)의 고주파 성분(에너지)을 부스팅하기 위한 회로는 송신기의 송신 전달 함수에 제로 및 폴(pole)을 추가함으로써 송신기(2110)의 대역폭을 증가시키도록 할 수 있다. 또한, 수신기(2150)의 입력 인터페이스 회로(2160)에서 제로 크로싱이 복구될 수 있다. 예를 들어, 송신기의 전달 함수 A는 다음과 같을 수 있다:

수학식 3

[0924] $$A = \frac{R_0 \cdot g_m\left(1+S\cdot\frac{C_b}{g_m}\right)}{1+S\cdot(C_b+C_0)\cdot R_0}$$

[0925] R_o는 수신기 부하(수신기의 출력 저항)를 나타내고, g_m은 송신기의 출력 트랜지스터의 이득을 나타내고, S는 라플라스 도메인($S = j \cdot 2 \cdot \pi \cdot f$)을 나타내고, C_b는 (부스트) 커패시터(2133)의 용량을 나타내며, C_o는 송신기가 푸시하는 출력 용량(예를 들어, 패키지, 볼, 보드 및 수신기 입력 커패시턴스 포함함)을 나타낸다.

[0926] 출력 인터페이스 회로(2130)는 제 1 트랜지스터(2131)와 접지(2190) 사이에 결합된 바이어스 전류 소스(2135)를 더 포함한다.

[0927] 또한, 출력 인터페이스 회로(2130)는 정전기 방전(Electrostatic Discharge)(ESD)에 대비한 보호 회로(2137)를 포함한다. 도 21에 도시된 보호 회로(2137)는 예시적인 것이며 일부 예에서 상이한 보호 회로로 대체될 수 있다(예를 들어, 도 26a 참고할 것).

[0928] 도 21에 도시된 바와 같은 차동 구현에서, 처리 회로(2120)는 또한 제 2 데이터 신호(2122)를 생성하도록 구성되며, 여기서 제 2 데이터 신호(2122)는 데이터 신호(2121)에 대해 반전된다. 따라서, 출력 인터페이스 회로(2130)는 또한, 제 2 데이터 신호(2122)에 기초하여, 송신 링크(2140)를 통해 수신기(2150)로부터 송신기(2110)로 흐르는 제 2 DC 전류를 변조함으로써 제 2 데이터 신호(2122)를 수신기(2150)로 출력하도록 구성된다. 데이터 신호(2121)에 대해 위에서 설명한 바와 같이 변조가 수행된다. 따라서, 출력 인터페이스 회로(2130)는 포지티브 극성의 신호를 처리하기 위해 위에서 설명한 회로와 동등한 네거티브 극성의 신호를 처리하기 위한 추가 회로를 포함한다.

[0929] 또한, 출력 인터페이스 회로(2130)는 차동 방식으로 구현된 송신 링크(2140)의 송신 라인을 종단하도록 구성된 종단 저항기(2136)를 포함한다.

[0930] 출력 인터페이스 회로(2130)는 또한 전력 상태를 제어하고 이에 따라 수신기(2150)의 입력 인터페이스 회로(2160)의 동작 모드를 제어할 수 있다. 도 21에 도시된 바와 같이, 송신기(2110)는 수신기(2150) 및 접지(2190) 사이에 결합된다. 출력 인터페이스 회로(2130)는 접지(노드)(2190)로부터 수신기(2150)를 분리함으로써 수신기(2150)를 파워 다운하도록 구성된다. 출력 인터페이스 회로(2130)는 제 1 트랜지스터(2131)를 비전도성 상태로 구동하여 출력 인터페이스 회로(2130)가 수신기(2150)에 높은 임피던스를 제공하도록 함으로써 수신기(2150)를 (적어도 부분적으로, 예를 들어 적어도 입력 인터페이스 회로(2160)를) 파워 다운하도록 구성된다. 송신기(2110)의 드라이버(예를 들어, 제 1 트랜지스터(2131) 및 네거티브 극성의 등가 트랜지스터)를 토글하지 않기 때문에, 수신기(2150)로부터의 전류는 0이 되고 수신기(2150)의 입력 인터페이스 회로(2160)는 출력 인터페이스 회로(2130)와 함께 파워 다운된다. 유사하게, 출력 인터페이스 회로(2130)는 수신기(2150)를 접지(노드)(2190)에 (다시) 결합함으로써 수신기(2150)를 (적어도 부분적으로, 예를 들어 적어도 입력 인터페이스 회로(2160)를) 파워 업하도록 구성된다.

[0931] 따라서, 송신기(2110)는 송신기(2110)와 수신기(2150) 사이의 통신 채널의 마스터로서 이해될 수 있는데, 왜냐하면 라인 마스터로서 두 엔티티 모두의 전력 상태를 효과적으로 제어할 수 있기 때문이다. 또한, 송신기(2110)는 단순히 수신기 측으로부터 전류를 끌어 오기 시작함으로써 수신기(2150)에 통지할 필요없이 언제라도 송신을 재개할 수 있다. 즉, 송신기(2110)는 송신기(2110)가 송신을 재개할 때까지 송신 링크(2140)를 통한 송신이 없도록 수신기(2150)를 대기 모드(standby mode)로 놓을 수 있다. 입력 인터페이스 회로(2160)를 대기 모드로 놓기 위해 수신기(2150)의 추가 동작은 필요로 하지 않는다. 또한, 수신기(2150)는 송신기(2110)가 송신을 재개하는 것을 검출하기 위해 웨이크 업 수신기와 같은 임의의 회로를 필요로 하지 않는다. 따라서, 전력

및 필요한 반도체 다이 영역이 절약될 수 있다.

[0932] 제 1 트랜지스터가 비전도성 상태로 구동될 때, 출력 인터페이스(2130)는 또한 바이어스 전류 소스(2135)를 비활성화하도록 구성될 수 있다. 또한, 송신기(2110)의 추가 회로(예를 들어, PLL)는 비활성화되거나 절전 모드로 구동될 수 있다.

[0933] 전력 상태(동작 모드)는 예를 들어 상위 계층 제어 애플리케이션 또는 하드웨어(예를 들어, MAC 계층)에 의해 제어될 수 있다. 예를 들어, 송신기(2110) 및 수신기(2160) 둘 모두를 턴 오프하는 것은 MAC 계층에 의해 제어될 수 있다. 또한, MAC 계층은 처리 회로(2120)에 의해 생성된 데이터 신호(2121)의 데이터 종류를 제어할 수 있다. 예를 들어, 송신기(2110)는 통신 시스템(2100)이 유휴 모드에 있으면 특정한 유휴 심볼을 포함하는 데이터 신호(2121)를 생성할 수 있다. 따라서, 통신 시스템(2100)은 다시 완전한 동작(최대 처리량) 모드로의 빠른 전이를 가능하게 하기 위해, 예를 들어 더 낮은 데이터 처리 레이트로 동작이 유지될 수 있다. 상세한 예시적인 전력 방식은 도 15b와 관련하여 위에서 설명된다.

[0934] 위의 설명은 주로 송신기(2110)에 초점을 맞추었지만, 다음에는 수신기(2150)가 설명된다. 되풀이하면, 설명은 단지 포지티브 극성을 나타내는 신호에 대한 수신기(2150)의 회로에 초점을 맞춘다.

[0935] 수신기(2150)의 입력 인터페이스 회로(2160)는 송신 링크(2140)와 공급 전압(노드)(2195) 사이에 결합된 공통 게이트 증폭기(2161)를 포함한다. 공통 게이트 증폭기(2161)는 일정한 바이어스 전압(V_{bias})을 수신한다.

[0936] 추가로, 입력 인터페이스 회로(2160)는 또한 송신기(2110)부터 수신된 전류 신호의 고주파 성분(에너지)을 부스팅하기 위한 회로를 포함한다. 그러므로 입력 인터페이스 회로(2160)는 제 2 트랜지스터(2162)를 더 포함한다. 제 2 트랜지스터(2162)의 제 1 단자는 공급 전압(노드)(2195)에 결합되고, 제 2 트랜지스터(2162)의 제 2 단자는 공통 게이트 증폭기(2161)에 결합된다. 제 2 트랜지스터(2162)의 제어 단자(예를 들어, 그의 게이트 단자)는 (부스트) 커패시터(2163)에 의해 송신 링크(2140)에 용량성 결합된다. 제 2 트랜지스터(2162)의 제어 단자와 제 2 단자 사이에는 (부스트) 저항기(2164)가 결합된다. 송신기(2110)의 제 1 트랜지스터(2131)와 제 2 트랜지스터(2162)는 상이한 전도성을 나타낸다. 공통 게이트 증폭기(2161)와 제 2 트랜지스터(2162)의 제 2 단자 사이에는 (조정 가능한) 부하 저항기(2165)가 결합된다. 부하 저항기(2165)는 부하 제어가 입력 인터페이스 회로(2160)의 이득 및 동작점을 변경할 수 있게 할 수 있다. 부스트 회로는 부하의 고주파 부스트가 라인 등화를 위해 고주파수에서 이득을 강화하게 할 수 있다.

[0937] 출력 인터페이스 회로(2130)와 마찬가지로, 입력 인터페이스 회로(2160)는 상이하게 구현된 송신 링크(2140)의 송신 라인을 종단하도록 구성된 종단 저항기(2166)를 포함한다.

[0938] 또한, 입력 인터페이스 회로(2160)는 ESD에 대비한 보호 회로(2167)를 포함한다. 도 21에 도시된 보호 회로(2167)는 예시적인 것이며 일부 예에서 상이한 보호 회로로 대체될 수 있다(예를 들어, 도 26a를 참고할 것).

[0939] 입력 인터페이스 회로(2160)는 공통 게이트 증폭기(2161)와 제 2 트랜지스터(2162) 사이에 결합된 노드(2168)를 포함한다. 노드(2168)는 입력 인터페이스 회로(2160)의 결과적으로 발생한 수신 신호를 제공한다. 수신 신호는 신호 디코딩을 위해 수신기(2150)의 추가 회로에 공급된다. 신호 디코딩을 위한 회로는 입력 인터페이스 회로(2160)에 직접 결합되거나 또는 하나 이상의 상호 연결된 회로를 통해 결합될 수 있다.

[0940] 수신 신호를 디코딩하기 위해, 수신기(2150)는 적어도 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(예를 들어, TDC)(2170)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0941] 도 21에 도시된 바와 같은 차동 구현에서, 처리 회로(2170)는 입력 인터페이스 회로(2160)에 의해 제공된 반대 극성의 제 2 수신 신호에 더 기초하여 제 4 신호, 제 5 신호 및 제 6 신호 에지를 결정하도록 구성될 수 있다(제 2 수신 신호는 포지티브 극성의 수신 신호에 대해 반전된다).

[0942] 또한, 수신기(2150)는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 데이터를 결정하고, 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 데이터를 결정하도록 구성된 복조 회로(2180)를 포함할 수 있다. 즉, 처리 회로(2170) 및 복조 회로(2180)는 송신기(2110)에 의해 수신 신호에 인코딩된 데이터 시간을 복구한다. 위에서 설명한 바와 같이, 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0943] 송신기(2110) 및 수신기(2150)는 동일한 반도체 다이 또는 상이한 반도체 다 이 상에서 구현될 수 있다. 예를 들어, 수신기(2150)는 제 1 반도체 다이 상에서 구현될 수 있는 반면, 송신기(2110)는 (상이한) 제 2 반도체 다이 상에서 구현될 수 있다. 송신기(2110) 및 수신기(2150)의 설계는 두 다이 모두에 대해 동일하거나 상이한 공급 전압 레벨을 사용할 수 있게 한다. 즉, 제 1 반도체 다이의 제 1 공급 전압 도메인은 제 2 반도체 다이의 제 2 공급 전압 도메인과 상이할 수 있다. 예를 들어, 제 1 전압 공급 도메인에서 사용되는 제 1 공급 전압은 제 2 전압 공급 도메인에서 사용되는 제 2 공급 전압보다 높을 수 있다.

[0944] 도 21과 관련하여 위에서 설명한 바와 같이, 듀티 사이클 전류 모드 로직(Current-Mode Logic)(CML) 신호는 송신기와 수신기 사이에서 데이터를 전송하기 위해 사용될 수 있다. CML 신호는 낮은 전력 설계가 제공될 수 있도록 낮은 진폭(예를 들어 ±40mV)을 사용하여 고주파 시그널링(예를 들어, 단일 송신 라 인상에서 20 Gbit/s 이상)을 가능하게 한다. 수신기의 적어도 일부는 상보형 금속 산화물 반도체(Complementary Metal-Oxide-Semiconductor)(CMOS) 기술로 구현될 수 있다. CMOS 기반 회로는 CML 신호의 낮은 진폭과 상이할 수 있는 미리 정의된 전압 진폭(전압 스윙)을 나타내는 신호를 처리하도록 구성된다. 따라서, CML로부터 CMOS 로직으로의 변환이 바람직할 수 있다.

[0945] CML 대 CMOS 로직 변환 회로(2200)의 예가 도 22a에 도시된다. CML 대 CMOS 로직 변환 회로(2200)는 차동 쌍의 CML 입력 신호(2201)를 수신하도록 구성된 CML 회로(2210)를 포함한다. CML 회로(2210)는 차동 쌍의 CML 입력 신호(2201)에 기초하여 차동 쌍의 CML 출력 신호(2211)를 생성하도록 구성된다. 차동 쌍의 CML 출력 신호(2211)를 생성하기 위해, CML 회로(2201)는 접지 노드(2202)와 CML 회로(2210)에 공급 전압을 제공하는 노드(2205) 사이에 병렬로 결합된 한 쌍의 트랜지스터(2212)를 포함한다. 한 쌍의 트랜지스터(2212) 각각은 각자의 제어 단자(예를 들어, 게이트 단자)에서 차동 쌍의 CML 입력 신호(2201) 중 하나를 수신하도록 구성된다. 공급 전압을 제공하는 한 쌍의 트랜지스터(2212)와 노드(2205) 사이에는 한 쌍의 출력 노드(2214)가 결합된다. 한 쌍의 출력 노드(2214)는 차동 쌍의 CML 출력 신호(2211)를 제공한다.

[0946] 또한, CML 대 CMOS 로직 변환 회로(2200)는 차동 쌍의 CML 출력 신호(2211)를 수신하고, 차동 쌍의 CML 출력 신호(2211)에 기초하여 차동 쌍의 CMOS 신호(2221)를 생성하도록 구성된 인버터 회로(2220)를 포함한다. CMOS 신호(2221)의 쌍은 다운 스트림 CMOS 기반 회로에서 사용되는 CMOS 로직에 따라 전압 진폭을 나타낸다. 도 22a에서 시사된 바와 같이, 인버터 회로(2220)는 예를 들어 직렬로 결합되고 차동 쌍의 CML 출력 신호(2211) 중 하나에 기초하여 차동 쌍의 CMOS 신호(2221) 중 하나를 생성하도록 구성된 제 1 쌍의 인버터(2222), 및 직렬로 결합되고 차동 쌍의 CML 출력 신호(2211) 중 다른 하나에 기초하여 차동 쌍의 CMOS 신호(2221) 중 다른 신호를 생성하도록 구성된 제 2 쌍의 인버터(2223)를 포함한다.

[0947] CML 대 CMOS 로직 변환 회로(2200)는 또한 차동 쌍의 CML 출력 신호(2211)의 공통 모드 신호 성분(2211')과 인버터 회로(2220)의 임계 전압을 나타내는 신호(2231)의 비교에 기초하여 CML 회로(2210)의 공급 전압을 조정하도록 구성된 바이어스 회로(2230)를 포함한다. 인버터 회로(2220)의 임계 전압은 인버터 회로(2220)가 제 1 로직(CMOS) 상태를 출력하는 제 1 입력 전압 범위와 인버터 회로(2220)가 제 2 로직(CMOS) 상태를 출력하는 제 2 입력 전압 범위 사이의 임계치를 정의하는 전압 레벨이다. 다시 말해, 인버터 회로(2220)의 임계 전압은 인버터 회로(2220)의 전환 점(switching point)로서 이해될 수 있다.

[0948] 차동 쌍의 CML 출력 신호(2211)의 공통 모드 신호 성분(2211')과 인버터 회로(2220)의 임계 전압을 나타내는 신호(2231)의 비교에 기초하여 CML 회로(2210)의 공급 전압을 조정함으로써, CML 회로(2210)는 차동 쌍의 CML 출력 신호(2211)의 공통 모드 신호 성분(2211')을 인버터 회로(2220)의 임계 전압(인버터 임계점)에 실질적으로 정확히 맞추도록 제어될 수 있다. 그러므로 CML 대 CMOS 로직 변환 회로(2200)는 차동 쌍의 CML 입력 신호(2201)를 수신하도록 구성된 CML 회로(2210)를 포함한다. 따라서, CML 대 CMOS 로직 변환 회로(2250)는 차동 쌍의 CML 입력 신호(2201)를 제공하는 업스트림 회로에서 프로세스(Process), 전압(Voltage) 및 온도(temperate)(PVT) 변동 영향뿐만 아니라 접지 잡음의 변동에 민감하지 않을 수 있다.

[0949] CML 회로(2210)는 한 쌍의 트랜지스터(2212)와 공급 전압을 제공하는 노드(2205) 사이에 결합된 한 쌍의 저항기(2215)를 더 포함한다. 한 쌍의 저항기(2215)는 인버터 회로(2220)와 함께 CML 대 CMOS 로직 변환 회로(2200)의 고주파 대역폭을 조정하게 할 수 있다. 차동 쌍의 CML 입력 신호(2201)는 고주파이다. 인버터 회로(2220)는 CML 회로(2210)에 부하를 제공한다. 한 쌍의 저항기(2215)에 대해 적절히 선택된 저항과 함께 인버터 회로(2220)의 낮은 입력 커패시턴스를 선택하면 CML 대 CMOS 로직 변환 회로(2200)의 고주파 대역폭을 튜닝할 수 있게 할 수 있다. 예를 들어, 인버터 회로(2220)에 대한 30 fF 입력 커패시턴스 및 한 쌍의 저항기(2215) 각각에 대한 1 kΩ의 저항은 약 5 GHz의 주파수에서 폴을 산출하고 따라서 높은 대역폭을 산출한다. 저항기 크

기를 감소시킴으로써, 대역폭은 더 증가될 수 있다.

[0950] CML 회로(2210)는 또한 한 쌍의 트랜지스터(2212)와 접지 노드(2202) 사이에 결합된 바이어스 전류 소스(2216)를 포함한다. 도 22a에서 시사된 바와 같이, 바이어스 전류 소스(2216)는 예를 들어 그의 전도도를 바이어스 신호(2217)에 기초하여 제어하도록 구성된 트랜지스터일 수 있다. 바이어스 신호(2217)를 변동시킴으로써, 전류 소스(2216)를 통한 전류가 변동될 수 있다. 따라서, CML 대 CMOS 로직 변환 회로(2200)의 고주파 대역폭을 더 증가시키기 위해 전류 소스(2216)를 통한 전류는 바이어스 신호(2119)를 사용하여 증가될 수 있다.

[0951] 한 쌍의 저항기(2215)와 병렬로, CML 회로(2210)에 공급 전압을 제공하는 노드(2205)와 접지 노드(2202) 사이에는 커패시터(2218)가 또한 결합된다.

[0952] CML 회로(2210)의 공급 전압을 제어하기 위해, 바이어스 회로(2230)는 공통 모드 신호 성분(2211') 및 인버터 회로(2220)의 임계 전압을 나타내는 신호(2231)에 기초하여 제어 신호(2233)를 생성하도록 구성된 연산 증폭기(2232)를 포함한다. 또한, 바이어스 회로(2230)는 (공급 전압(V_{DD})을 제공하는) 공급 전압 소스(2203)와 CML 회로(2210)에 공급 전압을 제공하는 노드(2205) 사이에 결합된 트랜지스터(2234)를 포함한다. 트랜지스터(2234)는 공급 전압 소스(2203)로부터 CML 회로(2210)로 흐르는 전압 및/또는 전류를 조정/제어하기 위해 제어 신호(2233)에 기초하여 그의 전도도를 조정하도록 구성된다. 위에서 언급한 바와 같이, CML 회로(2210)의 공급 전압을 제어함으로써, 차동 쌍의 CML 출력 신호(2211)의 공통 모드는 실질적으로 인버터 회로(2220)의 임계 전압(인버터 임계점)에 맞게 조정될 수 있다.

[0953] 인버터 회로(2220)의 임계 전압을 나타내는 신호(2231)를 제공하기 위해, 바이어스 회로(2220)는 루프 회로(2235)를 포함한다. 루프 회로(2235)는 직렬로 결합되어 폐쇄 루프를 형성하는 인버터(2236) 및 저항기(2237)를 포함한다. 루프 회로(2235)의 노드(2238)는 인버터 회로(2220)의 임계 전압을 나타내는 신호(2231)를 제공하기 위한 연산 증폭기(2232)의 제 1 입력에 결합된다. 저항기 피드백은 인버터(2236)를 실질적으로 그의 임계 전압(임계점)으로 유지한다. 인버터(2236)의 임계 전압은 인버터 회로(2220)의 임계 전압과 실질적으로 동일하다. 신호(2231)에 의해, 전압 임계점은 연산 증폭기(2232)로 전달된다. 연산 증폭기(2232)는 신호(2231)에 의해 표시된 전압 임계치를 한 쌍의 저항기(2240)에 의해 연산 증폭기(2232)의 제 2 입력에 공급된 차동 쌍의 CML 출력 신호(2211)의 공통 모드 신호 성분(2211')과 비교한다.

[0954] 한 쌍의 트랜지스터(2240)의 각각은 차동 쌍의 CML 출력 신호(2211)중 하나를 수신하도록 구성된다. 저항기(2240) 쌍의 두 저항기는 모두 차동 쌍의 CML 출력 신호(2211)의 공통 모드 신호 성분(2211')을 연산 증폭기(2232)에 제공하기 위해 연산 증폭기(2232)의 제 2 입력에 결합된다. 도 22a에서 시사된 바와 같이, 저항기(2240) 쌍의 저항기는 루프 회로(2235)에서 저항기(2237)와 동일한 저항(예를 들어 10 kΩ)을 나타낼 수 있다. 일부 예에서, 저항기(2240) 쌍의 저항기는 대안적으로 루프 회로(2235)에서 저항기(2237)와 상이한 저항을 나타낼 수 있다.

[0955] 예를 들어, 공통 모드 신호 성분(2211')(차동 쌍의 CML 출력 신호(2211)의 공통 모드 전압)이 신호(2231)에 의해 표시된 전압 임계치보다 작으면, 연산 증폭기(2232)는 차동 쌍의 CML 출력 신호(2211)의 공통 모드를 인버터 회로(2220)의 전압 임계치까지 시프트/오프셋하기 위해 트랜지스터(2234)를 제어하여 전도도를 증가시킬 것이다. 한편, 공통 모드 신호 성분(2211')이 신호(2231)에 의해 표시된 전압 임계치보다 크면, 연산 증폭기(2232)는 차동 쌍의 CML 출력 신호(2211)의 공통 모드를 인버터 회로(2220)의 전압 임계치까지 시프트/오프셋하기 위해 트랜지스터(2234)를 제어하여 전도도를 감소시킬 것이다.

[0956] 일부 예에서, 아날로그 루프 회로(2235)는 CML 대 CMOS 로직 변환 회로(2200)의 전체 전류 소비를 감소시키기 위해 미리 정의된 듀티 사이클로 턴 온 및 턴 오프될 수 있다. 오프 기간 동안 정확한 전압을 보존하기 위해(CML 대 CMOS 로직 변환 회로(2200)의 최적 동작점을 유지하기 위해), 바이어스 회로(2230)는 옵션으로 두 개의 추가 커패시터를 포함할 수 있다. 제어 신호(2233)를 보존하기 위해 연산 증폭기(2232)를 트랜지스터(2234)에 결합하는 신호 라인과 접지 사이에는 제 1 커패시터(2239a)가 결합될 수 있다. 또한, 신호(2231)를 보존하기 위해 루프 회로(2235)의 노드(2238)를 연산 증폭기(2232)의 입력에 결합하는 신호 라인과 접지 사이에는 제 2 커패시터(2239b)가 결합될 수 있다.

[0957] 도 22b는 인버터 입력과 인버터 출력 사이의 관계를 도시한다. 가로 좌표는 인버터의 입력 전압을 나타내고, 세로 좌표는 인버터의 출력 전압을 나타낸다. 도 22b로부터, 가장 높은 이득은 (Inv_th)로 표시된 인버터의 임계 전압(임계점)에 있다는 것을 알 수 있다. CML 대 CMOS 로직 변환 회로(2200)의 폐루프 바이어스 회로(2230)는 차동 쌍의 CML 출력 신호(2211)를 실질적으로 인버터 임계점에서 정확하게 유지하게 할 수 있다.

[0958] CML 대 CMOS 로직 변환 회로(2200)와 관련하여 위에서 설명한 신호의 예시적인 추이가 도 22c에 도시된다. 라인(2224)은 인버터 회로(2220)의 임계 전압을 나타낸다. 도 22c의 예에서, 인버터 회로(2220)의 임계 전압은 400 mV(이것은 사용된 CMOS 로직에서 두 개의 로직 전압 레벨 간의 차의 절반에 대응함)인 것으로 추정된다. 그러나, 임의의 다른 전압 레벨이 또한 임계 전압에 사용될 수 있다는 것을 유의해야 한다.

[0959] 라인(2201a 및 2201b)은 차동 쌍의 CML 입력 신호(2201)의 두 개의 CML 신호를 나타낸다. 도 22c로부터, 차동 쌍의 CML 입력 신호(2201)의 두 개의 CML 신호가 약 500 mV의 공통 모드 및 약 ±50 mV의 진폭을 갖는 것이 명백하다.

[0960] 또한, 라인(2211a 및 2211b)은 차동 쌍의 CML 출력 신호(2211)의 두 개의 CML 신호를 나타낸다. 도 22c로부터 알 수 있는 바와 같이, 차동 쌍의 CML 출력 신호(2211)의 두 개의 CML 신호의 공통 모드는 바이어스 회로(2230) 및 CML 회로(2210)에 의해 약 400 mV(인버터 회로(2220)의 임계 전압)에 맞게 조정된다. 즉, 고주파 CML 출력 신호(2211)는 인버터 임계점에 매우 정확하게 놓여 있다. 이것은 도 22c의 아래쪽 부분에서 라인(2221a 및 2221b)에 의해 나타낸 바와 같이 CML 레벨로부터 풀 레일 투 레일 CMOS 레벨(full rail to rail CMOS level)로 신호를 전달할 때 인버터 회로(2220)의 정확하고 높은 이득을 가능하게 할 수 있다. 라인(2221a 및 2221b)은 차동 쌍의 CMOS 신호(2221)의 두 개의 CMOS 신호를 나타낸다. 도 22c로부터, 차동 쌍의 CMOS 신호(2221)의 두 개의 CMOS 신호가 사용된 CMOS 로직의 두 개의 로직 전압 레벨(0 mV 및 800 mV) 사이에서 변동한다는 것을 알 수 있다. 되풀이하면, CMOS 로직의 예시된 전압 레벨은 단지 예이며 임의의 다른 전압 레벨이 사용될 수 있다는 것을 유의해야 한다.

[0961] 대안적인 접근법을 사용하는 다른 CML 대 CMOS 로직 변환 회로(2250)가 도 22d에 도시된다.

[0962] CML 대 CMOS 로직 변환 회로(2250)는 차동 쌍의 CML 입력 신호(2251)에 기초하여 차동 쌍의 CML 출력 신호(2261)를 생성하도록 구성된 CML 회로(2260)를 포함한다. CML 회로(2210)와 유사하게, CML 회로(2260)는 접지 노드(2252)와 CML 회로(2260)에 공급 전압을 제공하는 노드(2255) 사이에 병렬로 결합된 한 쌍의 트랜지스터(2262)를 포함한다. CML 대 CMOS 로직 변환 회로(2200)와 대조적으로, 노드(2255)는 CML 회로(2260)에 일정한 공급 전압을 제공한다. 되풀이하면, 한 쌍의 트랜지스터(2262)의 각각은 각자의 제어 단자(예를 들어, 그의 게이트 단자)에서 차동 쌍의 CML 입력 신호(2251) 중 하나를 수신하도록 구성된다. 또한, 되풀이 하면 CML 회로(2260)는 트랜지스터(2262) 쌍과 CML 회로(2260)에 일정한 공급 전압을 제공하는 노드(2255) 사이에 결합된 한 쌍의 출력 노드(2264)를 포함한다. 한 쌍의 출력 노드(2264)는 차동 쌍의 CML 출력 신호(2261)를 제공한다. 또한, CML 회로(2260)는 트랜지스터(2262) 쌍과 CML 회로(2260)에 일정한 공급 전압을 제공하는 노드(2255) 사이에 결합된 한 쌍의 저항기(2265)를 포함한다. 또한, CML 회로(2260)는 트랜지스터(2262) 쌍과 접지 노드(2252) 사이에 결합된 바이어스 전류 소스(2266)를 더 포함한다. 바이어스 전류 소스(2266)는 되풀이하면 그의 전도도를 바이어스 신호(2267)에 기초하여 제어하도록 구성된 트랜지스터일 수 있다. 저항기(2265) 쌍과 병렬로, CML 회로(2260)에 일정한 공급 전압을 제공하는 노드(2255)와 접지 노드(2252) 사이에는 또한 커패시터(2268)가 결합된다.

[0963] 또한, CML 대 CMOS 로직 변환 회로(2250)는 차동 쌍의 CML 출력 신호(2261)에 기초하여 차동 쌍의 CMOS 신호(2271)를 생성하도록 구성된 인버터 회로(2270)를 포함한다. 인버터 회로(2220)와 유사하게, 인버터 회로(2270)는 직렬로 결합되고 차동 쌍의 CML 출력 신호(2261) 중 하나에 기초하여 차동 쌍의 CMOS 신호(2271) 중 하나를 생성하도록 구성된 제 1 쌍의 인버터(2272), 및 직렬로 결합되고 차동 쌍의 CML 출력 신호(2261) 중 다른 하나에 기초하여 차동 쌍의 CMOS 신호(2271) 중 다른 신호를 생성하도록 구성된 제 2 쌍의 인버터(2273)를 포함한다.

[0964] CML 대 CMOS 로직 변환 회로(2250)는 또한 차동 쌍의 CML 출력 신호(2261)의 공통 모드 신호 성분(2261')과 인버터 회로(2270)의 임계 전압을 나타내는 신호(2281)의 비교에 기초하여 인버터 회로(2270)의 공급 전압(V_{DD_INV})을 조정하도록 구성된 바이어스 회로(2280)를 포함한다.

[0965] 차동 쌍의 CML 출력 신호(2261)의 공통 모드 신호 성분(2261')과 인버터 회로(2270)의 임계 전압을 나타내는 신호(2281)의 비교에 기초하여 인버터 회로(2270)의 공급 전압을 조정함으로써, 인버터 회로(2270)의 임계 전압은 차동 쌍의 CML 출력 신호(2211)의 공통 모드 신호 성분(2211')(공통 모드)에 맞게 조정될 수 있다. 그러므로 CML 대 CMOS 로직 변환 회로(2250)는 차동 쌍의 CML 입력 신호(2251)의 공통 모드에 실질적으로 민감하지 않을 수 있다. 따라서, CML 대 CMOS 로직 변환 회로(2250)는 차동 쌍의 CML 입력 신호(2201)를 제공하는 업스트림 회로에서 PVT 변동 영향뿐만 아니라 접지 잡음의 변동에 민감하지 않을 수 있다.

[0966] 인버터 회로(2270)의 공급 전압을 제어하기 위해, 바이어스 회로(2280)는 공통 모드 신호 성분(2261') 및 인버터 회로(2270)의 임계 전압을 나타내는 신호(2281)에 기초하여 제어 신호(2283)를 생성하도록 구성된 연산 증폭기(2282)를 포함한다. 또한, 바이어스 회로(2280)는 (공급 전압(V_{DD_IN})을 제공하는) 공급 전압 소스(2253)와 인버터 회로(2270) 사이에 결합된 트랜지스터(2284)를 포함한다. 트랜지스터(2284)는 공급 전압 소스(2253)로부터 인버터 회로(2270)로 흐르는 전압 및/또는 전류를 조정/제어하기 위해 제어 신호(2283)에 기초하여 그의 전도도를 조정하도록 구성된다. 위에서 언급한 바와 같이, 인버터 회로(2270)의 공급 전압을 제어함으로써, 인버터 회로(2270)의 임계 전압(인버터 임계점)은 차동 쌍의 CML 출력 신호(2261)의 공통 모드에 맞게 조정될 수 있다.

[0967] 인버터 회로(2270)의 임계 전압을 나타내는 신호(2281)를 제공하기 위해, 바이어스 회로(2280)는 루프 회로(2285)를 포함한다. 루프 회로(2285)는 직렬로 결합되어 폐쇄 루프를 형성하는 인버터(2286) 및 저항기(2287)를 포함한다. 루프 회로(2285)의 노드(2288)는 인버터 회로(2270)의 임계 전압을 나타내는 신호(2281)를 제공하기 위한 연산 증폭기(2282)의 제 1 입력에 결합된다. 저항기 피드백은 인버터(2286)를 실질적으로 그의 임계 전압(임계점)으로 유지한다. 또한, 인버터(2286)는 인버터(2270)의 임계 전압을 실질적으로 인버터 회로(2270)의 현재 임계 전압으로 조정하기 위해 인버터 회로(2270)의 공급 전압(V_{DD_IN})을 수신하도록 구성된 전력 공급 입력 단자를 포함한다. 따라서, 인버터(2286)의 임계 전압은 실질적으로 인버터 회로(2270)의 임계 전압과 동일하다. 신호(2281)에 의해, 전압 임계점은 연산 증폭기(2282)로 전달된다. 연산 증폭기(2282)는 신호(2281)에 의해 표시된 전압 임계치를 한 쌍의 저항기(2290)에 의해 연산 증폭기(2282)의 제 2 입력에 공급된 차동 쌍의 CML 출력 신호(2261)의 공통 모드 신호 성분(2261')과 비교한다.

[0968] 한 쌍의 트랜지스터(2290)의 각각은 차동 쌍의 CML 출력 신호(2261)중 하나를 수신하도록 구성된다. 저항기(2290) 쌍의 두 저항기는 모두 차동 쌍의 CML 출력 신호(2261)의 공통 모드 신호 성분(2261')을 연산 증폭기(2282)에 제공하기 위해 연산 증폭기(2282)의 제 2 입력에 결합된다.

[0969] 예를 들어, 공통 모드 신호 성분(2261')(차동 쌍의 CML 출력 신호(2611)의 공통 모드 전압)이 신호(2281)에 의해 표시된 전압 임계치보다 작으면, 연산 증폭기(2282)는 인버터 회로(2270)의 전압 임계치가 차동 쌍의 CML 출력 신호(2261)의 공통 모드에 맞추어 시프트 업되도록 인버터 회로(2270)의 공급 전압(V_{DD_IN})을 증가시키기 위해 트랜지스터(2284)를 제어하여 그의 전도도를 증가시킬 것이다. 다른 한편, 공통 모드 신호 성분(2261')이 신호(2281)에 의해 표시된 전압 임계치보다 크면, 연산 증폭기(2282)는 인버터 회로(2270)의 전압 임계치가 CML 출력 신호의 차동 쌍(2261)의 공통 모드에 맞추어 시프트 다운되도록 인버터 회로(2270)의 공급 전압(V_{DD_IN})을 감소시키기 위해 트랜지스터(2284)를 제어하여 그의 전도도를 감소시킬 것이다.

[0970] 제 1 쌍의 인버터(2272) 및 제 2 쌍의 인버터(2273)의 각각은 인버터 회로(2270)의 공급 전압(V_{DD_IN})을 수신하도록 구성된 각각의 전력 공급 입력 단자를 포함한다.

[0971] 아날로그 루프 회로(2235)와 유사하게, 또한 아날로그 루프 회로(2285)는 CML 대 CMOS 로직 변환 회로(2250)의 전체 전류 소비를 감소시키기 위해 미리 정의된 듀티 사이클로 턴 온 및 턴 오프될 수 있다. 오프 기간 동안 정확한 전압을 보존하기 위해(예를 들어, CML 대 CMOS 로직 변환 회로(2250)의 최적 동작점을 유지하기 위해), 바이어스 회로(2285)는 또한 옵션으로 두 개의 추가 커패시터를 포함할 수 있다. 제어 신호(2283)를 보존하기 위해 연산 증폭기(2282)를 트랜지스터(2284)에 결합하는 신호 라인과 접지 사이에는 제 1 커패시터(2289a)가 결합될 수 있다. 또한, 신호(2281)를 보존하기 위해 루프 회로(2285)의 노드(2288)를 연산 증폭기(2282)의 입력에 결합하는 신호 라인과 접지 사이에는 제 2 커패시터(2289b)가 결합될 수 있다.

[0972] 위에서 설명한 CML 대 CMOS 로직 변환 회로는 CML 대 CMOS 로직 변환을 필요로 하는 임의의 전자 디바이스 또는 애플리케이션에 사용될 수 있다. 위에서 설명한 CML 대 CMOS 로직 변환 회로는 예를 들어 반도체 다이의 상이한 인-다이(in-die) 도메인 사이에서 고주파 클록을 송신하기 위해 사용될 수 있다. 또한, 위에서 설명한 CML 대 CMOS 로직 변환 회로는 예를 들어 주변 기기 상호연결 익스프레스(Peripheral Component Interconnect express)(PCIe), 범용 직렬 버스(Universal Serial Bus)(USB), 직렬화기/역직렬화기(SERIALizer/DESerializer)(SERDES) 또는 임의의 다른 CML 기반 인터페이스와 같은 통신 인터페이스에 사용될 수 있다.

[0973] 도 22a의 CML 대 CMOS 로직 변환 회로(2200)를 사용하는 STEP 프로토콜에 따른 통신 장치(2295)의 예가 도 22e에 도시된다.

[0974] 통신 장치(2295)는 송신 링크(도시되지 않음)로부터 수신된 차동 쌍의 데이터 신호(In+ 및 In-)에 기초하여 차동 쌍의 CML 입력 신호(2201)를 생성(제공)하도록 구성된 수신기 회로(2296)를 포함한다. 수신기 회로(2296)의 예로서, 도 21의 수신기(2150)가 도시된다. 그러나, 임의의 다른 종류의 수신기 회로가 또한 사용될 수 있다는 것을 유의해야 한다.

[0975] 또한, 통신 장치(2295)는 CML 대 CMOS 로직 변환 회로(2200)에 의해 제공되는 바와 같이 차동 쌍의 CMOS 신호(2221)를 디코딩하기 위한 처리 회로(2297) 및 복조 회로(2298)를 포함한다. 처리 회로(2297) 및 복조 회로(2298)는 둘 모두 CMOS 기술로 구현된다. 처리 회로(2297)(예를 들어, TDC)는 차동 쌍의 CMOS 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[0976] 복조 회로(2298)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된다. 즉, 처리 회로(2297) 및 복조 회로(2298)는 송신 링크로부터 수신된 데이터 신호에 인코딩된 데이터 시간을 복구한다. 위에서 설명한 바와 같이, 제 3 기간과 제 4 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[0977] CML 대 CMOS 로직 변환 회로는 PVT 영향에 민감하지 않고 입력 신호의 공통 모드를 변동시키면서 STEP 프로토콜에 따른 고주파 시그널링을 지원할 수 있다. 또한, CML 대 CMOS 로직 변환 회로는 저전력 설계를 나타내기에 전류를 조금밖에 소비하지 않는다. 또한, CML 대 CMOS 로직 변환 회로는 메모리 효과를 데이터 스트림에 도입하는 것을 피할 수 있다. 또한, CML 대 CMOS 로직 변환 회로는 처리된 신호의 듀티 사이클을 유지하게 할 수 있다(예를 들어, 변조 방식을 유지하게 할 수 있다). 또한, CML 대 CMOS 로직 변환 회로는 상이한 동작 모드 사이에서 (예를 들어, 1 ns 미만 내에 유휴 모드로부터 최대 처리량 모드로) 신속하게 전이할 수 있게 할 수 있다.

[0978] CML 대 CMOS 로직 변환 회로(2200)가 도 22e에 도시되지만, 대안적으로 CML 대 CMOS 로직 변환 회로(2250)가 또한 사용될 수 있다는 것을 유의해야 한다.

[0979] 위에서 설명한 바와 같이, DTC는 시간 인코딩된 데이터 신호를 생성하기 위해 사용될 수 있다. DTC는 인코딩될 데이터에 기초하여 제어 회로에 의해 제공되는 제어 워드를 통해 제어된다. DTC 자체뿐 아니라 제어 회로는 전력을 소비한다. 다음에는 전력 소비를 감소시킬 수 있는 몇개의 DTC 아키텍처가 도 23a 내지 도 23d와 관련하여 설명된다.

[0980] 도 23a는 입력으로서 제 1 신호(2301) 및 제 2 신호(2302)를 수신하도록 구성된 복수의 보간 셀(2310-1, ..., 2310-n)을 포함하는 DTC(2300)를 도시한다. 복수의 보간 셀(2310-1, ..., 2310-n) 중 적어도 하나는, 제어 워드(2303)에 기초하여, 제 1 신호(2301) 및 제 2 신호(2302) 중 적어도 하나를 각각의 셀 출력 신호(2311-1, 2311-n)로서 제공하도록 구성된다. 즉, 제어 워드(2303)에 기초하여, 복수의 보간 셀(2310-1, 2310-n) 중 적어도 하나는 제 1 신호(2301), 제 2 신호(2302), 또는 제 1 신호(2301)와 제 2 신호(2302)의 조합을 셀 출력 신호(2311-1, ..., 2311-n)로서 제공한다. 일부 예에서, 복수의 보간 셀(2310-1, ..., 2310-n)의 각각은, 제어 제어 워드(2303)에 기초하여, 제 1 신호(2301) 및 제 2 신호(2302) 중 적어도 하나를 각각의 셀 출력 신호(2311-1, ..., 2311-n)로서 제공한다.

[0981] 또한, DTC(2300)는 복수의 보간 셀(2310-1, 2310-n)에 결합된 출력 노드(2320)를 포함한다. 출력 노드(2320)는 복수의 보간 셀(2310-1, ..., 2310-n)의 셀 출력 신호(2311-1, ..., 2311-n)를 출력 신호(2304)에 결합하도록 구성된다. 출력 신호(2304)는 제어 워드(2303)를 통해 제어되는 제 1 신호(2301)와 제 2 신호(2302) 사이의 보간을 나타낸다.

[0982] 도 23a에서 시사된 바와 같이, 출력 신호(2304)는 복수의 보간 셀(2310-1,..., 2310-n)로 피드백된다. 다시 말해, 제 1 신호(2301) 및 제 2 신호(2302)는 출력 신호(2304)에 기초한다. 그 결과, 제 1 신호(2301) 및 제 2 신호(2302)는 출력 신호(2304)와 동일한 시간 그리드(time grid)를 나타낸다. 이것은 DTC 입력 신호가 DTC 출력 신호와 상이한 시간 그리드를 나타내는 종래의 DTC 아키텍처와 대조적이다. 예를 들어, DTC 입력 신호의 시간 그리드는 통상적으로 DTC 입력 신호가 기초로 하는 입력 신호 또는 기준 신호를 제공하는 발진기 의해 결정되는 반면, DTC 출력 신호의 시간 그리드는 DTC 제어 워드에 의해 결정된다. 따라서, 종래의 DTC의 DTC 입력 신호와 DTC 출력 신호 사이에서 지속적으로 변하는 위상 시프트가 존재한다. 그 결과, DTC 제어 워드는 종래의

DTC의 경우 각 사이클마다 업데이트되어야 한다. DTC 출력 신호가 일정하게 유지되더라도(DTC 출력 신호에서 바로 잇따른 신호 에지 사이의 기간이 일정하게 유지되더라도), DTC의 코드 워드는 DTC 입력 신호와 DTC 출력 신호 사이에서 연속적으로 변하는 위상 시프트로 인해 종래 DTC에서는 각 기간마다 업데이트되어야 한다. 따라서, 종래 DTC의 제어 회로(예를 들어, 디코더)는 DTC의 제어 워드를 지속적으로 업데이트해야 한다.

[0983] 그러나, DTC(2300)의 경우, DTC 입력 및 DTC 출력은 출력 신호(2304)의 피드백으로 인해 동일한 시간 그리드를 나타내므로, 출력 신호가 변경되는 경우에만 제어 워드(2303)를 업데이트하는 것으로 충분할 수 있다. 예를 들어, 출력 신호(2304)에서 바로 잇따른 다수의 신호 에지 사이의 기간이 일정하게 유지된다면, 동일한 제어 워드(2303)가 사용될 수 있다. 기간이 변경되는 경우에만, 제어 워드(2303)가 업데이트되어야 한다. 따라서, DTC(2300)의 제어가 (상당히) 용이해질 수 있다. 제어 워드(2303)에 대한 감소된 업데이트 레이트는 DTC(2300)의 제어 회로(예를 들어, 디코더(도시되지 않음))에서 전력 절약을 가능할 수 있게 할 수 있다.

[0984] 출력 신호(2304)에 기초하여 제 1 신호(2301) 및 제 2 신호(2302)를 생성하기 위해, DTC(2300)는 두 개의 인버터 회로(2321, 2322) 및 지연 회로(2323)를 포함한다. 제 1 인버터 회로(2321)는 출력 신호(2304)를 수신하고 반전된 출력 신호를 제 1 신호(2301)로서 복수의 보간 셀(2310-1,..., 2310-n)에 공급하도록 구성된다. 또한, 지연 회로(2323)는 제 1 인버터 회로(2321)에 병렬로 결합되고 출력 신호(2304)를 지연시키도록 구성된다. 제 2 인버터 회로(2322)는 지연 회로(2323)에 직렬로 결합되고 지연된 출력 신호를 수신하도록 구성된다. 또한, 제 2 인버터 회로(2322)는 반전된 지연된 출력 신호를 제 2 신호(2302)로서 복수의 보간 셀(2310-1,..., 2310-n)에 공급하도록 구성된다.

[0985] 다른 DTC(2330)가 도 23b에 도시된다. DTC(2330)는 DTC(2300)와 실질적으로 동일하다. 그러나, DTC(2330)는 또한 출력 신호(2304)를 리셋할 수 있게 한다. 긴 반복을 피하기 위해, 다음에는 DTC(2330)와 DTC(2300)의 차이점만 설명된다. DTC(2330)에서, DTC(2300)의 인버터 회로(2321, 2322)는 출력 신호(2304)에 기초하여 제 1 신호(2301) 및 제 2 신호(2302)를 생성하기 위한 NAND 게이트(2324, 2325)로 대체된다.

[0986] 제 1 NAND 게이트(2324)는 출력 신호(2304) 및 리셋 신호(2305)를 수신하도록 구성된다. 출력 신호(2304) 및 리셋 신호(2305)의 각각의 로직 레벨의 비교에 기초하여, 제 1 NAND 게이트(2324)는 제 1 신호(2301)를 생성하고 이것을 복수의 보간 셀(2310-1,..., 2310-n)에 공급한다. 또한, 지연 회로(2323)는 제 1 NAND 게이트(2324)에 병렬로 결합되고 출력 신호(2304)를 지연하도록 구성된다. 제 2 NAND 게이트(2325)는 지연 회로(2323)에 직렬로 결합되고 지연된 출력 신호 및 리셋 신호(2305)를 수신하도록 구성된다. 또한, 제 2 NAND 게이트(2325)는 지연된 출력 신호 및 리셋 신호(2305)의 각각의 로직 레벨의 비교에 기초하여 제 2 신호(2302)를 생성하도록 구성된다. 제 2 NAND 게이트(2325)는 제 2 신호(2302)를 복수의 보간 셀(2310-1, ..., 2310-n)에 공급한다.

[0987] 보간 회로 대신에 지연 라인을 사용하는 DTC(2340)가 도 23c에 도시된다. DTC(2340)는 복수의 지연된 입력 신호(2347-1, ..., 2347-n)를 생성하기 위해 입력 신호(2344)를 반복적으로 지연하도록 구성된 지연 회로(2341)를 포함한다. 도 23c에서 시사된 바와 같이, 지연 회로(2341)는 예를 들어 입력 신호(2344)를 미리 정의된 지연 시간만큼 지연하도록 구성된 복수의 지연 요소를 포함할 수 있다. 또한, DTC(2340)는 지연 회로(2341)에 결합되고, 제어 워드(2346)에 기초하여, 복수의 지연된 입력 신호(2347-1,..., 2347-n) 중 하나를 출력 신호(2345)로서 출력하도록 구성된 멀티플렉서(2342)를 포함한다.

[0988] 도 23c에서 시사된 바와 같이, 출력 신호(2345)는 지연 회로(2341)로 피드백된다. 다시 말해, 입력 신호(2344)는 출력 신호(2345)에 기초한다. 예를 들어, 제 1 인버터 회로(2343)는 출력 신호(2345)를 수신하고 반전된 출력 신호를 입력 신호(2344)로서 지연 회로(2341)에 공급하도록 구성될 수 있다.

[0989] DTC(2300 및 2330)과 유사하게, DTC 입력 및 DTC 출력은 출력 신호(2345)의 피드백으로 인해 동일한 시간 그리드를 나타낸다. 따라서, 출력 신호(2345)가 변경되는 경우에만 제어 워드(2346)를 업데이트하는 것으로 충분할 수 있다. 되풀이하면, 출력 신호(2345)에서 바로 잇따른 다수의 신호 에지 사이의 기간이 일정하게 유지된다면, 동일한 제어 워드(2346)가 사용될 수 있다. 기간이 변경되는 경우에만, 제어 워드(2346)가 업데이트되어야 한다. 따라서, DTC(2340)의 제어가 (상당히) 용이해질 수 있다. 제어 워드(2346)에 대한 감소된 업데이트 레이트는 제어 워드(2346)를 생성하는 DTC(2340)의 제어 회로(예를 들어, 디코더(도시되지 않음))에서 절전할 수 있게 할 수 있다.

[0990] 위에서 설명된 DTC(2300 및 2330)와 비교하여 레이트를 두 배로 할 수 있는 추가 DTC(2350)가 도 23d에 도시된다.

[0991] DTC(2350)는 입력으로서 제 1 신호(2351) 및 제 2 신호(2352)를 수신하도록 구성된 제 1 복수의 보간 셀(2360-1, 2360-n)(예를 들어, 디지털 제어 에지 보간기(Digitally Controlled Edge Interpolator)(DECI))을 포함한다. 제 1 복수의 보간 셀(2360-1, ..., 2360-n) 중 적어도 하나(예를 들어, 모두)는, 제어 워드(2355)에 기초하여, 제 1 신호(2351) 및 제 2 신호(2352) 중 적어도 하나를 각각의 셀 출력 신호(2361-1, 2361-n)로서 제공하도록 구성된다. 즉, 제어 워드(2355)에 기초하여, 제 1 복수의 보간 셀(2310-1, 2310-n) 중 적어도 하나는 제 1 신호(2351), 제 2 신호(2352), 또는 제 1 신호(2351)와 제 2 신호(2352)의 조합을 각각의 셀 출력 신호(2361-1, ..., 2361-n)로서 제공한다. 일부 예에서, 제 1 복수의 보간 셀(2360-1, 2360-n)의 각각은, 제어 워드(2355)에 기초하여, 제 1 신호(2351) 및 제 2 신호(2352) 중 적어도 하나를 각각의 셀 출력 신호(2361-1, ..., 2361-n)로서 제공한다.

[0992] 또한, DTC(2350)는 제 1 복수의 보간 셀(2360-1, 2360-n)에 결합되고 제 1 복수의 보간 셀(2360-1 ..., 2360-n)의 셀 출력 신호(2361-1, 2361-n)를 제 1 보간 신호(2357)에 결합하도록 구성된 제 1 노드(2362)를 포함한다.

[0993] 제 2 복수의 보간 셀(2370-1,..., 2370-n)은 입력으로서 제 3 신호(2353) 및 제 4 신호(2354)를 수신하도록 구성된다. 제 1 복수의 보간 셀(2360-1,..., 2360-n)과 유사하게, 제 2 복수의 보간 셀(2370-1,..., 2370-n) 중 적어도 하나는, 제어 워드(2355)에 기초하여, 제 3 신호(2353) 및 제 4 신호(2354) 중 적어도 하나를 각각의 셀 출력 신호(2371-1,..., 2371-n)로서 제공하도록 구성된다. 일부 예에서, 제 2 복수의 보간 셀(2370-1, ..., 2370-n)의 각각은, 제어 워드(2355)에 기초하여, 제 3 신호(2353) 및 제 4 신호(2354) 중 적어도 하나를 각각의 셀 출력 신호(2371-1,..., 2371-n)로서 제공한다.

[0994] 제 2 노드(2372)는 제 2 복수의 보간 셀(2370-1, ..., 2370-n)에 결합되고 제 2 복수의 보간 셀(2370-1, ..., 2370-n)의 셀 출력 신호(2371-1, ..., 2371-n)를 제 2 보간 신호(2358)에 결합하도록 구성된다.

[0995] 도 23d에서 시사된 바와 같이, 제 1 신호(2351) 및 제 2 신호(2352)는 제 2 보간 신호(2358)에 기초하는 반면, 제 3 신호(2353) 및 제 4 신호(2354)는 제 1 보간 신호(2357)에 기초한다.

[0996] DTC(2350)는 제 1 보간 신호(2357) 및 제 2 보간 신호(2358)를 출력 신호(2359)에 결합하도록 구성된 로직 회로(2388)(예를 들어, 도 23d에 도시된 바와 같은 XOR 게이트)를 더 포함한다.

[0997] DTC(2300, 2330 및 2340)와 유사하게, 두 개의 복수의 보간 셀의 입력은 각각의 보간 신호를 다른 복수의 보간 셀에 결합하기 때문에 동일한 시간 그리드를 나타낸다. 따라서, 출력 신호(2359)가 변경되는 경우에만 제어 워드(2355)를 업데이트하는 것으로 충분할 수 있다. DTC(2300 및 2330)와 비교하여, 출력 신호(2359)의 레이트는 두 개의 복수의 보간 셀의 루프 결합으로 인해 두 배가 될 수 있다.

[0998] 각각의 보간 신호(2357 및 2358)에 기초하여 제 1 신호(2351), 제 2 신호(2352), 제 3 신호(2353) 및 제 4 신호(2354)를 생성하기 위해, DTC(2350)는 위에서 설명된 DTC(2330)와 유사한 NAND 게이트(2381, 2382, 2383 및 2384)를 포함한다. NAND 게이트(2381, 2382, 2383 및 2384)는 또한 리셋 신호(2356)에 기초하여 출력 신호(2359)를 리셋하게 할 수 있다.

[0999] 제 1 NAND 게이트(2381)는 제 2 보간 신호(2358) 및 리셋 신호(2356)를 수신하도록 구성된다. 제 2 보간 신호(2358) 및 리셋 신호(2356)의 각각의 로직 레벨의 비교에 기초하여, 제 1 NAND 게이트(2381)는 제 1 신호(2351)를 생성하고 이것을 제 1 복수의 보간 셀(2360-1,...,2360-n)에 공급한다. 또한, 제 1 지연 회로(2385)는 제 1 NAND 게이트(2381)에 병렬로 결합되고 제 2 보간 신호(2358)를 지연하도록 구성된다. 제 2 NAND 게이트(2382)는 제 1 지연 회로(2385)에 직렬로 결합되고 지연된 제 2 보간 신호 및 리셋 신호(2305)를 수신하도록 구성된다. 또한, 제 2 NAND 게이트(2382)는 지연된 제 2 보간 신호 및 리셋 신호(2305)의 각각의 로직 레벨의 비교에 기초하여 제 2 신호(2352)를 생성하도록 구성된다. 제 2 NAND 게이트(2382)는 제 2 신호(2352)를 제 1 복수의 보간 셀(2360-1, ..., 2360-n)에 공급한다.

[1000] 유사하게, 제 3 NAND 게이트(2383)는 제 1 보간 신호(2357) 및 리셋 신호(2356)를 수신하도록 구성된다. 제 1 보간 신호(2357) 및 리셋 신호(2356)의 각각의 로직 레벨의 비교에 기초하여, 제 3 NAND 게이트(2383)는 제 3 신호(2353)를 생성하고 이것을 제 2 복수의 보간 셀(2370-1, ..., 2370-n)에 공급한다. 또한, 제 2 지연 회로(2386)는 제 3 NAND 게이트(2383)에 병렬로 결합되고 제 1 보간 신호(2357)를 지연하도록 구성된다. 제 4 NAND 게이트(2384)는 제 2 지연 회로(2386)에 직렬로 결합되고 지연된 제 1 보간 신호 및 리셋 신호(2305)를 수신하도록 구성된다. 또한, 제 4 NAND 게이트(2384)는 지연된 제 1 보간 신호 및 리셋 신호(2305)의 각각의 로직 레벨의 비교에 기초하여 제 4 신호(2354)를 생성하도록 구성된다. 제 4 NAND 게이트(2384)는 제 4 신호

(2354)를 제 2 복수의 보간 셀(2370-1, ..., 2370-n)에 공급한다.

[1001] 일부 예에서, NAND 게이트는 위에서 설명한 DTC(2300)와 유사한 인버터 회로로 대체될 수 있다. 즉, DTC(2350)는 대안적으로 제 2 보간 신호(2358)를 수신하고 반전된 제 2 보간 신호를 제 1 신호(2352)로서 제 1 복수의 보간 셀(2360-1, ..., 2360-n)에 공급하도록 구성된 제 1 인버터 회로를 포함할 수 있다. 또한, DTC(2350)는 지연된 제 2 보간 신호를 수신하고 반전된 지연된 제 2 보간 신호를 제 2 신호(2352)로서 제 1 복수의 보간 셀(2360-1,..., 2360-n)에 공급하도록 구성된 제 2 인버터 회로를 포함할 수 있다. 유사하게, DTC(2350)는 제 1 보간 신호(2357)를 수신하고 반전된 제 1 보간 신호를 제 3 신호(2353)로서 제 2 복수의 보간 셀(2370-1, ..., 2370-n)에 공급하도록 구성된 제 3 인버터 회로를 포함할 수 있다. DTC(2350)의 제 4 인버터 회로는 지연된 제 1 보간 신호를 수신하고 반전된 지연된 제 1 보간 신호를 제 4 신호(2354)로서 제 2 복수의 보간 셀(2370-1,..., 2370-n)에 공급하도록 구성된다.

[1002] 도 23a 내지 도 23d와 관련하여 위에서 설명된 DTC는 다양한 전자 디바이스 및 애플리케이션 내에서 사용될 수 있다. 예를 들어, DTC는 통신 인터페이스에 사용될 수 있다. 도 23e는 데이터 신호(2394)를 생성하기 위한 장치(2390)의 대응하는 예를 도시한다.

[1003] 장치(2390)는 도 23a 및 도 23d와 관련하여 위에서 설명한 바와 같은 DTC(2391)를 포함한다. DTC(2391)는 송신될 데이터(2393)에 기초하여 데이터 신호(2394)를 그의 출력 신호로서 생성하도록 구성된다. 데이터 신호(2394)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 따라서, DTC의 제어 워드는 송신될 제 1 데이터 및 송신될 제 2 데이터에 기초하여 생성된다. 예를 들어, 제 1 데이터는 제 1 데이터 심볼이고 제 2 데이터는 STEP 프로토콜과 같은 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼일 수 있다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[1004] 또한, 장치(2390)는 데이터 신호(2394)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(2392)를 포함한다.

[1005] 장치(2390)는 감소된 전력 및 높은 정밀도로 데이터 신호(2394)를 생성할 수 있게 할 수 있다.

[1006] 송신 링크를 통한 차동 신호 송신을 가능하게 하기 위해, 장치(2390)는 또한 도 23a 내지 도 23d와 관련하여 위에서 설명한 바와 같은 제 2 DTC(2395)를 포함할 수 있다. 제 2 DTC(2395)는 송신될 데이터(2393)에 기초하여 제 2 데이터 신호(2396)를 생성하도록 구성되며, 여기서 제 2 데이터 신호(2396)는 데이터 신호(2394)에 대해 반전된다. 대안적으로, DTC(2394)는 제 2 DTC(2395)가 생략될 수 있도록 또한 제 2 데이터 신호(2396)를 생성하도록 구성될 수 있다.

[1007] 절전할 수 있게 할 수 있는 DTC의 추가 특징은 DTC 분해능이다. 예를 들어, STEP 프로토콜에 따른 통신 인터페이스와 같은 신호 생성 애플리케이션에서, 미리 정의된 한 세트의 변조 단계만 사용된다(데이터 신호에서 바로 잇따른 신호 에지 사이의 미리 정의된 기간만 사용된다). 그러나 종래의 DTC는 균일하며 링크 예산에 필요한 최대 분해능으로 전체 범위를 감당한다. 종래의 DTC는 전형적으로 비트의 이진수(2^N)의 균일한 분해능을 갖는다. 그러나 위에서 설명한 바와 같이, STEP 프로토콜과 같은 통신 프로토콜은 몇 개의 이산적인 변조 단계의 생성만을 요구할 수 있다. 따라서, 실제로는 몇 개의 코드 설정만 사용된다.

[1008] 도 24a는 요구된 변조 단계를 정확하게 그리고 감소된 (최소) 디코딩으로 생성하게 할 수 있는 간단한 회로 설계를 나타내는 개선된 DTC(2400)를 도시한다.

[1009] DTC(2400)는 송신될 데이터를 인코딩하기 위해 데이터 신호(2402)에서 바로 잇따른 신호 에지 사이에서 복수의 가능한 기간을 정의하는 통신 프로토콜에 따른 데이터 신호(2402)를 생성하기 위한 DTC이다. 복수의 가능한 기간은 오프셋 시간만큼 서로 오프셋된다. 예를 들어, 통신 프로토콜은 STEP 프로토콜일 수 있다.

[1010] DTC(2400)는 발진 신호(2401)를 수신하도록 구성된 입력 회로(2410)를 포함한다. 예를 들어, 입력 회로(2410)는 발진 신호(2401)를 생성하는 PLL 또는 다른 주파수 신시사이저(synthesizer)(도시되지 않음)에 결합될 수 있다. 일부 예에서, 발진 신호(2401)는 위에서 설명한 바와 같이 데이터 신호(2402)에 기초할 수 있다.

[1011] 또한, DTC(2400)는 발진 신호(2401)에 기초하여 데이터 신호(2402)를 생성하도록 구성된 신호 생성 회로(2420)를 포함한다. 신호 생성 회로(2420)는 발진 신호(2401)에서 발진 사이클의 신호 에지로부터 (통신 프로토콜에서 정의된 바와 같이) 오프셋 시간의 정수배만큼 때맞게 오프셋된 위치에서 데이터 신호(2402)에서 신호 에지만을 생성할 수 있다.

[1012] 이것은 STEP 프로토콜에 따른 예시적인 데이터 신호(2402)에 대해 도 24b에 도시되어 있다. 도 24b의 예에서, STEP 프로토콜은 뒤에 오는 신호 에지 사이의 데이터를 인코딩하기 위해 8개의 서로 다른 가능한 기간(심볼 폭)(T_0 내지 T_7)을 사용한다고 가정한다. 도 24b로부터 알 수 있는 바와 같이, 8개의 가능한 기간은 오프셋 시간(ΔT)(심볼 분리 시간(ΔT))만큼 서로 오프셋되어 있다. 또한, 도 24b는 예시적인 발진 신호(2401)를 도시한다. 도 24b로부터, 발진 신호(2401)의 발진 사이클에는 단지 5개의 가능한 기간(펄스 폭)만 존재한다는 것을 알 수 있다. 오프셋 시간(ΔT)은 발진 신호(2401)의 발진 기간(2406)의 정수 분율(integer fraction)이다. 즉, STEP 프로토콜에 따른 변조는 발진 신호(2401')의 발진 사이클을 정수로 나눈 것으로 (도 24b의 예에서는 5로 나눈 것으로) 이해될 수 있다.

[1013] 따라서, 발진 신호(2401)에서 발진 사이클(2406)의 신호 에지(2405)로부터 오프셋 시간(ΔT)의 정수 배(0, 1, 2, 3, 4, 5, 6, 7)만큼 때맞게 오프셋된 위치에서 데이터 신호(2402)에서 신호 에지를 생성할 수 있을 뿐인 신호 생성 회로(2420)는 STEP 프로토콜에 따라 바로 잇따른 신호 에지 사이의 모든 가능한 기간을 생성하기에 충분하다.

[1014] 선택된 펄스 폭만을 생성할 수 있는 신호 생성 회로(2420) 때문에 (신호 생성 회로(2420)는 링크 예산에 필요한 최대 분해능을 발휘하지 않기 때문에), 신호 생성 회로(2420)는 종래의 DTC에 비해 더 간단한 설계를 나타낼 수 있다. 따라서, DTC(2400)에 요구된 반도체 다이 영역뿐만 아니라 DTC(2400)의 전력 소비는 종래의 DTC에 비해 감소될 수 있다.

[1015] 신호 생성 회로(2420)는 제어 워드(2403)에 기초하여 데이터 신호(2402)에서 신호 에지를 생성하도록 구성된다. 디지털-시간 변환기(2400)는 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 데이터(2404)에 기초하여 제어 워드(2403)를 생성하도록 구성된 제어 회로(2430)(예를 들어, 디코더와 같은 디지털 처리 회로)를 더 포함할 수 있다. 신호 생성 회로(2420)는 감소된 수의 펄스 폭만을 생성할 수 있기 때문에, 이에 따라 신호 생성 회로(2420)의 제어가 감소될 수 있다. 그러므로 제어 회로(2430)는 신호 발생 회로(2420)로 하여금 발진 신호(2402)에서 발진 사이클의 신호 에지로부터 오프셋 시간의 정수배만큼 때맞게 오프셋된 위치에서 데이터 신호(2402)에서 신호 에지를 생성하게 하는 제어 워드만을 생성할 수 있다. 다시 말해, 가능한 DTC 상태의 수를 감소시키는 것은 제어 워드의 수를 감소시키게 할 수 있다. 가능한 제어 워드의 수를 감소시킴으로써, 제어 회로(2430)에 요구된 반도체 다이 영역뿐만 아니라 전력이 절약될 수 있다.

[1016] 다시 말해, DTC(2400)는 통신 프로토콜의 변조 요건에 맞추어진다. DTC 및 제어 장치의 요소를 감소시킴으로써, DTC의 아날로그 및 디지털 부품에서 절전될 수 있다.

[1017] 종래의 DTC는 이진 분해능을 나타내지만(예를 들어, 2의 배수인 다수의 가능한 제어 워드를 사용하지만), 제어 회로(2430)가 생성할 수 있는 가능한 제어 워드의 수는 2의 배수가 아닌 수일 수 있다. 도 24b에 도시된 바와 같이, 5개의 코드 워드이면 통신 프로토콜에서 정의된 8개의 가능한 기간(펄스 폭)을 생성하기에 충분할 수 있다. 즉, 제어 회로(2430)가 생성할 수 있는 가능한 제어 워드의 수는 통신 프로토콜에서 정의된 복수의 가능한 기간의 수보다 적을 수 있다. 다시 말해, 통신 프로토콜에서 정의된 복수의 가능한 기간의 수는 발진 신호(2401)의 발진 기간(2406) 대 오프셋 시간(ΔT)의 비율보다 클 수 있다. 따라서, (발진 신호의 신호 에지(2405)로부터 데이터 신호(2402)에서 신호 에지의 시간 오프셋을 정의하는) 정수 배수의 최대 값은 발진 신호(2401)의 발진 기간(2406) 대 오프셋 시간(ΔT)의 비율과 동일할 수 있다.

[1018] 다른 시간 인코딩된 통신 프로토콜 외에도, DTC(2400)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. DTC(2400)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(2402)를 생성하도록 구성된다. 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 통신 프로토콜에 따라 송신될 제 1 데이터에 대응하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간은 통신 프로토콜에 따라 송신될 제 2 데이터에 대응한다. 예를 들어, 제 1 데이터는 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 제 1 데이터 심볼이고 제 2 데이터는 송신될 제 2 데이터 심볼일 수 있다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나,

또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[1019] 그러므로 DTC(2400)는 미리 정해진 수의 펄스 폭만을 이용하는 STEP 프로토콜에 따른 통신을 위한 저전력 아날로그 및 디지털 DTC로서 이해될 수 있다.

[1020] 차동 신호 송신을 가능하게 하기 위해, 일부 예에서, DTC(2400)는 또한 데이터 신호(2402)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다.

[1021] 위의 설명은 DTC에 초점을 맞추었지만, 다음의 설명은 전자 회로의 전력 공급과 관련된 일부 양태에 초점을 맞출 것이다. 회로의 전류 프로파일은 처리된 데이터에 의해 영향을 받을 수 있다. 예를 들어, 회로의 전류 소비는 회로가 현재 처리하는 데이터에 따라 달라질 수 있다. 따라서, 전류 소비의 변동은 높은 (데이터) 레이트로 동작하는 회로의 경우 높을 수 있다. 도 25a는 DTC의 전류 프로파일의 예를 도시한다. 라인(2598)은 TDC의 전류 소비의 시간 추이를 나타낸다. 참고로, 라인(2599)는 TDC에 입력된 데이터 신호의 시간 추이를 나타낸다. 도 25a로부터 알 수 있는 바와 같이, TDC의 전류 소비는 데이터 신호에서 신호 에지 발생시 스파이크를 보여준다. 이것은 TDC의 샘플링 서브 회로(예를 들어, 복수의 플립 플롭 회로)에서 데이터 신호의 샘플링으로 인한 것이다. 이어서, TDC의 지연 서브 회로(예를 들어, 복수의 지연 셀을 포함하는 지연 라인)를 통한 신호 에지의 전파로 인해 전류 소비는 증가된 레벨로 유지된다. 짧은 신호 펄스는 긴 신호 펄스보다 더 높은 전류 스파이크(예를 들어, 더 높은 전류 소비 피크/진폭)를 야기할 수 있다는 것이 발견되었다. 또한, TDC에 입력되는 하이 레이트 (높은 주파수) 신호는 전류 변화를 하이 레이트로 유발할 수 있다.

[1022] TDC의 전류 소비의 데이터 의존적 변동의 영향이 도 25b에 도시된다. 도 25b의 라인(2597)은 TDC에 전기 에너지를 공급하는 종래의 전력 공급 장치(예를 들어, LDO 레귤레이터)의 공급 전압을 나타낸다. 도 25b로부터 알 수 있는 바와 같이, 공급 전압은 TDC 전류 소비의 데이터 의존적 변동으로 인해 변동한다. 이것은 TDC의 전류 소비의 변동의 대역폭보다 낮은 종래의 전력 공급 장치의 제한된 대역폭으로 인한 것이다. 공급 전압의 변동은 TDC의 지연 서브 회로의 지연(예를 들어, 지연 라인에 있는 지연 셀의 지연)을 변화시켜 TDC 입력 신호의 적분된 지연이 잘못 계산되게 한다. 따라서, TDC의 출력(판독)이 잘못될 수 있다.

[1023] 많은 다른 전자 회로의 경우 전류 소비의 변동에 의해 야기되는 변동하는 공급 전압으로 인한 부합하는 부정적인 영향이 발생할 수 있다. 예를 들어, DTC에 의해 클록 주파수를 분할 및/또는 보간함으로써 펄스를 생성할 때, DTC의 전류 프로파일은 펄스 생성 레이트/생성된 펄스의 펄스 폭(예를 들어, 3 GHz 및 6 GHz 생성 레이트마다 상이한 프로파일)에 의해 영향을 받는다. 공급 전압의 변동은 예를 들어 DTC의 보간 점을 이동시킬 수 있고 따라서 생성된 펄스의 폭을 변경시킬 수 있다.

[1024] 또한, 공급 변동에 민감한 TDC 또는 DTC와 같은 회로는 자체 발생 공급 잡음(예를 들어, 회로 활동이 있는 전력 공급 장치의 변조로 인해 야기된 잡음)으로 인해 성능 저하를 나타낼 수 있다. 그러므로 전자 회로를 위한 안정적인 공급이 바람직하다.

[1025] 도 25c는 데이터를 처리하는 전자 디바이스(2510)에 안정적인 전력을 공급하게 할 수 있는 전압을 조절하기 위한 장치(2500)의 예를 도시한다. 전압 소스(예를 들어, LDO 레귤레이터 또는 DC-DC 변환기)는 공급 라인(2515)을 통해 전자 디바이스(2520)에 공급 전압을 공급한다.

[1026] 장치(2500)는 공급 라인(2515)에 결합하도록 구성된 적어도 하나의 노드(2506)를 포함하고, 노드(2506)에 결합된 변조 회로(2505)를 더 포함한다. 변조 회로(2505)는 전자 디바이스(2520)에 의해 처리된 데이터에 관한 정보(2501)에 기초하여 공급 전압을 변조하도록 구성된다.

[1027] 전자 디바이스(2520)에 의해 처리된 데이터에 관한 정보(2501)에 기초하여 공급 전압을 변조함으로써, 전자 디바이스(2520)를 위한 공급 전압이 안정화될 수 있다. 예를 들어, 변조 회로(2505)는 전자 디바이스(2520)에 의해 처리된 데이터에 관한 정보(2501)에 기초하여 추가 전하를 공급 라인(2515)에 공급하게 할 수 있다. 공급 전압에 대한 장치(2500)의 안정화 효과는 도 25d에 도시된다. 라인(2511)은 전자 디바이스(2520)를 위한 공급 전압의 시간 추이를 나타낸다. (장치(2500)를 사용하지 않는) 도 25b와 비교하여 도 25d에서 알 수 있는 바와 같이, 공급 전압은 실질적으로 시간에 걸쳐 일정하다. 다시 말해, 도 25b와 달리 공급 전압의 변동은 방지될 수 있다. 장치(2500)는 전자 디바이스(2510)의 안정적인 전력 공급을 가능하게 할 수 있으므로, 공급 변동으로 인한 전자 디바이스(2510)의 동작의 성능 저하는 적어도 완화되거나 심지어 방지될 수 있다.

[1028] 도 25e는 전자 디바이스를 위한 공급 전압을 조절하기 위한 장치(2530)의 보다 상세한 예를 도시한다. 공급 전압을 제공하는 전압 소스(2510)는 예시적으로 도 25e에서 LDO 레귤레이터로서 구현된다. 도 25e에서 시사된 바

와 같이, LDO 레귤레이터는 연산 증폭기(2512)를 포함할 수 있다. 연산 증폭기(2512)의 출력 전압(V_{LDO_out})은 전압 조절을 위해 연산 증폭기(2512)의 입력 중 하나에 피드백된다. 연산 증폭기(2512)에는 입력 전압(V_{LDO_in})이 공급된다. 또한, LDO 레귤레이터는 출력 커패시터(2513)를 포함한다. 그러나 일부 예에서, 출력 커패시터(2513)는 생략될 수 있다. 이와 같이, LDO 레귤레이터는 전압(V_{LDO_in})을 전자 디바이스에 필요한 공급 전압으로서 제공한다.

[1029] 장치(2530)는 노드(2506 및 2509)를 통해 전압 소스(2510) 및 전자 디바이스를 연결하는 공급 라인에 결합된다. 장치(2530)의 변조 회로(2505)는 전자 디바이스에 의해 처리된 (디지털 또는 아날로그) 데이터에 관한 정보(2501)에 기초하여 제어 신호를 생성하도록 구성된 제어 회로(2507)를 포함한다. 도 25e에서 시사되는 바와 같이, 제어 회로(2507)는 전압 소스(2510)에 의해 제공되는 공급 전압(V_{LDO_out})의 전류 값에 관한 정보에 더 기초하여 제어 신호를 생성할 수 있다. 예를 들어, 제어 회로(2507)(또는 옵션의 추가 회로)는 전압 소스(2510)에 의해 제공되는 공급 전압(V_{LDO_out})을 샘플링할 수 있다.

[1030] 또한, 제어 회로(2507)는 데이터의 특정 조각(예를 들어, 데이터 심볼 또는 특정 길이의 펄스)를 처리하기 위해 전자 디바이스에 요구되는 전하/전압/전류에 관한 정보를 사용할 수 있다. 다시 말해, 제어 회로(2507)는 또한 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호를 생성하도록 구성될 수 있다. 예를 들어, 전자 디바이스에 의해 처리된 데이터는 통신 프로토콜(예를 들어, STEP 프로토콜)에 따른 적어도 하나의 데이터 심볼을 포함할 수 있다. 따라서, 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 예상된 전류 소비의 변동 중 하나 사이의 의존성에 관한 정보는 데이터 심볼을 처리하는 동안 전자 디바이스의 예상된 전류 소비에 관한 정보 또는 전자 디바이스가 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함할 수 있다.

[1031] 또한, 변조 회로(2505)는 전자 디바이스를 위한 변조된 공급 전압을 생성하기 위해 제어 신호에 기초하여 전압(V_{LDO_out})을 변조하는 변조기(2508)를 포함한다.

[1032] 따라서 변조 회로(2505)는 전자 디바이스를 위한 변조된 공급 전압이 특정 데이터 조각을 처리하기 위한 전자 디바이스에 의해 요구되는 전하/전압/전류를 반송하도록 전압 소스(2510)에 의해 제공되는 공급 전압(V_{LDO_out})을 변조할 수 있다. 따라서, 전자 디바이스를 위한 안정적인 전원 공급(예를 들어, 안정적인 DC 전압)이 가능해지므로 전자 디바이스의 동작의 공급 관련 왜곡이 방지될 수 있다.

[1033] 도 25f는 보다 상세한 (예시적인) 변조 회로를 도시하는, 전자 디바이스를 위한 공급 전압을 조절하기 위한 다른 장치(2540)를 도시한다. 도 25e에서와 같이, 전압 소스(2510)는 공급 전압(V_{LDO_out})을 전자 디바이스에 제공하는 LDO 레귤레이터로서 구현된다. 장치(2540)는 노드(2506)에 의해 전압 소스(2510)와 전자 디바이스 사이의 공급 라인에 결합된다.

[1034] 전자 디바이스에 의해 처리된 데이터에 관한 정보(2501)에 기초하여 공급 전압(V_{LDO_out})을 변조하기 위한 변조 회로는 전자 디바이스에 의해 처리된 데이터에 관한 정보(2501)에 기초하여 제어 신호(2504)를 생성하도록 구성된 제어 회로(2507)를 포함한다. 또한, 변조 회로는, 제어 신호(2504)에 기초하여, 충전된 용량성 요소(2502)를 공급 라인에 선택적으로 결합하도록 구성된 스위치 회로(2509)를 포함한다.

[1035] 위에서 설명한 바와 같이, 제어 회로(2507)는 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호(2504)를 생성하도록 구성될 수 있다. 예를 들어, 전자 디바이스에 의해 처리된 데이터가 적어도 하나의 데이터 심볼을 포함하면, 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 예상된 전류 소비의 변동 중 하나 사이의 의존성에 관한 정보는 데이터 심볼을 처리하는 동안 전자 디바이스의 예상된 전류 소비에 관한 정보 또는 전자 디바이스가 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함할 수 있다.

[1036] 따라서, 장치(2540)는 데이터 의존적 공급 전압 변조에 의해 전자 디바이스(예를 들어, DTC 또는 TDC)의 성능 열화를 극복하게 할 수 있다. 장치(2540)는 전력 공급과 처리된 데이터 사이의 관계에 관한 지식을 고려하여 충전 및 방전 개념으로 공급 변조를 다룬다. 위의 데이터 심볼 예를 다시 참조하면, 전자 디바이스에 의해 처리되는 각각의 심볼은 전자 디바이스에 의한 동작에 요구되는 특정 양의 전하로서 이해될 수 있다. 장치(254

0)는 이러한 정보를 사용하여 장치(2540)의 전류 소비 변동에 의한 공급 전압의 왜곡을 최소화한다. 따라서, 장치(2540)는 전자 디바이스를 위한 안정적인 DC 전압을 가능하게 할 수 있다.

[1037] 도 25f에서 시사된 바와 같이, 용량성 요소(2502)는 복수의 커패시터(2502-1, 2502-2, ...)를 포함할 수 있다. 도 25f에는 두 개의 커패시터만이 도시되지만, 임의의 수(예를 들어, 1, 2, 3, 4 이상)의 커패시터가 사용될 수 있다는 것을 유의해야 한다. 용량성 요소(2502)의 커패시터는 동일하거나 상이한 커패시턴스를 나타낼 수 있다. 예를 들어, 복수의 커패시터 중 제 1 커패시터는 제 1 커패시턴스를 포함할 수 있고, 복수의 커패시터 중 제 2 커패시터는 (상이한) 제 2 커패시턴스를 포함할 수 있다.

[1038] 따라서, 스위치 회로(2509)는 (도 25f에서 스위치(SW1 및 SW2)에 의해 표시된 바와 같이) 제어 신호(2504)에 기초하여 복수의 커패시터 중 다수 개를 선택적으로 공급 라인에 결합하도록 구성될 수 있다. 스위치 회로(2509)는 제어 신호(2504)에 기초하여 복수의 커패시터의 전부 또는 일부만을 공급 라인에 결합하도록 구성될 수 있다. 또한, 스위치 회로(2509)는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 (도 25f에 도시된 바와 같이) 공급 라인에 병렬로 또는 직렬로 선택적으로 결합하도록 구성될 수 있다.

[1039] 충전된 용량성 요소(2502) (및 그의 커패시터)는 공급 전압의 공칭 값과는 상이한 전압으로 충전될 수 있다. 예를 들어, 용량성 요소(2502)는 스위치 회로(2509)에 의해 변조 공급 전압(V_{sw_in})(공급 전압의 공칭 값과 상이함)에 결합될 수 있다.

[1040] 스위치 회로(2509) 및 용량성 요소(2502)는 예를 들어 디지털-아날로그 변환기(DAC)의 일부일 수 있다. DAC는 제어 회로(2507)로부터 제어 신호(2504)를 수신하고 그에 따라 복수의 (미리 충전된) 커패시터 중 다수 개를 공급 라인에 결합할 수 있다. 이러한 방식으로, DAC는 요구되는 전자 디바이스의 공급 전압을 추적하고 추가로 요구되는 전하를 전자 디바이스에 공급할 수 있다.

[1041] 다시 말해, 위에서 설명한 공급 변조는 DC 전압을 유지하고 각 이벤트/데이터에 요구되는 전하를 제공하기 위한 스위칭 커패시터를 추가하는 (낮은 대역폭 및 단순한 전원 레귤레이터의 예로서) 종래의 팔로어(follower) LDO 레귤레이터를 사용하게 할 수 있다.

[1042] 위에서 설명한 공급 변조는 전압 소스 용의 대형 출력 커패시터(예를 들어, LDO 레귤레이터의 대형 커패시터)를 사용하지 않고 전력 공급 변동을 감소시킬 수 있고, 따라서 상당한 양의 반도체 다이 영역을 절약할 수 있다.

[1043] 또한, 대형 커패시터로 인한 전압 소스(예를 들어 LDO 레귤레이터 또는 DC-DC 변환기)의 대역폭의 감소가 방지될 수 있다.

[1044] 공급 변조의 기본 원리가 위에서 설명되었지만, 다음에는 위에서 설명한 통신 장치를 위한 공급 변조의 두 개의 예시적인 사용 사례가 도 25g 및 도 25h와 관련하여 이하에서 설명될 것이다.

[1045] 도 25g는 통신 장치(2550)를 도시한다. 통신 장치(2550)는 데이터 신호(2571)를 생성하기 위한 장치(2570)를 포함한다. 데이터 신호(2571)를 생성하기 위한 장치(2570)는 데이터 신호(2571)를 생성하도록 구성된 처리 회로(2572)(예를 들어, DTC)를 포함한다. 처리 회로(2572)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(2571)를 생성하도록 구성된다. 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 통신 프로토콜에 따라 송신될 제 1 데이터(2551a)에 대응하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간은 통신 프로토콜에 따라 송신될 제 2 데이터(2551b)에 대응한다. 예를 들어, 제 1 데이터(2551a)는 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 제 1 데이터 심볼이고 제 2 데이터(2551b)는 송신될 제 2 데이터 심볼일 수 있다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 또한, 데이터 신호(2571)를 생성하기 위한 장치(2570)는 데이터 신호(2571)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(2573)를 포함한다.

[1046] 전압 소스(2510)(예를 들어, LDO 레귤레이터 또는 DC-DC 변환기)는 공급 라인(2515)을 통해 처리 회로(2572)에 결합되고 공급 전압을 처리 전압(2572)에 공급한다.

[1047] 또한, 통신 장치(2550)는 전압 소스(2510)로부터 처리 회로(2572)에 공급되는 공급 전압을 조절하기 위한 장치(2560)를 포함한다. 공급 전압을 조절하기 위한 장치(2560)는 공급 라인(2515)에 결합하도록 구성된 노드(2566)를 포함한다. 또한, 공급 전압을 조절하기 위한 장치(2560)는 노드(2566)에 결합된 변조 회로(2565)를 포함한다. 변조 회로(2565)는 제 1 데이터(2551a) 및 제 2 데이터(2551b)에 관한 정보에 기초하여 공급 전압을

변조하도록 구성된다.

[1048] 위에서 전자 디바이스에 대해 보다 일반적인 측면에서 설명한 것과 유사하게, 처리 회로(2572)의 전류 소비는 처리된 데이터에 기초하여 변동할 수 있다. 예를 들어, 처리 회로(2572)는 제 2 데이터(2551b)를 데이터 신호(2571)에 인코딩하기 위한 것보다는 제 1 데이터(2551a)를 데이터 신호(2571)에 인코딩하기 위한 상이한 양의 전류를 필요로 할 수 있다. 공급 전압을 조절함으로써, 공급 전압을 조절하기 위한 장치(2560)는 전압 소스(2510)에 의해 제공되는 공급 전압의 변동을 보상(완화/감소)하게 할 수 있다. 따라서, 낮은 대역폭의 종래의 LDO 레귤레이터 또는 종래의 DC-DC 컨버터가 전압 소스(2510)로서 사용될 수 있다. 더욱이, 전력 공급 변동으로 인한 처리 회로(2572)의 동작의 손상이 방지될 수 있다. 예를 들어, DTC가 처리 회로(2572)에 사용되면, 보간 점 이동 및 펄스 폭 편차(예를 들어, 너무 길거나 너무 짧은 제 1 및/또는 제 2 기간)가 방지될 수 있다. 다시 말해, 공급 전압을 조절하기 위한 장치(2560)는 데이터 신호(2571)의 높은 정확도를 보장할 수 있게 할 수 있다.

[1049] 일부 예에서, 처리 회로(2572)는 또한 데이터 신호(2571)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 즉, 처리 회로(2572)는 차동 쌍의 데이터 신호를 생성할 수 있다. 따라서, 출력 인터페이스 회로(2573)는 제 2 데이터 신호를 송신 링크로 출력하도록 구성될 수 있다.

[1050] 도 25c 내지 도 25f와 관련하여 위에서 설명된 것과 유사하게, 변조 회로(2565)는 예를 들어 제 1 데이터(2551a) 및 제 2 데이터(2551b)에 관한 정보에 기초하여 제어 신호를 생성하도록 구성된 제어 회로를 포함할 수 있다. 또한, 변조 회로(2565)는 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인(2515)에 결합하도록 구성된 스위치 회로를 포함할 수 있다.

[1051] 되풀이하면, 처리된 데이터와 처리 회로(2572)의 전력 소비 사이의 의존성에 관한 정보는 공급 전압의 변조를 위해 사용될 수 있다. 즉, 제어 회로는 제 1 데이터(2551a)(및/또는 제 2 데이터(2551b))와 공급 전압의 예상된 변동 및 전자 디바이스의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호를 생성하도록 구성될 수 있다. 예를 들어, 제 1 데이터(2551a)가 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 제 1 데이터 심볼이고, 제 2 데이터(2551b)가 제 2 데이터 심볼이면, 제 1 데이터(2551a)와 공급 전압의 예상된 변동 및 처리 회로(2572)의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 처리 회로(2572)가 제 1 데이터 심볼을 처리하는 동안 처리 회로(2572)의 전류 소비의 예상된 변동에 관한 정보 또는 처리 회로(2572)가 제 1 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함할 수 있다.

[1052] 제 1 데이터(2551a)(및/또는 제 2 데이터(2551b))와 공급 전압의 예상된 변동 및 처리 회로(2572)의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는, 예를 들어, 공장 교정에 기초할 수 있다. 다시 말해, 처리된 데이터와 처리 회로(2572)의 전력 소비 사이의 의존성에 관한 정보는 공장/실험실 측정에 기초할 수 있고 초기에 변조 회로(2565)(예를 들어 전용 메모리 또는 제어 회로)에 저장될 수 있다.

[1053] 일부 예에서, 변조 회로(2565)(예를 들어, 제어 회로)는 또한 제 1 데이터(2551a)(및/또는 제 2 데이터(2551b))와 공급 전압의 예상된 변동 및 데이터 신호(2571)의 수신자로부터 인터페이스 회로(2575)에 의해 수신된 교정 정보(calibration information)에 기초하여 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보를 업데이트하도록 구성될 수 있다. 예를 들어, 교정 정보는 데이터 신호(2571)에서 측정된 지터에 기초할 수 있다. 교정 정보는 예를 들어 데이터 신호(2571)의 비트 에러 레이트(Bit-Error-Rate)(BER)일 수 있다.

[1054] 다시 말해, 최소 펄스 왜곡에 도달하기 위해 교정 흐름이 실행될 수 있다. 교정 흐름은 (예를 들어, 디지털 보상 블록으로서 구현된) 공급 전압을 조절하기 위한 장치(2560)와 최소 BER을 달성하는 송신된 데이터 사이의 관계를 만들게 할 수 있다. 대안적으로, 랜덤 데이터에 대한 공급 거동이 (예를 들어 고속 ADC를 사용하여) 판독될 수 있고 데이터 신호의 대응하는 BER이 측정될 수 있다.

[1055] 도 25c 내지 도 25f와 관련하여 위에서 설명한 바와 같이, 변조 회로(2565)에서도, 충전된 용량성 요소는 공급 전압의 공칭 값과 상이한 전압으로 충전될 수 있다. 또한, 용량성 요소는 동일하거나 상이한 커패시턴스를 나타내는 복수의 커패시터를 포함할 수 있다. 예를 들어, 복수의 커패시터 중 제 1 커패시터는 제 1 커패시턴스를 포함할 수 있고, 복수의 커패시터 중 제 2 커패시터는 (상이한) 제 2 커패시턴스를 포함한다. 공급 전압을 조절하기 위한 장치(2560)에 의해 처리 회로(2572)에 추가로 공급되는 전하를 조정하기 위해, 스위치 회로는 제어 신호에 기초하여 다수의 커패시터 중 다수 개를 선택적으로 공급 라인(2515)에 결합하도록 구성될 수 있다.

되풀이하면, 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 선택적으로 병렬로 또는 직렬로 결합하도록 구성될 수 있다. 스위치 회로 및 용량성 요소는 예를 들어 DAC의 일부일 수 있다.

[1056] 일부 예에서, 변조 회로는 또한 공급 변조를 위해 선행 데이터의 처리를 고려할 수 있다. 예를 들어, 변조 회로(2565)는 송신될 제 3 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성될 수 있다. 제 3 데이터는 제 1 데이터(2551a)의 앞에 온다. 처리 회로(2572)에 의해 처리되는 선행 데이터도 고려함으로써, 공급 전압을 처리 회로(2572)의 요건에 적응시키는 정확도가 더 증가될 수 있다.

[1057] 도 25g에 도시된 통신 장치(2550)는 송신 신호의 생성에 초점을 맞추었지만, 도 25h는 신호 수신에 초점을 맞춘 통신 장치(2580)를 도시한다.

[1058] 통신 장치(2580)는 데이터 신호(2591)를 생성하기 위한 장치(2590)를 포함한다. 데이터 신호(2591)를 디코딩하기 위한 장치(2590)는 데이터 신호(2591)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(2592)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 예를 들어, 데이터 신호(2591)는 통신 장치(2580)의 인터페이스 회로(도시되지 않음)에 의해 송신 링크로부터 수신될 수 있다.

[1059] 또한, 데이터 신호(2591)를 디코딩하기 위한 장치(2590)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터(2594a)를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터(2594b)를 결정하도록 구성된 복조 회로(2593)를 포함한다. 즉, 처리 회로(2297) 및 복조 회로(2293)는 데이터 신호(2591)로 인코딩된 데이터를 복구한다. 예를 들어, 제 1 데이터(2594a)는 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신될 제 1 데이터 심볼이고 제 2 데이터(2594b)는 송신될 제 2 데이터 심볼일 수 있다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[1060] 전압 소스(2510)(예를 들어, LDO 레귤레이터 또는 DC-DC 변환기)는 공급 라인(2515)을 통해 처리 회로(2592)에 결합되고 공급 전압을 처리 전압(2592)에 공급한다.

[1061] 또한, 통신 장치(2580)는 전압 소스(2510)로부터 처리 회로(2592)에 공급되는 공급 전압을 조절하기 위한 장치(2560)를 포함한다. 공급 전압을 조절하기 위한 장치(2560)는 공급 라인(2515)에 결합하도록 구성된 노드(2566)를 포함한다. 또한, 공급 전압을 조절하기 위한 장치(2560)는 노드(2566)에 결합된 변조 회로(2565)를 포함한다. 변조 회로(2565)는 처리 회로(2592)에 의한 제 2 신호 에지(2595)의 결정에 응답하여 공급 전압을 변조하도록 구성된다. 예를 들어, 변조 회로(2565)는 제 1 데이터(2594a)에 관한 정보에 기초하여 공급 전압을 변조하도록 구성될 수 있다. 대안적으로, 변조 회로(2565)는 제 1 데이터(2954a)에 관한 정보와 무관하게 공급 전압을 변조하도록 구성될 수 있다(예를 들어, 변조의 정도는 제 1, 제 2 또는 추가 데이터와 무관하다).

[1062] 위에서 전자 디바이스에 대해 보다 일반적인 측면에서 설명한 것과 유사하게, 처리 회로(2572)의 전류 소비는 데이터 신호(2591)에서 펄스의 폭에 기초하여 변동할 수 있다. 예를 들어, 처리 회로(2572)는 데이터 신호(2591)에서 제 3 신호 에지를 결정하기 위한 것보다는 데이터 신호(2591)에서 제 2 신호 에지를 결정하기 위해 상이한 양의 전류를 필요로 할 수 있다. 공급 전압을 변조함으로써, 공급 전압을 조절하기 위한 장치(2560)는 전압 소스(2510)에 의해 제공되는 공급 전압의 변동을 보상(완화/감소)하게 할 수 있다. 따라서, 낮은 대역폭의 종래의 LDO 레귤레이터 또는 종래의 DC-DC 컨버터가 전압 소스(2510)로서 사용될 수 있다. 더욱이, 전력 공급 변동으로 인한 처리 회로(2592)의 동작의 손상이 방지될 수 있다. 예를 들어, TDC가 처리 회로(2592)에 사용되면, 지연 셀의 지연의 변화가 방지되고 이에 따라 통합 지연의 잘못된 계산 및 잘못된 판독이 방지될 수 있다.

[1063] 위에서 설명한 바와 같이, 공급 변조는 (처리 회로(2592)에 의한 제 2 신호 에지(2595)의 결정에 응답하여 공급 전압을 변조하기 위해 제 1 데이터(2954a)에 관한 정보를 고려하는) 폐쇄 루프일 수 있거나, 또는 (제 1 데이터(2954a)에 관한 정보와 무관하게 처리 회로(2592)에 의한 제 2 신호 에지(2595)의 결정에 응답하여 공급 전압을 변조하는) 개방 루프일 수 있다. 예를 들어, 폐쇄 루프 구현에서, 제 2 신호 에지(2595)의 결정에 응답하여 공급 전압을 조절하기 위한 장치(2560)에 의해 처리 회로(2592)에 공급되는 전하의 양은 제 1 데이터(2954a)(예를 들어, 그것이 나타내는 심볼의 타입)에 기초하여 선택될 수 있다. 대안적으로, 개방 루프 구현에서, 제 2 신호 에지(2595)의 결정에 응답하여 공급 전압을 조절하기 위한 장치(2560)에 의해 처리 회로(2592)에 공급되는 전하

의 양은 일정한(미리 정의된) 양일 수 있다.

[1064] 일부 예에서, 처리 회로(2592)는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로(2592)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다. 즉, 처리 회로는 차동 쌍의 데이터 신호에 기초하여 신호 에지를 결정할 수 있다.

[1065] 도 25c 내지 도 25f와 관련하여 위에서 설명된 것과 유사하게, 변조 회로(2565)는 예를 들어 처리 회로(2592)에 의한 제 2 신호 에지(2595)의 결정에 응답하여 제어 신호를 생성하도록 구성된 제어 회로를 포함할 수 있다. 제어 회로는 제 1 데이터(2594a)에 관한 정보에 기초하여(폐쇄 회로) 또는 제 1 데이터(2594a)에 관한 정보와 무관하게(개방 루프) 제어 신호를 생성하도록 구성될 수 있다. 또한, 변조 회로(2565)는 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인(2515)에 결합하도록 구성된 스위치 회로를 포함할 수 있다.

[1066] 폐쇄 루프 구현에서, 데이터 신호(2591)(예를 들어, 데이터 신호(2591)의 펄스 폭)에 인코딩된 데이터와 처리 회로(2592)의 전력 소비 사이의 의존성에 관한 정보는 공급 전압의 변조를 위해 사용될 수 있다. 즉, 제어 회로는 제 1 데이터(2594a)(데이터 신호(2951)에서 제 1 및 제 2 신호 에지 사이의 기간)와 공급 전압의 예상된 변동 및 처리 회로(2572)의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호를 생성하도록 구성될 수 있다. 예를 들어, 제 1 데이터(2551a)가 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 송신된 제 1 데이터 심볼이고, 제 2 데이터(2551b)가 제 2 데이터 심볼이면, 제 1 데이터(2551a)와 공급 전압의 예상된 변동 및 처리 회로(2572)의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 처리 회로(2572)가 제 1 데이터 심볼을 처리하는 동안(예를 들어 데이터 신호(2591)에서 제 1 및/또는 제 2 신호 에지를 결정하는 동안) 처리 회로(2572)의 전류 소비의 예상된 변동에 관한 정보 또는 처리 회로(2572)가 제 1 데이터 심볼을 처리하는 동안(예를 들어 제 1 데이터(2951)에서 제 1 및/또는 제 2 신호 에지를 결정하는 동안) 공급 전압의 예상된 변동에 관한 정보를 포함할 수 있다.

[1067] 되풀이하면, 제 1 데이터(2594a)와 공급 전압의 예상된 변동 및 처리 회로(2592)의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 공장 교정에 기초할 수 있다. 다시 말해, 데이터 신호(2591)에 인코딩된 데이터와 처리 회로(2592)의 전력 소비 사이의 의존성에 관한 정보는 공장/실험실 측정에 기초할 수 있고 초기에 변조 회로(2565)(예를 들어 전용 메모리 또는 제어 회로)에 저장될 수 있다.

[1068] 일부 예에서, 변조 회로(2565)(예를 들어, 제어 회로)는 또한 제 1 데이터(2594a)와 공급 전압의 예상된 변동 및 데이터 신호(2591)를 디코딩하기 위한 장치(2590)에 의해 데이터 신호(2591)로부터 도출된 교정 정보에 기초하여 처리 회로(2592)의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보를 업데이트하도록 구성될 수 있다. 예를 들어, 교정 정보는 데이터 신호(2591)에서 측정된 지터에 기초할 수 있다. 교정 정보는 예를 들어 데이터 신호(2591)의 BER일 수 있다.

[1069] 도 25c 내지 도 25f와 관련하여 위에서 설명한 바와 같이, 변조 회로(2565)에서도, 충전된 용량성 요소는 공급 전압의 공칭 값과 상이한 전압으로 충전될 수 있다. 또한, 용량성 요소는 동일하거나 상이한 커패시턴스를 나타내는 복수의 커패시터를 포함할 수 있다. 예를 들어, 복수의 커패시터 중 제 1 커패시터는 제 1 커패시턴스를 포함할 수 있고, 복수의 커패시터 중 제 2 커패시터는 (상이한) 제 2 커패시턴스를 포함한다. 공급 전압을 조절하기 위한 장치(2560)에 의해 처리 회로(2592)에 추가로 공급되는 전하를 조정하기 위해, 스위치 회로는 제어 신호에 기초하여 다수의 커패시터 중 다수 개를 선택적으로 공급 라인(2515)에 결합하도록 구성될 수 있다. 되풀이하면, 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 선택적으로 병렬로 또는 직렬로 결합하도록 구성될 수 있다. 스위치 회로 및 용량성 요소는 예를 들어 DAC의 일부일 수 있다.

[1070] 일부 예에서, 변조 회로(2565)는 또한 공급 변조를 위해 선행 데이터의 처리를 고려할 수 있다. 예를 들어, 변조 회로(2565)는 제 1 데이터(2594a)의 앞에 오는 데이터 신호(2591)에서 제 3 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성될 수 있다. 데이터 신호(2591)에 인코딩된 선행 데이터도 고려함으로써, 공급 전압을 처리 회로(2572)의 요건에 적응시키는 정확도가 더 증가될 수 있다.

[1071] 공급 전압 변조에 관한 위의 양태를 요약하기 위해, 공급 라인을 통해 전압 소스로부터 전자 디바이스에 공급된 공급 신호를 조절하기 위한 방법(2500i)의 예가 도 25i의 흐름도에 의해 도시된다. 방법(2500i)은 전자 디바이스에 의해 처리된 데이터에 관한 정보에 기초하여 공급 전압을 변조하는 단계(2502i)를 포함한다.

[1072] 방법(2500i)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 25c 내지 도 25f)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의

예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1073] 통신하기 위한 방법(2500j)의 예가 도 25j의 흐름도에 의해 도시된다. 방법(2500j)은 처리 회로를 사용하여 데이터 신호를 생성하는 단계(2502j)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 방법(2500j)은 제 1 데이터 및 제 2 데이터에 관한 정보에 기초하여 공급 라인을 통해 전압 소스로부터 처리 회로에 공급되는 공급 전압을 변조하는 단계(2504j)를 더 포함한다.

[1074] 방법(2500j)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 25g)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1075] 통신하기 위한 방법(2500k)의 다른 예가 도 25k의 흐름도에 의해 도시된다. 방법(2500k)은 처리 회로를 사용하여 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(2502k)를 포함한다. 또한, 방법(2500k)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계(2504k)를 포함한다. 방법(2500k)은 또한 처리 회로에 의한 제 2 신호 에지의 결정에 응답하여 공급 전압을 변조하는 단계(2506k)를 포함하며, 여기서 공급 전압은 공급 라인을 통해 전압 소스로부터 처리 회로로 공급된다. 방법(2500k)의 보다 세부 사항 및 양태는 제안된 기술 또는 위(예를 들어, 도 25h)에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1076] 도 25c 내지 도 25k와 관련하여 설명된 공급 변조는 폐쇄 루프 또는 개방 루프 공급 전압 변조 보정에 기초하여 STEP 프로토콜에 따른 통신에 사용되는 DTC 및/또는 TDC의 성능 저하를 방지하기 위한 시스템 접근법으로서 이해될 수 있다. 높은 대역폭 데이터 기반 전하 보상이 가능해질 수 있다. 다시 말해, STEP 프로토콜에 따른 통신을 위한 일부 주요 블록을 통한 왜곡 감소 메커니즘이 제안된다. 예를 들어, 낮은 전력 소비 및 더 나은 성능을 위해 느린 LDO 레귤레이터와 빠른 디지털 스위치드 커패시터의 하이브리드가 사용될 수 있다. 그러나 제안된 공급 변조는 또한 STEP 프로토콜에 따른 통신과 다른 애플리케이션에도 사용될 수 있다는 것을 유의해야 한다.

[1077] (예를 들어, STEP 프로토콜에 따른) 통신 인터페이스의 경우, 높은 데이터 송신 대역폭이 바람직하다. 예를 들어, 시간 인코딩된 데이터 신호의 경우, 심볼 간 간섭(ISI) 및 반사에 대한 면역성은 대역폭이 더 높은 경우에 개선될 수 있다. 또한, 입력/출력 인터페이스는 정전기 방전(ESD) 이벤트로부터 보호해야 한다. 종래의 ESD 보호 구조는 ESD 이벤트를 견딜 수 있고 따라서 상당히 높은 기생 커패시턴스를 송신 링크에 건네줄 수 있는 다이오드를 사용한다. 따라서, 종래의 ESD 보호 구조는 열악한 라인 매칭만을 나타내며 수신 측에서 낮은 슬루 레이트(slew rate)만 가능하게 하여, ISI를 증가시키고 수신 측을 반사에 보다 민감하게 만든다.

[1078] 다음에는 기생 커패시턴스를 감소하게 할 수 있는 ESD에 대비한 보호 회로(2600)가 도 26a와 관련하여 설명된다. 보호 회로(2600)는 차동 송신 링크의 제 1 송신 라인(2601)을 향한 제 1 입력(2610) 및 차동 송신 링크의 제 2 송신 라인(2602)을 향한 제 2 입력(2615)을 포함한다. 또한, 보호 회로(2600)는 제 1 송신 라인(2601)을 향한 제 1 출력(2620) 및 제 2 송신 라인(2602)을 향한 제 2 출력(2625)을 포함한다.

[1079] 제 1 쌍의 다이오드(2630)가 제 1 입력(2610)과 제 1 출력(2620) 사이에 결합된다. 유사하게, 제 2 쌍의 다이오드(2635)가 제 2 입력 다이오드(2615)와 제 2 출력(2625) 사이에 결합된다. 제 1 쌍의 다이오드(2630)는 제 1 입력(2610)과 접지 사이에 결합된 제 1 다이오드(2632)뿐만 아니라 제 1 입력(2610)과 공급 전압(2634) 사이에 결합된 제 2 다이오드(2633)를 포함한다. 유사하게, 제 2 쌍의 다이오드(2635)는 제 2 입력(2515)과 접지 사이에 결합된 제 3 다이오드(2637)뿐만 아니라 제 2 입력(2615)과 공급 전압(2634) 사이에 결합된 제 4 다이오드(2638)를 포함한다.

[1080] 제 1 저항성 요소(2640)가 제 1 쌍의 다이오드(2630)와 제 1 출력(2620) 사이에 결합된다. 제 2 저항성 요소(2645)가 제 2 쌍의 다이오드(2635)와 제 2 출력(2625) 사이에 결합된다. 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)는 제 1 송신 라인(2601) 및 제 2 송신 라인(2602)에 감쇠를 추가시킨다.

[1081] 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)는 제 1 및 제 2 송신 라인(2601, 2602) 상에서 높은 전류를 방지하게 할 수 있다. 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635)의 다이오드 크기는 종래의

구조에 비해 감소될 수 있다. 따라서, 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635) 각각의 기생 커패시턴스는 종래의 구조에 비해 감소될 수 있다. 따라서, 보호 회로(2600)에 의해 송신 라인(2601, 2602)에 건네지는 전체 커패시턴스가 감소될 수 있다. 예를 들어, 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635)의 각각의 다이오드는 250 fF(펨토 패럿), 200 fF, 150 fF, 100 fF, 90fF, 80 fF 또는 70 fF 미만의 커패시턴스를 나타낼 수 있다. 도 26a에서, 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635)의 커패시턴스는 커패시터(2631 및 2636)에 의해 예시된다.

[1082] 송신 라인(2601, 2602)을 통해 반송된 신호의 진폭에 실질적으로 민감하지 않은 회로/애플리케이션의 경우, 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)에 의해 제 1 송신 라인(2601) 및 제 2 송신 라인(2602)에 추가된 감쇠는 실질적으로 성능에 영향을 미치지 않는다. 예를 들어, STEP 프로토콜(또는 다른 시간 인코딩된 통신 프로토콜)에 따른 통신 인터페이스는 신호의 진폭보다는 펄스 폭에 민감하므로 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)에 의해 도입된 감쇠로 인한 일부 신호 전력 손실은 성능에 영향을 미치지 않는다. 예를 들어, 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)는 각각 적어도 2 dB, 3 dB, 4 dB 이상의 감쇠를 제 1 송신 라인(2601) 및 제 2 송신 라인(2602)에 추가시킬 수 있다. 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645) 각각의 비저항(resistivity)은 예를 들어 5 Ω, 10 Ω, 15 Ω 또는 20 Ω을 초과할 수 있다. 또한, 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645) 각각의 비저항은 50 Ω, 45 Ω, 40 Ω, 35 Ω, 또는 30 Ω 미만일 수 있다.

[1083] 일부 예에서, 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)는 (송신 라인(2601, 2602)에 저항을 또한 건네주는) 인덕터로서 구현될 수 있다. 따라서, 제 1 저항성 요소(2640)는 제 1 인덕턴스를 나타낼 수 있고 제 2 저항성 요소(2645)는 (제 1 인덕턴스와 상이한 또는 동일한) 인덕턴스를 나타낼 수 있다. 예를 들어, 제 1 인덕턴스 및 제 2 인덕턴스 각각은 0.25 nH(나노 헨리), 0.20 nH 또는 0.15 nH 미만일 수 있다. 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645)에 인덕터를 사용하면 고주파에서 다이오드 쌍의 기생 커패시턴스를 실질적으로 상쇄시켜서 제 1 입력(2610) 및 제 2 입력(2615)에서 실제 임피던스가 송신 라인(2601, 2602)에 건네질 수 있는데 반해, 가상 임피던스는 감소될 수 있다.

[1084] 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635)에 의해 송신 라인(2601, 2602)에 건네지는 감소된 커패시턴스는 종래의 구조와 비교하여 보호 회로(2600)의 대역폭을 증가시키게 할 수 있다. 예를 들어, 제 1 저항성 요소(2640) 및 제 2 저항성 요소(2645) 각각이 10 Ω의 비저항을 나타내고 송신 라인(2601, 2602) 사이의 종단 저항(2605)이 100 Ω의 비저항(R_{term})을 나타낸다고 가정하면, 각각의 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635) 마다 100 fF의 기생 커패시턴스(C_{par})에 대한 보호 회로(2600)의 3 dB 대역폭은 다음과 같다:

수학식 4

[1085]
$$BW(3\,dB) = \frac{1}{2\cdot\pi\cdot R_{term}\cdot\left(C_{par}/_{2}\right)} = \frac{1}{2\cdot\pi\cdot 100\Omega\cdot\left(100\,fF/_{2}\right)} = 31\,GHz$$

[1086] 따라서, 송신 라인(2601, 2602)을 통해 반송되는 신호에서 신호 에지의 상승 및 하강 시간은 종래의 구조에 비해 (극적으로) 개선될 수 있고, 이것은 (상당히) 감소된 대역폭(예를 들어, 280 fF의 기생 커패시턴스를 가정하면 11.3 GHz)을 나타낸다.

[1087] 따라서, 송신 라인(2601, 2602)을 통해 반송되는 ω = 6 GHz 신호의 경우, 송신 라인(2601, 2602)에 건네지는 입력 임피던스(Z_{in})는 다음과 같을 수 있다:

수학식 5

[1088]
$$|Z_{in}| = 1||\frac{2}{i\cdot\omega\cdot C_{par}} = 80\Omega$$

[1089] 종래의 구조와 비교하여, 보호 회로(2600)는 개선된 슬루 레이트 이외에 증가된 입력 임피던스를 나타낼 수 있

고 따라서 신호 반사에 대한 감소된 감도(예를 들어, 종래의 구조의 경우 S_{11} = -13.5 dB 대신 위의 예의 경우 S_{11} = -19.08 dB)를 나타낼 수 있다.

[1090] 또한, 보호 회로(2600)는 제 1 저항성 요소(2640)와 제 1 출력(2620) 사이에 결합된 제 3 쌍의 다이오드(2650)뿐만 아니라 제 2 저항성 요소(2645)와 제 2 출력(2625) 사이에 결합된 제 4 쌍의 다이오드(2655)를 포함한다. 제 3 쌍의 다이오드(2650)은 제 1 출력(2620)과 접지 사이에 결합된 제 5 다이오드(2652)뿐만 아니라 제 1 출력(2620)과 공급 전압(2634) 사이에 결합된 제 6 다이오드(2653)를 포함한다. 유사하게, 제 4 쌍의 다이오드(2655)는 제 2 출력(2625)과 접지 사이에 결합된 제 7 다이오드(2657)뿐만 아니라 제 2 출력(2625)과 공급 전압(2634) 사이에 결합된 제 8 다이오드(2658)를 포함한다. 제 3 쌍의 다이오드(2650) 및 제 4 쌍의 다이오드(2655)의 커패시턴스는 도 26a에서 커패시터(2641 및 2646)에 의해 예시된다. 또한, 제 3 쌍의 다이오드(2650) 및 제 4 쌍의 다이오드(2655)의 커패시턴스는 낮을 수 있는데, 예를 들어 제 1 쌍의 다이오드(2630) 및 제 2 쌍의 다이오드(2635)의 커패시턴스보다 낮을 수 있다. 예를 들어, 제 3 쌍의 다이오드(2650) 및 제 4 쌍의 다이오드(2655)의 각각의 다이오드는 100 fF, 90 fF, 80 fF, 70 fF, 60 fF, 50 fF 또는 40 fF 미만의 커패시턴스를 나타낼 수 있다.

[1091] 종래의 구조와 비교하여, 보호 회로(2600)는 사이에 두 세트의 소형 ESD 다이오드 및 저항기를 사용한다. 여벌의 ESD 다이오드의 사용은 신호 전력 손실에 대한 다운 스트림 회로의 비민감성 때문일 수 있다. 종래의 구조에 비해 감소된 ESD 기생 커패시턴스는 매칭을 더 개선하게 할 수 있다. 따라서, (예를 들어, STEP 프로토콜에 따라) 시간 인코딩된 I/O의 요건에 맞는 더 우수하고 최적화된 ESD 구조가 제공될 수 있다.

[1092] 제안된 보호 회로(2600)를 사용하는 차동 데이터 신호를 위한 수신기(2660)가 도 26b에 도시된다. 수신기(2660)는 차동 송신 링크의 제 1 송신 라인(2661) 및 제 2 송신 라인(2662)에 결합하도록 구성된 인터페이스 회로(2665)를 포함한다. 제 1 송신 라인(2661) 및 제 2 송신 라인(2662)은 차동 데이터 신호를 반송한다

[1093] 또한, 수신기(2660)는 제 1 송신 라인(2661) 및 제 2 송신 라인(2662)상의 차동 데이터 신호의 신호 성분 간의 차이에 기초하여 출력 신호(2668)를 생성하도록 구성된 증폭기 회로(2667)를 포함한다.

[1094] 보호 회로(2600)는 인터페이스 회로(2665)와 증폭기 회로(2667) 사이에 결합된다. 보호 회로(2600)의 세부 사항은 도 26a와 관련하여 설명된다.

[1095] 수신기(2660)는 높은 대역폭을 나타낼 수 있고, 따라서 종래의 ESD 보호 구조를 사용하는 수신 회로와 비교하여 ISI 및 신호 반사에 더 면역적일 수 있다.

[1096] 도 26c는 또한 통신 프로토콜(예를 들어, STEP 프로토콜)에 따라 시간 인코딩된 차동 데이터 신호를 수신하기 위한 장치(2670)의 예를 도시한다. 장치(2670)는 ESD 보호를 위해 제안된 보호 회로(2600)를 사용한다.

[1097] 장치(2670)는 차동 데이터 신호를 반송하는 차동 송신 링크의 제 1 송신 라인(2671) 및 제 2 송신 라인(2671)에 결합하도록 구성된 인터페이스 회로(2685)를 포함한다.

[1098] 또한, 장치(2670)는 차동 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(2680)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다.

[1099] 장치(2670)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로(2690)를 포함할 수 있다. 예를 들어, 제 1 데이터는 통신 프로토콜에 따라 송신될 제 1 데이터 심볼이고 제 2 데이터는 제 2 데이터 심볼일 수 있다. 위에서 설명한 바와 같이, 제 1 기간과 제 2 기간의 합은 STEP 프로토콜에 따라 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[1100] STEP 프로토콜과 같은 시간 인코딩된 통신 프로토콜의 진폭 감쇠에 대한 비민감성으로 인해, 여벌의 ESD 다이오드를 사용하는 보호 회로(2600)는 기생 커패시턴스를 감소시키게 하며, 따라서 STEP 프로토콜과 같은 시간 인코딩된 통신 프로토콜에 대해 원하는 바로서 슬루 레이트를 높게 하고, 매칭을 개선하고 및 ISI 및 신호 반사에 대한 감도를 낮게 할 수 있다. 따라서, STEP 프로토콜과 같은 시간 인코딩된 통신 프로토콜 용 수신 구조를 위한 개선되고 최적화된 ESD 보호가 제공될 수 있다.

[1101] 일부 예는 베이스밴드 프로세서 회로와 무선 주파수 송수신기 모듈 사이의 데이터 송신을 위한 STEP 인터커넥트

의 구현에 관한 것이다. 예를 들어, 베이스밴드 송신 신호는 베이스밴드 프로세서 회로로부터 무선 주파수 송수신기 모듈로 송신될 수 있고, 베이스밴드 수신 신호는 무선 주파수 송수신기 모듈로부터 STEP 인터페이스를 통해 베이스밴드 프로세서 회로로 송신될 수 있다.

[1102] 도 27a는 예를 들어 라디오 헤드 시스템을 구현하는 송수신기 회로의 예를 도시한다. 이 예에서, 베이스밴드 집적 회로(2701)(예를 들어 베이스밴드 프로세서)는 두 개의 무선 주파수 전자기(radio frequency electromagnetic)(RFEM) 모듈(2702)에 연결된다. 베이스밴드 집적 회로(2701)는 STEP 인터커넥트(예를 들어, 두 개의 차동 STEP 송신 신호 라인(STEP(V2) TX))를 통해 베이스밴드 송신 신호를 각각의 RFEM 모듈(2702)에 송신하도록 구성될 수 있고, 각각의 STEP 인터커넥트(예를 들어, 두 개의 차동 STEP 수신 신호 라인(STEP(V2) RX))을 통해 RFEM 모듈(2702)로부터 베이스밴드 수신 신호를 수신하도록 구성될 수 있다. 전력 관리 회로(xPMU)(2703)는 공급 전압(예를 들어 DC 전압)을 베이스밴드 프로세서(2701) 및/또는 RFEM 모듈(2702)에 제공할 수 있다.

[1103] 도 27a는 STEP 인터페이스를 사용하여 두 개의 RFEM에 연결된 단일 BB/MAC 디바이스를 갖는 RH 시스템의 예를 도시한다. RFEM은 STEP TX 레인 및 STEP RX 레인에 연결된다.

[1104] 베이스밴드 수신 신호를 무선 주파수 송수신기 모듈(2703)로부터 베이스밴드 프로세서 회로(2701)로 송신하는 것에 부가적으로 또는 대안적으로, 피드백 정보가 STEP 인터커넥트를 통해 무선 주파수 송수신기 모듈(2703)로부터 베이스밴드 프로세서 회로(2701)로 전송될 수 있다. 예를 들어, 피드백 정보는 송신 신호의 디지털 전치 왜곡을 제어하기 위해 사용될 수 있다. 시스템이 TX 모드에 있을 때는 STEP TX 레인만이 사용할 수 있지만, RX 수신기 및 STEP RX 레인은 DPD 피드백에 사용될 수 있다.

[1105] 예를 들어, 송신기(TX)는 송신된 신호 품질을 증가시키고 TX 전력 소비를 낮추기 위해 디지털 전치 왜곡(DPD)(digital pre-distortion) 및/또는 엔벨로프 트랙킹(ET)(envelop tracking)을 사용할 수 있다. 동시에, 베이스밴드(BB) 및/또는 MAC 모듈 및 WiGig 및 mmW 5G와 같은 원격 RF 모델(remote RF model)(RFEM)로 구축된 시스템은 실시간 TX DPD를 수행하는데 어려움이 있을 수 있는데, 왜냐하면 DPD 메커니즘은 BB/MAC 모델의 일부일 수 있지만 TX PA(power amplifier)가 RFEM에 있을 수 있기 때문이다. 예에서, 라디오 헤드 시스템은 BB/MAC 모듈 및 RFEM이 STEP 인터페이스(예를 들어, STEP 인터커넥트)를 통해서만 연결될 수 있도록 구현될 수 있다. 예를 들어, 데이터 신호는 하나 이상의 STEP 인터커넥트를 통해서만 무선 주파수 송수신기 모듈(2703)과 베이스밴드 프로세서 회로(2701) 사이에서 교환될 수 있다.

[1106] DPD는 PA 출력으로부터 MAC/BB 입력으로의 실시간 루프백을 통한 폐쇄 루프에 의해 구현될 수 있다. 루프백은 STEP 인터커넥트를 통해 구현될 수 있다.

[1107] 실시간 DPD 루프백은 선형성 없는 PA를 더 잘 보정 가능하게 할 수 있다. 이미 구현되었을 수 있는 STEP 레인에 루프백을 구현하면 추가 케이블이 필요하지 않게 할 수 있다.

[1108] 도 27b는 증폭된 고주파 송신 신호를 생성하기 위한 장치의 블록도를 도시한다. 증폭된 고주파 송신 신호(2713)를 생성하기 위한 장치(2710)는 베이스밴드 송신 신호(2711)에 기초하여 증폭된 고주파 송신 신호(2713)를 생성하도록 구성된 전력 증폭기 회로(2712)를 포함할 수 있다. 또한, 장치(2710)는 베이스밴드 수신 데이터 신호(2715)를 생성하도록 구성된 시간 인코딩된 송신기 회로(2714)를 포함할 수 있다. 베이스밴드 수신 데이터 신호(2715)는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 시간 인코딩된 수신기 회로(2716)에 송신될 제 1 베이스밴드 수신 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 시간 인코딩된 수신기 회로(2716)에 송신될 제 2 베이스밴드 수신 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터는 특정 피드백 정보를 포함할 수 있다.

[1109] 시간 인코딩된 수신기 회로로 피드백 정보의 송신으로 인해, 예를 들어, 증폭된 고주파 송신 신호를 생성하도록 전력 증폭기 회로에 의해 증폭될 베이스밴드 송신 신호 및/또는 송신 신호의 디지털 전치 왜곡은 피드백 정보에 기초하여 개선될 수 있다.

[1110] 베이스밴드 송신 신호(2711)는 베이스밴드 프로세서에 의해 생성되고 및/또는 장치(2710)에 제공될 수 있다. 장치(2710)는 무선 주파수 송수신기 모듈일 수 있거나, 또는 무선 주파수 송수신기 모듈의 일부로서 구현될 수 있다.

[1111] 시간 인코딩된 송신기 회로(2714)는 무선 주파수 송수신기 모듈과 베이스밴드 프로세서 회로 사이의 STEP 인터

커넥트의 송신기일 수 있다. 예를 들어, 시간 인코딩된 송신기 회로(2714)는 하나 이상의 송신 라인을 통해 베이스밴드 프로세서 회로의 일부일 수 있는 시간 인코딩된 수신기 회로(2716)에 연결될 수 있다. 시간 인코딩된 수신기 회로(2716)는 무선 주파수 송수신기 모듈과 베이스밴드 프로세서 회로 사이의 STEP 인터커넥트의 수신기일 수 있다.

[1112] 시간 인코딩된 송신기 회로(2714)는 STEP 인터커넥트의 예 중 하나와 관련하여 설명된 바와 같이 데이터 신호를 생성함으로써 데이터를 송신하도록 구성될 수 있고, 시간 인코딩된 송신기 회로(2716)는 STEP 인터커넥트의 예 중 하나와 관련하여 설명된 바와 같이 수신된 데이터를 결정하도록 구성될 수 있다.

[1113] 전력 증폭기 회로(2712)는 전력 증폭기 회로(2712)에 결합된 하나 이상의 안테나를 통해 송신하기 위한 증폭된 고주파 송신 신호(2713)를 제공할 수 있다. 증폭된 고주파 송신 신호는 증폭된 고주파 송신 신호를 송신하기 위해 사용되는 무선 통신 프로토콜의 송신 대역에 대응하는 캐리어 주파수를 가질 수 있다.

[1114] 베이스밴드 수신 데이터 신호(2715)는 디지털 신호일 수 있다. 베이스밴드 수신 데이터 신호(2715)는 위에서 또는 아래에서 설명된 STEP 프로토콜의 하나 이상의 예에 따라 생성된 연속 시간 인코딩된 신호일 수 있다.

[1115] 피드백 정보는 증폭된 고주파 송신 신호에 의해 야기된 피드백 수신 신호, 장치(2710) 또는 장치(2710)를 포함하는 디바이스의 레지스터의 내용, 장치(2710) 또는 장치(2710)를 포함하는 디바이스의 전력 검출기의 출력, 및/또는 장치(2710) 또는 장치(2710)를 포함하는 디바이스의 온도 센서의 출력에 관한 정보일 수 있다.

[1116] 피드백 수신 신호는 증폭된 고주파 송신 신호(2713) 또는 증폭된 고주파 송신 신호(2713)에 기초하여 하나 이상의 안테나를 향해 생성된 하나 이상의 안테나 신호로부터 획득될 수 있다. 예를 들어, 장치(2710)는 전력 증폭기 회로(2712)의 출력에 결합되고 증폭된 고주파 송신 신호에 의해 야기되거나 또는 증폭된 고주파 송신 신호에 기초하여 제공된 안테나 송신 신호에 의해 야기되는 피드백 수신 신호를 제공하도록 구성된 커플러 모듈(예를 들어, 방향성 커플러)을 포함할 수 있다. 피드백 수신 신호는 아날로그 신호(예를 들어, 아날로그 고주파 신호)일 수 있다. 예를 들어, 장치(2710)는 피드백 수신 신호에 기초하여 베이스밴드 피드백 수신 신호 또는 중간 주파수(intermediate frequency)(IF) 피드백 수신 신호를 생성하도록 구성된 하향 변환 회로(down-conversion circuit)를 포함할 수 있다. 시간 인코딩된 송신기 회로(2714)는 베이스밴드 피드백 수신 신호 또는 중간 주파수(IF) 피드백 수신 신호에 기초하여 베이스밴드 수신 데이터 신호를 생성하도록 구성될 수 있다.

[1117] 예를 들어, 시간 인코딩된 송신기 회로(2714)는 피드백 수신 신호에 기초하여 결정된 파라미터를 포함하는 또는 베이스밴드 피드백 수신 신호 또는 중간 주파수(IF) 피드백 수신 신호의 시간 인코딩된 버전인 베이스밴드 수신 데이터 신호(2715)를 생성할 수 있다. 베이스밴드 프로세서 회로는 피드백 수신 신호에 관한 정보에 기초하여 디지털 전치 왜곡 파라미터를 결정할 수 있다. 베이스밴드 프로세서 회로는 베이스밴드 송신 신호(2711)를 전치 왜곡시킬 수 있거나, 또는 전치 왜곡 파라미터를 장치(2710) 또는 장치(2710)를 포함하는 무선 주파수 송수신기 모듈에 제공할 수 있다.

[1118] 시간 인코딩된 송신기 회로(2714)는 제 1 시간 간격 동안 및/또는 제 1 동작 모드(예를 들어, 피드백 모드)에서 피드백 정보를 포함하는 베이스밴드 수신 데이터 신호를 송신하도록 구성될 수 있고, 제 2의 상이한 시간 간격 동안 및/또는 제 2 동작 모드(예를 들어, 수신 모드)에서 페이로드 수신 신호에 기초한 베이스밴드 수신 데이터 신호를 송신하도록 구성될 수 있다. 페이로드 수신 신호는 외부 송신기로부터(예를 들어, 기지국 또는 모바일 디바이스로부터) 수신된 고주파 수신 신호에 기초하여 생성될 수 있다. 페이로드 수신 신호는 베이스밴드 프로세서로 송신될 페이로드 데이터를 포함할 수 있다. 베이스밴드 수신 데이터 신호(2715)는 제 2 시간 간격 동안 페이로드 수신 신호의 시간 인코딩된 버전일 수 있다. 페이로드 수신 신호의 시간 인코딩된 버전은 위에서 또는 아래에서 설명된 STEP 프로토콜의 하나 이상의 예에 따라 생성될 수 있다.

[1119] 예를 들어, 장치(2710)의 시간 인코딩된 송신기 회로(2714)는 피드백 정보를 포함하는 베이스밴드 수신 데이터 신호(2715)의 송신에 사용될 수 있는 반면, 무선 주파수 송수신기 모듈은 증폭된 고주파 송신 신호(2713)를 송신할 수 있고 및/또는 고주파 수신 신호가 무선 주파수 송수신기 모듈에 의해 수신될 때 페이로드 수신 신호에 기초한 베이스밴드 수신 데이터 신호를 송신하는데 사용될 수 있다. 예를 들어, 장치(2710)는 페이로드 수신 신호 또는 피드백 수신 신호에 기초한 신호를 멀티플렉서 출력 신호로서 제공하도록 구성된 멀티플렉서를 포함할 수 있다. 시간 인코딩된 송신기 회로(2714)는 멀티플렉서 출력 신호에 기초하여 베이스밴드 수신 데이터 신호(2715)를 생성하도록 구성될 수 있다. 예를 들어, 증폭된 고주파 송신 신호(2713)는 외부 수신기(예를 들어, 기지국 또는 모바일 디바이스)로 송신될 페이로드 데이터를 포함한다. 시간 인코딩된 송신기 회로(2714)는 페이로드 데이터를 갖는 증폭된 고주파 송신 신호(2713)가 무선으로 외부 수신기로 송신되는 동안 베이스밴드 수

신 데이터 신호(2715)를 시간 인코딩된 수신기 회로(2716)로 전송하도록 구성될 수 있다. 예를 들어, 장치(2710)는 페이로드 데이터가 송신되는 동안 증폭된 고주파 송신 신호(2713)에 관한 실시간 피드백 정보를 제공하도록 구성될 수 있다.

[1120] 장치(2710)는 STEP 인터커넥트를 통해 베이스밴드 송신 신호에 기초하여 베이스밴드 송신 신호(2711) 또는 중간 주파수(IF) 송신 신호를 수신할 수 있다. 예를 들어, 장치(2710)는 수신된 베이스밴드 송신 데이터 신호(또는 중간 주파수(IF) 송신 데이터 신호)에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 시간 인코딩된 수신기 회로를 포함한다. 시간 인코딩된 수신기 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 송신 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 송신 데이터를 결정하도록 구성된다. 시간 인코딩된 수신기 회로(2714)는 제 1 베이스밴드 송신 데이터 및 제 2 베이스밴드 송신 데이터에 기초하여 베이스밴드 송신 신호(2711)(또는 중간 주파수(IF) 송신 신호)를 제공하도록 구성될 수 있다. 베이스밴드 송신 데이터 신호(또는 중간 주파수(IF) 송신 데이터 신호)는 위에서 또는 아래에서 설명된 STEP 프로토콜의 하나 이상의 예에 따라 생성된 베이스밴드 송신 신호의 시간 인코딩된 버전일 수 있다.

[1121] 증폭된 고주파 송신 신호(2713)는 단일 안테나를 통해 또는 안테나 어레이를 통해 데이터를 송신하는데 사용될 수 있다. 장치(2710)는 증폭된 고주파 송신 신호(2713)에 기초하여 복수의 안테나를 향한 복수의 안테나 송신 신호를 제공하도록 구성된 피딩 네트워크(feeding network)를 포함할 수 있다. 장치(2710)를 포함하는 무선 송수신기는 안테나 송신 신호를 송신하도록 구성된 안테나 어레이를 포함할 수 있으며, 안테나 송신 신호는 증폭된 고주파 송신 신호에 기초한다.

[1122] 또한, 장치(2710)는 베이스밴드 송신 신호(2711)(또는 중간 주파수(IF) 송신 신호)에 기초하여 고주파 송신 신호를 생성하도록 구성된 상향 변환 회로(up-conversion circuit)를 포함할 수 있다. 전력 증폭기 회로(2712)는 고주파 송신 신호를 증폭하여 증폭된 고주파 송신 신호(2713)를 생성하도록 구성될 수 있다.

[1123] 장치(2710)는 STEP 인터페이스를 통해 베이스밴드 프로세서에 연결될 수 있다. 베이스밴드 프로세서는 베이스밴드 수신 데이터 신호를 수신하고 베이스밴드 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 시간 인코딩된 수신기 회로를 포함할 수 있다. 시간 인코딩된 수신기 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 수신 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 수신 데이터를 결정하도록 구성된다. 시간 인코딩된 수신기 회로는 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터에 기초하여 피드백 정보를 포함하는 베이스밴드 수신 데이터 신호를 제공하도록 구성될 수 있다.

[1124] 또한, 장치(2710) 또는 베이스밴드 프로세서는 증폭된 고주파 송신 신호에 의해 야기된 적어도 하나의 피드백 수신 신호에 관한 정보에 기초하여 베이스밴드 송신 신호의 전치 왜곡을 제어하도록 구성된 전치 왜곡 제어 모듈을 포함할 수 있다. 베이스밴드 송신 신호의 전치 왜곡은 폐쇄 루프에서 및/또는 실시간으로 제어될 수 있다. 예를 들어, 전치 왜곡 제어 모듈은 전력 증폭기 회로(2712)로부터 실시간 루프백을 통해 및 시간 인코딩된 송신기 회로(2714)를 통해 폐쇄 루프에서 전치 왜곡을 제어하도록 구성될 수 있다. 전치 왜곡 제어 모듈은 전치 왜곡 파라미터 및/또는 전치 왜곡 설정을 결정하도록 구성될 수 있고 및/또는 결정된 전치 왜곡 파라미터 및/또는 결정된 전치 왜곡 설정에 기초하여 베이스밴드 송신 신호를 전치 왜곡시킬 수 있다.

[1125] 장치(2710)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(2710)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1126] 도 27c는 예에 따라서 STEP 인터커넥트를 통한 송신기(TX) 디지털 전치 왜곡(DPD)을 갖는 무선 주파수 전자기(RFEM) 모듈의 블록도를 도시한다. RFEM 모듈은 도 27b와 관련하여 언급된 무선 주파수 송수신기 모듈과 유사하게 구현될 수 있고 도 27b와 관련하여 설명된 바와 같이 증폭된 고주파 송신 신호를 생성하기 위한 장치를 포함할 수 있다.

[1127] RFEM 모듈(2720)은 안테나 스위칭 모듈(2722)(예를 들어, TX/RX 스위칭)을 통해 안테나 어레이(2721)(예를 들어, 위상 어레이 모듈 안테나)에 결합된다. RFEM 모듈(2720)은 안테나 스위칭 모듈(2722)에 결합되고 안테나 송신 신호(TXin)를 안테나 스위칭 모듈(2722)에 제공하도록 구성된 RF 송신기 모듈(2740)을 포함한다. 또한, RFEM 모듈(2720)은 안테나 스위칭 모듈(2722)에 결합되고 안테나 스위칭 모듈(2722)로부터 안테나 수신 신호(RXin)를 수신하도록 구성된 RF 수신기 모듈(2730)을 포함한다.

[1128] RF 송신기 모듈(2740) 및 RF 수신기 모듈(2730)은 데이터 데시메이션(data decimation), 보간을 위해 그리고 STEP 인터페이스를 베이스밴드 프로세서에 제공하기 위해 구성된 회로(2723)에 결합된다. 회로(2723)는 STEP 인터페이스를 통해 수신된 I/Q 베이스밴드 송신 신호를 RF 송신기 모듈(2740)에 제공하고 피드백 정보 및/또는 페이로드 수신 신호에 관한 정보를 포함하는 베이스밴드 수신 데이터 신호를 STEP 인터페이스를 통해 베이스밴드 프로세서로 송신한다.

[1129] RF 송신기 모듈(2740)은 I/Q 베이스밴드 송신 신호를 아날로그 I/Q 베이스밴드 송신 신호로 변환하기 위한 디지털-아날로그 변환기(2747) 및 아날로그 I/Q 베이스밴드 송신 신호를 저역 통과 필터링하기 위한 저역 통과 필터(2746)를 포함한다. 또한, RF 송신기 모듈(2740)은 필터링된 아날로그 I/Q 베이스밴드 송신 신호를 RFEM 모듈(2720)의 신시사이저(2724)에 의해 제공된 국부 발진기 신호와 혼합하여 고주파 송신 신호를 생성하기 위한 믹서(2745)를 포함한다. 고주파 송신 신호는 RF 송신기 모듈(2740)의 RF 증폭기(2712)에 의해 증폭되어 증폭된 고주파 송신 신호를 생성한다. 증폭된 고주파 송신 신호는 복수의 안테나 신호 송신 경로에 제공되며, 각각의 안테나 신호 송신 경로는 (예를 들어 빔 포밍을 위해) 조정 가능한 위상 시프터(2743), 전력 증폭기(2722) 및 전력 증폭기 출력 전력 커플러(2741)를 포함한다.

[1130] RF 수신기 모듈(2730)은 복수의 안테나 신호 수신 경로의 각각의 안테나 신호 수신 경로마다 전력 증폭기(2731) 및 조정 가능한 위상 시프터(2732)를 포함한다. 또한, RF 수신기 모듈(2730)은 전력 증폭기(2731) 및 조정 가능한 위상 시프터(2732)를 통과한 이후 복수의 안테나 수신 신호를 결합하여 고주파 수신 신호를 RF 수신기 모듈(2730)의 RF 증폭기(2735)(예를 들어, 저잡음 증폭기(ow noise amplifier)(LNA))에 제공하도록 구성된 결합기(combiner)(2734)를 포함한다. RF 증폭기(2735)는 증폭된 고주파 수신 신호를 RF 수신기 모듈(2730)의 멀티플렉서(2736)의 제 1 입력에 제공한다. 또한, 전력 증폭기 출력 전력 커플러(2741)는 하나 이상의 고주파 피드백 신호(2725)를 멀티플렉서(2736)의 하나 이상의 추가 입력에 제공할 수 있다. 멀티플렉서(2736)는 증폭된 고주파 수신 신호 또는 고주파 피드백 신호(2725)를 RF 수신기 모듈(2730)의 I/Q 믹서(2737)에 제공한다. I/Q 믹서(2737)는 멀티플렉서의 출력 신호를 신시사이저(2724)에 의해 제공된 국부 발진기 신호와 혼합하여 I/Q 베이스밴드 신호를 생성하도록 구성된다. I/Q 베이스밴드 신호는 RF 수신기 모듈(2730)의 저역 통과 필터(2738)에 의해 필터링되고 RF 수신기 모듈(2730)의 아날로그-디지털 변환기(2739)에 의해 디지털 I/Q 베이스밴드 신호로 변환된다. 회로(2723)는 디지털 I/Q 베이스밴드 신호에 기초하여 베이스밴드 수신 데이터 신호를 생성한다.

[1131] 도 27c는 RX STEP 레인을 사용하는 STEP을 통한 실시간 TX DPD의 예일 수 있다. 예를 들어, STEP 인터커넥트를 통한 실시간 루프백을 갖는 라디오 헤드(Radio Head)(RH)가 구현된다. 위상 어레이 시스템이 구현될 수 있고 (예를 들어 5G 또는 WiGig) PA의 출력은 전력 커플러를 사용하여 샘플링될 수 있다. 샘플링된 데이터는 특수 연결(예를 들어, 커플러 피드백)을 통해 RX 섹션으로 전달될 수 있다. 이것은 커플러로부터 결합된 전력을 전달하는 단일 라인이거나 또는 MUX로 전달되는 다수의 라인일 수 있다. RX 경로 상의 MUX는 (RX 모드에서) RX 신호를 선택하거나 또는 (DPD 루프백 모드에서) 커플러 피드백을 선택할 수 있다. DPD 피드백 신호는 STEP을 통해 실시간으로 MAC/BB 모듈에 전달될 수 있다.

[1132] 상향 변환 및 하향 변환은 (RF로부터 BB로 또는 BB로부터 RF로) 한 단계로 수행될 수 있다. 대안적으로, RF 대 IF 대 BB 및 BB 대 IF 대 RF를 의미하는, IF(중간 주파수)가 사용될 수 있다.

[1133] 예를 들어, STEP을 통한 루프백은 MAC에서 DPD에 필요한 데이터를 계산하는데만 사용될 수 있으며(예를 들어, 데이터는 다항식 보정 및/또는 룩업 테이블(look up table)(LUT) 데이터에 대한 계수일 수 있음) DPD 메커니즘은 RFEM 자체에 있을 수 있다.

[1134] RFEM 모듈(2720)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. RFEM 모듈(2720)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1135] 도 27d는 예에 따른 베이스밴드 프로세서의 블록도를 도시한다. 베이스밴드 프로세서(2750)는 수신된 베이스밴드 수신 데이터 신호(2751)에서 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 결정하도록 구성된 시간 인코딩된 수신기 회로(2752)를 포함한다. 시간 인코딩된 수신기 회로(2752)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 수신 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 수신 데이터를 결정하도록 구성된다. 또한, 베이스밴드 프로세서(2750)는 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터에 기초하여 베이스밴드 송신 신호에 대

한 전치 왜곡 설정(2755)을 결정하도록 구성된 베이스밴드 처리 회로(2754)를 포함한다.

[1136] 베이스밴드 프로세서는 무선 주파수 송수신기 모듈과의 빠른 상호 연결을 통해 피드백 정보를 수신하므로 베이스밴드 프로세서는 전치 왜곡 설정을 실시간으로 조정할 수 있다.

[1137] 수신된 베이스밴드 수신 데이터 신호(2751)는 (예를 들어, 기지국 또는 다른 모바일 디바이스의) 외부 수신기로 송신하기 위해 전력 증폭기에 의해 생성된 증폭된 고주파 송신 신호에 의해 야기된 피드백 수신 신호에 기초할 수 있다. 수신된 베이스밴드 수신 데이터 신호(2751)는 도 27b와 관련하여 설명된 베이스밴드 수신 데이터 신호일 수 있다. 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터는 피드백 수신 신호에 관한 정보를 포함할 수 있다.

[1138] 베이스밴드 프로세서(2750)는 베이스밴드 송신 데이터 신호를 생성하도록 구성된 시간 인코딩된 송신기 회로를 더 포함할 수 있다. 베이스밴드 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있으며, 제 1 신호 에지 및 제 2 신호 에지는 제 1 베이스밴드 송신 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 베이스밴드 송신 데이터에 대응하는 제 2 기간에 의해 분리된다. 베이스밴드 송신 데이터 신호는 베이스밴드 송신 신호의 시간 인코딩된 버전일 수 있다. 베이스밴드 송신 신호는 결정된 전치 왜곡 설정에 기초하여 베이스밴드 프로세서(2750)에 의해 전치 왜곡될 수 있거나, 또는 결정된 전치 왜곡 설정 또는 결정된 전치 왜곡 설정의 전치 왜곡 파라미터는 무선 주파수 송수신기 모듈에 의해 베이스밴드 송신 신호의 전치 왜곡에 사용될 베이스밴드 송신 데이터 신호에 의해 포함될 수 있다.

[1139] 결정된 전치 왜곡 설정 및/또는 결정된 전치 왜곡 설정의 전치 왜곡 파라미터는 베이스밴드 송신 신호의 나중의 및/또는 연속의 및/또는 반복된 전치 왜곡을 위해 룩업 테이블(LUT)에 저장될 수 있다.

[1140] 베이스밴드 프로세서(2750)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 베이스밴드 프로세서(2750)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1141] 일부 예는 도 27b와 관련하여 설명된 바와 같이 증폭된 고주파 송신 신호를 생성하기 위한 장치 및/또는 도 27d와 관련하여 설명된 바와 같은 베이스밴드 프로세서를 포함하는 무선 송수신기 디바이스에 관련된다. 무선 송수신기 디바이스는 모바일 디바이스(예를 들어, 모바일 폰 또는 랩톱)의 일부일 수 있다.

[1142] 도 27e는 증폭된 고주파 송신 신호를 생성하기 위한 방법의 흐름도를 도시한다. 방법(2760)은 베이스밴드 송신 신호에 기초하여 증폭된 고주파 송신 신호를 제공하는 단계(2762) 및 시간 인코딩된 송신기 회로에 의해 베이스밴드 수신 데이터 신호를 생성하는 단계(2764)를 포함한다. 베이스밴드 수신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 시간 인코딩된 수신기 회로에 송신될 제 1 베이스밴드 수신 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 시간 인코딩된 수신기 회로에 송신될 제 2 베이스밴드 수신 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터는 피드백 정보를 포함할 수 있다.

[1143] 방법(2760)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(2760)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1144] 도 27f는 전치 왜곡 설정을 결정하기 위한 방법의 흐름도를 도시한다. 방법(2770)은 시간 인코딩된 수신기 회로에 의해 수신된 베이스밴드 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(2772)를 포함한다. 또한, 방법(27770)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 수신 데이터를 결정하는 단계(2774) 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 수신 데이터를 결정하는 단계(2776)를 더 포함한다. 또한, 방법(2770)은 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터에 기초하여 베이스밴드 송신 신호에 대한 전치 왜곡 설정을 결정하는 단계(2778)를 포함한다.

[1145] 방법(2770)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(2770)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1146] 앞서 설명한 바와 같이, STEP 프로토콜은 높은 동작 (데이터, 심볼) 레이트에서 동급 최고의 전력 소비를 가능하게 할 수 있다. 송신 링크를 통한 데이터 레이트를 낮출 때, 비트당 낮은 전력 소비(예를 들어, 1 또는 2

pJ/비트)가 유지되어야 한다. 낮은 데이터 레이트에서, 송신기의 (예를 들어, CMOS 기술로 구현된) 디지털 회로는 (거의) 전력을 소비하지 않지만, 송신기의 아날로그 회로는 통상적으로 높은 데이터 레이트와 거의 동일한 전력을 소비한다.

[1147] 예를 들어, 대기 모드에서 또는 송신 버스트 사이에서 전력 소비를 낮추기 위해, 아날로그 회로를 턴 오프하는 것이 하나의 옵션일 수 있다. 그러나, 아날로그 회로를 턴 오프하는 것은 통상적으로 오랜 웨이크 업 시간을 초래하고 따라서 시스템 대기 시간을 증가시킨다. 특히, 데이터 신호를 생성하기 위해 발진 신호를 제공하는 송신기의 주파수 신시사이저는 통상적으로 동작할 때 높은 전력 소비와 느린 웨이크 업 시간을 겸비하고 있다.

[1148] 다음에는 시스템 대기 시간을 (상당히) 증가시키지 않으면서 낮은 전력에서 및 신시사이저 전력 다운 시 신시사이저 동작을 가능하게 할 수 있는 회로가 도 28a 내지 도 28d와 관련하여 설명된다.

[1149] 도 28a는 송신기(2800)의 예를 도시한다. 송신기(2800)는 클록(발진) 신호(2812)를 생성하기 위한 신시사이저 회로(2810)를 포함한다(예를 들어, 클록 신호(2812)의 주파수는 8 GHz보다 높을 수 있다). 또한, 송신기(2800)는 클록 신호(2812)를 사용하여 데이터 신호(2801)를 생성하기 위한 장치(2820)를 포함한다.

[1150] 신시사이저 회로(2810)는 스티어링 신호(steering signal)(2813)에 응답하여 클록 신호(2812)를 생성하도록 구성된 제어 발진기(controlled oscillator)(2811)(예를 들어, 디지털 제어 발진기(Digitally Controlled Oscillator)(DCO) 또는 전압 제어 발진기(Voltage Controlled Oscillator)(VCO))를 포함한다. 신시사이저 회로(2810)는 클록 신호(2812)에 기초하여 스티어링 신호(2813)를 제어(생성)하도록 구성된 폐쇄 제어 회로(2814)를 포함한다. 폐쇄 제어 회로(2814)는 예를 들어 클록 신호(2812) 또는 (클록 신호(2812)로부터 도출된 신호)의 위상을 스티어링 신호(2813)를 제어(생성)하기 위한 기준 신호와 비교하기 위한 위상 검출기(예를 들어, TDC)를 포함할 수 있다. 또한, 폐쇄 루프 제어 회로(2814)는 클록 신호(2812)를 주파수 분할하고 주파수 분할된 클록 신호를 위상 검출기에 제공하기 위한 루프 필터 및/또는 주파수 분할기(frequency divider)를 포함할 수 있다. 예를 들어, 신시사이저 회로(2810)는 PLL(예를 들어, 아날로그 PLL(Analog PLL)(APLL), 또는 디지털 PLL(digital PLL)(DPLL)일 수 있다.

[1151] 신시사이저 회로(2810)는 폐쇄 루프 제어 회로(2814)가 비활성 상태인 제 1 모드 또는 폐쇄 루프 제어 회로(2814)가 활성 상태인 제 2 모드에서 동작하도록 구성된다(작동 가능하다). 제 1 모드는 제어 발진기(2811)의 프리-런닝 모드(free-running mode)로 이해될 수 있다. 신시사이저 회로(2810)는 제 1 기간 동안 제 1 모드에서 동작하고 제 2 기간 동안 제 2 모드에서 동작한다.

[1152] 폐쇄 루프 제어 회로(2814)가 비활성 상태이기 때문에, 제 1 모드에서 신시사이저 회로(2810)의 전력 소비는 제 2 모드에 비해 감소된다. 따라서, 제 1 모드에서 신시사이저 회로(2810)를 동작시키면 주파수 에러를 증가시켜 (예를 들어, 100 ppm 보다 훨씬 초과) 트레이드 오프하기 때문에 에너지를 절약하게 할 수 있다.

[1153] 주파수 에러는 신시사이저 회로(2810)를 제 1 모드로부터 다시 제 2 모드로 스위칭하는 것으로 보상될 수 있다. 예를 들어, 송신기(2800)는 미리 결정된 조건이 충족되면 신시사이저 회로를 제 1 모드로부터 제 2 모드로 스위칭하도록 구성된 제어 회로(2830)를 더 포함할 수 있다. 미리 결정된 조건은 예를 들어 (예를 들어, 온도 검출기 또는 센서에 의해 측정된) 온도 변화 및 (예를 들어, 타이머에 의해 결정된) 미리 결정된 기간의 경과 중 적어도 하나일 수 있다. 다시 말해, 신시사이저 회로(2810)는 "개방 루프"(즉, 제어 발진기(2811)만이 활성화됨)에서 동작할 수 있고, (예를 들어 온도 변화 또는 타이머에 의해 트리거되는) 이따금 신시사이저 회로(2810)는 개방 루프 동으로 말미암은 주파수 드리프트를 다시 고정(relock)하고 보정할 수 있다.

[1154] 예를 들어, 이러한 동작 모드는 풀 데이터 레이트(즉, 최대 처리량)로 동작하는 동안 STEP 프로토콜에 따른 송신기에 사용될 수 있다.

[1155] 여덟 개의 심볼(즉, 신호 에지당 3 비트)이 STEP 프로토콜에 따라 데이터를 송신하는데 사용된다고 가정하면, 도 28b는 각각의 심볼(0 내지 7)의 타이밍 에러를 도시한다. 각각의 심볼의 타이밍 에러는 제어 발진기(2811)의 상이한 주파수 에러에 대해 도시된다. 도 28b의 예에서, 클록 신호는 공칭 주파수가 12 GHz인 것으로 가정한다. 도 28b로부터 알 수 있는 바와 같이, 각 심볼의 타이밍 에러는 제어 발진기(2811)의 주파수 에러에 따라 증가한다. 예를 들어, 40 MHz의 주파수 에러(즉, ±3300 ppm)의 경우, 최대 타이밍 에러는 0.55 ps이다. 각 심볼의 작은 타이밍 에러는 (심볼(0 내지 7) 각각과 연관된 기간이 15 ps만큼 다르다고 가정하면) 시스템이 주파수 에러에 높은 면역성이 나타낸다는 것을 보여준다.

[1156] 미리 결정된 트리거 이벤트에 따라 신시사이저 회로(2810)를 다시 고정시킴으로써, 주파수 드리프트가 보상될 수 있다. 주파수 에러에 대한 시스템의 높은 면역성은 신시사이저 회로(2810)를 대부분의 시간에 제 1 모드에

서 구동하게 할 수 있다. 다시 말해, 제 1 기간은 제 2 기간보다 길 수 있다. 예를 들어, 제 1 기간은 제 2 기간보다 적어도 2 배 또는 3 배 길 수 있다.

[1157] 데이터 신호(2801)를 생성하기 위해, 데이터 신호(2801)를 생성하기 위한 장치(2820)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(2801)를 생성하도록 구성된 처리 회로(예를 들어, DTC(도시되지 않음))를 포함할 수 있다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 위에서 설명한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 송신기(2800)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[1158] 또한, 데이터 신호(2801)를 생성하기 위한 장치(2820)는 데이터 신호(2801)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(도시되지 않음)를 포함할 수 있다.

[1159] 또한 송신기(2800)는 일부 예에서 데이터를 차동 방식으로 송신 링크로 출력하도록 구성될 수 있다. 즉, 처리 회로는 또한 데이터 신호(2801)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 또한, 출력 인터페이스 회로는 제 2 데이터 신호를 송신 링크로 출력하도록 구성될 수 있다.

[1160] 다른 송신기(2850)가 도 28c에 도시된다. 송신기(2850)는 클록 신호(2862)(예를 들어, 클록 신호의 주파수는 8 GHz보다 높을 수 있음)를 생성하기 위한 신시사이저 회로(2860) 및 데이터 신호(2851)를 생성하기 위한 장치(2870)를 포함한다.

[1161] 신시사이저 회로(2860)는 스티어링 신호(2863)에 응답하여 클록 신호(2862)를 생성하도록 구성된 제어 발진기(2861)(예를 들어, DCO 또는 VCO)를 포함한다. 또한, 신시사이저 회로(2860)는 클록 신호(2862)에 기초하여 스티어링 신호(2863)를 제어(생성)하도록 구성된 폐쇄 루프 제어 회로(2864)를 포함한다. 폐쇄 루프 제어 회로(2864)는 도 28a와 관련하여 위에서 설명한 폐쇄 루프 제어 회로(2814)와 같이 구현될 수 있다.

[1162] 신시사이저 회로(2860)가 활성화된 이후의 제 1 기간 동안, 신시사이저 회로(2860)는 폐쇄 루프 제어 회로(2864)가 고정되지 않은 제 1 모드에서 동작한다. 제 1 기간 이후, 신시사이저 회로(2860)는 폐쇄 루프 제어 회로(2864)가 고정되는 제 2 모드에서 동작한다. 다시 말해, 신시사이저 회로(2860)를 파워 업한 이후, 폐쇄 루프 제어 회로(2864)는 얼마간의 안정화될 시간이 필요하다. 회로의 안정성은 교란받은 이후 회로의 응답이 제로 복귀의 경향이 있다는 것을 말한다. 안정한 회로의 응답은 교란받은 직후에 제로 복귀가 되지만, 불안정한 회로의 응답이 제로 복귀가 될 때까지 많은 시간이 걸릴 수 있다.

[1163] 신시사이저 회로(2860)의 안정화는 도 28d의 위쪽 부분에 개략적으로 도시된다. 도 28d의 예에서, DPLL은 신시사이저 회로(2860)에 사용된다. 도 28d의 위쪽 부분은 클록 신호(2862)의 주파수의 시간 추이(2841)를 보여준다. 신시사이저 회로(2860)는 초기에 비활성화되고 시간(T_0)에서 활성화된다. (예를 들어, 100 ns 미만의 지속기간의) 초기 안정화 단계 이후, 신시사이저 회로(2860)는 시간(T_1)에서 제어 발진기(2861)에 대한 초기의 정확한 설정을 갖는다. 예를 들어, 송신기(2850)는 스티어링 신호를 저장하기 위한 메모리(2880)를 포함할 수 있고, 신시사이저 회로(2860)는 활성화될 때 저장된 스티어링 신호를 사용하도록 구성될 수 있다. 따라서, 클록 신호(2862)의 초기 주파수 에러는 꽤 작을 수 있다. 도 28d의 위쪽 부분으로부터 알 수 있는 바와 같이, 신시사이저 회로(2860)는 폐쇄 루프 제어 회로(2864)가 시간(T_2)에서 고정될 때까지, 즉 클록 신호(2862)의 주파수가 안정적일 때까지 약간 더 많은 시간이 걸린다.

[1164] 데이터 신호(2851)를 생성하기 위한 장치(2870)는 (클록 신호(2862)의 주파수가 안정적인) 제 2 기간 동안 및 (클록 신호(2862)의 주파수가 아직 안정적이지 않은) 제 1 기간 동안 신시사이저 회로(2860)의 클록 신호(2862)를 사용한다.

[1165] 예를 들어, 대기 모드에서 또는 송신 버스트 사이에서 신시사이저 회로(2860)를 파워 다운하는 것은 송신기(2850)의 전력 소비를 (상당히) 감소하게 할 수 있다. 데이터 신호(2851)를 생성하기 위해 안정한 클록 신호뿐만 아니라 초기에 불안정한 클록 신호를 사용하면, 신시사이저 회로(2860) 및 송신기(2850)의 유효 웨이크 업 시간을 (상당히) 감소하게 할 수 있다.

[1166] 초기에 불안정한 클록 신호(2862)를 보상하기 위해, 데이터 신호(2851)를 생성하기 위한 장치(2870)는 제 1 기

간 동안 제 1 변조 방식을 사용하고 제 2 기간 동안 제 2 변조 방식을 사용하도록 구성될 수 있다. 제 1 변조 방식은 제 2 변조 방식보다 강건하다. 예를 들어, 감소된 비트 수는 제 2 기간과 대비하여 제 1 기간 동안 신호 에지에 인코딩될 수 있다.

[1167] 데이터 신호(2851)의 데이터 레이트의 시간 추이(2842)가 도 28d의 아래쪽 부분에 도시된다. 신시사이저 회로(2860)가 비활성화되는 동안 그리고 초기 안정화 단계 동안, 데이터 신호(2851)가 생성되지 않으며, 즉 데이터 신호(2851)의 데이터 레이트는 이들 기간 동안 사실상 0이다. 폐쇄 루프 제어 회로(2864)가 시간(T_1)으로부터 시간(T_2)까지의 기간에 고정되어 있는 동안, 장치(2870)는 이미 데이터 신호(2851)를 생성하기 위해 불안정한 클록 신호(2861)를 사용한다. 시사한 바와 같이, 장치(2870)는 이 시간 동안 이미 데이터 신호(2851)를 풀(최대) 데이터 레이트로 생성할 수 있다. 불안정한 클록 신호(2862)의 주파수 에러로 인해, 데이터 신호(2551)는 (안정한 클록 신호(2862)를 사용하는) 시간(T_2)으로부터 계속 정상 동작에 비해 (신호의 더 낮은 BER로 표시되는) 더 많은 에러를 포함한다. 위에서 언급한 바와 같이, 불안정한 클록 신호(2862)로 인한 데이터 신호(2851)에서의 추가 에러는 제 1 기간 동안 상이한 변조 방식을 사용함으로써 적어도 부분적으로 보상될 수 있다.

[1168] 데이터 신호(2851)를 생성하기 위한 장치(2870)는 장치(2820)에 대해 위에서 설명한 바와 같이 구현될 수 있다. 다시 말해, 데이터 신호(2851)를 생성하기 위한 장치(2870)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(2851)를 생성하도록 구성된 처리 회로(예를 들어, DTC(도시되지 않음))를 포함할 수 있다. 예를 들어, 제 1 타입이 상승 에지이고 제 2 타입이 하강 에지일 수 있거나, 또는 제 2 타입이 상승 에지이고 제 1 타입이 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 위에서 설명한 바와 같이, 다른 시간 인코딩된 통신 프로토콜 외에도, 송신기(2850)는 STEP 프로토콜에 따른 통신에 사용될 수 있다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s, 또는 10^{-12}s 미만일 수 있다.

[1169] 또한, 데이터 신호(2851)를 생성하기 위한 장치(2870)는 데이터 신호(2851)를 송신 링크(도시되지 않음)로 출력하도록 구성된 출력 인터페이스 회로(도시되지 않음)를 포함할 수 있다.

[1170] 또한 송신기(2850)는 일부 예에서 데이터를 차동 방식으로 송신 링크로 출력하도록 구성될 수 있다. 즉, 처리 회로는 또한 데이터 신호(2851)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 또한, 출력 인터페이스 회로는 제 2 데이터 신호를 송신 링크로 출력하도록 구성될 수 있다.

[1171] STEP 프로토콜에 따른 송신기(2850)의 동작은 다음과 같이 요약될 수 있다. 정상 동작 모드에서(즉, 높은 데이터 레이트에서), STEP 신시사이저(2860)는 클록 신호(2862)의 주파수 에러가 최소화되도록 고정될 수 있다. 대기 모드로 스위칭할 때(예를 들어, 시스템이 송신 또는 수신하고 있지 않지만, 빠른 활성화를 위해 대기중인 때), 신시사이저(2860)는 파워 다운된다(반면에 전력 공급 장치, 예를 들어 LDO 레귤레이터는 활성 상태로 유지된다). 이것은 대기 모드에서 전력 소비를 상당히 낮출 수 있다. 시스템이 대기 모드로부터 활성 모드로 이동할 때, STEP 인터페이스/송신기는 (풀 데이터 레이트로) 활성화되고 신시사이저 또한 활성화된다. 신시사이저(2860) 내의 제어 발진기(2861)(예를 들어, DCO 또는 VCO)가 발진하기 시작하면, (도 28d에 도시된 바와 같이) 신시사이저(2860)가 아직 안정화되지 않을 수 있을지라도, STEP 인터페이스는 매우 짧은 시간(예를 들어 100 ns 미만) 이후에 송신 및 수신을 시작한다. 주파수 에러를 제한하기 위해, 제어 발진기(2861)는 발진기 서브 대역이 작도록(예를 들어 ~80 MHz) 설계될 수 있다. 제어 발진기(2861)를 턴 오프하기 전에, 서브 대역 및 주파수 제어 워드(즉, 스티어링 신호(2863))는 유지되며(예를 들어, 메모리(2880)에 저장되며) 일단 제어 발진기(2861)가 활성화되면 사용될 수 있는데, 이것은 작은 초기 에러(예를 들어, ~10 내지 20 MHz)를 초래할 수 있다.

[1172] 간단 명료하게 말하면, 위의 예 중 일부는 폐쇄 루프 및 개방 루프 신시사이저와 함께 작동할 수 있는 STEP 인터커넥트 시스템과 관련된다. 일부 예는 신시사이저가 수렴하는 동안 짧은 시간(예를 들어, 100 ns 미만) 내에 대기로부터 풀 레이트로 이동할 수 있는 STEP 인터커넥트 시스템과 관련된다. 추가 예는 최소의 초기 주파수 에러를 달성하기 위한 DCO 교정 및 활성화 기능이 있는 STEP 시스템과 관련된다. 다른 예는 (풀/고속 데이터 레이트로 작동하는 동안) "개방 루프" 신시사이저를 사용하고 "루프를 폐쇄함"으로써 드리프트 에러를 보정할 수 있는 STEP 시스템과 관련된다. 루프를 폐쇄하기 위한 트리거는 예를 들어 온도 검출기 또는 타이머에 의해 생성될 수 있다.

[1173] 상이한 컴포넌트에서 클록 생성 또는 디바이스의 상이한 컴포넌트 사이의 클록 동기화가 바람직하거나 필요할

수 있다.

[1174] 예를 들어, 위상 고정 루프(PLL), 신시사이저, 디지털 PLL, 지연 라인 고정 루프(delay line locked loop)(DLL) 또는 이와 유사한 것과 같은 시스템에 기초한 정확한 주파수 생성은 (예를 들어, 수정 발진기에 의해 생성된) 기준 주파수를 사용한다.

[1175] 예를 들어, 위의 주파수 생성 시스템은 국부 발진기(LO) 신호를 생성하는 통신 송수신기(예를 들어, WiFi, 5G, LTE 등)에 통합되거나 또는 서버와 같은 컴퓨팅 시스템에 통합되어, 디지털 디바이스의 클록(CLK)을 생성할 수 있다.

[1176] 기준 신호(fref)를 시스템의 여러 지점에 공급하는 것이 바람직할 수 있다. 이러한 기준 신호(fref) 분배는 STEP 인터페이스를 사용하여 이식될 수 있다. STEP을 통해 연결되는 모든 디바이스는 STEP 상호 연결로부터 fref를 추출할 수 있다. 시스템에는 단결정 발진기(XTAL)(또는 소수 개만의 XTAL)만 필요할 수 있으며, 이것은 크기와 비용을 낮출 수 있다. (예를 들어, MIMO 및 BF의 경우) STEP에 연결된 모든 모듈 사이의 동기화가 가능해질 수 있다. 또한, 플랫폼 잡음 소스로부터 기준 신호(fref)의 높은 잡음 면역성을 달성할 수 있다.

[1177] 인쇄 회로 기판(printed circuit board)(PCB)을 통해 fref를 라우팅하거나 또는 주파수 생성 시스템 근처에 다수의 XTAL(크리스탈 발진기)을 배치하는 두 가지 다른 방법이 있을 수 있다. 그러나 PCB 위에 fref를 라우팅하면 fref 품질이 저하될 수 있다. 송수신기에서, 이것은 TX & RX 위상 잡음(phase noise)(PN)을 증가시키며, 이에 따라 TX & RX 에러 벡터 크기(error vector magnitude)(EVM)를 저하시킬 수 있다. 단일 시스템에서 다수의 XTAL을 사용하면 비용과 크기가 증가될 수 있다. 더욱이 MIMO 및 빔 포밍(beamforming)(BF) 시스템에서, 상이한 송수신기 사이에는 동기화가 필요할 수 있는데, 이것은 각 송수신기가 자체 XTAL을 갖고 있을 때는 가능하지 않을 수 있다.

[1178] 일부 예는 STEP 인터페이스를 통해 연결된 상이한 모듈 사이의 클록 동기화와 관련된다. 예를 들어, STEP은 펄스 폭 변조(pulse width modulation)(PWM)를 기초로 하므로 레이트는 데이터 종속적이다. 따라서, STEP 데이터로부터(예를 들어 페이로드 데이터 심볼의 에지로부터) 직접 기준 신호(fref)를 추출하는 것은 불가능할 수 있다. STEP을 통해 기준 신호를 전달하기 위해, 기준 신호는 (예를 들어, 클록 분배 심볼(clock distribution symbol) 및 가변 버퍼 심볼(variable buffer symbol)을 사용함으로써) STEP을 통해 송신되는 데이터의 일부로서 변조될 수 있다. STEP의 PWM 특성을 극복하고 기준 신호 표시가 일정한 시간에 나타나는 것을 보장하기 위해, 두 개의 심볼(예를 들어, 클록 분배 심볼 및 가변 버퍼 심볼)을 갖는 추가 구분자가 사용될 수 있다. 제 1 심볼은 버퍼의 길이를 증가 또는 감소시킴으로써, 필요한 시간이 보상될 수 있는 적응적 버퍼일 수 있어서, 제 2 심볼(예를 들어, 기준 심볼 또는 클록 분배 심볼)은 원하는 타이밍에 나타날 것이다. 예를 들어, 라디오 헤드(RH) 또는 다른 외부 모듈을 위해 STEP 프로토콜을 통한 클록(CLK) 동기화가 구현될 수 있다.

[1179] 도 29a는 예에 따른 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(2900)는 데이터 신호를 생성하도록 구성된 처리 회로(2902)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 1 비 페이로드 데이터 심볼(non-payload data symbol)에 대응하는 제 1 기간에 의해 분리된다. 또한, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 2 비 페이로드 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 제 1 기간 및/또는 제 2 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길다. 또한, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 (제 1) 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 (제 1) 클록 분배 심볼이다. 또한, 장치(2900)는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로(2902)를 포함한다.

[1180] 가변 버퍼 심볼 및 클록 분배 심볼에 대응하는 데이터 신호 내에서 에지의 생성으로 인해, 데이터 신호 내의 에지는 장치의 기준 신호 또는 클록 신호의 에지와 동기화될 수 있고 수신기에서 클록 복구를 가능하게 할 수 있다. 이러한 방식으로, 수신기에서 기준 신호 생성기(예를 들어 수정 발진기)의 구현은 불필요할 수 있다.

[1181] 처리 회로(2902)는 가변 버퍼 심볼의 기간의 에지 및/또는 클록 분배 심볼의 기간의 에지가 장치(2900)의 기준 신호(예를 들어, 기준 발진기 신호 또는 기준 클록 신호)의 에지에 대응하도록 가변 버퍼 심볼의 기간의 길이를 선택하도록 구성될 수 있다.

[1182] 가변 버퍼 심볼은 처리 회로(2902)가 기준 신호의 에지에 대응하는 시간에 신호 에지를 생성할 수 있게 하는데 사용될 수 있다. 가변 버퍼 심볼의 길이는 가변 버퍼 심볼의 기간의 에지 및/또는 클록 분배 심볼의 기간의 에

지를 기준 신호의 에지에 동기화시키기 위해 클록 분배 심볼의 상이한 송신마다 변동할 수 있다. 클록 분배 심볼은 사용된 통신 프로토콜의 심볼에 대해 고유한 길이(예를 들어, 고유한 구분자 길이)를 가질 수 있다. 이러한 방식으로, 수신기는 클록 분배 심볼을 검출할 수 있을 수 있고 클록 또는 발진기 신호를 클록 분배 심볼의 타이밍과 동기화할 수 있다.

[1183] 비 페이로드 데이터 심볼은 페이로드 데이터를 송신하는데 사용되는 통신 프로토콜의 모든 데이터 심볼과 상이한 시간 길이를 갖는 심볼일 수 있다. 비 페이로드 데이터 심볼은 예를 들어 제어 정보, 상태 정보 또는 클록 정보를 송신하는데 사용될 수 있다. 예를 들어, 제 1 및 제 2 비 페이로드 데이터 심볼은 구분자 심볼일 수 있다. 예를 들어, 가변 버퍼 심볼 및 클록 분배 심볼은 비 페이로드 데이터 심볼(예를 들어, 구분자 심볼)이다. 예를 들어, 가변 버퍼 심볼의 기간 및/또는 클록 분배 심볼의 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다.

[1184] 제 1 비 페이로드 데이터 심볼은 가변 버퍼 심볼일 수 있고, 제 2 비 페이로드 데이터 심볼은 클록 분배 심볼일 수 있거나, 또는 그 반대일 수도 있다. 예를 들어, 가변 버퍼 심볼은 시작 에지 및 종료 에지를 가지며 클록 분배 심볼은 시작 에지 및 종료 에지를 갖는다. 가변 버퍼 심볼이 클록 분배 심볼 이전에 송신되면, 가변 버퍼 심볼의 종료 에지는 도 29b에 도시된 바와 같이 클록 분배 심볼의 시작 에지와 동일하다. 도 29b는 가변 버퍼 심볼(2910)(버퍼라고 표시됨) 및 클록 분배 심볼(2912)(기준이라고 표시됨)을 도시한다. 이 예에서, 클록 분배 심볼의 시작 에지 또는 종료 에지는 장치(2900)의 기준 신호의 에지와 동기화될 수 있다. 대안적으로, 가변 버퍼 심볼이 클록 분배 심볼 이후에 송신되면, 가변 버퍼 심볼의 시작 에지는 도 29b에 도시된 바와 같이 클록 분배 심볼의 종료 에지와 동일하다. 이 경우, 가변 버퍼 심볼의 종료 에지는 장치(2900)의 기준 신호의 에지와 동기화될 수 있다.

[1185] 처리 회로(2902)는 가변 버퍼 심볼 및 클록 분배 심볼을 반복적으로 (예를 들어, 주기적으로, 비 주기적으로, 미리 정의된 시간에 또는 랜덤한 시간에) 송신하도록 구성될 수 있다. 예를 들어, 클록 신호는 일정한 레이트/주파수로 생성될 수 있거나, 또는 RX가 클록 신호를 추출할 수 있게 하는 확산 시퀀스(spreading sequence)를 TX 및 RX가 알도록 확산 신호(spread signal)로서 생성될 수 있다. 예를 들어, 기본 동작은 확산하지 않고 작동할 수 있으며 모든 클록 분배 심볼은 알려진 일정한 비율로 나타난다(이것은 스펙트럼 방사(spectral emission)로 이어질 수 있다). 대안적으로, "확산" 동작 동안, 기본 동작으로부터의 클록 분배 심볼의 일부만이 사용될 수 있다. (예를 들어, 클록킹 심볼이 사용될 때) 레이트 및 위치는 (예를 들어, 미리 정의된 의사 랜덤 이진 시퀀스(pseudorandom binary sequence)(PRBS) 시퀀스에 따라) "랜덤"일 수 있다. 따라서 클록킹 심볼이 나타나면, 타이밍은 올바를 수 있지만 클록킹 심볼 출현의 레이트는 일정하지 않을 수 있다. RX 측에서 클록은 클록 복구 메커니즘에 의해 추출될 수 있다.

[1186] 수신기는 반복적으로 송신된 가변 버퍼 심볼 및 클록 분배 심볼에 기초하여 수신기의 클록 신호 또는 국부 발진기 신호를 생성 또는 동기화시킬 수 있다. 장치(2900)의 기준 신호의 주파수 및/또는 수신기에서 동기화될 기준 신호의 주파수에 따라, 클록 분배 심볼은 더 자주 또는 덜 전송될 수 있다. 예를 들어, 고주파 기준 신호(예를 들어, 10 GHz 초과의 주파수)가 사용될 수 있다면, 클록 분배 심볼은 데이터 신호 내에서 적어도 1 GHz의 주파수로 발생할 수 있다.

[1187] 예를 들어, 처리 회로(2902)는 가변 버퍼 심볼 및 클록 분배 심볼의 쌍을 반복적으로 포함하는 데이터 신호를 생성하도록 구성될 수 있다. 또한, 처리 회로(2902)는 가변 버퍼 심볼과 클록 분배 심볼의 쌍 사이에서 데이터 심볼(예를 들어, 페이로드 데이터 심볼)을 포함하는 데이터 신호를 생성하도록 구성될 수 있다. 처리 회로(2902)는 기준 클록 신호 또는 기준 발진기 신호에 기초하여 데이터 신호 내에서 클록 분배 심볼을 생성하도록 구성될 수 있다. 처리 회로(2902)는 클록 분배 심볼 및/또는 가변 버퍼 심볼의 상승 에지 또는 하강 에지가 기준 클록 신호 또는 기준 발진기 신호의 에지에 대응하도록 가변 버퍼 심볼의 기간을 생성하도록 구성될 수 있다.

[1188] 예를 들어, 처리 회로(2902)는 제 4 신호 에지(m번째 신호 에지), 제 5 신호 에지(m+1번째 신호 에지) 및 제 6 신호 에지(m+2번째 신호 에지)의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성될 수 있다. 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜에 따라 송신될 제 3 비 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다. 또한, 제 5 신호 에지 및 제 6 신호 에지는 통신 프로토콜에 따라 송신될 제 4 비 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다. 예를 들어, 제 3 기간 및/또는 제 4 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길다. 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 하나는 제 2 가변 버퍼 심볼이고, 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심

볼 중 다른 하나는 제 2 클록 분배 심볼이다.

[1189] 예를 들어, 페이로드 데이터는 데이터 신호 내의 신호 에지가 페이로드 데이터의 송신 동안 기준 신호와 동기화되지 않도록 제 1 클록 분배 심볼과 제 2 클록 분배 심볼 사이에서 송신될 수 있다. 페이로드 데이터는 위 또는 아래의 STEP 연결의 하나 이상의 예와 관련하여 설명된 바와 같이 시간 인코딩된 데이터 심볼로서 송신될 수 있다. 제 2 가변 버퍼 심볼 및/또는 제 2 클록 분배 심볼의 에지 중 하나의 에지는 대응적으로 제 2 가변 버퍼 심볼의 길이를 선택함으로써 기준 신호의 에지와 동기화될 수 있다. 그러므로 대부분의 경우 두 개의 잇따른 가변 버퍼 심볼의 길이는 서로 상이할 수 있다. 예를 들어, (제 1) 가변 버퍼 심볼의 기간은 제 2 가변 버퍼 심볼의 기간과 상이할 수 있다.

[1190] 가변 버퍼 심볼의 시간 길이와 대조적으로, 클록 분배 심볼의 시간 길이는 수신기가 클록 분배 심볼을 검출할 수 있도록 일정하게 유지될 수 있다. 예를 들어, (제 1) 클록 분배 심볼의 기간은 제 2 클록 분배 심볼의 기간과 동일하다.

[1191] 처리 회로(2902)는 페이로드 데이터가 위에서 또는 아래에서 설명되는 STEP 프로토콜에 따라 클록 분배 심볼 사이에서 송신되도록 데이터 신호를 생성하도록 구성될 수 있다. 제안된 클록 분배 심볼 및 가변 버퍼 심볼은 위에서 또는 아래에서 설명되는 STEP 연결 또는 STEP 인터페이스의 하나 이상의 예의 옵션의 특징일 수 있다.

[1192] 이것은 낮은 주파수(예를 들어, 1MHz - 100MHz)와 높은 주파수 기준(예를 들어, 1 GHz 초과) 사이에서 구별될 수 있다. 종종 주파수 생성 모듈(예를 들어, 디지털 위상 고정 루프(DPLL))은 낮은 주파수 기준을 사용한다. STEP 인터페이스(또는 임의의 다른 종류의 기준 연결)를 통해 높은 주파수 기준을 사용하는 이유는 (예를 들어, 높은 기준을 원하는 주파수로 나눈 이후) 기준과 결합되는 임의의 잡음이 링크의 다른 쪽 끝에서 감쇠될 수 있기 때문일 수 있다.

[1193] 예를 들어, STEP 인터페이스를 통해 낮은 주파수 기준을 전달하기 위해, fref CLK 심볼(예를 들어, 가변 버퍼 심볼 및 클록 분배 심볼)은 기본 송신 유닛(basic transmission unit)(BTU) 레이트와 BTU의 의도된 평균 레이트 사이의 시간차를 보상한다. 예를 들어, STEP에서, 위 또는 아래의 하나 이상의 예와 관련하여 설명되는 바와 같이 STEP에 걸쳐 일정한 평균 레이트를 유지하기 위해 각각의 BTU의 극성을 뒤집을 수 있는 "레이트 제어" 메커니즘이 사용될 수 있다. 그러므로, 짝수 개의 BTU에 걸쳐, 의도된 BTU 레이트와 실제 BTU 레이트 사이에는 제한된 타이밍 에러가 발생할 수 있다. 이러한 차이는 버퍼 심볼에 의해 보상될 수 있다.

[1194] 도 29c는 기준 신호의 기준 주파수가 낮은 STEP 타이밍의 예를 도시한다. 예를 들어, 기준 신호는 1 MHz 초과 및/또는 100 MHz 미만의 주파수를 갖는 수정 발진기에 의해 생성될 수 있다. 각각의 Fref CLK 심볼(기준 신호 클록 심볼)은 가변 버퍼 심볼(2910) 및 클록 분배 심볼(2912)을 포함한다. 예를 들어, 기준 신호는 기간 길이(T_{fref_LOW})를 가지며 가변 버퍼 심볼(2910)의 길이(T_{buffer})는 제 1 클록 분배 심볼의 종료 에지가 다음의 제 2 클록 분배 심볼의 종료 에지로부터 기준 신호의 기간 길이(T_{fref_LOW})만큼 분리되도록 선택된다. 예를 들어, 가변 버퍼 심볼의 기간은 최대한으로 통신 프로토콜의 기본 송신 유닛의 최대 시간 길이에 구분자 기간을 더한 것과 같다. 가변 버퍼 심볼의 기간과 클록 분배 심볼의 기간의 합은 기본 송신 유닛의 최대 시간 길이보다 작을 수 있다.

[1195] 도 29c의 예에서, 두 개의 Fref CLK 심볼 사이의 시간은 그 사이에서 네 개의 BTU를 송신하기에 충분하지만, 임의의 다른 수(예를 들어, 홀수)의 BTU도 가능할 수 있다.

[1196] 예를 들어, STEP을 통해 높은 주파수 기준을 전달하기 위해, 기준 표시는 더 짧은 시간에 삽입될 수 있고 동작은 BTU가 아닌 STEP 심볼을 통해 수행될 수 있다. fref CLK 심볼은 심볼 레이트와 심볼의 의도된 평균 레이트 사이의 시간차를 보상할 수 있다.

[1197] 도 29d는 기준 신호의 높은 기준 주파수를 갖는 STEP 타이밍의 예를 도시한다. 예를 들어, 기준 신호는 100 MHz 초과 및/또는 20 GHz 미만의 주파수를 가질 수 있다. 각각의 fref CLK 심볼(기준 신호 클록 심볼)은 가변 버퍼 심볼(2910) 및 클록 분배 심볼(2912)을 포함한다. 예를 들어, 기준 신호는 기간 길이(T_{fref_HIGH})를 가지며 가변 버퍼 심볼(2910)의 길이(T_{buffer})는 제 1 클록 분배 심볼의 종료 에지가 다음의 제 2 클록 분배 심볼의 종료 에지로부터 기준 신호의 기간 길이(T_{fref_HIGH})만큼 분리되도록 선택된다. 예를 들어, 가변 버퍼 심볼의 기간은 최대한으로 두 개의 잇따른 클록 분배 심볼 사이에서 송신될 데이터 심볼의 최대 시간 길이와 최소 시간 길이 사이의 차이에 구분자 기간을 더한 것과 같다.

[1198] 일부 예는 STEP에 의해 연결된 모든 모듈 간의 기준 동기화를 보장할 수 있다.

[1199] 장치(2900)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(2900)는 위에서 또는 아래에서 설명된 하나 이상의 예의 하나 이상의 양태에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1200] 도 29e는 예에 따른 데이터 신호를 디코딩하기 위한 장치의 블록도를 도시한다. 장치(2920)는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 결정하도록 구성된 처리 회로(2922)를 포함한다. 또한, 장치(2920)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 비 페이로드 데이터 심볼을 검출하도록 구성된 복조 회로(2924)를 포함한다. 또한, 복조 회로(2924)는 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 비 페이로드 데이터 심볼을 검출하도록 구성된다. 제 1 기간 및/또는 제 2 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길다. 또한, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼이다.

[1201] 가변 버퍼 심볼 및 클록 분배 심볼의 수신으로 인해, 장치(2920)를 갖는 디바이스는 가변 버퍼 심볼 및 클록 분배 심볼에 기초하여 기준 클록 신호 또는 기준 발진기 신호를 생성할 수 있다. 이러한 방식으로, 수신기 디바이스에서 기준 신호 생성기(예를 들어 수정 발진기)의 구현을 회피할 수 있다.

[1202] 처리 회로(2922)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 대응하는 제 1 디지털 값 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 대응하는 제 2 디지털 값을 출력하도록 구성된 시간-디지털 변환기를 포함할 수 있다. 복조 회로(2924)는 시간-디지털 변환기에 의해 출력된 디지털 값에 기초하여 데이터 신호 내에서 제 1 비 페이로드 데이터 심볼 및/또는 제 2 비 페이로드 데이터 심볼을 결정할 수 있다. 처리 회로(2922) 및/또는 복조 회로(2924)의 추가 세부 사항 및/또는 옵션의 특징은 위 또는 아래의 STEP 수신기의 하나 이상의 예와 관련하여 설명된다.

[1203] 처리 회로(2922)는 또한 데이터 신호에서 제 4 신호 에지(m번째 신호 에지 제 5 신호 에지(m+1번째 신호 에지) 및 제 6 신호 에지(m+2번째 신호 에지)의 시퀀스를 결정하도록 구성될 수 있다. 복조 회로(2924)는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 비 페이로드 데이터 심볼을 검출하도록 구성되고, 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 비 페이로드 데이터 심볼을 검출하도록 구성될 수 있다. 예를 들어, 제 3 기간 또는 제 4 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길다. 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 하나는 제 2 가변 버퍼 심볼이고, 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 다른 하나는 제 2 클록 분배 심볼이다.

[1204] 데이터 신호는 가변 버퍼 심볼 및 클록 분배 심볼의 쌍뿐만 아니라 가변 버퍼 심볼과 클록 분배 심볼의 쌍 사이에 있는 데이터 심볼을 반복적으로 포함할 수 있다.

[1205] 예를 들어, 복조 회로(2924)는 데이터 신호 내의 클록 분배 심볼에 기초하여 기준 클록 신호를 생성하도록 구성될 수 있다. 예를 들어, 생성될 또는 동기화될 기준 클록 신호의 모든 하강 또는 상승 에지 또는 에지의 미리 정의된 시퀀스(예를 들어, 매 초, 매 3번째 또는 4번째 상승 또는 하강 에지)는 가변 버퍼 심볼 및/또는 클록 분배 심볼의 시작 에지 또는 종료 에지에 동기화될 수 있다. 예를 들어, 클록 분배 심볼 또는 가변 버퍼 심볼의 상승 에지 또는 하강 에지는 기준 클록 신호의 에지에 대응한다.

[1206] 장치(2920)는 기준 클록 신호에 기초하여 국부 클록 신호 및/또는 국부 발진기 신호를 생성하도록 구성된 클록 생성 회로 및/또는 발진기 회로를 더 포함할 수 있다. 예를 들어, 기준 클록 신호의 주파수는 국부 클록 신호 및/또는 국부 발진기 신호의 주파수보다 낮을 수 있다.

[1207] 장치(2920)는 주파수 분할기를 더 포함할 수 있고, 복조 회로(2924)는 데이터 신호 내의 클록 분배 심볼에 기초하여 중간 클록 신호(intermediate clock signal)를 생성하도록 구성될 수 있다. 주파수 분할기는 중간 클록 신호에 기초하여 기준 클록 신호를 제공하도록 구성될 수 있다. 예를 들어, 중간 클록 신호는(예를 들어, 도 29d와 관련하여 설명된 바와 같이) 100 MHz 초과의 주파수를 포함할 수 있다.

[1208] 장치(2920)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(2920)는 위에서 또는 아래에서 설명된 하나 이상의 예의 하나 이상의 양태에 대응하는 하나 이상의 추가적인 옵션의 특징

을 포함할 수 있다.

[1209] 도 29f는 예에 따른 STEP 시스템(2948)의 블록도 및 (예를 들어, 도 29d와 관련하여 설명된) 높은 기준 추출을 도시한다. 이 예에서, 데이터 신호를 생성하기 위한 장치는 송신(TX) 드라이버(2932)(예를 들어, 데이터 신호를 생성하기 위한 장치의 출력 인터페이스)에 결합되고 디지털 위상 고정 루프(2934)(예를 들어, STEP DPLL)에 결합된 디지털-시간 변환기(DTC)(2930)(예를 들어, 데이터 신호를 생성하기 위한 장치의 처리 회로)를 포함한다. 디지털 위상 고정 루프(2934)는 (예를 들어, 12 GHz의 주파수의) 기준 발진기 신호(fvco)를 생성한다.

[1210] 송신(TX) 드라이버(2932)는 송신 라인(2936)(링크)을 통해 데이터 신호를 디코딩하기 위한 장치의 수신(RX) 드라이버(2942)에 연결된다. 데이터 신호를 디코딩하기 위한 장치는 시간-디지털 변환기(TDC)(2940)(예를 들어, 데이터 신호를 디코딩하기 위한 장치의 처리 회로), 분할기(2944)(DIV N) 및 디지털 위상 고정 루프(2946)(DPLL)를 더 포함한다.

[1211] 송신(TX) 드라이버(2932)는 가변 버퍼 심볼 및 클록 분배 심볼을 갖는 데이터 신호를 수신(RX) 드라이버(2942)로 송신할 수 있다. 디지털 시간 변환기 TDC(2940) 및/또는 시간-디지털 변환기(TDC)(2940)를 포함하는 처리 회로는 중간 클록 신호 또는 중간 발진기 신호(fref_high)를 분할기(2944)에 제공할 수 있다. 중간 클록 신호 또는 중간 발진기 신호(fref_high)는 가변 버퍼 심볼 및 클록 분배 심볼에 기초한 신호 에지를 포함한다. 분할기(2944)는 중간 클록 신호 또는 중간 발진기 신호(fref_high)의 주파수를 인수(N)(예를 들어, 정수)로 나누고 기준 클록 신호 또는 기준 발진기 신호(fref)를 디지털 위상 고정 루프(2946)로 출력한다. 데이터 신호를 디코딩하기 위한 장치의 디지털 위상 고정 루프(2946)는 기준 클록 신호 또는 기준 발진기 신호(fref)에 기초하여 국부 클록 신호 또는 국부 발진기 신호를 생성할 수 있다.

[1212] 예를 들어, TX 측에서:

[1213] STEP DPLL fvco = 12GHz, 잡음@100KHz = -110dBc/Hz

[1214] f_{REF_HIGH} = 600MHz -> 잡음@100KHz = -110-20log(20) = -136dBc/Hz

[1215] 예를 들어, RX 측에서:

[1216] TDC는 CLK 심볼을 검출하고 복구된 f_{REF_HIGH} 를 생성한다.

[1217] f_{REF_HIGH}는 N=10으로 분할되어 -> fref = 60MHz, 잡음 @ 100KHz = -156dBc/Hz 이다.

[1218] 모든 시스템 잡음 및 링크 잡음은 또한 분할기에 의해 20 dB 만큼 감쇠될 수 있다

[1219] STEP 시스템(2948)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. STEP 시스템(2948)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1220] 무선 송수신기에 관련한 일부 예는 데이터 신호를 디코딩하기 위한 장치 및 베이스밴드 송신 신호에 기초한 고주파 송신 신호 및 가변 버퍼 심볼과 클록 분배 심볼에 기초하여 생성된 국부 발진기 신호를 생성하도록 구성된 상향 변환 회로를 포함한다. 데이터 신호를 디코딩하기 위한 장치는 (예를 들어, 도 29a 내지 도 29f와 관련하여) 위에서 설명된 하나 이상의 예에 따라 구현될 수 있다.

[1221] 일부 예는 데이터 신호를 생성하기 위한 장치를 포함하는 베이스밴드 프로세서에 관련된다. 데이터 신호를 생성하기 위한 장치는 (예를 들어, 도 29a 내지 도 29f와 관련하여) 위에서 설명된 하나 이상의 예에 따라 구현될 수 있다.

[1222] 도 29g는 예에 따른 모바일 디바이스의 블록도를 도시한다. 모바일 디바이스(2960)는 (예를 들어, 도 29a와 관련하여 설명된) 데이터 신호를 생성하기 위한 장치 및 (예를 들어, 도 29e와 관련하여 설명된) 데이터 신호를 디코딩하기 위한 장치를 포함한다.

[1223] 예를 들어, 모바일 디바이스는 데이터 신호를 생성하기 위한 장치를 포함하는 베이스밴드 프로세서(2950)(베이스밴드 집적 회로(baseband integrated circuit)(BB-IC))를 포함한다. 또한, 모바일 디바이스는 하나, 둘 또는 그 이상의 무선 주파수(RF) 송수신기(2952)를 포함하고, 각각의 송수신기는 데이터 신호를 디코딩하기 위한 장치를 포함한다. 무선 주파수(RF) 송수신기(2952)는 STEP 연결을 통해 베이스밴드 프로세서(2950)에 연결될

수 있다.

[1224] 또한, 모바일 디바이스(2960)는 고전력 직류(DC) 라인을 통해 아날로그 부품(DC/DC Ana)을 위한 공급 전압 및 디지털 부품(DC/DC Dig)을 위한 공급 전압을 무선 주파수(RF) 송수신기(2592)에 제공할 뿐만 아니라 공급 전압(DC 전압)을 베이스밴드 프로세서(2950)에 제공하도록 구성된 전력 관리 유닛(2956)(예를 들어, xPMU)을 포함할 수 있다.

[1225] 모바일 디바이스(2960)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 모바일 디바이스(2960)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1226] 도 29h는 예에 따른 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다. 방법(2980)은 데이터 신호를 생성하는 단계(2982)를 포함하며, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 1 비 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 2 비 페이로드 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 제 1 기간 및/또는 제 2 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길다. 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼이다. 또한, 방법(2980)은 데이터 신호를 출력하는 단계(2984)를 포함한다.

[1227] 방법(2980)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(2980)은 위에서 또는 아래에서 설명된 하나 이상의 예의 하나 이상의 양태에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1228] 도 29i는 예에 따른 데이터 신호를 디코딩하기 위한 방법의 흐름도를 도시한다. 방법(2990)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(2992)를 포함한다. 또한, 방법(2990)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 비 페이로드 데이터 심볼을 검출하는 단계(2994) 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 비 페이로드 데이터 심볼을 검출하는 단계(2996)를 포함한다. 또한, 제 1 기간 또는 제 2 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길다. 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼이다.

[1229] 방법(2990)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(2990)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1230] 일부 예는 STEP 연결의 펄스 폭 변조 이외에 진폭 변조의 구현에 관련된다. STEP 인터페이스는 이미 다중 Gbits/sec 용량을 가질 수 있지만, 비트 레이트를 더 증가시키는 것이 바람직할 수 있다. STEP 연결은 펄스 속도 변조(PAMx)를 사용하여 비트 레이트를 증가시킬 수 있다.

[1231] 예를 들어, 더 많은 비트(예를 들어, PAM3 이상을 사용함으로써 2개 이상의 비트)가 진폭 상에 코딩될 수 있다. 진폭의 수를 증가시키면 채널 반사 및/또는 ISI(심볼 간 간섭 - 예를 들어, 이전에 송신된 심볼 중 하나가 다음에 송신된 심볼에 영향을 줄 수 있음)에 더 많이 노출되는 결과를 초래할 수 있지만, 비트 레이트는 증가될 수 있다.

[1232] 예를 들어, 각각의 위상은 3개의 시간 인코딩된 비트를 갖는 데이터 심볼에 대한 예로서 3 비트가 아닌 4 비트를 생성할 수 있다. 대안적으로, 2개의 심볼이 8 또는 9 비트를 생성할 수 있도록 (예를 들어, 하나의 심볼은 4 비트를 생성하지 않음) 제안될 수 있거나, 또는 하나의 심볼이 심지어 5개 이상의 비트를 생성하는 옵션이 제안될 수 있다.

[1233] 예를 들어, STEP은 (예를 들어, 도 30f에 도시된) 차동 시그널링을 사용하여 위상 변조를 코드 비트에 적용할 수 있다(예를 들어, 신호의 상승/하강에 3 비트를 적용할 수 있다). 위상 하강 또는 상승은 심볼일 수 있다. 대안적으로 또는 부가적으로, STEP은 동일한 방식을 사용할 수 있지만, 차동 신호 대신에 각각의 P 및 N 신호의 진폭에 개별적으로 3개의 코드가 사용될 수 있고 (예를 들어, 도 30f에 도시된) 여벌의 "진폭" 옵션을 추가할 수 있다. 이러한 진폭 옵션은 단일 비트/심볼을 추가시킬 수 있다(예를 들어, 3 비트(전형적임)에서 4 비트로

전송되는 비트 수를 증가시킬 수 있다).

[1234] 예를 들어, STEP은 2 레벨 변조를 사용할 수 있으며 이러한 방식으로 도 30b에 도시된 바와 같이 각 심볼에 대해 하나의 비트를 여벌로 (예를 들어, 3 비트에서 4 비트로) 추가할 수 있다. 대안적으로, STEP은 도 30c에 도시된 바와 같이 PAM3을 사용할 수 있다(예를 들어, 2개의 심볼의 조합함으로써 코드는 여벌의 3 비트를 2개의 심볼에 추가하거나 또는 2개의 심볼에서 9 비트를 얻을 수 있다). 대안적으로, STEP은 (예를 들어, 2 비트/심볼을 추가하는) PAM4를 사용할 수 있다. 더 높은 PAM 레벨은 아마도 2개의 심볼 또는 단일 심볼을 추가하여 비트 레이트를 증가시킬 수 있다.

[1235] 도 30a는 예에 따른 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3000)는 데이터 신호를 생성하도록 구성된 처리 회로(3002)를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로(3002)는 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 송신될 추가 데이터에 대응하는 제 2 기간 동안 데이터 신호의 제 2 신호 진폭을 변조하도록 구성된다. 또한, 장치(3000)는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로(3004)를 포함한다.

[1236] 펄스 폭 변조된 데이터 신호의 신호 진폭을 변조함으로써, 데이터 송신의 비트 레이트가 증가될 수 있다.

[1237] 처리 회로(3002)는 데이터 통신 프로토콜에 기초하여 데이터 신호를 생성하도록 구성될 수 있다. 예를 들어, 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼은 제 1 데이터 및 추가 데이터의 적어도 하나의 비트를 포함하고, 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼은 제 2 데이터 및 추가 데이터의 적어도 다른 비트를 포함한다.

[1238] 데이터 신호는 데이터 심볼의 기간 동안 일정한 진폭 레벨을 가질 수 있지만, 진폭 레벨은 상이한 데이터 심볼의 기간마다 변동할 수 있다. 송신될 추가 데이터는 하나 이상의 시간 인코딩된 심볼로 변조된 하나 이상의 추가 데이터 비트일 수 있다. 다시 말해, 데이터 심볼의 송신 동안 데이터 신호의 진폭은 송신될 추가 데이터에 기초하여 선택될 수 있다. 하나 이상의 추가 데이터 비트는 하나 이상의 시간 인코딩된 심볼의 일부로서 취급될 수 있거나, 또는 하나 이상의 시간 인코딩된 심볼의 비트의 끝 또는 시작 부분에 추가될 수 있다.

[1239] 데이터 신호의 신호 진폭은 펄스 진폭 변조될 수 있다. 예를 들어, 데이터 신호는 펄스 폭 변조 및 진폭 변조될 수 있다. 예를 들어, 추가 데이터의 적어도 하나의 비트에 관한 정보는 (예를 들어, 도 30b에 도시된 바와 같이) 데이터 신호 내의 단일 데이터 심볼의 진폭 상에서 변조될 수 있다. 대안적으로, 추가 데이터의 적어도 하나의 비트에 관한 정보는 (예를 들어, 도 30c에 도시된 바와 같이) 제 1 신호 진폭 및 제 2 신호 진폭에 걸쳐 분배될 수 있다. 이 예에서, 추가 데이터의 하나 이상의 비트에 관한 정보는 데이터 신호 내의 두 개 이상의 데이터 심볼 상에서 변조되어 개선된 비트 레이트를 획득할 수 있다(아래 표 참고).

[1240] 예를 들어, 추가 데이터의 비트는 데이터 신호의 진폭 변조에 의해서만 송신될 수 있다(예를 들어, 도 30b 및 도 30c). 대안적으로, 추가 데이터의 적어도 하나의 비트에 관한 정보는 펄스 진폭 변조 및 시간 인코딩될 수 있다. 다시 말해, 추가 데이터의 적어도 하나의 비트에 관한 정보는 송신될 하나 이상의 데이터 심볼의 시간 및 진폭에서 인코딩될 수 있다. 예를 들어, 비트는 시간 및 진폭 도메인에서 결합되어 상이한 시간 및 진폭 상태의 이용을 개선시킬 수 있다. 예를 들어, 세 개의 진폭 레벨 및 세 개의 기간의 길이가 이용 가능하여, 3 비트를 코딩할 수 있는 9개의 조합된 상태를 생성할 수 있거나, 또는 4 또는 5 비트의 경우 세 개의 진폭 레벨이 6 또는 12개의 시간 상태와 조합될 수 있다.

[1241] 진폭 변조는 두 개의 서로 다른 가능한 진폭 레벨(예를 들어, 도 30b), 세 개의 서로 다른 가능한 진폭 레벨(예를 들어, 도 30c), 네 개의 서로 다른 가능한 진폭 레벨 또는 미리 정의된 다른 수의 가능한 진폭 레벨로 수행될 수 있다.

[1242] 예를 들어, 처리 회로(3002)는 데이터 신호의 제 1 신호 진폭이 제 1 진폭 임계치보다 크도록, 데이터 신호의 제 2 신호 진폭이 제 1 진폭 임계치보다 낮고 제 2 진폭 임계치보다 크도록, 그리고 데이터 신호가 제 3 기간 동안 제 3 신호 진폭을 포함하도록 데이터 신호를 생성하도록 구성될 수 있다. 데이터 신호의 제 3 신호 진폭은 제 2 진폭 임계치보다 낮을 수 있다.

[1243] 도 30b는 2개의 출력 레벨을 사용하는 예를 도시한다(예를 들어, 코드 위상이 3 비트/에지이면 비트 레이트의 이득은 33 %이다). 2개의 상이한 출력 상태를 구별하기 위해 단일(제 1) 진폭 임계치(3006)가 도시된다. 이

예에서, 3 비트는 펄스 폭 변조에 의해 송신되고 1 비트는 진폭 변조에 의해 송신된다. 예를 들어, 이러한 코드는 P&N의 균형을 맞출 수 있지만, 입력 전압이 판정 임계치(3006)를 초과하는지를 검출하는 단일 비트 비교기를 필요로 할 수 있다. 초과하면, 1로 변환될 수 있고, 그렇지 않으면 0으로 변환될 수 있다(또는 그 반대일 수도 있다). 이러한 방식으로, 각 코드에 여벌의 비트가 추가될 수 있다. 이러한 개념의 잡음 면역성은 예를 들어 방사된 잡음뿐만 아니라 도 30e 내지 도 30g와 관련하여 설명된 예보다 우수할 수 있다. 또한, 송신기에서 전치 왜곡이 구현될 수 있다.

[1244] 도 30c는 3개의 출력 레벨을 사용하는 예를 도시한다(예를 들어, 코드 위상이 3 비트/에지이면 비트 레이트의 이득은 50 %이다). 제 1 진폭 임계치(3006) 및 제 2 진폭 임계치(3008)는 각각의 시간 인코딩된 심볼의 진폭의 세 개의 상이한 출력 상태를 구별하기 위해 사용된다. 예를 들어, 세 개의 추가 데이터 비트가 두 개의 시간 인코딩된 심볼에 걸쳐 분배될 수 있다. 이 예에서, 각각의 시간 인코딩된 심볼은 두 개의 심볼이 9개 옵션을 제공하여 결과적으로 2개 심볼당 3개의 추가 비트가 발생할 수 있도록 세 개의 진폭 옵션을 제공할 수 있다.

[1245] 예를 들어, 이러한 코드는 P&N 라인의 균형을 맞출 수 있지만, 2개의 슬라이서(판정 임계치 슬라이서)를 필요로 할 수 있고, 3 비트를 생성할 수 있다. (예를 들어, PAM3과 동등한) 3 비트가 2 심볼 시간에 걸쳐 있는 경우, 여벌의 3 비트로 변환될 수 있는 최대 총 9개의 코드가 생성될 수 있다.

[1246] 이러한 슬라이스를 사용하고 2개의 심볼을 그룹화하면 예로서 다음과 같이 매핑될 수 있다:

[1247]

비트 코드	심볼 0 슬라이서 (1 & 2) 출력	심볼 1 슬라이서 출력
0	0 & 0 (최저 레벨)	0 & 0
1	1 & 0 (중간 레벨)	0 & 0
2	1 & 0	1 & 0
3	1 & 1 (최고 레벨)	1 & 0
4	1 & 1	1 & 1
5	1 & 0	1 & 1
6	0 & 0	1 & 1
7	0 & 0	1 & 0
사용되지 않음	0 & 0	1 & 0

[1248] 유사하게, 예를 들어, 비트 레이트를 약 67 %만큼 증가시킬 수 있는 4 레벨을 설정(예를 들어, 2 비트/심볼을 추가)하는 것이 가능할 수 있으며, 8개의 레벨은 비트 레이트를 두 배로 증가시킬 수 있다.

[1249] 장치(3000)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(3000)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1250] 도 30d는 예에 따른 데이터 신호를 디코딩하기 위한 장치의 블록도를 도시한다. 장치(3010)는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 결정하도록 구성된 처리 회로(3012)를 포함한다. 또한, 장치(3010)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로(3014)를 포함한다. 또한, 복조 회로(3014)는 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 데이터 신호의 제 2 신호 진폭에 기초하여 추가 데이터를 결정하도록 구성된다.

[1251] 데이터 신호는 데이터 통신 프로토콜에 기초할 수 있다. 예를 들어, 데이터 통신 프로토콜에 따라 수신된 제 1 데이터 심볼은 제 1 데이터 및 추가 데이터의 적어도 하나의 비트를 포함하고, 데이터 통신 프로토콜에 따라 수신된 제 2 데이터 심볼은 제 2 데이터 및 추가 데이터의 적어도 다른 비트를 포함한다.

[1252] 추가 데이터의 비트에 관한 정보는 단일 데이터 심볼과 함께 변조될 수 있거나(예를 들어, 도 30b) 또는 2개 이상의 데이터 심볼에 걸쳐 분배될 수 있다(예를 들어, 도 30c). 예를 들어, 복조 회로(3014)는 제 1 신호 진폭 및 제 2 신호 진폭에 기초하여 추가 데이터의 비트를 결정하도록 구성될 수 있다.

[1253] 예를 들어, 복조 회로(3014)는 데이터 신호의 신호 진폭을 하나 이상의 진폭 임계치와 비교하도록 구성된 하나 이상의 비교기를 포함할 수 있다.

[1254] 예를 들어, 데이터 신호의 제 1 신호 진폭은 제 1 진폭 임계치보다 클 수 있고 데이터 신호의 제 2 신호 진폭은 제 1 진폭 임계치보다 낮고 제 2 진폭 임계치보다 클 수 있다. 또한, 데이터 신호는 제 3 기간 동안 제 3 신호 진폭을 포함할 수 있다. 예를 들어, 데이터 신호의 제 3 신호 진폭은 제 2 진폭 임계치보다 낮을 수 있다. 또

한, 복조 회로(3014)는 데이터 신호의 신호 진폭과 제 1 진폭 임계치, 제 2 진폭 임계치 및 제 3 진폭 임계치 중 적어도 하나와의 비교에 기초하여 추가 데이터를 결정하도록 구성될 수 있다.

[1255] 예를 들어, 추가 데이터의 비트는 데이터 신호의 진폭 변조에 의해서만 송신될 수 있다(예를 들어, 도 30b 및 도 30c). 대안적으로, 추가 데이터의 적어도 하나의 비트에 관한 정보는 펄스 진폭 변조 및 펄스 폭 변조될 수 있다. 복조 회로(3014)는 제 1 기간의 길이에 기초하고 그리고 제 1 기간 동안 데이터 신호의 제 1 신호 진폭에 기초하여 추가 데이터의 적어도 하나의 비트를 결정하도록 구성될 수 있다.

[1256] 장치(3010)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(3010)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1257] 일부 예는 차동 라인을 통한 송신과 관련된다. 차동 동작 모드에서, 한 쌍의 차동 데이터 신호는 한 쌍의 송신 라인을 통해 송신될 수 있다. 라인의 차동 특성은 비트 레이트(예를 들어, 코드 위상이 3 비트/에지이면 비트 레이트의 33 %)를 얻기 위해 사용될 수 있다.

[1258] 신호의 차동 특성을 사용하는 것이 제안될 수 있다(예를 들어, 단순화를 위해 다음의 설명 중 일부에서는 위상 변조가 제거되고 "진폭"만 다룬다). 위상 변조가 항상 존재한다고 가정될 수 있을지라도, 위상 변조는 나중에 추가로 설명될 수 있다(예를 들어, 각각의 심볼은 3 비트 또는 다른 수의 비트가 위상 변조에 의해 송신될 수 있게 할 수 있다). 송신기는 다음과 같이 실제로 3개의 [수직] 심볼 출력을 생성하게 할 수 있다.

[1259]

심볼 출력	P 라인 레벨	N 라인 레벨
-1	0	1
0	0	0
1	1	0

[1260] P 라인 레벨 0 및 N 라인 레벨 0에서 심볼 출력 0을 생성하는 대안으로, 심볼 출력 0은 P 라인 레벨 1 및 N 라인 레벨 1에서 생성될 수 있으며, 이것은 DC 보상을 개선할 수 있다.

[1261] P 라인 레벨 0 및 N 라인 레벨 0 및 P 라인 레벨 1 및 N 라인 레벨 1에 대해 상이한 출력 심볼을 사용하는 것은 가능하지 않을 수 있는데, 왜냐하면 수신기가 이러한 두 상태 간을 구별할 수 없도록 둘 모두의 차이가 0일 수 있기 때문이다.

[1262] 예를 들어, 클록은 송신기로부터 수신기로 전달될 수 있으므로 라인은 결코 동일한 수직 심볼에 머무르지 않아야 한다. 다시 말해, 주어진 다음 심볼마다 P 및 N 라인은 상태를 변경할 수 있다. 아래에는 여벌의 비트가 어떻게 코딩될 수 있는지에 대한 예이다:

[1263]

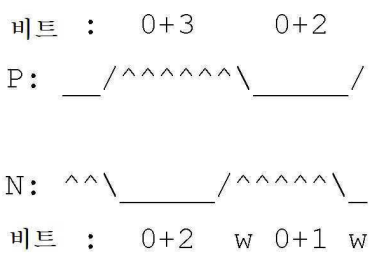
전송될 여벌 비트	TX 현재 "상태"		RX 현재 상태	TX 다음 상태		RX 변환된 상태
	P	N	수신기 입력	P	N	예상된 수신기 다음 상태
0	1	0	1	0	1	-1
1	1	0	1	0	0	0
0	0	1	-1	0	0	0
1	0	1	-1	1	0	1
0	0	0	0	0	1	-1
1	0	0	0	1	0	1

[1264] 예를 들어, P와 N 라인은 결코 인접한 심볼 간에 동일한 설정을 유지하지 않는다. 이러한 방식으로, 수신기는 항상 에지를 검출할 수 있고 이와 같이 또한 펄스(네거티브 또는 포지티브의 지속기간)를 측정할 수 있다. 추가 양태는 예를 들어 일부 비트 조건 하에서 레벨을 시프트할 수 있는 DC 균형 맞춤으로서 이러한 코딩 방식으로 다루어질 수 있으며, 증폭기는 3 레벨(-1, 1,0)을 검출할 수 있도록 요구될 수 있다.

[1265] 예를 들어, P 및 N 라인은 보다 독립적으로 변경할 수 있게 할 수 있고, 이러한 자유도는 추가 비트를 코딩하는 데 사용될 수 있다. 이러한 접근법에서, N 및 P 둘 모두는 (예를 들어, 시간 인코딩된 심볼의 신호 에지에 의해 주어진) 결정된 시간에서만 변경될 수 있지만, 반드시 두 라인 모두가 변경될 필요는 없고, 다만 한 쌍의 데이터 신호 중 하나만 변경될 수 있다. DC 레벨은 코딩으로 인해 시프트될 수 있다. 극단적인 경우, 한 신호가 (얼마 동안) 지속적으로 0에 머무르고 다른 신호만 토글되는 경우가 있을 수 있다.

[1266] 대안적으로, 두 개의 데이터 신호는 상이한 시간에 진폭을 변경할 수 있지만, 더 빠른 것은 동기화를 기다릴 수 있다. 예를 들어, 0 인 경우, 정적 부분은 (도 30f의 예에서와 같이 7이 아닌) 2일 수 있다. w는 한 라인이

다른 라인을 추월하는 것을 피할 수 있도록 라인이 다른 라인이 따라 오기를 기다리고 있음을 의미할 수 있다. 아래의 예에서, 제 1 반 사이클(first half cycle)에서, P는 2+3 시간 유닛의 경우 하이이고 N은 2+2 시간 유닛의 경우 로우이다. 그런 다음 N은 하나의 시간 유닛이 P와 정렬된 다음의 반 사이클을 시작하기를 기다린다. 아래의 예에서, 제 2 반 사이클에서, P는 2+2 시간 유닛의 경우 하이이고 N은 2+1 시간 유닛의 경우 로우이다. 그런 다음 N은 하나의 시간 유닛이 P와 정렬된 다음의 반 사이클을 시작하기를 기다린다.



[1267]

[1268] 이러한 방식으로, 거의 2 배 많은 비트가 송신될 수 있지만, 대기 시간의 삽입으로 인해 유효 데이터 레이트는 레이트의 2 배보다 약간 낮을 수 있다.

[1269] 도 30e는 예에 따른 한 쌍의 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3020)는 한 쌍의 데이터 신호 중 제 1 데이터 신호를 생성하도록 구성된 처리 회로(3022)를 포함한다. 제 1 데이터 신호는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 데이터 신호는 제 1 기간 동안의 제 1 신호 진폭을 포함하고, 한 쌍의 데이터 신호 중 제 2 데이터 신호는 제 1 기간 동안의 제 2 신호 진폭을 포함한다. 또한, 처리 회로(3022)는 송신될 추가 데이터의 적어도 하나의 비트에 기초하여 제 1 신호 진폭 및 제 2 신호 진폭을 선택하도록 구성된다. 또한, 장치(3020)는 한 쌍의 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로(3024)를 포함한다.

[1270] 한 쌍의 펄스 폭 변조된 데이터 신호의 신호 진폭을 변조함으로써, 데이터 송신의 비트 레이트가 증가될 수 있다.

[1271] 예를 들어, 송신될 데이터 심볼과 연관된 기간의 모든 종료는 한 쌍의 데이터 신호의 두 개의 데이터 신호 중 적어도 하나의 데이터 신호 내의 각각의 에지에 대응할 수 있다. 다시 말해, 데이터 심볼과 연관된 신호 에지는 한 쌍의 데이터 신호 중 제 1 데이터 신호 또는 제 2 데이터 신호 내에서 발생하거나, 또는 한 쌍의 데이터 신호의 제 1 데이터 신호 및 제 2 데이터 신호 내에서 발생할 수 있다. 예를 들어, 데이터 심볼의 기간의 시작 에지는 제 1 데이터 신호 내의 에지에 의해서만 나타낼 수 있지만, 제 2 데이터 신호 내의 에지에 의해서는 나타내지 않을 수 있고, 반면에 데이터 심볼의 기간의 종료 에지는 제 2 데이터 신호 내의 에지에 의해서만 나타낼 수 있지만, 제 1 데이터 신호 내의 에지에 의해서는 나타내지 않을 수 있으며, 또는 그 반대일 수도 있다.

[1272] 예를 들어, 처리 회로(3022)는 데이터 통신 프로토콜에 기초하여 한 쌍의 데이터 신호를 생성하도록 구성될 수 있다. 송신될 데이터 통신 프로토콜의 데이터 심볼과 연관된 기간의 각각의 시작 및 각각의 종료는 한 쌍의 데이터 신호의 데이터 신호 중 적어도 하나의 데이터 신호에서의 각각의 에지에 대응할 수 있다. 예를 들어, 제 1 데이터 신호의 신호 에지 및 제 2 데이터 신호의 신호 에지는 송신될 데이터 심볼과 연관된 기간의 시작 및 종료에 대응할 수 있다. 예를 들어, 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼은 제 1 데이터 및 추가 데이터의 적어도 하나의 비트를 포함할 수 있다.

[1273] 예를 들어, 처리 회로(3022)는 제 1 데이터 신호 및 제 2 데이터 신호의 합(또는 차이)이 송신될 데이터 통신 프로토콜의 각 데이터 심볼에 대한 신호 에지를 포함하도록 한 쌍의 데이터 신호를 생성하도록 구성될 수 있다.

[1274] 예를 들어, 출력 인터페이스(3024)는 한 쌍의 데이터 신호 중 제 1 데이터 신호를 한 쌍의 신호 라인 중 제 1 신호 라인에 제공하고 한 쌍의 데이터 신호 중 제 2 데이터 신호를 한 쌍의 신호 라인 중 제 2 신호 라인에 제공하도록 구성될 수 있다.

[1275] 예를 들어, 장치(3020)는 비 차동 동작 모드와 차동 동작 모드 사이에서 스위칭하도록 구성될 수 있다. 예를 들어, 처리 회로(3022)는 한 쌍의 데이터 신호를 장치의 차동 동작 모드에서의 차동 신호로서 생성하도록 구성될 수 있다. 장치(3020)는 장치(3020)의 차동 동작 모드에서 차동 신호의 송신을 위해 사용될 수 있는 한 쌍의 송신 라인을 사용할 수 있지만, 장치(3020)의 비 차동 동작 모드에서 비 차동 신호를 송신할 수 있다. 예를 들

어, 처리 회로(3022)는 비트 레이트가 차동 동작 모드에서보다 비 차동 동작 모드에서 더 클 수 있도록 위에서 설명한 바와 같이 장치(3020)의 비 차동 동작 모드에서 한 쌍의 데이터 신호를 생성하도록 구성될 수 있다.

[1276] 도 30f는 뒤이어 오는 4 바이트를 전송하기 위한 한 쌍의 데이터 신호(3052, 3054)의 예를 도시한다(예를 들어, 4 비트의 모든 그룹의 첫 비트는 "진폭" 방식으로 코딩되고 반면에 다른 세 비트는 위상에 코딩된다):

$$\underline{0}101\underline{1}010 \;\&\; \underline{0}000\underline{0}000 \;\&\; \underline{1}111\underline{1}111 \;\&\; \underline{0}101\underline{1}010$$

[1277] 이 예에서 도시된 바와 같이, 모든 심볼은 시간 축에서 4 비트, 3 비트를 그리고 P&N 라인 출력의 변화에 의해 1 비트를 코딩할 수 있다. 도시된 예에서, 데이터 심볼의 기간은 0으로 표시된 7개 시간 유닛의 최소 시간 길이와 뒤따라 오는 0 내지 7로 표시된 0과 7개 시간 유닛 사이의 데이터에 따라 달라지는 시간 길이(data depending time length)를 갖는다(예를 들어, 도 30f에서: 5와 그 뒤에 2, 그 뒤에 표시되지 않은 0, 그 뒤에 표시되지 않은 0, 그 뒤에 7, 그 뒤에 5, 그리고 그 뒤에 2가 뒤따라 온다).

[1278] 또한, 수신기(RX) 아날로그 입력 신호(3050)의 예는 도 30f 아래에서 도시된 한 쌍의 데이터 신호이며, 이 데이터 신호는 한 쌍의 데이터 신호의 데이터 신호 사이의 차이를 결정함으로써 생성될 수 있다.

[1279] 장치(3020)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(3020)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1280] 도 30g는 예에 따른 한 쌍의 데이터 신호를 수신하기 위한 장치의 블록도를 도시한다. 장치(3030)는 한 쌍의 데이터 신호에 기초하여 차이 데이터 신호를 생성하도록 구성된 처리 회로(3032)를 포함한다. 또한, 처리 회로(3032)는 차이 데이터 신호에서 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2번째 신호 에지)의 시퀀스를 결정하도록 구성된다. 또한, 장치(3030)는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로(3034)를 포함한다. 또한, 복조 회로(3034)는 제 1 기간 동안 차이 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 차이 데이터 신호의 제 2 신호 진폭에 기초하여 추가 데이터의 적어도 하나의 비트를 결정하도록 구성된다.

[1281] 잇따른 데이터 심볼 사이의 진폭 변화를 통해 추가 데이터를 인코딩함으로써, 비트 레이트가 증가될 수 있다.

[1282] 예를 들어, 복조 회로(3034)는 제 1 신호 진폭과 제 2 신호 진폭 사이의 차이에 기초하여 추가 데이터의 적어도 하나의 비트를 결정하도록 구성될 수 있다.

[1283] 차이 데이터 신호의 예는 도 30f 아래의 한 쌍의 데이터 신호로 도시될 수 있다. 이 예에서, 복조 회로는 위에서 제공된 테이블에 기초하여 추가 데이터 비트를 결정하도록 구성될 수 있다.

[1284] 예를 들어, 차이 데이터 신호는 데이터 통신 프로토콜에 기초할 수 있다. 데이터 통신 프로토콜에 따라 수신된 제 1 데이터 심볼은 제 1 데이터 및 추가 데이터의 적어도 하나의 비트를 포함할 수 있다. 다시 말해, 복조 회로(3034)에 의해 결정된 데이터 심볼은 다수의 시간 인코딩된 데이터 비트 및 적어도 하나의 진폭 인코딩된 추가 비트를 포함할 수 있다.

[1285] 한 쌍의 데이터 신호 중 제 1 데이터 신호의 신호 에지 및 한 쌍의 데이터 신호 중 제 2 데이터 신호의 신호 에지는 수신된 데이터 심볼에 대응하는 기간의 시작 및 종료에 대응할 수 있다.

[1286] 예를 들어, 처리 회로(3032)는 차이 데이터 신호가 데이터 통신 프로토콜의 각각의 수신된 데이터 심볼에 대한 신호 에지를 포함하도록 차이 데이터 신호를 생성하도록 구성될 수 있다. 차이 데이터 신호는 한 쌍의 데이터 신호를 가산함으로써 또는 한 쌍의 데이터 신호의 제 1 데이터 신호를 한 쌍의 데이터 신호의 제 2 데이터 신호로부터 감산함으로써 획득될 수 있다. 예를 들어, 처리 회로(3302)는 한 쌍의 데이터 신호의 데이터 신호를 합산함으로써 또는 한 쌍의 데이터 신호의 데이터 신호를 서로 감산함으로써 차이 데이터 신호를 생성하도록 구성될 수 있다.

[1287] 예를 들어, 복조 회로(3034)는 차이 데이터 신호의 신호 진폭의 각각의 변화에 기초하여 장치의 비 차동 동작 모드에서 각각의 수신된 데이터 심볼마다 하나의 추가 데이터 비트를 결정하도록 구성될 수 있다. 장치(3030)는 비 차동 동작 모드와 차동 동작 모드 사이에서 스위칭하도록 구성될 수 있다. 예를 들어, 한 쌍의 데이터 신호의 데이터 신호는 장치의 차동 동작 모드에서의 차동 신호일 수 있다.

[1288] 장치(3030)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 장치(3030)는 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1289] 도 30h는 예에 따른 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다. 방법(3060)은 데이터 신호를 생성하는 단계(3062)를 포함하며, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법(3060)은 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 송신될 추가 데이터에 대응하는 제 2 기간 동안 데이터 신호의 제 2 신호 진폭을 변조하는 단계를 포함한다. 또한, 방법(3060)은 데이터 신호를 출력하는 단계(3064)를 포함한다.

[1290] 방법(3060)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(3060)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1291] 도 30i는 예에 따른 데이터 신호를 수신하기 위한 방법의 흐름도를 도시한다. 방법(3070)은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(3072)를 포함한다. 또한, 방법(3070)은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하는 단계(3074) 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계(3076)를 포함한다. 또한, 방법(3070)은 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 데이터 신호의 제 2 신호 진폭에 기초하여 추가 데이터를 결정하는 단계(3078)를 포함한다.

[1292] 방법(3070)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(3070)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1293] 도 30j는 예에 따른 한 쌍의 데이터 신호를 생성하기 위한 방법의 흐름도를 도시한다. 방법(3080)은 한 쌍의 데이터 신호 중 제 1 데이터 신호를 생성하는 단계(3082)를 포함하며, 제 1 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 데이터 신호는 제 1 기간 동안의 제 1 신호 진폭을 포함하고, 한 쌍의 데이터 신호 중 제 2 데이터 신호는 제 1 기간 동안 제 2 신호 진폭을 포함하며, 여기서 제 1 신호 진폭 및 제 2 신호 진폭은 송신될 추가 데이터의 적어도 하나의 비트에 기초하여 선택된다. 또한, 방법(3080)은 한 쌍의 데이터 신호를 출력하는 단계(3084)를 포함한다.

[1294] 방법(3080)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(3080)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1295] 도 30k는 예에 따른 한 쌍의 데이터 신호를 수신하기 위한 방법의 흐름도를 도시한다. 방법(3090)은 한 쌍의 데이터 신호에 기초하여 차이 데이터 신호를 생성하는 단계(3092)를 포함한다. 또한, 방법(3090)은 차이 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계(3094), 및 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하는 단계(3096)를 포함한다. 또한, 방법(3090)은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계(3098)를 포함한다. 또한, 방법(3090)은 제 1 기간 동안 차이 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 차이 데이터 신호의 제 2 신호 진폭에 기초하여 추가 데이터의 적어도 하나의 비트를 결정하는 단계(3099)를 포함한다.

[1296] 방법(3090)의 보다 세부 사항 및 양태는 위에서 설명된 하나 이상의 예와 관련하여 언급된다. 방법(3090)은 위에서 또는 아래에서 설명된 하나 이상의 예에 대응하는 하나 이상의 추가적인 옵션의 특징을 포함할 수 있다.

[1297] 일부 예는 STEP 연결을 위한 변조에 세 개의 트레이스를 사용하는 것과 관련된다. STEP 인터페이스는 이미 다중 Gbits/sec 용량을 가질 수 있지만, 비트 레이트를 더 증가시키는 것은 항상 바람직할 수 있다.

[1298] 예를 들어, 트레이스의 수는 2(차동)에서 3으로 증가될 수 있다. STEP의 일부 제안은 "준(semi) RZ" 코드만 다룰 수 있다. 그것은 대역폭(BW)을 증가시키면 최소 심볼 시간이 감소될뿐만 아니라 위상 사이의 갭이 더 축소될 필요가 있다는 것을 의미할 수 있다. 부가적으로 또는 대안적으로, 위상 변조의 STEP 개념은 3 트레이스 개념과 병합될 수 있고, BW는 예를 들어 여별로 75 %만큼 증가될 수 있다. 또한, 예를 들어 도 30a 내지 도 30k와 관련하여 설명된 바와 같이 BW를 더 증가시킬 수 있는 펄스 진폭 PAM 변조가 구현될 수 있다.

[1299] 예를 들어, STEP은 차동 시그널링을 사용함으로써 위상 변조를 코드 비트에 적용할 수 있다(예를 들어, 신호의 상승/하강에 3 비트를 적용할 수 있다). 위상 하강 또는 상승은 심볼일 수 있다. 양태에 따르면, STEP은 동일

한 방식을 사용할 수 있지만, 차동 라인 대신에 3개의 트레이스가 사용될 수 있으며, 이러한 방식으로 2개의 여벌 비트 또는 5개의 상태가 코딩될 수 있다. 이러한 방식은 여전히 PAM 변조 및 STEP의 위상 변조를 가능하게 할 수 있지만, 더 많은 BW를 제공할 수 있다. 예를 들어, TX 측은 3 비트의 위상 변조(하나의 심볼)로 또는 대안적으로 4 심볼 시간에 9 비트를 변조하여 2 비트의 코드를 지원할 수 있다.

[1300] 도 31a는 예에 따른 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3100)는 출력 인터페이스 회로(3104)에 연결된 처리 회로(3102)를 포함한다. 처리 회로(3102)는 세 개의 송신 라인에 대해 세 개의 데이터 신호의 세트를 생성하도록 구성된다. 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 1 시간에 제 1 신호 에지를 갖고, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 2 시간에 제 1 신호 에지의 바로 뒤에 오는 제 2 신호 에지를 갖는다. 또한, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 3 시간에 제 2 신호 에지의 바로 뒤에 오는 제 3 신호 에지를 갖는다. 제 1 시간과 제 2 시간은 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 시간과 제 3 시간은 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합은 제 1 기간 동안 차동 신호 레벨을 갖고, 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합은 제 2 기간 동안 차동 신호 레벨을 갖는다. 또한, 제 1 조합에서 제 2 조합으로의 전이는 송신될 추가 데이터의 적어도 일부에 대응한다. 출력 인터페이스 회로(3104)는 데이터 신호를 출력하도록 구성된다.

[1301] 세 개의 데이터 신호를 사용함으로써, 추가 데이터는 차동 신호 레벨을 갖는 세 개의 데이터 신호 중 두 개의 데이터 신호의 순열의 다양한 선택에 의해 송신될 수 있다. 이러한 방식으로, 비트 레이트가 증가될 수 있다.

[1302] 예를 들어, 세 개의 데이터 신호는 시간 인코딩된 데이터 심볼에 대응하는 신호 에지를 갖지만, 세 개의 데이터 신호의 모든 데이터 신호가 모든 신호 에지를 갖는 것은 아니다. 그러나, 펄스 폭 변조된 데이터 심볼의 각각의 신호 에지는 세 개의 데이터 신호 중 적어도 두 개에서 발생하지만, 세 개의 데이터 신호 중 두 개의 데이터 신호의 순열은 상이한 신호 에지에 대해 변할 수 있다. 예를 들어, 세 개의 데이터 신호 모두는 데이터 심볼의 신호 에지를 포함하고 또는 두 개의 데이터 신호는 데이터 심볼의 신호 에지를 포함할 수 있지만, 제 3 신호는 대응하는 신호 에지를 갖지 않는다. 예를 들어, 제 2 신호 에지가 제 1 신호 에지의 바로 뒤에 오고 제 3 신호 에지가 제 2 신호 에지의 바로 뒤에 오도록, 세 개의 데이터 신호 중 어느 것도 제 1 신호 에지 및 제 2 신호 에지 사이 및 제 2 신호 에지 및 제 3 신호 에지 사이에 신호 에지를 갖지 않는다.

[1303] 세 개의 데이터 신호 중 두 개는, 두 개의 데이터 신호 중 하나가 로직 로우 레벨에 있고 두 개의 데이터 신호 중 다른 하나가 로직 하이 레벨에 있으면, 차동 신호 레벨을 포함할 수 있다. 진폭 변조가 추가로 사용되면, 하나 이상의 로직 하이 레벨이 있을 수 있다. 세 개의 데이터 신호의 세트 중 제 3 데이터 신호는 제 1 기간 및 제 2 기간 동안 하이 임피던스에 있거나, 또는 세 개 개의 데이터 신호의 세트 중 다른 두 개의 신호의 차동 신호 레벨과 상이한 신호 레벨에 있을 수 있다. 다른 두 개의 데이터 신호가 차동 신호 레벨을 가지면, 세 개의 데이터 신호 중 제 3 신호는 하이 임피던스 상태에 있을 수 있다. 예를 들어, 로직 로우 레벨은 0으로 표시되고, 로직 하이 레벨은 1로 표시되며 하이 임피던스 상태는 X로 표시된다(예를 들어, 도 31b 및 도 31c).

[1304] 예를 들어, 차동 신호 레벨을 갖는 두 개의 데이터 신호의 어떤 조합이 관련될 수 있는지 뿐만 아니라, 두 개의 데이터 신호 중 어떤 것이 로직 로우 레벨에 있고 어떤 것이 로직 하이 레벨에 있는지가 관련될 수 있다. 예를 들어, 세 개의 신호의 세트로부터 선택된 두 개의 신호에 대해 세 개의 상이한 조합이 있지만, 세 개의 신호의 세트로부터 선택된 두 개의 신호에 대해 여섯 개의 상이한 순열이 있다. 다시 말해, 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 순열은 제 1 기간 동안 차동 신호 레벨을 가질 수 있고, 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 순열은 제 2 기간 동안 차동 신호 레벨을 가질 수 있다. 또한, 제 1 순열로부터 제 2 순열로의 전이는 송신될 추가 데이터의 적어도 일부에 대응할 수 있다.

[1305] 예를 들어, 데이터 심볼의 기간 동안 로직 로우 레벨을 갖는 데이터 신호는 다음 데이터 심볼의 기간으로의 (예를 들어, 로직 하이 레벨 또는 하이 임피던스 상태로의) 전이 동안 항상 변경될 수 있다. 이러한 방식으로, 전이는 세 개의 데이터 신호 내에서 보다 쉽게 검출될 수 있다.

[1306] 일부 예는 세 개의 트레이스를 사용할 수 있으며, 그 중 두 개는 차동 신호를 가질 수 있고 마지막 것은 신호를 갖지 않을 수 있다(예를 들어, 하이 임피던스 상태). 예를 들어, 수신기는 신호를 올바르게 향할 수 있게 하고 신호 펄스의 길이(예를 들어, 포지티브 또는 네거티브)를 측정하기 위해 입력의 변화를 알아야 할 필요가 있을 수 있다. 세 개의 신호의 설정은 심볼마다 변경될 수 있다.

[1307] 예를 들어, 아래의 표는 트레이스의 가능한 상태의 예(예를 들어, 데이터 신호의 신호 레벨)를 보여준다.

상태	트레이스 0	트레이스 1	트레이스 2
S0	0	1	X
S1	1	0	X
S2	0	X	1
S3	1	X	0
S4	X	1	0
S5	X	0	1

[1308]

[1309] 여섯 개의 상태가 가능할 수 있지만, 트레이스 상태는 하나의 심볼에서 다음 심볼로 변경되어야 하며, 실제로 각각의 상태에서 다른 상태로 이동하는데 다섯 개의 옵션만이 사용될 수 있다. 예를 들어, S4에서 시작하여, RX 측이 여전히 변경을 검출할 수 있도록 S4를 제외한 임의의 상태로 시프트될 수 있다.

[1310] 예를 들어, 단일 심볼은 (세 개의 데이터 신호의 제안된 사용을 하지 않고) 3 비트에서 5 비트로 증가할 수 있으며, 이러한 증가는 66.7 %의 이득일 수 있다.

[1311] 네 개의 심볼이 클러스터링되면, 5*5*5*5=625개의 옵션이 얻어질 수 있으며, 이것은 9 비트를 나타내는 512개의 조합을 가능하게 할 수 있다. 이러한 경우에, 증가는 3*4=12 비트에서 12+9=21 비트로 또는 대역 폭(BW)의 75 % 이득일 수 있다. 대안적으로, 더 높은 수의 심볼이 결합될 수 있지만, 다음의 경우는 BW 이득에서 덜 매력적일 수 있고 설계의 복잡성이 더 커질 수 있다. 보다 일반적으로, 추가 데이터의 비트에 관한 정보는 두 개의 전이(예를 들어, 적어도, 후속의 제 3 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합으로부터 제 2 조합으로의 전이 및 제 2 조합으로부터 제 3 조합으로의 전이)에 걸쳐 분포될 수 있다.

[1312] 예를 들어, 여벌의 비트(추가 데이터의 비트)가 다음과 같이 코딩될 수 있다:

현재 상태	비트-코드	다음 상태	T0-T1-T2 이전	T0-T1-T2 이후
S0	00	S1	01X	10X
S0	01	S2	01X	0X1
S0	10	S3	01X	1X0
S0	11	S4	01X	X10
S0	사용되지 않음	S5	01X	X01
S0	허용되지 않음	S0	01X	01X
S1	00	S0	10X	01X
...				

[1313]

[1314] 도 31b는 일부 데이터 심볼의 송신을 위한 세 개의 데이터 신호의 세트의 예의 개략도를 도시한다. 임의의 주어진 시간에, 라인에 대한 1, X, 0의 고유 설정이 있을 수 있다. 제 1 데이터 신호(3105)는 신호 레벨 X, 1, 1, 0, 1, X를 갖고, 제 2 데이터 신호(3106)는 신호 레벨 1, 0, X, 1, X, 0을 가지며 제 3 데이터 신호(3107)는 신호 레벨 0, X, 0, X, 0, 1를 갖는다. 이 예에서, 바로 잇따른 에지 사이의 기간의 지속기간은 3 비트 심볼의 STEP 변조에 따라 선택되는 반면, 코드 전이(잇따른 심볼 간의 전이)에서 여벌의 2 비트가 변조된다. 통틀어, 6개의 상태 및 5개의 가능한 전이 옵션이 임의의 상태에서 다른 상태 중 어느 상태로 이용 가능할 수 있지만, 2 비트를 변조하기 위해 네 개만이 사용될 수 있다. 전이에 의해 코딩된 2 비트와 시간 인코딩된 3 비트는 5 비트 심볼을 획득하기 위해 결합될 수 있다.

[1315] 보다 일반적으로, 세 개의 데이터 신호의 세트 중 하나의 데이터 신호는 3-라인 송신 모드에서 데이터 심볼의 송신 동안 임의의 시간에 하이 임피던스 상태에 있거나, 또는 차동 신호 레벨과 상이한 신호 레벨에 있을 수 있다. 세 개의 데이터 신호의 세트 중 상이한 데이터 신호는 3-라인 송신 모드에서 상이한 데이터 심볼의 송신 동안 상이한 기간에 하이 임피던스 상태에 있거나, 또는 차동 신호 레벨과 상이한 신호 레벨에 있을 수 있다. 예를 들어, 세 개의 데이터 신호의 데이터 신호는 제 1 기간 동안 차동 신호 레벨을 갖고, 제 2 기간 동안 하이 임피던스 상태에 있거나, 또는 차동 신호 레벨과 상이한 신호 레벨을 갖는다.

[1316] 예를 들어, 처리 회로(3102)는 3-라인 송신 모드에서 상이한 데이터 심볼의 송신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 두 개의 잇따른 기간 사이의 모든 전이에

의해 2 비트의 추가 데이터가 송신되도록 데이터 신호를 생성하도록 구성될 수 있다. 대안적으로, 처리 회로(3102)는 3-라인 송신 모드에서 송신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 각각의 두 개의 잇따른 기간 사이의 네 개의 전이에 의해 9 비트의 추가 데이터가 송신되도록 데이터 신호를 생성하도록 구성될 수 있다.

[1317] 예를 들어, 장치(3100)는 3-라인 송신 모드를 차동 동작 모드로 스위칭하도록 구성될 수 있다. 예를 들어, 처리 회로(3102)는 장치(3100)의 차동 동작 모드에서 차동 신호로서 한 쌍의 데이터 신호를 생성하도록 구성될 수 있고, 세 개의 송신 라인 중 두 개를 통해 차동 데이터 신호의 쌍을 송신할 수 있다.

[1318] 예를 들어, 처리 회로(3102)는 데이터 통신 프로토콜에 기초하여 데이터 신호를 생성하도록 구성될 수 있다. 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼은 제 1 데이터 및 적어도 1 비트의 추가 데이터를 포함할 수 있다. 또한, 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼은 제 2 데이터 및 적어도 다른 비트의 추가 데이터를 포함할 수 있다.

[1319] 출력 인터페이스 회로(3104)는 세 개의 송신 라인 각각에 대한 라인 드라이버를 포함할 수 있다. 라인 드라이버는 세 개의 송신 라인 각각을 상이한 시간에 개별적으로 하이 임피던스 상태로 설정하도록 구성될 수 있다. 세 개의 송신 라인 중 송신 라인의 라인 드라이버는, 세 개의 송신 라인 중 다른 두 개의 송신 라인이 차동 신호 레벨의 송신에 사용되면, 그 송신 라인을 하이 임피던스 상태로 설정하도록 구성될 수 있다.

[1320] 도 31c는 세 개의 송신 라인을 통해 세 개의 데이터 신호의 세트를 세 개의 차동 증폭기를 포함하는 수신기에 송신하는 출력 인터페이스 회로의 세 개의 라인 드라이버의 개략도를 도시한다. 제 1 라인 드라이버(3110)는 제 1 송신 라인(3111)을 통해 수신기의 제 1 차동 증폭기(3120)의 비 반전 입력 및 수신기의 제 3 차동 증폭기(3124)의 반전 입력에 연결된다. 제 2 라인 드라이버(3112)는 제 2 송신 라인(3113)을 통해 수신기의 제 2 차동 증폭기(3120)의 비 반전 입력 및 수신기의 제 1 차동 증폭기(3120)의 반전 입력에 연결된다. 제 3 라인 드라이버(3114)는 제 3 송신 라인(3115)을 통해 수신기의 제 3 차동 증폭기(3124)의 비 반전 입력 및 수신기의 제 2 차동 증폭기(3122)의 반전 입력에 연결된다.

[1321] 각각의 라인 드라이버의 출력은 각각의 저항기(Rv)를 통해 기준 전위 단자(Vref)에 연결된다. 송신 라인의 단부는 각각의 저항기(예를 들어, 50 Ω)를 통해 서로 연결된다.

[1322] 도시된 예에서, 하이 임피던스 상태는 Z로 표시되고 제 1 라인 드라이버(3110)는 0110ZZ의 신호 레벨 시퀀스를 구동한다. 또한, 제 2 라인 드라이버(3112)는 10ZZ10의 신호 레벨 시퀀스를 구동하고, 제 3 라인 드라이버(3114)는 ZZ0101의 신호 레벨 시퀀스를 구동한다. 이들 신호는 -V, +V, +V, -V, -X, +X의 제 1 차동 증폭기(3120)에서의 전압 차 시퀀스, +V, -V, +X, -X, +V, -V의 제 2 차동 증폭기(3122)에서의 전압 차 시퀀스, 및 +X, -X, -V, +V, -V, +V의 제 3 차동 증폭기(3124)에서의 전압 차 시퀀스를 야기할 수 있다. 그 결과, 제 1 차동 증폭기(3120)의 증폭기 출력 신호는 011001의 신호 레벨 시퀀스를 나타낼 수 있고, 제 2 차동 증폭기(3122)의 증폭기 출력 신호는 101010의 신호 레벨 시퀀스를 나타낼 수 있고, 제 3 차동 증폭기(3124)의 증폭기 출력 신호는 100101의 신호 레벨 시퀀스를 나타낼 수 있다. 이러한 증폭기 출력 신호에 기초하여, 이 예에서 시퀀스 346125와는 동일한 추가 데이터가 결정될 수 있다.

[1323] 송신 측에서, 3개의 버퍼가 신호를 구동하도록 설정될 수 있도록 위에서 또는 아래에서 설명된 STEP 연결의 하나 이상의 예와 관련하여 언급된 바와 같이 차동 시그널링을 위한 구현과 비교하여 드라이버 버퍼 및 비트의 매퍼(mapper)가 추가될 수 있다. 추가 DTC는 필요하지 않을 수 있다.

[1324] RX 측에서, 2개의 추가 차동 증폭기(예를 들어, 차동 시그널링을 갖는 다른 STEP 구현에 사용되는 1개 대신에 3개)가 추가될 수 있으며 심볼 대 비트의 디코더가 추가될 수 있다. 추가 TDC는 필요하지 않을 수 있다. 기존 TDC(들)(예를 들어, 포지티브 에지에 대해 하나 및 네거티브 에지에 대해 하나)이면 충분할 수 있다.

[1325] 예를 들어, 제안된 추가 코딩 방식은 RX 측 상에서 PLL을 추가할 필요가 없고 PAM 변조 방식과 결합될 수 있다. 3개의 차동 수신기는 라인이 차동적인지 또는 신호 중 하나가 X 상태(예를 들어 플로팅 상태)에 있고 구동되지 않는지를 검출할 수 있으며 시그널링에 참여하지 않을 수 있다.

[1326] 장치(3100)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3100)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1327] 도 31d는 예에 따른 데이터 신호를 수신하기 위한 장치의 블록도를 도시한다. 장치(3130)는 복조 회로(3134)에 연결된 처리 회로(3132)를 포함한다. 처리 회로(3132)는 제 1 신호 에지 및 제 2 신호 에지의 발생 사이의 제

1 기간의 길이 및 제 2 신호 에지 및 제 3 신호 에지의 발생 사이의 제 2 기간의 길이를 결정하도록 구성된다. 제 1 신호 에지는 제 1 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 2 신호 에지는 시간적으로 제 1 신호 에지의 바로 뒤에 오는 제 2 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 3 신호 에지는 시간적으로 제 2 신호 에지의 바로 뒤에 오는 제 3 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생한다. 제 1 시간과 제 2 시간은 제 1 기간에 의해 분리되고 제 2 시간과 제 3 시간은 제 2 기간에 의해 분리된다. 복조 회로(3134)는 제 1 기간의 길이에 기초하여 제 1 데이터를 결정하고 제 2 기간의 길이에 기초하여 제 2 데이터를 결정하도록 구성된다. 또한, 복조 회로(3134)는 제 1 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합 및 제 2 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합에 기초하여 추가 데이터를 결정하도록 구성된다. 제 1 조합에서 제 2 조합으로의 전이는 추가 데이터의 적어도 일부에 대응한다.

[1328] 세 개의 데이터 신호의 세트 중 제 3 데이터 신호는 제 1 기간 및 제 2 기간 동안 하이 임피던스 상태에 있거나, 또는 세 개의 데이터 신호의 세트 중 다른 두 개의 데이터 신호의 차동 신호 레벨과 상이한 신호 레벨에 있을 수 있다.

[1329] 예를 들어, 데이터 신호는 데이터 통신 프로토콜에 기초할 수 있다. 데이터 통신 프로토콜에 따라 수신된 제 1 데이터 심볼은 제 1 데이터 및 적어도 1 비트의 추가 데이터를 포함할 수 있다. 또한, 데이터 통신 프로토콜에 따라 수신된 제 2 데이터 심볼은 제 2 데이터 및 적어도 다른 비트의 추가 데이터를 포함할 수 있다.

[1330] 1 비트의 추가 데이터에 관한 정보는 단일 전이(예를 들어, 데이터 심볼당 2 비트)로부터 획득 가능할 수 있거나, 또는 적어도 후속의 제 3 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합에서 제 2 조합으로의 전이 및 제 2 조합에서 제 3 조합으로의 전이(예를 들어, 네 개의 데이터 심볼에 대해 9 비트)에 걸쳐 분포될 수 있다.

[1331] 복조 회로(3130)는 3-라인 송신 모드에서 수신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 두 개의 잇따른 기간 사이의 전이에 기초하여 각각 2 비트의 추가 데이터를 결정하도록 구성될 수 있다. 대안적으로, 복조 회로(3130)는 3-라인 송신 모드에서 수신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 각각의 두 개의 잇따른 기간 사이의 네 개의 전이에 기초하여 9 비트의 추가 데이터를 결정하도록 구성될 수 있다.

[1332] 장치(3130)는 (예를 들어, 도 31c에 도시된 바와 같은) 세 개의 차동 증폭기를 더 포함할 수 있다. 세 개의 차동 증폭기의 각각의 차동 증폭기는 세 개의 데이터 신호 중 두 개의 데이터 신호의 상이한 조합을 입력 신호로서 수신할 수 있다. 또한, 각각의 차동 증폭기는 각각의 두 개의 데이터 신호에 기초하여 증폭기 출력 신호를 출력하도록 구성될 수 있다. 각각의 증폭기 출력 신호는 두 개의 각각의 입력 신호 사이의 차이에 비례할 수 있다. 복조 회로(3130)는 세 개의 차동 증폭기의 증폭기 출력 신호에 기초하여 추가 데이터를 결정하도록 구성될 수 있다.

[1333] 장치(3130)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3130)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1334] 도 31e는 예에 따른 수신기의 블록도를 도시한다. 수신기(3140)는 도 31d와 관련하여 설명된 바와 같이 데이터 신호를 수신하기 위한 장치를 포함한다. 수신기(3140)는 예를 들어, 도 31c와 관련하여 설명된 바와 같이, 세 개의 송신 라인에 연결 가능한 세 개의 차동 증폭기(3120, 3122, 3124)를 포함하는 입력 인터페이스 회로를 포함할 수 있다.

[1335] 또한, 수신기(3140)는 코드-인덱스 모듈(code to index module)(1322) 및 코드 추출기(3150)를 포함한다. 세 개의 차동 증폭기(3120, 3122, 3124)의 증폭기 출력 신호는 코드-인덱스 모듈(3142) 및 코드 추출기(3150)에 제공된다.

[1336] 코드-인덱스 모듈(3142)은 트레이스의 변경을 그 변경으로 시작하여 다음 변경으로 끝나는 펄스로 변환할 수 있고 펄스가 TDC 방향으로 라우팅될 위치를 선택할 수 있다. 코드-인덱스 모듈(3142)은 코드-인덱스 모듈(3142)의 출력 신호를 제 1 TDC(3144)(TDC0) 및 제 2 TDC(3146)(TDC1)에 제공하는 멀티플렉서를 포함할 수 있다. 예를 들어, 제 1 TDC(3144)는 코드-인덱스 모듈(3142)의 출력 신호 내에서 하강 에지를 검출할 수 있고 하강 에지의 발생 시간에 대응하는 9 비트 디지털 값을 출력할 수 있다. 제 2 TDC(3146)는 코드-인덱스 모듈(3142)의 출력 신호 내에서 상승 에지를 검출할 수 있고 상승 에지의 발생 시간에 대응하는 9 비트 디지털 값을 출력할 수

있다. 두 개의 TDC의 출력은, 데이터 심볼 값 및/또는 상태 정보 또는 세 개의 송신 라인을 통해 송신되는 다른 정보를 나타내는 6 비트 디지털 값을 출력하도록 구성될 수 있는 심볼 디코더(3148)에 제공된다. 심볼 디코더(3148)는 TDC 출력을 예를 들어 펄스의 길이를 나타낼 수 있는 3 비트 필드로 변환할 수 있다. 3 비트 대신에, 심볼 디코더(3148)는 예를 들어, 오버플로우, 마진 로우(margin low), 언더플로우 플래그 및/또는 마진 하이 플래그(margin high flag)로서 상태 정보를 생성할 수 있다(예를 들어, 오버플로우는 구분자를 시그널링하는데 사용될 수 있고, 언더플로우는 에러를 시그널링하는데 사용될 수 있고 마진은 교정을 트리거하도록 검출될 수 있다).

[1337] 또한, 수신기(3140)는 도 31a 내지 도 31d와 관련하여 설명된 개념에 따라 세 개의 증폭기 출력 신호에 기초하여 추가 데이터를 결정하도록 구성된 코드 추출기(3150)를 포함한다. 예를 들어, 코드 추출기(3150)는 수신된 시간 인코딩된 데이터 심볼마다 2 비트를 출력하거나 네 개의 수신된 시간 인코딩된 데이터 심볼마다 9 비트를 출력할 수 있다. 코드 추출기(3150)는 상태 변경을 단일 심볼에 대해서는 2 비트 코드(예를 들어, 67 % 이득)로 또는 네 개의 심볼의 경우에는 9 비트(예를 들어, 이득 75 %)로 변환할 수 있다.

[1338] 심볼 디코더(3148)의 출력 및 코드 추출기(3150)의 출력은 추가 처리를 위해 직렬-병렬 변환을 위한 직렬-입력-병렬-출력(SIPO) 모듈(3152)에 제공될 수 있다.

[1339] 코드-인덱스 모듈(3142) 및 두 개의 TDC는 데이터 신호를 수신하기 위한 장치의 처리 회로의 일부일 수 있고, 심볼 디코더(3148) 및 코드 추출기(3150)는 데이터 신호를 수신하기 위한 장치의 복조 회로의 일부일 수 있다.

[1340] 수신기(3140)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 수신기(3140)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1341] 도 31f는 일 예에 따라 데이터 신호를 생성하는 방법의 흐름도를 도시한다. 방법(3180)은 세 개의 송신 라인에 대해 세 개의 데이터 신호의 세트를 생성하는 단계(3182)를 포함한다. 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 1 시간에 제 1 신호 에지를 갖는다. 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 2 시간에 제 1 신호 에지의 바로 뒤에 오는 제 2 신호 에지를 갖는다. 또한, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 3 시간에 제 2 신호 에지의 바로 뒤에 오는 제 3 신호 에지를 갖는다. 제 1 시간과 제 2 시간은 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리된다. 또한, 제 2 시간과 제 3 시간은 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합은 제 1 기간 동안 차동 신호 레벨을 갖고, 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합은 제 2 기간 동안 차동 신호 레벨을 갖는다. 또한, 제 1 조합에서 제 2 조합으로의 전이는 송신될 추가 데이터의 적어도 일부에 대응한다. 또한, 방법(3180)은 세 개의 데이터 신호의 세트를 출력하는 단계(3184)를 포함한다.

[1342] 방법(3180)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3180)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1343] 도 31g는 예에 따른 데이터 신호를 수신하기 위한 방법의 흐름도를 도시한다. 방법(3190)은 제 1 신호 에지 및 제 2 신호 에지의 발생 사이의 제 1 기간의 길이 및 제 2 신호 에지 및 제 3 신호 에지의 발생 사이의 제 2 기간의 길이를 결정하는 단계(3192)를 포함한다. 제 1 신호 에지는 제 1 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 2 신호 에지는 시간적으로 제 1 신호 에지의 바로 뒤에 오는 제 2 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 3 신호 에지는 시간적으로 제 3 신호 에지의 바로 뒤에 오는 제 3 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생한다. 또한, 제 1 시간과 제 2 시간은 제 1 기간에 의해 분리되고, 제 2 시간과 제 3 시간은 제 2 기간에 의해 분리된다. 또한, 방법(3190)은 제 1 기간의 길이에 기초하여 제 1 데이터를 결정하는 단계(3194)와, 제 2 기간의 길이에 기초하여 제 2 데이터를 결정하는 단계(3196)를 포함한다. 또한, 방법(3190)은 제 1 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합 및 제 2 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합에 기초하여 추가 데이터를 결정하는 단계(3198)를 포함한다. 제 1 조합에서 제 2 조합으로의 전이는 추가 데이터의 적어도 일부에 대응한다.

[1344] 방법(3190)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3190)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1345] 위에서 설명한 바와 같이, STEP 인터페이스는 저전력 소비(예를 들어, 1-2 pJ/비트)를 갖는 단일 레인을 통해 10 Gb/s를 송신할 수 있는 초고속 저전력 디지털 인터페이스이다. 송신된 심볼은 DTC에 의해 생성되고 TDC에 의해 수신(복조)될 수 있다. STEP 인터페이스를 사용하는 통신 시스템(3200)의 예가 도 32a에 도시된다.

[1346] DTC(3201)는 송신 링크(3203)를 통해 전송되기 전에 매칭된 송신 드라이버(matched transmit driver)(3202)(출력 인터페이스로서 이해될 수 있음)를 통해 전달되는 심볼을 생성한다. 심볼은 매칭된 수신 드라이버(matched receive driver)(3204)(입력 인터페이스로서 이해될 수 있음) 및 TDC(3205)에 의해 수신된다. TDC(3205)는 각각의 심볼의 길이(지속 시간)를 디지털 데이터로 변환한다. TDC(3205)로부터의 디지털 데이터는 적절한 비트를 생성하기 위해 (데이터 결정, 코딩, 교정 등을 위한) 디지털 섹션(3206)에 의해 처리된다.

[1347] (DTC 및 TDC 사용하는) STEP 인터페이스의 일부 예는 높은 분해능 TDC(예를 들어, 낮은 양자화 잡음)를 이용한 "연판정"을 기반으로 할 수 있다. 높은 분해능 TDC(예를 들어, 확률적 TDC)는 높은 레이트로 많은 수의 양자화 레벨을 생성한다. 이로 인해 TDC와 높은 레이트의 대용량 데이터를 처리하는 처리 디지털 회로 둘 모두에서 높은 전력 소비가 발생할 수 있다. STEP 인터페이스의 전력 소비 및 처리량을 최적화하기 위해, 시스템 레벨 최적화 및 DTC 및 TDC 심볼 길이(크기)의 교정 및 다음에 설명되는 양태에 따른 타이밍 교정(timing calibration)이 사용될 수 있다.

[1348] 그렇게 하면, 인터페이스의 에러 레이트(예를 들어, BER)를 저하시키지 않으면서 STEP 인터페이스의 전력 소비를 낮추게 할 수 있다. 예를 들어, "연판정(soft decision)" 대신 "경판정(hard decision)"을 사용함으로써 TDC 및 추가 디지털 처리 회로의 전력 소비가 낮아지게 할 수 있다.

[1349] 예를 들어, 양자화 잡음이 매우 낮고 각각의 심볼 길이의 미세 측정(예를 들어, "연판정")을 가능하게 하는 초미세 분해능 TDC를 사용하는 대신, DTC에서는 심볼이 거칠고(그렇지만 정확하고) TDC에서는 타이밍 레벨이 거칠고(그렇지만 정확한) 시스템이 사용될 수 있다. 이것은 BER을 저하시키지 않고 시스템의 전력 소비가 낮아지게 할 수 있다.

[1350] "경판정"을 사용하여 출력 데이터를 생성하기 위한 장치(3210)의 예가 도 32b에 도시된다. 장치(3210)는 STEP 프로토콜과 같은 통신 프로토콜에 따라 생성된 입력 데이터 신호(3211)(예를 들어, 디지털 신호)를 수신하도록 구성된 입력 인터페이스(3212)를 포함한다. 입력 데이터 신호(3211)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 다른 시간 인코딩된 통신 프로토콜 외에도, 장치(3210)는 STEP 프로토콜에 따른 통신을 위해 사용될 수 있다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1351] 장치(3210)는 입력 데이터 신호(3211)에 기초하여 제 1 데이터 심볼 및 제 2 심볼을 표시하는 출력 데이터(3214)를 생성하도록 구성된 TDC(3213)를 더 포함한다. TDC(3213)의 분해능은 통신 프로토콜(예를 들어, STEP 프로토콜)의 모든 데이터 심볼의 최소 심볼 분리 시간의 30 %, 40 %, 50 %, 60 % 또는 70 %를 초과한다.

[1352] 장치(3210)의 TDC(3213)는 높은 분해능 TDC(예를 들어, 1ps 미만의 분해능을 갖지만 전력 소비가 높은 스토캐스틱 플래시 TDC)를 사용하는 예와 비교하여, 감소된 분해능으로 인해 더 적은 수의 양자화 레벨을 사용한다. 예를 들어, TDC(3213)의 분해능은 통신 프로토콜(예를 들어, STEP 프로토콜)의 최소 심볼 분리 시간의 2 배 미만일 수 있다. TDC(3213)의 분해능은 예를 들어 5ps 또는 10ps를 초과하고 30ps, 25ps 또는 20ps 미만일 수 있다. 예를 들어, 제안된 기술에 따른 TDC의 분해능은 약 1ps의 정밀도로 약 10ps일 수 있다.

[1353] 또한, TDC(3213)는 낮은 분해능으로 인해 더 작은 용량의 데이터를 출력한다. 따라서, TDC(3213)(및 TDC(3213)의 출력에 결합된 디지털 처리 회로)의 전력 소비가 감소될 수 있다.

[1354] 종래의 TDC와 TDC(3213)의 분해능 간의 비교가 도 32c 및 도 32d에 도시된다. 도 32c는 입력 데이터 신호(3211)를 도시한다. 또한, 도 32c는 높은 분해능 TDC의 양자화 레벨(3220)을 점선으로 도시한다. TDC의 상이한 양자화 레벨은 입력 데이터 신호(3211)의 펄스 폭(T_{pw})과 비교하여 짧은 시간 간격(T_{Dec})만큼 서로 분리된다. 다시 말해, 높은 분해능 TDC의 양자화 레벨은 입력 데이터 신호(3211)에 비해 매우 낮다. 비교로서, 도 32d는 낮은 분해능 TDC에 대한 예로서 TDC(3213)의 양자화 레벨(3225)을 갖는 입력 데이터 신호(3211)를 도시한다. TDC(3213)의 상이한 양자화 레벨은 높은 분해능 TDC의 짧은 시간 간격(T_{Dec})보다 훨씬 긴 시간 간격(T_{LSB})만큼 서

로 분리된다. 도 32d의 예에서, TDC(3213)의 양자화 레벨은 TDC의 최하위 비트(Least Significant Bit)(LSB)의 (정확한) 길이(T_{LSB})(TDC의 LSB에 대응하는 지속기간, 및 이에 따라 통신 프로토콜의 최소 심볼 분리 시간에 대응하는 지속기간)와 동일하게 교정된다.

[1355] 입력 데이터 신호(3211)에 의해 표현된 심볼의 심볼 지속기간은 예를 들어, 전체 T_{LSB}의 수(TDC 양자화 레벨)를 카운트함으로써 측정될 수 있다. 따라서, 낮은 분해능 TDC를 사용하면 TDC로부터 (매우) 제한된 데이터가 나올 수 있다.

[1356] (예를 들어, 가우시안 분산 지터(Gaussian distributed jitter)로 인한) 오 검출을 최소화하기 위해, 심볼 (및 이에 따른 입력 데이터 신호(3211))의 하강 및 상승 신호 에지는 TDC 양자화 레벨 사이에 정확하게 속해야 한다. 도 32e는 최적의 BER을 위해 교정된 지연을 갖는 시스템의 예를 도시한다. 도 32e의 예에서, 입력 데이터 신호(3211)의 하강 및 상승 신호 에지는 낮은 분해능 TDC(3213)의 연속적인 TDC 양자화 레벨(3225) 사이의 중간에 정확하게 위치된다.

[1357] TDC(3213)를 교정하는 단계의 예가 도 32f 내지 도 32j와 관련하여 아래에 설명된다. 도 32f에 도시된 바와 같이, TDC(3213)는 예를 들어 직렬로 연결된 복수의 지연 회로(3231-1, 3231-2, ... 3231-n)를 갖는 지연 라인(3230)을 포함할 수 있다. 지연 라인(3230) 내에서의 지연 회로의 수는 예를 들어 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수의 3 배 미만일 수 있다. 지연 회로(3231-1)에 대해 도 32f에 도시된 바와 같이, 복수의 지연 회로(3231-1, 3231-2, ... 3231-n) 중 적어도 하나의 지연 회로는 조정 가능한 신호 지연을 갖는 가변 지연 회로일 수 있다. 일부 예에서, 복수의 지연 회로(3231-1, 3231-2, ... 3231-n)의 모든 지연 회로는 가변 지연 회로일 수 있다. 입력 데이터 신호(3211)에 존재하는 신호 에지는 복수의 지연 회로(3231-1, 3231-2, ... 3231-n) 각각에 의해 지연되고, 신호의 상태는 (하이에서 로우로 또는 로우에서 하이로) 변한다.

[1358] 복수의 신호 캡처 회로(3222-1, 3232-2, ... 3232-n)의 각각의 신호 캡처 회로는 복수의 지연 회로(3231-1, 3231-2, ... 3231-n) 중 매번 두 개의 연속적인 지연 회로 사이에서 각각의 탭 노드(3323-1, 3233-3, ... 3233-n)에 연결된다. 예를 들어, 지연 라인(3230) 내에서의 탭 노드의 수는 통신 프로토콜(예를 들어, STEP 프로토콜)의 상이한 페이로드 데이터 심볼의 수의 3 배 미만일 수 있다. 일부 예에서, 지연 라인(3230) 내에서의 탭 노드의 수는 예를 들어 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수의 한 배 또는 두 배일 수 있다.

[1359] TDC의 회로는 입력 데이터 신호(3211)를 지연 라인(3230)에 제공하도록 구성되고 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)는 트리거 신호(3234)에 의해 트리거될 때 복수의 지연 회로(3231-1, 3231-2, ... 3231-n)의 지연 회로 사이의 탭 노드(3233-1, 3233-3, ... 3233-n-1)에서 발생하는 입력 데이터 신호(3211)의 신호 값을 캡처하도록 구성된다. 트리거 신호(3234)는 입력 데이터 신호(3211)에 기초하여 트리거링 인버터(3335)에 의해 생성된다. 도 32f의 예에서, 트리거 신호(3234)는 입력 데이터 신호(3211)의 지연된 버전이다. 다른 예에서, 트리거 신호는 대안적으로 입력 데이터 신호(3211) 자체일 수 있다.

[1360] 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)의 각각의 신호 캡처 회로는 각각의 탭 노드에서 발생하는 입력 데이터 신호(3211)의 신호 값을 캡처하도록 구성된 적어도 하나의 D-플립 플롭 회로를 포함한다. 도 32f의 예에서, 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)의 각각의 신호 캡처 회로는 트리거 신호에 의해 트리거되는 제 1 플립 플롭 회로 및 트리거 신호의 역 버전에 의해 트리거되는 제 2 플립 플롭 회로를 포함한다.

[1361] 다시 말해, 복수의 지연 회로(3231-1, 3231-2, ... 3231-n)의 각각의 지연 회로의 출력은 (트리거 신호(3234)에 의해 트리거된) 에지 트리거된 플립 플롭 회로의 제 1 뱅크에 입력되고 (트리거 신호(3234)의 역 버전에 의해 트리거된) 에지 트리거된 플립 플롭 회로의 제 2 뱅크 에 입력된다.

[1362] TDC는 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)의 제 1 플립 플롭 회로에 의해 캡처된 입력 데이터 신호(3211)의 신호 값에 기초하여 제 1 데이터 심볼을 표시하는 데이터를 출력하도록 구성되고 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)의 제 2 플립 플롭 회로에 의해 캡처된 입력 데이터 신호(3211)의 신호 값에 기초하여 제 2 데이터 심볼을 표시하는 데이터를 출력하도록 구성된 디코딩 회로(3235)를 더 포함한다.

[1363] 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)의 제 1 플립 플롭 회로는 포지티브 신호 에지에 의해 트리거되는 반면, 복수의 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)의 제 2 플립 플롭 회로는 네거티브 신호 에지에 의해 트리거된다. 따라서, 제 1 플립 플롭 회로는 네거티브 신호 에지가 입력 데이터 신호(3211) 내에 존재할 때 신호를 출력하는 반면, 제 2 플립 플롭 회로는 포지티브 신호 에지가 데이터 신호 내에 존재할 때 신호

를 출력한다. 그러나, 제 1 플립 플롭 회로에 의해 출력된 신호 패턴은 선행 포지티브 신호 에지가 입력 데이터 신호(3211) 내에서 얼마나 오래전에 수신되었는지를 결정할 수 있게 한다. 특히, 출력에서뿐만 아니라 입력에서 (대응하는 플립 플롭에 의해 판독되는 바와 같이) 동일한 신호 상태를 갖는 지연 회로는 지연 라인(3230) 내에서 그리고 이에 따른 트리거링 네거티브 신호 에지와 선행 포지티브 신호 에지 사이의 기간 동안 선행 포지티브 신호 에지의 위치를 나타낼 수 있다. 그러므로 디코딩 회로(3235)의 포지티브 펄스 디코더(3236)에 의한 제 1 플립 플롭 회로의 판독은 입력 데이터 신호(3211)가 하이 상태에 있었던 기간을 도출할 수 있게 하고, 따라서 수신된 심볼에 연관된 기간을 제공한다. 마찬가지로, 디코딩 회로(3235)의 네거티브 펄스 디코더(3237)는 수신된 데이터 신호가 로우 상태에 있었던 기간을 도출할 수 있게 하고, 따라서 수신된 심볼과 연관된 기간을 제공한다.

[1364] TDC(3213)를 교정하기 위해, 장치(3210)는 교정 모드에서 지연 라인(3230)의 지연 회로(3231-1, 3231-2, ... 3231-n) 중 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성된 교정 모듈(도시되지 않음)을 더 포함할 수 있다. 예를 들어, 입력 인터페이스(3212)는 교정 모드에서, 상이한 데이터 심볼의 알려진 시퀀스를 포함하는 외부 송신기로부터의 교정 데이터 신호를 수신하도록 구성될 수 있다. 예를 들어, 상이한 데이터 심볼의 알려진 시퀀스는 통신 프로토콜의 동일한 수의 각각의 가능한 페이로드 데이터 심볼을 포함할 수 있다. TDC(3213)는 교정 데이터 신호에 기초하여 교정 출력 데이터 심볼의 시퀀스를 나타내는 출력 데이터를 생성하도록 구성된다. 그런 다음 교정 모듈은 알려진 시퀀스의 데이터 심볼과 교정 출력 데이터 심볼의 비교에 기초하여 지연 회로(3231-1, 3231-2, ... 3231-n) 중 적어도 하나의 지연 회로의 가변 지연을 조정한다.

[1365] 다른 예에서, 튜닝 가능한 지연 라인(3230)은 통계적 추출 머신(SEM)(Statistical Extraction Machine)을 사용하여 교정될 수 있다. SEM 메커니즘은 TDC 탭 노드 폭을 측정하고, 이렇게 결정된 데이터는 튜닝 가능한 지연 라인(3230)을 교정하는데 사용된다. TDC(3213)에 대한 예시적인 교정 셋업이 도 32g에 도시된다. 도 32g는 도 32f와 관련하여 위에서 설명한 TDC(3213)를 개략적으로 도시한다. 장치(3210)는 교정 모드에서 (입력 데이터 신호로서) 제 1 주파수를 갖는 제 1 클록 신호(3241)를 TDC(3213)의 지연 라인에 제공하도록 구성된다. TDC(3213)의 신호 캡처 회로의 트리거 신호는 교정 모드에서 제 2 주파수를 갖는 제 2 클럭 신호(3242)이다. 제 1 주파수는 제 2 주파수의 비정수의 배수(non-integer multiple)이거나 또는 제 2 주파수는 제 1 주파수의 비정수의 배수이다. 예를 들어, f_{in1}이 제 1 클럭 신호(3241)를 나타내고 f_{in2}가 제 2 클럭 신호(3242)를 나타내면, 관계식 $f_{in2} = (N+K)\cdot f_{in1}$이 사용될 수 있다(여기서, N은 정수이고 K는 분수이다). 따라서, 교정 모듈은 TDC(3213)에 의해 출력된 데이터 심볼의 통계적 분포를 획득하기 위해 통신 프로토콜의 각각의 가능한 페이로드 데이터 심볼에 대한 출력 이벤트의 수를 카운트하도록 구성된다. 예를 들어, 교정 모듈은 TDC(3213)가 TDC(3213)에 의해 출력된 데이터 심볼의 통계적 분포를 획득하기 위해 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수를 적어도 5 배 출력할 때까지 교정 모드에서 카운트하도록 구성된다.

[1366] 다시 말해, 분수 값을 갖는 두 개의 주파수(f_{in1} 및 f_{in2})가 TDC(3213)에 제공된다. 1/K가 TDC(3213) 내의 탭 노드 수보다 크면, 위상 차는 TDC 탭 노드 모두를 커버하는 [0, 2π] 사이에 균일하게 분포될 수 있다(2π의 위상 랩핑(phase wrapping)이 있다). 도 32g의 우측 부분은 TDC 탭 노드 지연 분포 대 TDC의 교정되지 않은 지연 라인에 대한 시간을 도시한다. 알 수 있는 바와 같이, 수직 라인으로 표시된 탭 노드 지연은 균일하지 않다.

[1367] TDC 출력의 히스토그램을 살펴보면, 교정 후에는 균일하게 분포된 히스토그램이 예상되며, 이것은 TDC 탭 노드 모두가 균일하게 분포된다는 것(동일한 지연이 있음)을 의미한다. 도 32h는 교정되지 않은 TDC에 대한 SEM 출력 히스토그램의 예를 도시하며, 이것은 결과적으로 불균일하게 분포된 TDC 탭 노드를 갖는다. 이러한 데이터를 수집하면 (도 32f의 상측 부분에 도시된 지연 회로(3231-1)의 피드백 경로의 지연을 변경하는) 튜닝 가능한 보간 지연 라인을 트리밍할 수 있다.

[1368] 도 32i는 TDC(3213)의 지연 라인의 지연 회로 중 적어도 하나의 지연 회로의 가변 지연을 조정하기 위한 교정 모듈(3423)과 함께 TDC(3213)를 좌측 부분에 도시한다. 다시 말해, 교정 모듈(3243)은 TDC(3213)에 의해 출력되는 심볼 데이터의 통계적 분포에 기초하여 TDC(3213)의 지연 라인(3230)의 지연 회로(3231-1, 3231-2, ... 3231-n) 중 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성된다. 예를 들어, 교정 모듈은 신호 캡처 회로(3232-1, 3232-2, ... 3232-n)에 의한 입력 데이터 신호(3211)의 신호 값을 캡처하는 시간에, 입력 데이터 신호(3211)의 에지가 최후의 탭 노드를 통과한 이후 최소 심볼 분리 시간의 절반을 전파하도록, TDC(3213)의 지연 라인(3230)의 지연 회로(3231-1, 3231-2, ... 3231-n) 중 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성될 수 있다.

[1369] 다시 말해, 도 32i는 SEM 교정 모듈(3243)과 TDC(3213) 사이의 피드백에 대한 예를 도시한다. SEM 교정 모듈(3243)은 TDC(3213)의 출력 데이터를 측정하고 TDC(3213)의 이벤트의 분포를 계산한다. SEM 교정 모듈(3243)은 모든 탭 노드가 동일한 지연을 가질 때까지 지연 라인 탭 노드를 제어하여 TDC(3213)가 균일하게 분포된 히스토그램을 생성하게 한다. SEM 접근법의 정확도는 매우 높으며 이론적으로는 측정 시간에 의해서만 제한된다.

[1370] 도 32i의 우측 부분은 TDC의 지연 라인이 교정된 경우 TDC 탭 노드 지연 분포 대 시간을 도시한다. 알 수 있는 바와 같이, 수직 라인으로 표시된 탭 노드 지연은 균일하다.

[1371] 교정을 위해 사용되는 클록 신호를 제공하기 위해, 장치(3210)는 제 1 클록 신호 및 제 2 클록 신호 중 적어도 하나를 생성하도록 구성된 클록 신호 생성기 회로(도시되지 않음)를 옵션으로 더 포함할 수 있다.

[1372] 위의 양태 중 적어도 일부를 요약하면, 도 32j는 최적의 BER을 위해 교정된 TDC 지연을 갖는 STEP 시스템(3250)의 예를 도시한다. DTC(3251)는 송신 링크(3253)를 통해 전송되기 전에 (출력 인터페이스로서 이해될 수 있는) 매칭된 송신 드라이버(3252)를 통해 전달되는 심볼을 생성한다. 심볼은 (입력 인터페이스로서 이해될 수 있는) 매칭된 수신 드라이버(3254) 및 낮은 분해능 TDC(3255)에 의해 수신된다. TDC(3255)는 각각의 심볼의 길이(지속 시간)를 디지털 데이터로 변환한다. TDC(3255)로부터의 디지털 데이터는 적절한 비트를 생성하기 위해 (데이터 결정, 코딩, 교정 등을 위한) 디지털 섹션(3206)에 의해 처리된다. DTC(3255)의 지연 라인의 지연 회로(3257)의 가변 지연은 송신 링크(3253)로부터의 입력 데이터 신호의 에지가 최후 탭 노드를 통과한 후에 최소 심볼 분리 시간($T_{TDC_LSB/2}$)의 절반을 전파하도록 교정된다.

[1373] TDC(3255)는 검출된 심볼의 최종 값을 직접 생성하기 위한 "경판정 슬라이서"로서 동작한다. 도 32e에 도시된 바와 같이, 데이터 심볼은 시스템 내의 랜덤 지터에 의해 영향을 받을 수 있다. BER을 최소화하기 위해, 위에서 설명한 양태에 따른 데이터와 샘플링 신호 사이의 교정에 의해 TDC(3255)에서 하강 및 상승 에지와 TDC 양자화 레벨 사이의 최대 거리가 조정된다.

[1374] 위의 교정은 모든 심볼의 상승 및 하강 에지가 TDC 양자화 레벨 사이에 (예를 들어 정확하게) 속하는 것을 보장할 수 있게 한다. 따라서 교정은 연판정 대신 경판정을 사용할 수 있게 한다. 위에서 설명한 바와 같이, 교정은 다음 중 하나 이상을 포함할 수 있다:

[1375] 1) DTC 심볼과 TDC 양자화 레벨 사이의 특정 크기(지속 시간) 관계를 설정하는 것(예를 들어, DTC 심볼 크기 = $K \cdot T_{TDC_LSB}$, K는 정수임);

[1376] 2) TDC 분해능을 T_{TDC_LSB}의 분해능으로 교정하는 것(예를 들어, 확률적 TDC와 비교하여 많은 전력을 절약할 수 있음); 및

[1377] 3) 최적의 BER을 위해 TDC 샘플링을 교정하는 것.

[1378] 낮은 분해능 DTC를 사용하는 것에 관한 위의 양태 중 일부를 요약하기 위해, 출력 데이터를 생성하기 위한 방법(3260)의 예가 도 32k의 흐름도에 의해 도시된다. 방법(3260)은 통신 프로토콜에 따라 생성된 입력 데이터 신호를 수신하는 단계(3262)를 포함한다. 입력 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법(3260)은 TDC에 의해 입력 데이터 신호에 기초하여 제 1 데이터 심볼 및 제 2 심볼을 표시하는 출력 데이터를 생성하는 단계(3264)를 포함한다. TDC의 분해능은 통신 프로토콜의 모든 데이터 심볼의 최소 심볼 분리 시간의 30 %를 초과한다.

[1379] 방법(3260)의 보다 세부 사항 및 양태는 제안된 기술 또는 위에서 설명한 하나 이상의 예(예를 들어, 도 32b 내지 도 32j)와 관련하여 언급된다. 방법은 제안된 기술의 하나 이상의 양태 또는 위에서 설명한 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1380] 예는 또한 실행될 때 머신으로 하여금 출력 데이터를 생성하기 위한 방법(3260)을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체에 관한 것이다.

[1381] 일부 예는 높은 처리량을 위한 시간 인터리빙된 STEP 연결에 관한 것이다. 예를 들어, 최대 동작 주파수를 두 배로 늘리기 위해 2개의 DTC와 2개의 TDC를 인터리빙하는 것(예를 들어, 도 33e에 도시됨)이 제안될 수 있다. 2개의 DTC에 의해 생성된 데이터 신호를 인터리빙하기 위해, 우리는 또한 변조에 대한 일부 제약 및 두 DTC 모두에서 주파수를 동일하게 유지하는 방법, 예를 들어, 레이트의 드리프트(drift)로 인한 잠재적인 문제를 피하

는 방법을 도입될 수 있다.

[1382] 예를 들어, 각각의 DTC에 의해 변조된 데이터는 다른 DTC의 데이터를 고려할 수 있다. 예를 들어, 각각의 DTC의 변조 범위를 각각의 DTC의 최소 펄스 폭보다 낮게 정의함으로써, 하나의 DTC가 (예를 들어, 각각의 개별 DTC의 데이터에 관계없이) 상승 에지 및 다른 하강 에지를 생성하는 통합 신호가 생성될 수 있다. 생성된 결합된 신호(두 배로 된 신호)는 2로 나누어져 2개의 개별 데이터 스트림, 즉 두 배로 된 상승 에지 중 하나, 및 하강 에지 중 하나를 재생성할 수 있다. 데이터는 x0+x1, x1+x2, x2+x3, x3+x4 쌍으로 송신될 수 있다. 그러므로 예를 들어, 이전 에지의 데이터의 감산이 각각의 DTC의 데이터를 디코딩하는데 사용될 수 있다.

[1383] 예를 들어, XOR/XNOR 게이트에 연결된 두 개의 DTC 회로를 갖는 인터리브 개념이 제안될 수 있다. 두 개의 심볼의 합은 각각의 스트림에서 변조될 수 있다. 또한, 두 개의 회로로 나누어진 두 개의 TDC 회로를 갖는 인터리브 개념이 제안될 수 있다. 데이터는 두 개의 스트림을 감산함으로써 디코딩될 수 있다.

[1384] 도 33a는 예에 따른 출력 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3300)는 XOR 또는 XNOR 회로(3306)에 연결된 제 1 디지털-시간 변환기 회로(3302) 및 제 2 디지털-시간 변환기 회로(3304)를 포함한다. 제 1 디지털-시간 변환기 회로(3302)는 제 1 DTC 입력 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하도록 구성되고, 제 2 디지털-시간 변환기 회로(3304)는 제 2 DTC 입력 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하도록 구성된다. 또한, XOR 또는 XNOR 회로(3306)는 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 결합된 출력 데이터 신호를 생성하도록 구성된다.

[1385] XOR 또는 XNOR 회로를 사용하여 두 개의 데이터 신호를 결합하면, 데이터 레이트는 두 배가될 수 있다. 이러한 방식으로 단일 종단 연결 또는 하나의 차동 연결에 비해 데이터 처리량이 크게 증가하는 반면에, DTC는 여전히 주파수의 절반에서 동작할 수 있다. 이러한 방식으로, DTC의 복잡성 및/또는 전류 소비는 낮게 유지될 수 있다.

[1386] 예를 들어, 제 1 DTC 입력 데이터 신호, 제 2 DTC 입력 데이터 신호, 제 1 변환된 데이터 신호, 제 2 변환된 데이터 신호 및 결합된 출력 데이터 신호는 디지털 신호이다.

[1387] 제 1 디지털-시간 변환기 회로(3302) 및 제 2 디지털-시간 변환기 회로(3304)는 위에서 또는 아래에서 설명되는 하나 이상의 예와 관련하여 언급된 바와 같이 STEP 송신기의 처리 회로의 일부일 수 있다.

[1388] 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호는 제 1 DTC 입력 데이터 신호 및 제 2 DTC 입력 데이터 신호에 의해 포함된 데이터에 대응하는 시간에서 신호 에지를 포함하는 펄스 폭 변조 신호일 수 있다. 예를 들어, 제 1 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지(n 번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2 번째 신호 에지)의 시퀀스를 포함할 수 있다. 제 1 DTC 입력 데이터 신호의 제 1 신호 에지 및 제 2 신호 에지는 제 1 DTC 입력 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 1 DTC 입력 데이터 신호의 제 2 신호 에지 및 제 3 신호 에지는 제 1 DTC 입력 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다. 또한, 제 2 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지(m 번째 신호 에지), 제 2 타입의 제 2 신호 에지(m+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(m+2 번째 신호 에지)의 시퀀스를 포함할 수 있다. 제 2 DTC 입력 데이터 신호의 제 1 신호 에지 및 제 2 신호 에지는 제 2 DTC 입력 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 2 DTC 입력 데이터 신호의 제 2 신호 에지 및 제 3 신호 에지는 제 2 DTC 입력 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다.

[1389] 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호는 에지를 포함할 수 있고 서로 시간적으로 정렬될 수 있으므로, XOR 또는 XNOR 회로(3306)를 통과할 때, 제 1 변환된 데이터 신호의 에지는 결합된 출력 데이터 신호의 상승 에지를 야기하고 제 2 변환된 데이터 신호의 에지는 결합된 출력 데이터 신호의 하강 에지를 야기하며 또는 그 반대일 수도 있다. XOR 또는 XNOR 회로(3306)는 논리 XOR 함수에 기초하여 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호를 결합하도록 구성된 XOR 게이트 또는 논리 XNOR 함수에 기초하여 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호를 결합하도록 구성된 XNOR 게이트를 포함할 수 있다.

[1390] 또한, 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호는 에지를 포함할 수 있고 서로 시간적으로 정렬될 수 있으므로, 출력 데이터 신호는 제 1 변환된 데이터 신호 및/또는 제 2 변환된 데이터 신호의 최소 펄스 폭보다 낮은 최소 펄스 폭을 포함할 수 있다. 예를 들어, 제 1 변환된 데이터 신호의 최소 펄스 폭(2m)은 결합된 출력 데이터 신호의 최소 펄스 폭(m)의 두 배와 동일할 수 있다. 또한, 제 2 변환된 데이터 신호의 최소 펄스

폭(2m)은 결합된 출력 데이터 신호의 최소 펄스 폭(m)의 두 배와 동일할 수 있다.

[1391] 제 1 DTC 입력 데이터 신호 및 제 2 DTC 입력 데이터 신호는 송신될 데이터에 기초하여 처리 회로에 의해 생성될 수 있다. 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호가 송신될 데이터와 무관하게 정렬되도록 유지하기 위해, 제 1 DTC 입력 데이터 신호에 의해 포함된 데이터는 제 2 DTC 입력 데이터 신호에 의해 포함된 데이터와 상관될 수 있다. 예를 들어, 제 1 DTC 입력 데이터 신호 및 제 2 DTC 입력 데이터 신호는 각각 송신될 데이터를 포함하는 두 개의 입력 데이터 스트림에 기초하여 생성될 수 있다. 제 1 DTC 입력 데이터 신호는 두 입력 데이터 스트림 모두의 데이터 심볼에 기초한 데이터 심볼을 포함할 수 있고, 제 2 DTC 입력 데이터 신호도 두 입력 데이터 스트림 모두의 데이터 심볼에 기초한 데이터 심볼을 포함할 수 있다.

[1392] 예를 들어, 제 1 DTC 입력 데이터 신호 및 제 2 DTC 입력 데이터 신호의 데이터 심볼은 각각 제 1 입력 데이터 스트림의 데이터 심볼과 제 2 입력 데이터 스트림의 데이터 심볼의 합에 기초할 수 있다. 예를 들어, 제 1 DTC 입력 데이터 신호의 제 1 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 1 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 1 데이터 심볼에 기초할 수 있다. 또한, 제 2 DTC 입력 데이터 신호의 제 1 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 2 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 1 데이터 심볼에 기초할 수 있다.

[1393] 또한, 제 1 DTC 입력 데이터 신호의 제 2 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 2 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 2 심볼에 기초할 수 있다. 또한, 제 2 DTC 입력 데이터 신호의 제 2 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 3 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 2 심볼에 기초할 수 있다.

[1394] 장치(3300)는 제 1 입력 데이터 스트림 및 제 2 입력 데이터 스트림에 기초하여 제 1 DTC 입력 데이터 신호를 생성하도록 구성된 결합기를 포함할 수 있다. 또한, 결합기는 제 1 입력 데이터 스트림 및 제 2 입력 데이터 스트림에 기초하여 제 2 DTC 입력 데이터 신호를 생성하도록 구성될 수 있다.

[1395] 도 33b는 DTC 출력 신호(3312, 3314)(예를 들어, 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호) 및 XOR 출력 신호(3310)(예를 들어, 결합된 출력 데이터 신호)의 예를 도시한다. 예를 들어, 송신될 제 1 입력 데이터 스트림의 제 1 데이터 심볼은 3일 수 있고 송신될 제 2 입력 데이터 스트림의 제 1 데이터 심볼은 4일 수 있다. 또한, 송신될 제 1 입력 데이터 스트림의 제 2 데이터 심볼은 5일 수 있고 송신될 제 2 입력 데이터 스트림의 제 2 데이터 심볼은 6일 수 있다.

[1396] 제 1 DTC 입력 데이터 신호의 제 1 결합된 데이터 심볼은 제 1 입력 데이터 스트림의 제 1 데이터 심볼과 제 2 입력 데이터 스트림의 제 1 데이터 심볼의 합인 7과 동일할 수 있다. 제 2 DTC 입력 데이터 신호의 제 1 결합된 데이터 심볼은 제 1 입력 데이터 스트림의 제 2 데이터 심볼과 제 2 입력 데이터 스트림의 제 1 데이터 심볼의 합인 9와 동일할 수 있다.

[1397] 또한, 제 1 DTC 입력 데이터 신호의 제 2 결합된 데이터 심볼은 제 1 입력 데이터 스트림의 제 2 데이터 심볼과 제 2 입력 데이터 스트림의 제 2 심볼의 합인 11과 동일할 수 있다.

[1398] 도 33b의 예에서, 제 1 변환된 데이터 신호(3312) 및 제 2 변환된 데이터 신호(3314)의 (예를 들어, 최소 지속기간(m)을 포함하는) 펄스 폭은 다음과 같다:

[1399] DTC1 펄스: 2m+3, 2m+7, 2m+11, 2m+13, 2m+9, 2m+5

[1400] DTC2 펄스: 2m+1, 2m+5, 2m+9, 2m+13, 2m+11, 2m+7, 2m+2

[1401] XOR 펄스: m+1, m+2, m+3, m+4, m+5, m+6, m+7, m+6, m+5, m+4, m+3, m+2, m+1

[1402] 수신기 측에서, XOR 신호는 하강 에지를 갖는 신호 및 상승 에지를 갖는 다른 신호를 두 개의 TDC에 제공하도록 분할될 수 있다. TDC가 DTC 스트림을 판독하고 있다면, 5-3+1=3, 7-5+3-1=4, 9-7+5-3+1=5, 11-9+7-5+3-1=6, ...를 계산할 수 있다.

[1403] 제 1 심볼은 알고 있으므로 심볼은 현재 심볼로부터 이전 데이터를 감산함으로써, 예를 들어: 3-1=2, 5-2=3, 7-3=4, ... 함으로써 디코딩될 수 있다.

[1404] 도 33c는 DTC 출력 신호(3312, 3314) 및 XOR 출력 신호(3310)의 예를 도시한다. 각각의 DTC의 변조는 2개의 데이터 심볼의 합에 기초할 수 있고, 이것은 두 개의 DTC 사이에 드리프트가 없음을 보장할 수 있다. 또한, 도 33c에 도시된 바와 같이, 이것은 DTC가 동일한 주파수를 갖는다는 것 및 다른 DTC의 최소 펄스 폭 동안 시간 간

격을 변조하기 위해 각각의 DTC 출력이 오프셋되는 것을 보장할 수 있다. 또한, 변조 범위는 각각의 DTC의 최소 펄스 폭보다 작을 수 있다.

[1405] 장치(3300)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3300)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1406] 일부 예는 도 33a와 관련하여 설명된 출력 데이터 신호를 생성하기 위한 장치를 포함하는 송신기 또는 송수신기에 관련된다.

[1407] 도 33d는 예에 따른 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3320)는 제 1 시간-디지털 변환기 회로(3324) 및 제 2 시간-디지털 변환기 회로(3326)에 연결된 분할기 회로(3322)를 포함한다. 분할기 회로(3322)는 입력 데이터 신호에 기초하여 제 1 분할된 데이터 신호를 생성하도록 구성된다. 또한, 분할기 회로(3322)는 입력 데이터 신호에 기초하여 제 2 분할된 데이터 신호를 생성하도록 구성된다. 제 1 시간-디지털 변환기 회로(3324)는 제 1 분할된 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하도록 구성된다. 또한, 제 2 시간-디지털 변환기 회로(3326)는 제 2 분할된 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하도록 구성된다.

[1408] 분할기 회로(3322)는 2의 분할기일 수 있다. 분할기 회로(3322)는, 제 1 분할된 데이터 신호의 평균 주파수가 입력 데이터 신호의 평균 주파수의 절반이 되고 제 2 분할된 데이터 신호의 평균 주파수가 입력 데이터 신호의 평균 주파수의 절반이 되도록, 제 1 분할된 데이터 신호 및 제 2 분할된 데이터 신호를 생성하도록 구성될 수 있다. 예를 들어, 제 1 분할된 데이터 신호의 최소 펄스 폭(2m)은 입력 데이터 신호의 최소 펄스 폭(m)의 두 배일 수 있다. 또한, 제 2 분할된 데이터 신호의 최소 펄스 폭(2m)은 입력 데이터 신호의 최소 펄스 폭(m)의 두 배일 수 있다.

[1409] 분할기 회로(3322)는, 제 1 분할된 데이터 신호가 입력 데이터 신호의 제 1 타입의 모든 신호 에지(예를 들어, 하강 또는 상승 에지)에 대한 신호 에지를 포함하고 제 2 분할된 데이터 신호가 입력 데이터 신호의 제 2 타입의 모든 신호 에지에 대한 신호 에지를 포함하도록, 제 1 분할된 데이터 신호 및 제 2 분할된 데이터 신호를 생성하도록 구성될 수 있다. 예를 들어, 제 1 분할된 데이터 신호는 입력 데이터 신호의 하강 에지에 대응하는 에지를 포함할 수 있고 제 2 분할된 데이터 신호는 입력 데이터 신호의 상승 에지에 대응하는 에지를 포함할 수 있고, 또는 그 반대일 수도 있다.

[1410] 입력 데이터 신호, 제 1 분할된 데이터 신호, 제 2 분할된 데이터 신호, 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호는 디지털 신호일 수 있다.

[1411] 제 1 분할된 데이터 신호 및 제 2 분할된 데이터 신호는 펄스 폭 변조 신호일 수 있다. 예를 들어, 제 1 분할된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 분할된 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 분할된 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다. 또한, 제 2 분할된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제 2 분할된 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 분할된 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다.

[1412] 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호는 제 1 분할된 데이터 신호 및 제 2 분할된 데이터 신호 내의 데이터 심볼의 에지 사이의 시간 길이에 대응하는 출력 값을 포함할 수 있다.

[1413] 장치(3320)는 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 제 1 출력 데이터 스트림의 데이터를 결정하도록 구성된 처리 회로를 포함할 수 있다. 또한, 처리 회로는 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 제 2 출력 데이터 스트림의 데이터를 결정하도록 구성될 수 있다.

[1414] 예를 들어, 제 1 출력 데이터 스트림의 제 1 데이터 심볼은 제 1 분할된 데이터 신호의 제 1 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 1 결합된 데이터 심볼에 기초할 수 있다. 또한, 제 2 출력 데이터 스트림의 제 1 데이터 심볼은 제 1 분할된 데이터 신호의 제 2 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 1 결합된 데이터 심볼에 기초할 수 있다. 또한, 제 1 출력 데이터 스트림의 제 2 데이터 심볼은 제 1 분할된 데이터 신호의 제 2 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 2 결합된 데이터 심볼에 기초할 수

있다. 또한, 제 2 출력 데이터 스트림의 제 2 데이터 심볼은 제 1 분할된 데이터 신호의 제 3 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 2 결합된 심볼에 기초할 수 있다.

[1415] 예를 들어, 처리 회로는 적어도 제 2 시간-디지털 변환기 회로(3326)의 현재 출력 값으로부터 제 1 시간-디지털 변환기 회로(3324)의 이전 출력 값을 감산함으로써 제 1 출력 데이터 스트림의 데이터를 결정하도록 구성될 수 있다. 대안적으로 또는 부가적으로, 처리 회로는 제 1 시간-디지털 변환기 회로(3324)의 출력 값으로부터 제 2 출력 데이터 스트림의 이전에 결정된 값을 감산함으로써 제 1 출력 데이터 스트림의 데이터를 결정하도록 구성될 수 있다.

[1416] 예를 들어, 처리 회로는 적어도 제 1 시간-디지털 변환기 회로(3324)의 현재 출력 값으로부터 제 2 시간-디지털 변환기 회로(3326)의 이전 출력 값을 감산함으로써 제 2 출력 데이터 스트림의 데이터를 결정하도록 구성될 수 있다. 대안적으로 또는 부가적으로, 처리 회로는 제 2 시간-디지털 변환기 회로(3326)의 출력 값으로부터 제 1 출력 데이터 스트림의 이전에 결정된 값을 감산함으로써 제 2 출력 데이터 스트림의 데이터를 결정하도록 구성될 수 있다.

[1417] 도 33b에 도시된 예에서, 제 1 분할된 데이터 신호는 제 1 변환된 데이터 신호(3312)와 동일할 수 있고, 제 2 분할된 데이터 신호는 제 2 변환된 데이터 신호(3314)와 동일할 수 있다. 제 1 시간-디지털 변환기 회로(3324)는 3, 7, 11, 13, 9, 5와 동일한 시퀀스를 나타내는 값을 출력할 수 있고, 제 2 시간-디지털 변환기 회로(3326)는 5, 9, 13, 11, 7와 동일한 시퀀스를 나타내는 값을 출력할 수 있다.

[1418] 예를 들어, 제 1 출력 데이터 스트림의 값은 제 1 시간-디지털 변환기 회로(3324)의 출력 값으로부터 제 2 출력 데이터 스트림의 이전에 결정된 값을 감산함으로써 계산될 수 있다. 예를 들어, 3은 제 1 시간-디지털 변환기 회로(3324)의 출력 값이고 제 2 데이터 스트림의 직전에 결정된 값은 1이므로 제 1 데이터 스트림의 값은 3-1=2이다. 제 2 데이터 스트림의 다음 값은 제 2 시간-디지털 변환기 회로(3324)의 다음 출력 값으로부터 제 1 데이터 스트림의 이전에 결정된 값을 감산함으로써 결정될 수 있다. 예를 들어, 5는 제 2 시간-디지털 변환기 회로(3324)의 다음 출력 값이고 제 1 데이터 스트림의 직전에 결정된 값은 2이므로 제 2 데이터 스트림의 다음 값은 5-2=3이다.

[1419] 장치(3320)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3320)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1420] 일부 예는 도 33a와 관련하여 설명된 장치에 의해 제공된 결합된 출력 데이터 신호를 직접 샘플링하는 수신기에 관련된다. 예를 들어, 수신기는 입력 데이터 신호에 기초하여 변환된 데이터 신호를 생성하도록 구성된 시간-디지털 변환기 회로를 포함할 수 있다. 입력 데이터 신호는 도 33a와 관련하여 설명된 입력 데이터 신호를 생성하는 송신기로부터 송신 라인을 통해 송신될 수 있다. 입력 데이터 신호는 송신기의 두 개의 DTC의 두 개의 DTC 입력 데이터 신호를 결정하는데 사용되는 거론된 두 개의 입력 데이터 스트림에 의해 제공된 데이터에 대응하는 에지를 포함할 수 있다. 수신기의 시간-디지털 변환기 회로는 입력 데이터 신호의 에지 사이의 시간 간격의 길이에 대응하는 값을 출력할 수 있다. 예를 들어, 입력 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있으며, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 수신기는 시간-디지털 변환기 회로의 출력 값에 기초하여 출력 데이터를 제공하도록 구성된 복조 회로를 포함할 수 있다.

[1421] 도 33b의 예에서, XOR 신호(3310)는 수신기의 시간-디지털 변환기 회로에 제공될 것이고 시간-디지털 변환기 회로는 m+1, m+2, m+3, m+4, m+5, m+6, m+7, m+6, m+5, m+4, m+3, m+2, m+1에 대응하는 값의 시퀀스를 출력할 수 있다. 또한, 수신기의 복조 회로는 데이터 시퀀스 1234567654321을 출력할 수 있다.

[1422] 수신기의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 수신기는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1423] 일부 예는 도 33d와 관련하여 설명된 데이터 신호를 생성하기 위한 장치를 포함하는 수신기 또는 송수신기에 관한 것이다.

[1424] 일부 예는 STEP 연결을 포함하는 디바이스에 관한 것이다. STEP 연결은 도 33a와 관련하여 설명된 출력 데이터 신호를 생성하기 위한 장치 및 도 33d와 관련하여 설명된 데이터 신호를 생성하기 위한 장치를 포함할 수 있다. 출력 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하기 위한 장치의 분할기 회로에 결합된 출력 데

이터 신호를 입력 데이터 신호로서 제공할 수 있다.

[1425] 도 33e는 예에 따른 인터리빙된 데이터 신호를 사용하는 STEP 연결(3330)을 도시한다. 두 개의 DTC(3302, 3304)의 출력은 결합된 신호를 생성하는 XOR 게이트(3306)에 제공되어 하나의 DTC(3302)가 XOR 출력의 상승 에지를 효과적으로 생성하고 다른 DTC(3304)가 XOR 하강 에지를 효과적으로 생성한다. RX 측에서, 신호는 분할된 신호의 2개의 스트림, 즉 상승 에지에 의해 효과적으로 생성된 하나의 스트림과 하강 에지에 의해 효과적으로 생성된 하나의 스트림을 출력하는 2 분할 회로(divide by 2 circuit)(3322)를 통과할 수 있다. 이것은 송신기 측에서 별개의 DTC에 의해 생성된 원래의 2개의 신호를 복원할 수 있다. 2 분할 회로(3322)의 두 개의 출력 신호는 두 개의 TDC(3324, 3326)에 제공된다.

[1426] 수신기는 2 분할 회로(3322)를 구현하여 원래의 두 개의 신호를 복원할 수 있다. 또한, 복원(수신)되는 데이터 스트림은 각각의 DTC가 데이터 신호로 원래 변조되었던 데이터(예를 들어, 평균 주파수를 보장하기 위해 두 개의 입력 데이터 스트림의 합)를 계산하기 위해 감산될 수 있다. 방법은 각각의 DTC의 rise2fall 및 fall2rise을 개별적으로 측정함으로써 각각의 스트림에 미친 손상의 상관관계를 유지할 수 있게 할 수 있다.

[1427] 대안적으로, 수신기는 rise2fall 및 fall2rise을 직접 샘플링할 수 있으며, 이것은 데이터 스트림을 감산하기 위한 요건을 제거할 수 있게 하며, 결국 각각의 에지가 상이한 DTC로부터 발생하기 때문에 잡음 면역성이 약간 낮아지는 결과를 가져온다.

[1428] STEP 연결(3330)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 연결(3330)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1429] 도 33f는 예에 따른 출력 데이터 신호를 생성하는 방법의 흐름도를 도시한다. 방법(3380)은 제 1 디지털-시간 변환기 회로에 의한 제 1 DTC 입력 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하는 단계(3382) 및 제 2 디지털-시간 변환기 회로에 의한 제 2 DTC 입력 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하는 단계(3384)를 포함한다. 또한, 방법(3380)은 XOR 또는 XNOR 회로에 의해 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 결합된 출력 데이터 신호를 생성하는 단계(3386)를 포함한다.

[1430] 방법(3380)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3380)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1431] 도 33g는 예에 따른 데이터 신호를 생성하는 방법의 흐름도를 도시한다. 방법(3390)은 입력 데이터 신호에 기초하여 제 1 분할된 데이터 신호를 생성하는 단계(3392) 및 입력 데이터 신호에 기초하여 제 2 분할된 데이터 신호를 생성하는 단계(3394)를 포함한다. 또한, 방법(3390)은 제 1 시간-디지털 변환기 회로에 의해 제 1 분할된 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하는 단계(3396) 및 제 2 시간-디지털 변환기 회로에 의해 제 2 분할된 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하는 단계(3398)를 포함한다.

[1432] 방법(3390)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3390)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1433] 일부 STEP 시스템에서, 예를 들어, 도 34g의 STEP 시스템(3480)에 대해 도시된 바와 같이, TX를 위한 전용 레인과 RX를 위한 전용 레인이 있다. 제 1 유닛(3482)의 STEP 송신기는 제 1 쌍의 차동 송신 라인을 통해 제 2 유닛(3484)의 STEP 수신기에 연결된다. 또한, 제 2 유닛(3484)의 STEP 송신기는 제 2 쌍의 차동 송신 라인을 통해 제 1 유닛(3482)의 STEP 수신기에 연결된다.

[1434] 예를 들어, 고밀도 모바일 디바이스에는 AP(애플리케이션 프로세서)와 RFEM(RF 프론트 엔드)를 연결하는 많은 STEP 인터페이스가 있을 수 있다. CPU가 다수의 STEP 인터페이스를 통해 메모리에 연결될 때 유사한 시나리오가 발생할 수 있다.

[1435] 그러나, (차동적일 수 있는) STEP 레인/데이터 트레이스의 수는 예를 들어 인쇄 회로 기판(PCB) 제약에 의해 제한될 수 있다.

[1436] 일부 예는 단일 레인을 통한 주파수 분할 다중화(frequency division multiplexing)(FDD) 및/또는 시분할 다중화(time division multiplexing)(TDD) STEP 동작에 관한 것이다. 예를 들어, 양방향 레인을 갖는 I/O(입력/출력) 상호 연결이 구현될 수 있다. 예를 들어, I/O 상호 연결은 메인 채널이 STEP 시스템에 의해 구현되는 FDD를 사용할 수 있고, 및/또는 I/O 상호 연결은 TDD를 사용할 수 있다. 예를 들어, 동적으로 매우 빠른 TX 및 RX 스와핑은 레인의 두 방향 모두(예를 들어, 레인을 통한 각각의 채널은 RX 또는 TX 일 수 있음)에서 최대 고속

HS STEP 동작을 가능하게 한다.

[1437] 예에 따르면, 레인의 수는 절반으로 감소될 수 있고, 그에 따라 PCB 상의 상호 연결의 풋프린트 및 디바이스당 I/O의 수를 감소시킬 수 있다.

[1438] I/O 상호 연결의 링크는 대칭이 아닐 수 있다. 예를 들어, 고속 RX와 저속 TX가 필요할 수도 있고 그 반대일 수도 있지만, 고속 RX와 고속 TX가 동시에 필요한 것은 아니다. 예를 들어, 모바일 디바이스에서, 디바이스가 송신하고 있을 때, AP는 HS(고속)에서 STEP TX 레인을 사용하고 매우 낮은 속도에서 (예를 들어, 대부분 응답 확인(ACK) 및 레지스터 설정을 위해) STEP RX 레인을 사용할 수 있다. 동일한 모바일 디바이스에서, 디바이스가 RX 모드일 때, STEP 레인 작동은 스위칭될 수 있다. HS에서 동작할 수 있는 RX 및 TX 용 STEP 레인이 있지만 이것이 (동시에) 요구되는 경우는 없을 것이다.

[1439] 일부 예에 따르면, STEP 레인은 양방향 레인으로 변경될 수 있다. 각각의 레인은 HS 및 저속 데이터 스트림을 지원할 수 있다. 일부 예에 따르면, 할당은 (예를 들어, TX 또는 RX 모드에서) 시스템 요건에 따라 동적으로 수행될 수 있다.

[1440] 예를 들어, 양방향 STEP 레인을 구현하기 위한 다음의 두 개의 옵션은 PCB의 풋프린트를 절반으로 낮출 수 있다. (예를 들어, 도 34b에 도시된 바와 같이) FDD(주파수 분할 다중화)가 구현될 수 있고 및/또는 (예를 들어, 도 34e에 도시된 바와 같이) TDD(시분할 다중화)가 구현될 수 있다.

[1441] 도 34a는 예에 따른 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3400)는 송신 데이터 신호를 생성하도록 구성된 처리 회로(3402)를 포함할 수 있고, 송신 데이터 신호는 제 1 타입의 제 1 신호 에지(n번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2 번째 신호 에지)의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리된다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 장치(3400)는 송신 데이터 신호에 기초한 데이터를 양방향 레인을 통해 송신하도록 구성된 입력/출력 인터페이스(3404)를 포함한다. 또한, 입력/출력 인터페이스(3404)는 양방향 레인을 통해 수신 데이터 신호를 수신하도록 구성된다. 또한, 처리 회로(3402)는 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하도록 구성된다.

[1442] 송신 라인을 통한 양방향 통신을 구현함으로써, 몇몇 단방향 연결의 사용에 비해 필요한 송신 라인의 수가 감소될 수 있다.

[1443] 처리 회로(3402)는 입력 데이터 신호에 기초하여 송신 데이터 신호를 생성하도록 구성된 디지털-시간 변환기 회로를 포함할 수 있다.

[1444] 입력/출력 인터페이스(3404)는 단일 종단 송신 라인 또는 한 쌍의 차동 송신 라인을 입력/출력 인터페이스(3404)에 연결하기 위한 접점 인터페이스(예를 들어, 커넥터 또는 땜납 패드)를 포함할 수 있다. 입력/출력 인터페이스(3404)는 동일한 단일 종단 송신 라인 또는 동일한 쌍의 차동 송신 라인을 통해 데이터 신호를 송신 및 수신하도록 구성될 수 있다.

[1445] 장치(3400)는 송신 모드 또는 수신 모드에서 동작하도록 구성될 수 있다. 송신 모드는 높은 데이터 레이트를 갖는 데이터 송신을 가능하게 하고, 수신 모드는 높은 데이터 레이트를 갖는 데이터의 수신을 가능하게 할 수 있다. 예를 들어, 처리 회로(3402)는 장치(3400)의 송신 모드에서 제 1 데이터 레이트로 송신 데이터 신호를 생성하고 제 2 데이터 레이트로 수신 데이터 신호를 수신하도록 구성될 수 있다. 제 1 데이터 레이트는 장치(3400)의 송신 모드에서 제 2 데이터 레이트보다 높을 수 있다. 예를 들어, 제 1 데이터 레이트는 장치(3400)의 송신 모드에서 제 2 데이터 레이트의 5 배를 초과(또는 10 배 초과 또는 50 배 초과)일 수 있다.

[1446] 또한, 처리 회로(3402)는 장치(3400)의 수신 모드에서 제 3 데이터 레이트로 송신 데이터 신호를 생성하고 수신 데이터 신호를 제 4 데이터 레이트로 수신하도록 구성될 수 있다. 제 1 데이터 레이트는 장치(3400)의 수신 모드에서 제 2 데이터 레이트보다 낮을 수 있다. 예를 들어, 제 1 데이터 레이트는 장치(3400)의 수신 모드에서 제 2 데이터 레이트의 10 % 미만(또는 5 % 미만 또는 1 % 미만)일 수 있다.

[1447] 처리 회로(3402)는 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하도록 구성된 시간-디지털 변환기 회로를 포함할 수 있다. 예를 들어, 수신 데이터 신호에 기초한 TDC 입력 데이터 신호는 출력 데이터 신호를 생성하기 위한 디지털-시간 변환기 회로에 제공될 수 있다. TDC 입력 데이터 신호는 제 1 타입의 제 1 신호 에지(n 번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2 번

째 신호 에지)의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 TDC 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 TDC 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다.

[1448] 예를 들어, 수신 데이터 신호는 이미 펄스 폭 변조된 베이스밴드 신호일 수 있고 TDC 입력 데이터 신호로서 시간-디지털 변환기 회로에 제공될 수 있다. 대안적으로, 수신 데이터 신호는 TDC 입력 데이터 신호를 획득하기 위해 하향 변환될 수 있는 고주파 신호일 수 있다.

[1449] 예를 들어, 장치(3400)는 시분할 모드 및/또는 주파수 분할 모드에서 동작하도록 구성될 수 있다. 양방향 통신을 위해 시분할 다중화와 주파수 분할 다중화 중 하나가 사용되거나 또는 시분할 다중화와 주파수 분할 다중화가 동시에 사용될 수 있다.

[1450] 예를 들어, 장치(3400)는 양방향 레인을 통해 송신 시간 간격 동안 데이터를 송신하고 수신 시간 간격 동안 수신 데이터 신호를 수신하도록 구성될 수 있다. (예를 들어, 도 34e에 도시된 바와 같이) 시분할 다중화 통신이 구현될 수 있도록 송신 시간 간격과 수신 시간 간격은 겹치지 않을 수 있다.

[1451] 송신 시간 간격은 장치(3400)의 송신 모드에서 수신 시간 간격보다 길 수 있다. 또한, 송신 시간 간격은 장치(3400)의 수신 모드에서 수신 시간 간격보다 짧을 수 있다. 송신 시간 간격의 길이와 수신 시간 간격의 길이의 차이는 송신 시간 간격과 수신 시간 간격 중 더 긴 시간 간격의 90 %를 초과할 수 있다(또는 95 %를 초과 또는 99 %를 초과할 수 있다).

[1452] 예를 들어, 장치(3400)는 양방향 라인을 통해 상이한 주파수에서 동시에 데이터를 송신 및 수신하도록 구성될 수 있다. 장치(3400)는 베이스밴드 주파수 대역에서 데이터를 송신할 수 있고 고주파 대역에서 수신 데이터 신호를 수신할 수 있으며, 그 반대일 수도 있다. 베이스밴드 주파수 대역과 고주파 대역은 겹치지 않는 주파수 대역일 수 있다.

[1453] 예를 들어, 처리 회로(3402)는 송신 데이터 신호에 기초한 캐리어 신호의 변조에 기초하여 상향 변환된 송신 데이터 신호를 생성하도록 구성된 상향 변환 회로를 포함할 수 있다. 또한, 입력/출력 인터페이스(3404)는 양방향 레인을 통해 상향 변환된 송신 데이터 신호를 송신하도록 구성될 수 있다.

[1454] 예를 들어, 베이스밴드 주파수 대역은 (예를 들어, 송신 모드에서 송신을 위해) 고속 링크에 사용될 수 있고, 고주파 대역은 (예를 들어, 송신 모드에서의 수신하기 위해) 저속 링크에 사용될 수 있다. 처리 회로(3402)는 장치(3400)의 송신 모드에서 송신을 위해 송신 데이터 신호를 입력/출력 인터페이스(3404)에 제공하도록 구성될 수 있다. 입력/출력 인터페이스(3404)는 장치(3400)의 송신 모드에서 양방향 레인을 통해 송신 데이터 신호를 송신할 수 있다. 또한, 처리 회로(3402)는 장치(3400)의 수신 모드에서 송신을 위해 상향 변환된 송신 데이터 신호를 생성하고 상향 변환된 송신 데이터 신호를 입력/출력 인터페이스(3404)에 제공하도록 구성될 수 있다.

[1455] 부가적으로 또는 대안적으로, 처리 회로(3402)는 수신 데이터 신호 및 발진기 신호에 기초하여 (예를 들어, 신호를 혼합함으로써) 하향 변환된 수신 데이터 신호를 생성하도록 구성된 하향 변환 회로를 포함할 수 있다. 하향 변환된 수신 데이터 신호는 하향 변환된 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하기 위해 처리 회로(3402)의 시간-디지털 변환기 회로에 제공될 수 있다. 예를 들어, 처리 회로(3402)는 장치(3400)의 수신 모드에서 TDC 입력 데이터 신호로서 수신 데이터 신호 또는 수신 데이터 신호의 필터링된 버전을 시간-디지털 변환기 회로에 제공하도록 구성될 수 있다. 또한, 처리 회로(3402)는 장치(3400)의 송신 모드에서 TDC 입력 데이터 신호로서 하향 변환된 수신 데이터 신호를 시간-디지털 변환기 회로에 제공하도록 구성될 수 있다.

[1456] 예를 들어, 입력/출력 인터페이스(3404)는 장치의 수신 모드에서 저역 통과 필터링된 수신 데이터 신호를 획득하기 위해 수신 데이터 신호를 저역 통과 필터링하도록 구성된 저역 통과 필터 유닛을 포함할 수 있다. 부가적으로 또는 대안적으로, 입력/출력 인터페이스(3404)는 장치의 송신 모드에서 고역 통과 또는 대역 통과 필터링된 수신 데이터 신호를 획득하기 위해 수신 데이터 신호를 고역 통과 필터링하도록 구성된 고역 통과 또는 대역 통과 필터 유닛을 포함할 수 있다.

[1457] 장치(3400)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3400)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1458] 일부 예는 도 34a와 관련하여 언급된 장치를 포함하는 송수신기에 관한 것이다. 송수신기는 다른 STEP 송수신기와의 양방향 통신을 위한 STEP 송수신기일 수 있다.

[1459] 도 34b는 예에 따른 FDD를 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3410)은 한 쌍의 차동 송

신 라인(3412)을 통해 제 2 STEP 송수신기(3430)에 연결된 제 1 STEP 송수신기(3420)를 포함한다. 한 쌍의 차동 송신 라인(3412)은 제 1 STEP 송수신기(3420)의 듀플렉서(3426)를 제 2 STEP 송수신기(3430)의 듀플렉서(3443)에 연결한다. 제 1 STEP 송수신기(3420)는 제 1 STEP 송수신기(3420)의 듀플렉서(3426)에 연결된 STEP 송신기(3422) 및 STEP 수신기(3424)를 포함한다. 제 2 STEP 송수신기(3430)는 제 2 STEP 송수신기(3430)의 듀플렉서(3436)에 연결된 STEP 송신기(3432) 및 STEP 수신기(3434)를 포함한다. STEP 송신기 및 STEP 수신기는 처리 회로의 일부일 수 있고 듀플렉서는 도 34a와 관련하여 설명된 데이터 신호를 생성하기 위한 장치의 입력/출력 인터페이스의 일부일 수 있다.

[1460] 도 34b는 FDD 양방향 I/O 상호 연결의 예일 수 있다. 대부분의 데이터는 STEP 시스템을 사용하여 BB 신호로서 전달될 수 있다. 이러한 BB 신호는 MAC 요건에 따라 TX 또는 RX가 될 수 있다. 데이터의 비교적 작은 부분이 상이한 주파수에 있는 제 2 채널을 통과할 수 있다. 이러한 제 2 채널은 단순하고 저전력(매우 낮은 속도)으로 설계될 수 있다. 이러한 채널의 데이터 변조는 STEP 시스템에 의해, 또는 대안적으로 다른 종류의 변조(예를 들어, 직교 진폭 변조(quadrature amplitude modulation)(QAM) 또는 직교 위상 편이 변조(quadrature phase shift keying)(QPSK))에 의해 생성될 수 있다.

[1461] STEP 시스템(3410)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3410)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1462] 도 34c는 예에 따른 FDD를 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3440)은 도 34b에 도시된 STEP 시스템과 유사하게 구현된다. 그러나, 제 1 STEP 송수신기(3420)는 베이스밴드 주파수 펄스 폭 변조 신호를 송신 및 수신하도록 구성된 STEP 양방향 회로(3423)를 포함한다. 또한, 제 1 STEP 송수신기(3420)는 고주파 신호를 송신 및 수신하도록 구성된 고주파 양방향 회로(3425)를 포함한다. 제 1 STEP 송수신기(3420)의 듀플렉서는 한 쌍의 차동 송신 라인(3412)을 통해 수신된 베이스밴드 신호를 STEP 양방향 회로(3423)에 제공하는 저역 통과 필터(3442)를 포함한다. 또한, 제 1 STEP 송수신기(3420)의 듀플렉서는 한 쌍의 차동 송신 라인(3412)을 통해 수신된 고주파 신호를 고주파 양방향 회로(3425)에 제공하는 고역 통과 필터(3444)를 포함한다.

[1463] 유사하게, 제 2 STEP 송수신기(3430)는 베이스밴드 주파수 펄스 폭 변조 신호를 송신 및 수신하도록 구성된 STEP 양방향 회로(3433)를 포함한다. 또한, 제 2 STEP 송수신기(3430)는 고주파 신호를 송신 및 수신하도록 구성된 고주파 양방향 회로(3435)를 포함한다. 제 2 STEP 송수신기(3430)의 듀플렉서는 한 쌍의 차동 송신 라인(3412)을 통해 수신된 베이스밴드 신호를 STEP 양방향 회로(3433)에 제공하는 저역 통과 필터(3446)를 포함한다. 또한, 제 2 STEP 송수신기(3430)의 듀플렉서는 한 쌍의 차동 송신 라인(3412)을 통해 수신된 고주파 신호를 고주파 양방향 회로(3435)에 제공하는 고역 통과 필터(3448)를 포함한다.

[1464] STEP 시스템(3440)의 STEP 송수신기(3420, 3430)는 각각 베이스밴드 주파수 대역 및 고주파 대역에서 데이터를 송신 및 수신할 수 있다. 원하는 고속 방향에 따라, 베이스밴드는 제 1 STEP 송수신기(3420)로부터 제 2 STEP 송수신기(3430)로의 송신에 사용될 수 있거나, 또는 그 반대도 가능할 수 있다.

[1465] STEP 시스템(3440)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3440)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1466] 도 34d는 예에 따른 FDD를 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3450)은 도 34c에 도시된 STEP 시스템과 유사하게 구현될 수 있다.

[1467] 제 1 STEP 송수신기(3420)의 STEP 양방향 회로는 제 1 스위치(3451)를 통해 듀플렉서에 연결된 STEP 송신기(3452) 및 STEP 수신기(3453)를 포함한다. 제 1 스위치(3451)는 제 1 STEP 송수신기(3420)의 송신 모드에서 STEP 송신기(3452)를 듀플렉서에 연결하고 제 1 STEP 송수신기(3420)의 수신 모드에서 STEP 수신기(3453)를 듀플렉서에 연결할 수 있다. 또한, 제 1 STEP 송수신기(3420)의 고주파 양방향 회로는 제 2 스위치(3454)를 통해 듀플렉서에 연결된 고주파 송신기(3455) 및 고주파 수신기(3456)를 포함한다. 제 2 스위치(3454)는 제 1 STEP 송수신기(3420)의 수신 모드에서 고주파 송신기(3455)를 듀플렉서에 연결하고, 제 1 STEP 송수신기(3420)의 송신 모드에서 고주파 수신기(3456)를 듀플렉서에 연결할 수 있다.

[1468] 제 2 STEP 송수신기(3430)의 STEP 양방향 회로는 제 1 스위치(3461)를 통해 듀플렉서에 연결된 STEP 송신기(3462) 및 STEP 수신기(3463)를 포함한다. 제 1 스위치(3461)는 제 2 STEP 송수신기(3430)의 송신 모드에서 STEP 송신기(3462)를 듀플렉서에 연결하고 제 2 STEP 송수신기(3430)의 수신 모드에서 STEP 수신기(3463)를 듀

플렉서에 연결할 수 있다. 또한, 제 2 STEP 송수신기(3430)의 고주파 양방향 회로는 제 2 스위치(3464)를 통해 듀플렉서에 연결된 고주파 송신기(3465) 및 고주파 수신기(3466)를 포함한다. 제 2 스위치(3464)는 제 2 STEP 송수신기(3430)의 수신 모드에서 고주파 송신기(3465)를 듀플렉서에 연결하고, 제 2 STEP 송수신기(3430)의 송신 모드에서 고주파 수신기(3466)를 듀플렉서에 연결할 수 있다.

[1469] STEP 시스템(3450)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3450)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1470] 도 34e는 예에 따른 TDD를 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3470)은 한 쌍의 차동 송신 라인(3412)을 통해 제 2 STEP 송수신기(3474)에 연결된 제 1 STEP 송수신기(3471)를 포함한다. 제 1 STEP 송수신기(3471)는 한 쌍의 차동 송신 라인(3412)에 연결된 STEP 송신이기(3472) 및 STEP 수신기(3473)를 포함한다. 제 2 STEP 송수신기(3474)는 한 쌍의 차동 송신 라인(3412)에 연결된 STEP 송신기(3475) 및 STEP 수신기(3476)를 포함한다. STEP 송신기 및 STEP 수신기는 처리 회로의 일부일 수 있고, 한 쌍의 차동 송신 라인(3412)으로의 연결은 도 34a와 관련하여 설명된 데이터 신호를 생성하기 위한 장치의 입력/출력 인터페이스를 통해 구현될 수 있다.

[1471] 예를 들어, 제 1 채널을 나타내는 긴 타임 슬롯은 제 1 STEP 송수신기(3471)로부터 제 2 STEP 송수신기(3474)로의 데이터 송신을 위해 사용될 수 있고, 제 2 채널을 나타내는 짧은 타임 슬롯은 제 2 STEP 송수신기(3474)로부터 제 1 STEP 송수신기(3471)로의 데이터 송신을 위해 사용될 수 있고, 또는 그 반대로도 가능할 수 있다.

[1472] 도 34e는 양방향 I/O 상호 연결의 TDD 구현을 위한 예일 수 있다. 이 경우, 상이한 타임 슬롯에서 활성화되는 두 개의 채널이 생성될 수 있다. 데이터의 대부분은 (MAC에 의해 설정된 RX 또는 TX일 수 있는) 채널 #1을 통해 전달될 수 있으며 데이터의 소량 부분은 채널 #2를 통해 전달될 수 있다. 채널 #2의 레이트가 감소되기 때문에, 채널 #1의 BAUD는 매우 높게 유지될 수 있다.

[1473] STEP 시스템(3470)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3470)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1474] 도 34f는 예에 따른 출력 데이터를 생성하기 위한 방법의 흐름도를 도시한다. 방법(3490)은 송신 데이터 신호를 생성하는 단계를 포함하며, 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법(3490)은 양방향 레인을 통해 송신 데이터 신호에 기초한 데이터를 송신하는 단계(3492) 및 양방향 레인을 통해 수신 데이터 신호를 수신하는 단계(3494)를 포함한다. 또한, 방법은 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하는 단계(3496)를 포함한다.

[1475] 방법(3490)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3490)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1476] 일부 예는 스펙트럼 재사용을 이용한 직교 STEP 변조에 관한 것이다. 예를 들어, I/O 인터커넥트 BAUD는 STEP 인터페이스를 통해 통신하는 디바이스들 사이의 레인 수를 증가시키지 않고 증가될 수 있다. 예를 들어, CPU와 메모리와 같은 주변 디바이스 사이의 I/O 연결에 의해 사용될 수 있으며, 여기서 BAUD는 초당 테라비트 정도일 수 있다. 이러한 종류의 시스템에서, I/O 상호 연결은 I/O 레인의 수 및 전력에 의해 제한될 수 있다. 아래에 설명되는 예는 레인의 수를 늘리지 않고 레이트를 두 배(또는 심지어 두 배 이상)로 할 수 있다.

[1477] 일부 예에 따르면, 데이터 생성(DTC) 및 데이터 수신(TDC)으로서 STEP 시스템을 사용하여 단일 레인을 통해 다수의 데이터 스트림을 전달하는 것이 실현 가능해진다. 독립적인 데이터 스트림은 (DC 주변의) 베이스밴드(BB) 신호 및 동일한 주파수 대역을 이용하는 하나 이상의 직교 캐리어 주파수로서 동시에 송신 및 수신될 수 있다.

[1478] 예는 대역 통과 신호를 다루는 다른 I/Q 송신기 및 수신기 시스템과 상이하다. 이러한 시스템에서, I 및 Q 데이터 스트림은 복합 베이스밴드 신호로부터 생성될 수 있다. 또한, I/Q 신호는 DAC를 이용하여 생성되고 ADC를 이용하여 수신될 수 있다.

[1479] 대역 통과 신호(S(t))는 다음과 같이 특징지어질 수 있다.

[1480] $$S(t) = A(t) \cdot \cos\left(\omega_c \cdot t + \theta(t)\right) = I(t) \cdot \cos(\omega_c \cdot t) - Q(t) \cdot \sin(\omega_c \cdot t)$$

[1481] 엔벨로프:

[1482] $$A(t) = \sqrt{I(t)^2 + Q(t)^2}$$

[1483] 위상:

[1484] $$\theta(t) = tan^{-1}\left(\frac{Q(t)}{I(t)}\right)$$

[1485] I(t)는 동 위상 진폭일 수 있고, Q(t)는 직교 진폭일 수 있고, t는 시간일 수 있고, ω_c는 $2\pi f_c$와 같을 수 있으며, f_c는 캐리어 신호의 주파수이다.

[1486] 예를 들어, CPU와 메모리/그래픽 간의 짧은 상호 연결과 같은 고품질 레인에서, 단일 레인은 동일한 주파수 대역을 사용하는 다수의 STEP 데이터 스트림을 전달할 수 있다.

[1487] 도 35a는 예에 따른 데이터 신호를 생성하기 위한 장치의 블록도를 도시한다. 장치(3500)는 (제 1) 입력 데이터 신호에 기초하여 (제 1) DTC 데이터 신호를 생성하도록 구성된 디지털-시간 변환기 회로(3502)를 포함한다. DTC 데이터 신호는 제 1 타입의 제 1 신호 에지(n 번째 신호 에지), 제 2 타입의 제 2 신호 에지 (n+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2 번째 신호 에지)의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리된다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 장치(3500)는 캐리어 신호를 사용하여 DTC 데이터 신호의 상향 변환에 의해 (제 1) 상향 변환된 데이터 신호를 생성하도록 구성된 상향 변환 회로(3504)를 포함한다.

[1488] 펄스 폭 변조된 데이터 신호를 상향 변환함으로써, 베이스밴드와는 상이한 주파수 대역이 데이터 송신에 사용될 수 있다. 이러한 방식으로, 베이스밴드 및 하나 이상의 다른 주파수 대역이 데이터 송신에 사용되면, 데이터 레이트가 상당히 증가될 수 있다.

[1489] DTC 데이터 신호 및 입력 데이터 신호는 디지털 신호일 수 있다. 상향 변환된 데이터 신호는 아날로그 신호일 수 있다.

[1490] 입력 데이터 신호는 디지털 값의 시퀀스(예를 들어, 데이터 심볼)을 포함할 수 있고, 디지털-시간 변환기 회로(3502)는 입력 데이터 신호의 디지털 값에 대응하는 시간에 신호 에지를 갖는 DTC 데이터 신호를 생성할 수 있다.

[1491] 장치(3500)는 캐리어 신호를 생성하도록 구성된 캐리어 신호 생성기를 포함할 수 있다. 캐리어 신호 생성기는 위상 고정 루프(PLL), 디지털 위상 고정 루프(DPLL) 및/또는 캐리어 신호를 생성하기 위한 수정 발진기를 포함할 수 있다. 캐리어 신호는 10 GHz 초과(또는 15 GHz 초과 또는 20 GHz 초과)의 주파수를 가질 수 있다. 그 결과, 상향 변환된 데이터 신호는 캐리어 신호의 주파수에 의해 결정된 고주파 대역을 사용하는 고주파 신호일 수 있다. 캐리어 신호는 주기적 신호(예를 들어, 사인 또는 코사인 신호)일 수 있다.

[1492] 상향 변환 회로(3504)는 DTC 데이터 신호를 캐리어 신호와 혼합함으로써 상향 변환된 데이터 신호를 생성하도록 구성된 믹서를 포함할 수 있다. 대안적으로, 상향 변환 회로(3504)는 DTC 데이터 신호 및 캐리어 신호에 기초하여 상향 변환된 데이터 신호를 생성하도록 구성된 무선 주파수 디지털-아날로그 변환기를 포함할 수 있다.

[1493] 장치(3500)는 적어도 하나의 송신 라인에 연결되도록 구성된 출력 인터페이스를 포함할 수 있다. 송신 라인은 단일 종단 송신 라인일 수 있거나 한 쌍의 차동 송신 라인의 송신 라인일 수 있다.

[1494] 장치(3500)는 제 2 입력 데이터 신호에 기초하여 제 2 DTC 데이터 신호를 생성하도록 구성된 제 2 디지털-시간 변환기 회로를 포함할 수 있다. 제 2 DTC 데이터 신호는 제 1 타입의 제 1 신호 에지(m 번째 신호 에지), 제 2 타입의 제 2 신호 에지(m+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(m+2 번째 신호 에지)의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제 2 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 제 2 입력 데이터

신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다.

[1495] 장치(3500) 및/또는 장치(3500)의 출력 인터페이스는 상향 변환된 데이터 신호와 제 2 DTC 데이터 신호의 결합에 기초하여 출력 데이터 신호를 생성하도록 구성될 수 있다. 출력 데이터 신호는 베이스밴드 및 고주파 대역의 신호 성분을 포함할 수 있다. 출력 데이터 신호는 수신기로 송신하기 위해 송신 라인에 제공될 수 있다. 그 결과, 장치(3500)는 입력 데이터 신호에 의해 포함된 데이터 및 제 2 입력 데이터 신호에 의해 포함된 데이터를 동일한 레인(예를 들어, 단일 종단 라인 또는 한 쌍의 차동 라인 중의 라인)을 통해 송신하도록 구성될 수 있다.

[1496] 제 2 DTC 데이터 신호는 0 Hz 내지 최대 30 GHz(또는 최대 20 GHz 또는 최대 10 GHz)까지 확장될 수 있는 베이스밴드 주파수 범위를 사용할 수 있다. 제 2 DTC 데이터 신호의 최대 주파수는 30 GHz 미만(또는 20 GHz 미만 또는 10 GHz 미만)일 수 있다. 상향 변환된 데이터 신호에 의해 사용되는 주파수 범위는 제 2 DTC 데이터 신호에 의해 사용되는 주파수 범위보다 높은 주파수에 위치될 수 있다.

[1497] 또한, 장치(3500)는 직교 캐리어로 다른 고주파 데이터 신호를 생성함으로써 (제 1) 상향 변환된 데이터 신호의 주파수 범위를 두 배로 사용할 수 있다. 예를 들어, 장치(3500)는 추가의 (예를 들어, 제 3) 입력 데이터 신호에 기초하여 추가의 (예를 들어, 제 3) DTC 데이터 신호를 생성하도록 구성된 추가의 (예를 들어, 제 3) 디지털-시간 변환기 회로를 더 포함할 수 있다. 추가 DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 추가 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 추가 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다. 또한, 장치는 추가 DTC 데이터 신호에 기초한 추가의 (예를 들어, 제 2) 캐리어 신호의 변조에 기초하여 추가의 (예를 들어, 제 2) 상향 변환된 데이터 신호를 생성하도록 구성된 추가의 (예를 들어, 제 2) 상향 변환 회로를 포함할 수 있다. (제 1) 캐리어 신호 및 추가의 (제 2) 캐리어 신호는 직교 캐리어 신호일 수 있다.

[1498] 예를 들어, 제 1 캐리어 신호 및 제 2 캐리어 신호는 동일한 주파수를 포함할 수 있지만 180° 의 위상 시프트(예를 들어, sin 신호 및 cos 신호)를 포함할 수 있다. 그 결과, (제 1) 상향 변환된 데이터 신호에 의해 사용되는 주파수 범위의 적어도 일부는 추가의 (제 2) 상향 변환된 데이터 신호에 의해 사용되는 주파수 범위의 적어도 일부와 동일한 주파수에 위치될 수 있다.

[1499] 장치(3500) 및/또는 장치(3500)의 출력 인터페이스는 (제 1) 상향 변환된 데이터 신호와 추가의 (제 2) 상향 변환된 데이터 신호의 결합에 기초하여 출력 데이터 신호를 생성하도록 구성될 수 있다. 출력 데이터 신호는 수신기로 송신하기 위해 송신 라인에 제공될 수 있다. 다시 말해, 장치(3500)는 동일한 레인(예를 들어, 단일 종단 라인 또는 한 쌍의 차동 라인 중의 라인)을 통해 입력 데이터 신호에 의해 포함된 데이터 및 추가의 (예를 들어, 제 3) 입력 데이터 신호에 의해 포함된 데이터를 송신하도록 구성될 수 있다.

[1500] 도 35b는 베이스밴드(BB)에서 및 캐리어 주파수(fc) 주위에서의 단일 레인을 통한 세 개의 STEP 스트림(예를 들어, 더 많은 스트림이 추가 캐리어 주파수를 통해 전달될 수 있음)의 개략적인 대역 다이어그램의 예를 도시한다.

[1501] 장치(3500)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3500)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1502] 일부 예는 도 35a와 관련하여 언급된 장치를 포함하는 송신기 또는 송수신기에 관한 것이다. 송신기 또는 송수신기는 데이터를 STEP 수신기로 송신하기 위한 STEP 송신기 또는 STEP 송수신기일 수 있다.

[1503] 도 35c는 예에 따른 데이터 신호 생성 장치의 블록도를 도시한다. 장치(3510)는 입력 데이터 신호 및 (제 1) 발진기 신호에 기초하여 (제 1) 하향 변환된 데이터 신호를 생성하도록 구성된 하향 변환 회로(3512)를 포함한다. 또한, 장치(3510)는 하향 변환된 데이터 신호에 기초하여 TDC 데이터 신호를 생성하도록 구성된 시간-디지털 변환기 회로(3514)를 포함한다. 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지(n 번째 신호 에지), 제 2 타입의 제 2 신호 에지(n+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(n+2 번째 신호 에지)의 시퀀스를 포함한다. 제 1 신호 에지 및 제 2 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리된다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[1504] 장치(3500)는 적어도 하나의 송신 라인에 연결되거나 연결되도록 구성된 입력 인터페이스를 포함할 수 있다.

송신 라인은 단일 종단 송신 라인일 수 있거나 한 쌍의 차동 송신 라인의 송신 라인일 수 있다. 입력 데이터 신호는 송신 라인을 통해 수신될 수 있다.

[1505] 입력 데이터 신호는 하나 이상의 주파수 대역의 신호 부분(데이터 신호)을 포함할 수 있다. 장치(3500) 및/또는 입력 인터페이스는 하나 이상의 데이터 신호를 잡음 또는 다른 데이터 신호로부터 분리하기 위한 하나 이상의 필터를 포함할 수 있다.

[1506] 예를 들어, 장치(3500) 및/또는 입력 인터페이스는 (고역 통과 또는 대역 통과) 필터링된 입력 데이터 신호를 획득하기 위해 입력 데이터 신호를 필터링하도록 구성된 고역 통과 또는 대역 통과 필터를 포함할 수 있다. 하향 변환 회로(3512)는 필터링된 입력 데이터 신호 및 발진기 신호에 기초하여 하향 변환된 데이터 신호를 생성하도록 구성될 수 있다. 고역 통과 또는 대역 통과 필터의 하위 컷오프 주파수는 10 GHz를 초과(20 GHz를 초과 또는 30 GHz를 초과)할 수 있다.

[1507] 예를 들어, 하향 변환 회로(3512)는 하향 변환된 데이터 신호를 획득하기 위해 발진기 신호와 입력 데이터 신호 또는 필터링된 입력 데이터 신호를 혼합하도록 구성된 믹서 회로를 포함할 수 있다.

[1508] 장치(3500)는 발진기 신호(예를 들어, 국부 발진기 신호)를 생성하도록 구성된 발진기 신호 생성기를 포함할 수 있다. 발진기 신호 생성기는 클록 복구 회로, 위상 고정 루프 (PLL), 디지털 위상 고정 루프(DPLL) 및/또는 캐리어 신호를 생성하기 위한 수정 발진기를 포함할 수 있다. 발진기 신호는 10 GHz 초과(또는 15GHz 초과 또는 20 GHz 초과)의 주파수를 가질 수 있다. 그 결과, 입력 데이터 신호는 발진기 신호의 주파수에 대응하는 고주파 대역의 적어도 고주파 신호 부분을 포함할 수 있다.

[1509] 고주파 부분 이외에, 입력 데이터 신호는 베이스밴드 주파수 대역의 다른 데이터 신호 부분을 포함할 수 있다. 예를 들어, 장치(3510)는 입력 데이터 신호에 기초하여 제 2 TDC 데이터 신호를 생성하도록 구성된 제 2 시간-디지털 변환기 회로를 포함할 수 있다. 또한, 장치(3500) 및/또는 입력 인터페이스는 저역 통과 필터링된 입력 데이터 신호를 획득하기 위해 입력 데이터 신호를 필터링하도록 구성된 저역 통과 필터를 포함할 수 있다. 제 2 시간-디지털 변환기 회로는 저역 통과 필터링된 입력 데이터 신호의 시간-디지털 변환에 기초하여 제 2 TDC 데이터 신호를 생성하도록 구성될 수 있다. 저역 통과 필터링된 입력 데이터 신호는 제 1 타입의 제 1 신호 에지(m 번째 신호 에지), 제 2 타입의 제 2 신호 에지(m+1 번째 신호 에지) 및 제 1 타입의 제 3 신호 에지(m+2 번째 신호 에지)의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 저역 통과 필터링된 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 저역 통과 필터링된 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다.

[1510] 저역 통과 필터링된 입력 데이터 신호는 0 Hz 내지 최대 30 GHz(또는 최대 20 GHz 또는 최대 10 GHz)로 확장될 수 있는 베이스밴드 주파수 범위의 신호 부분을 포함할 수 있다. 저역 통과 필터링된 입력 데이터 신호의 최대 주파수는 30 GHz 미만(또는 20 GHz 미만 또는 10 GHz 미만)일 수 있다. 고역 통과 또는 대역 통과 필터링된 입력 데이터 신호에 의해 사용되는 주파수 범위는 저역 통과 필터링된 입력 데이터 신호에 의해 사용되는 주파수 범위보다 높은 주파수에 위치될 수 있다. 예를 들어, 저역 통과 필터의 상위 컷오프 주파수는 30 GHz 미만(또는 20 GHz 미만 또는 10 GHz 미만)일 수 있다.

[1511] 또한, 장치(3510)는 직교 발진기 신호를 이용하여 다른 하향 변환된 데이터 신호를 생성함으로써 고역 통과 또는 대역 통과 필터링된 입력 데이터 신호의 주파수 범위를 두 배로 사용할 수 있다. 예를 들어, 장치(3510)는 입력 데이터 신호 및 추가의 (제 2) 발진기 신호에 기초하여 추가의 (제 2) 하향 변환된 데이터 신호를 생성하도록 구성된 추가의 (제 2) 하향 변환 회로를 더 포함할 수 있다. 예를 들어, 고역 통과 또는 대역 통과 필터링된 입력 데이터 신호는 추가 발진기 신호와 혼합되어 추가의 (제 2) 하향 변환된 데이터 신호를 획득할 수 있다. 또한, 장치(3510)는 추가의 하향 변환된 데이터 신호에 기초하여 추가의 (예를 들어, 제 3) TDC 데이터 신호를 생성하도록 구성된 추가의 (예를 들어, 제 3) 시간-디지털 변환기 회로를 포함할 수 있다. 추가의 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함할 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 추가의 하향 변환된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리될 수 있다. 또한, 제 2 신호 에지 및 제 3 신호 에지는 추가의 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리될 수 있다. 또한, (제 1) 발진기 신호 및 추가의 (제 2) 발진기 신호는 직교 발진기 신호일 수 있다.

[1512] 예를 들어, 제 1 발진기 신호 및 제 2 발진기 신호는 동일한 주파수를 포함하지만 180° 의 위상 시프트(예를 들

어, sin 신호 및 cos 신호)를 포함할 수 있다. 그 결과, (제 1) TDC 데이터 신호에 의해 포함된 데이터를 송신하기 위해 사용되는 주파수 범위의 적어도 일부는 추가의 (예를 들어 제 3) TDC 데이터 신호에 의해 포함된 데이터를 송신하기 위해 사용되는 주파수 범위의 적어도 일부와 동일한 주파수에 위치될 수 있다.

[1513] 장치(3510)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 장치(3510)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1514] 일부 예는 도 35c와 관련하여 언급된 장치를 포함하는 수신기 또는 송수신기에 관한 것이다. 수신기 또는 송수신기는 STEP 송신기로부터 데이터를 수신하기 위한 STEP 수신기 또는 STEP 송수신기일 수 있다.

[1515] 도 35d는 예에 따른 단일 레인 및 단일 캐리어를 통한 직교 STEP 스트림을 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3530)은 송신 라인(3540)(예를 들어, 단일 종단 송신 라인 또는 한 쌍의 차동 송신 라인 중의 송신 라인)을 통해 STEP 수신기(3541)에 연결된 STEP 송신기(3531)를 포함한다. STEP 송신기(3531)는 제 1 DTC 데이터 신호(D[n])를 제 1 믹서(3533)에 제공하도록 구성된 제 1 DTC(3532)를 포함한다. 또한, STEP 송신기(3531)는 제 2 DTC 데이터 신호(P[n])를 제 2 믹서(3535)에 제공하도록 구성된 제 2 DTC(3534)를 포함한다. 또한, STEP 송신기(3531)는 제 1 발진기 신호(예를 들어, cos(2*pi*fc*t))를 제 1 믹서(3533)에 제공하고 제 2 발진기 신호(예를 들어 sin(2*pi*fc*t))를 제 2 믹서(3535)에 제공하도록 구성된 송신기 발진기(3536)(예를 들어 PLL)를 포함한다. 제 1 믹서(3533)는 제 1 DTC 데이터 신호와 제 1 발진기 신호를 혼합하여 제 1 상향 변환된 데이터 신호를 획득하도록 구성될 수 있다. 제 2 믹서(3535)는 제 2 DTC 데이터 신호와 제 2 발진기 신호를 혼합하여 제 2 상향 변환된 데이터 신호를 획득하도록 구성될 수 있다. 또한, STEP 송신기(3531)는 제 1 상향 변환된 데이터 신호와 제 2 상향 변환된 데이터 신호를 결합(예를 들어, 가산 또는 합산)하여 출력 데이터 신호를 획득하도록 구성된 결합기(3537)를 포함한다. 출력 데이터 신호는 STEP 수신기(3541)로 송신하기 위해 송신 라인(3540)에 제공된다.

[1516] STEP 수신기(3541)는 제 1 입력 데이터 신호를 STEP 수신기(3541)의 제 1 믹서(3543)에 제공하고 제 2 입력 데이터 신호를 STEP 수신기(3541)의 제 2 믹서(3545)에 제공하도록 구성된 신호 제공기(3547)(예를 들어, 단순한 라인 분할 회로 또는 보다 복잡한 회로를 갖는 노드)를 포함한다. 또한, STEP 수신기(3541)는 STEP 수신기(3541)의 위상 교정 유닛(3539)을 통해 제 1 발진기 신호(예를 들어, cos(2*pi*fc*t+teta3))를 제 1 믹서(3543)에 제공하고 제 2 직교 발진기 신호(예를 들어, sin(2*pi*fc*t+teta4))를 제 2 믹서(3545)에 제공하도록 구성된 수신기 발진기(3546)(예를 들어, PLL)를 포함한다. 위상 교정 유닛(3539)은 제 1 발진기 신호 및 제 2 발진기 신호의 위상을 조정하도록 구성될 수 있다. 제 1 믹서(3543)는 제 1 입력 데이터 신호와 제 1 발진기 신호를 혼합하여 제 1 하향 변환된 데이터 신호(D'[n])를 획득하도록 구성된다. 제 2 믹서(3545)는 제 2 입력 데이터 신호와 제 2 발진기 신호를 혼합하여 제 2 하향 변환된 데이터 신호(P'[n])를 획득하도록 구성된다.

[1517] 제 1 믹서(3543)는 제 1 하향 변환된 데이터 신호(D'[n])를 제 1 저역 통과 필터(3548)에 제공한다. 제 1 저역 통과 필터(3548)는 제 1 하향 변환된 데이터 신호(D'[n])를 필터링하고 제 1 저역 통과 필터링된 하향 변환된 데이터 신호를 STEP 수신기(3541)의 제 1 TDC(3542)에 제공한다. 제 1 TDC(3542)는 제 1 저역 통과 필터링된 하향 변환된 데이터 신호에 기초하여 제 1 TDC 데이터 신호를 생성한다. 제 2 믹서(3545)는 제 2 하향 변환된 데이터 신호(P'[n])를 제 2 저역 통과 필터(3549)에 제공한다. 제 2 저역 통과 필터(3549)는 제 2 하향 변환된 데이터 신호(P'[n])를 필터링하고 제 2 저역 통과 필터링된 하향 변환된 데이터 신호를 STEP 수신기(3541)의 제 2 TDC(3544)에 제공한다. 제 2 TDC(3544)는 제 2 저역 통과 필터링된 하향 변환된 데이터 신호에 기초하여 제 2 TDC 데이터 신호를 생성한다.

[1518] 도 35d에 도시된 예는 직교 신호를 사용하여 다중 스트림을 동일한 주파수를 통해 통과시키고 이를 수신기에서 분리한다. 제안된 직교 함수는, 예를 들어 사인 및 코사인 함수이다. 예를 들어, 이들 함수를 직교로 유지하기 위해, TX 상향 변환과 RX 하향 변환 사이의 위상 매칭을 보장하는 아날로그 보정이 수행될 수 있다.

[1519] STEP RX가 TDC를 사용하여 각각의 데이터 스트림에 대한 결정을 수행하기 때문에, RX에서 위상 교정은 아날로그 도메인에서 수행될 수 있다. 이것은 다른 I/Q 변조와는 상이할 수 있으며, 여기서 I/Q 데이터는 두 개의 ADC에 의해 샘플링되고 디지털 도메인에서 복합 I/Q 데이터에 대해 결정이 이루어진다(예를 들어, I/Q 미스매치 에러 보정을 가능하게 한다).

[1520] 도 35d는 다음과 같이 단일 레인과 단일 캐리어를 통한 두 개의 직교 STEP 스트림을 도시한다.

[1521] $$S_{TX} = D[n] \cdot cos(2 \cdot \pi \cdot f_C \cdot t + \varphi_1) + P[n] \cdot sin(2 \cdot \pi \cdot f_C \cdot t + \varphi_2)$$

$$S_{RX_D} = \left(D[n] \cdot cos(2 \cdot \pi \cdot f_C \cdot t + \varphi_1) + P[n] \cdot sin(2 \cdot \pi \cdot f_C \cdot t + \varphi_2)\right) \cdot cos(2 \cdot \pi \cdot f_C \cdot t + \varphi_3)$$

[1522]

[1523] 고주파의 교정 및 필터링 이후(예를 들어, 두 배의 주파수는 매우 높은 값에 있음):

[1524] $$\varphi_1 = \varphi_3$$

[1525] $$S_{RX_D} = D[n] + P[n] \cdot 0 = D[n]$$

[1526] 제 2 브렌치에 대해 동일하게 수행될 수 있다.

[1527] $$\varphi_2 = \varphi_4$$

[1528] $$S_{RX_P} = P[n] + D[n] \cdot 0 = P[n]$$

[1529] S_{TX}는 STEP 송신기(3531)의 출력 데이터 신호일 수 있고, S_{RX_D}는 제 1 하향 변환된 데이터 신호일 수 있고, S_{RX_P}는 제 2 하향 변환된 데이터 신호일 수 있고, D[n]은 제 1 DTC 데이터 신호일 수 있고, P[n]은 제 2 DTC 데이터 신호일 수 있고, t는 시간일 수 있고, f_c는 STEP 송신기(3531) 및 STEP 수신기(3541)의 제 1 발진기 신호 및 제 2 발진기 신호의 주파수일 수 있고, ϕ_1는 STEP 수신기(3541)의 제 1 발진기 신호의 위상일 수 있고, ϕ_2는 제 2 발진기 신호의 위상일 수 있고, ϕ_3은 제 1 발진기 신호의 위상일 수 있다.

[1530] 수신된 I 및 Q 브렌치 사이에 낮은 I/Q 미스매치를 요구할 수 있는 다른 I/Q 송수신기와는 달리, 일부 예(예를 들어, 코히어런트 STEP 시스템)는 송신 및 수신된 주파수와 위상 사이의 매칭을 요구할 수 있다.

[1531] STEP 시스템(3530)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3530)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1532] 도 35e는 예에 따른 단일 송신 라인을 통한 송신을 위해 베이스밴드 STEP 스트림 및 고주파 STEP 스트림을 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3550)은 도 35d와 관련하여 설명된 STEP 시스템과 유사하게 구현될 수 있다. 그러나, STEP 시스템(3550)은 제 2 직교 고주파 데이터 신호 대신에 베이스밴드 데이터 신호를 제공할 수 있다.

[1533] STEP 송신기(3531)는 제 2 입력 데이터 신호에 기초하여 베이스밴드 DTC 데이터 신호를 생성하도록 구성된 제 2 DTC(3552)를 포함한다. 또한, STEP 송신기(3531)는 제 1 상향 변환된 데이터 신호와 베이스밴드 DTC 데이터 신호를 결합(예를 들어, 가산 또는 합산)하여 출력 데이터 신호를 획득하도록 구성된 결합기(3554)를 포함한다. 출력 데이터 신호는 STEP 수신기(3541)로 송신하기 위해 송신 라인(3540)에 제공된다.

[1534] 또한, STEP 수신기(3541)는 제 1 입력 데이터 신호를 STEP 수신기(3541)의 제 1 믹서(3543)에 제공하고 제 2 입력 데이터 신호를 STEP 수신기(3541)의 제 2 저역 통과 필터(3557)에 제공하도록 구성된 입력 인터페이스(3558)를 포함한다. 제 2 저역 통과 필터는 제 2 입력 데이터 신호를 필터링하여 베이스밴드 입력 데이터 신호를 획득할 수 있다. 또한, STEP 수신기(3541)는 베이스밴드 입력 데이터 신호에 기초하여 제 2 TDC 데이터 신호를 생성하도록 구성된 제 2 TDC(3556)를 포함한다.

[1535] STEP 시스템(3550)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3550)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1536] 도 35f는 예에 따른 단일 송신 라인을 통한 송신을 위해 베이스밴드 STEP 스트림 및 직교 고주파 STEP 스트림을 사용하는 STEP 시스템의 블록도를 도시한다. STEP 시스템(3560)은 도 35d와 관련하여 설명된 STEP 시스템과 도 35e와 관련하여 설명된 STEP 시스템의 조합에 기초하여 구현될 수 있다.

[1537] STEP 송신기(3531)는 도 35d와 관련하여 설명된 제 1 DTC(3532)를 갖는 제 1 신호 경로 및 제 2 DTC(3534)를 갖는 제 2 신호 경로를 포함한다. 또한, STEP 송신기(3531)는 제 2 DTC에 대한 도 35e와 관련하여 설명된 제 3

DTC(3552)를 갖는 제 3 신호 경로를 포함한다. 또한, STEP 송신기(3531)는 STEP 송신기(3531)의 결합기에 대한 도 35d와 관련하여 설명된 제 1 결합기(3537)를 포함한다. 또한, STEP 송신기(3531)는 제 1 결합기(3537)의 출력 신호와 제 3 DTC(3552)에 의해 제공된 베이스밴드 DTC 데이터 신호를 결합(예를 들어, 가산 또는 합산)하여 출력 데이터 신호를 획득하도록 구성된 제 2 결합기(3554)를 포함한다. 출력 데이터 신호는 STEP 수신기(3541)로 송신하기 위해 송신 라인(3540)에 제공된다.

[1538] STEP 수신기(3541)는 도 35d와 관련하여 설명된 제 1 TDC(3542)를 갖는 제 1 신호 경로 및 제 2 TDC(3544)를 갖는 제 2 신호 경로를 포함한다. 또한, STEP 수신기(3541)는 제 2 TDC에 대한 도 35e와 관련하여 설명된 제 3 TDC(3556)를 갖는 제 3 신호 경로를 포함한다. 또한, STEP 수신기(3541)는 고주파 입력 데이터 신호를 신호 제공기(3547)에 제공하고 베이스밴드 입력 데이터 신호를 제 3 TDC(3556)에 제공하도록 구성된 듀플렉서(3562)를 포함한다.

[1539] STEP 송신기(3531) 및 STEP 수신기(3541)의 세 개의 신호 경로는 세 개의 STEP 데이터 스트림(예를 들어, 각각 24 Gbps의 BAUD를 가짐)을 처리할 수 있다.

[1540] STEP 시스템(3560)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. STEP 시스템(3560)는 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1541] 일부 예는 각 레인에서 다수의 스트림을 사용하는 멀티 레인 상호 연결 시스템에 관련할 수 있다. TX 데이터 생성을 위한 DTC 및 RX 데이터 수신을 위한 TDC를 사용하는 직교 상향 변환 및 하향 변환이 구현될 수 있다. 직교 데이터 스트림 분리를 위한 TX 및 RX 주파수 및 위상 매칭은 STEP 시스템을 사용하여 구현될 수 있다. 직교 데이터 스트림 분리를 위한 TX 및 RX 주파수 및 위상 매칭은 비용 함수로서 비트 에러 레이트(BER) 측정을 사용하여 구현될 수 있다. 멀티 스트림 STEP 시스템은 BB 신호 및 직교 캐리어를 사용할 수 있다. RX 측에서 캐리어 생성, TX로부터 RX로 캐리어의 통과, 또는 TX로부터 RX로 기준 신호의 전달이 구현될 수 있다. 데이터 생성 또는 수신을 위해 ADC 또는 DAC가 없는 직교 송수신기가 가능해질 수 있다.

[1542] 도 35g는 예에 따른 출력 데이터를 생성하기 위한 방법의 흐름도를 도시한다. 방법(3580)은 디지털-시간 변환기 회로에 의해 입력 데이터 신호에 기초하여 DTC 데이터 신호를 생성하는 단계(3582)를 포함할 수 있다. DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 여기서 제 1 신호 에지 및 제 2 신호 에지는 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법(3580)은 DTC 데이터 신호에 기초하여 캐리어 신호의 변조에 기초하여 하향 변환된 데이터 신호를 생성하는 단계(3584)를 포함한다.

[1543] 방법(3580)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3580)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1544] 도 35h는 예에 따른 출력 데이터를 생성하기 위한 방법의 흐름도를 도시한다. 방법(3590)은 입력 데이터 신호 및 발진기 신호에 기초하여 하향 변환된 데이터 신호를 생성하는 단계(3592)를 포함한다. 또한, 방법(3590)은 시간-디지털 변환기 회로에 의해 하향 변환된 데이터 신호에 기초하여 TDC 데이터 신호를 생성하는 단계(3594)를 포함한다. 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 여기서 제 1 신호 에지 및 제 2 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리된다. 제 2 신호 에지 및 제 3 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[1545] 방법(3590)의 보다 세부 사항 및 양태는 위에서 설명한 하나 이상의 예와 관련하여 언급된다. 방법(3590)은 위에서 또는 아래에서 설명되는 하나 이상의 예에 대응하는 하나 이상의 추가의 옵션 특징을 포함할 수 있다.

[1546] 이전 단락은 고속 인터커넥트를 구현하기 위한 예에 관한 것이지만, 도 36 내지 도 40은 그 컴포넌트 또는 파라미터의 일부를 교정함으로써 인터커넥트의 성능을 증가시킬 수 있는 예를 다음에 설명할 것이다.

[1547] 예를 들어, STEP 인터커넥트는 데이터 심볼에 연관된 기간의 정확한 길이를 송신하고 수신하는 것에 기초한다. 앞서 설명한 예는 각각의 수신된 심볼의 길이를 정확하게 측정할 수 있는 방법을 예시한다. 그러나, 지터는 기간의 측정 품질을 손상시키고 따라서 심볼의 결정 품질을 손상시켜 데이터 에러를 일으킬 수 있다. 지터의 영향을 줄이고자 하는 요구가 있을 수 있다.

[1548] 도 36a는 송신 링크(3602)의 두 개의 송신 라인을 통해 차동적으로 수신된 데이터 신호에 대한 적응 회로의 예를 도시한다. 적응 회로(3600)는 제 1 송신 라인(3602a)에 대한 입력(3604a) 및 제 2 송신 라인(3602b)에 대한 입력(3604b)뿐만 아니라 제 1 송신 라인(3602a)에 대한 출력(3606a) 및 제 2 송신 라인(3602b)에 대한 출력(3606b)을 포함한다. 제 1 저항성 요소(3608a)는 제 1 송신 라인(3602a)에 대한 입력(3604a)과 제 1 송신 라인에 대한 출력(3606a) 사이에 결합된다. 제 2 저항성 요소(3608b)는 제 2 송신 라인에 대한 입력(3604b)과 제 2 송신 라인에 대한 출력(3606b) 사이에 결합된다.

[1549] 적응 회로(3600) 내에서, 제 1 저항성 요소(3608a) 및 제 2 저항성 요소(3608b)는 송신 라인에 감쇠를 추가한다.

[1550] 도 36a의 예는 입력과 제 1 및 제 2 저항성 요소 각각의 사이의 제 1 송신 라인과 제 2 송신 라인 사이에 결합된 옵션의 제 3 저항성 요소(3610)를 더 개시한다. 옵션의 제 4 저항성 요소(3612)는 출력과 제 1 및 제 2 저항성 요소 각각의 사이의 제 1 송신 라인과 제 2 송신 라인 사이에 결합된다.

[1551] 예를 들어, STEP 수신기의 입력 앞에서 또는 STEP 수신기의 제 1 신호 처리 단계로서 STEP 인터커넥트의 송신 링크 내에 적응 회로(3600)를 사용하면, 데이터 신호 내의 신호 에지의 지터가 감소되면서 신호의 추가 감쇠가 도입되도록 제 1 저항성 요소(3608a) 및 제 2 저항성 요소(3608b)를 선택할 수 있게 할 수 있다. 예를 들어, 입력이 수신기에 미치는 반사는 지터에 대한 주요 원인 제공자(contributor) 중 하나일 수 있으며, 결과적으로 반사된 신호는 송신 라인 상의 진폭을 감소시키며, 이것은 송신 라인상의 데이터 신호에 추가됨으로써 지터로 변환된다(또한 AM 대 PM이라고도 지칭된다).

[1552] 지터의 감소는 송신 라인 상의 데이터 신호의 진폭이 유지되는 것을 보장하지 않으면서 저렴한 비용으로 달성될 수 있는데, 이것은 종종 종래의 고속 인터페이스에 맞춘 접근법에서 요구된다. 적응 회로의 예에 의해 적절한 양의 감쇠를 도입함으로써, 라인 매칭과 부가 잡음의 억제 사이에서 예기치 않은 트레이드 오프를 사용하여 지터를 최소화할 수 있다. 다시 말해, 수신기의 입력에서 데이터 신호의 신호 대 잡음비가 감쇠의 도입에 의해 저하될 수 있을지라도, 반사는 동시에 인터링크의 전체 비트 에러 레이트의 증가를 초래할 정도로 감쇠될 수 있다.

[1553] STEP 인터링크는 다른 고속 인터커넥트와 마찬가지로 반사에 민감하다(S11=-20 dB조차도 일부 성능 저하가 발생할 수 있다). 도 36a 내지 도 36f는 (데이터 신호의 감쇠를 도입하는) 적응적이고 손실이 많은 매칭 네트워크를 사용하는 지터 최소화 방법을 도시한다. 일 예에서, 본질적으로 적응 회로는 예를 들어 열 잡음 및 1/f 잡음과 같은 다른 지터 원인 제공자가 지배적이 될 때까지 반사 레벨을 최소화하는 적응적 감쇠기에 의해 구성될 수 있으며, 이것은 도 36d에 설명된다. 결국 다른 수단에 의해 고려될 지터의 다른 소스는 송신기 내의 PLL 위상 잡음 및 심볼 간 간섭(ISI)일 수 있다.

[1554] 일정하고 비적응적이며 손실이 없는 매칭 네트워크에 의한 반사를 최소화하려는 종래의 접근법과 비교하여, 적응 회로의 예는 적은 노력으로 그리고 상당한 추가 회로 및/또는 전력 소비없이 인터링크의 품질을 증가시킬 수 있다. 예를 들어, 공통의 고속 디지털 진폭 변조 링크에서, 전력 소모적인 결정 피드백 등화기(Decision Feedback Equalizer)(DFE)에 의해 반사가 완화되는 경우가 종종 있는데, 왜냐하면 스펙트럼 콘텐츠가 높아서 손실 매칭 네트워크가 링크 품질을 저하시킬 수 있기 때문이다.

[1555] 적응 회로의 일부 예에서, 제 1 저항성 요소 및 제 2 저항성 요소의 저항은 인터링크의 품질을 교정 가능하도록 조정 가능하다. 교정에 의해 적절한 감쇠 레벨을 결정하는 방법에 대한 예는 도 36c에 설명된다.

[1556] 일 예에서, 제 1 저항성 요소 및 제 2 저항성 요소의 (감쇠로 인한) 비저항은 동일한 값으로 조정된다. 추가의 예 또한, 예를 들어, 송신 라인의 불균형을 고려하기 위해 비저항을 독립적으로 조정할 수 있다.

[1557] 추가의 예에서, 또한 제 3 저항성 요소 및 제 4 저항성 요소의 비저항은 조정될 수 있으며, 이것은 감쇠를 증가시키면서 송신 링크(3602)의 임피던스를 유지할 수 있게 한다. 일부 예에 따르면, 제 3 저항성 요소 및 제 4 저항성 요소의 저항은 동일한 값으로 조정된다.

[1558] 요약하면, 도 36a의 적응 회로는 에너지를 흡수하고 RX로부터 TX로 반환된 에너지를 감소시키는 감쇠기로서 구성된 저항기에 기초한 매칭 네트워크를 구성한다. 즉, 도 36d에 도시된 바와 같이, 신호 경로 내에 추가 감쇠가 의도적으로 수용된다. 이것은 STEP이 타이밍 에러에 주로 민감하기 때문에 허용될 수 있다.

[1559] 도 36a는 저항성 요소에 대한 예로서 저항기를 도시하지만, 추가의 예는 송신 라인(3602a 및 3602b) 상의 데이터 신호의 감쇠를 야기하는 적응 회로 내의 다른 컴포넌트를 사용할 수 있다. 적응 회로의 다른 예 내에서 사

용되는 추가의 컴포넌트는 예를 들어 가변적 또는 일정한 커패시턴스 또는 인덕턴스를 또한 나타낼 수 있다.

[1560] 도 36b는 두 개의 송신 라인을 통해 차동적으로 송신되는 데이터 신호에 대한 수신기(3620) 내의 적응 회로(3600)의 적용을 도시한다. 수신기(3620)는 제 1 송신 라인(3624a) 및 제 2 송신 라인(3624b)에 대한 데이터 입력(3622)을 포함한다. 증폭기 회로(3626)는 제 1 송신 라인(3624a) 및 제 2 송신 라인(3624b) 상의 신호의 차이에 따라 출력 신호(3624)를 생성하도록 구성된다. 도 36a의 적응 회로(3600)는 데이터 입력(3622)과 증폭기 회로(3626) 사이에 결합되어 증폭기 회로(3626)에 의해 생성된 출력 신호(3628)에 미치는 지터의 부정적인 영향을 감소시킨다.

[1561] 도 36c는 감쇠 레벨을 결정하기 위한 방법의 예의 흐름도를 도시한다. 감쇠 레벨의 결정은 도 36a에 도시된 적응 회로에 대해 다음에 논의된다. 그러나, 추가 예는 이 방법을 다른 매칭 회로와 함께 사용할 수 있다. 도 36a의 감쇠 회로의 경우, Z0이 원하는 트레이스 임피던스(예를 들어, 차동 쌍, 즉 두 개의 송신 라인을 포함하는 송신 링크에 대해 100Ω)인 것을 고려하면, 다음의 수학식에 기초하여 감쇠가 달라질 수 있다. A는 감쇠를 나타내며, 1보다 크다. 다음의 수학식에서, 제 1 저항성 요소(3608a) 및 제 2 저항성 요소(3608b)의 비저항은 동일한 값(R1)으로 일괄 조정되는 반면, 제 3 저항성 요소(3608a) 및 제 4 저항성 요소(3608b)의 비저항은 동일한 값(R2)으로 일괄 조정되는 것으로 가정된다.

[1562] 주어진 감쇠 A 및 주어진 Z에 대해, 저항(R1 및 R2)은 R1=Z0*(A^2-1)/(4*A) 및 R2=Z0*(A+1)/(A-1)를 계산하고, 즉, 이에 따라 비저항을 조정함으로써 감쇠를 변화시킬 수 있다.

[1563] 방법은 제 1 감쇠 레벨에서 제 1 미리 결정된 교정 심볼의 시퀀스를 수신하는 단계(3630) 및 수신된 제 1 시퀀스의 교정 심볼에 대한 제 1 에러 레이트를 결정하는 단계(3632)를 포함한다. 에러 레이트는 예를 들어, 수신된 심볼을, 수신기에 의해 우선적으로 알려질 수 있거나, 또는 매우 신뢰할 수 있는 변조 방식을 사용하여 수신기에 송신될 수 있는, 전송된 교정 심볼의 시퀀스와 비교함으로써 결정될 수 있다.

[1564] 또한, 방법은 감쇠를 제 2 감쇠 레벨로 증가시키는 단계(3634) 및 제 2 감쇠 레벨에서 제 2 미리 결정된 교정 심볼의 시퀀스를 수신하는 단계(3636)를 포함한다. 제 2 미리 결정된 시퀀스는 제 1 미리 결정된 시퀀스와 동일하거나 상이할 수 있다. 또한, 방법은 수신된 제 2 시퀀스의 교정 심볼에 대한 제 2 에러 레이트를 결정하는 단계(3638)를 포함한다.

[1565] 추가의 감쇠가 품질을 증가시키는지를 결정하기 위해, 방법은 제 1 에러 레이트와 제 2 에러 레이트를 비교하는 단계(3640)를 더 포함한다.

[1566] 제 2 에러 레이트가 제 1 에러 레이트보다 낮으면, 방법은 감쇠의 증가로 인해 데이터 신호의 왜곡이 적어지므로 감쇠를 제 3 감쇠 레벨로 증가시키는 단계(3642)를 포함한다.

[1567] 에러 레이트가 더 이상 감소하지 않을 때까지 감쇠 증가를 반복하면 최적의 지터 감소로 설정되는 결과를 가져올 수 있다.

[1568] 일부 예에서, 방법은 제 2 에러 레이트가 0이면 제 2 감쇠 레벨을 유지하는 단계(3644)를 옵션으로 포함한다.

[1569] 일부 예에서, 방법은 더 이상 교정 심볼이 수신되지 않게 하는 피드백 신호를 전송하는 단계를 더 포함한다. 그렇게 하면, 최적화된 설정이 발견되고 교정이 종료될 수 있기 때문에 협력하는 송신기는 더 이상 교정 심볼을 송신하지 않아도 됨을 통지받을 수 있다.

[1570] 일부 예에서, 방법은 제 1 감쇠 레벨을 0으로 설정하는 단계(3646) 및 제 2 에러 레이트가 제 1 에러 레이트보다 높으면 교정 심볼을 반송하는 데이터 신호의 신호 레벨의 증가를 야기하는 피드백 신호를 송신하는 단계(3644)를 더 포함한다. 감쇠의 증가로 인해 에러 레이트가 악화되면, 송신 전력을 증가시켜서 나중에 삽입될 추가 감쇠를 위한 헤드 룸을 더 많게 할 수 있다.

[1571] 적응적 손실 매칭 네트워크를 사용하여 신호 품질을 개선하는 방법은 도 36d에 도시된 바와 같이, 트레이스 매칭 및 SR에 의해 야기되는 최소 지터를 제공하는 설정에 도달하도록 네트워크를 미세 조정하는 역할을 할 수 있다. 도 36d는 데이터 신호가 적응 회로/매칭 네트워크를 통과한 이후 수신기에서 지터 대 신호 대 잡음비(Signal to Noise Ratio)(SNR)를 도시한다. 도 36d의 제 1 그래프(3652)는 잡음에 의해 지배되는 시나리오에서 SNR로부터 지터의 의존성을 도시한다. 예상한대로, SNR(송신기에서 생성된 데이터 신호의 전력)이 높을수록 지터가 적어진다. 심볼 간 간섭(ISI)에 의해 지배되는 시나리오에서, 그래프(3656)에 의해 도시된 바와 같이, 선행 심볼의 반사된 신호는 지터의 지배적인 소스일 수 있다. 그러므로, 높은 송신 전력으로 인해 SNR이 높고 반사 진폭이 높아지면 지터가 높아질 수 있다. 두 지터 소스 모두의 조합이 그래프(3654)에 의해 도시된다.

감쇠를 결정하는 방법의 예는 한 번에 두 지터 소스 모두를 고려하여 최소 지터가 되는 설정으로 될 수 있다.

[1572] 도 36c의 방법이 도 36b의 수신기 내에 적용되면, 제 1 감쇠 레벨에서 제 1의 미리 결정된 교정 심볼의 시퀀스를 수신하는 단계는, 제 1의 미리 결정된 교정 심볼의 시퀀스를 포함하는 데이터 신호를 수신하는 단계; 및 데이터 신호를 제 1 감쇠 레벨로 감쇠시키는 단계를 포함한다. 유사하게, 제 2 감쇠 레벨에서 제 2 미리 결정된 교정 심볼의 시퀀스를 수신하는 단계는 제 2 미리 결정된 교정 심볼의 시퀀스를 포함하는 데이터 신호를 수신하는 단계; 및 데이터 신호를 제 2 감쇠 레벨로 감쇠시키는 단계를 포함한다.

[1573] 다시 말해서, 감쇠 레벨을 결정하기 위한 방법의 예는 2개의 단계에 의해 특징지어질 수 있다. 단계 1에서, TX는 (알려진 의사 랜덤 데이터로 정의되는) 교정 패턴을 송신하고 반면에 RX 감쇠기는 1로 설정되고(감쇠기는 바이패스되고) 시간 윈도우에서의 에러를 카운트하는 비트 에러 측정(Bit ERror Measurement)(BERM)을 한다. 에러의 양은 링크 품질에 대한 기준으로서 유지될 것이다.

[1574] 단계 2에서, RX는 감쇠를 1 단계씩 변경하고(그에 따라 저항기를 조정하고) 에러를 제 1 위상에 대해 에러를 비교한다. 본 명세서에 설명된 예에서 감쇠가 변동되는 STEP 크기는 임의적이다. 변동은 각 단계에서 일정하거나 선형 또는 심지어 비선형으로 증가 또는 감소할 수 있다.

[1575] 새로운 에러가 단계 1에서보다 낮으면, 우리는 BERM에서 에러가 발생하지 않을 때까지 서서히 진행할 수 있다. 그 상태에서 RX는 ack를 TX에 전송하고 교정을 마무리할 수 있다. 새로운 에러가 더 낮지 않으면 RX는 nack를 반환하고 TX는 진폭을 증가시켜야 하며 RX는 단계 1을 다시 시작해야 한다.

[1576] 감쇠 값이 발견된 후에, 우리는 예를 들어, TDC를 변경함으로써 PHY 계층 제어기를 추가로 미세 조정하도록 진행하고 각각의 심볼에 대한 최선의 마진(기간)을 찾을 수 있다. 이어서 도 36e 및 도 36f를 참조하여 추가 교정 개념이 설명될 것이다.

[1577] 도 36e는 STEP 인터커넥트 내에서 데이터 신호에 대한 적응 회로의 사용을 도시한다. STEP 인터커넥트에서, 데이터 신호를 생성하기 위한 PHY 계층 제어기(3660)는 송신 라인(트레이스)을 따른 그리고 연결(예를 들어, 보드 패키지 연결)에서의 미스매치에 의해 발생되는 회절, 손실 및 반사로 인한 신호 품질에 영향을 줄 수 있는 송신 라인(3666a 및 3666b)을 통해 데이터 신호를 처리하기 위한 (예를 들어, 두 개의 상이한 칩 내에 있는) PHY 계층 제어기(3662)에 연결된다. STEP은 위상 변조 인터페이스이다. 그러므로 스펙트럼 콘텐츠는 상대적으로 특정된 대역 통과 주파수 범위(링크의 중심 주파수 주위)로 제한된다. 그러므로 매칭은 주로 대역 내 조정을 필요로 하고 전체 스펙트럼에 대한 조정을 요구하지 않을 수 있으며, 도 36a의 적응 회로(3600)에 의해 수행될 수 있다. 처리 회로(3668)는 적응 회로(3600)의 출력에 결합되고, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된다. 다시 말해, 처리 회로(3668)는 수신된 데이터 신호에서 후속의 상보적 신호 에지 사이의 기간을 측정한다.

[1578] 복조 회로(3670)는 시간 간격을 STEP 프로토콜의 (페이로드 데이터) 심볼에 할당함으로써 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고; 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된다.

[1579] 도 36f는 교정을 위해 하나 이상의 교정 심볼의 시리즈를 제공할 수 있는 데이터 신호를 생성하기 위한 장치(3670)의 예를 도시한다. 변조기 회로(3672)는 교정 심볼의 시리즈를 생성하도록 구성된다. 출력 인터페이스(3674)는 제 1 신호 레벨에서 교정 심볼의 시리즈를 포함하는 데이터 신호를 송신하도록 구성된다. 장치(3670)는 장치로부터 피드백 신호를 수신하여 교정 동안 (예를 들어, STEP 수신기로부터의) 데이터 신호를 처리하여 장치(3670)의 거동을 제어하도록 구성된 입력 인터페이스(3676)를 더 포함한다. 대응하는 피드백 신호를 수신하면, 출력 인터페이스는 제 2 신호 레벨에서 교정 심볼의 시리즈를 포함하는 데이터 신호를 송신하며, 제 2 신호 레벨은 제 1 신호 레벨보다 높다.

[1580] 추가 예는 옵션으로 제 1 신호 레벨에서 송신된 교정 심볼의 시리즈와는 상이한, 제 2 신호 레벨에서 제 2 교정 심볼의 시리즈를 송신할 수 있다.

[1581] STEP 인터커넥트의 PHY 제어기 내에서, 출력 인터페이스는 또한 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성될 수 있으며, 여기서 제 1 신호 에지 및 제 2 신호 에지 사이의 제 1 기간은 제 1 교정 심볼에 대응하고, 제 2 신호 에지 및 제 3 신호 에지 사이의 제 2 기간은 제 2 교정 심볼에 대응한다.

[1582] 이전 단락은 주로 차동 데이터 버스의 감쇠 레벨을 결정하기 위한 방법의 예를 논의했지만, 방법의 추가 예는

마찬가지로 단일 종단 데이터 버스에 사용될 수 있다.

[1583] 도 36a 내지 도 36f는 지터의 발생을 방지하는 방법에 대한 예를 도시하지만, 다음으로 도 37a 내지 도 37j는 남아 있는 일부 지터 원인을 보상하기 위한 예를 도시한다. I/O 링크는 (송신기 측(TX)에서) 펄스 송신 및 (수신기 측(RX)에서) 펄스 폭 측정을 기초로 할 수 있다. 이를 테면 또는 예를 들어, STEP 인터커넥트와 같은 대응하는 I/O 데이터 링크는 지터(펄스 폭 타이밍 에러)에 민감할 수 있다. 지터의 부정적인 영향을 완화하고자 하는 요구가 있을 수 있다.

[1584] 도 37a는 데이터 신호를 생성하기 위한 장치(3700)의 예를 도시한다. 장치는 송신 링크에서 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하도록 구성된 전치 왜곡 회로(3702)를 포함한다.

[1585] 또한, 장치는 수정된 특성에 기초하여 데이터 신호를 생성하도록 구성된 처리 회로(3704)를 포함한다.

[1586] 펄스의 기간에 의해 물리적으로 표현된 심볼에 의해 데이터를 송신하는 인터커넥트에서, 전체 지터의 주요 원인 제공자는 심볼 간 간섭(ISI)인 것으로 밝혀졌다. (인터커넥트의 컴포넌트에 의한 지터의 생성을 목표로 하는) 지터에 대한 전치 왜곡 모델을 사용하여 송신될 데이터 신호를 전치 왜곡하면 약간의 추가 노력으로 인터링크의 성능에 미치는 지터의 부정적인 영향을 효과적으로 완화할 수 있다.

[1587] 일부 예에 따르면, 수정은 송신 데이터 심볼과 연관된 시간의 조정이며, 이것은 STEP 송신기 내에서 데이터 신호를 생성하기 위한 장치의 예를 바로 적용할 수 있게 할 수 있다.

[1588] 일부 예에 따르면, 전치 왜곡 회로는 데이터 신호를 사용하여 송신될 데이터에 수정을 할당하는 룩업 테이블을 사용하여 특성의 수정을 생성하도록 구성된다. ISI가 지터의 주요 원인 제공자인 것으로 확인되면, 전치 왜곡은 룩업 테이블을 이용하여 구현될 수 있는데, 왜냐하면 필요한 수정은 송신될 데이터 자체에 따라 달라지고 간단한 룩업 테이블이 송신할 데이터에 수정을 할당하는데 사용될 수 있기 때문이다.

[1589] 일부 예에서, 전치 왜곡 회로는 데이터 신호에 의해 송신될 송신 데이터 심볼의 시리즈 중 적어도 하나의 송신 데이터 심볼에 따른 전치 왜곡 모델을 사용한다. 이러한 이벤트에서, 룩업 테이블은 송신될 모든 송신 데이터 심볼에 수정을 할당할 수 있다.

[1590] 추가 예에서, 전치 왜곡 모델은 또한 이전에 송신된 송신 데이터 심볼에 종속할 수 있다. 구현에 따라, 고려될 선행 송신 데이터 심볼의 수는 상이할 수 있다. 일부 예에서, 전치 왜곡 모델은 적어도 현재 송신 데이터 심볼 및 선행 송신 데이터 심볼의 시리즈를 사용한다. 룩업 테이블이 전치 왜곡 모델을 구현하기 위해 사용되면, 룩업 테이블은 예를 들어, 세 개의 열, 즉 현재 송신 데이터 심볼에 대한 열, 선행 송신 데이터 심볼에 대한 열 및 적용될 수정에 대한 열을 포함할 수 있다.

[1591] 추가 예는 송신될 데이터가 전치 왜곡 모델에 연속적으로 입력되어 특성의 수정을 생성할 수 있도록 전치 왜곡 모델의 수학적 공식을 사용한다. 전치 왜곡 모델에 따라, 현재 입력된 데이터는 또한 미래의 데이터를 송신하는데 사용되는 데이터 신호의 수정에 영향을 줄 수 있으며, 이것은 또한 메모리를 갖는 전치 왜곡 기능으로도 지칭된다.

[1592] 일부 예에서, 전치 왜곡 모델은 송신 링크의 유한 임펄스 응답 모델을 포함한다.

[1593] 일부 예는 데이터 신호의 수신자로부터 수신된 교정 정보에 기초하여 전치 왜곡 모델을 업데이트하는데, 이것은 예를 들어 전치 왜곡 모델이 생성되는 교정을 수행할 수 있게 한다. 일부 예에 따르면, 교정 정보는 데이터 신호에서 측정된 지터에 기초한다.

[1594] 장치(3700)가 예를 들어, STEP 송신기 내에 사용되면, 처리 회로(3704)는 데이터 신호를 생성하도록 구성되며, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 장치는 데이터 신호를 송신 링크에 출력하도록 구성된 옵션의 출력 인터페이스 회로(3706)를 더 포함할 수 있다.

[1595] 일부 예에 따르면, 전치 왜곡 회로는 제 1 기간의 수정 및 제 2 기간의 수정을 생성하도록 구성될 수 있다. 수정은 공칭 기간에 가산 또는 감산되는 보정을 생성함으로써 또는 기존 공칭 기간을 대체하는 기간을 생성함으로써 구현될 수 있다. 도 37b는 STEP 수신기에 의해 수신된 다수의 신호 에지에 대해 기록된 아이 다이어그램을 도시한다. 송신 라인을 따라, 디지털 데이터 신호는 악화되어, 그의 진폭뿐만 아니라 신호 에지의 상승 및 하

강 시간의 변동을 초래하여, 수신된 다수의 신호의 중첩이 이상적인 형태(정사각형)에서 크게 벗어난 도 37b에 도시된 아이 다이어그램을 초래한다. 지터에 대한 전치 왜곡 모델을 사용하면, 시간 차원(3708)에서만 아이 오프닝(Eye-opening)을 최대화할 수 있으며, 이것은 STEP과 같은 일부 인터커넥트에는 충분하다. 도 37c는 왜곡의 감소를 달성하기 위해 시간 차원(3708) 및 진폭 차원(3710) 둘 모두에서 아이 오프닝을 최대화해야 하는 종래의 고속 인터커넥트에 대한 접근법을 도시한다.

[1596] 시간 차원(3708)에서만 아이 오프닝을 최대화하는 것은 도 37d에 도시된 송신기의 전치 왜곡 회로에 의해 매우 효율적으로 달성될 수 있다.

[1597] 도 37d는 수신된 데이터 신호를 처리하기 위해 STEP 수신기 내에서 사용되는 TDC뿐만 아니라 STEP 송신기 내에서 데이터 신호를 생성하기 위한 장치의 회로를 개략적으로 도시한다. 송신기 측에서, 전치 왜곡 회로(3712)는 각각의 송신 데이터 심볼과 연관된 기간의 수정을 생성한다. 예를 들어, (그래프(3718)에 의해 도시된 바와 같이) 각각의 송신 심볼에 대한 공칭 기간 T(n)은 (그래프(3720)에 의해 도시된 바와 같이) 전치 왜곡된 기간 P(n)이 되도록 수정된다. 전치 왜곡된 기간 P(n)은 그 다음에 DTC(3714)에 의해 송신 링크(3722)로 출력될 데이터 신호 D(n)을 생성하는데 사용된다. 도 37d에 도시된 바와 같이, 전치 왜곡은 송신기의 디지털 도메인에서 상당한 추가 노력없이 구현될 수 있다.

[1598] 수신기 측에서, 데이터 신호가 수신되고 상보적 신호 에지 사이의 기간은 TDC(3716)에 의해 결정된다.

[1599] 전치 왜곡 회로(3714)는 지터에 대한 전치 왜곡 모델을 사용한다. 송신될 데이터 심볼/기간 T(n)이 알려져 있으며, 링크 모델은 예를 들어, 링크 모델을 결정하기 위해 교정 심볼의 시리즈를 사용하는 교정 방법을 사용하여 획득된다. 교정은 공장/실험실 교정 또는 정상 동작 동안 궁극적으로 짝수 페이로드 데이터 심볼을 사용하는 온라인 교정일 수 있으며, 이것은 백그라운드 교정(background calibration)으로 지칭될 수 있다. 다른 예에 따르면, 교정은 인터커넥트의 시작시에 한 번 수행될 수 있다. 송신될 각각의 심볼에 대해, 전치 왜곡 회로는 DTC(3714)에 공급되는 보정 값을 생성하고 시간을 수정하므로, (시간-디지털 변환기(TDC)(3716)로 표현된) RX 측에서 ISI가 최소화된다. 즉, TX 시간 도메인 메모리 ISI 전치 왜곡이 수행된다. DTC 펄스 폭 조작만을 필요로 하는 TX 메모리 ISI 전치 왜곡 시스템이 달성되어, 전력 소모적이고 고가의 디바이스가 없어도 ISI를 최소화할 수 있다.

[1600] 도 37e는 RX에서 결정 피드백 등화기(DFE)(3724)를 통해 ISI로 인한 성능 저하를 최소화하는 기존의 통신 링크를 도시한다. 종래의 고속 인터커넥트 시스템은 전압 레벨 펄스 변조 방식(RZ, RZ, CMI, PAM 등)을 사용할 수 있다. 따라서, 임의의 등화 방식은 최소 BER을 보장하기 위해 (지터 및 진폭 노이즈로 인한 에러 가능성을 최소화하기 위해) 두 전압 및 시간 차원 모두에서 "최대 아이 오프닝(maximal EYE opening)"이라는 기준 하에서 동작해야 한다. 이것은 매우 전력 소모적이어서 바람직하지 않은 아날로그 등화기 또는 DFE를 필요로 한다.

[1601] 그러나 STEP과 같은 일부 통신 시스템에서, 최소 제로 크로싱 변동이면 충분할 수 있다(예를 들어, 제안된 인터커넥트 시스템에 대한 최적화 기준은 상이하다). 따라서, 지터에 대한 전치 왜곡 모델이 최적의 결과를 달성하기에 충분할 수 있다.

[1602] 요약하면, ISI에 의해 야기된 제로 크로싱 변동을 최소화하기 위해, 저전력 순수 디지털 메커니즘일 수 있는 TX 전치 왜곡이 수행된다. 제안된 통신 시스템은 제로 크로싱을 변경하는 지터에만 민감하므로, RX에서 예상되는 (ISI로 인한) 제로 크로싱은 TX에서 미리 계산되고 미리 보상될 수 있다.

[1603] 도 37f는 ISI에 의해 지배되는 STEP 인터커넥트와 같은 통신 시스템을 도시한다. 도 37f는 송신된 데이터 신호를 나타내는 본질적으로 직사각형인 제 1 그래프(3730) 및 악화된 파형을 나타내는 수신된 데이터 신호를 나타내는 제 2 그래프(3732)를 도시한다. 도 37f의 우측 그래프는 예상된 값으로부터 수신된 데이터 신호의 제로 크로싱의 편차(에러)의 히스토그램을 도시한다. 도 37f에 도시된 바와 같이, 에러는 유한한 수의 가능한 값만을 가지는데, 이것은 데이터에 의존적이라는 것을 의미한다(송신 링크 대역폭 및 응답은 메모리 효과를 도입한다). 에러 분포가 관측되면 지터가 ISI에 의해 지배된다고 결론을 내릴 수 있으므로, 지터에 대한 전치 왜곡 모델이 인터링크의 성능을 최적화하기에 충분하다.

[1604] 도 37g는 데이터 신호를 생성하기 위한 방법의 예의 흐름도를 도시한다. 방법은 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하는 단계(3740)를 포함한다. 수정은 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델을 사용하여 수행된다. 일부 예에 따르면, 전치 왜곡 모델은 옵션으로 지터에 대한 ISI의 원인을 전용적으로 모델링 할 수 있다. 방법은 수정된 특성에 기초하여 데이터 신호를 생성하는 단계(3742)를 더 포함한다.

[1605] 도 37h는 STEP 인터커넥트를 위한 데이터 신호를 생성하는 방법의 다른 예의 흐름도를 도시한다. 방법은 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하는 단계(3750)를 포함한다. 방법은 데이터 신호를 생성하는 단계(3752)를 더 포함하며, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 송신 링크로 출력하는 단계(3754)를 포함한다.

[1606] 전치 왜곡이 도 37a 내지 도 37f를 참조하여 논의되었지만, 다음으로 도 38a 내지 도 38i는 양자화 시간-디지털 변환기의 분해능을 초과하는 정확도로 수신 측에서 지터가 어떻게 정확하게 측정될 수 있는지에 대한 예를 도시할 것이다.

[1607] 도 38a는 송신기(3804)와 수신기(3806) 사이의 링크 채널(송신 링크(3802))의 주파수 의존성에 의해 야기되는 ISI에 의한 지터의 발생을 다시 도시한다. 특정 펄스(송신될 심볼을 가정해 볼 때 주어진 두 개의 후속하는 상보적 신호 에지 사이의 기간)에 미치는 ISI의 영향은 현재 코드(심볼) 자체와 이력(이전 코드/코드들 또는 심볼/심볼들을 의미함)에 따라 달라진다. ISI는 통신 인터링크의 수신단에서 심볼의 수신된 기간(3608)의 변경을 초래하고(그러면 송신단에서의 기간(3810)과 상이해짐), 이것은 차례로 오 검출을 초래할 수 있다.

[1608] 도 37a 내지 도 37f를 참조하여 이미 논의된 바와 같이, 도 38b는 송신기가 전치 왜곡 모델에 기초하여 각각의 심볼에 대한 기간의 수정을 생성하기 위해 전에 전치 왜곡 회로(3812)를 사용하여 ISI 및 다른 지터 소스의 효과가 완화될 수 있음을 다시 도시한다. 디지털 전치 왜곡(DPD) 모델은 현재 및 이전 코드(심볼)를 고려할 수 있으며, 채널/송신 링크(3802) 다음에, 후속 에지(3808) 사이의 거리가 요구한 대로 되는 방식으로 기간이 수정되는 시프트된 신호(3811)를 출력한다. DPD는, 예를 들어, 입력으로서 현재 및 이전 코드/심볼을 갖고 현재 심볼에 사용될 수정된 기간을 출력하는 룩업 테이블(LUT)로 구현될 수 있다.

[1609] 도 38c는 거친 분해능을 갖는 시간-디지털 변환기를 사용하여 두 개의 신호 에지 사이의 기간을 결정하는 방법의 예를 도시한다.

[1610] 방법은 교정 계수(calibration factor)에 의해 데이터 신호 내의 후속 신호 에지의 시리즈 사이의 기간을 스케일링하는 단계(3820)를 포함한다.

[1611] 도 38d는 수신 측에서 TDC에 의한 기간의 양자화에 미치는 기간(3830)을 스케일링하는 영향을 도시한다. 도 38d의 예에서, 기간은 후속 신호 에지의 시리즈를 발생시키는데 사용되는 국부 발진기(예를 들어, PLL)의 주파수를 동작 주파수(3833)로부터 교정 주파수(3835)로 변경함으로써 스케일링된다. 변경은 신호 에지가 데이터 신호(3831) 내에서 생성될 수 있는 위치의 그리드를 (정상 동작 동안 사용된) 원래 그리드(3832)로부터 새로운 그리드(3834)로 변경하는 결과를 가져온다. 그러나, 수신 측에서 TDC가 기간을 양자화하는 위치인 TDC 그리드(3836)는 일정하게 유지된다. 도 38d의 예에서, 이것은 상승 신호 에지(3838)가 교정 주파수에 의해 정의된 원래 그리드에 따라 생성되었을 위치(3842) 이외의 새로운 그리드(3834)의 위치(3840)에서 생성되는 결과를 가져온다. 후속 신호 에지의 시리즈 사이의 시간(3830)을 스케일링함으로써, 상승 신호 에지의 위치(3840)는 TDC 그리드(3836)과 일치하도록, 즉 두 개의 인접하는 시간 간격(양자화 값) 사이의 결정이 이루어지는 위치와 일치하도록 시프트된다. 예에서, 인접하는 시간 간격은 제 1 시간 간격 [190ps; 200ps] 및 제 2 시간 간격 [200ps; 210ps]이다. 그러므로 시스템에서의 고유의 통계적 지터로 인해, 상승 신호 에지(3838)는 제 1 시간 간격 또는 제 2 시간 간격으로 양자화될 수 있다. 그러므로 후속 신호 에지의 시리즈 내에서 신호 에지(3838)를 다수 회 송신하면, 이러한 인접하는 시간 간격 사이에 양자화 값이 분포된다. 통계적 지터의 확률 밀도가 대칭적이고 위치(3840)가 TDC 그리드(3836)와 정확하게 일치한다고 가정하면, 샘플의 50%는 제 1 시간 간격에서 발견될 것이고 다른 50%는 제 2 시간 간격에서 발견될 것이다. 이전의 관찰은 도 38c에 도시된 방법의 예에 의한 교정에 사용된다.

[1612] 이를 위해, 방법은 송신 링크를 통해 후속 신호 에지의 시리즈를 송신하는 단계(3822)를 더 포함한다.

[1613] 또한, 방법은 후속 신호 에지의 시리즈를 수신하는 단계(3824) 및 신호 에지 사이의 기간을 대략적 분해능으로 양자화하여 양자화 값을 제공하는 단계(3826)를 포함한다.

[1614] 방법은 양자화 값의 분포 및 스케일링 계수에 기초하여 신호 에지 사이의 기간을 계산하는 단계(3828)를 더 포함한다. 계산은 도 38d와 관련하여 제시된 고려 사항의 라인을 따라 수행될 수 있다. 도 38d는 기간을 스케일링하기 위한 하나의 특정 예를 도시하지만, 추가 예는 임의의 방법을 사용하여 스케일링을 달성할 수 있다.

[1615] 앞서 설명한 방법은 TDC(RX)의 거친 양자화로 인해 어려움이 있지만 지터를 정확하게 측정할 수 있게 한다.

[1616] 예를 들어, 우리는 심볼(코드) 5,5,5,5,5,5 .... (현재 코드는 5이고 이전 코드는 5임)를 송신하여 심볼 5, 5의 시퀀스의 ISI를 평가할 수 있다. 심볼 5에 대한 공칭(요구된) 기간(3830)(지연)은 (최대 신뢰도를 달성하기 위해 신호 에지가 제 2 시간 간격 [200ps; 210ps]의 중심에 도달하게 하는) 205ps인 것으로 가정된다. 그러나, ISI에 의해 야기된 실제 시간 간격은 203ps이며, 이 간격은 심볼 5, 5의 시퀀스가 전송되는 경우 전치 왜곡에 의해 이를 보상할 수 있도록 교정 동안 결정되는 기간이다. 그러나, TDC 양자화 레벨은 [170 180 190 200 210 220 230] ps이다. 그러므로 원래 그리드(3832)를 사용하는 TDC 샘플링은 수신기에서 기간이 200ps 내지 210ps인 정보만을 발생할 것이며, 이것은 203ps의 실제 시간 간격에 대해서는 결론을 내릴 수 없다.

[1617] 방법의 예는 양자화 값의 일부 분포를 생성하기 위해 DTC(TX) 그리드를 시프트시키고 시스템에서 통계적 지터(예를 들어 열 잡음)의 존재를 이용함으로써 이 문제를 해결한다. 예를 들어, 시스템에서 0.5ps RMS 지터가 존재하면, 우리는 RX 샘플/양자화 값(일부는 190-200이고 및 일부 200-210일 수 있음)이 인접하는 시간 간격 사이에 분포하도록 DTC를 ~2-4ps를 시프트(이에 따라 기간을 스케일)할 필요가 있다. 일단 양자화 값의 분포가 있으면, 정확한 지연을 계산하는 것이 가능하다. (예 1: 샘플의 50%가 190-200이고 50%가 200-210이면, 정확한 지연은 200이다. 예 2: 30%가 190-200이고 70%가 200-210이면, 우리는 예를 들어 201ps의 정확한 기간(지연)을 계산하기 위해 통계적 지터의 시그마를 추가로 고려할 수 있다.

[1618] 기간을 정확하게 계산하기에 적합한 양자화 값의 분포에 도달하기 위해, 우리는 양자화 값이 인접하는 기간 사이에 충분한 정도로 분포될 때까지 상이한 교정 계수(PLL 주파수 또는 국부 발진기 주파수)를 시도할 수 있다. 교정 주파수(Fc_new)의 경우, 송신 측의 교정 계수(C)는 C=Fc_old/Fc_new에 대응하며, Fc_old는 통신 인터링크의 정상 동작 동안의 동작 주파수이다.

[1619] 수신 측의 실제 기간을 계산하기 위해, 교정 계수의 영향은 반비례하므로 실제 기간은 측정된 기간을 C로 나눈 값과 같다.

[1620] 앞서 설명한 방법은 왜곡 회로 내에 사용된 교정 데이터를 결정하기 위해 예를 들어 지터에 의해 손상된 기간을 정확하게 측정하는데 사용될 수 있다. ISI가 지터의 소스인 것으로 이미 보여주었지만, 도 38e 및 도 38f는 지터의 다른 소스인 반사를 도시한다.

[1621] 반사는 부가적인 손상이다. 신호의 일부는 수신기(3806)에서 링크의 단부로부터 반대로 반사된 다음 송신기(3804)에서 다시 반사된다(도면 아래 참조). 이러한 영향은 신호의 "과거 버전"이 현재 신호에 추가되게 한다(그러나, 반사된 버전은 링크를 2 회 더 통과하기 때문에 약화된다). 반사의 지연은 링크 길이의 함수이므로 주어진 구현의 경우 일정할 수 있다.

[1622] 현재 기간(그 신호 에지의 위치)에 미치는 영향은 ($t-T_{reflection}$에서) 현재 심볼 및 선행 심볼에 따라 달라진다. $T_{reflection}$은 송신 링크(3802)를 통한 신호 전파 시간의 두 배이다. 즉, 현재 신호의 형태는 과거 코드에 종속한다.

[1623] 도 38f는 반사로 인한 데이터 신호의 손상을 도시한다. 제 1 그래프는 반사가 없는 데이터 신호(3050)의 예를 나타내고, 제 2 그래프(3052)는 주어진 송신 링크에서 데이터 신호에 의해 생성된 반사를 나타내고, 제 3 그래프(3054)는 반사로 인해 야기될 수 있는 심각한 신호 손상을 보여주는 데이터 신호(3050) 상의 반사의 중첩을 나타낸다.

[1624] 반사는 ISI와 유사하게, 예를 들어, LUT를 사용하여 전치 왜곡을 통해 완화될 수 있다. 그러나, (현재 코드에 더하여) 이전 코드에 의존하는 대신에, 반사 영향을 완화시키기 위해 기간의 수정은 현재 심볼 및 $T_{reflection}$ 이전에 전송된 심볼에 (반사 시간에 대해 가장 가까운 에지에) 따라 달라진다. 이전에 전송된 심볼에 관한 정보를 유지하기 위해, 디지털 FIFO가 사용될 수 있다.

[1625] ISI에 대한 전치 왜곡 및 반사는 손상의 반대(inverse) 값을 수용하는 LUT를 기초로 할 수 있지만, LUT를 생성하려면 각각의 영향으로 인해 야기되는 결정론적 지터(에지 오프셋)를 측정하기 위해 상이한 페이로드 데이터 심볼의 시리즈를 필요로 한다.

[1626] 두 영향 모두의 경우, 송신된 페이로드 데이터 심볼을 생성하여 지터를 측정하는 단계는 페이로드 데이터 심볼의 시리즈의 다수의 반복을 제공하는 단계 및 시리즈의 각각의 페이로드 데이터 심볼에 기간을 할당하는 단계를 포함한다. 수신기에서 필요한 통계를 수집하기 위해 다수의 반복이 요구될 수 있다.

[1627] ISI를 교정하기 위해, 시리즈 내의 페이로드 데이터 심볼의 수는 심볼 간 간섭에 의한 지터에 대한 전치 왜곡 모델의 복잡성에 대응한다. 간단한 모델에서, 우리는 ISI가 직전의 페이로드 데이터 심볼에 의해 지배되어, 시리즈 내의 페이로드 데이터 심볼의 수가 2가 되는 것으로 가정할 수 있다. 추가 예는 3, 4, 5 또는 그 이상의 심볼에 따라, 더 복잡한 모델을 사용할 수 있다.

[1628] 반사에 관한 이전의 고려 사항 때문에, DPD를 교정하여 반사에 의해 야기되는 손상을 완화하기 위한 페이로드 데이터 심볼의 시리즈의 길이는 송신 링크의 신호 전파 시간의 두 배에 대응한다.

[1629] ISI와 반사 둘 모두의 경우, 교정 데이터는 시리즈 내의 마지막 페이로드 데이터 심볼에 대해 결정된다.

[1630] ISI 교정의 경우에 있어서, 제 1 교정 데이터는 마지막 페이로드 데이터 심볼에 대해 결정된 시간을 페이로드 데이터 심볼의 시리즈와 관련시킨다.

[1631] 그러나, 반사 교정의 경우, 제 2 교정 데이터는 시리즈의 마지막 페이로드 데이터 심볼에 대해 결정된 시간을 시리즈의 제 1 페이로드 데이터 심볼과 관련시킨다.

[1632] 기간 및 교정을 측정하는 앞서 설명된 방법을 구현하기 위해, 데이터 신호를 생성 및 처리하기 위한 장치의 예는 예를 들어 교정을 시작 또는 종료하기 위해 서로 통신할 필요가 있을 수 있다.

[1633] 도 38g는 데이터 신호를 처리하기 위한 장치(3860)의 예를 개략적으로 도시한다. 장치는 데이터 신호 내의 후속 신호 에지의 시리즈를 수신하도록 구성된 입력 인터페이스(3862) 및 신호 에지 사이의 기간을 거친 분해능으로 양자화하여 각각의 기간마다 양자화 값을 제공하도록 구성된 시간-디지털 변환기(3864)를 포함한다.

[1634] 평가 회로(3866)는 양자화 값의 분포 및 위에서 설명한 방법에 따라 데이터 신호를 생성하는데 사용되는 스케일링 계수에 기초하여 신호 에지 사이의 기간을 계산하도록 구성된다.

[1635] 예를 들어, 일부 예에 따르면, 평가 회로는 선택 페이로드 데이터 심볼에 대한 양자화 값의 분포를 결정함으로써 데이터 신호 내에서 반복적으로 수신된 페이로드 데이터 심볼의 시리즈 중 선택 페이로드 데이터 심볼에 대응하는 신호 에지 사이의 기간을 결정하도록 구성된다. 기간은 스케일링 계수, 분포의 적어도 두 개의 인접하는 양자화 값에 대응하는 기간 및 양자화 값의 분포를 사용하여 계산된다.

[1636] 일부 예에 따르면, 장치(3860)는 전치 왜곡 모델을 구축하기 위해 예를 들어 계산된 기간을 사용할 수 있는, 데이터 신호를 생성하기 위한 장치에 계산된 기간을 전달하도록 구성된 출력 인터페이스를 옵션으로 더 포함할 수 있다.

[1637] 도 38h는 데이터 신호를 생성하기 위한 장치(3870)의 예를 도시한다. 장치(3870)는 예를 들어 도 38i에 도시된 페이로드 데이터 심볼의 시리즈의 다수의 반복을 생성하도록 구성된 교정 회로(3872)를 포함한다. 변조 회로(3874)는 기간을 시리즈의 각각의 페이로드 데이터 심볼에 할당하도록 구성된다.

[1638] 데이터 신호 생성 회로(3876)는 교정 기간에 의해 분리된 후속 신호 에지의 시리즈를 포함하는 데이터 신호를 생성하도록 구성되며, 교정 기간은 교정 계수에 의해 스케일링된 기간이다.

[1639] 데이터 신호를 생성하기 위한 장치(3870)의 일부 예는 옵션으로 피드백 신호를 수신하도록 구성된 입력 인터페이스를 더 포함할 수 있으며, 여기서 데이터 신호 생성 회로(3876)는 피드백 신호 내의 네거티브 확인 응답 신호를 수신할 때 교정 계수를 수정하도록 구성된다. 그렇게 함으로써, 수신된 신호 에지가 TDC의 시간 그리드와 충분히 일치하지 않으면, 수신기가 데이터 신호를 생성하기 위한 장치에 교정 신호를 추가로 수정할 것을 통지하게 할 수 있다.

[1640] 일부 예에 따르면, 장치는 피드백 신호의 수신시에 교정 계수를 미리 결정된 양만큼 감소시키도록 구성된다.

[1641] 이전에 이미 상세히 설명된 바와 같이, 일부 예는 후속 신호 에지의 시퀀스를 생성하는데 사용되는 위상 고정 루프를 포함할 수 있고, 교정 계수를 감소시키기 위해 네거티브 확인 응답 신호를 수신하면 위상 고정 루프의 주파수가 증가될 수 있다.

[1642] 도 38i는 교정을 위해 송신 측에서 생성될 수 있는 페이로드 데이터 심볼의 시리즈의 예를 도시한다. 시리즈는 페이로드 데이터 심볼의 시리즈(C, B 및 A)의 3 번의 반복을 포함한다. 그 결과, 이것은 두 개의 선행 페이로드 데이터 심볼을 ISI의 원인으로서 고려하는 모델에서 페이로드 데이터 심볼(A)의 ISI 교정에 사용될 수 있다. 생성된 교정 데이터는 마지막 페이로드 데이터 심볼(A)에 대해 결정된 기간을 페이로드 데이터 심볼의 시리즈(C, B 및 A)와 관련시킨다. 그 다음, 교정 데이터는 정상 동작 중에 시리즈 C, B 및 A가 전송되는 경우에 페이

로드 데이터 심볼(A)에 할당된 기간을 수정하는데 사용된다.

[1643] 유사하게, 시리즈는 신호 전파 시간의 두 배가 도 38i의 페이로드 데이터 신호의 시리즈에 할당된 기간의 길이에 대응하도록 짧은 송신 링크의 경우에 반사를 교정하는데 사용될 수 있다.

[1644] 도 37a 내지 도 37h 및 도 38a 내지 도 38i는 전치 왜곡 및 전치 왜곡 모델에 따라 데이터 신호에 적용될 수정을 결정하기 위해 교정 심볼의 시리즈를 사용하는 것에 관련된다. 교정 심볼의 시리즈는, 예를 들어 교정 심볼의 시리즈로부터 생성된 데이터 신호의 특정 특성을 측정할 수 있게 하는 특정 순서의 페이로드 데이터 심볼의 시리즈에 의해 주어질 수 있다.

[1645] TX 측은 수정 발진기(PLL)를 기준으로서 사용할 수 있고 이와 같이 그 자체로 생성된 출력을 안정적으로 측정할 수 있지만(정확도는 PPM의 10의 승수 또는 그 이상일 수 있음), RX 측은 PLL을 포함하지 않을 수 있고 모든 펄스 지속기간은 실리콘의 지연 라인에 기초하여 측정될 수 있다. 이러한 지연 라인은 생산 이후에 지연 라인의 요소의 교정을 필요할 수 있어서, 송신기로부터 수신기로 교정 심볼의 시리즈를 송신하고 수신기로 하여금 교정 측정을 수행할 것을 요구하는, 공정 변화, 전압 및 온도로 인해 달라질 수 있다.

[1646] 도 39a 내지 도 39e는 예를 들어 수신기가 교정 측정을 수행하도록 교정 심볼의 시리즈의 송신이 송신기로부터 수신기로 시그널링될 수 있는 방법에 관한 예를 개시한다.

[1647] 일부 예에 따르면, 제어 심볼 표시자의 시퀀스 및 제어 심볼을 포함하는 앞서 설명된 구분자는 교정 심볼의 시리즈의 후속 송신을 시그널링하는데 사용된다. 사용된 구분자는 교정 심볼의 시리즈를 나타내는 전용 제어 심볼을 사용하여 특별하게 생성될 수 있다.

[1648] 그 결과, 도 39a에 도시된 데이터 신호를 생성하기 위한 장치(3900)는 제어 심볼 표시자의 시퀀스, 교정 심볼의 시리즈를 나타내는 제어 심볼, 및 적어도 하나의 교정 심볼을 포함하는 교정 심볼의 시리즈를 포함하는 데이터 스트림을 생성하도록 구성된 변조기 회로(3902)를 포함한다. 출력 인터페이스(3904)는 데이터 스트림의 심볼을 포함하는 데이터 신호를 출력하도록 구성된다. 그래서 장치(3900)는 교정 심볼의 시리즈를 생성하고 교정 심볼의 시리즈를 표시하는 제어 심볼 및 제어 심볼 표시자로 구성된 구분자에 의해 수신기로의 시리즈의 송신을 시그널링하는데 사용될 수 있다. 예를 들어, STEP 인터커넥트 내에서 구현하기 위해, 장치(3900)의 일부 예는 제어 심볼 표시자, 제어 심볼, 및 시퀀스의 교정 심볼에 대응하는 기간에 의해 분리된 상보적 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된 처리 회로를 더 포함할 수 있다. 도 39b는 제어 심볼 표시자(CI), 교정 심볼의 시리즈를 표시하는 제어 심볼(CS), 및 도 38a 내지 도 38i를 참조하여 논의된 반복 측정을 위해 3 회 반복되는 교정 심볼(C, B 및 A)의 시리즈의 시퀀스를 포함하는 데이터 스트림의 예를 도시한다. 즉, 교정 심볼의 시리즈는 페이로드 데이터 심볼의 시리즈(C, B 및 A)의 다수의 반복을 포함한다.

[1649] 도 39c는 교정을 위해 교정 심볼의 시리즈를 사용할 수 있는 데이터 신호를 처리하기 위한 장치(3910)의 예를 도시한다. 장치(3910)는 제어 심볼 표시자, 교정 심볼의 시리즈를 나타내는 제어 심볼, 및 교정 심볼의 시리즈의 시퀀스를 포함하는 데이터 신호(예를 들어, 도 39b의 데이터 스트림)를 수신하도록 구성된 입력 인터페이스(3912)를 포함한다. 평가 회로(3914)는 장치(3910)가 교정 심볼의 시리즈를 표시하는 나타내는 제어 심볼로부터 교정이 수행되고 있다고 결정하면 교정 심볼의 시리즈를 사용하여 데이터 신호의 속성을 결정하도록 구성된다.

[1650] 일부 예에 따르면, 장치(3910)는 데이터 신호의 속성을 예를 들어 송신기로 출력하여 전치 왜곡 모델을 업데이트하도록 구성된 출력 인터페이스를 옵션으로 더 포함한다.

[1651] 다시 말해, 구분자 다음에, 변조된 신호의 시퀀스가 전송될 수 있다. 예를 들어, 우리는 16개의 짧은 심볼 [000], 이어서 16개의 [001], 이어서 16개의 [010] ...를 전송하고, 대안적으로 16개의 긴 심볼 [111], 이어서 [110], ...으로 시작할 수 있다. "교정" 구분자를 검출할 때 수신기는 내부 회로 부품의 교정을 위해 후속 심볼을 사용할 수 있다. 교정 심볼은 구분자에 의해 트리거되기 때문에, 이것은 애플리케이션 데이터를 전송해야 할 때 송신기에 의해 어떤 단계에서든 실제로 정지될 수 있다. 이 경우에 있어서, 예를 들어, 패킷의 시작(Start Of Packet)(SOP) 구분자가 전송될 수 있고, 뒤이어 예를 들어 페이로드 데이터 심볼에 의해 애플리케이션 데이터가 뒤따를 수 있다. 구분자를 사용하면 종래의 구현에 비해 상당한 대역폭을 절약할 수 있다. 예를 들어, PCIe는 데이터의 일부로서 통상 트레이닝을 전송하지만, RX가 TX 주파수를 추종하게 하고 데이터를 올바르게 샘플링할 수 있도록 하기 위해 "비용"은 25 %의 여벌의 BW가 추가된다. DPhy는 왜곡 제거(de-skew feature) 기능을 용이하게 하며 송신기는 동작 중 왜곡 제거를 중지하지 않아야 하며, 더욱이 애플리케이션 데이터로 이동하기 전에 저전력 상태를 거쳐야 하며, 이것은 다소 "긴" 지연 절차, ~ 2uSec이다.

[1652] 도 39d는 데이터 신호를 생성하기 위한 방법의 예를 도시한다. 방법은 제어 심볼 표시자, 교정 심볼을 표시하는 제어 심볼의 시리즈, 및 적어도 하나의 교정 심볼을 포함하는 교정 심볼의 시리즈의 시퀀스를 포함하는 데이터 스트림을 생성하는 단계(3930); 및 데이터 스트림의 심볼을 포함하는 데이터 신호를 출력하는 단계(3932)를 포함한다.

[1653] 도 39e는 데이터 신호를 처리하기 위한 방법의 예를 도시한다. 방법은 제어 심볼 표시자, 교정 심볼의 시리즈를 표시하는 제어 심볼, 및 교정 심볼의 시리즈의 시퀀스를 포함하는 데이터 신호를 수신하는 단계(3940)를 포함한다. 또한, 방법은 교정 심볼의 시리즈를 사용하여 데이터 신호의 속성을 결정하는 단계를 포함한다.

[1654] 도 39a 내지 도 39e는 송신 링크의 속성에 의해 야기되는 데이터 신호의 손상을 완화하는 교정 방법을 개시하지만, 도 40a 내지 도 40e는 데이터 신호를 처리하고 생성하는데 사용되는 TDC 및 DTC 내의 파라미터를 교정하는 방법에 관련된다. DTC 및 TDC는 프로세스, 전압 및 온도에 따라 성능이 크게 달라질 수 있는 아날로그 블록이다. 또한, 양자화 단계가 미세한 DTC는 기준 국부 발진기를 사용하여 생성된 인접하는 펄스 폭 사이에서 보간하는 보간 기능을 포함할 수 있다. 보간은 DL 및 INL 에러를 발생시킬 수 있다.

[1655] 예를 들어, STEP 인터커넥트의 특정 구현에서, 데이터 신호를 생성하기 위한 DTC는 8개의 옵션의 페이로드 데이터 심볼 0-7을 생성할 수 있다. 0 및 5와 같은 일부 심볼은 (예를 들어, PLL에 의해 생성된) 도래하는 DTC 기준 클록의 분할된 것일 뿐이다. 즉, 이들 심볼은 보간 없이 기준 클록으로부터 직접 도출될 수 있다. 다른 심볼은 기준 클록의 2개의 신호 에지 사이에서 펄스 폭을 생성하기 위해 보간법을 사용하는, DCEI라 불리는 서브블록에 의해 DTC 내부에 생성된다. DTC DCEI는 $2N_{dcei}$로 분할된 PLL 사이클에 의해 주어진 양호한 시간 분해능을 제공할 수 있다. "DTC 인코더"라고 불리는 디지털 회로는 DTC를 제어하고, DCEI가 각각의 송신 심볼에 사용할 코드를 생성한다. DCEI의 미세한 시간 분해능은 예를 들어, 이전에 설명된 룩업 테이블을 사용하여 전치 왜곡을 구현할 수 있게 한다.

[1656] 마찬가지로, 룩업 테이블은 DTC 자체 내에서 비선형성 및 다른 손상을 보상하기 위해 사용될 수 있다.

[1657] 가변 지연 요소를 교정하는 방법의 예는 차후에 다른 디바이스의 다른 타이머 기간을 교정하는데 사용되는 TDC 또는 DTC 중 하나의 교정된 기간을 초기에 설정함으로써 TDC 및 DTC 둘 모두를 상호 교정할 수 있게 한다.

[1658] 가변 지연 요소를 교정하는 방법의 예가 도 40a에 도시된다. 방법은 DTC의 제 1 기간을 기준 클록으로부터 도출 가능한 제 1 값으로 설정하는 단계(4002)를 포함한다.

[1659] 방법은 제 1 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 전송하는 단계(4004)를 더 포함한다.

[1660] 지연 요소 내의 제 1 기간이 정확하게 설정되면, 방법은 TDC 내의 지연 요소를 제 1 값으로 교정하는 단계(4006)를 더 포함한다.

[1661] DTC 내의 기간 동안 신뢰할 수 있는 기준을 선택하면 에지가 정확하게 때에 맞추어진 데이터 신호를 생성할 수 있으며, 이것은 그 다음으로 DTC가 상기 데이터 신호를 사용하여 지연 요소를 내부적으로 제 1 값으로 교정할 수 있게 한다.

[1662] 교정 측정은 예를 들어 도 38a 내지 도 38i에 개시된 방법의 예를 사용하여 수행될 수 있다.

[1663] 다른 예에 따르면, 방법은 DTC의 제 1 기간을 기준 클록으로부터 도출 가능한 제 2 값으로 설정하는 단계 및 제 1 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 단계를 더 포함한다. 제 1 값과 유사하게, 제 2 값을 갖는 기간에 의해 분리된 신뢰할 수 있게 생성된 신호 에지는 TDC 내의 지연 요소를 제 2 값으로 교정하는데 사용될 수 있다.

[1664] TDC 내에서 기간이 정확하게 교정되면, 추가 예는 데이터 신호를 생성하는 DTC 내에서 기간을 교정한다.

[1665] 그러므로 일부 예는 DTC의 제 1 기간을 제 1 값으로 설정하고, 제 1 기간 및 제 2 기간에 따른 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신한다. 그 다음에 DTC 내의 제 2 기간은 제 2 값과 제 1 값 사이의 차이로 교정될 수 있는데, 왜냐하면 이들 값 둘 모두가 이전 TDC 내에서 교정되었기 때문이다.

[1666] DTC 및 TDC의 컴포넌트를 반복적으로 교정하는 앞서 설명된 방법에 기초하여, 임의의 추가 수의 기간이 교정될 수 있다.

[1667] 본 방법의 예는 DTC 및 DTC를 포함하는 셋업에 일반적으로 사용될 수 있지만, 일부 예는 통신 프로토콜의 심볼 분리 시간의 절반에 대응하도록 제 2 값과 제 1 값 사이의 차이를 선택한다는 점에서, 예를 들어, STEP에서와 같은 통신 시스템 내에서 유리하게 구현될 수 있다. 그러면 교정된 추가 기간은 또한 심볼 분리 시간의 분수 또는 배수와 연관될 수 있다. 예를 들어, DTC 내의 제 2 기간은 TDC 내의 제 2 기간을 심볼 분리 시간으로 교정하도록 심볼 분리 시간으로 설정될 수 있다.

[1668] 도 40b 및 도 40c는 8개의 페이로드 데이터 심볼을 갖는 앞서 설명한 STEP 인터커넥트에 본 방법을 적용하는 것을 도시한다.

[1669] 도 40b는 예를 들어, 도 1c와 관련하여 이전에 이미 논의된 STEP 송신 링크의 수신 측에서의 TDC를 개략적으로 다시 도시한다. 그러므로 반복되는 세부 사항은 논의할 필요가 없고 도 1c가 참조된다.

[1670] TDC는 초기 공통 지연 요소(4012) 및 제 1 지연 요소의 시리즈(4014)와 하이 펄스에 대해 연관된 판독 FIFO뿐만 아니라 제 2 지연 요소의 시리즈(4016) 및 하이 펄스에 대해 연관된 판독 FIFO를 포함한다.

[1671] 다음의 고려 사항에 대해, T는 PLL 클록 주기이며 심볼 0이기도 하다는 것을 주목하는 것이 중요하다. 심볼 분리 시간(d)은 예를 들어 심볼1=T+d을 의미하는 각각의 심볼 사이의 시간의 델타 스텝(delta step)이다. 공통 지연 요소(4012)에 의해 설정된 것으로 동작 모드에서 지연 0은 T+d/2와 동일하여야 하므로, 심볼 0(=T)은 FF 출력에서 모두 제로가 될 것이고, 심볼 1(=T+d)은 T+d+d/2인 D1 출력에 정확하게 위치할 것이고, 등등일 것이다.

[1672] 위에서 설명한 방법에 따르면, DTC 및 TDC는 루프백 모드에서 동작하고, 도 38a 내지 도 38i의 측정을 가능하게 하기 위해 일부 지터가 존재하는 것으로 가정된다.

[1673] DTC와 TDC 둘 모두에서 필요한 모든 기간(지연)을 교정하기 위해 수행되는 후속 교정은 도 40c의 표에 의해 제시되고, 이 표에서 1, 2, 5 및 9 내지 14 라인은 TDC의 교정에 관련되고, 반면에 3, 4 및 6 내지 8 라인은 DTC의 교정에 관련된다.

[1674] 컬럼(4020)은 DTC 내에서 사용된/교정된 제 1 기간에 대한 값을 포함하고 컬럼(4026)은 DTC 내에서 사용된/교정된 제 2 기간에 대한 값을 포함한다. 컬럼(4022)은 TDC 내에서 교정될/사용될 제 1 기간을 포함하고 컬럼(4024)은 TDC 내에서 교정될 제 2 기간(D1) 및 추가의 기간(D2 내지 D7)을 포함한다.

[1675] 표에 의해 예시되는 바와 같이, 우리는 먼저 TDC D0(공통 지연 요소(4012))를 T 및 T+d/2로 별개로 교정할 수 있다. 그 다음에, 다른 모든 교정에 대해 동작 모드에서 사용되지 않는 D0=T를 사용한다. 그렇게 하면 DTC로부터 도래하는 모든 심볼이 가운데가 아니라 에지에 "속하지" 않게 되고, 지터를 비롯하여 우리는 우측 및 좌측 심볼을 50%-50%의 비율로 샘플링하여야 한다.

[1676] 이어서 도 40c의 표의 추가 설정을 선택하면 외부 장비 또는 추가 회로를 사용할 필요없이 DTC와 TDC를 둘 모두 교정할 수 있다. (단일 라인에 의해 주어진) 각각의 교정 단계에서, 충분한 통계가 수집될 때까지 좌측/우측 심볼을 샘플링한 횟수가 얼마인지를 카운트할 때마다 동일한 DTC 사이클이 여러 번 반복된다. 한 단계에서 다른 단계로 에러를 누적시키지 않기 위해, 각각의 단계에서 우측-좌측 비율이 저장된 다음에 다음번 단계에 사용된다.

[1677] 상호 교정의 추가 예는 다른 교정의 시리즈를 사용할 수 있다. 예를 들어, TDC 교정의 다른 옵션은 동작 심볼 자체가 아니라 심볼 사이의 중간 지점, T+d/2, T+d+d/2 등을 송신하는 것일 것이다. 이렇게 하면, 모든 TDC 버퍼/지연이 50%-50% 방법을 사용하는 올바른 구성으로 교정될 것이지만, 먼저 D0를 동작 버퍼 폭이 아닌 (그러나 T+d/2인) T로 교정할 필요는 없을 것이다.

[1678] 도 40d는 시간-디지털 변환기(4040)의 다른 예를 도시한다. 시간-디지털 변환기(4040)는 도 40d의 TDC에 기초한다. TDC(4040)는 마찬가지로 통신 프로토콜의 심볼 분리 시간에 대응하는 지연을 구현하도록 구성된 직렬 연결된 지연 요소(4014)의 시리즈를 포함한다. 또한, ADC(4040)는 직렬 연결된 지연 요소에 결합된 적어도 하나의 추가 지연 요소(4042)를 포함하고, 추가 지연 요소(4042)는 심볼 분리 시간의 절반의 지연을 구현하도록 구성된다.

[1679] 그래서 추가 지연 요소(4042)의 출력은 정상 동작 동안 수신된 페이로드 데이터 심볼의 에지에 있다. 그러므로 지연 요소의 출력은 교정에 사용될 수 있는 두 개의 인접하는 기간 사이의 양자화 값의 분포를 영구적으로 측정한다. 그래서 교정은 예를 들어, 전용 교정 기간이 필요 없이 정상 작동 동안 온라인에서 수행될 수 있다.

[1680] 도 40d에서, 추가 지연 요소(4042)는 직렬 연결된 지연 요소의 시리즈에 병렬로 결합된다. 그러나, 구현에 따라, 심볼 분리 시간의 절반의 지연을 구현하도록 구성된 지연 요소가 동일한 목적을 위해 직렬로 연결될 수도 있다. 예를 들어, 심볼 분리 시간에 대한 하나의 지연 요소는 심볼 분리 시간의 절반의 직렬 연결된 두 개의 지연 요소로 대체될 수 있다.

[1681] 도 40d의 TDC(4040)에서, 예를 들어, 추가 판독 플립 플롭(4044)은 심볼 분리 시간의 절반의 지연에 대응하는 위치에서 공통 지연 요소(4012) 내의 지연 라인에 연결된다. 추가 지연 요소(4022)의 출력과 함께 플립 플롭(4044)의 출력을 지속적으로 모니터링하게 되면 스케일링 계수를 영구적으로 업데이트하여 직렬 연결된 지연 요소(4014)의 시리즈의 지연을 공통으로 스케일링할 수 있게 할 수 있다.

[1682] 다시 말해, TDC(4040)는 버퍼로 구성된 지연 라인으로 구성된다. 이들 버퍼는 온도 변화에 영향을 받을 수 있으며, 수신기에서 심볼의 오검출을 초래할 수 있다. TDC(4040)에서, "하프 심볼"에 대응하는 지연 라인의 특정 포인트에 추가 플립 플롭이 추가된다. 이러한W들 샘플링 포인트는 심볼 0, 7(하이&로우 둘 모두 - 총 4 비트)의 에지에 있다. 심볼 0/7을 송신할 때, 심볼은 우측/좌측 심볼을 샘플링할 때 50%-50%를 산출하여야 한다. 이러한 표시자는 정기적인 송신 중에 샘플링되어 사용될 수 있다. 비율이 50%-50%가 아니면, 우리는 비율을 사용하여 지연 라인이 얼마나 많이 확장/축소되는지를 결정할 수 있으며, 심지어는 매번 변경하고 이러한 표시자를 재사용함으로써 TDC 셀 구성을 재교정하도록 자동 고정(auto-fix)을 제안할 수 있다.

[1683] 도 40d는 AM 대 PM 변환에 기초한 "지터 증폭(jitter amplification)"의 예를 도시한다. 시스템 지터(4052)를 저하시키기 위해, 신호의 슬루 레이트를 저하시켜야 한다. 이것은 BW를 낮추고 슬루 레이트를 저하시키기 위해 부하로서 (시리즈의 두 개의 인버터(4056 및 4058) 사이의 커패시터(4054)로 표시된) 커패시터를 삽입함으로써 또는 증폭기(예를 들어, RX 드라이버)의 바이어스를 변경함으로써 수행될 수 있다.

[1684] 도 40c에 도시된 바와 같이, 제 1 인버터(4056)의 슬루 레이트는 저하되고 제 2 인버터(4058)의 AM 잡음은 "증폭"된다.

[1685] 위에 설명된 방법의 예를 구현하면 외부 장비 또는 측정할 필요 없이 자체 교정이 가능해진다. 초기 교정은 생산 테스트 또는 파워 업 할 때 한 번 수행될 수 있다. 통계는 최적의 구성을 도출하고 최적의 심볼 펄스 폭에서 거리를 계산하는 데 사용된다. 옵션으로, 하프 샘플러(half sampler)를 사용하는 온-더-플라이(On-the-fly) TDC 교정은 그렇지 않았으면 대기 시간을 추가하였을 특수한 트레이닝 시퀀스의 필요없이 구현될 수 있다. 이들은 변조된 클록 듀티 사이클을 반환하여 펄스 폭 정보를 유지하는 ADC를 사용하여 DTC 심볼 레벨을 교정하는 종래의 솔루션과 비교할 때 이점이 있다. 다른 종래의 접근법은 사이클이 2개의 동일한 심볼로 구성되는 클록을 매번 송신함으로써 그리고 각각의 출력의 정확성을 체크함으로써 사용하는 TDC 레벨을 교정하기 위해 사용된다. 또한 트레이닝 시퀀스를 사용하는 주기적 교정은 고속 모드로 이동할 때 대기 시간의 지연을 발생하는 일부 예에 의해 회피될 수 있다. 요약하면, DTC 교정을 위한 ADC와 같은 추가 블록 및 연관된 비용, 면적 및 전력의 사용이 절약될 수 있다. 또한, 클록을 TDC에 주입하기 위해 외부 테스터를 사용하는 것이 회피될 수 있다.

[1686] 이전 섹션에서는 STEP 프로토콜의 다양한 양태가 설명된다. 다음의 설명 섹션은 STEP 프로토콜의 일부 사용 사례에 중점을 둔다. 다음에는 특정 사용 사례가 제시되지만, STEP 프로토콜에 따른 통신은 이러한 사용 사례로 제한되지 않는다. STEP 프로토콜은 임의의 통신 애플리케이션에 사용될 수 있다.

[1687] 디바이스 대 디바이스 통신(예를 들어, 전화, 컴퓨터, 태블릿 컴퓨터, 셋톱 박스 등 간의 통신)은 높은 데이터 레이트를 요구한다. 범용 직렬 버스(USB) 2.x, 3.x 또는 선더볼트(Thunderbolt)와 같은 프로토콜에 따른 전통적인 링크는 상당히 높은 데이터 레이트를 제공할 수 있다. 그러나, 데이터 교환을 위한 전력 소비를 낮게 유지하면서 더 높은 데이터 레이트가 요구될 수 있다. 디바이스 대 디바이스 통신에 STEP 프로토콜을 사용하면 더 높은 데이터 레이트와 동시에 낮은 전력 소비를 달성할 수 있다.

[1688] 도 41a 내지 도 41c와 관련하여, 다음에는 외부 통신 링크를 통해 STEP 프로토콜을 사용하는 일부 전자 디바이스 및 시스템이 설명된다.

[1689] 도 41a는 전자 디바이스(4110)의 예를 도시한다. 예를 들어, 전자 디바이스(4110)는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터, 컴퓨터, 텔레비전 세트, 셋톱 박스, 휴대용 데이터 저장 디바이스, 비디오 게임 콘솔 및 가전 디바이스 중 하나일 수 있다.

[1690] 전자 디바이스(4110)는 데이터 케이블(4120)을 수용하도록 구성된 커넥터(4111)를 포함한다. 예를 들어, 커넥

터(4111)는 데이터 케이블(4120)의 대응하는 상대 부분을 수용하도록 구성된 플러그 또는 소켓일 수 있다. 커넥터(4111)는 또한 데이터를 다른 디바이스(도시되지 않음)로 송신하기 위해 데이터 신호(4115)를 케이블(4120)로 출력하도록 구성된다.

[1691] 전자 디바이스(4110)는 또한 데이터 신호(4115)를 생성하기 위한 장치(4112)를 더 포함한다. 데이터 신호(4115)를 생성하기 위한 장치(4112)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호(4115)를 생성하도록 구성된 처리 회로(4113)(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로(4113)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호(4115)를 생성하도록 구성된다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1692] 또한, 데이터 신호(4115)를 생성하기 위한 장치(4112)는 데이터 신호(4115)를 커넥터(4111)로 출력하도록 구성된 출력 인터페이스 회로(4114)를 포함한다.

[1693] 커넥터(4111)는 일부 예에서 데이터를 차동 방식으로 데이터 케이블(4120)로 출력하도록 구성될 수 있다. 그러므로 처리 회로(4113)는 또한 데이터 신호(4115)에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로(4114)는 또한 제 2 데이터 신호를 커넥터(4111)로 출력하도록 구성될 수 있다.

[1694] STEP 프로토콜을 이용함으로써, 전자 디바이스(4110)는 높은 데이터 레이트 및 낮은 전력 소비로 다른 디바이스로 데이터를 출력할 수 있다.

[1695] 도 41b는 전자 디바이스(4130)의 다른 예를 도시한다. 위에서 설명한 전자 디바이스(4110)와 같이, 전자 디바이스(4130)는 예를 들어 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터, 컴퓨터, 텔레비전 세트, 셋톱 박스, 휴대용 데이터 저장 디바이스, 비디오 게임 콘솔 및 가전 디바이스 중 하나일 수 있다.

[1696] 전자 디바이스(4130)는 데이터 케이블(4140)을 수용하도록 구성된 커넥터(4131)를 포함한다. 예를 들어, 커넥터(4131)는 데이터 케이블(4140)의 대응하는 상대 부분(counterpart)을 수용하도록 구성된 플러그 또는 소켓일 수 있다. 커넥터(4131)는 데이터 케이블(4140)로부터 데이터 신호(4135)를 수신하도록 구성된다. 예를 들어, 다른 디바이스는 데이터를 전자 디바이스(4130)에 송신하기 위해 데이터 신호(4135)를 데이터 케이블(4140)에 인가할 수 있다.

[1697] 전자 디바이스(4130)는 또한 데이터 신호(4135)를 디코딩하기 위한 장치(4132)를 더 포함한다. 데이터 신호(4135)를 디코딩하기 위한 장치(4132)는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(4134)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다.

[1698] 또한, 데이터 신호(4135)를 디코딩하기 위한 장치(4132)는 제 1 신호 에지 및 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지 및 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로(4133)를 포함한다. 데이터 신호(4135)를 디코딩하기 위한 장치(4132)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호(4135)를 디코딩하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1699] 커넥터(4131)는 일부 예에서 데이터 케이블(4140)로부터 차동 방식으로 데이터를 수신하도록 구성될 수 있다. 그러므로 커넥터(4131)는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 데이터 케이블(4140)로부터 수신하도록 구성될 수 있다. 따라서, 처리 회로(4134)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다.

[1700] STEP 프로토콜을 사용함으로써, 전자 디바이스(4130)는 높은 데이터 레이트로 다른 디바이스로부터 데이터를 수신하고 데이터를 낮은 전력 소비로 디코딩할 수 있다.

[1701] 위에서 설명한 양태를 요약하기 위해, 도 41c는 데이터 케이블(4153)을 통해 두 개의 전자 디바이스(4151 및 4152)를 포함하는 시스템을 도시한다. 전자 디바이스(4151 및 4152) 사이의 데이터 교환은 높은 데이터 레이트 및 낮은 전력 소비로 전자 디바이스(4151 및 4152) 사이에서 데이터 교환을 가능하게 하기 위해 통신 프로토콜로서 STEP 프로토콜을 사용하여 행해진다. 전자 디바이스(4152 및 4153) 각각은 (예를 들어, 도 41a 및 도 41b와 관련하여 위에서 설명된 바와 같이) STEP 프로토콜에 따른 데이터 송신 및 데이터 수신을 지원할 수 있다.

[1702] 다음에는 STEP 프로토콜에 따른 통신에 적합한 데이터 케이블이 도 41d 및 도 41e와 관련하여 설명된다.

[1703] 도 41d는 데이터 케이블(4160)의 예를 도시한다. 데이터 케이블(4160)은 제 1 전자 디바이스(도시되지 않음)에 결합하기 위한 제 1 커넥터(4161) 및 제 2 전자 디바이스(도시되지 않음)에 결합하기 위한 제 2 커넥터(4162)를 포함한다. 예를 들어, 제 1 및 제 2 커넥터(4161 및 4162)는 전자 디바이스의 대응하는 상대 부분을 수용하도록 구성된 플러그 또는 소켓일 수 있다. 제 1 및 제 2 커넥터(4161, 4162)는 데이터 케이블(4160)의 케이블 단부를 형성한다.

[1704] 제 1 커넥터(4161)는 제 1 전자 디바이스로부터 데이터 신호를 수신하도록 구성된다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있고, 도는, 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 신호는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응한다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1705] 데이터 케이블(4160)은 제 1 커넥터(4161)와 제 2 커넥터(4162) 사이에 결합된 적어도 하나의 중계기 회로(4163)를 더 포함한다. 도 41d에 도시된 바와 같이, 중계기 회로(4163)는 제 1 커넥터(4161)처럼 동일한 하우징(케이싱) 내에 배열될 수 있다. 다른 예에서, 중계기 회로(4163)와 제 1 커넥터(4201)는 별개의 하우징에 배열될 수 있다.

[1706] 적어도 하나의 중계기 회로(4163)는 데이터 신호를 증폭하도록 구성된다. 다시 말해, 중계기 회로(4163)는 증폭된 데이터 신호의 진폭이 데이터 신호의 진폭에 비해 이득 계수(1보다 큰)만큼 증가되도록 데이터 신호의 전력을 증가시킨다. 제 2 커넥터(4162)는 증폭된 데이터 신호를 수신하고 증폭된 데이터 신호를 제 2 전자 디바이스로 출력하도록 구성된다.

[1707] 데이터 케이블(4160)은 옵션으로 하나 이상의 추가 중계기 회로를 포함할 수 있다. 도 41d의 예에서, 데이터 케이블(4160)은 제 2 중계기 회로(4164)를 포함한다. (적어도) 두 개의 중계기 회로(4163 및 4163)는 제 1 커넥터(4161)와 제 2 커넥터(4162) 사이에 직렬로 결합되고, 데이터 신호를 순차적으로 증폭하도록 구성된다. 도 41d에 도시된 바와 같이, 제 2 중계기 회로(4164)는 제 2 커넥터(4162)처럼 동일한 하우징에 배열될 수 있다. 다른 예에서, 제 2 중계기 회로(4164)와 제 2 커넥터(4162)는 별개의 하우징에 배열될 수 있다.

[1708] 도 41d는 양 단부에 중계기가 있는 "액티브" 데이터 케이블을 도시한다. STEP 프로토콜과 함께 하나 이상의 중계기를 사용하면 긴 케이블에 대해 높은 데이터 레이트를 가능하게 할 수 있다. 또한, STEP 프로토콜의 낮은 전력 소비는 중계기의 낮은 열 방출을 가능하게 할 수 있다. 이것은 하우징이 제한된 열 방출 능력만을 나타낼 수 있기 때문에 중계기 회로 및 커넥터가 (예를 들어, 플라스틱으로 제조된) 동일한 하우징에 배치되는 경우에 유리할 수 있다.

[1709] 제 1 커넥터(4161)와 제 2 커넥터(4162)를 연결하기 위해 상이한 타입의 케이블이 사용될 수 있다. 예를 들어, 적어도 하나의 중계기 회로(4163)가 동축 케이블을 통해 제 2 커넥터(4162)에 결합되도록 동축 케이블이 사용될 수 있다. 데이터 신호는 데이터 케이블(4160)을 통해 단일 종단 방식으로 송신될 수 있다. 이러한 구성에서, 적어도 하나의 중계기 회로(4163)는 단일 종단된 증폭된 데이터 신호를 동축 케이블을 통해 제 2 커넥터(4162)로 출력하도록 구성될 수 있다.

[1710] 일부 예에서, 데이터는 대안적으로 데이터 케이블(4160)을 통해 차동 방식으로 송신될 수 있다. 예를 들어, 제 1 커넥터(4161)는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 제 1 전자 디바이스로부터 수신하도록 구성될 수 있다. 따라서, 적어도 하나의 중계기 회로(4163)(및 옵션으로 또한 데이터 케이블의 다른 중계기 회로)는 또한 제 2 데이터 신호를 증폭하도록 구성될 수 있다. 제 2 커넥터(4162)는 또한 증폭된 제 2 데이터 신호를 제 2 전자 디바이스로 출력하도록 구성될 수 있다.

[1711] 동축 구성에서, 적어도 하나의 중계기 회로(4163)는 데이터를 차동 방식으로 송신하기 위한 한 쌍의 동축 케이블을 통해 제 2 커넥터(4162)에 결합될 수 있다. 그 다음에 적어도 하나의 중계기 회로는 증폭된 데이터 신호 및 증폭된 제 2 데이터 신호를 한 쌍의 동축 케이블의 상이한 동축 케이블에 출력하도록 구성된다.

[1712] 동축 케이블의 대안으로서, 트위스트 페어 케이블이 차동 데이터 송신에 사용될 수 있다. 따라서, 적어도 하나의 중계기 회로(4163)는 트위스트 페어 케이블을 통해 제 2 커넥터(4162)에 결합될 수 있으며, 여기서 적어도 하나의 중계기 회로는 증폭된 데이터 신호 및 증폭된 제 2 데이터 신호를 트위스트 페어 케이블의 상이한 라인에 출력하도록 구성된다.

[1713] 전술한 내용에서, 데이터 케이블(4160)을 통한 단일 방향 데이터 처리가 설명되었다. 그러나, 일부 예에서, 양방향 데이터 처리는 데이터 케이블(4160)에 의해 지원될 수 있다. 예를 들어, 제 2 커넥터(4162)는 제 2 전자 디바이스로부터 제 3 데이터 신호를 수신하도록 구성될 수 있다. 제 3 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함한다. 제 4 신호 에지와 제 5 신호 에지는 송신될 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지와 제 6 신호 에지는 송신될 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 제 3 데이터 신호는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응한다. 그러므로 제 3 기간과 제 4 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다. 적어도 하나의 중계기 회로(4163)(및 옵션으로 또한 데이터 케이블의 다른 중계기 회로)는 제 3 데이터 신호를 증폭하도록 구성되고, 제 1 커넥터(4161)는 증폭된 제 3 데이터 신호를 제 1 전자 디바이스로 출력하도록 구성된다.

[1714] 제 1 전자 디바이스로부터 제 2 전자 디바이스로의 데이터 송신에 대해 위에서 설명한 바와 같이, 차동 신호는 또한 제 2 전자 디바이스로부터 제 1 전자 디바이스로의 데이터 송신을 위해 사용될 수 있다.

[1715] 데이터 케이블(4160)을 통한 제 1 전자 디바이스로부터 제 2 전자 디바이스로 및 그 반대로의 데이터 송신은 동시적(일시적)일 수 있다. 그러므로 적어도 하나의 중계기 회로(4163)(및 옵션으로 또한 데이터 케이블의 다른 중계기 회로)는 제 1 데이터 신호 및 제 3 데이터 신호를 동시에 증폭하도록 구성될 수 있다. 유사하게, 데이터 케이블(4160)은 제 1 전자 디바이스로부터 제 2 전자 디바이스로 및 그 반대로의 동시적 데이터 송신을 위한 추가 와이어(예를 들어, 추가 동축 케이블 또는 추가 트위스트 페어 케이블)를 포함할 수 있다.

[1716] 도 41d의 예에서, 데이터 케이블(4160)에 제공되는 데이터 신호는 STEP 프로토콜에 순응한다. 그러나, STEP 프로토콜을 사용하는 데이터 케이블은 또한 다른 프로토콜에 순응하는 신호를 송신하기 위해 사용될 수 있다. 부합하는 데이터 케이블(4170)은 도 41e에 도시된다.

[1717] 데이터 케이블(4170)은 제 1 전자 디바이스(도시되지 않음)에 결합하도록 구성되고 제 1 전자 디바이스로부터 통신 프로토콜(예를 들어, USB 2.x, 3.x 또는 선더볼트)에 순응하는 입력 신호를 수신하도록 구성된 제 1 커넥터(4171)를 포함한다. 또한, 데이터 케이블(4170)은 제 2 전자 디바이스(도시되지 않음)에 결합하도록 구성된 제 2 커넥터(4172)를 포함한다. 예를 들어, 제 1 및 제 2 커넥터(4171 및 4172)는 전자 디바이스의 대응하는 상대 부분을 수용하도록 구성된 플러그 또는 소켓일 수 있다. 제 1 및 제 2 커넥터(4171, 4172)는 데이터 케이블(4170)의 케이블 단부를 형성한다.

[1718] 데이터 케이블(4170)은 또한 제 1 커넥터(4171)와 제 2 커넥터(4172) 사이에 결합된 두 개의 변환 회로(4173 및 4174)를 포함한다. 도 41e에 도시된 바와 같이, 변환 회로(4173 및 4174)는 커넥터(4171 및 4172)처럼 동일한 하우징(케이싱)에 배열될 수 있다. 다른 예에서, 변환 회로(4173 및 4174) 및 커넥터(4171 및 4172)는 별개의 하우징에 배열될 수 있다.

[1719] 두 개의 변환 회로(4173 및 4174) 중 제 1 변환 회로(4173)는 제 1 커넥터(4171)로부터 입력 신호를 수신하고 입력 신호에 기초하여 데이터 신호를 생성하도록 구성된다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일수 있거나, 또는, 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 입력 신호에 인코딩된 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 입력 신호에 인코딩된 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 신호는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응한다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다. 다시 말해, 제 1 변환 회로(4173)는 입력 신호를 STEP 프로토콜로 변환한다.

[1720] 두 개의 변환 회로(4173 및 4174) 중 제 2 변환 회로(4174)는 제 1 변환 회로(4173)로부터 데이터 신호를 수신하고 데이터 신호에 기초하여 통신 프로토콜에 순응하는 출력 신호를 생성하도록 구성된다. 다시 말해, 제 2 변환 회로(4174)는 STEP 프로토콜 순응 데이터 신호를 수신된 입력 신호의 통신 프로토콜로 다시 변환한다.

[1721] 제 2 커넥터(4172)는 출력 신호를 제 2 전자 디바이스로 출력하도록 구성된다.

[1722] 또한 도 41e는 액티브 데이터 케이블을 도시한다. STEP 프로토콜과 상이한 통신 프로토콜에 따른 입력 신호는 데이터 케이블(4170)을 따라 데이터를 높은 레이트로 그리고 저전력으로 전파하기 위한 STEP 프로토콜로 변환된다. 데이터를 출력하기 전에, 데이터는 초기의 통신 프로토콜로 다시 변환된다.

[1723] 데이터 케이블(4160)과 유사하게, 다른 타입의 케이블이 제 1 커넥터(4171)와 제 2 커넥터(4172)를 연결하는데 사용될 수 있다. 예를 들어, 동축 케이블은 제 1 변환 회로(4173)가 동축 케이블을 통해 제 2 변환 회로(4174)에 결합되도록 사용될 수 있다. 데이터 케이블(4170)을 통한 데이터 전송은 일부 예에서 단일 종단일 수 있다. 예를 들어, 제 1 변환 회로(4173)는 단일 종단된 데이터 신호를 동축 케이블을 통해 제 2 변환 회로(4174)로 출력하도록 구성될 수 있다.

[1724] 일부 예에서, 데이터는 대안적으로 데이터 케이블(4170)을 통해 차동 방식으로 송신될 수 있다. 예를 들어, 제 1 변환 회로는 또한 입력 신호(입력 신호는 단일 종단 또는 차동적일 수 있음)에 기초하여 제 2 데이터 신호를 생성하도록 구성될 수 있다. 제 2 데이터 신호는 데이터 신호에 대해 반전된다. 따라서, 제 2 변환 회로(4174)는 제 2 데이터 신호에 더 기초하여 출력 신호(출력 신호는 단일 종단 또는 차동적일 수 있음)를 생성하도록 구성될 수 있다.

[1725] 동축 구성에서, 제 1 변환 회로(4173)는 한 쌍의 동축 케이블을 통해 제 2 변환 회로(4174)에 결합될 수 있으며, 여기서 제 1 변환 회로(4173)는 데이터 신호 및 제 2 데이터 신호를 한 쌍의 동축 케이블의 상이한 동축 케이블에 출력하도록 구성될 수 있다.

[1726] 동축 케이블의 대안으로서, 트위스트 페어 케이블이 차동 데이터 송신에 사용될 수 있다. 따라서, 제 1 변환 회로(4173)는 트위스트 페어 케이블을 통해 제 2 변환 회로(4174)에 결합될 수 있다. 또한, 제 1 변환 회로(4173)는 데이터 신호 및 제 2 데이터 신호를 트위스트 페어 케이블의 상이한 라인에 출력하도록 구성될 수 있다.

[1727] 전술한 내용에서, 데이터 케이블(4170)을 통한 단일 방향 데이터 처리가 설명되었다. 그러나, 일부 예에서, 양방향 데이터 처리가 데이터 케이블(4170)에 의해 지원될 수 있다. 예를 들어, 제 2 커넥터(4172)는 제 2 전자 디바이스로부터 통신 프로토콜에 순응하는 제 2 입력 신호를 수신하도록 구성될 수 있다. 제 2 변환 회로(4174)는 제 2 커넥터(4172)로부터 제 2 입력 신호를 수신하고 제 2 입력 신호에 기초하여 제 3 데이터 신호를 생성하도록 구성된다. 제 3 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함한다. 제 4 신호 에지 및 제 5 신호 에지는 제 2 입력 신호에 인코딩된 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 2 입력 신호에 인코딩된 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 제 3 데이터 신호는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응한다. 그러므로 제 3 기간과 제 4 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다. 제 1 변환 회로(4173)는 제 2 변환 회로(4174)로부터 제 3 데이터 신호를 수신하고 제 3 데이터 신호에 기초하여 통신 프로토콜에 순응하는 제 2 출력 신호를 생성하도록 구성된다. 제 1 커넥터(4171)는 제 2 출력 신호를 제 1 전자 디바이스로 출력하도록 구성된다.

[1728] 데이터 케이블(4170)을 통한 제 1 전자 디바이스로부터 제 2 전자 디바이스로 및 그 반대로의 데이터 송신은 동시적(일시적)일 수 있다. 예를 들어, 제 1 변환 회로(4173)는 데이터 신호와 제 2 출력 신호를 동시에(일시에) 생성하도록 구성될 수 있다.

[1729] 데이터는 예를 들어, 한 방향(예를 들어, 제 1 커넥터(4171)로부터 제 2 커넥터(4172)로)을 향한 네 개의 단일 종단 동축 케이블 및 반대 방향(예를 들어, 제 2 커넥터(4172)로부터 제 1 커넥터(4171)로)을 향한 네 개의 단일 종단 동축 케이블을 사용하는 데이터 케이블(4170)을 통해 전송될 수 있다. 20 Gb/s의 데이터가 각각의 동축 케이블을 통해 전송될 수 있다고 가정하면, 80 Gb/s의 데이터가 데이터 케이블(4170)을 통해 각각의 방향으로 동시에(일시에) 전송되어 총 160 Gb/s의 데이터가 데이터 케이블(4170)을 통해 전송될 수 있다.

[1730] 다른 예에서, 액티브 케이블(4160 및 4170) 대신에 "패시브" 케이블(임의의 액티브 컴포넌트가 없는 케이블)이 두 개의 전자 디바이스 사이에서 데이터 교환을 위해 사용될 수 있다. 위에서 설명된 바와 같이, 단일 또는 다

발의 다수의 동축 케이블을 갖는 패시브 데이터 케이블은 STEP 프로토콜에 따른 데이터 교환을 위해 사용될 수 있다. 예를 들어, STEP 순응 데이터 전송은 각각의 동축 케이블에 대해 행해질 수 있다(단일 종단 데이터 전송). 대안적으로, STEP 순응 데이터 전송은 차동 동축 케이블 쌍(예를 들어, 하나의 STEP 순응 송신 링크를 위한 두 개의 동축 케이블)을 사용하여 행해질 수 있다. 대안적으로, 트위스트 페어 케이블을 갖는 패시브 데이터 케이블이 사용될 수 있다.

[1731] 전자 디바이스 사이의 데이터 교환을 위해 STEP 프로토콜을 사용하면 전력 소비, 비용, 크기 및 진동 위험이 낮추어 질 수 있다.

[1732] STEP 프로토콜의 다른 사용 사례는 다수의 다이 간의 통신 또는 온 다이 통신일 수 있다. 도 42a 내지 도 42c와 관련하여, 통신을 위해 STEP 프로토콜을 사용하는 일부 반도체 패키지 및 다이가 도시된다.

[1733] 도 42a는 반도체 패키지(4200)를 도시한다. 반도체 패키지(4200)는 반도체 전자 컴포넌트를 수용하는 금속, 플라스틱, 유리 또는 세라믹 케이스(하우징)이다. 명확성을 위해, 케이싱은 도 42a에 도시되지 않는다. 반도체 패키지(4200)는 반도체 전자 컴포넌트를 외부에 접촉시키기 위한 하나 이상의 단자(도시되지 않음)를 포함할 수 있다. 예를 들어, 반도체 패키지(4200)는 하나 이상의 리드, 핀 및/또는 콘택 패드를 포함할 수 있다. 또한, 반도체 패키지(4200)는 반도체 전자 컴포넌트의 폐열을 방출시키기 위한 하나 이상의 히트 싱크(도시되지 않음)를 포함할 수 있다.

[1734] 위에서 설명한 바와 같이, 반도체 패키지(4200)는 반도체 전자 컴포넌트를 포함한다. 반도체 패키지(4200)는 적어도 제 1 집적 회로(4211)를 포함하는 제 1 반도체 다이(4210) 및 제 2 집적 회로(4221)를 포함하는 제 2 반도체 다이(4220)를 포함한다. 반도체 다이(4210 및 4220)는 주어진 기능적 회로(즉, 집적 회로(4211 및 4221))가 제조되는 반도체 재료(예를 들어 실리콘)의 (작은) 블록이다. 예를 들어, 제 1 집적 회로(4211) 및 제 2 집적 회로(4221)는 중앙 처리 유닛(Central Processing Unit)(CPU), CPU 코어, 그래픽 처리 유닛(Graphics Processing Unit)(GPU), GPU 코어, 메모리 등 중 하나 이상일 수 있다. 그러나, 반도체 패키지(4200)는 전술한 예로 제한되지 않는다. 제 1 집적 회로(4211) 및 제 2 집적 회로(4221)는 일반적으로 제 1 반도체 다이(4210) 및 제 2 반도체 다이(4220)에서 각각 구현되는 임의의 세트의 전자 컴포넌트일 수 있다.

[1735] 또한, 반도체 패키지(4200)는 데이터 교환을 위해 제 1 반도체 다이(4210)와 제 2 반도체 다이(4220)를 결합하는 송신 링크(4230)를 포함한다.

[1736] 제 1 반도체 다이(4210)는 데이터 송신 신호를 생성하기 위한 장치(4212)를 더 포함한다. 데이터 송신 신호를 생성하기 위한 장치(4212)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지의 시퀀스 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 송신 신호를 생성하도록 구성된 처리 회로(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일수 있거나, 또는, 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 집적 회로(4211)로부터 제 2 집적 회로(4221)로 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 집적 회로(4211)로부터 제 2 집적 회로(4221)로 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1737] 또한, 데이터 신호를 생성하기 위한 장치(4212)는 데이터 링크 신호를 송신 링크(4230)로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[1738] 데이터는 일부 예에서 차동 방식으로 전송될 수 있다. 그러므로 처리 회로는 또한 데이터 송신 신호에 대해 반전된 제 2 데이터 송신 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로는 또한 제 2 데이터 송신 신호를 송신 링크(4230)로 출력하도록 구성될 수 있다.

[1739] STEP 프로토콜을 사용함으로써, 높은 데이터 레이트로, 낮은 대기 시간 및 낮은 전력 소비(예를 들어, 0.5 pJ/비트 미만)로 제 1 집적 회로(4211)로부터 제 2 집적 회로(4221)로 데이터가 송신될 수 있다.

[1740] STEP 프로토콜은 옵션으로 또한 데이터 수신을 위해 사용될 수 있다. 예를 들어, 인터페이스 회로는 또한 송신 링크(4230)를 통해 데이터 수신 신호를 수신하도록 구성될 수 있다. 대안적으로, 제 1 반도체 다이(4210)는 데이터 수신 신호를 수신하기 위한 전용 (제 2) 인터페이스 회로를 포함할 수 있다. 제 1 반도체 다이(4210)는 데이터 수신 신호를 디코딩하기 위한 장치(4213)를 더 포함할 수 있다.

[1741] 데이터 수신 신호를 디코딩하기 위한 장치(4213)는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(예를 들어, TDC)를 포함한다. 또한, 데이터 수신 신호를 디코딩하기 위한 장치(4213)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 집적 회로(4211)를 향한 제 1 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 1 집적 회로(4211)를 향한 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 데이터 수신 신호를 디코딩하기 위한 장치(4213)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하도록 구성된다.

[1742] 일부 예에서, 데이터는 차동 방식으로 수신될 수 있다. 그러므로 인터페이스 회로는 또한 데이터 신호에 대해 반전된 제 2 데이터 수신 신호를 송신 링크(4230)로부터 수신하도록 구성될 수 있다. 따라서, 처리 회로는 제 2 데이터 수신 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지, 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1743] STEP 프로토콜을 사용하면 제 1 집적 회로(4211)가 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 데이터를 수신할 수 있다.

[1744] 제 1 집적 회로(4211)와 데이터를 교환하기 위해, 제 2 집적 회로(4221)는 데이터 수신 신호를 생성하기 위한 대응하는 장치(4222) 및 데이터 송신 신호를 디코딩하기 위한 대응하는 장치(4223)를 포함할 수 있다.

[1745] 반도체 패키지 내에서 다이 간 데이터 교환(inter-die data exchange)에 대한 (엄격한) 요건을 충족시키기 위해, STEP 프로토콜이 적응될 수 있다. 일부 예에서, 더 낮은 변조 방식이 STEP 프로토콜에 사용될 수 있다. 예를 들어, 다양한 예에 대해 위에서 설명된 바와 같이 3 비트보다는 2 비트만이 하나의 신호 에지로 인코딩될 수 있다. 다시 말해, 제 1 집적 회로(4210)로부터 제 2 집적 회로(4220)로 송신될 제 1 데이터는 2 비트(또는 심지어 그 미만)일 수 있다. 일부 예에서, 시간 분해능은 스케일링될 수 있다. 예를 들어, 심볼 분리 시간(즉, 상이한 페이로드 데이터 심볼 간의 시간 차이)은 다른 애플리케이션에 비해 증가될 수 있다. 이것은 전력뿐만 아니라 반도체 다이(4210, 4220) 상의 영역이 절약될 수 있도록 BER을 개선하거나(예를 들어, 10^{-19} 또는 그 이상) 또는 STEP 프로토콜에 따른 통신을 위해 회로에서 레귤레이터를 제거하게 할 수 있다. 일부 예에서, 송신 링크(4230)를 따라서 있는 채널 왜곡이 낮고 등화의 필요성이 더 낮기 때문에, STEP 프로토콜의 위에서 설명한 송신 및/또는 수신 특징 중 일부는 생략될 수 있다.

[1746] 송신 링크(4230)는 여러 다른 방식으로 구현될 수 있다. 다음에는 송신 링크(4230)에 대한 일부 예시적인 구현이 설명된다. 송신 링크(4230)는 예를 들어 패키지에서 짧은 라우팅(예를 들어, 수 밀리미터)에 의해 구현될 수 있다. 예를 들어, 송신 링크(4230)는 하나 이상의 와이어일 수 있고, 또는 송신 링크(4230)는 제 1 반도체 다이(4210) 및 제 2 반도체 다이(4220)를 유지하는 인쇄 회로 기판(PCB) 상의 하나 이상의 전도성 트랙일 수 있다.

[1747] 다른 예에서, 개선된 패키징 방법은 반도체 다이(4210, 4220)를 연결하기 위해 사용될 수 있다. 예를 들어, 제 1 반도체 다이(4210) 및 제 2 반도체 다이(4220)는 제 3 반도체 다이(도시되지 않음) 상에 장착될 수 있고, 송신 링크(4230)는 제 3 반도체 다이의 배선 층 스택의 하나 이상의 전도성 트레이스일 수 있다. 다시 말해, 제 3 반도체 다이는 반도체 다이(4210 및 4220)를 위해 통합된 송신 링크(4230)를 갖는 캐리어로서 사용될 수 있다.

[1748] 온 다이 통신을 위해 STEP 프로토콜을 사용하는 다른 예가 도 42b에 도시된다. 도 42b는 제 1 집적 회로(4250) 및 제 2 집적 회로(4260)를 포함하는 반도체 다이(4240)를 도시한다. 반도체 다이(4240)는 주어진 기능적 회로(즉, 집적 회로(4250, 4260))가 제조되는 반도체 재료(예를 들어, 실리콘)의 (작은) 블록이다. 위에서 설명한 집적 회로(4211, 4221)와 같이, 제 1 집적 회로(4250) 및 제 2 집적 회로(4260)는 임의의 세트의 전자 컴포넌트(예를 들어, CPU 또는 메모리)일 수 있다. 반도체 다이(4240)는 일부 예에서 시스템 온 칩(System on a Chip)(SoC)일 수 있다.

[1749] 반도체 다이(4240)는 제 1 집적 회로(4250)와 제 2 집적 회로(4260)를 결합하는 송신 링크(4245)를 더 포함한다. 예를 들어, 송신 링크(4245)는 반도체 다이(4240)의 배선층 스택에서의 하나 이상의 전도성 트레이스일 수 있다.

[1750] 제 2 집적 회로(4260)와 통신하기 위해, 제 1 집적 회로(4250)는 데이터 송신 신호를 생성하기 위한 장치(4251)를 포함한다. 데이터 송신 신호를 생성하기 위한 장치(4251)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 송신 신호를 생성하도록 구성된 처리

회로(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 제 1 집적 회로(4250)로부터 제 2 집적 회로(4260)로 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 집적 회로(4250)로부터 제 2 집적 회로(4260)로 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1751] 또한, 데이터 송신 신호를 생성하기 위한 장치(4251)는 데이터 송신 신호를 송신 링크(4245)로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[1752] 데이터는 일부 예에서 차동 방식으로 송신될 수 있다. 그러므로, 처리 회로는 또한 데이터 송신 신호에 대해 반전된 제 2 데이터 송신 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로는 또한 제 2 데이터 송신 신호를 송신 링크(4245)로 출력하도록 구성될 수 있다.

[1753] STEP 프로토콜을 사용함으로써, 데이터는 낮은 대기 시간 및 낮은 전력 소비(예를 들어, 0.5 pJ/비트 미만)로 높은 데이터 레이트로 제 1 집적 회로(4250)로부터 제 2 집적 회로(4260)로 송신될 수 있다.

[1754] 옵션으로 STEP 프로토콜은 또한 데이터 수신을 위해 사용될 수 있다. 예를 들어, 인터페이스 회로는 또한 송신 링크(4245)를 통해 데이터 수신 신호를 수신하도록 구성될 수 있다. 대안적으로, 제 1 집적 회로(4250)는 데이터 수신 신호를 수신하기 위한 전용 (제 2) 인터페이스 회로를 포함할 수 있다. 제 1 집적 회로(4250)는 데이터 수신 신호를 디코딩하기 위한 장치(4252)를 더 포함할 수 있다.

[1755] 데이터 수신 신호를 디코딩하기 위한 장치(4252)는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(예를 들어, TDC)를 포함한다. 또한, 데이터 수신 신호를 디코딩하기 위한 장치(4252)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 집적 회로(4250)를 향한 제 1 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 1 집적 회로(4250)를 향한 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 데이터 수신 신호를 디코딩하기 위한 장치(4252)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하도록 구성된다.

[1756] 일부 예에서, 데이터는 차동 방식으로 수신될 수 있다. 그러므로 인터페이스 회로는 또한 데이터 신호에 대해 반전된 제 2 데이터 수신 신호를 송신 링크(4245)로부터 수신하도록 구성될 수 있다. 따라서, 처리 회로는 제 2 데이터 수신 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지, 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1757] STEP 프로토콜을 사용하면 제 1 집적 회로(4250)가 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 데이터를 수신하게 할 수 있다. 수신되고 디코딩된 데이터는 또한 제 1 집적 회로(4250)의 다른 회로에 의해 처리될 수 있다.

[1758] 제 1 집적 회로(4250)와 데이터를 교환하기 위해, 제 2 집적 회로(4260)는 데이터 수신 신호를 생성하기 위한 부합하는 장치(4261) 및 데이터 송신 신호를 디코딩하기 위한 부합하는 장치(4262)를 포함할 수 있다.

[1759] 다이 간 데이터 교환에 대해 위에서 설명한 바와 같이, STEP 프로토콜은 온 다이 데이터 교환을 위한 요건에 적응될 수 있다. 예를 들어, 더 낮은 변조 방식이 사용될 수 있다. 제 1 집적 회로(4250)로부터 제 2 집적 회로(4260)로 송신될 제 1 데이터는 예를 들어, 2 비트 이하일 수 있다. 유사하게, 위에서 설명한 STEP 프로토콜의 송신 및 수신 특징 중 일부는 생략될 수 있다.

[1760] 도 42c에는 다른 반도체 패키지(4270)가 도시된다. 반도체 패키지(4270)는 집적 회로(도시되지 않음)를 포함하는 반도체 다이(4275)를 포함한다. 반도체 다이(4275)는 반도체 패키지(4270)의 케이싱(하우징) 내에 배열된다. 명확성을 위해, 케이싱은 도 42c에 도시되지 않는다. 위에서 설명한 집적 회로(4211, 4221, 4250 및 4260)와 같이, 반도체 다이(4275) 상에 제조된 집적 회로는 임의의 세트의 전자 컴포넌트 (예를 들어, CPU 또는 메모리)일 수 있다. 반도체 패키지(4270)는 옵션으로 반도체 다이(4275)의 폐열을 방출시키기 위한 하나 이상의 히트 싱크(도시되지 않음)를 포함할 수 있다.

[1761] 반도체 패키지(4270)는 반도체 패키지(4270)의 출력 신호를 출력하도록 구성된 출력 단자(4271)를 더 포함한다. 출력 단자(4271)는 적어도 부분적으로 반도체 패키지(4270)의 케이싱의 외부 표면 상에 배열되어, 반도체 패키

지(4270)(및 특히 반도체 다이(4275)의 집적 회로)와 통신하기 위한 외부 엔티티에 의해 접촉될 수 있다. 예를 들어, 출력 단자(4271)는 도 42c에 도시된 반도체 패키지(4270)의 케이싱의 외부 표면에 배열된 리드 또는 핀, 또는 반도체 패키지(4270)의 케이싱의 외부 표면에 배열된 콘택 패드일 수 있다.

[1762] 출력 신호를 제공하기 위해, 반도체 패키지(4270)는 출력 신호를 생성하기 위한 장치(4280)를 포함한다. 출력 신호를 생성하기 위한 장치(4280)는 도 42c에 도시된 개별 (제 2) 다이 상에 제조될 수 있거나, 또는 집적 회로와 함께 반도체 다이(4275) 상에 제조될 수 있다.

[1763] 출력 신호를 생성하기 위한 장치(4280)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 출력 신호를 생성하도록 구성된 처리 회로(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 집적 회로의 제 1 출력 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 집적 회로의 제 2 출력 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 출력 신호를 생성하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1764] 또한, 출력 신호를 생성하기 위한 장치(4280)는 출력 신호를 출력 단자 (4271)로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[1765] 데이터는 일부 예에서 차동 방식으로 전송될 수 있다. 그러므로, 처리 회로는 또한 출력 신호에 대해 반전된 제 2 출력 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로는 또한 제 2 출력 신호를 반도체 패키지(4270)의 다른 출력 단자에 출력하도록 구성될 수 있다.

[1766] STEP 프로토콜을 사용함으로써, 반도체 패키지(4270)의 집적 회로의 출력 데이터는 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 외부 엔티티(예를 들어, 외부 집적 회로)에 송신될 수 있다.

[1767] 옵션으로 STEP 프로토콜은 또한 데이터 수신을 위해 사용될 수 있다. 예를 들어, 반도체 패키지(4270)는 반도체 패키지(4270)를 향한 입력 신호를 수신하도록 구성된 입력 단자(4272)를 더 포함할 수 있다. 도 42c에서 시사되는 바와 같이, 반도체 패키지(4270)의/를 향한 신호를 출력 및 수신하기 위한 단자(4271 및 4272)는 두 개의 별개 물리적 엔티티(예를 들어, 두 개의 리드, 핀 또는 콘택 패드)일 수 있다. 그러나, 일부 예에서, 출력 단자(4271) 및 입력 단자(4272)는 시분할 듀플렉스 구성에서 사용되는 동일한 물리적 엔티티(예를 들어, 단일 리드, 핀 또는 콘택 패드)일 수 있다.

[1768] 반도체 패키지(4270)는 입력 신호를 디코딩하기 위한 장치(4290)를 더 포함할 수 있다. 출력 신호를 생성하기 위한 장치(4280)와 같이, 입력 신호를 디코딩하기 위한 장치(4290)는 반도체 다이(4275) 또는 별개의 다이 상에 (예를 들어, 출력 신호를 생성하기 위한 장치(4280)와 함께) 제조될 수 있다.

[1769] 입력 신호를 디코딩하기 위한 장치(4290)는 입력 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(예를 들어, TDC)를 포함한다. 또한, 데이터 수신 신호를 디코딩하기 위한 장치(4290)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 입력 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 입력 데이터를 결정하도록 구성된 복조 회로를 포함한다. 데이터 수신 신호를 디코딩하기 위한 장치(4290)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다.

[1770] 디코딩된 입력 데이터는 예를 들어, 추가 처리를 위해 반도체 다이(4275)의 집적 회로에 전달될 수 있다.

[1771] 일부 예에서, 데이터는 차동 방식으로 수신될 수 있다. 그러므로, 반도체 패키지(4270)의 다른 입력 단자는 또한 입력 신호에 대해 반전된 제 2 입력 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로는 제 2 입력 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지, 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1772] STEP 프로토콜을 사용하면 짧은 대기 시간 및 적은 전력 소비로 높은 데이터 레이트로 입력 데이터를 수신하게 할 수 있다.

[1773] 도 42a 내지 도 42c와 관련하여 위에서 설명한 다수의 다이 사이의 통신 또는 온 다이 통신을 위해 STEP 프로토콜을 사용하면 더 높은 처리량, 필요한 핀/리드/콘택 패드/등의 감소, 향상된 패키지 라우팅(더 짧은 라우트)

및 감소된 다이 영역 소비를 가능하게 할 수 있다.

[1774] STEP 프로토콜은 반도체 패키지 또는 반도체 다이(예를 들어, SoC)의 기존 직렬 인터페이스를 대체하는 것을 가능하게 할 수 있다. 반도체 패키지의 거리가 짧기 때문에, STEP 프로토콜의 매칭 및 채널 등화 특징이 다른 애플리케이션에 비해 감소될 수 있다. STEP 프로토콜은 반도체 패키지 또는 반도체 다이 내에서 라우팅을 단순화하고 반도체 패키지 또는 반도체 다이에서 데이터 교환을 위한 어려운 전력 요건에 도달하게 할 수 있다.

[1775] STEP 프로토콜의 다른 사용 사례는 차량이다. 차량은 모터(및 옵션으로 파워트레인 시스템)에 의해 구동되는 휠을 포함하는 장치이다. 일부 예에서, 차량은 개인용 차량 또는 상업용 차량일 수 있다. 특히, 차량은 자동차, 트럭, 모터사이클 또는 트랙터일 수 있다. 차량 내의 센서, 프로세서, 액터(actor) 및 통신 모듈의 수가 지속적으로 증가하고 있다. 이에 따라 이들 요소에 의해/사이에서 생성되어 전달되는 데이터의 양이 증가하고 있다. 이들 요소의 상호 연결은 케이블 길이, 중량 및 비용 측면에서 어려운 문제이다. 차량에서 STEP 프로토콜을 사용하면 도 43a 내지 도 43c와 관련하여 설명된 다음의 예로부터 보다 명백해지는 바와 같이 데이터 교환을 개선하게 할 수 있다.

[1776] 도 43a는 차량용 데이터 취합 디바이스(4300)를 도시한다. 데이터 취합 디바이스(4300)는 복수의 제 1 송신 링크(4302-1, 4302-2, ..., 4302-n)를 통해 차량에 설치된 복수의 센서(4301-1, 4301-2, ..., 4301-n)에 결합하도록 구성된 입력 인터페이스 회로(4310)를 포함한다. 도 43a에는 세 개의 센서가 도시되어 있지만, 임의의 수의 센서가 사용될 수 있다는 것을 유의해야 한다. 예를 들어, 입력 인터페이스 회로(4310)는 세 개 초과의 센서 또는 세 개 미만의 센서에 결합될 수 있다. 복수의 센서(4301-1, 4301-2, ..., 4301-n)는 동일하거나 상이한 물리 량을 감지할 수 있다. 예를 들어, 복수의 센서(4301-1, 4301-2, ..., 4301-n) 중 하나 이상은 압력(예를 들어, 타이어 압력), (예를 들어 충격 또는 충돌을 결정하기 위한) 가속도, (예를 들어, 타이어의 조향각도 또는 회전 속도를 결정하기 위한) 자기장, 또는 온도(예를 들어, 대기 온도 또는 모터 온도)를 감지할 수 있다.

[1777] 입력 인터페이스(4310)는 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 센서 데이터를 수신하고, 또한 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 센서 데이터를 취합하도록 구성된다. 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터의 센서 데이터의 취합은 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터의 센서 데이터가 결합된 데이터 세트에 합쳐지는 프로세스이다. 예를 들어, 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 수신되고 각각이 복수의 센서(4301-1, 4301-2, ..., 4301-n) 중 하나의 측정 결과를 서술하는 복수의 데이터 스트림은 복수의 센서(4301-1, 4301-2, ..., 4301-n)의 모든 센서의 측정 결과를 포함하는 단일 데이터 스트림으로 결합된다. 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터의 센서 데이터를 취합하기 위해, 입력 인터페이스(4310)는 예를 들어 프로세서 또는 주문형 집적 회로(Application-Specific Integrated Circuit)(ASIC)와 같은 취합 회로(4313)를 포함할 수 있다.

[1778] 데이터 취합 디바이스(4300)는 데이터 신호를 생성하도록 구성된 처리 회로(4320)를 더 포함한다. 처리 회로(4320)(예를 들어, DTC)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 송신 신호를 생성하도록 구성된다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 취합된 센서 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 취합된 센서 데이터의 제 2 데이터에 대응하는 제 2 시간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1779] 또한, 데이터 취합 디바이스(4300)는 취합된 센서 데이터를 차량의 처리 설비에 포워딩하기 위해 데이터 신호를 제 2 송신 링크(4303)에 출력하도록 구성된 출력 인터페이스 회로(4330)를 포함한다.

[1780] 데이터는 일부 예에서 차동 방식으로 전송될 수 있다. 그러므로, 처리 회로(4320)는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로(4330)는 또한 제 2 데이터 신호를 제 2 송신 링크(4303)로 출력하도록 구성될 수 있다.

[1781] 복수의 센서(4301-1, 4301-2, ..., 4301-n)의 센서 데이터를 취합함으로써, 데이터 취합 디바이스(4300)는 복수의 센서(4301-1, 4301-2, ..., 4301-n)의 복수의 낮은 데이터 레이트 신호 출력을 (예를 들어, 단일 종단된 또는 차동의) 단일 높은 레이트 데이터 신호에 결합하게 할 수 있다. 다시 말해, 처리 회로(4320)는 입력 인터페

이스 회로(4310)에 의해 복수의 제 1 송신 링크(4302-1, 4302-2, ..., 4302-n) 중 단일 송신 링크를 통해 수신된 센서 데이터보다 높은 데이터 레이트를 나타내는 데이터 신호를 생성하도록 구성된다.

[1782] 따라서, 센서 데이터를 평가하기 위한 차량의 처리 설비에 복수의 센서(4301-1, 4301-2, ..., 4301-n)의 센서 데이터(예를 들어, 측정 결과)를 전송하는데 필요한 케이블의 수 및 이에 따른 케이블 길이는 종래의 접근법에 비해 감소될 수 있다. 케이블의 양을 감소시킴으로써, 차량의 무게 및 제조 비용이 감소될 수 있다. 또한, STEP 프로토콜을 사용하면 복수의 센서(4301-1, 4301-2, ..., 4301-n)의 센서 데이터를 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 차량의 처리 설비에 포워딩하게 할 수 있다.

[1783] 일반적으로, 임의의 통신 프로토콜이 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 데이터 취합 디바이스(4300)로의 데이터 전송을 위해 사용될 수 있다. 일부 예에서, STEP 프로토콜은 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 입력 인터페이스 회로(4310)로 센서 데이터를 전송하기 위해 사용될 수 있다. 다시 말해, 복수의 센서(4301-1, 4301-2, ..., 4301-n)는 STEP 프로토콜에 순응하는 센서 신호를 생성하도록 구성될 수 있다(그리고, 예를 들어, 위에서 설명된 하나 이상의 양태에 따른 센서 데이터에 기초하여 센서 신호를 생성하는 장치를 포함한다).

[1784] 일부 예에서, 데이터 취합 디바이스(4300)(예를 들어, 취합 회로(4313))는 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 수신된 개별 센서 신호를 디코딩하지 않고 STEP 순응 센서 신호를 취합된 센서 데이터에 결합하도록 구성될 수 있다.

[1785] 다른 예에서, 데이터 취합 디바이스(4300)는 센서 데이터를 취합하기 전에 센서 신호를 디코딩하도록 구성될 수 있다. 예를 들어, 입력 인터페이스 회로(4310)는 입력 인터페이스 회로(4310)에 의해 복수의 센서(4301-1, 4301-2, ..., 4301-n) 중 하나로부터 수신된 센서 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(4311)를 포함할 수 있다. 또한, 입력 인터페이스 회로(4310)의 복조 회로는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 복수의 센서(4301-1, 4301-2, ..., 4301-n) 중 하나의 제 1 센서 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 복수의 센서(4301-1, 4301-2, ..., 4301-n) 중 하나의 제 2 센서 데이터를 결정하도록 구성될 수 있다. 복조 회로(4312)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다. 취합 회로(4313)는 디코딩된 센서 데이터 조각을 취합된 센서 데이터에 결합할 수 있다.

[1786] 일부 예에서, 데이터는 복수의 센서(4301-1, 4301-2, ..., 4301-n)로부터 차동 방식으로 수신될 수 있다. 그러므로 입력 인터페이스 회로(4310)는 또한 센서 신호에 대해 반전된 제 2 센서 신호를 복수의 센서(4301-1, 4301-2, ..., 4301-n) 중 하나로부터 수신하도록 구성될 수 있다. 따라서, 처리 회로(4311)는 제 2 센서 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지, 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1787] 다른 센서의 센서 신호는 동일한 방식으로 디코딩될 수 있다.

[1788] STEP 프로토콜을 사용하면 짧은 대기 시간 및 낮은 전력 소비로 입력 데이터를 수신할 수 있다.

[1789] 위에서 설명한 바와 같이, STEP 프로토콜은 차량에서 (고도의) 효율적인 데이터 취합 유닛을 구현하기 위해 사용될 수 있다. 또한, STEP 프로토콜은 센서 데이터를 평가하는 차량의 유닛을 처리하기 위해 사용될 수 있다. 예시적인 차량용 데이터 처리 디바이스(4340)가 도 43b에 도시된다.

[1790] 데이터 처리 디바이스(4340)는 (제 1) 송신 링크(4341)로부터 데이터 신호를 수신하도록 구성된 입력 인터페이스 회로(4343)를 포함한다. 데이터 신호는 복수의 센서로부터의 센서 데이터를 반송한다. 예를 들어, 데이터 신호는 위에서 설명한 데이터 취합 디바이스에 의해 생성될 수 있다. 데이터 신호는 STEP 프로토콜에 순응한다.

[1791] 데이터 처리 디바이스(4340)는 데이터 신호를 디코딩할 수 있게 하는 디코딩하기 위한 장치(4350)를 포함한다. 디코딩하기 위한 장치(4350)는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 (제 1) 처리 회로(4351)(예를 들어, TDC)를 포함한다. 되풀이하면, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다.

[1792] 또한, 디코딩하기 위한 장치(4350)는 제 1 신호 에지 및 제 2 신호 에지 사이의 제 1 기간에 기초하여 센서 데이터의 제 1 데이터를 결정하고 제 2 신호 에지 및 제 3 신호 에지 사이의 제 2 기간에 기초하여 센서 데이터의

제 2 데이터를 결정하도록 구성된 복조 회로(4352)를 포함한다. 디코딩하기 위한 장치(4350)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 디코딩하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1793] 일부 예에서, 센서 데이터는 송신 링크(4341)로부터 차동 방식으로 수신될 수 있다. 그러므로, 입력 인터페이스 회로(4343)는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 송신 링크(4341)로부터 수신하도록 구성될 수 있다. 따라서, 처리 회로(4351)는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성될 수 있다.

[1794] 데이터 처리 디바이스(4340)는 센서 데이터의 제 1 데이터 및 제 2 데이터에 기초하여 차량의 제어 가능한 디바이스에 대한 제어 데이터를 생성하도록 구성된 프로세서(4244)를 더 포함한다. 제어 가능한 디바이스는 외부 제어 신호에 응답하는 차량에 설치된 임의의 유닛 또는 기구일 수 있다. 예를 들어, 제어 가능한 디바이스는 모터, 전기 모터, 전자 디바이스, 액추에이터, 통신 디바이스(모듈) 등일 수 있다.

[1795] 데이터 처리 디바이스(4340)는 옵션으로 제어 가능한 디바이스에 대한 제어 신호를 생성하기 위한 장치(4360)를 더 포함할 수 있다. 제어 신호를 생성하기 위한 장치(4360)는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하는 제어 신호를 생성하도록 구성된 다른 (제 2) 처리 회로(4361)(예를 들어, DTC)를 포함한다. 제 4 신호 에지 및 제 5 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 4 기간에 의해 분리된다. 다른 처리 회로(4361)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 제어 신호를 생성하도록 구성된다. 즉, 제 3 기간과 제 4 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1796] 또한, 제어 신호를 생성하기 위한 장치(4360)는 제어 신호를 차량의 제어 가능한 디바이스에 포워딩하기 위해 데이터 신호를 다른 (제 2) 송신 링크(4342)에 출력하도록 구성된 출력 인터페이스 회로(4362)를 포함한다.

[1797] 제어 데이터는 일부 예에서 다른 송신 링크(4342)에 차동 방식으로 출력될 수 있다. 그러므로, 다른 처리 회로(4361)는 또한 제어 신호에 대해 반전된 제 2 제어 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로(4362)는 또한 제 2 제어 신호를 다른 송신 링크(4342)로 출력하도록 구성될 수 있다.

[1798] STEP 프로토콜을 사용함으로써, 데이터 처리 디바이스(4340)는 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 차량의 다른 디바이스와 통신할 수 있다.

[1799] 일부 예에서, 데이터 처리 디바이스(4340)는 판독 전용 메모리(Read-Only Memory)(ROM), 랜덤 액세스 메모리(Random Access Memory)(RAM) 및/또는 비 휘발성 데이터 저장소와 같은 메모리 디바이스(4345)를 더 포함할 수 있다. 메모리 디바이스(4345)는 프로세서(4344)에 의해 출력된 데이터(예를 들어, 제어 데이터, 업데이트된 구성/교정 데이터 등)를 저장하기 위해 또는 프로세서(4344)에 대한 데이터(예를 들어, 소프트웨어, 구성/교정 데이터 등)를 저장하기 위해 사용될 수 있다. 일부 예에서, STEP 프로토콜은 또한 프로세서(4344)와 메모리 디바이스(4345) 사이의 데이터 교환을 위해 사용될 수 있다.

[1800] 예를 들어, 다른 처리 회로(4361)는 또한 메모리 디바이스(4345)에 기입될 프로세서(4344)의 데이터를 포함하는 메모리 디바이스(4345)에 대한 기입 신호를 생성하도록 구성될 수 있다. 예를 들어, 다른 처리 회로(4361)는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지, 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하는 기입 신호를 생성하도록 구성될 수 있다. 제 7 신호 에지 및 제 8 신호 에지는 메모리 디바이스(4345)에 기입될 프로세서(4344)의 제 1 데이터에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 메모리 디바이스(4345)에 기입될 프로세서(4344)의 제 2 데이터에 대응하는 제 6 기간에 의해 분리된다. 다른 처리 회로(4361)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 기입 신호를 생성하도록 구성된다. 메모리 디바이스(4345)는 기입 신호를 디코딩하기 위한 부합하는 장치 및 기입 신호의 디코딩된 데이터를 저장하기 위한 메모리 요소를 포함할 수 있다.

[1801] 유사하게, 메모리 디바이스(4345)는 STEP 프로토콜에 순응하여 프로세서(4344)에 대한 데이터를 포함하는 판독 신호를 제공할 수 있다. 디코딩하기 위한 장치(4350)는 판독 신호를 디코딩하고 판독 신호의 디코딩된 데이터를 프로세서(4344)에 제공하기 위해 사용될 수 있다. 처리 회로(4351)는 메모리 디바이스(4345)에 의해 출력된 판독 신호에서 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지, 및 제 1 타입의 제 12 신호 에지의 시퀀스를 결정하도록 구성될 수 있다. 또한, 복조 회로(4352)는 제 10 신호 에지 및 제 11 신호 에지 사이의

제 7 기간에 기초하여 프로세서(4344)에 대한 제 1 데이터를 결정하고 제 11 신호 에지 및 제 12 신호 에지 사이의 제 8 기간에 기초하여 프로세서(4344)에 대한 제 2 데이터를 결정하도록 구성될 수 있다. 복조 회로(4352)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 판독 신호를 디코딩하도록 구성된다.

[1802] 도 43c는 위에서 설명된 데이터 취합 디바이스(4380) 및 데이터 처리 디바이스(4390)와 함께 복수의 센서(4371-1, 4371-2, ..., 4371-n)를 포함하는 차량(4370)을 도시한다. 요소는 도 43c에서 시사되는 바와 같이 STEP 프로토콜에 순응하는 데이터를 교환한다.

[1803] 위에서 설명한 것과 유사하게, 데이터 취합 디바이스(4380)는 복수의 제 1 송신 링크(4372-1, 4372-2, ..., 4372-n)를 통해 복수의 센서(4371-1, 4371-2, ..., 4371-n)에 결합하도록 구성된 제 1 인터페이스 회로를 포함한다. 센서 데이터는 복수의 센서(4371-1, 4371-2, ... 4371-n)로부터의 STEP 프로토콜에 순응하여 취합 디바이스(4380)에 송신된다. 입력 인터페이스는 또한 복수의 센서(4371-1, 4371-2, ..., 4371-n)로부터의 센서 데이터를 취합하도록 구성된다. 데이터 취합 디바이스(4380)의 처리 회로는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된다. 제 1 신호 에지 및 제 2 신호 에지는 취합된 센서 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 취합된 센서 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 다시 말해, 처리 회로는 STEP 프로토콜에 순응하는 데이터 신호를 생성한다. 따라서, 제 3 기간과 제 4 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다. 데이터 취합 디바이스(4380)의 제 2 인터페이스 회로는 데이터 신호를 제 2 송신 링크(4373)로 출력하도록 구성된다.

[1804] 데이터 취합 디바이스(4380)는 복수의 센서(4371-1, 4371-2, ..., 4371-n)로부터의 다수의 로우 레이트 데이터 스트림을 단일 고속 데이터 신호에 결합할 수 있게 한다. 예를 들어, 데이터 신호의 데이터 레이트는 복수의 제 1 송신 링크(4372-1, 4372-2, ..., 4372-n) 중 단일 송신 링크를 통해 수신된 각각의 센서 데이터의 데이터 레이트보다 적어도 3, 4, 5, 10 또는 20 배 초과할 수 있다.

[1805] 데이터 처리 디바이스(4390)는 제 2 송신 링크(4373)를 통해 데이터 취합 디바이스(4380)에 결합된다. 데이터 처리 디바이스(4390)는 제 2 송신 링크(4373)로부터 데이터 신호를 수신하도록 구성된 제 3 인터페이스 회로를 포함한다. 또한, 데이터 처리 디바이스(4390)는 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 데이터 처리 디바이스(4390)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 센서 데이터의 제 3 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 센서 데이터의 제 4 데이터를 결정하도록 구성된 복조 회로를 추가로 포함한다. 다시 말해서, 데이터 처리 디바이스(4390)는 STEP 프로토콜에 순응하는 데이터 신호를 디코딩하기 위한 장치를 포함한다. 예를 들어, 복조 회로는 STEP 프로토콜에 순응하는 데이터 신호를 복조하도록 구성된다.

[1806] 데이터 처리 디바이스(4390)의 프로세서(4391)는 센서 데이터의 제 3 데이터 및 제 4 데이터에 기초하여 차량의 제어 가능한 디바이스(4376)에 대한 제어 데이터를 생성하도록 구성된다. 도 43c의 예에서, 제어 가능한 디바이스(4376)는 무선 통신을 위한 통신 모듈이다.

[1807] 도 43c에 도시된 바와 같이, 데이터 처리 디바이스(4390)는 메모리 디바이스(4392)와 같은 추가 요소를 포함할 수 있다. 또한, 프로세서(4391)와 데이터 처리 디바이스(4390)의 다른 요소 사이의 데이터 교환은 STEP 프로토콜에 기초할 수 있다.

[1808] 제어 데이터를 제어 가능한 디바이스(4376)에 송신하기 위해, 데이터 처리 디바이스는 STEP 프로토콜에 순응하는 제어 신호를 생성하기 위한 장치를 더 포함한다. 제어 신호를 생성하기 위한 장치는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지, 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하는 제어 신호를 생성하도록 구성된 다른 처리 회로를 포함한다. 제 7 신호 에지 및 제 8 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 6 기간에 의해 분리된다. 다른 처리 회로는 STEP 프로토콜에 순응하는 제어 신호를 생성하도록 구성된다. 즉, 제 5 기간과 제 6 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1809] 제어 신호를 생성하기 위한 장치는 제어 가능한 디바이스(4376)에 결합된 제 3 송신 링크(4374)로 데이터 신호를 출력하도록 구성된 제 4 인터페이스 회로를 더 포함한다.

[1810] 따라서, 제어 가능한 디바이스(4376)는 효율적인 방식으로 복수의 센서(4371-1, 4371-2, ..., 4371-n)의 센서 데이터에 기초하여 제어될 수 있다. 특히, 차량(4370)의 개별 요소 사이에서 데이터 전송은 높은 레이트로, 낮은 대기 시간 및 낮은 전력 소비로 이루어질 수 있다. 또한, 케이블의 양은 종래의 통신 방식에 비해 감소될 수 있다.

[1811] 무선 통신을 위한 통신 모듈로서 제어 가능한 디바이스(4376)의 예시적인 구현을 다시 참조하면, 제어 신호는, 예를 들어, 통신 모듈이 이러한 정보 조각에 기초하여 무선 주파수 캐리어 신호(무선 주파수 발진 신호)를 변조할 수 있도록 차량(4370) 외부의 백엔드 또는 네트워크에 송신될 데이터에 관한 정보를 포함할 수 있다.

[1812] 제 3 송신 링크(4374)가 다소 길면, 신호 감쇠가 현저해질 수 있다. 따라서, 중계기 회로(4375)는 옵션으로 데이터 처리 디바이스(4390)의 제 4 인터페이스 회로와 제어 가능한 디바이스(4376) 사이에 결합될 수 있다. 중계기 회로(4375)는 제 3 송신 링크로부터 제어 신호를 수신하고 제어 신호를 증폭하도록 구성된다. 그 다음에 증폭된 제어 신호는 중계기 회로(4375)에 의해 제어 가능한 디바이스(4376)로 출력된다.

[1813] 도 43a 내지 도 43c와 관련하여 위에서 설명된 송신 링크는 복수의 상이한 방식으로 구현될 수 있다. 송신 링크의 특정 구현은 예를 들어 송신 링크의 길이에 기초하여 선택될 수 있다. 예를 들어, 송신 링크는 PCB 상의 하나 이상의 트레이스, 하나 이상의 동축 케이블, 하나 이상의 플랫 플렉스 케이블, 하나 이상의 이더넷 케이블(예를 들어 CAT5, CAT6 등), 하나 이상 (차폐) 트위스트 페어 케이블, 하나 이상의 파이버, 이들의 조합 등으로서 구현될 수 있다. 그러나, 도 43a 내지 도 43c와 관련하여 설명된 위 예는 위에서 언급한 타입의 송신 링크로 제한되지 않는다.

[1814] STEP 프로토콜의 다른 사용 사례는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터 또는 컴퓨터와 같은 전자 디바이스의 센서와 애플리케이션 프로세서 사이의 데이터 교환일 수 있다. 예를 들어, 카메라의 일부 구현은 높은 분해능을 갖는 단일 비디오 데이터 스트림 또는 다수의 비디오 데이터 스트림을 생성하는 높은 처리량의 카메라 모듈을 통합할 수 있다.

[1815] 각각 60 fps의 프레임 레이트로 10 비트/픽셀을 생성하는 네 개의 카메라를 갖는 4K 카메라 모듈을 가정하면, 필요로 하는 처리량은 다음과 같다:

$$8\frac{\text{메가픽셀}}{\text{카메라}}\cdot 4\ \text{카메라}\cdot 10\frac{\text{비트}}{\text{픽셀}}\cdot 60\ \text{fps} = 19.2\ \text{Gbit/s}$$

[1816]

[1817] 각각 30 fps의 프레임 레이트로 10 비트/픽셀을 생성하는 두 개의 카메라를 갖는 8K 카메라 모듈을 가정하면, 필요한 처리량은 다음과 같다:

$$32\frac{\text{메가픽셀}}{\text{카메라}}\cdot 2\ \text{카메라}\cdot 10\frac{\text{비트}}{\text{픽셀}}\cdot 30\ \text{fps} = 19.2\ \text{Gbit/s}$$

[1818]

[1819] 약 20 Gbit/s의 처리량을 지원하기 위해, DPHY 및/또는 집적 회로 간(Inter-Integrated Circuit)(I2C)과 같은 프로토콜을 사용하는 종래의 접근법에서는 대규모의 와이어(예를 들어, 12개의 매칭된 고주파 와이어를 비롯한 16개의 와이어)가 사용되고, 와이어, 커넥터 등으로 인해 크기(풋프린트)가 커지는 결과를 초래할 것이다. 대규모의 와이어에 요구되는 대형 커넥터는 비싸다. 종래의 해결책은 또한 디바이스 내의 케이블을 위해 고가의 체적 공간을 필요로 하여 보드 상에서의 고가의 라우팅을 초래한다.

[1820] STEP 프로토콜을 사용하면 풋프린트가 상당히 감소될 수 있는 방식으로 데이터를 재 배열할 수 있다. 또한, 비용 및 전력 소비가 감소될 수 있다. 다음에는 카메라 모듈과 애플리케이션 프로세서 사이에서 데이터를 교환하기 위해 STEP 프로토콜을 사용하는 전자 디바이스의 일부 예가 도 44a 내지 도 44c와 관련하여 설명된다.

[1821] 도 44a는 적어도 하나의 센서 디바이스(4410)(예를 들어, 이미징 디바이스) 및 처리 디바이스(4420)(예를 들어, 이미지 처리 디바이스)를 포함하는 전자 디바이스(4400)(예를 들어, 이미징 시스템 또는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터 또는 컴퓨터와 같은 통신 디바이스)를 도시한다. 센서 디바이스(4410) 및 처리 디바이스(4420)는 송신 링크(4405)(예를 들어, 플랫 케이블)를 통해 결합된다.

[1822] 센서 디바이스(4410)는 이미지 데이터를 생성하도록 구성된 카메라 요소(모듈)(4411)를 포함한다. 예를 들어,

이미지 데이터는 적어도 하나의 비디오 데이터 스트림을 포함할 수 있다. 비디오 데이터 스트림은, 예를 들어 5.5, 10 또는 15 Gbit/s 초과의 데이터 레이트를 나타낼 수 있다. 카메라 요소(4411)는 하나 이상의 카메라를 포함할 수 있다. 예를 들어, 카메라 요소(4411)는 제 1 비디오 데이터 스트림을 생성하도록 구성된 제 1 카메라 및 제 2 비디오 데이터 스트림을 생성하도록 구성된 제 2 카메라를 포함할 수 있다. 카메라 요소(441)는 제 1 비디오 데이터 스트림 및 제 2 비디오 데이터 스트림을 포함하는 이미지 데이터를 생성하도록 구성된다. 다시 말해, 카메라 요소는 복수의 카메라의 비디오 데이터 스트림을 하나의 이미지 데이터 스트림으로 결합하도록 구성될 수 있다.

[1823] 카메라 요소(4411)의 이미지 데이터를 출력하기 위해, 센서 디바이스(4410)는 STEP 프로토콜에 순응하는 통신 회로(4412)를 포함한다. 통신 회로(4412)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된 제 1 처리 회로(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 이미지 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 이미지 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1824] 또한, 통신 회로(4412)는 데이터 신호를 (커넥터(4413)를 통해) 송신 링크(4405)로 출력하도록 구성된 제 1 인터페이스 회로를 포함한다. 즉, 제 1 인터페이스 회로는 출력 인터페이스 회로로서 작용한다.

[1825] 일부 예에서 데이터는 송신 링크(4405)에 차동 방식으로 출력될 수 있다. 그러므로, 제 1 처리 회로는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 따라서, 제 1 인터페이스 회로는 또한 제 2 데이터 신호를 송신 링크(4405)로 출력하도록 구성될 수 있다.

[1826] 이미지 데이터는 송신 링크(4405)를 통해 처리 디바이스(4420)에 전송된다. 데이터 신호를 디코딩하기 위해, 처리 디바이스(4420)는 STEP 프로토콜에 순응하는 통신 회로(4422)를 포함한다. 통신 회로(4422)는 (커넥터(4423)를 통해) 송신 링크(4405)로부터 데이터 신호를 수신하도록 구성된 제 2 인터페이스 회로를 포함한다. 제 2 인터페이스 회로는 입력 인터페이스 회로로서 작용한다.

[1827] 또한, 통신 회로(4422)는 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 제 2 처리 회로(예를 들어, TDC)를 포함한다.

[1828] 또한, 통신 회로(4422)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 데이터를 결정하도록 구성된 복조 회로를 포함한다. 복조 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 복조하도록 구성된다. 따라서, 제 3 기간과 제 4 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1829] 데이터가 차동 방식으로 송신되면, 제 2 인터페이스 회로는 또한 (통신 회로 (4412)의 제 1 처리 회로에 의해 생성된) 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 제 2 처리 회로는 제 2 데이터 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지, 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1830] 복조된 데이터는 추가 처리를 위해 애플리케이션 프로세서(4421)에 포워딩된다. 예를 들어, 애플리케이션 프로세서(4421)는 제 3 데이터 및 제 4 데이터에 기초하여 이미지 데이터를 결정(복원)하도록 구성될 수 있다.

[1831] 카메라 요소(4411)와 애플리케이션 프로세서(4421) 사이에서 데이터를 교환하기 위해 STEP 프로토콜을 사용하면 송신 링크에 대해 적은 수의 와이어 및 소형의 커넥터만을 사용할 수 있게 할 수 있다. 예를 들어, 약 20 Gbit/s의 처리량의 경우, 여섯 개의 와이어를 갖는 플랫 케이블이 이미지를 카메라 요소(4411)로부터 애플리케이션 프로세서(4421)로 전송하기에 충분할 수 있다. STEP 프로토콜은 단일 차동 링크 상에서 20 Gbit/s 이상의 데이터 레이트를 가능하게 할 수 있기 때문에, 두 개의 와이어를 사용하는 단일 STEP 링크가 카메라 요소(4411)로부터 애플리케이션 프로세서(4421)로의 데이터 전송을 위해 충분할 수 있다. 유사하게, 두 개의 추가 와이어가 (예를 들어, 제어 데이터를 전송하기 위해) 애플리케이션 프로세서(4421)로부터 카메라 요소(4411)로의 데이터 전송을 위해 사용될 수 있다. 또한, 전력 공급 장치에는 두 개 이상의 와이어(전력 및 접지)가 사용된다. 예를 들어, D-PHY 또는 M-PHY 프로토콜을 사용하는 종래의 접근법과 비교하여, 상당한 양의 와이어가 절약될 수

있다. 따라서, 케이블에 대해 더 작은 커넥터가 사용될 수 있다. STEP 링크는 (오늘날 카메라 직렬 인터페이스(Camera Serial Interface)(CSI) 프로토콜에 따라 사용되는) D-PHY 또는 M-PHY 링크와 거의 동일한 스펙트럼 대역폭을 차지할 수 있다. 플랫 케이블 및 커넥터의 고주파 품질(예를 들어, 손실, 매칭, 절연 등)을 개선할 필요가 없기 때문에, 동일한 품질의 송신 링크가 STEP 인터페이스에 사용될 수 있다. 결과적으로, 필요한 공간과 비용이 감소될 수 있다. 또한, 높은 레이트, 낮은 대기 시간 및 낮은 전력의 데이터 교환이 가능해질 수 있다.

[1832] 일부 예에서, 센서 디바이스(4410)는 또한 센서 데이터를 생성하도록 구성된 적어도 하나의 추가 센서 요소를 포함할 수 있다. 예를 들어, 추가 센서 요소는 (디지털) 마이크로폰 및 광 센서 중 하나일 수 있다. 따라서, 통신 회로(4412)의 제 1 처리 회로는 또한 센서 데이터를 데이터 신호에 포함하도록 구성될 수 있다. 다시 말해, 제 1 처리 회로는 이미지 데이터 및 센서 데이터를 취합할 수 있다.

[1833] 위에서 설명된 바와 같이, 일부 예에서 데이터는 카메라 요소(4411)로부터 애플리케이션 프로세서(4421)로뿐만 아니라 그 반대로도 송신될 수 있다. 예를 들어, 처리 디바이스(4420)는 카메라 요소(4411) 및/또는 추가 센서 요소를 제어하기 위한 제어 데이터를 STEP 프로토콜에 순응하여 센서 디바이스(4410)에 송신할 수 있다.

[1834] 제어 데이터는 애플리케이션 프로세서(4421)에 의해 생성된다. 통신 회로(4422)는 대응하는 제어 신호를 출력하기 위한 제 3 처리 회로(예를 들어, DTC)를 포함할 수 있다. 제 3 처리 디바이스는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지, 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하는 제어 신호를 생성하도록 구성된다. 제 7 신호 에지 및 제 8 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 6 기간에 의해 분리된다. 제 3 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다. 따라서, 제 5 기간과 제 6 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1835] 제 2 인터페이스 회로는 제어 신호를 (커넥터(4423)를 통해) 송신 링크(4405)로 출력하도록 구성된다. 다시 말해, 제 2 인터페이스 회로는 출력 인터페이스 회로로서 작용한다.

[1836] 되풀이하면, 제어 데이터는 일부 예에서 송신 링크(4405)에 차동 방식으로 출력될 수 있다. 그러므로, 제 3 처리 회로는 또한 제어 신호에 대해 반전된 제 2 제어 신호를 생성하도록 구성될 수 있다. 따라서, 제 2 인터페이스 회로는 또한 제 2 제어 신호를 송신 링크(4405)로 출력하도록 구성될 수 있다.

[1837] 제어 데이터는 송신 링크(4405)를 통해 센서 디바이스(4410)에 전송된다. 센서 디바이스(4410)의 제 1 인터페이스 회로는 또한 제어 신호를 수신하도록 구성된다. 다시 말해, 제 1 인터페이스 회로는 입력 인터페이스 회로로서 작용한다.

[1838] STEP 프로토콜에 순응하는 제어 신호를 디코딩하기 위해, 센서 디바이스(4410)의 통신 회로(4412)는 또한 제어 신호에서 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지, 및 제 1 타입의 제 12 신호 에지의 시퀀스를 결정하도록 구성된 제 4 처리 회로(예를 들어, TDC)를 포함할 수 있다.

[1839] 또한, 통신 회로(4412)는 제 10 신호 에지 및 제 11 신호 에지 사이의 제 7 기간에 기초하여 제 1 제어 데이터를 결정하고 제 11 신호 에지 및 제 12 신호 에지 사이의 제 8 기간에 기초하여 제 2 제어 데이터를 결정하도록 구성된 복조 회로를 포함할 수 있다. 복조 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 제어 신호를 복조하도록 구성된다. 따라서, 제 7 기간과 제 8 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1840] 도 44a에 도시된 바와 같이 제어 데이터가 차동 방식으로 송신되면, 제 1 인터페이스 회로는 또한 (통신 회로(4422)의 제 3 처리 회로에 의해 생성된) 제 2 제어 신호를 수신하도록 구성될 수 있다. 따라서, 제 4 처리 회로는 제 2 제어 신호에 더 기초하여 제 10 신호 에지, 제 11 신호 에지, 및 제 12 신호 에지를 결정하도록 구성될 수 있다.

[1841] 복조된 데이터는 카메라 요소(4411) 및/또는 센서 디바이스(4410)의 추가 센서(들)에 포워딩되어 카메라 요소(4411) 및/또는 추가 센서(들)가 애플리케이션 프로세서(4421)의 제어 데이터에 따라 자신의 동작을 적응할 수 있도록 한다.

[1842] 카메라 요소(4411) 및 통신 회로(4412)가 센서 디바이스(4410) 내에서 별개 요소로서 도시되어 있지만, 일부 예

에서 통신 회로(4412)의 기능성은 카메라 요소(4411)에 통합될 수 있다는 것을 유의해야 한다. 따라서, 본 개시내용의 예는 또한 통신 회로(4412)(의 기능성)를 포함하는 카메라 요소에 관련된다. 유사하게, 본 개시내용의 예는 또한 통신 회로(4422)(의 기능성)를 포함하는 애플리케이션 프로세서에 관련된다. 다시 말해, 카메라 요소(4411) 및 애플리케이션 프로세서(4421)는 기본적으로 STEP 프로토콜에 순응하는 데이터를 교환할 수 있다. 카메라 요소(4411)는 단지 센서 요소에 대한 예일 뿐이라는 것을 유의해야 한다. 또한 다른 센서 요소(예를 들어, 카메라 요소(4411) 이외의 다른 물리 량을 감지하기 위한 센서 요소)는 기본적으로 STEP 프로토콜에 순응하는 데이터를 교환할 수 있다. 따라서, 본 개시내용의 예는 일반적으로 통신 회로(4412)(의 기능성)를 포함하는 센서 요소에 관련된다.

[1843] STEP 프로토콜을 사용하여 데이터를 변환 및 교환하기 위한 브리지 회로를 사용하는 전자 디바이스(4430)(예를 들어, 이미징 시스템 또는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터 또는 컴퓨터와 같은 통신 디바이스)의 다른 예가 도 44b에 도시된다.

[1844] 전자 디바이스(4430)는 적어도 하나의 센서 디바이스(4440)(예를 들어, 이미징 디바이스) 및 처리 디바이스(4450)(예를 들어, 이미지 처리 디바이스)를 포함한다. 센서 디바이스(4440) 및 처리 디바이스(4450)는 송신 링크(4435)(예를 들어, 플랫 케이블)를 통해 결합된다.

[1845] 센서 디바이스(4440)는 센서 요소(4441)를 포함한다. 도 44b에서 시사되는 바와 같이, 센서 요소(4441)는 (예를 들어, 도 44a와 관련하여 위에서 설명된) 카메라 요소일 수 있다. 그러나, 센서 요소(4441)는 일반적으로 임의 종류의 센서 요소(예를 들어, 마이크로폰, 자기 센서 또는 광 센서)일 수 있다. 센서 요소(4441)는 센서 데이터를 생성한다. 센서 요소(4441)는 종래의 프로토콜에 순응하는 센서 데이터를 생성하도록 구성될 수 있다. 예를 들어, 센서 데이터가 이미지 데이터를 포함하면, 센서 요소(4441)는 CSI 프로토콜에 순응하는 센서 데이터를 생성하도록 구성될 수 있다. 유사하게, 센서 요소(4441)는 예를 들어 센서 데이터가 사운드 데이터를 포함하면 I2C 프로토콜 또는 I2S(Integrated-Interchip-Sound) 프로토콜에 순응하는 센서 데이터를 생성하도록 구성될 수 있다. 그러나, 센서 요소(4441)는 이러한 특정 프로토콜로 제한되지 않으며, 임의의 적합한 프로토콜이 사용될 수 있다.

[1846] 센서 데이터를 처리 디바이스(4450)에 송신하기 위해, 센서 디바이스(4440)는 제 1 브리지 회로(4442)를 포함한다. 제 1 브리지 회로(4442)는 센서 데이터를 STEP 프로토콜로 변환하고 변환된 센서 데이터를 송신 링크(4435)로 출력한다.

[1847] 제 1 브리지 회로(4442)는 센서 요소(4441)로부터 센서 데이터를 수신하도록 구성된 제 1 인터페이스 회로를 포함한다. 제 1 인터페이스 회로는 센서 요소(4441)에 의해 사용되는 각각의 프로토콜에 순응하는 센서 데이터를 수신하도록 구성된다. 예를 들어, 센서 데이터가 이미지 데이터를 포함하면, 제 1 인터페이스 회로는 CSI 프로토콜에 순응하는 이미지 데이터를 수신하도록 구성될 수 있다.

[1848] 제 1 브리지 회로(4442)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된 제 1 처리 회로(예를 들어, DTC)를 더 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 센서 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 센서 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다. 따라서 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1849] 또한, 제 1 브리지 회로(4442)는 (커넥터(4443)를 통해) 데이터 신호를 송신 링크(4435)로 출력하도록 구성된 제 2 인터페이스 회로를 포함한다.

[1850] 일부 예에서 센서 데이터는 송신 링크(4435)에 차동 방식으로 출력될 수 있다. 그러므로, 제 1 처리 회로는 또한 데이터 신호에 대해 반전된 제 2 데이터 신호를 생성하도록 구성될 수 있다. 따라서, 제 2 인터페이스 회로는 또한 제 2 데이터 신호를 송신 링크(4435)로 출력하도록 구성될 수 있다.

[1851] 센서 데이터는 송신 링크(4435)를 통해 처리 디바이스(4450)에 전송된다. 원하는/요구되는 방식(포맷)의 센서 데이터를 애플리케이션 프로세서(4450)에 제공하기 위해, 처리 디바이스(4450)는 다른 브리지 회로(4452)를 포함한다.

[1852] 제 2 브리지 회로(4452)는 (커넥터(4453)를 통해) 송신 링크(4435)로부터 데이터 신호를 수신하도록 구성된 제 3 인터페이스 회로를 포함한다. 또한, 제 2 브리지 회로(4452)는 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 제 2 처리 회로(예를 들어, TDC)를 포함한다.

[1853] 또한, 제 2 브리지 회로(4452)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 데이터를 결정하도록 구성된 복조 회로를 포함한다. 복조 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 복조하도록 구성된다. 따라서, 제 3 기간과 제 4 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1854] 센서 데이터가 차동 방식으로 송신되면, 제 3 인터페이스 회로는 또한 (제 1 브리지 회로(4442)의 제 1 처리 회로에 의해 생성된) 제 2 데이터 신호를 수신하도록 구성될 수 있다. 따라서, 제 2 처리 회로는 제 2 데이터 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1855] 제 2 브리지 회로(4452)는 또한 제 1 데이터 및 제 2 데이터에 기초하여 (복조 회로에 의해 복조된 데이터에 기초하여) 통신 프로토콜에 순응하는 출력 신호를 생성하도록 구성된 변조 회로를 포함한다. 제 2 브리지 회로(4452)의 제 4 인터페이스 회로는 출력 신호를 애플리케이션 프로세서(4451)로 출력하도록 구성된다. 따라서, 제 2 브리지 회로(4452)는 STEP 프로토콜로부터 애플리케이션 프로세서(4451)에 의해 지원되는 데이터 프로토콜로의 데이터 변환을 수행한다. 예를 들어, 통신 프로토콜은 주변 컴포넌트 인터커넥트 익스프레스(PCIe), D-PHY, M-PHY 또는 USB 중 하나일 수 있다.

[1856] 데이터는 (위에서 설명된 바와 같은) 단일 종단 방식으로 또는 차동 방식으로 제 2 브리지 회로에 의해 출력될 수 있다. 따라서, 일부 예에서, 변조 회로는 또한 출력 신호에 대해 반전된 제 2 출력 신호를 생성하도록 구성될 수 있다. 제 4 인터페이스 회로는 또한 제 2 출력 신호를 애플리케이션 프로세서(4451)로 출력하도록 구성될 수 있다.

[1857] 이어서 출력 신호의 센서 데이터는 애플리케이션 프로세서(4451)에 의해 평가된다. 예를 들어, 센서 데이터가 이미지 데이터를 포함하면, 애플리케이션 프로세서(4451)는 출력 신호로부터 이미지 데이터를 결정(복원)하도록 구성될 수 있다.

[1858] 브리지 회로(4442 및 4452)는 또한 일부 예에서 애플리케이션 프로세서(4451)로부터 센서 요소(4441)로의 데이터 송신을 가능하게 하도록 구성될 수 있다. 예를 들어, 애플리케이션 프로세서(4451)는 제어 데이터를 생성하도록 구성될 수 있다. 따라서, 제 2 브리지 회로(4452)의 제 4 인터페이스는 애플리케이션 프로세서(4451)로부터 사용되는 통신 프로토콜에 순응하는 제어 데이터를 수신하도록 구성될 수 있다. 제어 데이터는 제 2 브리지 회로(4452)에 의해 STEP 프로토콜로 변환된다. 그러므로 제 2 브리지 회로(4452)는, 예를 들어, 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지, 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하는 제어 신호를 생성하도록 구성된 제 3 처리 회로(예를 들어, DTC)를 포함할 수 있다. 제 7 신호 에지 및 제 8 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 6 기간에 의해 분리된다. 제 3 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다. 따라서, 제 5 기간과 제 6 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1859] 따라서, 제 2 브리지 회로(4452)의 제 3 인터페이스 회로는 (커넥터(4453)를 통해) 제어 신호를 송신 링크(4435)로 출력하도록 구성될 수 있다.

[1860] 센서 데이터에 대해 위에서 설명한 것과 유사하게, 제어 데이터는 일부 예에서 송신 링크(4435)에 차동 방식으로 출력될 수 있다. 그러므로 제 3 처리 회로는 또한 제어 신호에 대해 반전된 제 2 제어 신호를 생성하도록 구성될 수 있다. 따라서, 제 3 인터페이스 회로는 또한 제 2 제어 신호를 송신 링크(4435)로 출력하도록 구성될 수 있다.

[1861] 제어 데이터는 송신 링크(4435)를 통해 센서 디바이스(4440)에 전송된다. 센서 디바이스(4440)의 제 2 인터페이스 회로는 또한 제어 신호를 수신하도록 구성될 수 있다.

[1862] STEP 프로토콜에 순응하는 제어 신호를 디코딩하기 위해, 제 1 브리지 회로(4442)는 또한 제어 신호에서 제 1

타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지, 및 제 1 타입의 제 12 신호 에지의 시퀀스를 결정하도록 구성된 제 4 처리 회로(예를 들어, TDC)를 추가로 포함할 수 있다.

[1863] 또한, 제 1 브리지 회로(4442)는 제 10 신호 에지 및 제 11 신호 에지 사이의 제 7 기간에 기초하여 제 1 제어 데이터를 결정하고 제 11 신호 에지 및 제 12 신호 에지 사이의 제 8 기간에 기초하여 제 2 제어 데이터를 결정하도록 구성된 복조 회로를 포함할 수 있다. 복조 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 제어 신호를 복조하도록 구성된다. 따라서, 제 7 기간과 제 8 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1864] 제어 데이터가 차동 방식으로 송신되면, 제 2 인터페이스 회로는 또한 (제 2 브리지 회로(4452)의 제 3 처리 회로에 의해 생성된) 제 2 제어 신호를 수신하도록 구성될 수 있다. 따라서, 제 4 처리 회로는 제 2 제어 신호에 더 기초하여 제 10 신호 에지, 제 11 신호 에지, 및 제 11 신호 에지를 결정하도록 구성될 수 있다.

[1865] 이어서 제어 데이터는 센서 요소(4441)에 포워딩된다. 예를 들어, 제 1 브리지 회로(4442)의 제 1 인터페이스는 센서 요소(4441)와 제 1 브리지 회로(4442) 사이의 통신에 사용되는 통신 프로토콜에 순응하는 제 1 제어 데이터 및 제 2 제어 데이터를 출력하도록 구성될 수 있다.

[1866] 전자 디바이스(4400)에 대해 위에서 설명한 것과 유사하게, STEP 프로토콜에 따라 센서 요소(4441)와 애플리케이션 프로세서(4451) 사이의 데이터 교환을 가능하게 하기 위해 브리지 회로(4442 및 4452)를 사용하면 송신 링크(4435)에 대해 적은 수의 와이어 및 소형의 커넥터만을 사용하는 것이 가능해질 수 있다. 결과적으로 필요로 하는 공간과 비용이 감소될 수 있다. 또한, 높은 레이트, 낮은 대기 시간 및 낮은 전력 데이터 교환이 가능해질 수 있다. 브리지 회로(4442 및 4452)를 사용하면 센서 요소(4441) 및 애플리케이션 프로세서(4451)가 기본적으로 STEP 프로토콜을 지원하지 않더라도 STEP 프로토콜에 순응하는 데이터를 교환할 수 있게 할 수 있다.

[1867] 제 1 브리지 회로(4441)는 또한 도 44c에 도시된 바와 같이 애플리케이션 프로세서(4451)와 복수의 센서 요소의/복수의 센서에 대한 데이터를 교환하기 위해 사용될 수 있다. 도 44c는 도 44b에 도시된 센서 디바이스(4440)와 비교하여 두 개의 추가 센서 요소(4474 및 4475)를 갖는 센서 디바이스(4470)를 포함하는 전자 디바이스(4460)를 도시한다.

[1868] 따라서, 제 1 브리지 회로(4442)의 제 1 인터페이스는 세 개의 센서 요소로부터 센서 데이터를 수신한다. 그러나, 세 개의 센서 요소는 단지 예시적인 목적으로 도시된 것이라는 것을 주목하여야 한다. 일반적으로, 임의의 수의 센서 요소가 사용될 수 있다. 다시 말해, 제 1 브리지 회로(4442)의 제 1 인터페이스는 적어도 두 개의 센서 요소로부터 센서 데이터를 수신하도록 구성될 수 있다.

[1869] 도 44c에서 시사되는 바와 같이, 상이한 센서 요소(4441, 4474 및 4475)는 이들 각자의 센서 데이터를 송신하기 위해 상이한 프로토콜을 사용할 수 있다. 따라서, 제 1 브리지 회로(4442)의 제 1 인터페이스는 상이한 프로토콜(예를 들어, CSI 프로토콜, I2C 프로토콜 및 I2S 프로토콜)에 순응하는 센서 요소로부터의 센서 데이터를 (동시에) 수신하도록 구성될 수 있다.

[1870] 도 44a 내지 도 44c와 관련하여 위에서 설명된 센서 요소 애플리케이션 프로세서 인터커넥트는 센서 요소와 애플리케이션 프로세서 사이에 적은 수의 와이어만을 사용할 수 있게 할 수 있다. 예를 들어, (고주파) 커넥터뿐만 아니라 송신 링크로서 사용되는 플랫 케이블은 도 44a 내지 도 44c에 도시된 예에 따라 소형으로 선택될 수 있다. 크기의 감소는 송신 링크의 양쪽에 있는 디바이스에 STEP 프로토콜을 통합함으로써 또는 표준 프로토콜로부터 STEP 프로토콜/인터페이스로의 센서 모듈 데이터를 번들링하고 재배열하는 외부 브리지 회로(예를 들어, 주변 브리지 실리콘(periphery bridge silicon))를 사용함으로써 가능해질 수 있다. STEP 프로토콜을 사용하여 데이터를 번들링/재배열하고 송신 링크(예를 들어, 플랫 케이블)를 통해 전달함으로써, 센서 모듈은 플랫 케이블의 적은 수의 와이어 및 소형 커넥터를 갖는 애플리케이션 프로세서에 연결될 수 있다. 위의 예로부터 알 수 있는 바와 같이, 제안된 아키텍처는 또한 STEP 인터페이스에 의해 제공된 바와 같이 몇몇 센서 모듈(예를 들어 카메라, 디지털 마이크로폰, 광 센서 등)을 하나의 직렬 고속 버스 쪽으로 멀티플렉싱할 수 있다. 다수의 센서 인터페이스가 지원되며 STEP 인터페이스를 통해 애플리케이션 프로세서에 연결될 수 있다.

[1871] 제안된 아키텍처는 모바일 폰(스마트 폰), 랩톱 컴퓨터, 컴퓨터 또는 태블릿 컴퓨터와 같은 여러 전자 디바이스에 사용될 수 있다. 카메라 요소가 도 44a 내지 도 44c의 예에서 설명되지만, 일반적으로 임의의 타입의 센서 요소가 사용될 수 있다는 것을 유의해야 한다. 도 44a 내지 도 44c에 도시된 아키텍처는 카메라 요소로 제한되지 않는다.

[1872] 위에서 시사한 바와 같이, STEP 프로토콜에 대한 다른 사용 사례는 모바일 통신 디바이스일 수 있는데 왜냐하면 STEP 프로토콜이 낮은 전력 소비로 높은 레이트 및 낮은 대기 시간 데이터 교환을 가능하게 할 수 있기 때문이다.

[1873] 도 45a는 양태에 따른 사용자 디바이스(4500)를 도시한다. 사용자 디바이스(4500)는 일부 양태에서 모바일 디바이스일 수 있고 애플리케이션 프로세서(4505), 베이스밴드 프로세서(4510)(베이스밴드 모듈이라고도 지칭됨), 라디오 프론트 엔드 모듈(Radio Front End Module)(RFEM)(4515), 메모리(4520), 연결 모듈(4525), 근거리 통신(Near Field Communication)(NFC) 제어기(4530), 오디오 드라이버(4535), 카메라 드라이버(4540), 터치 스크린(4545), 디스플레이 드라이버(4550), 센서(4555), 착탈식 메모리(4560), 전원 관리 집적 회로(Power Management Integrated Circuit)(PMIC)(4565) 및 스마트 배터리(4570)를 포함한다.

[1874] 일부 양태에서, 애플리케이션 프로세서(4505)는 예를 들어 하나 이상의 CPU 코어 및 캐시 메모리, LDO 레귤레이터, 인터럽트 제어기, 직렬 주변기기 인터페이스(Serial Peripheral Interface)(SPI)와 같은 직렬 인터페이스, I2C 또는 범용 프로그램 가능 직렬 인터페이스 모듈, 실시간 클록(Real Time Clock)(RTC), 간격 및 워치독 타이머를 포함하는 타이머 카운터, 범용 입력-출력(Input-Output)(IO), 보안 디지털/멀티미디어 카드(Secure Digital/Multi-Media Card)(SD/MMC) 또는 유사한 것과 같은 메모리 카드 제어기, USB 인터페이스, 모바일 산업 프로세서 인터페이스(Mobile Industry Processor Interface)(MIPI) 인터페이스 및 조인트 테스트 액세스 그룹(Joint Test Access Group)(JTAG) 테스트 액세스 포트 중 하나 이상을 포함할 수 있다.

[1875] 일부 양태에서, 베이스밴드 모듈(4510)은 예를 들어 하나 이상의 집적 회로를 포함하는 솔더 다운(solder-down) 기판, 메인 회로 기판에 납땜된 단일 패키지 집적 회로, 및/또는 두 개 이상의 집적 회로를 포함하는 멀티 칩 모듈로서 구현될 수 있다.

[1876] 도 44a 내지 도 44c와 관련하여 위에서 설명된 바와 같이, STEP 프로토콜은 애플리케이션 프로세서(4505)와 센서(4555)를 결합하기 위해 사용될 수 있다. 유사하게, 데이터를 교환하는 사용자 디바이스(4500)의 다른 요소는 STEP 인터페이스/STEP 프로토콜을 사용하여 결합될 수 있다.

[1877] 도 45b는 양태에 따른 기지국 또는 인프라스트럭처 장비 라디오 헤드(4580)를 도시한다. 기지국 라디오 헤드(4580)는 애플리케이션 프로세서(4581), 베이스밴드 모듈(4582), 하나 이상의 RFEM(4583), 메모리(4584), 전력 관리 회로(4585), 전력 티(power tee) 회로(4586), 네트워크 제어기(4587), 네트워크 인터페이스 커넥터(4588), 위성 네비게이션 수신기 모듈(4589), 및 사용자 인터페이스(4590) 중 하나 이상을 포함할 수 있다.

[1878] 일부 양태에서, 애플리케이션 프로세서(4581)는 하나 이상의 CPU 코어 및 캐시 메모리, LDO 레귤레이터, 인터럽트 제어기, SPI와 같은 직렬 인터페이스, I2C 또는 범용 프로그램 가능 직렬 인터페이스 모듈, RTC, 간격 및 워치독 타이머를 포함하는 타이머 카운터, 범용 IO, SD/MMC 또는 유사한 것과 같은 메모리 카드 제어기, USB 인터페이스, MIPI 인터페이스 및 JTAG 테스트 액세스 포트 중 하나 이상을 포함할 수 있다.

[1879] 일부 양태에서, 베이스밴드 프로세서(4582)는 예를 들어 하나 이상의 집적 회로를 포함하는 솔더 다운 기판, 메인 회로 기판에 납땜된 단일 패키지 집적 회로 또는 두 개 이상의 집적 회로를 포함하는 멀티 칩 모듈로서 구현될 수 있다

[1880] 일부 양태에서, 메모리(4584)는 동적 랜덤 액세스 메모리(Dynamic Random Access Memory)(DRAM) 및/또는 동기식 동적 랜덤 액세스 메모리(Synchronous Dynamic Random Access Memory)(SRAM)를 포함하는 휘발성 메모리와, 고속 전기 소거 가능 메모리(일반적으로 플래시 메모리라고 지칭함), 상 변화 랜덤 액세스 메모리(Phase change Random Access Memory)(PRAM), 자기 저항성 랜덤 액세스 메모리(Magnetoresistive Random Access Memory)(MRAM) 및/또는 3 차원 크로스 포인트(three-dimensional crosspoint)(3D XPoint) 메모리를 포함하는 비 휘발성 메모리(Non-Volatile Memory)(NVM) 중 하나 이상을 포함할 수 있다. 메모리(4584)는 하나 이상의 솔더 다운 패키지 집적 회로, 소켓형 메모리 모듈 및 플러그-인 메모리 카드 중 하나 이상으로서 구현될 수 있다.

[1881] 일부 양태에서, 전력 관리 집적 회로(4585)는 전압 레귤레이터, 서지 보호기, 전력 경보 검출 회로 및 배터리 또는 커패시터와 같은 하나 이상의 백업 전력 소스 중 하나 이상을 포함할 수 있다. 전력 경보 검출 회로는 브라운 아웃(brown out)(전압 부족) 및 서지(과전압) 조건 중 하나 이상을 검출할 수 있다.

[1882] 일부 양태에서, 전력 티 회로(4586)는 단일 케이블을 사용하여 기지국 라디오 헤드(4580)에 전력 공급 및 데이터 연결의 둘 모두 제공하기 위해 네트워크 케이블로부터 인출되는 전력을 제공할 수 있다.

[1883] 일부 양태에서, 네트워크 제어기(4587)는 이더넷과 같은 표준 네트워크 인터페이스 프로토콜을 사용하여 네트워크와의 연결성을 제공할 수 있다. 네트워크 연결성은 전기(일반적으로 구리 인터커넥트라고 지칭함), 광학 또는 무선 중 하나인 물리적 연결을 사용하여 제공될 수 있다.

[1884] 일부 양태에서, 위성 네비게이션 수신기 모듈(4589)은 글로벌 포지셔닝 시스템(Global Positioning System)(GPS), GLONASS(Globalnaya Navigatsionnaya Sputnikovaya Sistema(Globalnaya Navigatsionnaya Sputnikovaya Sistema), 갈릴레오(Galileo) 및/또는 바이두(BeiDou)와 같은 하나 이상의 네비게이션 위성 콘스텔레이션에 의해 송신된 신호를 수신 및 디코딩하기 위한 회로를 포함할 수 있다. 수신기(4589)는 위치 데이터 또는 시간 데이터 중 하나 이상을 포함할 수 있는 데이터를 애플리케이션 프로세서(4581)에 제공할 수 있다. 애플리케이션 프로세서(4581)는 시간 데이터를 사용하여 다른 무선 기지국과 동작을 동기화할 수 있다.

[1885] 일부 양태에서, 사용자 인터페이스(4590)는 리셋 버튼과 같은 물리적 또는 가상 버튼, 발광 다이오드(Light Emitting Diode)(LED)와 같은 하나 이상의 표시기 및 디스플레이 스크린 중 하나 이상을 포함할 수 있다.

[1886] 사용자 디바이스(4500)에 대해 위에서 설명된 것과 유사하게, 서로 데이터를 교환하는 기지국 라디오 헤드(4580)의 요소는 낮은 전력 소비로 높은 레이트, 낮은 대기 시간 데이터 교환을 가능하게 하기 위해 STEP 인터페이스/STEP 프로토콜을 사용하여 결합될 수 있다.

[1887] 본 개시내용에서 설명되는 무선 통신 회로는 3세대 파트너십 프로젝트(3^{rd} Generation Partnership Project) - 표준화된 모바일 통신 네트워크 또는 시스템 중 하나에 따라 동작하도록 구성될 수 있다. 모바일 또는 무선 통신 시스템은, 예를 들어, 5G NR(5^{th} Generation New Radio), LTE(Long-Term Evolution), LTE-A(LTE-Advanced), HSPA(High Speed Packet Access), UMTS(Universal Mobile Telecommunication System) 또는 UTRAN(UMTS Terrestrial Radio Access Network), e-UTRAN(evolved-UTRAN), GSM(Global System for Mobile Communication), EDGE(Enhanced Data rates for GSM Evolution) 네트워크, 또는 GERAN(GSM/EDGE Radio Access Network)에 대응할 수 있다. 대안적으로, 무선 통신 회로는 상이한 표준, 예를 들어 WIMAX(Worldwide Inter-operable for Microwave Access) 네트워크 IEEE 802.16 또는 WLAN(Wireless Local Area Network) IEEE 802.11를 갖는 모바일 통신 네트워크, 일반적으로, OFDMA(Orthogonal Frequency Division Multiple Access) 네트워크, TDMA(Time Division Multiple Access) 네트워크, CDMA(Code Division Multiple Access) 네트워크, WCDMA(Wideband-CDMA) 네트워크, FDMA(Frequency Division Multiple Access) 네트워크, SDMA(Spatial Division Multiple Access) 네트워크 등에 따라 동작하도록 구성될 수 있다.

[1888] 다음에는 STEP 프로토콜/인터페이스를 사용하여 무선 통신 디바이스 내의 라디오 헤드 시스템을 파티셔닝하기 위한 일부 예가 도 46a 내지 도 46c 및 도 47a 내지 도 47d와 관련하여 설명된다.

[1889] 도 46a는 무선 시스템(4600)의 제 1 예를 도시한다. 무선 시스템(4600)은 PCB(4605)를 포함한다. 적어도 제 1 다이(4610) 및 제 2 다이(4615)가 PCB(4605) 상에 배치된다. 제 1 다이(4610)는 환경으로 방사될 송신 데이터를 생성하도록 구성된 베이스밴드 프로세서(4611)를 포함한다. 제 2 다이(4615)는 무선 주파수 모뎀(4616)을 포함한다. 무선 주파수 모뎀(4616)은 송신 데이터에 기초하여 무선 주파수 송신 신호를 생성하도록 구성된다. 도 46a의 예에서, 무선 주파수 모뎀(4616)은 서브 mm-파 표준(예를 들어, LTE, UMTS, EDGE, WLAN IEEE 802.11 또는 블루투스)에 순응하는 무선 주파수 송신 신호를 생성하도록 구성된다. 또한, 제 2 다이(4615)는 무선 주파수 송신 신호를 처리하도록 구성된 RFEM(4617)을 포함할 수 있다. 예를 들어, RFEM(4617)은 전력 증폭기(Power amplifier)(PA), 저잡음 증폭기(Low-Noise Amplifier)(LNA), 아날로그 필터, 엔벨로프 트랙킹(Envelope Tracking)(ET) 회로 등 중 하나 이상을 포함할 수 있다. (처리된) 무선 주파수 송신 신호는 하나 이상의 동축 케이블(4618)을 통해 (예를 들어, 상이한 주파수 대역마다) 하나 이상의 안테나를 포함하는 안테나 모듈(4619)에 공급된다.

[1890] 송신 데이터를 무선 주파수 모뎀(4616)에 송신하기 위해, 제 1 다이(4610)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 송신 신호를 생성하도록 구성된 처리 회로(예를 들어, DTC)를 더 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성

된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1891] 또한, 제 1 다이(4610)는 데이터 송신 신호를 제 1 다이(4610)와 제 2 다이(4615)를 결합하는 송신 링크(4601)로 출력하도록 구성된 인터페이스 회로를 포함한다.

[1892] 일부 예에서 데이터는 차동 방식으로 전송될 수 있다. 그러므로, 처리 회로는 또한 데이터 송신 신호에 대해 반전된 제 2 데이터 송신 신호를 생성하도록 구성될 수 있다. 따라서, 인터페이스 회로는 또한 제 2 데이터 송신 신호를 송신 링크(4601)로 출력하도록 구성될 수 있다.

[1893] 데이터 송신 신호는 송신 링크(4601)를 통해 제 2 다이(4615)에 의해 수신된다.

[1894] STEP 프로토콜을 사용함으로써, 데이터는 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 제 1 다이(4610)로부터 무선 주파수 모뎀(4616)으로 송신될 수 있다.

[1895] STEP 프로토콜은 옵션으로 또한 데이터 수신을 위해 사용될 수 있다. 예를 들어, 제 1 다이(4610)의 인터페이스 회로는 또한 송신 링크(4601)를 통해 제 2 다이(4615)로부터 데이터 수신 신호를 수신하도록 구성될 수 있다. 대안적으로, 제 1 다이(4610)는 데이터 수신 신호를 수신하기 위한 전용 (제 2) 인터페이스 회로를 포함할 수 있다.

[1896] STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하기 위해, 제 1 다이(4610)는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로(예를 들어, TDC)를 더 포함할 수 있다. 또한, 제 1 다이(4610)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함할 수 있다. 복조 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하도록 구성된다.

[1897] 일부 예에서, 데이터는 차동 방식으로 수신될 수 있다. 그러므로, 제 1 다이(4610)의 인터페이스 회로는 또한 송신 링크(4601)로부터 데이터 수신 신호에 대해 반전된 제 2 데이터 수신 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로는 제 2 데이터 수신 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1898] STEP 프로토콜을 사용하면, 제 1 다이(4610)가 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 제 2 다이(4615)로부터 데이터를 수신할 수 있게 할 수 있다.

[1899] 제 1 다이(4610)와 데이터를 교환하기 위해, 제 2 다이(4615)는 (예를 들어, 위에서 설명한 하나 이상의 양태에 따라) 데이터 수신 신호를 생성하기 위한 회로 및 데이터 송신 신호를 디코딩하기 위한 회로를 포함할 수 있다.

[1900] 도 46a에 도시된 무선 시스템(4600)은 또한 mm-파를 사용하여 통신할 수 있다. mm-파 통신을 위한 다른 무선 주파수 모뎀(4621)의 일 부분(4621-2)을 포함하는 제 3 다이(4620)가 PCB(4605) 상에 배열될 수 있다. 제 1 다이(4610)는 다른 무선 주파수 모뎀(4621)의 다른 부분(4621-1)을 포함한다. 다시 말해, 다른 무선 주파수 모뎀(4621)은 상이한 다이에서 구현되는 두 개의 부분으로 분할된다.

[1901] 다른 무선 주파수 모뎀(4621)은 베이스밴드 프로세서(4611)에 의해 생성된 추가 송신 데이터에 기초하여 적어도 하나의 다른 무선 주파수 송신 신호를 생성하도록 구성된다. 예를 들어, 상이한 송신 편파(예를 들어, 수평(H) 및 수직(V))에 대해 다른 무선 주파수 송신 신호는 다른 무선 주파수 모뎀(4621)에 의해 생성될 수 있다. 도 46a의 예에서, 다른 무선 주파수 모뎀(4621)은 mm-파 표준(예를 들어, 5G NR 또는 무선 기가비트(Wireless Gigabit)(WiGig))에 순응하는 다른 무선 주파수 송신 신호를 생성하도록 구성된다. 하나 이상의 다른 무선 주파수 송신 신호는 하나 이상의 동축 케이블(4622)을 통해 하나 이상의 라디오 헤드(4623, 4624)에 공급된다. 하나 이상의 라디오 헤드(4623, 4624)는 RFEM 및 하나 이상의 안테나를 나타낸다.

[1902] 제 1 다이(4610)는 제 1 다이(4610)와 제 2 다이(4615) 사이의 데이터 교환에 대해 위에서 설명한 STEP 프로토콜에 순응하는 데이터를 제 3 다이(4620)와 교환하도록 구성된다. 예를 들어, 베이스밴드 프로세서에 의해 생성된 송신 데이터와 관련된 데이터는 제 1 다이(4610)로부터 제 2 다이(4615)로 송신된다. 특히, 송신 데이터에 기초하여 다른 무선 주파수 모뎀(4621)의 제 1 부분(4621-1)에 의해 생성된 데이터는 다른 무선 주파수 모뎀(4621)의 제 2 부분(4621-2)으로 송신되며, 그 반대로도 가능하다. 예를 들어, 제 1 다이(4610)와 제 2 다이(4615) 사이의 데이터 교환에 사용되는 처리 회로, 다른 처리 회로 및 인터페이스 회로는 또한 제 1 다이(461

0)와 제 3 다이(4620) 사이의 데이터 교환에 사용될 수 있다. 대안적으로, 제 1 다이(4610)와 제 2 다이(4615) 사이의 데이터 교환에 사용되는 처리 회로, 다른 처리 회로 및 인터페이스 회로와 동일한 기능성을 나타내는 전용 회로가 제 1 다이(4610)와 제 3 다이(4620) 사이의 데이터 교환에 사용될 수 있다.

[1903] 다시 말해, 도 46a는 베이스밴드 프로세서를 포함하는 제 1 다이가 STEP 프로토콜을 통해 무선 주파수 모뎀의 적어도 일부를 포함하는 제 2 다이와 통신하는 무선 시스템을 도시한다.

[1904] 도 46b는 도 46a에 도시된 무선 시스템(4600)의 약간의 변형인 다른 무선 시스템(4630)을 도시한다. 무선 시스템(4630)에서, RFEM(4617)의 기능성은 제 2 다이(4615)로부터 PCB(4605)와는 별개로 배열된 다른 라디오 헤드(4635)로 옮겨진다. 라디오 헤드(4635)는 PCB(4605) 상에 배열되지 않는다. 다시 말해, 라디오 헤드(4635)는 도 46a와 관련하여 위에서 설명한 RFEM(4617) 및 안테나 모듈(4619)의 기능성을 나타낸다. 그 외에, 무선 시스템(4630)은 무선 시스템(4600)과 동일하다.

[1905] 도 46c는 추가 무선 시스템(4640)을 도시한다. 무선 시스템(4640)은 도 46a 및 도 46b와 관련하여 위에서 설명된 무선 시스템(4600 및 4630)과 유사하다. 무선 시스템(4640)은 PCB(4665) 상에 배열된 제 1 다이(4650) 및 제 2 다이(4660)를 포함한다. 제 1 다이(4650)는 베이스밴드 프로세서를 포함한다. 제 2 다이(4660)는 무선 주파수 모뎀의 적어도 일부를 포함한다. 제 1 다이(4650) 및 제 2 다이(4660)는 무선 시스템(4600 및 4630)에 대해 위에서 설명한 송신 링크(4641)를 통해 STEP 프로토콜에 순응하는 데이터를 교환한다. 무선 주파수 모뎀에 의해 생성된 하나 이상의 무선 주파수 송신 신호는 환경으로 방사하기 위해 하나 이상의 동축 케이블(4643)을 통해 하나 이상의 라디오 헤드(4680, 4685)에 공급된다. 유사하게, 환경으로부터 수신된 무선 주파수 수신 신호는 하나 이상의 동축 케이블(4643)을 통해 무선 주파수 모뎀으로 공급된다.

[1906] 도 46a 및 도 46b에 도시된 무선 시스템과 비교하여, 도 46c는 또한 다이(4650 및 4660)의 회로에 하나 이상의 공급 신호(4642)를 제공하는 공급 회로(4670)를 도시한다. 예를 들어, 하나 이상의 공급 신호(4642)는 다이(4650 및 4660)를 향한 아날로그 및/또는 디지털 공급 전압 또는 기준 발진 신호를 포함할 수 있다.

[1907] 도 46a 내지 도 46c에 도시된 파티셔닝은 예를 들어 모바일 통신 네트워크의 모바일 디바이스(예를 들어, 모바일 폰, 랩톱 컴퓨터 또는 태블릿 컴퓨터) 또는 기지국에서 사용될 수 있다. 다시 말해, 본 개시내용의 예는 도 46a 내지 도 46c에 도시된 무선 시스템을 포함하는 모바일 디바이스 및 기지국에 관련된다. 예를 들어, 도 46a 내지 도 46c에 도시된 베이스밴드 프로세서는 모바일 디바이스 또는 기지국의 애플리케이션 프로세서에 결합될 수 있다. 애플리케이션 프로세서는 예를 들어 무선 시스템을 통해 수신된 데이터를 처리하거나 무선 시스템을 통해 송신될 데이터를 제공할 수 있다.

[1908] 다음에는 다른 파티셔닝 아키텍처가 도 47a 내지 도 47d와 관련하여 설명된다. 도 47a는 무선 시스템(4700)을 도시한다. 무선 시스템(4700)은 PCB(4705)를 포함한다. 다이(4710)는 PCB(4705) 상에 배열된다. 다이(4710)는 적어도 베이스밴드 프로세서 및 무선 주파수 모뎀의 제 1 부분을 포함한다. 옵션으로, 무선 시스템(4700)은 베이스밴드 프로세서 및 무선 주파수 모뎀의 제 1 부분에 하나 이상의 공급 신호(4716)(예를 들어, 공급 전압 또는 기준 발진 신호)를 제공하도록 구성된 공급 회로(4715)를 더 포함할 수 있다.

[1909] 무선 시스템(4700)은 또한 PCB(4705)와는 별개로 배열된 라디오 헤드(4720)를 포함한다. 다시 말해, 라디오 헤드(4720)는 PCB(4705) 상에 배열(장착)되지 않는다. 라디오 헤드(4720)는 무선 주파수 모뎀의 제 2 부분 및 무선 주파수 모뎀의 제 2 부분에 결합된 적어도 하나의 안테나를 포함한다. 옵션으로, 라디오 헤드(4720)는 무선 주파수 모뎀의 제 2 부분과 적어도 하나의 안테나 사이에 결합된 아날로그 프론트 엔드 회로(예를 들어, 하나 이상의 PA, 하나 이상의 LNA, 하나 이상의 필터 등)를 포함할 수 있다.

[1910] 무선 주파수 모뎀의 제 1 부분으로부터 무선 주파수 모뎀의 제 2 부분으로 데이터를 송신하기 위해, 다이(4710)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 송신 신호를 생성하도록 구성된 처리 회로(예를 들어, DTC)를 더 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 무선 주파수 모뎀의 제 1 부분에 의해 생성된 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 무선 주파수 모뎀의 제 1 부분에 의해 생성된 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성된다. 그러므로 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1911] 또한, 다이(4710)는 다이(4710)와 라디오 헤드(4720)를 결합하는 송신 링크(4711)(예를 들어, PCB(4705) 상의

플랫 케이블 및/또는 전도성 트레이스)에 데이터 송신 신호를 출력하도록 구성된 인터페이스 회로를 포함한다.

[1912] 일부 예에서 데이터는 차동 방식으로 전송될 수 있다. 그러므로, 처리 회로는 또한 데이터 송신 신호에 대해 반전된 제 2 데이터 송신 신호를 생성하도록 구성될 수 있다. 따라서, 인터페이스 회로는 또한 제 2 데이터 송신 신호를 송신 링크(4711)로 출력하도록 구성될 수 있다. 차동 구현은 도 47a에 도시된다.

[1913] STEP 프로토콜을 사용함으로써, 데이터는 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 무선 주파수 모뎀의 제 1 부분으로부터 무선 주파수 모뎀의 제 2 부분으로 송신될 수 있다.

[1914] STEP 프로토콜은 옵션으로 또한 데이터 수신을 위해 사용될 수 있다. 예를 들어, 다이(4710)의 인터페이스 회로는 송신 링크(4711)를 통해 무선 주파수 모뎀의 제 2 부분으로부터 데이터 수신 신호를 수신하도록 추가로 구성될 수 있다. 대안적으로, 다이(4710)는 데이터 수신 신호를 수신하기 위한 전용 (제 2) 인터페이스 회로를 포함할 수 있다.

[1915] STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하기 위해, 다이(4710)는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로(예를 들어, TDC)를 더 포함할 수 있다. 또한, 다이(4710)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함할 수 있다. 복조 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하도록 구성된다.

[1916] 일부 예에서, 데이터는 차동 방식으로 수신될 수 있다. 그러므로, 다이(4710)의 인터페이스 회로는 또한 송신 링크(4711)로부터 데이터 수신 신호에 대해 반전된 제 2 데이터 수신 신호를 수신하도록 구성될 수 있다. 따라서, 처리 회로는 제 2 데이터 수신 신호에 더 기초하여 제 4 신호 에지, 제 5 신호 에지 및 제 6 신호 에지를 결정하도록 구성될 수 있다.

[1917] STEP 프로토콜을 사용하면 다이(4710)가 낮은 대기 시간 및 낮은 전력 소비로 높은 데이터 레이트로 라디오 헤드(4720)로부터 데이터를 수신할 수 있게 할 수 있다.

[1918] 수신된 데이터는 또한 무선 주파수 모뎀의 제 1 부분 및 베이스밴드 프로세서에 의해 처리될 수 있다.

[1919] 다이(4710)와 (예를 들어, 무선 주파수 모뎀의 제 1 부분과) 데이터를 교환하기 위해, 라디오 헤드(4720)는 (예를 들어, 위에서 설명한 하나 이상의 양태에 따라) 데이터 수신 신호를 생성하기 위한 회로 및 데이터 송신 신호를 디코딩하기 위한 회로를 포함할 수 있다.

[1920] 도 46a 내지 도 46c에 도시된 파티셔닝 아키텍처와 비교하여, 도 47a에 도시된 파티셔닝은 PCB 상의 디바이스의 수가 감소될 수 있고 동축 케이블이 요소를 결합하는데 필요하지 않기 때문에 플랫폼 상의 무선 시스템의 풋프린트를 감소시킬 수 있다. 동축 케이블을 생략하고 요소의 수를 감소시키면 제조 비용을 더욱 감소시킬 수 있게 할 수 있다.

[1921] (단지) 디지털 회로를 포함하는 베이스밴드 디바이스는 통상적으로 디지털 및 아날로그 회로를 포함하는 무선 주파수 모뎀보다 (예를 들어, 더 작은 반도체 구조를 사용하는) 더 진보된 기술 노드에서 구현된다. 따라서, 베이스밴드 프로세서와 함께 다이(4710)에서 구현되는 무선 주파수 모뎀의 제 1 부분은 디지털 회로만을 포함할 수 있고, 여기서 무선 주파수 모뎀의 제 2 부분은 단지 아날로그 회로만 또는 디지털 회로뿐만 아니라 아날로그 회로를 포함할 수 있다. 다시 말해, 모뎀의 큰 부분은 베이스밴드 프로세서를 유지하는 다이(4710)에 구현될 수 있다. 모뎀의 큰 부분이 베이스밴드 프로세서를 보유하는 다이(4710) 쪽에 구현될 수 있게 구현하면 다이(4710)의 진보된 기술 노드로 인해 전력 및 다이 영역을 절약할 수 있게 할 수 있다. 한편, 모뎀의 제 2 부분은 라디오 헤드(4720)의 다이에 구현될 수 있으며, 대부분 (또는 배타적으로) 무선 주파수 모뎀의 아날로그 회로를 포함한다. 무선 주파수 모뎀의 제 2 부분을 보유하는 다이는 (예를 들어, 더 큰 반도체 구조를 사용하는) 다이(4710)보다 낮은 기술 노드에서 구현될 수 있다.

[1922] 다시 말해, 도 47a의 파티셔닝은 STEP 순응 송신 링크(예를 들어, PCB(4705) 상의 가요성 케이블 및/또는 전도성 트레이스)에 의해 도 46a 내지 도 46c에 따른 파티셔닝의 동축 케이블을 대체하는 것을 가능하게 할 수 있다. 또한, 높은 레이트의 디지털 STEP 인터페이스는 무선 주파수 모뎀의 디지털 기능성(예를 들어, 디지털 프론트 엔드)을 베이스밴드 프로세서로 옮기는 것을 가능하게 할 수 있다. 제안된 아키텍처는 라디오 헤드(4720)에서 무선 주파수 발진의 리스크가 감소될 수 있도록 (RFEM으로 이해될 수 있는) 라디오 헤드(4720)에서

의 무선 주파수 이득을 최소화하게 할 수 있다. 따라서, 제안된 파티셔닝은 더 작은 크기, 더 낮은 비용, 더 낮은 전력 소비 및 더 낮은 발진 리스크를 가능하게 할 수 있다.

[1923] 높은 데이터 레이트 STEP 인터페이스는 또한 단일 송신 링크를 통해 (다이(4710) 상의) 라디오 모뎀의 제 1 부분으로부터 (라디오 헤드 내의) 라디오 모뎀의 제 2 부분으로 다수의 상이한 채널 및/또는 편파에 대한 데이터를 송신할 수 있게 할 수 있다. 다시 말해, 데이터 송신 신호는 다중 송신 채널에 대한 데이터 및/또는 다중 송신 편파에 대한 데이터를 (일시에) 포함할 수 있다.

[1924] 옵션으로, 무선 시스템(4700)은 하나 이상의 추가 라디오 헤드(4725)를 포함할 수 있다. 추가 라디오 헤드(4725)는 다른 무선 주파수 모뎀의 일부를 포함할 수 있으며, 여기서 다른 무선 주파수 모뎀의 다른 부분은 다이(4710)에서 구현된다. 예를 들어, 라디오 헤드(4720)는 서브 mm-파 신호(예를 들어, LTE 신호)를 송출 및/또는 수신하는데 사용될 수 있는 반면, 다른 라디오 헤드(4725)는 mm-파 신호(예를 들어, 5G-NR 신호)를 송출 및/또는 수신하는데 사용될 수 있다. 다른 예에서, 라디오 헤드(4720)는 제 1 타입의 mm-파 신호(예를 들어, WiGig 신호)를 송출 및/또는 수신하는데 사용될 수 있는 반면, 다른 라디오 헤드(4725)는 다른 mm-파 신호(예를 들어, 5G-NR 신호)를 송출 및/또는 수신하는데 사용될 수 있다. 다이(4710)는 다이(4710)와 라디오 헤드(4720) 사이의 데이터 교환을 위해 위에서 설명된 STEP 프로토콜을 사용하여 다른 라디오 헤드(4725)와 데이터를 교환하도록 구성된다.

[1925] 예를 들어, 다이(4710)와 라디오 헤드(4720) 사이의 데이터 교환을 위해 사용되는 처리 회로, 다른 처리 회로 및 인터페이스 회로는 또한 다이(4710)와 다른 라디오 헤드(4725) 사이의 데이터 교환을 위해 사용될 수 있다. 대안적으로, 다이(4710)와 라디오 헤드(4720) 사이의 데이터 교환을 위해 사용되는 처리 회로, 다른 처리 회로 및 인터페이스 회로와 동일한 기능을 나타내는 전용 회로는 다이(4710)와 다른 라디오 헤드(4725) 사이의 데이터 교환을 위해 사용될 수 있다.

[1926] 도 47a와 관련하여 설명된 파티셔닝 방식에 따른 무선 시스템을 포함하는 모바일 디바이스(4730)(예를 들어, 모바일 폰 또는 태블릿 컴퓨터)의 3D 개략도가 도 47b에 도시된다.

[1927] 모바일 디바이스는 디스플레이 요소(4731)(예를 들어, 터치 디스플레이 요소)를 포함한다. PCB(4732)는 디스플레이 요소(4731)의 후면에 배열된다. 베이스밴드 프로세서 및 무선 주파수 모뎀의 제 1 부분을 포함하는 다이(4733)는 PCB(4732) 상에 배열된다.

[1928] 무선 주파수 모뎀의 제 2 부분 및 하나 이상의 안테나(및 옵션의 무선 주파수 프론트 엔드 컴포넌트)를 포함하는 제 1 라디오 헤드(4734)는 PCB(4732)와 분리된 디스플레이 요소(4731)의 후면에 배열된다.

[1929] 다이(4733) 및 제 1 라디오 헤드(4734)는 송신 링크(4735)를 통해 STEP 프로토콜에 따라 데이터를 교환한다. 송신 링크(4735)는 PCB(4732)를 따라 이어지는 제 1 부분(4735-1) 및 PCB(4732) 외부로 이어지는 제 2 부분(4735-2)을 포함한다. 제 1 부분(4735-1)은 예를 들어 PCB(4732) 상의 하나 이상의 전도성 트레이스 또는 가요성 케이블일 수 있고, 제 2 부분(4735-2)은 예를 들어 가요성 케이블일 수 있다. 제 1 부분(4735-1) 및 제 2 부분(4735-2)은 커넥터(4736)(예를 들어, 멀티라인 커넥터)를 통해 결합된다.

[1930] 동일한 방식으로, 제 2 라디오 헤드(4737)가 다이(4733)에 결합된다. 제 2 라디오 헤드(4737)는 다른 무선 주파수 모뎀의 제 2 부분을 포함하고, 다른 무선 주파수 모뎀의 제 1 부분은 다이(4733)에서 구현된다. 또한 다른 무선 주파수 모뎀의 일부는 STEP 프로토콜에 따라 데이터를 교환한다.

[1931] 라디오 헤드(4734 및 4737)는 상이한 주파수 대역에서 및/또는 상이한 통신 표준 및/또는 다중 입력 다중 출력(Multiple Input Multiple Output)(MIMO) 통신에 따라 무선 주파수 신호를 방사/수신하는데 사용될 수 있다.

[1932] 또한, 모바일 디바이스(4730)의 회로에 전력을 공급하기 위한 배터리(4738)가 도 47b에 도시된다. 모바일 디바이스(4730)의 추가의 옵션 요소(상세한 것은 도 45a 참조)는 명확성을 위해 도 47b에서 생략된다.

[1933] 도 47c는 라디오 헤드의 더 세부 사항을 나타내는 다른 무선 시스템(4700)을 도시한다. 베이스밴드 프로세서 및 무선 주파수 모뎀의 제 1 부분을 포함하는 다이(4745)는 무선 주파수 모뎀의 제 2 부분(4751)을 포함하는 제 1 라디오 헤드(4750)와 제 1 송신 링크(4741)를 통해 데이터를 교환하고 있다. 데이터 교환은 STEP 프로토콜에 순응한다. 무선 주파수 모뎀의 제 2 부분(4751)은 무선 주파수 모뎀의 제 1 부분으로부터 수신된 데이터에 기초하여 하나 이상의 무선 주파수 송신 신호를 생성한다. 예를 들어, 무선 주파수 모뎀의 제 2 부분(4751)은 (예를 들어, 28 GHz, 39 GHz 및 60 GHz의 캐리어 주파수에서) 상이한 주파수 대역의 송신 신호를 생성할 수 있다. 하나 이상의 송신 신호는 (하나 이상의 안테나를 포함하는) 안테나 모듈(4753)에 의해 환경으로 방사하기

전에 무선 주파수 처리(예를 들어, 신호의 필터링 및/또는 증폭)를 위해 외부 프론트 엔드 모듈(4752)에 공급된다. 유사하게, 하나 이상의 무선 주파수 수신 신호는 안테나 모듈(4753)의 안테나에 의해 수신될 수 있고, 외부 프론트 엔드 모듈(4752)에 의해 이것을 무선 주파수 처리(예를 들어, 필터링 및 증폭)한 후에 무선 주파수 모뎀의 제 2 부분(4751)에 공급될 수 있다. 하나 이상의 무선 주파수 수신 신호와 관련된 데이터는 무선 주파수 모뎀의 제 2 부분(4751)에 의해 생성되고 제 1 송신 링크(4741)를 통해 STEP 프로토콜에 순응하는 무선 주파수 모뎀의 제 1 부분에 송신된다. 요약하면, 무선 주파수 모뎀의 제 2 부분(4751) 및 외부 프론트 엔드 모듈(4752)은 무선 주파수 송신 및/또는 수신 신호(4754)를 교환할 수 있다.

[1934] 또한, 외부 프론트 엔드 모듈(4752)은 피드백 정보 또는 피드백 신호(4755)를 무선 주파수 모뎀의 (디지털) 전치 왜곡 회로에 제공할 수 있다. (디지털) 전치 왜곡 회로가 무선 주파수 모뎀의 제 1 부분의 일부이면, 피드백 정보 또는 피드백 신호(4755)는 제 1 송신 링크(4741)를 통해 STEP 프로토콜에 순응하는 무선 주파수 모뎀의 제 1 부분에 송신될 수 있다.

[1935] 외부 프론트 엔드 모듈(4752)과 무선 주파수 모뎀의 제 2 부분(4751)은 옵션으로 또한 제어 정보(4756)를 교환할 수 있다. 제어 정보(4756)의 적어도 일부는 제 1 송신 링크(4741)를 통해 STEP 프로토콜에 순응하는 무선 주파수 모뎀의 제 1 부분에 송신/수신될 수 있다.

[1936] 다른 무선 주파수 모뎀의 제 2 부분(4761)을 포함하는 제 2 라디오 헤드(4760) - 여기서 다른 무선 주파수 모뎀의 제 1 부분은 다이(4745)에 구현됨 - 가 이에 부합하여 구현된다. 제 2 라디오 헤드(4760)와 다이(4745)는 제 1 라디오 헤드(4750)에 대해 위에서 설명된 바와 동일한 방식으로 제 2 송신 링크(4742)를 통해 STEP 프로토콜에 따라 데이터를 교환한다. 그러므로 제 2 라디오 헤드(4760)의 상세한 설명은 생략된다.

[1937] 도 47d는 라디오 헤드의 대안적인 구현을 도시한다. 특히, 도 47c에 도시된 복수의 라디오 헤드의 기능은 단일 라디오 헤드에 결합된다. 무선 주파수 모뎀의 제 2 부분(4781)은 STEP 프로토콜을 사용하여 다이(4775)에 구현된 무선 주파수 모뎀의 제 1 부분과 통신한다. 무선 시스템(4770)의 라디오 헤드(4780)는 생성된 무선 주파수 송신 신호를 안테나 모듈(4787)에 결합된 복수의 외부 프론트 엔드 모듈(4783, ..., 4786)의 개개 외부 프런트 엔드 모듈을 향한 신호로 분할하기 위한 (패시브) 스플리터/결합기 회로(4782)를 포함한다. 유사하게, 스플리터/결합기 회로(4782)는 복수의 외부 프론트 엔드 모듈(4783, ..., 4786)의 개개 외부 프런트 엔드 모듈에 의해 제공된 수신된 신호를 결합된 무선 주파수 수신 신호에 결합한다. 도 47d에서 시사되는 바와 같이, 무선 주파수 송신 신호 및 무선 주파수 수신 신호의 상이한 주파수 범위에 대해 상이한 세트(예를 들어, 도 47d에 도시된 28 GHz 및 39 GHz의 캐리어 주파수마다 상이한 세트)의 신호 조합/분할 요소(4788-1, ..., 4788-3 및 4789-1, ..., 4789-3)가 사용될 수 있다. 도 47d에 도시된 구현은 포인트-투-포인트 또는 포인트-투-멀티포인트 연결을 가능하게 할 수 있다.

[1938] 도 47a 내지 도 47d에 도시된 파티셔닝은 예를 들어 모바일 통신 네트워크의 모바일 디바이스(예를 들어, 모바일 폰, 랩톱 컴퓨터 또는 태블릿 컴퓨터) 또는 기지국에서 사용될 수 있다. 다시 말해, 본 개시내용의 예는 또한 도 47a 내지 도 47d에 도시된 무선 시스템을 포함하는 모바일 디바이스 및 기지국에 관련된다. 예를 들어, 본 개시내용의 예는 무선 주파수 모뎀(예를 들어, 디지털 프론트 엔드 및 아날로그 무선 주파수 회로)의 기능성이 분할되어 베이스밴드 디바이스 및 RFEM 쪽으로 이전되는 모바일 디바이스 또는 기지국에 관련될 수 있다. 도 47a 내지 도 47d에 도시된 시스템의 베이스밴드 프로세서는 예를 들어 모바일 디바이스 또는 기지국의 애플리케이션 프로세서에 결합될 수 있다. 애플리케이션 프로세서는 예를 들어 무선 시스템을 통해 수신된 데이터를 처리하거나 또는 송신될 데이터를 무선 시스템을 통해 제공할 수 있다.

[1939] STEP 프로토콜의 다른 사용 사례는 데이터 저장소를 프로세서에 결합하는 것일 수 있다. 예를 들어 NAND 기반 저장 모듈(예를 들어, 고체 상태 드라이브(Solid-State-Drive)(SSD))은 전형적으로 레거시 벌크 저장 트래픽에 맞게 전력 최적화된 주변 컴포넌트 인터커넥트 익스프레스(PCIe)를 통해 컴퓨팅 SoC에 연결된다. 3차원 크로스포인트(three-dimensional crosspoint)(3D XPoint) 기술과 같은 최근에 생겨난 메모리/저장 기술은 레거시 벌크 트래픽 외에 산발적인 랜덤 액세스 트래픽 모델을 사용한다. PCIe는 이러한 새로운 트래픽 모델에 대해 전력 최적화되어 있지 않고 대기 시간 최적화되어 있지 않다. 인터페이스로서 사용될 때, 낮은 응답성과 결합된 과도한 전력이 초래된다.

[1940] STEP 프로토콜에 기초하는 인터페이스는 낮은 대기 시간과 낮은 전력 소비를 제공할 수 있기 때문에 (예를 들어, 3D XPoint 기술에 기초한) 데이터 저장소와 프로세서의 결합에 적합한 물리적 인터페이스일 수 있다. STEP 인터페이스는 영구 메모리 다이렉트 액세스(Direct Access)(DAX) 모드와 같은 메모리 트래픽, 레거시 저장 트래픽 및 신규의 저장 트래픽 모델을 인에이블할 수 있다.

[1941] 다음에는 STEP 프로토콜을 사용하여 데이터 저장소와 프로세서를 결합하기 위한 일부 예가 도 48a 내지 도 48c와 관련하여 설명된다. 도 48a는 반도체 다이(4800)의 예를 도시한다. 반도체 다이(4800)는 하나 이상의 프로세서 코어(4805)(예를 들어, CPU 코어)를 포함한다. 적어도 하나의 프로세서 코어(4805)는 저장될 데이터를 생성하도록 구성된다. 반도체 다이(4800)는 주어진 기능적 회로(즉, 적어도 하나의 프로세서 코어(4805))가 제조되는 반도체 재료(예를 들어, 실리콘)의 (작은) 블록이다.

[1942] 반도체 다이(4800)는 저장될 데이터에 기초하여 PCIe 프로토콜에 순응하는 제 1 출력 신호를 생성할 수 있는 제 1 장치(4810)를 더 포함한다. 도 48a에서 시사되는 바와 같이, 제 1 장치(4810)는 예를 들어 PCIe 물리 계층 회로의 일부일 수 있다. 제 1 장치(4810)는 제 1 출력 신호를 반도체 다이(4800)의 제 1 출력 단자(4811)로 출력하도록 구성된다.

[1943] 또한, 반도체 다이(4800)는 제 2 출력 신호를 생성할 수 있는 제 2 장치(4815)를 포함한다. 장치(4815)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 제 2 출력 신호를 생성하도록 구성된 처리 회로(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 저장될 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 저장될 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 제 2 출력 신호를 생성하도록 구성된다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다.

[1944] 또한, 장치(4815)는 제 2 출력 신호를 반도체 다이(4800)의 제 2 출력 단자(4816)로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[1945] 데이터는 일부 예에서 차동 방식으로 전송될 수 있다. 그러므로, 처리 회로는 또한 제 2 출력 신호에 대해 반전된 제 2 출력 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로는 또한 반전된 제 2 출력 신호를 반도체 다이(4800)의 다른 출력 단자(도시되지 않음)로 출력하도록 구성될 수 있다.

[1946] PCIe 프로토콜에 순응하여, 또한 제 1 장치는 차동 쌍의 제 1 출력 신호를 생성할 수 있다.

[1947] 위의 내용을 요약하면, 반도체 다이(4800)는 저장될 데이터를 출력하기 위한 PCIe 인터페이스 및 STEP 인터페이스를 포함한다.

[1948] 도 48a에서 시사되는 바와 같이, 제 1 출력 단자(4811) 및 제 2 출력 단자(4816)는 상이한 신호 라인을 통해 데이터 저장 디바이스를 수용하기 위한 커넥터(4801)(예를 들어, 소켓)에 결합하도록 구성된다. STEP 인터페이스와 PCIe 인터페이스는 물리 계층의 고유한 차이로 인해 라우팅을 공유할 수 없기 때문에 PCIe 레인과 STEP 레인은 둘 모두 커넥터(4801)(예를 들어, 저장 모듈 소켓)를 향해 별개로 라우팅된다. 예를 들어, 제 1 출력 단자(4811) 및 제 2 출력 단자(4816) 각각은 반도체 다이(4800) 및 커넥터(4801)를 보유하는 PCB 상의 각각의 전도성 트레이스를 통해 커넥터(4801)에 결합될 수 있다.

[1949] 반도체 다이(4800)는 반도체 다이(4800)의 제 1 동작 모드에서 제 1 장치(4810)를 인에이블하고 반도체 다이(4800)의 제 2 동작 모드에서 제 2 장치(4815)를 인에이블하도록 구성된 제어 회로(4820)를 더 포함한다. 따라서, 제어 회로(4820)는 제 2 동작 모드에서 제 1 장치(4810)를 디스에이블하고 제 1 동작 모드에서 제 2 장치(4815)를 디스에이블하도록 구성될 수 있다. 다시 말해, 반도체 다이(4800)는 PCIe 프로토콜에 기초하여 또는 STEP 프로토콜에 기초하여 데이터를 데이터 저장 디바이스로 출력할 수 있다.

[1950] 반도체 다이(4800)는 듀얼 물리 계층, 즉 STEP 프로토콜을 위한 물리 계층과 레거시 PCIe 프로토콜을 위한 물리 계층을 나타낸다. 따라서, 적어도 하나의 프로세서 코어(4805)는 비용 효율적인 방식으로 레거시 PCIe 기반 저장 모듈과의 하위 호환성을 유지하면서 STEP 인터페이스를 통해 (예를 들어, 3D XPoint 기술에 기초한) 데이터 저장 디바이스에 결합될 수 있다.

[1951] 도 48a에서 시사되는 바와 같이, 반도체 다이(4800)는 PCIe 순응 제 1 출력 신호를 생성하기 위한 제 1 장치(4810)의 동작을 제어하도록 구성된 PCIe 제어기(4825)를 더 포함할 수 있다. PCIe 제어기(4825)는 또한 STEP 순응 제 2 출력 신호를 생성하기 위한 제 2 장치(4815)의 동작을 제어하도록 구성된다. 예를 들어, PCIe 제어기(4825)는 제 1 장치(4810)와 통신하기 위한 제 1 포트 및 제 2 장치(4815)와 통신하기 위한 제 2 포트를 포함할 수 있다. 따라서, 반도체 다이(4800)는 듀얼 물리 계층 포트, 즉 STEP 프로토콜을 위한 물리 계층 포트와

레거시 PCIe 프로토콜을 위한 물리 계층 포트를 갖는 PCIe 제어기를 포함할 수 있다. STEP 또는 PCIe를 통해 적어도 하나의 프로세서 코어(4805)를 데이터 저장 디바이스에 선택적으로 결합하는 것 이외에, 확장된 PCIe 제어기(4825)는 일관된 소프트웨어 모델을 유지할 수 있게 할 수 있다.

[1952] PCIe 제어기(4825) 및 제 1 장치(4810)는 통신을 위해 PCI 익스프레스 아키텍처(PCI Express Architecture)(PIPE) 프로토콜을 위한 PHY 인터페이스를 사용하는 반면, 제 2 장치(4815)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) 전용 STEP 제어기 인터페이스를 사용한다. 종래의 PCIe 제어기와 비교하여, PCIe 제어기(4825)는 STEP 물리 계층 회로(4815)를 향하는 추가의 PIPE 포트를 나타낼 수 있다. 다시 말해, PCIe 제어기(4825)는 제 1 인터페이스 프로토콜을 사용하여 제 1 장치(4810) 및 제 2 장치(4815)와 통신하도록 구성되며, 여기서 제 2 장치(4815)는 (상이한) 제 2 인터페이스 프로토콜을 사용하여 제어 회로와 통신하도록 구성된다.

[1953] PCIe 제어기(4825)의 표준 PIPE 인터페이스를 전용 STEP 제어기 인터페이스로 변환하기 위해, 반도체 다이(4800)는 PIPE 인터페이스와 전용 STEP 제어기 인터페이스 사이를 변환하도록 (제 1 및 제 2 인터페이스 프로토콜 사이를 변환하도록) 구성된 개스킷 회로(gasket circuit)(4830)를 포함한다. 개스킷 회로(4830)는 예를 들어, PIPE 인터페이스의 데이터 신호 및/또는 제어 신호/커맨드를 STEP 제어기 인터페이스의 데이터 신호 및/또는 제어 신호/커맨드로 변환할 수 있으며, 그 반대로도 가능할 수 있다.

[1954] 두 개의 물리 계층 인터페이스는 또한 데이터 저장 디바이스로부터 데이터를 수신하기 위해 사용될 수 있다. 예를 들어, 반도체 다이(4800)는 반도체 다이(4800)의 입력 단자(도시되지 않음)에서 입력 신호를 수신하도록 구성될 수 있다. 입력 신호는, 예를 들어 데이터 저장 디바이스에 의해 출력된 판독 신호일 수 있고 데이터 저장 디바이스에 저장된 데이터에 관한 정보를 포함한다. 반도체 다이(4800)는 STEP 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 장치(4835)를 더 포함할 수 있다. 장치(4835) 및 장치(4815)는 각각 공통의 STEP 물리 계층 회로의 일부일 수 있다.

[1955] 입력 신호를 디코딩할 수 있는 장치(4835)는 입력 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(예를 들어, TDC)를 포함한다. 또한, 입력 신호를 디코딩할 수 있는 장치(4835)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함한다. 입력 신호를 디코딩할 수 있는 장치(4835)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다.

[1956] 유사하게, 반도체 다이(4800)는 PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 회로를 포함할 수 있다. 예를 들어, 반도체 다이(4800)는 PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 장치(4840)를 포함할 수 있다. 장치(4840)는 장치(4810)와 같은 PCIe 물리 계층 회로의 일부일 수 있다.

[1957] 제어 회로(4820)는 제 1 동작 모드에서 장치(4840)를 인에이블하고 제 2 동작 모드에서 장치(4835)를 인에이블하도록 구성될 수 있다. 따라서, 제어 회로(4820)는 제 2 동작 모드에서 장치(4840)를 디스에이블하고 제 1 동작 모드에서 장치(4835)를 디스에이블하도록 구성될 수 있다.

[1958] 디코딩된 데이터는 또한 반도체 다이(4800)의 다른 회로에 의해 처리될 수 있다. 예를 들어, 디코딩된 데이터는 또한 적어도 하나의 프로세서 코어(4805)에 의해 처리될 수 있다. 도 48a에서 시사되는 바와 같이, 반도체 다이(4800)는 PCIe 제어기(4825) 및/또는 적어도 하나의 프로세서 코어(4805)에 결합된 추가 회로를 포함할 수 있다. 반도체 다이(4800)는 예를 들어 또한 저장 트래픽을 라우팅하도록 구성된 비간섭성 패브릭 에이전트(non-coherent fabric agent)(4802)를 포함할 수 있다. 이러한 경로는 옵션으로 볼륨 관리 디바이스(Volume Management Device)(VMD) 기술을 지원할 수 있다. 또한, 반도체 다이(4800)는 데이터 저장 디바이스, 적어도 하나의 프로세서 코어(4805) 및 DDR 메모리(4806) 사이의 데이터 교환을 제어하기 위한 메모리 캐싱 제어기(4802-1) 및 메모리 제어기(4802-2)를 포함하는 더블 데이터 레이트(Double Data Rate)(DDR) 메모리 서브시스템(4804)을 포함할 수 있다. 반도체 다이(4800)는 또한 저장 트래픽과 메모리 트래픽 사이를 중재하도록 구성된 중개기 회로(4803)를 포함할 수 있다.

[1959] 동작 모드를 선택하기 위한 제어 회로(4820)는 개별 회로일 수 있거나, 또는 도 48a에 도시된 PCIe 제어기(4825)의 일부일 수 있다. 다시 말해, PCIe 제어기(4825)는 제어 회로(4820)를 포함할 수 있다.

[1960] 위에서 설명된 STEP 및 PCIe 인터페이스는 상호 배타적이다. 예를 들어, 디바이스가 PCIe 물리 계층 경로를 통

해 검출될 때, 모든 트래픽은 PCIe 물리 계층 회로(4810 및 4840)를 통해 라우팅될 수 있다. 디바이스가 STEP 물리 계층 경로를 통해 검출될 때, 모든 트래픽은 물리 계층 회로(4815 및 4835)를 통해 라우팅될 수 있다. 디바이스가 STEP 및 PCIe 경로를 통해 검출될 때, STEP이 우선시 될 수 있고 PCIe 경로는 디스에이블될 수 있다.

[1961] 동작 모드를 결정하기 위해, 정적 스트랩 옵션(static strap option)(예를 들어, 상시 STEP 또는 상시 PCIe) 또는 동적 옵션(dynamic option)이 사용될 수 있다. 다음에는 동작 모드를 결정하기 위한 예가 동작 모드를 결정하기 위한 방법(4850)의 흐름도를 도시하는 도 48c를 참조하여 설명될 것이다.

[1962] 방법(4850)은 정적 스트랩 옵션 또는 자동 검출 옵션이 사용될지 여부의 결정(4851)으로부터 시작한다. 정적 스트랩 옵션은, 예를 들어 볼 그리드 어레이(Ball Grid Array)(BGA)로서 솔더 다운된 데이터 저장 디바이스에 적합할 수 있다. 데이터 저장 디바이스뿐만 아니라 반도체 다이(예를 들어, CPU 다이)는 리셋에서 빠져나오면 특정 물리 계층을 사용할 것을 지시받을 것이다(예를 들어, 선택된 인터페이스에 관한 정보는 반도체 다이(4800)의 내부 메모리 또는 데이터 저장 디바이스에 저장될 수 있다). 동적 자동 검출 옵션은 반도체 다이(예를 들어, CPU 다이) 및 데이터 저장 디바이스의 가변 조합에 적합할 수 있다. 예를 들어, M.2 연결을 통해 프로세서 코어에 결합된 데이터 저장 디바이스의 경우, 데이터 저장 디바이스뿐만 아니라 반도체 다이는 서로의 STEP 능력을 검출할 필요가 있다. 데이터 저장 디바이스뿐만 아니라 반도체 다이는 각각 이전 세대의 비-STEP 가능 데이터 저장 디바이스 또는 반도체 다이와 각각 상호 연동할 수 있어야 한다.

[1963] 정적 스트랩 옵션의 경우, 프로세스(4852)에서 각각의 물리 계층(예를 들어, PCIe 또는 STEP 물리 계층)은 리셋으로부터 벗어난 상태로 된다. STEP 인터페이스가 선택되면, 프로세스(4853)에서 개스킷 회로는 또한 활성화된다.

[1964] 자동 검출 옵션의 경우, 반도체 다이(4800) 및 데이터 저장 디바이스는 각각 다른 하나가 STEP 인터페이스를 지원한다는 것을 표시하는 신호를 감지한다. 예를 들어, 반도체 다이(4800)의 입력 단자는 데이터 저장 디바이스를 수용하는 커넥터(4801)의 미리 결정된 전기 접점에 결합되도록 구성될 수 있다. 프로세스(4485)에서 제어 회로(4825)는 미리 결정된 신호(또는 신호 상태)가 미리 결정된 전기 접점에서 감지되면 제 2 동작 모드를 설정하도록 구성될 수 있다. 한편, 데이터 저장 디바이스는 데이터 저장 디바이스가 STEP 프로토콜을 지원한다는 것을 표시하기 위해 미리 결정된 신호(또는 신호 상태)를 커넥터(4801)의 미리 결정된 전기 접점으로 출력하도록 구성될 수 있다. 예를 들어, 커넥터(4801)의 하나의 특정 핀은 데이터 저장 디바이스에 의해 접지(논리 상태 "0")로 구동될 수 있다. 접지가 반도체 다이(4800)에 의해 검출되면, 제 2 장치(4815)는 인에이블된다. 접지가 반도체 다이(4800)에 의해 검출되지 않으면, 제 1 장치(4810)는 인에이블된다. 다시 말해, 제어 회로(4825)는 미리 결정된 신호와 상이한 신호가 커넥터(4801)의 미리 결정된 전기 접점에서 감지되면 제 1 동작 모드를 설정하도록 구성될 수 있다. 예를 들어, 반도체 다이(4800)의 STEP 물리 계층 회로는 미리 결정된 신호가 커넥터(4801)의 미리 결정된 전기 접점에서 존재하는지를 감지할 수 있다.

[1965] 유사하게, 반도체 다이(4800)의 (제 1 출력 단자 및 제 2 출력 단자와 상이할 수 있는) 다른 출력 단자는 커넥터(4801)의 다른 미리 결정된 전기 접점에 결합하도록 구성될 수 있다. 반도체 다이(4800)는 반도체 다이(4800)가 STEP 프로토콜을 지원한다는 것을 표시하기 위해 다른 미리 결정된 신호를 다른 출력 단자를 통해 다른 미리 결정된 전기 접점에 출력하도록 구성될 수 있다. 따라서, 데이터 저장 디바이스는 반도체 다이(4800)의 STEP 능력을 검출할 수 있다. 예를 들어, 프로세스(4854)에서 반도체 다이(4800)는 커넥터(4801)의 핀에 약한 풀 업(pull up)을 적용할 수 있다.

[1966] STEP 호환성이 검출되지 않으면, 프로세스(4856)에서 PCIe가 데이터 전송을 위해 사용된다.

[1967] STEP 호환성이 검출되면, 프로세스(4856)에서 STEP 인터페이스가 사용된다. STEP 순응 데이터 송신이 시작되기 전에, 이것은 또한 프로세스(4857)에서 통신 파트너가 초기에 (예를 들어, 차동 송신 링크 상에서 상태를 교번함으로써 표시된) 디스에이블된 전력 상태에 있는지를 체크할 수 있다.

[1968] 위에서 시사하는 바와 같이, 또한 데이터 저장 디바이스는 PCIe 및 STEP 데이터 교환을 지원할 수 있다. 데이터 저장 디바이스(4860)의 예가 도 48b에 도시된다. 데이터 저장 디바이스(4860)는 데이터를 저장하도록 구성된 데이터 저장 요소(4865)(예를 들어, 도 48b에 도시된 3D XPoint 비 휘발성 메모리 또는 임의의 다른 타입의 저장 매체)를 포함한다.

[1969] 데이터 저장 디바이스(4860)는 데이터 저장 요소(4865)에 저장된 데이터에 기초하여 PCIe 프로토콜에 순응하는 제 1 출력 신호를 생성할 수 있는 제 1 장치(4870)를 더 포함한다. 도 48b에서 시사되는 바와 같이, 제 1 장치(4870)는 예를 들어 PCIe 물리 계층 회로의 일부일 수 있다. 제 1 장치(4810)는 제 1 출력 신호를 데이터 저장

디바이스(4860)의 커넥터(4861)로 출력하도록 구성된다. 커넥터(4861)는 커넥터(4861)의 상대 부분에 결합하기 위한 복수의 단자를 포함한다. 예를 들어, 커넥터(4861)는 대응하는 상대 부분을 수용하도록 구성된 플러그 또는 소켓일 수 있다.

[1970] 또한, 데이터 저장 디바이스(4860)는 제 2 출력 신호를 생성할 수 있는 제 2 장치(4875)를 포함한다. 장치(4875)는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 제 2 출력 신호를 생성하도록 구성된 처리 회로(예를 들어, DTC)를 포함한다. 예를 들어, 제 1 타입은 상승 에지일 수 있고 제 2 타입은 하강 에지일 수 있거나, 또는 제 2 타입은 상승 에지일 수 있고 제 1 타입은 하강 에지일 수 있다. 제 1 신호 에지 및 제 2 신호 에지는 데이터 저장 요소(4865)에 저장된 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 데이터 저장 요소(4865)에 저장된 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 처리 회로는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 제 2 출력 신호를 생성하도록 구성된다. 즉, 제 1 기간과 제 2 기간의 합은 10^{-7}s, 10^{-8}s, 10^{-9}s, 10^{-10}s, 10^{-11}s 또는 10^{-12}s 미만일 수 있다. 또한, 장치(4875)는 제 2 출력 신호를 커넥터(4861)로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[1971] 일부 예에서 데이터는 차동 방식으로 전송될 수 있다. 그러므로, 처리 회로는 또한 제 2 출력 신호에 대해 반전된 제 2 출력 신호를 생성하도록 구성될 수 있다. 따라서, 출력 인터페이스 회로는 또한 반전된 제 2 출력 신호를 커넥터(4861)로 출력하도록 구성될 수 있다.

[1972] PCIe 프로토콜에 순응하여, 또한 제 1 장치(4870)는 차동 쌍의 제 1 출력 신호를 생성할 수 있다.

[1973] 다시 말해, 데이터 저장 디바이스(4860)는 데이터 저장 요소(4865)에 저장된 데이터를 출력하기 위해 PCIe 인터페이스 및 STEP 인터페이스를 포함한다.

[1974] STEP 인터페이스와 PCIe 인터페이스는 물리 계층의 고유한 차이로 인해 라우팅을 공유할 수 없기 때문에 제 1 장치(4870)와 제 2 장치(4875)의 인터페이스 회로는 상이한 신호 라인을 통해 커넥터(4861)에 결합된다.

[1975] 데이터 저장 디바이스(4860)는 제 1 장치(4870)를 데이터 저장 디바이스(4860)의 제 1 동작 모드에서 인에이블하고 제 2 장치(4875)를 데이터 저장 디바이스(4860)의 제 2 동작 모드에서 인에이블하도록 구성된 제어 회로(4880)를 더 포함한다. 따라서, 제어 회로(4880)는 제 1 장치(4870)를 제 2 동작 모드에서 디스에이블하고 제 2 장치(4875)를 제 1 동작 모드에서 디스에이블하도록 구성될 수 있다. 다시 말해, 데이터 저장 디바이스(4860)는 PCIe 프로토콜에 기초하여 또는 STEP 프로토콜에 기초하여 데이터를 출력할 수 있다.

[1976] 도 48a와 관련하여 위에서 설명된 반도체 다이(4800)와 같이, 데이터 저장 디바이스(4860)는 듀얼 물리 계층, 즉 STEP 프로토콜을 위한 물리 계층 및 레거시 PCIe 프로토콜을 위한 물리 계층을 포함한다. 따라서, 데이터 저장 디바이스(4860)는 비용 효율적인 방식으로 레거시 PCIe 기반 회로와의 역 호환성을 유지하면서 STEP 인터페이스를 통해 다른 회로(예를 들어, 반도체 다이(4800))에 결합될 수 있다.

[1977] 도 48c에서 시사되는 바와 같이, 데이터 저장 디바이스(4860)는 PCIe 순응 제 1 출력 신호를 생성하기 위한 제 1 장치(4870)의 동작을 제어하도록 구성된 PCIe 제어기(4885)를 더 포함할 수 있다. 또한, PCIe 제어기(4885)는 STEP 순응 제 2 출력 신호를 생성하기 위한 제 2 장치(4875)의 동작을 제어하도록 구성된다. 예를 들어, PCIe 제어기(4885)는 제 1 장치(4870)와 통신하기 위한 제 1 포트 및 제 2 장치(4875)와 통신하기 위한 제 2 포트를 포함할 수 있다. 따라서, 데이터 저장 디바이스(4860)는 듀얼 물리 계층 포트, 즉 STEP 프로토콜을 위한 물리 계층 포트와 레거시 PCIe 프로토콜을 위한 물리 계층 포트를 갖는 PCIe 제어기를 포함할 수 있다. STEP 또는 PCIe를 통해 데이터를 선택적으로 출력하는 것 이외에, 확장된 PCIe 제어기(4885)는 일관된 소프트웨어 모델을 유지할 수 있게 할 수 있다.

[1978] PCIe 제어기(4885) 및 제 1 장치(4870)는 되풀이하면 통신을 위해 PIPE 프로토콜을 사용하는 반면, 제 2 장치(4875)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) 전용 STEP 제어기 인터페이스를 사용한다. 그러므로, PCIe 제어기(4885)는 제 1 장치(4870)와 통신하기 위한 제 1 포트 및 제 2 장치(4875)와 통신하기 위한 제 2 포트를 포함한다. 다시 말해, PCIe 제어기(4885)는 제 1 인터페이스 프로토콜을 사용하여 제 1 장치(4870) 및 제 2 장치(4875)와 통신하도록 구성되며, 여기서 제 2 장치(4875)는 (상이한) 제 2 인터페이스 프로토콜을 사용하여 제어 회로와 통신하도록 구성된다.

[1979] PCIe 제어기(4885)의 표준 PIPE 인터페이스를 전용 STEP 제어기 인터페이스로 변환하기 위해, 데이터 저장 디바이스(4860)는 PIPE 인터페이스와 전용 STEP 제어기 인터페이스 사이를 변환하도록(제 1 인터페이스 프로토콜과

제 2 인터페이스 프로토콜 사이를 변환하도록) 구성된 개스킷 회로(4890)를 포함한다. 개스킷 회로(4890)는 예를 들어 PIPE 인터페이스의 데이터 신호 및/또는 제어 신호/커맨드를 STEP 제어기 인터페이스의 데이터 신호 및/또는 제어 신호/커맨드로 변환할 수 있으며, 그 반대로도 가능할 수 있다.

[1980] 두 개의 물리 계층 인터페이스는 또한 데이터를 수신하기 위해 사용될 수 있다. 예를 들어, 데이터 저장 디바이스(4860)는 커넥터(4861)에서 입력 신호를 수신하도록 구성될 수 있다. 입력 신호는 예를 들어 CPU로부터 수신될 수 있고 데이터 저장 디바이스(4860)에 저장될 데이터에 관한 정보를 포함할 수 있다. 데이터 저장 디바이스(4860)는 STEP 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 장치(4876)를 더 포함할 수 있다. 장치(4876) 및 장치(4875)는 각각 STEP 물리 계층 회로의 일부일 수 있다.

[1981] 입력 신호를 디코딩할 수 있는 장치(4876)는 입력 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로(예를 들어, TDC)를 포함한다. 또한, 입력 신호를 디코딩할 수 있는 장치(4876)는 제 4 신호 에지 및 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지 및 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함한다. 입력 신호를 디코딩할 수 있는 장치(4876)는 (예를 들어, 위에서 설명된 하나 이상의 양태에 따른) STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다.

[1982] 유사하게, 데이터 저장 디바이스(4860)는 PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 회로를 포함할 수 있다. 예를 들어, 데이터 저장 디바이스(4860)는 PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 다른 장치(4871)를 포함할 수 있다. 장치(4871)는 장치(4870)와 같은 PCIe 물리 계층 회로의 일부일 수 있다.

[1983] 제어 회로(4880)는 장치(4871)를 제 1 동작 모드에서 인에이블하고 장치(4876)를 제 2 동작 모드에서 인에이블하도록 구성될 수 있다. 따라서, 제어 회로(4880)는 장치(4871)를 제 2 동작 모드에서 디스에이블하고 장치(4876)를 제 1 동작 모드에서 디스에이블하도록 구성될 수 있다.

[1984] 디코딩된 데이터가 저장될 데이터이면, 디코딩된 데이터는 예를 들어, 데이터 저장 요소(4860)에 저장될 수 있다. 디코딩된 데이터가 데이터 저장 디바이스(4860)에 대한 제어 데이터이면, 디코딩된 데이터는 예를 들어 또한 데이터 저장 디바이스(4860)의 동작을 적응시키기 위해 데이터 저장 디바이스(4860)의 저장 매체 제어기(4895)에 의해 처리될 수 있다.

[1985] 동작 모드를 선택하기 위한 제어 회로(4860)는 개별 회로일 수 있거나, 도 48c에 나타낸 PCIe 제어기(4885)의 일부일 수 있다. 즉, PCIe 제어기(4885)는 제어 회로(4880)를 포함할 수 있다.

[1986] 데이터 저장 디바이스(4860)의 위에서 설명된 STEP 및 PCIe 인터페이스는 상호 배타적이다. 예를 들어, 디바이스가 PCIe 물리 계층 경로를 통해 검출될 때, 모든 트래픽은 PCIe 물리 계층 회로(4870 및 4871)를 통해 라우팅될 수 있다. 디바이스가 STEP 물리 계층 경로를 통해 검출될 때, 모든 트래픽은 물리 계층 회로(4875 및 4876)를 통해 라우팅될 수 있다. 디바이스가 STEP 및 PCIe 경로 둘 모두를 통해 검출될 때, STEP이 우선시 될 수 있고 PCIe 경로는 디스에이블될 수 있다.

[1987] 동작 모드를 결정하기 위해, 도 48c와 관련하여 반도체 다이(4800)에 대해 위에서 설명된 바와 같이 정적 스트랩 옵션(예를 들어, 상시 STEP 또는 상시 PCIe) 또는 동적 옵션이 사용될 수 있다. 예를 들어, 제어 회로(4880)는 미리 결정된 신호가 커넥터(4881)의 미리 결정된 전기 접점에서 감지되면 제 2 동작 모드를 설정하도록 구성될 수 있다. 미리 결정된 신호와 상이한 신호가 미리 결정된 전기 접점(4881)에서 감지되면, 제어 회로(4880)는 제 1 동작 모드를 설정하도록 구성될 수 있다. 또한, 데이터 저장 디바이스(4860)는 데이터 저장 디바이스(4860)가 STEP 프로토콜을 지원한다는 것을 표시하기 위해 다른 미리 결정된 신호를 커넥터(4861)의 다른 미리 결정된 전기 접점에 출력하도록 구성될 수 있다.

[1988] 위에서 설명된 바와 같이, PCIe 프로토콜은 전이를 용이하게 하고 호환성을 보장하기 위해 STEP 물리 계층을 사용할 때라도 반도체 다이(4800) 및 데이터 저장 디바이스(4860)의 PCIe 제어기에서 보존될 수 있다. 이것은 PCIe 사양, 파워 레일, GPIO의 리셋 관련 방식(GPIO's related to reset scheme)(PERST), 클로킹(CLKREQ#, REFCLK_P/N) 또는 웨이크(WAKE#)에 의해 정의된 전력 상태를 포함할 수 있다.

[1989] STEP 프로토콜은 PCIe 프로토콜과 상이한 전력 상태를 정의(사용)한다. STEP 물리 계층의 적절한 동작을 인에이블하기 위해, 다음에는 도 15b와 관련하여 설명된 PCIe 전력 상태(링크 상태)와 STEP 전력 상태 사이의 예시적인 매핑이 설명된다. 두 개의 프로토콜 모두의 전력 상태 사이의 변환(전환)은 예를 들어 데이터 저장 디바

이스(4860) 및 반도체 다이(4800)의 개스킷 회로(4830, 4890)에 의해 수행될 수 있다. 예를 들어, 개스킷 회로가 PCIe 제어기부터 PCIe 프로토콜에 따라 특정 전력 상태로 변경하라는 커맨드를 수신하면, 개스킷 회로는 미리 결정된 매핑 방식에 따라 STEP 프로토콜의 전력 상태(전력 모드, 동작 모드)를 선택할 수 있고 STEP 물리 계층 회로를 STEP 프로토콜의 선택된 전력 상태(전력 모드, 동작 모드)로 변경하도록 제어할 수 있다.

[1990] 예를 들어, PCIe 전력 상태(L0)는 모드가 둘 모두 프로토콜의 디폴트 활성 모드이기 때문에 STEP 프로토콜의 고속(high speed)(HS) 모드로 매핑될 수 있다. 다시 말해, PCIe 전력 상태(L0)는 STEP 프로토콜의 최대 처리량 모드 또는 완전 동작 모드로 매핑될 수 있다.

[1991] PCIe 전력 상태(L0, L1.0 및 L1.1)는 예를 들어, STEP 프로토콜의 LPH1, LPH2 및 DIS 모드에 매핑될 수 있는데, 왜냐하면 이들 모드가 프로토콜의 저전력 모드이기 때문이다.

[1992] PCIe 전력 상태(L1.2)는 STEP 프로토콜의 디스에이블(DIS) 모드에 매핑될 수 있다. 디스에이블 모드에서, 반도체 다이(4800)의 프로세서 코어(4805)에 대한 네거티브의 공급 전압(W_{nn})은 예를 들어 에너지 절약을 위해 턴 오프될 수 있다. 디스에이블 모드의 전력 & 종료 대기 시간 특성뿐만 아니라 플랫폼 요건에 따라, 디스에이블 모드는 PCIe 전력 상태(L0, L1.0, L1.1와 L1.2)의 각각에 매핑될 수도 있다.

[1993] 또한, PCIe 전력 상태(L23)는 예를 들어, 둘 모두가 플랫폼의 리셋을 인에이블하기 때문에 STEP 프로토콜의 OFF 모드에 매핑될 수 있다. 플랫폼 요건과 OFF 모드의 전력 & 종료 대기 시간 특성에 따라, OFF 모드는 또한 PCIe 전력 상태(L1.1 및 L1.2)의 각각에 매핑될 수도 있다.

[1994] 위의 매핑은 예시이다. 전력 상태의 상이한 매핑이 대안적으로 사용될 수 있다. 시스템 요건에 따라, 프로세서 다이와 저장 요소 둘 모두의 개스킷 회로의 설계는 일관된 매핑으로 구성될 수 있다.

[1995] 도 48a 내지 도 48c와 관련하여 위에서 설명된 양태를 요약하면, STEP 인터페이스는 메모리 트래픽, 레거시 저장 트래픽 및 신규의 저장 트래픽 모델(이를 테면, 영구 메모리 DAX 모드)을 위해 CPU와 3D XPoint 저장 디바이스 사이의 최적화된 인터페이스로서 작용할 수 있다. 듀얼 물리 계층 포트, 즉 STEP 물리 계층을 위한 물리 계층 포트와 레거시 PCIe 물리 계층을 위한 물리 계층 포트를 가진 PCIe 제어기가 사용될 수 있다. 검출 메커니즘은 연결된 모듈, 즉 PCIe 기반 또는 STEP 기반 중 하나에 기초하여 물리 계층을 선택하는데 사용될 수 있다. 또한, PCIe 전력 상태와 STEP 전력 상태 사이의 매핑이 제안된다.

[1996] 위에서 설명된 CPU 다이 및/또는 위에서 설명한 데이터 저장 요소는 예를 들어 (퍼스널) 컴퓨터, 랩톱 컴퓨터 또는 태블릿 컴퓨터와 같은 컴퓨팅 디바이스에 사용될 수 있다. 다시 말해, 본 개시내용의 예는 또한 도 48a 내지 도 48c에 도시된 반도체 다이 및/또는 데이터 저장 디바이스를 포함하는 컴퓨터에 관련된다.

[1997] 도 49는 컴퓨팅 디바이스(4900)의 예를 도시한다. 컴퓨팅 디바이스(4900)는 마더 보드(메인 보드)(4902)를 하우징한다. 마더 보드(4902)는 이것으로 제한되는 것은 아니지만 프로세서(4904) 및 적어도 하나의 통신 칩(4906)을 포함하는 다수의 컴포넌트를 포함할 수 있다. 프로세서(4904)는 마더 보드(4902)에 물리적으로 및 전기적으로 결합된다. 일부 예에서, 적어도 하나의 통신 칩(4906)은 또한 마더 보드(4902)에도 물리적으로 및 전기적으로 결합된다. 추가 예에서, 통신 칩(4906)은 프로세서(4904)의 일부일 수 있다.

[1998] 애플리케이션에 따라, 컴퓨팅 디바이스(4900)는 마더 보드(4902)에 물리적으로 및 전기적으로 결합될 수 있거나, 또는 결합되지 않을 수 있는 다른 컴포넌트를 포함할 수 있다. 이러한 다른 컴포넌트는 이것으로 제한되는 것은 아니지만, 휘발성 메모리(예를 들어 DRAM), 비 휘발성 메모리(예를 들어 ROM), 플래시 메모리, 그래픽 프로세서, 디지털 신호 프로세서, 암호화 프로세서, 칩셋, 안테나, 디스플레이, 터치 스크린 디스플레이, 터치스크린 제어기, 외부 디스플레이로의 커넥터, 배터리, 오디오 코덱, 비디오 코덱, 전력 증폭기, GPS 디바이스, 나침반, 가속도계, 자이로스코프, 스피커, 카메라 및 데이터 저장 디바이스(이를 테면, 하드 디스크 드라이브(Hard Disk Drive)(HDD); SSD; 콤팩트 디스크(Compact Disk)(CD); 디지털 다용도 디스크(Digital Versatile Disk)(DVD) 등)를 포함할 수 있다.

[1999] 통신 칩(4906)은 컴퓨팅 디바이스(4900)로 및 컴퓨팅 디바이스로부터 데이터 전송을 위한 무선 통신을 가능하게 한다. "무선"이라는 용어 및 그 파생어는 비 고체 매체를 통해 변조된 전자기 방사선의 사용을 통해 데이터를 통신할 수 있는 회로, 디바이스, 시스템, 방법, 기술, 통신 채널 등을 설명하는데 사용될 수 있다. 이 용어는 연관된 디바이스가 어떠한 와이어도 포함하지 않는다는 것을 암시하지는 않지만, 일부 실시예에서는 그렇지 않을 수도 있다. 통신 칩(4906)은 이것으로 제한되는 것은 아니지만, Wi-Fi(IEEE 802.11 제품군), WiMAX(IEEE 802.16 제품군), IEEE 802.20, 롱 텀 에볼루션(long term evolution)(LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+,

EDGE, GSM, GPRS, CDMA, TDMA, DECT, 블루투스, 그 파생물뿐만 아니라, 3G, 4G, 5G 및 그 이상으로 지정된 임의의 다른 무선 프로토콜을 비롯한 다수의 무선 표준 또는 프로토콜 중 임의의 무선 표준 도는 프로토콜을 구현할 수 있다. 컴퓨팅 디바이스(4900)는 복수의 통신 칩(4906)을 포함할 수 있다. 예를 들어, 제 1 통신 칩(4906)은 Wi-Fi 및 블루투스와 같은 단거리 무선 통신에 전용될 수 있고, 제 2 통신 칩(4906)은 GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO 등과 같은 장거리 무선 통신에 전용될 수 있다.

[2000] 도 48a 내지 도 48c와 관련하여 위에서 설명된 바와 같이, STEP 프로토콜은 컴퓨팅 디바이스(4900)의 데이터 저장 디바이스와 프로세서(4904)를 결합하기 위해 사용될 수 있다. 유사하게, 데이터를 교환하는 컴퓨팅 디바이스(4900)의 다른 요소는 STEP 인터페이스/STEP 프로토콜을 사용하여 결합될 수 있다.

[2001] 위에서 설명된 예에서, 송신기 또는 수신기를 결합하기 위한 송신 링크는 전기 신호를 송신하기 위한 유선 링크로서 설명된다. 일부 예에서, 광 송신 링크(예를 들어, 하나 이상의 파이버)가 대신 사용될 수 있다. 따라서, 위에서 설명된 (출력) 인터페이스 회로는, 예를 들어, 처리 회로(예를 들어, DTC)에 의해 제공되는 하나 이상의 (STEP 순응) 전기 신호를 하나 이상의 광학 신호로 변환하도록 그리고 광학 신호(들)를 광 송신 링크에 출력하도록 구성된 광학 드라이버일 수 있다. 따라서, 광학 신호는 송신될 심볼에 대응하는 기간을 갖는 펄스 길이를 나타낸다. 예를 들어, 도 1b의 DTC(22)에 결합된 증폭기는 광학 드라이버로 대체될 수 있다. 유사하게, 위에서 설명된 (입력) 인터페이스 회로는 광학 송신 링크로부터 수신된 하나 이상의 광학 신호를 하나 이상의 전기 신호로 변환하도록, 그리고 신호 에지를 결정하기 위한 처리 회로(예를 들어, TDC)에 전기 신호(들)를 제공하도록 구성된 광학 수신기일 수 있다. 예를 들어, 도 1b의 TDC(20)에 결합된 증폭기는 광학 수신기로 대체될 수 있다. 다시 말해, STEP 인터커넥트의 예는 송신기와 수신기를 결합하는 송신 링크를 통해 하나 이상의 광학 신호(들)를 송신할 수 있다.

[2002] 도 1a 내지 도 1c와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2003] 데이터 신호를 생성하기 위한 장치의 제 1 예는 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리됨 - ; 및 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2004] 제 2 예에서, 제 1 예의 장치에서, 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2005] 제 3 예에서, 선행 예 중 한 예의 장치에서, 제 1 기간과 제 2 기간의 합은 10^{-7}s 또는 10^{-8}s 미만이다.

[2006] 제 4 예에서, 선행 예 중 한 예의 장치에서, 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2007] 제 5 예에서, 선행 예 중 한 예의 장치에서, 제 1 데이터는 제 1 데이터 심볼로 나타내고, 제 2 데이터는 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼로 나타낸다.

[2008] 제 6 예에서, 선행 예 중 한 예의 장치는 데이터 신호를 생성하도록 구성된 적어도 하나의 디지털-시간 변환기를 더 포함한다.

[2009] 제 7 예에서, 출력 인터페이스 회로는 데이터 신호를 하나 이상의 송신 라인으로 구성된 유선 송신 링크로 출력하도록 구성된다.

[2010] 제 8 예는 데이터 신호를 수신하기 위한 장치이며, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[2011] 제 9 예에서, 제 8 예의 장치에서, 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2012] 제 10 예에서, 제 8 예 또는 제 9 예 중 한 예의 장치에서, 제 1 기간과 제 2 기간의 합은 10^{-7}s 또는 10^{-8}s 미만이다.

[2013] 제 11 예에서, 제 8 예 내지 제 10 예 중 한 예의 장치에서, 처리 회로는 또한 제 2 데이터 신호 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - 를 수신하고; 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2014] 제 12 예에서, 제 8 예 내지 제 11 예 중 한 예의 장치에서, 복수의 신호 에지 사이의 기간은 통신 프로토콜의 데이터 심볼에 대응한다.

[2015] 제 13 예에서, 제 8 예 내지 제 12 예 중 한 예의 장치는 제 1 기간 및 제 2 기간을 결정하도록 구성된 적어도 하나의 시간-디지털 변환기를 더 포함한다.

[2016] 제 14 예는 데이터 신호를 생성하기 위한 장치이며, 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입과 제 2 타입의 교대하는 신호 에지를 포함하며, 신호 에지의 각각의 후속 쌍 사이의 기간은 송신될 데이터에 대응하고, 초당 다수의 기간은 $1*10^{7}$ 또는 $1*10^{8}$을 초과한다.

[2017] 제 15 예에서, 제 14 예의 장치에서, 두 신호 에지 사이의 기간은 통신 프로토콜의 데이터 심볼에 대응한다.

[2018] 제 16 예에서, 선행 예 중 한 예의 장치에서, 데이터 신호는 유선 송신 링크를 사용하여 송신된 디지털 신호이다.

[2019] 제 17 예는 데이터 신호를 생성하기 위한 수단이며, 데이터 신호 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리됨 - 를 생성하기 위한 수단; 및 데이터 신호를 출력하기 위한 수단을 포함한다.

[2020] 제 18 예에서, 제 17 예의 수단에서, 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2021] 제 19 예는 데이터 신호를 수신하기 위한 수단이며, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하기 위한 수단; 및 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터; 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하기 위한 수단을 포함한다.

[2022] 제 20 예에서, 제 19 예의 수단에서, 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2023] 제 21 예는 데이터 신호를 생성하기 위한 수단으로서, 데이터 신호를 생성하기 위한 수단을 포함하며, 데이터 신호는 제 1 타입 및 제 2 타입의 교대하는 신호 에지를 포함하되, 신호 에지의 각각의 후속 쌍 사이의 기간은 송신될 데이터에 대응하고, 초당 다수의 기간은 $1*10^{7}$ 또는 $1*10^{8}$을 초과한다.

[2024] 제 22 예는 데이터 신호를 생성하기 위한 장치이며, 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[2025] 제 23 예에서, 제 22 예의 장치는 데이터 신호의 출력 인터페이스를 더 포함한다.

[2026] 제 24 예는 데이터 신호를 생성하기 위한 장치이며, 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 처리 회로는 송신될 각각의 데이터 부분에 기초하여 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 조정하도록 구성된다.

[2027] 제 25 예에서, 제 24 예의 장치는 데이터 신호의 출력 인터페이스를 더 포함한다.

[2028] 도 1d 내지 도 1f와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2029] 제 1 예는 데이터 신호를 수신하기 위한 장치이며,

[2030] 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

[2031] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함하고, 장치는,

[2032] 제 1 데이터 또는 제 2 데이터에서 페이로드 데이터 이외의 다른 데이터를 식별할 때 트리거 신호를 생성하도록 구성된 검출 회로; 및

[2033] 트리거 신호의 발생시 클록 신호를 생성하도록 구성된 발진기 회로를 더 포함한다.

[2034] 일부 구현에서, 제 1 데이터 또는 제 2 데이터에서 페이로드 데이터 이외의 다른 데이터를 식별하는 것은 제 1 데이터 또는 제 2 데이터에 있을 페이로드 데이터가 없다는 것을 식별하는 것에 대응할 수 있다.

[2035] 제 2 예는 제 1 예의 장치이며, 이 예에서 클록 신호는 미리 결정된 수의 발진을 포함한다.

[2036] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 클록 신호를 사용하여 동작되는 적어도 하나의 데이터 처리 회로를 더 포함한다.

[2037] 제 4 예는 제 3 예의 장치이며, 이 예에서 데이터 처리 회로는 선입 선출 버퍼를 포함한다.

[2038] 제 5 예는 선행 예 중 어느 한 예의 장치이며, 이 예에서 검출 회로는 제 1 기간 및 제 2 기간 중 적어도 하나에 기초하여 패킷 심볼의 종료를 식별하고 패킷 심볼의 종료를 식별하면 트리거 신호를 생성하도록 구성된다.

[2039] 제 6 예는 데이터 신호를 수신하기 위한 장치이며, 데이터 신호의 입력 인터페이스; 및

[2040] 입력 인터페이스에서 데이터 신호가 없으면 클록 신호를 생성하도록 구성된 발진기 회로를 포함한다.

[2041] 제 7 예는 제 6 예의 장치이며,

[2042] 데이터 신호가 입력 인터페이스에서 수신되면 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 더 포함한다.

[2043] 제 8 예는 데이터 신호를 생성하기 위한 장치이며,

[2044] 페이로드 데이터의 입력 인터페이스;

[2045] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 페이로드 데이터가 입력 인터페이스에서 수신될 때 제 1 기간은 제 1 페이로드 데이터 심볼에 기초하고, 제 2 기간은 제 2 페이로드 데이터 심볼에 기초하고; 또는

[2046] 페이로드 데이터가 입력 인터페이스에서 수신되지 않을 때 제 1 기간은 제 1 미리 결정된 클록 사이클 시간에 기초하고 제 2 기간은 제 2 미리 결정된 클록 사이클 시간에 기초함 - ; 및

[2047] 데이터 신호를 출력하도록 구성된 출력 인터페이스를 포함한다.

[2048] 제 9 예는 제 8 예의 장치이며, 이 예에서 처리 회로는 제 1 신호 에지, 제 2 신호 및 제 3 신호 에지의 시퀀스를 생성하도록 구성된 디지털-시간 변환기를 더 포함한다.

[2049] 제 10 예는 제 9 예의 장치로서, 페이로드 데이터가 수신되지 않을 때 출력 인터페이스에 결합된 발진기 회로를 더 포함한다.

[2050] 제 11 예는 제 8 예 내지 제 10 예 중 어느 한 예의 장치이며, 제 1 미리 결정된 클록 사이클 시간 및 상기 제 2 미리 결정된 클록 사이클 시간이 저장된 메모리를 더 포함한다.

[2051] 제 12 예는 데이터 신호를 생성하기 위한 장치이며,

[2052] 페이로드 데이터의 입력 인터페이스;

[2053] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 페이로드 데이터 이외의 다른 데이터가 입력 인터페이스에서 수신되면, 제 1 미리 결정된 클록 사이클 시간 및 제 2 미리 결정된 클록 사이클 시간 중 적어도 하나를 갖는 클록 신호를 포함함 - ; 및

[2054] 데이터 신호를 출력하도록 구성된 출력 인터페이스를 포함한다.

[2055] 제 13 예는 제 12 예의 장치이며, 페이로드 데이터가 수신되지 않을 때 출력 인터페이스에 결합된 발진기 회로

를 더 포함한다.

[2056] 제 14 예는 데이터 신호를 수신하기 위한 방법이며,

[2057] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계;

[2058] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계; 및

[2059] 페이로드 데이터 이외의 다른 데이터가 제 1 데이터 또는 제 2 데이터 내에 있는 것으로 식별될 때 클록 신호를 생성하는 단계를 포함한다.

[2060] 제 15 예는 제 14 예의 방법이며, 이 예에서 클록 신호는 미리 결정된 수의 발진을 포함한다.

[2061] 제 16 예는 제 14 예 또는 제 15 예의 방법이며, 클록 신호를 사용하여 적어도 하나의 데이터 처리 회로를 동작시키는 단계를 더 포함한다.

[2062] 제 17 예는 제 14 예 내지 제 16 예 중 어느 한 예의 방법이며,

[2063] 제 1 기간 및 제 2 기간 중 적어도 하나에 기초하여 패킷 심볼의 종료를 식별하는 단계; 및

[2064] 패킷 심볼의 종료를 식별하면 트리거 신호를 생성하는 단계를 더 포함한다.

[2065] 제 18 예. 데이터 신호를 생성하기 위한 방법은,

[2066] 데이터 신호 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리됨 - 를 생성하는 단계;

[2067] 페이로드 데이터가 이용 가능할 때 제 1 페이로드 데이터 심볼에 기초하여 제 1 기간 및 제 2 페이로드 데이터 심볼에 기초하여 제 2 기간을 결정하는 단계; 또는

[2068] 페이로드 데이터가 이용 가능하지 않을 때 제 1 미리 결정된 클록 사이클 시간에 기초하여 제 1 기간 및 제 2 미리 결정된 클록 사이클 시간에 기초하여 제 2 기간을 결정하는 단계를 포함한다.

[2069] 제 19 예는 제 18 예의 방법이며, 디지털-시간 변환기를 이용하여 제 1 신호 에지, 제 2 신호 및 제 3 신호 에지의 시퀀스를 생성하는 단계를 더 포함한다.

[2070] 제 20 예는 제 19 예의 방법이며, 페이로드 데이터 이외의 다른 데이터가 수신될 때 출력 인터페이스에 결합된 발진기 회로를 사용하는 단계를 더 포함한다.

[2071] 제 21 예는 제 19 예 또는 제 20 예의 방법이며, 메모리로부터 제 1 미리 결정된 클록 사이클 시간 및 제 2 미리 결정된 클록 사이클 시간을 판독하는 단계를 더 포함한다.

[2072] 제 22 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 1 예 내지 제 7 예 중 어느 한 예에 따른 데이터 신호를 수신하기 위한 장치를 포함한다.

[2073] 제 23 예는 제 22 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2074] 제 24 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 8 예 내지 제 13 예 중 어느 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[2075] 제 25 예는 제 24 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2076] 도 2a 내지 도 2i와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2077] 제 1 예는 차동 신호 쌍을 생성하기 위한 장치이며,

[2078] 차동 신호 쌍의 제 1 신호를 송신 링크의 제 1 송신 라인에 그리고 차동 신호 쌍의 제 2 신호를 송신 링크의 제 2 송신 라인에 동시에 공급하도록 구성된 출력 인터페이스 회로 - 제 1 신호 및 제 2 신호는 둘 모두 제 1 신호 레벨에 있음 - ; 및

[2079] 제 1 신호가 제 1 극성에 대응하면 제 1 신호의 신호 레벨을 제 2 신호 레벨로 변경하도록 구성된 처리 회로를 포함한다.

[2080] 제 2 예는 제 1 예의 장치이며, 이 예에서 제 1 신호가 제 1 극성에 대응하면, 처리 회로는 또한 제 2 신호를 제 1 신호 레벨로 유지하도록 구성된다.

[2081] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서 제 1 신호가 제 2 극성에 대응하면, 처리 회로는 또한:

[2082] 제 2 신호의 신호 레벨을 제 2 신호 레벨로 변경하고;

[2083] 제 1 신호 레벨을 제 1 신호 레벨로 유지하도록 구성된다.

[2084] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 제 1 신호에서 하강 신호 에지를 생성함으로써 제 1 신호의 신호 레벨을 제 2 신호 레벨로 변경하도록 구성된다.

[2085] 제 5 예는 선행 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 제 1 신호 및 제 2 신호 중 하나를 생성하도록 구성되고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[2086] 제 6 예는 제 5 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2087] 제 7 예는 제 5 예 또는 제 6 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2088] 제 8 예는 제 5 예 내지 제 7 예 중 어느 한 예의 장치이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이다.

[2089] 제 9 예는 차동 신호 쌍을 처리하기 위한 장치이며,

[2090] 송신 링크의 제 1 송신 라인으로부터 차동 신호 쌍의 제 1 신호 및 송신 링크의 제 2 송신 라인으로부터 차동 신호 쌍의 제 2 신호를 동시에 수신하도록 구성된 입력 인터페이스 회로 - 제 1 신호 및 제 2 신호는 초기에 둘 모두 제 1 신호 레벨에 있음 - ; 및

[2091] 제 1 신호의 신호 레벨이 제 2 신호 레벨로 변경되면 제 1 신호가 제 1 극성에 대응한다고 결정하도록 구성된 처리 회로를 포함한다.

[2092] 제 10 예는 제 9 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 신호가 제 1 신호 레벨에서 유지되면 제 1 신호가 제 1 극성에 대응한다고 결정하도록 구성된다.

[2093] 제 11 예는 제 9 예 또는 제 10 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 신호의 신호 레벨이 제 2 신호 레벨로 변경되면, 그리고 제 1 신호가 제 2 신호 레벨에서 유지되면, 제 1 신호가 제 2 극성에 대응한다고 결정하도록 구성된다.

[2094] 제 12 예는 제 9 예 내지 제 11 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 제 1 신호에서 하강 신호 에지에 의해 제 1 신호가 제 2 신호 레벨로 변경되는 것을 결정하도록 구성된다.

[2095] 제 13 예는 제 9 예 내지 제 12 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는:

[2096] 제 1 신호 및 제 2 신호에 기초하여 로직 신호를 생성하도록 구성된 NAND 게이트;

[2097] 제 1 신호 및 로직 신호에 기초하여 제 1 결정 신호(decision signal)를 생성하도록 구성된 제 1 NOR 게이트;

[2098] 제 2 신호 및 로직 신호에 기초하여 제 2 결정 신호를 생성하도록 구성된 제 2 NOR 게이트; 및

[2099] 제 1 결정 신호 및 제 2 결정 신호에 기초하여, 제 1 신호의 극성을 나타내는 극성 신호를 출력하도록 구성된 플립 플롭 회로를 포함한다.

[2100] 제 14 예는 제 9 예 내지 제 12 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는:

[2101] 기준 클록 신호에 기초하여 제 1 신호 및 제 2 신호를 동시에 샘플링하도록 구성된 시간-디지털 변환기를 포함하되, 디지털-시간 변환기는 또한 제 1 신호 레벨로부터 제 2 신호 레벨로 변경되는 제 1 신호 및 제 2 신호 중 하나를 나타내는 정보 신호를 제공하도록 구성된다.

[2102] 제 15 예는 제 14 예의 장치이며, 이 예에서 신호 처리 회로는, 제 1 신호 및 제 2 신호를 수신하고, 정보 신호에 기초하여 제 1 신호 및 제 2 신호 중 하나를 시간-디지털 변환기의 제 1 입력에 제공하고, 정보 신호에 기초하여 제 1 신호 및 제 2 신호 중 다른 하나를 시간-디지털 변환기의 제 2 입력에 제공하도록 구성된 신호 교환 회로(signal swapping circuit)를 더 포함한다.

[2103] 제 16 예는 제 9 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 1 신호 및 제 2 신호 중 적어도 하나에 기초하여 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성되고, 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 더 포함한다.

[2104] 제 17 예는 제 16 예의 장치이며, 이 예에서 시간-디지털 변환기는 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 3 신호 에지의 시퀀스를 결정하기 위해 사용된다.

[2105] 제 18 예는 제 16 예 또는 제 17 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2106] 제 19 예는 제 16 예 내지 제 18 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2107] 제 20 예는 제 16 예 내지 제 19 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 제 1 신호 및 제 2 신호 둘 모두에 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2108] 제 21 예는 차동 신호 쌍을 생성하기 위한 방법이며, 방법은,

[2109] 차동 신호 쌍의 제 1 신호를 송신 링크의 제 1 송신 라인에 그리고 차동 신호 쌍의 제 2 신호를 송신 링크의 제 2 송신 라인에 동시에 공급하는 단계 - 제 1 신호 및 제 2 신호는 초기에 둘 모두 제 1 신호 레벨에 있음 - ; 및

[2110] 제 1 신호가 제 1 극성에 대응하면 제 1 신호의 신호 레벨을 제 2 신호 레벨로 변경하는 단계를 포함한다.

[2111] 제 22 예는 제 21 예의 방법이며, 제 1 신호에서 하강 신호 에지를 생성하여 제 1 신호의 신호 레벨을 제 2 신호 레벨로 변경하는 단계를 더 포함한다.

[2112] 제 23 예는 차동 신호 쌍을 처리하기 위한 방법이며,

[2113] 송신 링크의 제 1 송신 라인으로부터 차동 신호 쌍의 제 1 신호 및 송신 링크의 제 2 송신 라인으로부터 차동 신호 쌍의 제 2 신호를 동시에 수신하는 단계 - 제 1 신호 및 제 2 신호는 둘 모두 제 1 신호 레벨에 있음 - ; 및

[2114] 제 1 신호의 신호 레벨이 제 2 신호 레벨로 변경되면 제 1 신호가 제 1 극성에 대응한다고 결정하는 단계를 포함한다.

[2115] 제 24 예는 제 23 예의 방법이며, 제 1 극성에 따라 시간-디지털 변환기의 입력에서 제 1 신호 및 제 2 신호를 교환하는 단계를 더 포함한다.

[2116] 제 25 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 9 예 내지 제 20 예 중 어느 한 예에 따른 차동 신호 쌍을 처리하기 위한 장치를 포함한다.

[2117] 제 26 예는 제 25 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2118] 제 27 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 1 예 1 내지 제 8 예 중 어느 한 예에 따른 차동 신호 쌍을 생성하기 위한 장치를 포함한다.

[2119] 제 28 예는 제 27 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2120] 도 3a 내지 도 3h와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2121] 제 1 예는 데이터 심볼의 시리즈에 기초한 데이터 신호를 생성하는 방법이며, 방법은,

[2122] 데이터 심볼의 그룹에 대한 원하는 신호 속성으로부터의 편차를 현재 편차로서 결정하는 단계;

[2123] 현재 편차를 누적 편차(accumulated deviation)와 비교하는 단계 - 누적 편차는 데이터 심볼의 시리즈의 앞에 오는 데이터 심볼에 기초함 - ; 및

[2124] 송신 심볼의 그룹을 생성하는 단계를 포함하되, 송신 심볼의 그룹은,

[2125] 현재 편차와 누적 편차가 둘 모두 동일한 속성을 갖는다면, 데이터 심볼의 그룹의 모든 데이터 심볼에 대해 반전된 데이터 심볼을 포함하고; 또는

[2126] 현재 편차와 누적 편차가 둘 모두 상이한 속성을 갖는다면, 데이터 심볼의 그룹을 포함한다.

[2127] 제 2 예는 제 1 예의 방법이며, 송신 심볼의 그룹에 기초하여 누적 편차를 업데이트하는 단계를 더 포함한다.

[2128] 제 3 예는 선행 예 중 어느 한 예의 방법이며, 원하는 신호 속성은 데이터 신호의 평균 목표 주파수 또는 평균 공통 모드 중 적어도 하나이다.

[2129] 제 4 예는 선행 예 중 어느 한 예의 방법이며, 이 예에서 원하는 신호 속성은 데이터 심볼과 연관된 기간의 평균 길이, 또는 데이터 신호의 두 신호 상태의 평균 지속기간 사이의 원하는 차이 중 적어도 하나이다.

[2130] 제 5 예는 제 4 예의 방법이며, 이 예에서 기간의 평균 길이는 데이터 심볼과 연관된 최대 길이의 50 %이다.

[2131] 제 6 예는 제 4 예의 방법이며, 이 예에서 원하는 차이는 0이다.

[2132] 제 7 예는 선행 예 중 어느 한 예의 방법이며, 이 예에서 데이터 심볼의 그룹은 적어도 하나의 페이로드 데이터 심볼을 포함한다.

[2133] 제 8 예는 제 3 예의 방법이며,

[2134] 평균 목표 주파수를 추가 평균 목표 주파수로 변경하는 단계; 및

[2135] 데이터 심볼의 추가 그룹에 대한 추가 평균 목표 주파수로부터의 편차를 현재 편차로서 결정하는 단계를 더 포함한다.

[2136] 제 9 예는 제 8 예의 방법이며, 이 예에서 평균 목표 주파수를 변경하는 단계는 미리 결정된 평균 목표 주파수의 시퀀스로부터 추가 평균 목표 주파수를 선택하는 단계를 포함한다.

[2137] 제 10 예는 제 8 예의 방법이며, 이 예에서 평균 목표 주파수를 변경하는 단계는 난수 생성 방법을 사용하여 추가 평균 목표 주파수를 결정하는 단계를 포함한다.

[2138] 제 11 예는 선행 예 중 어느 한 예의 방법이며, 이 예에서 현재 편차를 결정하는 단계는 데이터 심볼의 그룹에 대한 확산 인자(spreading factor)를 고려하는 단계를 더 포함한다.

[2139] 제 12 예는 제 11 예의 방법이며,

[2140] 데이터 심볼의 그룹 내 데이터 심볼에 대한 신호 속성의 누적 값을 결정하는 단계; 및

[2141] 확산 인자를 누적 값에 가산하여 신호 속성의 현재 추정치를 결정하는 단계; 및

[2142] 현재 추정치를 원하는 신호 속성과 비교하여 현재 편차를 결정하는 단계를 더 포함한다.

[2143] 제 13 예는 제 11 예 또는 제 12 예의 방법이며,

[2144] 미리 결정된 확산 인자의 시퀀스로부터 확산 인자를 선택하는 단계; 또는 난수 생성 방법을 사용하여 확산 인자를 결정하는 단계를 더 포함한다.

[2145] 제 14 예는 선행 예 중 어느 한 예의 방법이며, 적어도 하나의 상태 데이터 심볼을 송신 데이터 심볼의 그룹에 포함시키는 단계를 더 포함하고, 적어도 하나의 상태 데이터 심볼은 송신 데이터 심볼의 그룹이 반전된 데이터 심볼을 포함하는지를 표시한다.

[2146] 제 15 예는 데이터 심볼의 시리즈에 기초한 데이터 신호를 생성하는 방법이며, 방법은,

[2147] 데이터 심볼의 그룹의 모든 제 2 데이터 심볼에 대한 원하는 신호 속성으로부터의 편차를 제 1 현재 편차로서 결정하는 단계;

[2148] 데이터 심볼의 그룹의 나머지 데이터 심볼에 대한 원하는 신호 속성으로부터의 편차를 제 2 현재 편차로서 결정

하는 단계;

[2149] 제 1 현재 편차를 제 1 누적 편차와 비교하는 단계 - 제 1 누적 편차는 앞에 오는 데이터 심볼의 그룹의 모든 제 2 데이터 심볼에 기초함 - ;

[2150] 제 2 현재 편차를 제 2 누적 편차와 비교하는 단계 - 제 2 누적 편차는 앞에 오는 데이터 심볼의 그룹의 나머지 데이터 심볼에 기초함 - ;

[2151] 송신 심볼의 그룹을 생성하는 단계를 포함하되, 송신 심볼의 그룹은,

[2152] 제 1 현재 편차와 제 1 누적 편차가 둘 모두 동일한 속성을 포함하면, 데이터 심볼의 그룹의 모든 제 2 데이터 심볼에 대해 반전된 데이터 심볼을 포함하고; 또는 제 1 현재 편차와 제 1 누적 편차가 둘 모두 상이한 속성을 포함하면, 데이터 심볼의 그룹의 모든 제 2 데이터 심볼을 포함하고;

[2153] 제 2 현재 편차와 제 2 누적 편차가 둘 모두 동일한 속성을 포함하면, 데이터 심볼의 그룹의 모든 나머지 데이터 심볼에 대해 반전된 데이터 심볼을 포함하고; 또는

[2154] 제 2 현재 편차 및 제 2 누적 편차가 둘 모두 상이한 속성을 포함하면, 데이터 심볼의 그룹의 모든 나머지 데이터 심볼을 포함한다.

[2155] 제 16 예는 제 15 예의 방법이며, 적어도 제 1 상태 데이터 심볼 및 제 2 상태 데이터 심볼을 송신 심볼의 그룹에 포함시키는 단계를 더 포함하되, 제 1 상태 데이터 심볼은 송신 심볼의 그룹의 모든 제 2 데이터 심볼이 반전된 데이터 심볼인지를 표시하며; 제 2 상태 데이터 심볼은 송신 심볼의 그룹의 모든 나머지 데이터 심볼이 반전된 데이터 심볼인지를 표시한다.

[2156] 제 17 예는 제 15 예 또는 제 16 예의 방법이며, 이 예에서 원하는 신호 속성은 데이터 심볼과 연관된 기간의 평균 길이이다.

[2157] 제 18 예는 데이터 신호를 수신하기 위한 방법이며, 방법은,

[2158] 적어도 하나의 상태 데이터 심볼 및 데이터 심볼의 그룹을 포함하는 송신 심볼의 그룹을 수신하는 단계; 및

[2159] 상태 데이터 심볼이 송신 심볼의 그룹이 반전된 데이터 심볼을 포함한다고 표시하면, 송신 심볼의 그룹의 데이터 심볼을 반전하는 단계를 포함한다.

[2160] 제 19 예는 제 18 예의 방법이며,

[2161] 제 1 복조 방식을 사용하여 상태 심볼을 복조하는 단계; 및

[2162] 제 2 복조 방식을 사용하여 데이터 심볼을 복조하는 단계를 포함한다.

[2163] 제 20 예는 데이터 심볼의 시리즈에 기초한 데이터 신호를 생성하기 위한 장치이며, 장치는,

[2164] 데이터 심볼의 그룹에 대한 원하는 신호 속성으로부터의 편차를 현재 편차이며 결정하도록 구성된 모니터링 회로;

[2165] 현재 편차를 누적 편차와 비교하도록 구성된 결정 회로 - 누적 편차는 데이터 심볼의 시리즈의 앞에 오는 데이터 심볼에 기초함 - ; 및

[2166] 송신 심볼의 그룹을 생성하도록 구성된 회로를 포함하되, 송신 심볼의 그룹은,

[2167] 현재 편차와 누적 편차가 둘 모두 동일한 부호를 포함하면, 데이터 심볼의 그룹의 모든 데이터 심볼에 대해 반전된 데이터 심볼을 포함하고; 또는

[2168] 현재 편차 및 누적 편차가 둘 모두 상이한 부호를 포함하면, 데이터 심볼의 그룹의 데이터 심볼을 포함한다.

[2169] 제 21 예는 제 20 예의 장치이며, 송신 심볼의 그룹에 기초하여 누적 편차를 업데이트하도록 구성된 회로를 더 포함한다.

[2170] 제 22 예는 제 20 예 또는 제 21 예 중 어느 한 예의 장치이며, 이 예에서 원하는 신호 속성은 데이터 신호의 평균 목표 주파수 또는 평균 공통 모드 중 적어도 하나이다.

[2171] 제 23 예는 제 20 예 내지 제 22 예 중 어느 한 예의 장치이며, 이 예에서 원하는 신호 속성은 송신 심볼의 그룹 내 데이터 심볼과 연관된 기간의 평균 길이, 또는 데이터 신호의 두 신호 상태의 평균 지속기간 사이의 평균

차이 중 적어도 하나이다.

[2172] 제 24 예는 제 23 예의 장치이며, 이 예에서 기간의 평균 길이는 송신 심볼과 연관된 최대 길이의 50 %이다.

[2173] 제 25 예는 제 23 예의 장치이며, 이 예에서 원하는 차이는 0이다.

[2174] 제 26 예는 제 22 예의 장치이며, 이 예에서 모니터링 회로는 또한 평균 목표 주파수를 변경하도록 구성된다.

[2175] 제 27 예는 제 26 예의 장치이며, 이 예에서 평균 목표 주파수를 변경하는 것은 미리 결정된 평균 목표 주파수의 시퀀스로부터 평균 목표 주파수를 선택하는 것을 포함한다.

[2176] 제 28 예는 제 27 예의 장치이며, 이 예에서 평균 목표 주파수를 변경하는 것은 난수 생성 방법을 사용하여 평균 목표 주파수를 결정하는 것을 포함한다.

[2177] 제 29 예는 선행 예 중 어느 한 예의 장치이며, 이 예에서 모니터링 회로는 또한 데이터 심볼의 그룹에 대한 확산 인자를 고려하여 현재 편차를 결정하도록 구성된다.

[2178] 제 30 예는 제 29 예의 장치이며, 이 예에서 모니터링 회로는 데이터 심볼의 그룹 내 데이터 심볼에 대한 신호 속성의 누적 값을 결정하고;

[2179] 확산 인자를 누적 값에 가산하여 신호 속성의 현재 추정치를 결정하고;

[2180] 현재 추정치를 원하는 신호 속성과 비교하여 현재 편차를 결정하도록 구성된다.

[2181] 제 31 예는 제 29 예 또는 제 30 예 중 어느 한 예의 장치이며, 미리 결정된 확산 인자의 시퀀스로부터 확산 인자를 선택하는 것; 또는

[2182] 난수 생성 방법을 사용하여 확산 인자를 결정하는 것을 더 포함한다.

[2183] 제 32 예는 제 20 예 내지 제 31 예 중 어느 한 예의 장치이며, 이 예에서 송신 심볼의 그룹은 적어도 하나의 페이로드 데이터 심볼을 포함한다.

[2184] 제 33 예는 제 20 예 내지 제 32 예 중 어느 한 예의 장치이며, 송신 데이터 심볼의 그룹 및 적어도 하나의 상태 데이터 심볼을 데이터 신호에 포함시키도록 구성된 멀티플렉서 회로를 더 포함하되, 적어도 하나의 상태 데이터 심볼은 송신 데이터 심볼의 그룹이 반전된 데이터 심볼을 포함하는지를 표시한다.

[2185] 제 34 예는 제 20 예 내지 제 33 예 중 어느 한 예의 장치이며, 이 예에서 송신 심볼의 그룹을 생성하도록 구성된 회로는 XOR 게이트 또는 XNOR 게이트를 포함한다.

[2186] 제 35 예는 제 20 예 내지 예 34 예 중 어느 한 예의 장치이며, 데이터 심볼의 시리즈를 수신하도록 구성된 입력 인터페이스를 더 포함한다.

[2187] 제 36 예는 제 20 예 내지 제 35 예 중 어느 한 예의 장치이며,

[2188] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[2189] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[2190] 제 37 예는 데이터 신호를 수신하기 위한 장치이며,

[2191] 적어도 하나의 상태 데이터 심볼 및 데이터 심볼의 그룹을 포함하는 송신 심볼의 그룹을 수신하도록 구성된 입력 회로; 및

[2192] 상태 데이터 심볼이 송신 심볼의 그룹이 반전된 데이터 심볼을 포함한다고 표시하면, 송신 심볼의 그룹의 데이터 심볼을 반전하도록 구성된 반전 회로를 포함한다.

[2193] 제 38 예는 제 37 예의 장치이며,

[2194] 제 1 복조 방식을 사용하여 상태 심볼을 복조하고;

[2195] 제 2 복조 방식을 사용하여 데이터 심볼을 복조하도록 구성된 복조 회로를 포함한다.

[2196] 제 39 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 37 예 또는 제 38 예 중 어느 한 예에 따른 데이터 신호를 수신하기 위한 장치를 포함한다.

[2197] 예 40은 예 39의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2198] 제 41 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 20 예 내지 제 36 예 중 어느 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[2199] 제 42 예는 제 41 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2200] 도 4a 내지 도 4h와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2201] 제 1 예는 데이터 신호를 생성하기 위한 장치이며,

[2202] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 4 신호 에지, 제 1 타입의 제 5 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간에 의해 분리되고, 그리고 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간에 의해 분리되고, 제 1 기간은 페이로드 데이터 임계치보다 길고, 제 2 기간은 페이로드 데이터 임계치보다 짧고, 제 3 기간은 페이로드 데이터 임계치보다 길고 제 1 기간과는 상이하며, 제 4 기간은 제 2 기간과 실질적으로 동일함 - ; 및

[2203] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2204] 제 2 예는 데이터 신호를 생성하기 위한 장치이며,

[2205] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 4 신호 에지, 제 1 타입의 제 5 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간에 의해 분리되고, 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간에 의해 분리되고, 제 1 기간은 페이로드 데이터 임계치보다 짧고, 제 2 기간은 페이로드 데이터 임계치보다 길고, 제 3 기간은 제 1 기간과 동일하고, 제 4 기간은 페이로드 데이터 임계치보다 길고 제 2 기간과는 상이함 - ; 및

[2206] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2207] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서 처리 회로는 미리 결정된 변조 방식에 따라 제 1 기간과 제 3 기간 사이의 차이를 결정하도록 구성된다.

[2208] 제 4 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서 처리 회로는 랜덤 변조 방식에 따라 제 1 기간과 제 3 기간 사이의 차이를 결정하도록 구성된다.

[2209] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2210] 제 6 예는 데이터 스트림을 생성하기 위한 장치이며,

[2211] 제어 심볼 표시자, 유휴 상태를 표시하는 제어 심볼, 추가 제어 심볼 표시자 및 유휴 상태를 표시하는 추가 제어 심볼의 시퀀스를 포함하는 데이터 스트림을 생성하도록 구성된 처리 회로 - 제어 심볼 표시자는 제 1 기간과 연관되고, 제어 심볼은 제 2 기간과 연관되고, 추가 제어 심볼 표시자는 제 3 기간과 연관되며, 추가 제어 심볼은 제 2 기간과 연관됨 - ; 및

[2212] 미리 결정된 변조 방식에 따라 기간 간격 내에서 기간을 변동시킴으로써 제 1 기간 및 제 3 기간을 결정하도록 구성된 변조기 회로를 포함한다.

[2213] 제 7 예는 데이터 스트림을 생성하기 위한 장치이며,

[2214] 유휴 상태를 표시하는 제어 심볼, 제어 심볼 표시자, 유휴 상태를 표시하는 추가 제어 심볼 및 추가 제어 심볼

표시자의 시퀀스를 포함하는 데이터 스트림을 생성하도록 구성된 처리 회로 - 제어 심볼은 제 1 기간과 연관되고, 제어 심볼 표시자는 제 2 기간과 연관되고, 추가 제어 심볼은 제 3 기간과 연관되며, 추가 제어 심볼 표시자는 제 4 기간과 연관됨 - ; 및

[2215] 미리 결정된 변조 방식에 따라 기간 간격 내에서 기간을 변동시킴으로써 제 2 기간 및 제 4 기간을 결정하도록 구성된 변조기 회로를 포함한다.

[2216] 제 8 예는 제 6 예 또는 제 7 예의 장치이며, 이 예에서 변조기 회로는 서로 다른 연관된 제 1 및 제 3 기간을 결정하도록 구성된다.

[2217] 제 9 예는 제 6 예 내지 제 8 예 중 어느 한 예의 장치이며, 데이터 신호를 출력하도록 구성된 출력 인터페이스를 더 포함한다.

[2218] 제 10 예는 데이터 신호를 생성하기 위한 방법이며,

[2219] 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지, 제 2 타입의 제 4 신호 에지, 제 1 타입의 제 5 신호 에지의 시퀀스를 생성하는 단계 - 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되고, 제 3 신호 에지 및 제 4 신호 에지는 제 3 기간에 의해 분리되고, 제 4 신호 에지 및 제 5 신호 에지는 제 4 기간에 의해 분리되고, 제 1 기간은 페이로드 데이터 임계치보다 길고, 제 2 기간은 페이로드 데이터 임계치보다 짧고, 제 3 기간은 페이로드 데이터 임계치보다 길며, 제 4 기간은 실질적으로 제 2 기간과 동일함 - ; 및

[2220] 제 3 기간을 제 1 기간과 상이하게 변동시키는 단계를 포함한다.

[2221] 제 11 예는 제 10 예의 방법이며, 메모리로부터 제 1 기간 및 제 2 기간을 판독하는 단계를 더 포함한다.

[2222] 제 12 예는 데이터 스트림을 생성하기 위한 방법이며,

[2223] 제어 심볼 표시자, 유휴 상태를 표시하는 제어 심볼, 추가 제어 심볼 표시자 및 유휴 상태를 표시하는 추가 제어 심볼의 시퀀스를 포함하는 데이터 스트림을 생성하는 단계 - 제어 심볼 표시자는 제 1 기간과 연관되고, 제어 심볼은 제 2 기간과 연관되고, 추가 제어 심볼 표시자는 제 3 기간과 연관되며, 추가 제어 심볼은 제 2 기간과 연관됨 -; 및

[2224] 기간 간격 내에서 기간을 변동시켜 제 1 기간 및 제 1 기간과 상이한 제 3 기간을 생성하는 단계를 포함한다.

[2225] 제 13 예는 제 12 예의 방법이며, 난수 생성 방법을 사용하여 기간을 변동시키는 단계 또는 미리 결정된 변조 방식을 사용하여 기간을 변동시키는 단계를 더 포함한다.

[2226] 제 14 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 1 예 내지 제 5 예 중 어느 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[2227] 제 15 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 6 예 내지 제 9 예 중 어느 한 예에 따른 데이터 스트림을 생성하기 위한 장치를 포함한다.

[2228] 제 16 예는 제 14 예 또는 제 15 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2229] 도 5a 내지 도 5f와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2230] 제 1 예는 송신 시스템이며,

[2231] 제 1 데이터 링크에 대한 제 1 출력 인터페이스에 결합된 제 1 송신기;

[2232] 제 2 데이터 링크에 대한 제 2 출력 인터페이스에 결합된 제 2 송신기;

[2233] 제 1 송신기에 의해 생성된 제 1 데이터 신호로부터 도출된 신호를 필터 회로로 스위칭하도록 구성된 멀티플렉서 회로를 포함하되, 필터 회로는 제 2 출력 인터페이스에 결합된다.

[2234] 제 2 예는 제 1 예의 송신 시스템이며, 이 예에서 필터 회로는 가변 필터 특성을 포함한다.

[2235] 제 3 예는 제 2 예의 송신 시스템이며, 이 예에서 필터 회로는 고역 통과 특성을 포함한다.

[2236] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 송신 시스템이며, 이 예에서 필터 회로는,

[2237] 차동 데이터 신호의 포지티브 컴포넌트에 대한 포지티브 입력 및 차동 데이터 신호의 네거티브 컴포넌트에 대한 네거티브 입력;

[2238] 차동 데이터 신호의 포지티브 컴포넌트에 대한 포지티브 출력 및 차동 데이터 신호의 네거티브 컴포넌트에 대한 네거티브 출력을 포함하며, 필터 회로는 포지티브 입력과 네거티브 출력 사이 및 네거티브 입력과 포지티브 출력 사이에 결합된다.

[2239] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 송신 시스템이며,

[2240] 제 1 데이터 신호를 생성하기 위한 제 1 장치 - 제 1 장치는,

[2241] 제 1 데이터 신호를 생성하도록 구성된 제 1 처리 회로를 포함하고, 제 1 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되고; 처리 회로는 제 1 송신기에 결합됨 - ; 및

[2242] 제 2 데이터 신호를 생성하기 위한 제 2 장치 - 제 2 장치는,

[2243] 제 2 데이터 신호를 생성하도록 구성된 제 2 처리 회로를 포함하고, 제 2 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 송신될 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 송신될 제 4 데이터에 대응하는 제 4 기간에 의해 분리되고;

[2244] 제 2 처리 회로는 제 1 송신기에 결합됨 - 를 포함한다.

[2245] 제 6 예는 데이터 수신 시스템이며,

[2246] 제 1 데이터 링크에 대한 제 1 입력 인터페이스에 결합된 제 1 수신기;

[2247] 제 2 데이터 링크에 대한 제 2 입력 인터페이스에 결합된 제 2 수신기; 및

[2248] 제 1 입력 인터페이스에서 수신된 제 1 데이터 신호로부터 도출된 신호를 필터 회로로 스위칭하도록 구성된 멀티플렉서 회로를 포함하되, 필터 회로의 출력은 제 2 입력 인터페이스에 결합된다.

[2249] 제 7 예는 제 6 예의 데이터 수신 시스템이며, 이 예에서 필터 회로는 가변 필터 특성을 포함한다.

[2250] 제 8 예는 제 6 예 또는 제 7 예의 데이터 수신 시스템이며,

[2251] 제 1 입력 인터페이스에 결합된 데이터 신호를 수신하기 위한 제 1 장치 - 제 1 장치는,

[2252] 제 1 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 제 1 처리 회로; 및

[2253] 제 1 신호 에지와 상기 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터; 및 상기 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 제 1 복조 회로를 포함함 - ; 및

[2254] 제 2 입력 인터페이스에 결합된 데이터 신호를 수신하기 위한 제 2 장치 - 제 2 장치는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 제 2 처리 회로; 및

[2255] 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 데이터를 결정하고; 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 데이터를 결정하도록 구성된 제 2 복조 회로를 포함함 - 를 포함한다.

[2256] 제 9 예는 제 1 예 내지 제 5 예 중 어느 한 예의 송신 시스템 또는 제 6 예 내지 제 8 예 중 어느 한 예의 수신 시스템이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2257] 제 10 예는 제 1 인터커넥트의 제 2 인터커넥트로의 누설을 완화하는 방법이며,

[2258] 제 1 인터커넥트의 제 1 송신기에 의해 생성된 제 1 데이터 신호로부터 데이터 신호를 도출하여 원시 신호를 생성하는 단계;

[2259] 원시 신호를 필터링하여 보정 신호를 생성하는 단계; 및

[2260] 보정 신호를 제 2 인터커넥트에 의해 사용되는 제 2 데이터 링크에 인가하는 단계를 포함한다.

[2261] 제 11 예는 제 10 예의 방법이며, 필터링은 고역 통과 특성을 포함한다.

[2262] 제 12 예는 제 10 예 또는 제 11 예에 따른 방법이며, 보정 신호의 진폭, 위상 및 지연을 조정하는 단계를 더 포함한다.

[2263] 제 13 예는 제 10 예 내지 제 12 예 중 어느 한 예의 방법이며, 제 2 데이터 링크 상의 제 2 데이터 신호의 신호 특성을 결정하는 단계를 더 포함한다.

[2264] 제 14 예는 제 13 예의 방법이며, 신호 특성이 미리 결정된 기준을 충족시킬 때까지 원시 신호를 필터링하도록 필터 특성을 변동시키는 단계를 더 포함한다.

[2265] 제 15 예는 제 13 예 또는 제 14 예의 방법이며, 이 예에서 특성은 비트 에러 레이트(Bit Error Rate) 또는 지터(Jitter) 중 적어도 하나이다.

[2266] 제 16 예는 제 14 예 또는 제 15 예 중 어느 한 예의 방법이며, 이 예에서 미리 결정된 기준은 신호 특성이 최소치를 나타내거나 또는 신호 특성이 미리 결정된 임계치 미만이면 충족된다.

[2267] 제 17 예는 제 10 예 내지 제 16 예 중 어느 한 예의 방법이며, 이 예에서 제 1 데이터 신호로부터 데이터 신호를 도출하는 단계는 제 1 데이터 신호를 복사하는 단계 또는 샘플링하는 단계 중 적어도 하나를 포함한다.

[2268] 제 18 예는 데이터 통신 인터링크이며,

[2269] 제 1 예 내지 제 5 예 중 한 예의 적어도 하나의 송신 시스템; 및

[2270] 제 6 예 내지 제 8 예 중 한 예의 적어도 하나의 수신 시스템을 포함한다.

[2271] 제 19 예는 데이터 통신 인터링크이며,

[2272] 제 1 송신기와 제 1 수신기 사이에 결합된 제 1 데이터 링크; 및

[2273] 제 2 송신기와 제 2 수신기 사이에 결합된 제 2 데이터 링크를 더 포함한다.

[2274] 제 20 예는 통신 인터링크의 물리 계층 제어기이며, 물리 계층 제어기는 제 1 예 내지 제 5 예 중 어느 한 예에 따른 송신 시스템을 포함한다.

[2275] 제 21 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 6 예 내지 제 8 예 중 어느 한 예에 따른 데이터 수신 시스템을 포함한다.

[2276] 제 22 예는 제 20 예 또는 제 21 예의 물리 계층 제어기이며,

[2277] 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2278] 도 6a 내지 도 6g와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2279] 제 1 예는 데이터 신호를 처리하기 위한 방법이며, 방법은,

[2280] 페이로드 데이터 심볼의 그룹을 수신하는 단계;

[2281] 그룹의 데이터 심볼이 에러를 포함하면, 네거티브 확인 응답 신호를 발행하는 단계;

[2282] 네거티브 확인 응답 신호를 발행한 이후에 제 2 페이로드 데이터 심볼의 그룹이 미리 결정된 수의 페이로드 데이터 심볼의 그룹을 수신하는 단계 또는 페이로드 데이터 심볼의 그룹을 수신한 이후에 페이로드 데이터 심볼의 그룹이 미리 결정된 수의 페이로드 데이터 심볼의 그룹을 수신하는 단계; 및

[2283] 그룹의 페이로드 데이터 심볼 대신에 추가 그룹의 페이로드 데이터 심볼을 사용하는 단계를 포함한다.

[2284] 제 2 예는 제 1 예의 방법이며,

[2285] 제 1 복조 방식을 사용하여 그룹의 페이로드 데이터 심볼을 복조하는 단계; 및

[2286] 제 2 복조 방식을 사용하여 제 2 그룹의 페이로드 데이터 심볼을 복조하는 단계를 더 포함한다.

[2287] 제 3 예는 제 2 예의 방법이며, 이 예에서 제 2 복조 방식은 제 1 복조 방식보다 강건하다.

[2288] 제 4 예는 제 3 예의 방법이며, 이 예에서 제 2 복조 방식의 심볼 분리 시간은 제 1 복조 방식의 심볼 분리 시간보다 길다.

[2289] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 방법이며,

[2290] 제 1 송신 링크를 통해 페이로드 데이터 심볼의 그룹 및 제 2 페이로드 데이터 심볼의 그룹을 수신하는 단계; 및

[2291] 제 2 송신 링크를 통해 네거티브 확인 응답 신호를 송신하는 단계를 더 포함한다.

[2292] 제 6 예는 데이터 신호를 생성하기 위한 방법이며, 방법은,

[2293] 페이로드 데이터 심볼의 그룹을 송신하는 단계;

[2294] 네거티브 확인 응답 신호를 수신하면, 페이로드 데이터 심볼의 그룹에 관련된 제 2 페이로드 데이터 심볼의 그룹에, 페이로드 데이터 심볼의 그룹을 송신한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹 또는 네거티브 확인 응답 신호를 수신한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 수의 그룹을 송신하는 단계를 포함한다.

[2295] 제 7 예는 제 6 예의 방법이며,

[2296] 제 1 변조 방식을 사용하여 페이로드 데이터를 페이로드 데이터 심볼의 그룹으로 변조하는 단계; 및

[2297] 제 2 변조 방식을 사용하여 페이로드 데이터를 추가 페이로드 데이터 심볼의 그룹으로 변조하는 단계를 더 포함한다.

[2298] 제 8 예는 제 7 예의 방법이며, 이 예에서 제 2 변조 방식은 제 1 변조 방식보다 강건하다.

[2299] 제 9 예는 제 8 예의 방법이며, 이 예에서 제 2 변조 방식의 심볼 분리 시간은 제 1 변조 방식의 심볼 분리 시간보다 길다.

[2300] 제 10 예는 제 6 예 내지 제 9 예 중 어느 한 예의 방법이며,

[2301] 제 1 송신 링크를 통해 페이로드 데이터 심볼의 그룹 및 제 2 페이로드 데이터 심볼의 그룹을 송신하는 단계; 및

[2302] 제 2 송신 링크를 통해 네거티브 확인 응답 신호를 수신하는 단계를 더 포함한다.

[2303] 제 11 예는 데이터 신호를 처리하기 위한 장치이며, 장치는,

[2304] 페이로드 데이터 심볼의 그룹을 수신하도록 구성된 수신기 회로;

[2305] 페이로드 데이터 심볼의 그룹의 데이터 심볼이 에러를 포함하고 있으면 네거티브 확인 응답 신호를 생성하도록 구성된 에러 검출 회로; 및

[2306] 페이로드 데이터 심볼의 그룹을 대체할 제 2 페이로드 데이터 심볼의 그룹을 사용하도록 구성된 에러 보정 회로를 포함하되, 제 2 페이로드 데이터 심볼의 그룹에는 네거티브 확인 응답 신호를 발행한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹이 수신되고 또는 페이로드 데이터 심볼의 그룹에는 페이로드 데이터 심볼의 그룹을 수신한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹이 수신된다.

[2307] 제 12 예는 제 11 예의 장치이며, 제 1 복조 방식을 사용하여 그룹의 페이로드 데이터 심볼을 복조하고 제 2 복조 방식을 사용하여 제 2 페이로드 데이터 심볼의 그룹을 복조하도록 구성된 복조 회로를 더 포함한다.

[2308] 제 13 예는 제 11 예 또는 제 12 예의 장치이며, 페이로드 데이터 심볼 그룹을 포함하는 데이터 신호를 수신하기 위해 수신기 회로에 결합된 제 1 전송 링크에 대한 입력 인터페이스를 더 포함한다.

[2309] 제 14 예는 제 13 예의 장치이며, 이 예에서 입력 인터페이스는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 수신하도록 구성되고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되며; 제 1 기간은 제 1 페이로드 데이터 심볼에 기초하고, 제 2 기간은 제 2 페이로드 데이터 심볼에 기초한다.

[2310] 제 15 예는 제 13 예 또는 제 14 예의 장치이며, 제 2 송신 링크를 통해 네거티브 확인 응답 신호를 송신하기

위한 출력 인터페이스를 더 포함하되, 출력 인터페이스는 에러 검출 회로에 결합된다.

[2311] 제 16 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[2312] 페이로드 데이터 심볼의 그룹을 송신하도록 구성된 송신기 회로; 및

[2313] 네거티브 확인 응답 신호를 수신하도록 구성된 입력 인터페이스를 포함하되,

[2314] 송신기 회로는 또한 페이로드 데이터 심볼의 그룹에 관련된 제 2 페이로드 데이터 심볼의 그룹에, 페이로드 데이터 심볼의 그룹을 송신한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹 또는 네거티브 확인 응답 신호를 수신한 이후에 미리 결정된 수의 페이로드 데이터 심볼의 그룹을 송신하도록 구성된다.

[2315] 제 17 예는 제 16 예의 장치이며, 이 예에서 송신기 회로는 제 1 변조 방식을 사용하여 페이로드 데이터를 페이로드 데이터 심볼의 그룹으로 변조하고; 제 2 변조 방식을 사용하여 페이로드 데이터를 추가 페이로드 데이터 심볼의 그룹으로 변조하도록 구성된 변조기 회로를 더 포함한다.

[2316] 제 18 예는 제 17 예의 장치이며, 이 예에서 제 2 변조 방식의 심볼 분리 시간은 제 1 변조 방식의 심볼 분리 시간보다 길다.

[2317] 제 19 예는 제 16 예 내지 제 18 예 중 어느 한 예의 장치이며,

[2318] 제 1 송신 링크를 통해 페이로드 데이터 심볼의 그룹 및 제 2 페이로드 데이터 심볼의 그룹을 포함하는 데이터 신호를 출력하도록 구성된 출력 인터페이스; 및

[2319] 제 2 송신 링크를 통해 네거티브 확인 응답 신호를 수신하도록 구성된 입력 인터페이스를 더 포함한다.

[2320] 제 20 예는 제 19 예의 장치이며, 이 예에서 출력 인터페이스는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 출력하도록 구성되고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리되며; 제 1 기간은 제 1 페이로드 데이터 심볼에 기초하고, 제 2 기간은 제 2 페이로드 데이터 심볼에 기초한다.

[2321] 제 21 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 11 예 내지 제 15 예 중 어느 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[2322] 예 22는 예 21의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2323] 제 23 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 16 예 내지 제 20 예 중 어느 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[2324] 제 24 예는 제 23 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2325] 제 25 예는 데이터 송신을 위한 인터커넥트이며,

[2326] 제 21 예에 따른 제 1 물리 계층 제어기;

[2327] 제 23 예에 따른 제 2 물리 계층 제어기; 및

[2328] 제 1 물리 계층 제어기와 제 2 물리 계층 제어기를 연결하는 송신 링크를 포함한다.

[2329] 도 7a 내지 도 7i와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2330] 제 1 예는 기간 및 심볼 폭을 통신 프로토콜의 각 페이로드 데이터 심볼에 할당하는 것을 결정하기 위한 방법이며,

[2331] 적어도 하나의 페이로드 데이터 심볼에 할당된 심볼 폭 및 기간을 변동시키는 단계;

[2332] 모든 페이로드 데이터 심볼에 대한 수신 에러 확률을 결정하는 단계; 및

[2333] 모든 페이로드 데이터 심볼의 수신 에러 확률이 실질적으로 미리 결정된 공차 범위 내에서 동일하면, 기간 및 심볼 폭을 페이로드 데이터 심볼에 할당하는 단계를 포함한다.

[2334] 제 2 예는 제 1 예의 방법이며, 이 예에서 수신 에러 확률은 기간을 사용하여 생성된 페이로드 데이터 심볼이

기간에 맞추어 할당된 심볼 폭에 의해 주어진 시간 간격 내에서 수신되는 확률을 표시한다.

[2335] 제 3 예는 제 1 예 또는 제 2 예의 방법이며, 이 예에서 심볼 폭을 변동시키는 단계는 시간-디지털 변환기의 분해능의 유한 단계로 심볼 폭을 변경하는 단계를 포함한다.

[2336] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 방법이며, 이 예에서 기간을 변동시키는 단계는 디지털-시간 변환기의 분해능의 유한 단계로 기간을 변경하는 단계를 포함한다.

[2337] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 방법이며, 이 예에서 수신 에러 확률을 결정하는 단계는,

[2338] 기간의 폭이 페이로드 데이터 심볼에 할당된 데이터 펄스를 포함하는 데이터 신호를 송신하는 단계;

[2339] 데이터 신호를 수신하는 단계; 및

[2340] 기간에 맞추어진 심볼 폭에 의해 주어진 시간 간격 내의 폭을 갖는 데이터 펄스가 데이터 신호 내에서 수신되면 페이로드 데이터 심볼이 수신된 것으로 결정하는 단계를 포함한다.

[2341] 제 6 예는 데이터 신호를 생성하기 위한 방법이며,

[2342] 데이터 신호 내의 기간을 각각의 페이로드 데이터 심볼에 할당하는 단계 - 인접한 페이로드 데이터 심볼의 쌍의 기간은 연관된 심볼 분리 시간에 의해 분리되고,

[2343] 적어도 제 1 심볼 분리 시간은 적어도 제 2 심볼 분리 시간과 상이함 - ; 및

[2344] 데이터 신호를 생성하는 단계를 포함한다.

[2345] 제 7 예는 제 6 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하도록 생성되고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 페이로드 데이터 심볼에 할당된 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 페이로드 데이터 심볼에 할당된 제 2 기간에 의해 분리된다.

[2346] 제 8 예는 제 6 예 또는 제 7 예 중 한 예의 방법이며, 이 예에서 심볼 분리 시간은 기간이 증가함에 따라 증가한다.

[2347] 제 9 예는 제 6 예, 제 7 예 또는 제 8 예 중 한 예의 방법이며, 이 예에서 심볼 분리 시간은 기간이 증가함에 따라 감소한다.

[2348] 제 10 예는 데이터 신호를 처리하기 위한 방법이며,

[2349] 통신 프로토콜의 각각의 페이로드 데이터 심볼에 기간 및 심볼 폭을 할당하는 단계 - 적어도 제 1 심볼 폭은 적어도 제 2 심볼 폭과 상이함 - ; 데이터 펄스의 시리즈를 포함하는 데이터 신호를 수신하는 단계;

[2350] 할당된 기간에 맞추어 할당된 심볼 폭에 의해 주어진 시간 간격 내의 폭을 갖는 데이터 펄스가 데이터 신호 내에서 수신되면 페이로드 데이터 심볼이 수신된 것으로 결정하는 단계를 포함한다.

[2351] 제 11 예는 제 10 예의 방법이며,

[2352] 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 수신하는 단계를 더 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 펄스를 구성하고 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 펄스를 구성한다.

[2353] 제 12 예는 데이터 신호를 생성하기 위한 장치이며,

[2354] 데이터 신호 내의 기간을 각각의 페이로드 데이터 심볼에 할당하도록 구성된 매핑 회로 - 인접한 페이로드 데이터 심볼의 쌍의 기간은 연관된 심볼 분리 시간에 의해 분리되고, 적어도 제 1 심볼 분리 시간은 적어도 제 2 심볼 분리 시간과 상이함 - ; 및

[2355] 기간을 저장하도록 구성된 메모리를 포함한다.

[2356] 제 13 예는 제 12 예의 장치이며,

[2357] 데이터 신호를 출력하도록 구성된 출력 인터페이스를 더 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 페이로드 데이터 심볼에 할당된 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호

에지는 제 2 페이로드 데이터 심볼에 할당된 제 2 기간에 의해 분리된다.

[2358] 제 14 예는 데이터 신호를 처리하기 위한 장치이며,

[2359] 통신 프로토콜의 각각의 페이로드 데이터 심볼에 기간 및 심볼 폭을 할당하기 위한 메모리 - 적어도 제 1 심볼 폭은 적어도 제 2 심볼 폭과 상이함 - ; 및

[2360] 각기 할당된 기간에 맞추어 각기 할당된 심볼 폭에 의해 주어진 시간 간격 내의 폭을 갖는 데이터 펄스가 데이터 신호 내에서 수신되면 페이로드 데이터 심볼이 수신된 것으로 결정하도록 구성된 디매핑 회로(de-mapping circuit)를 포함한다.

[2361] 제 15 예는 제 14 예의 장치이며,

[2362] 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 수신하도록 구성된 입력 인터페이스를 더 포함하되, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 펄스를 구성하고 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 펄스를 구성한다.

[2363] 제 16 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 14 예 또는 제 15 예 중 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[2364] 예 17는 예 16의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2365] 제 18 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 12 예 또는 제 13 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[2366] 제 19 예는 제 18 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2367] 제 20 예는 데이터 송신을 위한 인터커넥트이며,

[2368] 제 16 예에 따른 제 1 물리 계층 제어기;

[2369] 제 18 예에 따른 제 2 물리 계층 제어기; 및

[2370] 제 1 물리 계층 제어기와 제 2 물리 계층 제어기를 연결하는 송신 링크를 포함한다.

[2371] 도 8a 내지 도 8f와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2372] 제 1 예는 데이터 신호에서 페이로드 데이터 심볼을 결정하기 위한 방법이며,

[2373] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 수신하는 단계;

[2374] 제 1 신호 에지와 제 3 신호 에지 사이의 제 1 기간을 결정하는 단계;

[2375] 제 2 신호 에지와 제 4 신호 에지 사이의 제 2 기간을 결정하는 단계; 및

[2376] 제 1 기간 및 제 2 기간에 기초하여 제 3 신호 에지와 제 4 신호 에지 사이의 기간에 대응하는 페이로드 데이터 심볼을 결정하는 단계를 포함한다.

[2377] 제 2 예는 제 1 예의 방법이며, 이 예에서 페이로드 데이터 심볼을 결정하는 단계는 제 2 기간으로부터 제 1 기간을 감산하여 심볼 데이터를 결정하는 단계를 포함한다.

[2378] 제 3 예는 제 2 예의 방법이며, 심볼 기간을 통신 프로토콜에 따른 페이로드 데이터 심볼에 할당하는 단계를 더 포함한다.

[2379] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 방법이며, 제 1 신호 에지와 제 2 신호 에지 사이의 기간은 패킷의 시작을 표시하는 제어 심볼에 대응한다.

[2380] 제 5 예는 데이터 신호를 처리하기 위한 장치이며,

[2381] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

[2382] 제 1 신호 에지와 제 3 신호 에지 사이의 제 1 기간 및 제 2 신호 에지와 제 4 신호 에지 사이의 제 2 기간에 기초하여 제 3 신호 에지와 제 4 신호 에지 사이의 기간에 대응하는 페이로드 데이터 심볼을 결정하도록 구성된 복조 회로를 포함한다.

[2383] 제 6 예는 제 5 예의 장치이며, 이 예에서 복조 회로는 제 2 기간으로부터 제 1 기간을 감산하도록 구성된다.

[2384] 제 7 예는 제 5 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는,

[2385] 데이터 신호에서 제 1 타입의 신호 에지를 결정하도록 구성된 제 1 에지 검출기; 및

[2386] 데이터 신호에서 제 2 타입의 신호 에지를 결정하도록 구성된 제 2 에지 검출기를 포함한다.

[2387] 제 8 예는 제 7 예의 장치이며, 이 예에서 제 1 에지 검출기는 데이터 신호에서 제 1 타입의 신호 에지만을 결정하도록 구성되고, 제 2 에지 검출기는 데이터 신호에서 제 2 타입의 신호 에지만을 결정하도록 구성된다.

[2388] 제 9 예는 제 7 예 또는 제 8 예의 장치이며,

[2389] 제 1 에지 검출기의 출력에 의해 트리거되는 제 1 시간-디지털 변환기; 및

[2390] 제 2 에지 검출기의 출력에 의해 트리거되는 제 2 시간-디지털 변환기를 더 포함한다.

[2391] 제 10 예는 제 4 예 내지 제 9 예 중 어느 한 예의 장치이며, 이 예에서 복조 회로는 복조 회로가 제 1 기간만을 사용하여 페이로드 데이터 심볼을 결정하도록 구성되는 추가 동작 모드에서 동작 가능하다.

[2392] 제 11 예는 통신 시스템이며,

[2393] 데이터 신호를 생성하기 위한 장치 - 장치는,

[2394] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 2 기간에 의해 분리되며, 제 3 신호 에지 및 제 4 신호 에지는 제 3 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리됨 - ; 및

[2395] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함함 - ; 및

[2396] 데이터 신호를 수신하기 위한 장치를 포함하고, 장치는,

[2397] 데이터 신호에서 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

[2398] 제 1 신호 에지와 제 3 신호 에지 사이의 제 1 수신 기간 및 제 2 신호 에지와 제 4 신호 에지 사이의 제 2 수신 기간을 사용하여 제 3 페이로드 데이터 심볼을 결정하도록 구성된 복조 회로를 포함한다.

[2399] 제 12 예는 제 5 예 내지 제 10 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2400] 제 13 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 5 예 또는 제 10 예 중 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[2401] 제 14 예는 제 13 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2402] 제 15 예는 데이터 송신을 위한 인터커넥트이며,

[2403] 제 13 예에 따른 제 1 물리 계층 제어기;

[2404] 제 2 물리 계층 제어기; 및

[2405] 제 1 물리 계층 제어기와 제 2 물리 계층 제어기를 연결하는 송신 링크를 포함한다.

[2406] 도 9a 내지 도 9e와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2407] 제 1 예는 데이터 심볼의 시퀀스를 송신하는 방법이며,

[2408] 그레이 코드를 사용하여 데이터 심볼의 시퀀스를 인코딩하여 인코딩된 데이터 심볼의 시퀀스를 생성하는 단계;

[2409] 인코딩된 데이터 심볼의 시퀀스를 미분하여 송신 데이터 심볼의 시퀀스를 생성하는 단계; 및

[2410] 송신 데이터 심볼의 시퀀스를 송신하는 단계를 포함한다.

[2411] 제 2 예는 제 1 예의 방법이며, 시퀀스가 미리 결정된 데이터 심볼로 시작하도록 데이터 심볼의 시퀀스를 생성하는 단계를 더 포함한다.

[2412] 제 3 예는 제 2 예의 방법이며, 이 예에서 미리 결정된 데이터 심볼은 통신 프로토콜의 제어 심볼이다.

[2413] 제 4 예는 제 1 예 및 제 2 예 중 한 예의 방법이며, 이 예에서 데이터 심볼 시퀀스를 인코딩하는 단계는, 시퀀스의 각 데이터 심볼에 대해,

[2414] 그레이 코드를 사용하여 단일 데이터 심볼에 연관된 비트 시퀀스를 인코딩하여 인코딩된 비트 시퀀스를 생성하는 단계; 및

[2415] 통신 프로토콜의 변조 방식을 사용하여 인코딩된 비트 시퀀스를 인코딩된 데이터 심볼에 변조하는 단계를 포함한다.

[2416] 제 5 예는 수신된 데이터 심볼의 시리즈를 처리하는 방법이며,

[2417] 수신된 데이터 심볼의 시리즈를 적분하여 적분된 데이터 심볼의 시리즈를 생성하는 단계; 및

[2418] 그레이 코드를 사용하여 적분된 데이터 심볼의 시퀀스를 디코딩하여 데이터 심볼의 시퀀스에 관한 정보를 생성하는 단계를 포함한다.

[2419] 제 6 예는 제 5 예의 방법이며, 미리 결정된 데이터 심볼로 적분을 시작하는 단계를 더 포함한다.

[2420] 제 7 예는 제 6 예의 방법이며, 이 예에서 미리 결정된 데이터 심볼은 통신 프로토콜의 제어 심볼이다.

[2421] 제 8 예는 제 5 예 및 제 6 예 중 한 예의 방법이며, 이 예에서 적분된 데이터 심볼 시퀀스를 인코딩하는 단계는, 시퀀스의 각각의 적분된 데이터 심볼에 대해:

[2422] 통신 프로토콜의 변조 방식을 사용하여 적분된 데이터 심볼을 복조하여 인코딩된 비트 시퀀스를 생성하는 단계; 및

[2423] 인코딩된 비트 시퀀스를 그레이 코드를 사용하여 디코딩하여 디코딩된 비트 시퀀스를 생성하는 단계를 포함한다.

[2424] 제 9 예는 데이터 심볼의 시퀀스를 송신하기 위한 장치이며, 장치는,

[2425] 그레이 코드를 사용하여 데이터 심볼의 시퀀스를 인코딩하여 인코딩된 데이터 심볼의 시퀀스를 생성하도록 구성된 인코더 회로;

[2426] 인코딩된 데이터 심볼의 시퀀스를 미분하여 송신 데이터 심볼의 시퀀스를 생성하도록 구성된 회로; 및

[2427] 송신 데이터 심볼의 시퀀스를 출력하도록 구성된 출력 인터페이스를 포함한다.

[2428] 제 10 예는 제 9 예의 장치이며,

[2429] 데이터 신호를 생성하도록 구성된 처리 회로를 더 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 심볼의 시퀀스의 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 심볼의 시퀀스의 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[2430] 제 11 예는 제 10 예의 장치이며, 데이터 신호를 출력하도록 구성된 물리 계층 출력 인터페이스를 더 포함한다.

[2431] 제 12 예는 수신된 데이터 심볼의 시리즈를 처리하기 위한 장치이며,

[2432] 수신된 데이터 심볼의 시리즈를 적분하여 적분된 데이터 심볼의 시리즈를 생성하도록 구성된 적분 회로; 및

[2433] 적분된 데이터 심볼의 시퀀스를 그레이 코드를 사용하여 디코딩하여 데이터 심볼의 시퀀스를 생성하도록 구성된 디코더 회로를 포함한다.

[2434] 제 13 예는 제 12 예의 장치이며,

[2435] 수신된 데이터 심볼의 시리즈를 포함하는 수신된 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

[2436] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 시리즈의 제 1 수신된 데이터 심볼; 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 시리즈의 제 2 수신된 데이터 심볼을 결정하도록 구성된 복조 회로를 더 포함한다.

[2437] 제 14 예는 제 13 예의 장치이며, 이 예에서 복조 회로는 제 2 신호 에지가 심볼 결정 임계치 주위의 미리 결정된 간격 내에서 결정되면, 수정된 제 1 기간에 기초하고 수정된 제 2 기간에 기초하여 제 1 및 제 2 수신된 데이터 심볼을 결정하도록 구성된다.

[2438] 제 15 예는 제 14 예의 장치이며, 이 예에서 복조 회로는 제 1 기간을 증가시킴으로써 수정된 제 1 기간을 결정하고 제 2 기간을 감소시킴으로써 수정된 제 2 기간을 결정하도록 구성되고; 또는

[2439] 제 1 기간을 감소시킴으로써 수정된 제 1 기간을 결정하고 제 2 기간을 증가시킴으로써 수정된 제 2 기간을 결정하도록 구성된다.

[2440] 제 16 예는 데이터 심볼의 시퀀스를 송신하기 위한 장치이며, 장치는,

[2441] 그레이 코드를 사용하여 데이터 심볼의 시퀀스를 인코딩하여 송신 데이터 심볼의 시퀀스를 생성하도록 구성된 인코더 회로;

[2442] 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 심볼의 시퀀스의 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 심볼의 시퀀스의 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[2443] 제 17 예는 수신된 데이터 심볼의 시리즈를 처리하기 위한 장치이며,

[2444] 수신된 데이터 심볼의 시리즈를 포함하는 수신된 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로;

[2445] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 시리즈의 제 1 수신된 데이터 심볼; 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 시리즈의 제 2 수신된 데이터 심볼을 결정하도록 구성된 복조 회로; 및

[2446] 수신된 데이터 심볼의 시퀀스를 그레이 코드를 사용하여 디코딩하여 데이터 심볼의 시퀀스를 생성하도록 구성된 디코더 회로를 포함한다.

[2447] 제 18 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 12 예 내지 제 15 예 중 어느 한 예에 따른 수신된 데이터 심볼의 시리즈를 처리하기 위한 장치를 포함한다.

[2448] 제 19 예는 제 18 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2449] 제 20 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 9 예 또는 제 12 예 중 한 예에 따른 데이터 심볼의 시퀀스를 생성하기 위한 장치를 포함한다.

[2450] 제 21 예는 제 20 예의 물리 계층 제어기이며, 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2451] 제 22 예는 데이터 송신을 위한 인터커넥트이며,

[2452] 제 18 예에 따른 제 1 물리 계층 제어기;

[2453] 제 20 예에 따른 제 2 물리 계층 제어기; 및

[2454] 제 1 물리 계층 제어기와 제 2 물리 계층 제어기를 연결하는 송신 링크를 포함한다.

[2455] 도 10a 내지 도 11a와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2456] 제 1 예는 연속적으로 정렬된 미리 결정된 수의 비트를 송신하기 위한 데이터 신호를 생성하는 방법 - 비트는 제어 커맨드를 나타내는 비트의 그룹을 포함함 - 이며, 방법은,

[2457] 비트의 다수의 서브그룹의 각 서브그룹 내의 데이터 비트에 대한 적어도 하나의 에러 보정 비트를 생성하는 단계;

[2458] 데이터의 다차원 표현 중 제 1 차원을 따른 각 서브그룹의 비트 및 이와 연관된 에러 보정 비트를 정렬하는 단계;

[2459] 다차원 표현으로부터 제 2 차원을 따른 데이터 비트를 판독하여 송신 비트의 시리즈를 결정하는 단계;

[2460] 송신 비트의 시리즈를 송신 심볼의 시리즈로 변조하는 단계; 및

[2461] 비트의 시리즈 내에서 제어 커맨드를 나타내는 비트의 그룹의 위치에 따른 위치에서 제어 심볼 표시자 및 제어 심볼을 송신 심볼의 시리즈에 삽입하는 단계를 포함한다.

[2462] 제 2 예는 제 1 예의 방법이며, 이 예에서 제어 심볼 표시자 및 제어 심볼은 비트의 그룹 내에서 제어 커맨드를 나타내는 바이트의 수에 대응하는 다차원 표현 내에서 제 2 차원에 대한 인덱스에 의해 식별된 비트로부터 생성된 송신 심볼 내에 삽입된다.

[2463] 제 3 예는 제 1 예 또는 제 2 예 중 한 의 방법이며, 이 예에서 제 1 차원은 63개의 엔트리를 포함하고, 제 2 차원은 9개의 엔트리를 포함한다.

[2464] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 방법이며, 이 예에서 6개의 에러 보정 비트가 57 비트를 포함하는 각각의 서브 그룹마다 생성된다.

[2465] 제 5 예는 제 1 예 내지 제 3 예 중 어느 한 예의 방법이며, 이 예에서 데이터의 다차원 표현은 2 차원이다.

[2466] 제 6 예는 데이터 신호를 처리하는 방법이며,

[2467] 심볼의 시리즈를 수신하는 단계;

[2468] 심볼의 시리즈 내에서 제어 심볼 표시자 및 제어 심볼을 식별하는 단계;

[2469] 데이터의 다차원 표현 내에서 제 2 차원을 따른 시리즈의 각 심볼과 연관된 비트를 정렬하는 단계;

[2470] 심볼의 시리즈 내의 제어 심볼 표시자 및 제어 심볼의 위치에 따른 다차원 표현 내의 위치에서 제 1 차원을 따른 비트의 그룹을 제어 커맨드를 나타내는 비트의 그룹으로 대체하는 단계; 및

[2471] 다차원 표현의 제 1 차원을 따른 에러 보정 코드를 평가하는 단계를 포함한다.

[2472] 제 7 예는 제 3 예의 방법이며, 제 1 차원을 따른 다차원 표현의 데이터 비트를 판독하는 단계를 더 포함한다.

[2473] 제 8 예는 연속적으로 정렬된 미리 결정된 수의 비트를 송신하는 데이터 신호를 생성하기 위한 장치 - 비트는 제어 커맨드를 나타내는 비트의 그룹을 포함함 - 이며, 장치는,

[2474] 비트의 다수의 서브그룹의 각 서브그룹 내의 데이터 비트에 대한 적어도 하나의 에러 보정 비트를 생성하도록 구성된 코드 생성 회로;

[2475] 데이터의 다차원 표현 중 제 1 차원을 따른 각 서브그룹의 비트 및 이와 연관된 에러 보정 비트를 정렬하고,

[2476] 다차원 표현으로부터 제 2 차원을 따른 데이터 비트를 판독하여 송신 비트의 시리즈를 결정하도록 구성된 인터리빙 회로; 및

[2477] 송신 비트의 시리즈를 송신 심볼의 시리즈로 변조하고,

[2478] 비트의 시리즈 내에서 제어 커맨드를 나타내는 비트의 그룹의 위치에 따른 위치에서 제어 심볼 표시자 및 제어 심볼을 송신 심볼의 시리즈에 삽입하도록 구성된 변조기 회로를 포함한다.

[2479] 제 9 예는 제 8 예의 장치이며, 이 예에서 변조기 회로는 제어 심볼 표시자 및 제어 심볼을, 비트의 그룹 내에서 제어 커맨드를 나타내는 바이트의 수에 대응하는 다차원 표현 내의 제 2 차원에 대한 인덱스에 의해 식별된 비트로부터 생성된 송신 심볼 내에 삽입하도록 구성된다.

[2480] 제 10 예는 제 8 예 또는 제 9 예의 장치이며,

[2481] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 송신 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 송신 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[2482] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[2483] 제 11 예는 데이터 신호를 처리하기 위한 장치이며,

[2484] 심볼의 시리즈를 수신하고;

[2485] 심볼의 시리즈 내에서 제어 심볼 표시자 및 제어 심볼을 식별하며; 각각의 심볼을 연관된 비트로 복조하도록 구성된 복조기 회로;

[2486] 데이터의 다차원 표현 내에서 제 2 차원을 따라 시리즈의 각 심볼에 연관된 비트를 정렬하고;

[2487] 심볼의 시리즈 내의 제어 심볼 표시자 및 제어 심볼의 위치에 따른 다차원 표현 내의 위치에서 제 1 차원을 따른 비트의 그룹을 제어 커맨드를 나타내는 비트의 그룹으로 대체하며;

[2488] 제 1 차원을 따른 다차원 표현의 비트를 판독하도록 구성된 디인터리빙 회로; 및

[2489] 제 1 차원을 따라 판독된 비트에 대한 에러 보정 코드를 평가하여 보정된 비트를 결정하도록 구성된 코드 평가 회로를 포함한다.

[2490] 제 12 예는 제 11 예의 장치이며, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 수신하도록 구성된 입력 인터페이스를 더 포함하되, 복조 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 연관된 비트 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 연관된 비트를 결정하도록 구성된다.

[2491] 제 13 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 8 예 또는 제 9 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[2492] 제 14 예는 제 13 예의 물리 계층 제어기이며, 연속적으로 정렬된 미리 결정된 수의 비트를 수신하기 위해 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[2493] 제 15 예는 통신 인터페이스의 물리 계층 제어기이며, 물리 계층 제어기는 제 11 예 또는 제 12 예 중 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[2494] 제 16 예는 제 15 예의 물리 계층 제어기이며, 보정된 비트를 출력하기 위해 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[2495] 제 17 예는 데이터 송신을 위한 인터커넥트이며,

[2496] 제 13 예에 따른 제 1 물리 계층 제어기;

[2497] 제 15 예에 따른 제 2 물리 계층 제어기; 및

[2498] 제 1 물리 계층 제어기와 제 2 물리 계층 제어기를 연결하는 송신 링크를 포함한다.

[2499] 도 12a 내지 도 12p와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2500] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2501] 제 2 예는 제 1 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 타입의 제 4 신호 에지를 생성하도록 구성되고, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 3 기간에 의해 분리된다.

[2502] 제 3 예는 제 2 예의 장치이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신

링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2503] 제 4 예는 제 2 예 또는 제 3 예의 장치이며, 이 예에서 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간은 적어도 심볼 분리 시간만큼 상이하고, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간보다 더 많이 상이하다.

[2504] 제 5 예는 제 4 예의 장치이며, 이 예에서 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간의 정수배만큼 상이하다.

[2505] 제 6 예는 제 1 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 타입의 제 4 신호 에지를 생성하도록 구성되고, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다.

[2506] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2507] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2508] 제 9 예는 제 1 예 내지 제 8 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 유형의 제 5 신호 에지를 생성하도록 구성되고, 제 5 신호 에지는 제 1 신호 에지 앞에 오고, 제 5 신호 에지 및 제 1 신호 에지는 다른 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2509] 제 10 예는 제 9 예의 장치이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2510] 제 11 예는 제 9 예 또는 제 10 예의 장치이며, 이 예에서 제 1 기간과 제 4 기간의 합은 동일한 타입의 연속적인 신호 에지 사이의 평균 기간보다 낮다.

[2511] 제 12 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2512] 제 13 예는 제 12 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 타입의 제 4 신호 에지를 생성하도록 구성되고, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다.

[2513] 제 14 예는 제 13 예의 장치이며, 이 예에서 처리 회로는 또한 제 1 타입의 제 5 신호 에지를 생성하도록 구성되고, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 다른 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2514] 제 15 예는 제 14 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2515] 제 16 예는 제 14 예 또는 제 15 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 동일한 타입의 연속적인 신호 에지 사이의 평균 기간보다 낮다.

[2516] 제 17 예는 제 12 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2517] 제 18 예는 제 12 예 내지 제 17 예 중 어느 한 예의 장치이며, 이 예에서 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간은 적어도 심볼 분리 시간만큼 상이하고, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간보다 더 많이 상이하다.

[2518] 제 19 예는 제 18 예의 장치이며, 이 예에서 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간의 정수배만큼 상이하다.

[2519] 제 20 예는 제 12 예 내지 제 19 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2520] 제 21 예는 제 12 예 내지 제 20 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2521] 제 22 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 기간이 페이로드 데이터 임계치보다 짧으면 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 페이로드 데이터 심볼을 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제2 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로를 포함한다.

[2522] 제 23 예는 제 22 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 2 타입의 제 4 신호 에지를 생성하도록 구성되고, 복조 회로는 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제어 심볼을 결정하도록 구성된다.

[2523] 제 24 예는 제 22 예 또는 제 23 예의 장치이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2524] 제 25 예는 제 22 예 내지 제 24 예 중 어느 한 예의 장치이며, 이 예에서 통신 프로토콜의 상이한 페이로드 데이터 심볼에 대응하는 기간은 적어도 심볼 분리 시간만큼 상이하고, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간보다 더 많이 상이하다.

[2525] 제 26 예는 제 25 예의 장치이며, 이 예에서 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간의 정수배만큼 상이하다.

[2526] 제 27 예는 제 22 예 내지 제 26 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2527] 제 28 예는 제 22 예 내지 제 27 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2528] 제 29 예는 제 22 예 내지 제 28 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 2 유형의 제 5 신호 에지를 생성하도록 구성되고, 제 5 신호 에지는 시간적으로 제 1 신호 에지의 앞에 오고, 복조 회로는 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 다른 페이로드 데이터 심볼을 결정하도록 구성된다.

[2529] 제 30 예는 제 29 예의 장치이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2530] 제 31 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제어 심볼을 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제2 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로를 포함한다.

[2531] 제 32 예는 제 31 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 2 타입의 제 4 신호 에지를 생성하도록 구성되고, 복조 회로는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 페이로드 데이터 심볼을 결정하도록 구성된다.

[2532] 제 33 예는 제 31 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 1 타입의 제 5 신호 에지를 생성하도록 구성되고, 복조 회로는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 다른 페이로드 데이터 심볼을 결정하도록 구성된다.

[2533] 제 34 예는 제 33 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2534] 제 35 예는 제 31 예 내지 제 34 예 중 어느 한 예의 장치이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2535] 제 36 예는 제 31 예 내지 제 35 예 중 어느 한 예의 장치이며, 이 예에서 통신 프로토콜의 상이한 페이로드 데

이터 심볼에 대응하는 기간은 적어도 심볼 분리 시간만큼 상이하고, 통신 프로토콜의 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간보다 더 많이 상이하다.

[2536] 제 37 예는 제 36 예의 장치이며, 이 예에서 상이한 제어 심볼에 대응하는 기간은 심볼 분리 시간의 정수배만큼 상이하다.

[2537] 제 38 예는 제 31 예 내지 제 37 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2538] 제 39 예는 제 31 예 내지 제 38 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2539] 제 40 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 출력하는 단계를 포함한다.

[2540] 제 41 예는 제 40 예의 방법이며, 이 예에서 데이터 신호는 제 2 타입의 제 4 신호 에지를 더 포함하고, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 3 기간에 의해 분리된다.

[2541] 제 42 예는 제 40 예의 장치이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2542] 제 43 예는 제 40 예의 장치이며, 이 예에서 데이터 신호는 제 2 타입의 제 4 신호 에지를 더 포함하고, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다.

[2543] 제 44 예는 제 40 예 내지 제 43 예 중 어느 한 예의 장치이며, 이 예에서 데이터 신호는 제 2 타입의 제 5 신호 에지를 더 포함하고, 제 4 신호 에지는 제 1 신호 에지의 앞에 오고, 제 5 신호 에지 및 제 1 신호 에지는 다른 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2544] 제 45 예는 제 44 예의 방법이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2545] 제 46 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제어 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 출력하는 단계를 포함한다.

[2546] 제 47 예는 제 46 예의 방법이며, 이 예에서 데이터 신호는 제 2 타입의 제 4 신호 에지를 더 포함하고, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리된다.

[2547] 제 48 예는 제 47 예의 방법이며, 이 예에서 데이터 신호는 제 1 타입의 제 5 신호 에지를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 다른 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2548] 제 49 예는 제 48 예의 방법이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2549] 제 50 예는 제 46 예 내지 제 49 예 중 어느 한 예의 방법이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2550] 제 51 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은 제 1 기간이 페이로드 데이터 임계치보다 짧으면 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 페이로드 데이터 심볼을 결정하는 단계를 포함한다. 방법은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한

다.

[2551] 제 52 예는 제 51 예의 방법이며, 데이터 신호에서 제 2 타입의 제 4 신호 에지를 결정하는 단계, 및 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제어 심볼을 결정하는 단계를 더 포함한다.

[2552] 제 53 예는 제 51 예 또는 제 52 예의 방법이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2553] 제 54 예는 제 51 예 내지 제 53 예 중 어느 한 예의 방법이며, 데이터 신호에서 제 2 타입의 제 5 신호 에지를 결정하는 단계 - 제 5 신호 에지는 시간적으로 제 1 신호 에지의 앞에 옴 - , 및 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 다른 페이로드 데이터 심볼을 결정하는 단계를 더 포함한다.

[2554] 제 55 예는 제 54 예의 방법이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2555] 제 56 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제어 심볼을 결정하는 단계를 포함한다. 방법은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한다.

[2556] 제 57 예는 제 56 예의 방법이며, 데이터 신호에서 제 2 타입의 제 4 신호 에지를 결정하는 단계, 및 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 페이로드 데이터 심볼을 결정하는 단계를 더 포함한다.

[2557] 제 58 예는 제 57 예의 방법이며, 데이터 신호에서 제 1 타입의 제 5 신호 에지를 결정하는 단계, 및 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 다른 페이로드 데이터 심볼을 결정하는 단계를 더 포함한다.

[2558] 제 59 예는 제 58 예의 방법이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2559] 제 60 예는 제 56 예 내지 제 59 예 중 어느 한 예의 방법이며, 이 예에서 제어 심볼은 데이터 패킷의 시작, 데이터 패킷의 종료, 유휴 모드, 교정 데이터의 후속 송신, 더욱 강건해진 데이터 패킷 포맷을 갖는 후속 송신, 및 데이터 신호를 반송하는 송신 링크 상의 데이터 흐름의 방향의 반전 중 하나를 표시한다.

[2560] 도 12q 내지 도 12x와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2561] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리되며, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2562] 제 2 예는 제 1 예의 장치이며, 이 예에서 데이터 신호는 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에지를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2563] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서 제 1 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시한다.

[2564] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 더 포함하고, 제 6 신호 에지 및 제 7 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8

신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리된다.

[2565] 제 5 예는 제 4 예의 장치이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2566] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2567] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2568] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2569] 제 9 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 2 기간에 의해 분리되며, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2570] 제 10 예는 제 9 예의 장치이며, 이 예에서 데이터 신호는 제 1 신호 에지의 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 더 포함하고, 제 1 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2571] 제 11 예는 제 9 예 또는 제 10 예의 장치이며, 이 예에서 통신 프로토콜의 제 2 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼이 제 2 제어 심볼의 앞에 온다는 것을 표시한다.

[2572] 제 12 예는 제 9 예 내지 제 11 예 중 어느 한 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 더 포함하고, 제 6 신호 에지 및 제 7 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리된다.

[2573] 제 13 예는 제 12 예의 장치이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2574] 제 14 예는 제 9 예 내지 제 13 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2575] 제 15 예는 제 9 예 내지 제 14 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2576] 제 16 예는 제 9 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2577] 제 17 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초한 통신 프로토콜의 제 1 제어 심볼, 및 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초한 통신 프로토콜의 제 2 제어 심볼보다 길면, 제어 심볼 표시자를 결정하도록 구성된 복조 회로를 포함한다.

[2578] 제 18 예는 제 17 예의 장치이며, 이 예에서 처리 회로는 또한 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에지를 결정하도록 구성되고, 복조 회로는 또한 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성된다.

[2579] 제 19 예는 제 17 예 또는 제 18 예의 장치이며, 이 예에서 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면, 제 1 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시한다.

[2580] 제 20 예는 제 17 예 내지 제 19 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하도

록 구성된다. 복조 회로는 제 6 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 제 1 페이로드 데이터 심볼을 결정하고, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 제 2 페이로드 데이터 심볼을 결정하도록 구성된다.

[2581] 제 21 예는 제 20 예의 장치이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2582] 제 22 예는 제 17 예 내지 제 21 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2583] 제 23 예는 제 17 예 내지 제 22 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되며; 처리 회로는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하도록 구성된다.

[2584] 제 24 예는 제 17 예 내지 제 23 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2585] 제 25 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜 프로토콜의 제 1 제어 심볼, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 적어도 하나의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 2 제어 심볼, 및 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로를 포함한다.

[2586] 제 26 예는 제 25 예의 장치이며, 이 예에서 처리 회로는 또한 제 1 신호 에지의 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 결정하도록 구성되고, 복조 회로는 또한 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하도록 구성된다.

[2587] 제27 예는 제 25 예 또는 제 26 예의 장치이며, 이 예에서 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면, 제 2 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼이 제 2 제어 심볼의 앞에 온다는 것을 표시한다.

[2588] 제 28 예는 제 25 예 내지 제 27 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하도록 구성된다. 복조 회로는 제 6 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 제 1 페이로드 데이터 심볼을 결정하고, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 제 2 페이로드 데이터 심볼을 결정하도록 구성된다.

[2589] 제 29 예는 제 28 예의 장치이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2590] 제 30 예는 제 25 예 내지 제 29 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2591] 제 31 예는 제 25 예 내지 제 30 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되며; 처리 회로는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하도록 구성된다.

[2592] 제 32 예는 제 25 예 내지 제 31 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2593] 제 33 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되고,

[2594] 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리되며, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리된다.

또한, 방법은 데이터 신호를 출력하는 단계를 포함한다.

[2595] 제 34 예는 제 33 예의 방법이며, 이 예에서 데이터 신호는 제 4 신호 에지의 바로 뒤에 오는 제 2 타입의 제 5 신호 에지를 더 포함하고, 제 1 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2596] 제35 예는 제 33 예 또는 제 34 예의 방법이며, 이 예에서 제 1 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시한다.

[2597] 제 36 예는 제 33 예 내지 제 35 예 중 어느 한 예의 방법이며, 이 예에서 데이터 신호는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 더 포함하고, 제 6 신호 에지 및 제 7 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리된다.

[2598] 제 37 예는 제 36 예의 방법이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2599] 제 38 예는 제 33 예 내지 제 37 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2600] 제 39 예는 제 33 예 내지 제 38 예 중 어느 한 예의 방법이며, 이 예에서 방법은 제 2 데이터 신호를 생성하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2601] 제 40 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 2 기간에 의해 분리되며, 제 3 신호 에지 및 제 4 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 출력하는 단계를 포함한다.

[2602] 제 41 예는 제 40 예의 방법이며, 이 예에서 데이터 신호는 제 1 신호 에지의 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 더 포함하고, 제 1 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 제 3 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2603] 제 42 예는 제 40 예 또는 제 41 예의 방법이며, 이 예에서 통신 프로토콜의 제 2 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼이 제 2 제어 심볼의 앞에 온다는 것을 표시한다.

[2604] 제 43 예는 제 40 예 내지 제 42 예 중 어느 한 예의 방법이며, 이 예에서 데이터 신호는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 더 포함하고, 제 6 신호 에지 및 제 7 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리된다.

[2605] 제 44 예는 제 43 예의 방법이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2606] 제 45 예는 제 40 예 내지 제 44 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2607] 제 46 예는 제 40 예 내지 제 45 예 중 어느 한 예의 방법이며, 이 예에서 방법은 제 2 데이터 신호를 생성하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2608] 제 47 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한다. 방법은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계를 포함한다. 방법은 또한 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간에 기초하여 통신 프로토콜의 제 2 제어 심볼을 결정하는 단계를 다 포함한다.

[2609] 제 48 예는 제 47 예의 방법이며, 데이터 신호에서 제 4 신호 에지의 바로 뒤에 오는 제 1 타입의 제 5 신호 에

지를 결정하는 단계, 및 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하는 단계를 더 포함한다.

[2610] 제 49 예는 제 47 예 또는 제 48 예의 방법이며, 이 예에서 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면, 제 1 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼의 연속을 표시한다.

[2611] 제 50 예는 제 47 예 내지 제 49 예 중 어느 한 예의 방법이며, 데이터 신호에서 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 또한, 방법은 제 6 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 제 1 페이로드 데이터 심볼을 결정하는 단계를 포함한다. 방법은 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 통신 프로토콜의 제 2 페이로드 데이터 심볼을 결정하는 단계를 다 포함한다.

[2612] 제 51 예는 제 50 예의 방법이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2613] 제 52 예는 제 47 예 내지 제 51 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2614] 제 53 예는 제 47 예 내지 제 52 예 중 어느 한 예의 방법이며, 제 2 데이터 신호를 수신하는 단계 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - , 및 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하는 단계를 더 포함한다.

[2615] 제 54 예는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 제 1 타입의 제 3 신호 에지 및 제 2 타입의 제 4 신호 에지의 시퀀스를 결정하는 단계를 포함하는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계를 더 포함한다. 또한, 방법은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 통신 프로토콜의 적어도 하나의 앞에 오는 제어 심볼을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하는 단계를 포함한다. 방법은 제 3 신호 에지와 제 4 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 더 포함한다.

[2616] 제 55 예는 제 54 예의 방법이며, 데이터 신호에서 제 1 신호 에지의 바로 앞에 오는 제 2 타입의 제 5 신호 에지를 결정하는 단계, 및 제 5 신호 에지와 제 1 신호 에지 사이의 제 4 기간에 기초하여 통신 프로토콜의 제 3 제어 심볼을 결정하는 단계를 더 포함한다.

[2617] 제 56 예는 제 54 예 또는 제 55 예의 방법이며, 이 예에서 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면, 제 2 제어 심볼은 통신 프로토콜의 적어도 하나의 추가 제어 심볼이 제 2 제어 심볼의 앞에 온다는 것을 표시한다.

[2618] 제 57 예는 제 54 예 내지 제 56 예 중 어느 한 예의 방법이며, 데이터 신호에서 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 방법은 또한 제 6 신호 에지와 제 7 신호 에지 사이의 제 5 기간에 기초하여 제 1 페이로드 데이터 심볼을 결정하는 단계, 및 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간에 기초하여 제 2 페이로드 데이터 심볼을 결정하는 단계를 포함한다.

[2619] 제 58 예는 제 57 예의 방법이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2620] 제 59 예는 제 54 예 내지 제 58 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2621] 제 60 예는 제 54 예 내지 제 59 예 중 어느 한 예의 방법이며, 제 2 데이터 신호를 수신하는 단계 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - , 및 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하는 단계를 더 포함한다.

[2622] 도 13a 내지 도 13h와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2623] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜

의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2624] 제 2 예는 제 1 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 데이터 패킷에서 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 데이터 패킷에서 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2625] 제 3 예는 제 2 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2626] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2627] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2628] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2629] 제 7 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 페이로드 데이터 심볼과 연관된 가장 긴 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2630] 제 8 예는 제 7 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 데이터 패킷에서 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 데이터 패킷에서 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2631] 제 9 예는 제 8 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2632] 제 10 예는 제 7 예 내지 제 9 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2633] 제 11 예는 제 7 예 내지 제 10 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2634] 제 12 예는 제 7 예 내지 제 11 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2635] 제 13 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성된 복조 회로를 포함한다.

[2636] 제 14 예는 제 13 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된다. 복조 회로는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 데이터 패킷의 제 1 페이로드 데이터 심볼을 결정하고, 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 데이터 패킷의 제 2 페이로드 데이터 심볼을 결정하도록 구성된다.

[2637] 제 15 예는 제 14 예의 장치이며, 데이터 패킷의 서비스 타입에 기초하여 제 1 페이로드 데이터 심볼 및 제 2 페이로드 데이터 심볼을 처리하도록 구성된 데이터 처치 회로를 더 포함한다.

[2638] 제 16 예는 제 14 예 또는 제 15 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2639] 제 17 예는 제 13 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2640] 제 18 예는 제 13 예 내지 제 17 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되며; 처리 회로는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2641] 제 19 예는 제 13 예 내지 제 18 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2642] 제 20 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼을 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로를 포함한다.

[2643] 제 21 예는 제 20 예의 장치이며, 이 예에서 처리 회로는 또한 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된다. 복조 회로는 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 데이터 패킷의 제 1 페이로드 데이터 심볼을 결정하고, 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 데이터 패킷의 제 2 페이로드 데이터 심볼을 결정하도록 구성된다.

[2644] 제 22 예는 제 21 예의 장치이며, 데이터 패킷의 서비스 타입에 기초하여 제 1 페이로드 데이터 심볼 및 제 2 페이로드 데이터 심볼을 처리하도록 구성된 데이터 처치 회로를 더 포함한다.

[2645] 제 23 예는 제 21 예 또는 제 22 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2646] 제 24 예는 제 20 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2647] 제 25 예는 제 20 예 내지 제 24 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되며, 처리 회로는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2648] 제 26 예는 제 20 예 내지 제 25 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2649] 제 27 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 출력하는 단계를 포함한다.

[2650] 제 28 예는 제 27 예의 방법이며, 이 예에서 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 데이터 패킷에서 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 데이터 패킷에서 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2651] 제 29 예는 제 28 예의 방법이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2652] 제 30 예는 제 27 예 내지 제 29 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2653] 제 31 예는 제 27 예 내지 제 30 예 중 어느 한 예의 방법이며, 이 예에서 방법은 제 2 데이터 신호를 생성하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2654] 제 32 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 출력하는 단계를 포함한다.

[2655] 제 33 예는 제 32 예의 방법이며, 이 예에서 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 데이터 패킷에서 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 데이터 패킷에서 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2656] 제 34 예는 제 33 예의 방법이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2657] 제 35 예는 제 32 예 내지 제 34 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2658] 제 36 예는 제 32 예 내지 제 35 예 중 어느 한 예의 방법이며, 이 예에서 방법은 제 2 데이터 신호를 생성하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2659] 제 37 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한다. 또한, 방법은 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계를 포함한다.

[2660] 제 38 예는 제 37 예의 방법이며, 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 방법은 또한 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 데이터 패킷의 제 1 페이로드 데이터 심볼을 결정하는 단계, 및 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 데이터 패킷의 제 2 페이로드 데이터 심볼을 결정하는 단계를 포함한다.

[2661] 제 39 예는 제 38 예의 방법이며, 데이터 패킷의 서비스 타입에 기초하여 제 1 페이로드 데이터 심볼 및 제 2 페이로드 데이터 심볼을 처리하는 단계를 더 포함한다.

[2662] 제 40 예는 제 38 예 또는 제 39 예의 방법이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2663] 제 41 예는 제 37 예 내지 제 40 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2664] 제 42 예는 제 37 예 내지 제 41 예 중 어느 한 예의 방법이며, 제 2 데이터 신호를 수신하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다. 방법은 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하는 단계를 포함한다.

[2665] 제 43 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 데이터 패킷의 시작 및 데이터 패킷의 서비스 타입을 표시하는 통신 프로토콜의 제어 심볼을 결정하는 단

계를 포함한다. 방법은 또한 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한다.

[2666] 제 44 예는 제 41 예의 방법이며, 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 또한, 방법은 또한 제 3 기간이 페이로드 데이터 임계치보다 짧으면 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 데이터 패킷의 제 1 페이로드 데이터 심볼을 결정하는 단계를 포함한다. 방법은 제 4 기간이 페이로드 데이터 임계치보다 짧으면 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 데이터 패킷의 제 2 페이로드 데이터 심볼을 결정하는 단계를 더 포함한다.

[2667] 제 45 예는 제 44 예의 방법이며, 데이터 패킷의 서비스 타입에 기초하여 제 1 페이로드 데이터 심볼 및 제 2 페이로드 데이터 심볼을 처리하는 단계를 더 포함한다.

[2668] 제 46 예는 제 44 예 또는 제 45 예의 방법이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2669] 제 47 예는 제 43 예 내지 제 46 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2670] 제 48 예는 제 43 예 내지 제 47 예 중 어느 한 예의 방법이며, 제 2 데이터 신호를 수신하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다. 방법은 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하는 단계를 포함한다.

[2671] 도 13i 내지 도 13k와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2672] 제 1 예는 제 1 우선순위의 제 1 데이터 패킷 및 더 높은 제 2 우선순위의 제 2 데이터 패킷을 송신하기 위한 장치이다. 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 1 제어 심볼, 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 1 부분, 제 2 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 2 제어 심볼, 제 2 데이터 패킷, 제 2 우선순위의 데이터 패킷의 끝을 표시하는 통신 프로토콜의 제 3 제어 심볼, 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 2 부분의 시퀀스를 나타낸다. 또한, 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[2673] 제 2 예는 제 1 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다.

[2674] 제 3 예는 제 2 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제 2 데이터 패킷의 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 2 데이터 패킷의 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2675] 제 4 예는 제 3 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2676] 제 5 예는 제 3 예 또는 제 4 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 더 포함하고, 제 7 신호 에지 및 제 8 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 5 기간에 의해 분리되며, 제 8 신호 에지 및 제 9 신호 에지는 제 2 제어 심볼에 대응하는 제 6 기간에 의해 분리된다.

[2677] 제 6 예는 제 5 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지 및 제 1 타입의 제 12 신호 에지의 시퀀스를 더 포함하고, 제 10 신호 에지 및 제 11 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 7 기간에 의해 분리되며, 제 11 신호 에지 및 제 12 신호 에지는 제 3 제어 심볼에 대응하는 제 8 기간에 의해 분리된다.

[2678] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서 데이터 신호는 또한 제 1 우선순위의 데이터 패킷의 종료를 표시하는 통신 프로토콜의 제 4 제어 심볼을 나타낸다.

[2679] 제 8 예는 제 7 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 13 신호 에지, 제 2 타입의 제 14 신

호 에지 및 제 1 타입의 제 15 신호 에지의 시퀀스를 더 포함하고, 제 13 신호 에지 및 제 14 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 9 기간에 의해 분리되며, 제 14 신호 에지 및 제 15 신호 에지는 제 4 제어 심볼에 대응하는 제 10 기간에 의해 분리된다.

[2680] 제 9 예는 제 7 예 또는 제 8 예의 장치이며, 이 예에서 데이터 신호는 또한 유휴 모드를 표시하는 통신 프로토콜의 제 5 제어 심볼 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 3 부분을 나타내며, 제 5 제어 심볼은 제 1 데이터 패킷의 제 2 및 제 3 부분의 페이로드 데이터 심볼 사이에 배열된다.

[2681] 제 10 예는 제 9 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 16 신호 에지, 제 2 타입의 제 17 신호 에지 및 제 1 타입의 제 18 신호 에지의 시퀀스를 더 포함하고, 제 16 신호 에지 및 제 17 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 11 기간에 의해 분리되며, 제 17 신호 에지 및 제 18 신호 에지는 제 5 제어 심볼()에 대응하는 제 12 기간에 의해 분리된다.

[2682] 제 11 예는 제 1 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다.

[2683] 제 12 예는 제 11 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 더 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제 2 데이터 패킷의 제 1 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되며, 제 5 신호 에지 및 제 6 신호 에지는 제 2 데이터 패킷의 제 2 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2684] 제 13 예는 제 12 예의 장치이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2685] 제 14 예는 제 12 예 또는 제 13 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 더 포함하고, 제 7 신호 에지 및 제 8 신호 에지는 제 2 제어 심볼에 대응하는 제 5 기간에 의해 분리되며, 제 8 신호 에지 및 제 9 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 6 기간에 의해 분리된다.

[2686] 제 15 예는 제 14 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지 및 제 1 타입의 제 12 신호 에지의 시퀀스를 더 포함하고, 제 10 신호 에지 및 제 11 신호 에지는 제 3 제어 심볼에 대응하는 제 7 기간에 의해 분리되며, 제 11 신호 에지 및 제 12 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 8 기간에 의해 분리된다.

[2687] 제 16 예는 제 1 예 또는 제 11 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서 데이터 신호는 또한 제 1 우선순위의 데이터 패킷의 종료를 표시하는 통신 프로토콜의 제 4 제어 심볼을 나타낸다.

[2688] 제 17 예는 제 16 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 13 신호 에지, 제 2 타입의 제 14 신호 에지 및 제 1 타입의 제 15 신호 에지의 시퀀스를 더 포함하고, 제 13 신호 에지 및 제 14 신호 에지는 제 4 제어 심볼에 대응하는 제 9 기간에 의해 분리되며, 제 14 신호 에지 및 제 15 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 10 기간에 의해 분리된다.

[2689] 제 18 예는 제 16 예 또는 제 17 예의 장치이며, 이 예에서 데이터 신호는 또한 유휴 모드를 표시하는 통신 프로토콜의 제 5 제어 심볼 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 3 부분을 나타내며, 제 5 제어 심볼은 제 1 데이터 패킷의 제 2 및 제 3 부분의 페이로드 데이터 심볼 사이에 배열된다.

[2690] 제 19 예는 제 18 예의 장치이며, 이 예에서 데이터 신호는 제 1 타입의 제 16 신호 에지, 제 2 타입의 제 17 신호 에지 및 제 1 타입의 제 18 신호 에지의 시퀀스를 더 포함하고, 제 16 신호 에지 및 제 17 신호 에지는 제 5 제어 심볼에 대응하는 제 11 기간에 의해 분리되며, 제 17 신호 에지 및 제 18 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 12 기간에 의해 분리된다.

[2691] 제 20 예는 제 11 예 내지 제 19 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2692] 제 21 예는 제 11 예 내지 제 20 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2693] 제 22 예는 제 11 예 내지 제 21 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간

변환기이다.

[2694] 제 23 예는 제 1 우선순위의 제 1 데이터 패킷 및 더 높은 제 2 우선순위의 제 2 데이터 패킷을 송신하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 1 제어 심볼, 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 1 부분, 제 2 우선순위의 데이터 패킷의 시작을 표시하는 통신 프로토콜의 제 2 제어 심볼, 제 2 데이터 패킷, 제 2 우선순위의 데이터 패킷의 끝을 표시하는 통신 프로토콜의 제 3 제어 심볼, 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 2 부분의 시퀀스를 나타낸다. 방법은 데이터 신호를 출력하는 단계를 더 포함한다.

[2695] 제 24 예는 제 23 예의 방법이며, 이 예에서 데이터 신호는 또한 제 1 우선순위의 데이터 패킷의 종료를 표시하는 통신 프로토콜의 제 4 제어 심볼을 나타낸다.

[2696] 제 25 예는 제 23 예 또는 제 24 예의 장치이며, 이 예에서 데이터 신호는 또한 유휴 모드를 표시하는 통신 프로토콜의 제 5 제어 심볼 및 적어도 하나의 페이로드 데이터 심볼을 포함하는 제 1 데이터 패킷의 제 3 부분을 나타내며, 제 5 제어 심볼은 제 1 데이터 패킷의 제 2 및 제 3 부분의 페이로드 데이터 심볼 사이에 배열된다.

[2697] 도 14a 내지 도 14i와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2698] 제 1 예는 통신 장치이다. 통신 장치는 다른 통신 장치와 통신하기 위해 적어도 제 1 송신 링크에 결합하도록 구성된 인터페이스 회로를 포함하되, 인터페이스 회로는 또한 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다. 또한, 통신 장치는 제 1 송신 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 제 1 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다.

[2699] 제 2 예는 제 1 예의 통신 장치이며, 이 예에서 인터페이스 회로는 제 1 제어 심볼을 출력한 이후 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하도록 구성된다.

[2700] 제 3 예는 제 2 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 수신 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된다. 통신 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하고, 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 다른 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성된 복조 회로를 더 포함한다.

[2701] 제 4 예는 제 3 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 수신 데이터 신호에서 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 결정하도록 구성되며, 제 7 신호 에지는 제 6 신호 에지의 뒤에 온다. 복조 회로는 또한 제 7 신호 에지와 제 8 신호 에지 사이의 제 5 기간에 기초하여 제 1 페이로드 데이터 심볼을 결정하고, 제 8 신호 에지와 제 9 신호 에지 사이의 제 6 기간에 기초하여 제 2 페이로드 데이터 심볼을 결정하도록 구성된다.

[2702] 제 5 예는 제 2 예 내지 제 4 예 중 어느 한 예의 통신 장치이며, 이 예에서 송신 데이터 신호의 제 3 신호 에지를 출력한 이후 및 제 1 수신 데이터 신호를 수신하기 이전에, 인터페이스 회로는 제 1 송신 링크를 비 플로팅 상태로 구동하도록 구성된다.

[2703] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 2 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 2 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2704] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 3 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하도록 구성된다.

[2705] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 4 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 3 송신 데이터 신호를 제 4 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다. 처리 회로는 또한 제 3 송신 데이터 신호를 생성하도록 구성되고, 제 3 송신 데이터 신호는 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지 및 제 1 타입의 제 12 신호 에지의 시퀀스를 포함하고, 제 10 신호 에지 및 제 11 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 7 기간에 의해 분리되며, 제 11 신호 에지 및 제 12 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 8 기간에 의해 분리된다.

[2706] 제 9 예는 제 1 예 내지 제 8 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 제 1 송신 링크에 결합하도록 그리고 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된 송신 회로, 및 제 1 송신 링크에 결합하도록 그리고 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하도록 구성된 수신 회로를 포함한다.

[2707] 제 10 예는 제 1 예 내지 제 9 예 중 어느 한 예의 통신 장치이며, 이 예에서 통신 장치는 수신된 제어 신호에 기초하여 제 1 제어 심볼을 다른 통신 장치에 송신하도록 구성된다.

[2708] 제 11 예는 제 1 예 내지 제 10 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 13 신호 에지, 제 2 타입의 제 14 신호 에지 및 제 1 타입의 제 15 신호 에지의 시퀀스를 더 포함하고, 제 13 신호 에지 및 제 14 신호 에지는 제 3 페이로드 데이터 심볼에 대응하는 제 9 기간에 의해 분리되고, 제 14 신호 에지 및 제 15 신호 에지는 제 4 페이로드 데이터 심볼에 대응하는 제 10 기간에 의해 분리되며, 제 15 신호 에지는 제 1 신호 에지의 앞에 온다.

[2709] 제 12 예는 제 11 예의 통신 장치이며, 이 예에서 제 9 기간과 제 10 기간의 합은 10^{-7}s 미만이다.

[2710] 제 13 예는 제 1 예 내지 제 12 예 중 어느 한 예의 통신 장치이며, 이 예에서 적어도 제 1 송신 링크는 차동 송신 링크이다.

[2711] 제 14 예는 제 1 예 내지 제 13 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 1 타입은 하강 에지이고 제 2 타입은 상승 에지이다.

[2712] 제 15 예는 통신 장치이다. 통신 장치는 다른 통신 장치와 통신하기 위해 적어도 제 1 송신 링크에 결합하도록 구성된 인터페이스 회로를 포함하되, 인터페이스 회로는 또한 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다. 또한, 통신 장치는 제 1 송신 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 제 1 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다.

[2713] 제 16 예는 제 15 예의 통신 장치이며, 이 예에서 인터페이스 회로는 제 1 제어 심볼을 출력한 이후 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하도록 구성된다.

[2714] 제 17 예는 제 16 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 수신 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된다. 통신 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 다른 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하도록 구성된 복조 회로를 더 포함한다. 복조 회로는 또한 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된다.

[2715] 제 18 예는 제 16 예 또는 제 17 예의 통신 장치이며, 이 예에서 송신 데이터 신호의 제 3 신호 에지를 출력한 이후 및 제 1 수신 데이터 신호를 수신하기 이전에, 인터페이스 회로는 제 1 송신 링크를 비 플로팅 상태로 구동하도록 구성된다.

[2716] 제 19 예는 제 15 예 내지 제 18 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 2 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 2 송신 링크를 통해 다른 통신 장치로 출력하도록 구

성된다.

[2717] 제 20 예는 제 15 예 내지 제 19 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 3 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하도록 구성된다.

[2718] 제 21 예는 제 15 예 내지 제 20 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 4 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 3 송신 데이터 신호를 제 4 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다. 처리 회로는 또한 제 4 송신 데이터 신호를 생성하도록 구성되고, 제 4 송신 데이터 신호는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하고, 제 7 신호 에지 및 제 8 신호 에지는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 6 기간에 의해 분리된다.

[2719] 제 22 예는 제 15 예 내지 제 21 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지 및 제 1 타입의 제 12 신호 에지의 시퀀스를 더 포함하고, 제 10 신호 에지 및 제 11 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 11 신호 에지 및 제 12 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리되며, 제 12 신호 에지는 제 1 신호 에지의 앞에 온다.

[2720] 제 23 예는 제 15 예 내지 제 22 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 7 기간과 제 8 기간의 합은 10^{-7}s 미만이다.

[2721] 제 24 예는 통신 장치이다. 통신 장치는 다른 통신 장치와 통신하기 위해 적어도 제 1 송신 링크에 결합하도록 구성된 인터페이스 회로를 포함하되, 인터페이스 회로는 또한 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하도록 구성된다. 또한, 통신 장치는 제 1 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 통신 장치는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하도록 구성된 복조 회로를 포함한다.

[2722] 제 25 예는 제 24 예의 통신 장치이며, 이 예에서 인터페이스 회로는 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2723] 제 26 예는 제 25 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 송신 데이터 신호를 생성하도록 구성되고, 제 1 송신 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리되며, 제 5 신호 에지 및 제 6 신호 에지는 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2724] 제 27 예는 제 26 예의 통신 장치이며, 이 예에서 제 6 신호 에지를 생성한 이후 및 페이로드 데이터의 시작을 표시하는 신호 에지를 생성하기 이전에, 처리 회로는 제 1 송신 링크가 비 플로팅 상태에 있도록 제 1 송신 데이터 신호를 생성하도록 구성된다.

[2725] 제 28 예는 제 26 예 또는 제 27 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 6 신호 에지 바로 뒤에 오는 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 적어도 하나의 시퀀스를 더 포함하고, 제 7 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 5 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간은 유휴 모드를 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응한다.

[2726] 제 29 예는 제 28 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 9 신호 에지, 제 2 타입의 제 10 신호 에지 및 제 1 타입의 제 11 신호 에지의 시퀀스를 더 포함하고, 제 9 신호 에지는 제 7 신호 에지 및 제 8 신호 에지의 적어도 하나의 시퀀스의 마지막 신호 에지 뒤에 오고, 제 9 신호 에지 및 제 10 신호

에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 10 신호 에지 및 제 11 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다.

[2727] 제 30 예는 제 29 예의 통신 장치이며, 이 예에서 제 7 기간과 제 8 기간의 합은 10^{-7}s 미만이다.

[2728] 제 31 예는 제 24 예 내지 제 30 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 2 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 2 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하도록 구성된다.

[2729] 제 32 예는 제 24 예 내지 제 31 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 3 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 3 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2730] 제 33 예는 제 24 예 내지 제 32 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 4 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 4 송신 링크를 통해 다른 통신 장치로부터 제 3 수신 데이터 신호를 수신하도록 구성된다. 처리 회로는 또한 제 3 수신 데이터 신호에서 제 1 타입의 제 12 신호 에지, 제 2 타입의 제 13 신호 에지 및 제 1 타입의 제 14 신호 에지의 시퀀스를 결정하도록 구성된다. 복조 회로는 제 12 신호 에지와 제 13 신호 에지 사이의 제 9 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하고, 제 13 신호 에지와 제 14 신호 에지 사이의 제 10 시간 기간이 미리 결정된 시간 기간에 대응하면 제 1 제어 심볼을 결정하도록 구성된다. 인터페이스 회로는 제 1 제어 심볼을 수신하는 것에 응답하여 제 3 송신 데이터 신호를 제 4 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2731] 제 34 예는 제 25 예의 통신 장치이며, 이 예에서 인터페이스 회로는 제 1 송신 링크에 결합하도록 그리고 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된 송신 회로, 및 제 1 송신 링크에 결합하도록 그리고 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하도록 구성된 수신 회로를 포함한다.

[2732] 제 35 예는 제 24 예 내지 제 34 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 제 1 데이터 수신 신호에서 제 1 타입의 제 15 신호 에지, 제 2 타입의 제 16 신호 에지 및 제 1 타입의 제 17 신호 에지의 시퀀스를 결정하도록 구성되고, 제 17 신호 에지는 제 1 신호 에지의 앞에 온다. 복조 회로는 또한 제 15 신호 에지와 제 16 신호 에지 사이의 제 11 기간에 기초하여 제 3 페이로드 데이터 심볼을 결정하고, 제 16 신호 에지와 제 17 신호 에지 사이의 제 12 기간에 기초하여 제 4 페이로드 데이터 심볼을 결정하도록 구성된다.

[2733] 제 36 예는 제 24 예 내지 제 35 예 중 어느 한 예의 통신 장치이며, 이 예에서 적어도 제 1 송신 링크는 차동 송신 링크이다.

[2734] 제 37 예는 제 24 예 내지 제 36 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 1 타입은 하강 에지이고 제 2 타입은 상승 에지이다.

[2735] 제 38 예는 통신 장치이다. 통신 장치는 다른 통신 장치와 통신하기 위해 적어도 제 1 송신 링크에 결합하도록 구성된 인터페이스 회로를 포함하되, 인터페이스 회로는 또한 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하도록 구성된다. 또한, 통신 장치는 제 1 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 통신 장치는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된 복조 회로를 포함한다.

[2736] 제 39 예는 제 38 예의 통신 장치이며, 이 예에서 인터페이스 회로는 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2737] 제 40 예는 제 39 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 송신 데이터 신호를 생성하도록 구성되고, 제 1 송신 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 통신 장치에 의해 송신 링크 상의 데이터

흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리되며, 제 5 신호 에지 및 제 6 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 4 기간에 의해 분리된다.

[2738] 제 41 예는 제 40 예의 통신 장치이며, 이 예에서 제 6 신호 에지를 생성한 이후 및 페이로드 데이터의 시작을 표시하는 신호 에지를 생성하기 이전에, 처리 회로는 제 1 송신 링크가 비 플로팅 상태에 있도록 제 1 송신 데이터 신호를 생성하도록 구성된다.

[2739] 제 42 예는 제 40 예 또는 제 41 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 6 신호 에지 바로 뒤에 오는 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 적어도 하나의 시퀀스를 더 포함하고, 제 7 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 5 기간은 유휴 모드를 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응하며, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다.

[2740] 제 43 예는 제 42 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 9 신호 에지, 제 2 타입의 제 10 신호 에지 및 제 1 타입의 제 11 신호 에지의 시퀀스를 더 포함하고, 제 9 신호 에지는 제 7 신호 에지 및 제 8 신호 에지의 적어도 하나의 시퀀스의 마지막 신호 에지 뒤에 오고, 제 9 신호 에지 및 제 10 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 10 신호 에지 및 제 11 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다.

[2741] 제 44 예는 제 43 예의 통신 장치이며, 이 예에서 제 7 기간과 제 8 기간의 합은 10^{-7}s 미만이다.

[2742] 제 45 예는 제 38 예 내지 제 44 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 2 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 2 송신 데이터 신호를 제 2 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2743] 제 46 예는 제 38 예 내지 제 45 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 3 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하도록 구성된다.

[2744] 제 47 예는 제 38 예 내지 제 46 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 다른 통신 장치와 통신하기 위해 제 4 송신 링크에 결합하도록 구성되며, 인터페이스 회로는 또한 제 4 송신 링크를 통해 다른 통신 장치로부터 제 3 수신 데이터 신호를 수신하도록 구성된다. 처리 회로는 또한 제 1 수신 데이터 신호에서 제 1 타입의 제 12 신호 에지, 제 2 타입의 제 13 신호 에지 및 제 1 타입의 제 14 신호 에지의 시퀀스를 결정하도록 구성된다. 복조 회로는 제 12 신호 에지와 제 13 신호 에지 사이의 제 9 기간이 제 1 미리 결정된 기간에 대응하면 제어 심볼 표시자를 결정하고, 제 13 신호 에지와 제 14 신호 에지 사이의 제 10 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하도록 구성된다. 인터페이스 회로는 제 1 제어 심볼을 수신하는 것에 응답하여 제 3 송신 데이터 신호를 제 4 송신 링크를 통해 다른 통신 장치로 출력하도록 구성된다.

[2745] 제 48 예는 통신 장치의 통신 방법이다. 통신 방법은 다른 통신 장치와 통신하기 위해 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치에 출력하는 단계를 포함한다. 또한, 방법은 제 1 송신 데이터 신호를 생성하는 단계를 포함하되, 제 1 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 2 기간에 의해 분리된다.

[2746] 제 49 예는 제 48 예의 방법이며, 제 1 제어 심볼을 출력한 이후 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계를 더 포함한다.

[2747] 제 50 예는 제 49 예의 방법이며, 제 1 수신 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 방법은 또한 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단

계, 및 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 다른 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하는 단계를 포함한다.

[2748] 제 51 예는 제 50 예의 방법이며, 제 1 수신 데이터 신호에서 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 결정하는 단계를 더 포함하며, 제 7 신호 에지는 제 6 신호 에지의 뒤에 온다. 방법은 또한 제 7 신호 에지와 제 8 신호 에지 사이의 제 5 기간에 기초하여 제 1 페이로드 데이터 심볼을 결정하는 단계, 및 제 8 신호 에지와 제 9 신호 에지 사이의 제 6 기간에 기초하여 제 2 페이로드 데이터 심볼을 결정하는 단계를 포함한다.

[2749] 제 52 예는 제 51 예의 방법이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2750] 제 53 예는 제 48 예 내지 제 52 예 중 어느 한 예의 방법이며, 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 2 송신 데이터 신호를 제 2 송신 링크를 통해 다른 통신 장치로 출력하는 단계; 및 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하는 단계 중 적어도 하나를 더 포함한다.

[2751] 제 54 예는 통신 장치의 통신 방법이다. 통신 방법은 다른 통신 장치와 통신하기 위해 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치에 출력하는 단계를 포함한다. 또한, 방법은 제 1 송신 데이터 신호를 생성하는 단계를 포함하되, 제 1 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 2 기간에 의해 분리된다.

[2752] 제 55 예는 제 54 예의 방법이며, 제 1 제어 심볼을 출력한 이후 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계를 더 포함한다.

[2753] 제 56 예는 제 55 예의 방법이며, 제 1 수신 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 또한, 방법은 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 다른 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼을 결정하는 단계, 및 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간이 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한다.

[2754] 제 57 예는 제 54 예 내지 제 56 예 중 어느 한 예의 방법이며, 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 2 송신 데이터 신호를 제 2 송신 링크를 통해 다른 통신 장치로 출력하는 단계; 및 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하는 단계 중 적어도 하나를 더 포함한다.

[2755] 제 58 예는 제 54 예 내지 제 57 예의 통신 장치이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지 및 제 1 타입의 제 9 신호 에지의 시퀀스를 더 포함하고, 제 7 신호 에지 및 제 8 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 6 기간에 의해 분리되고, 제 9 신호 에지는 제 1 신호 에지의 앞에 온다.

[2756] 제 59 예는 제 58 예의 방법이며, 이 예에서 제 5 기간과 제 6 기간의 합은 10^{-7}s 미만이다.

[2757] 제 60 예는 통신 장치의 통신 방법이다. 통신 방법은 다른 통신 장치와 통신하기 위해 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계를 포함한다. 또한, 방법은 제 1 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 방법은 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계를 포함한다.

[2758] 제 61 예는 제 60 예의 통신 장치이며, 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하는 단계를 더 포함한다.

[2759] 제 62 예는 제 61 예의 방법이며, 제 1 송신 데이터 신호를 생성하는 단계를 더 포함하되, 제 1 송신 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 3 기간에 의해 분리되며, 제 5 신호 에지 및 제 6 신호 에지는 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 4 기간에 의해 분리된다.

[2760] 제 63 예는 제 62 예의 방법이며, 이 예에서 제 1 송신 데이터 신호를 생성하는 단계는 그렇게 제 6 신호 에지를 생성한 이후 및 제 1 송신 링크가 비 플로팅 상태에 있는 페이로드 데이터의 시작을 표시하는 신호 에지를 생성하기 이전에 제 1 송신 데이터 신호를 생성하는 단계를 포함한다.

[2761] 제 64 예는 제 62 예 또는 제 63 예의 방법이며, 이 예에서 제 1 송신 데이터 신호는 제 6 신호 에지의 바로 뒤에 오는 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 적어도 하나의 시퀀스를 더 포함하고, 제 7 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 5 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간은 유휴 모드를 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응한다.

[2762] 제 65 예는 제 64 예의 방법이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 9 신호 에지, 제 2 타입의 제 10 신호 에지 및 제 1 타입의 제 11 신호 에지의 시퀀스를 더 포함하고, 제 9 신호 에지는 제 7 신호 에지 및 제 8 신호 에지의 적어도 하나의 시퀀스의 마지막 신호 에지의 뒤에 오고, 제 9 신호 에지 및 제 10 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 10 신호 에지 및 제 11 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다.

[2763] 제 66 예는 제 65 예의 방법이며, 이 예에서 제 7 기간과 제 8 기간의 합은 10^{-7}s 미만이다.

[2764] 제 67 예는 제 60 예 내지 제 66 예 중 어느 한 예의 방법이며, 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 2 송신 데이터 신호를 제 2 전송 링크를 통해 다른 통신 장치로 출력하는 단계; 및 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하는 단계 중 적어도 하나를 더 포함한다.

[2765] 제 68 예는 통신 장치의 통신 방법이다. 통신 방법은 다른 통신 장치와 통신하기 위해 제 1 송신 링크를 통해 다른 통신 장치로부터 제 1 수신 데이터 신호를 수신하는 단계를 포함한다. 또한, 방법은 제 1 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 통신 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 송신 링크 상의 데이터 흐름의 방향의 반전을 표시하는 통신 프로토콜의 제 1 제어 심볼을 결정하는 단계, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제어 심볼 표시자를 결정하는 단계를 포함한다.

[2766] 제 69 예는 제 68 예의 방법이며, 제 1 제어 심볼을 수신하는 것에 응답하여 제 1 송신 데이터 신호를 제 1 송신 링크를 통해 다른 통신 장치로 출력하는 단계를 더 포함한다.

[2767] 제 70 예는 제 69 예의 방법이며, 제 1 송신 데이터 신호를 생성하는 단계를 더 포함하되, 제 1 송신 데이터 신호는 제 1 타입의 제 4신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 통신 장치에 의해 송신 링크 상의 데이터 흐름의 방향의 확인 응답을 표시하는 통신 프로토콜의 제 2 제어 심볼에 대응하는 제 3 기간에 의해 분리되며, 제 5 신호 에지 및 제 6 신호 에지는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 긴 제 4 기간에 의해 분리된다.

[2768] 제 71 예는 제 69 예의 방법이며, 이 예에서 제 1 송신 데이터 신호를 생성하는 단계는 그렇게 제 6 신호 에지를 생성한 이후 및 제 1 송신 링크가 비 플로팅 상태에 있는 페이로드 데이터의 시작을 표시하는 신호 에지를 생성하기 이전에 제 1 송신 데이터 신호를 생성하는 단계를 포함한다.

[2769] 제 72 예는 제 70 예 또는 제 71 예의 방법이며, 이 예에서 제 1 송신 데이터 신호는 제 6 신호 에지의 바로 뒤에 오는 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 적어도 하나의 시퀀스를 더 포함하고, 제 7 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 5 기간은 유휴 모드를 표시하는 통신 프로토콜의 제 3 제어 심볼에 대응하며, 제 7 신호 에지와 제 8 신호 에지 사이의 제 6 기간은 통신 프로토

콜의 임의의 페이로드 데이터 심볼의 기간보다 길다.

[2770] 제 73 예는 제 72 예의 방법이며, 이 예에서 제 1 송신 데이터 신호는 제 1 타입의 제 9 신호 에지, 제 2 타입의 제 10 신호 에지 및 제 1 타입의 제 11 신호 에지의 시퀀스를 더 포함하고, 제 9 신호 에지는 제 7 신호 에지 및 제 8 신호 에지의 적어도 하나의 시퀀스의 마지막 신호 에지 뒤에 오고, 제 9 신호 에지 및 제 10 신호 에지는 제 1 페이로드 데이터 심볼에 대응하는 제 7 기간에 의해 분리되고, 제 10 신호 에지 및 제 11 신호 에지는 제 2 페이로드 데이터 심볼에 대응하는 제 8 기간에 의해 분리된다.

[2771] 제 74 예는 제 73 예의 방법이며, 이 예에서 제 7 기간과 제 8 기간의 합은 10^{-7}s 미만이다.

[2772] 제 75 예는 제 68 예 내지 제 74 예 중 어느 한 예의 방법이며, 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 2 송신 데이터 신호를 제 2 전송 링크를 통해 다른 통신 장치로 출력하는 단계; 및 제 1 송신 링크 상의 데이터 흐름의 방향에 관계없이 다른 통신 장치와 통신하기 위해 제 3 송신 링크를 통해 다른 통신 장치로부터 제 2 수신 데이터 신호를 수신하는 단계 중 적어도 하나를 더 포함한다.

[2773] 도 15a 내지 도 15d와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2774] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로, 및 데이터 신호를 생성하도록 구성된 처리 회로를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 동작 모드에서, 처리 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간을 통신 프로토콜 프로토콜에 따라 송신될 제 1 페이로드 데이터 심볼에 대응하는 기간으로 조정하고, 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간을 통신 프로토콜에 따라 송신될 제 2 페이로드 데이터 심볼에 대응하는 기간으로 조정하도록 구성된다. 제 2 동작 모드에서, 처리 회로는 제 1 기간을 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길게 조정하고, 제 2 기간을 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼에 대응하는 기간으로 조정하도록 구성된다. 제 2 동작 모드에서, 처리 회로는 대안적으로 제 2 기간을 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길게 조정하고, 제 1 기간을 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼에 대응하는 기간으로 조정하도록 구성된다.

[2775] 제 2 예는 제 1 예의 장치이며, 송신될 데이터의 양이 제 1 임계치 미만이면, 장치의 회로를 제어하여 제 1 동작 모드로부터 제 2 동작 모드로 변경하도록 구성된 제어 회로를 더 포함한다.

[2776] 제 3 예는 제 2 예의 장치이며, 제어 회로는 송신될 데이터의 양이 제 1 임계치를 초과하면, 장치의 회로를 제어하여 제 2 동작 모드로부터 제 1 동작 모드로 변경하도록 구성된다.

[2777] 제 4 예는 제 2 예 또는 제 3 예의 장치이며, 이 예에서 제 2 동작 모드에서, 처리 회로는 제 1 동작 모드에서보다 낮은 주파수로 데이터 신호를 생성하도록 구성된다.

[2778] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 방법이며, 이 예에서 제 2 동작 모드에서, 데이터 신호는 제 3 신호 에지의 바로 뒤에 오는 제 2 타입의 제 4 신호 에지 및 제 1 타입의 제 5 신호 에지의 적어도 하나의 시퀀스를 더 포함하고, 제 4 신호 에지와 이것의 바로 앞에 오는 제 1 타입의 신호 에지 사이의 제 3 기간 또는 제 4 신호 에지와 제 5 신호 에지 사이의 제 4 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 4 기간 또는 제 3 기간은 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼에 대응한다.

[2779] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 출력 인터페이스 회로는 장치를 공급 전압에 결합된 수신기에 DC 결합하기 위해 접지 및 송신 링크에 결합하도록 구성된다. 또한, 제 3 동작 모드에서, 출력 인터페이스 회로는 수신기를 접지로부터 분리함으로써 수신기를 파워 다운하도록 구성된다.

[2780] 제 7 예는 제 6 예의 장치이며, 이 예에서 출력 인터페이스 회로는 제 3 동작 모드에서 송신 링크에 하이 임피던스를 건네도록 구성된다.

[2781] 제 8 예는 제 6 예 또는 제 7 예의 장치이며, 송신될 데이터의 양이 제 2 임계치 미만이면, 장치의 회로를 제어하여 제 2 동작 모드로부터 제 3 동작 모드로 변경하도록 구성된 제어 회로를 더 포함한다.

[2782] 제 9 예는 제 8 예의 장치이며, 이 예에서 제어 회로는 수신된 제어 신호가 제 3 동작 모드가 인에이블된다고 표시하면, 단지 장치의 회로를 제어하여 제 2 동작 모드로부터 제 3 동작 모드로 변경하도록 구성된다.

[2783] 제 10 예는 제 8 예 또는 제 9 예의 장치이며, 이 예에서 제어 회로는 송신될 데이터의 양이 제 2 임계치를 초과하면 또는 제어 신호가 제 3 동작 모드가 디스에이블된다고 표시하면, 장치의 회로를 제어하여 제 3 동작 모

드로부터 제 2 동작 모드로 변경하도록 구성된다.

[2784] 제 11 예는 제 10 예의 장치이며, 이 예에서 제 3 동작 모드로부터 제 2 동작 모드로 변경될 때, 출력 인터페이스 회로는 수신기를 접지에 재결합함으로써 수신기를 파워 업하도록 구성된다.

[2785] 제 12 예는 제 6 예 내지 제 11 예 중 어느 한 예의 장치이며, 제 4 동작 모드에서 장치의 회로를 비활성화하도록 구성된 제어 회로를 더 포함하되, 출력 인터페이스 회로는 제 4 동작 모드에서 송신 링크에 하이 임피던스를 건네도록 구성된다.

[2786] 제 13 예는 제 12 예의 장치이며, 이 예에서 제어 회로는 송신될 데이터의 양이 제 3 임계치를 초과하면 또는 수신된 제어 신호가 제 4 동작 모드가 디스에이블된다고 표시하면, 장치의 회로를 제어하여 제 4 동작 모드로부터 제 2 동작 모드로 변경하도록 구성된다.

[2787] 제 14 예는 제 12 예 또는 제 13 예의 장치이며, 이 예에서 제어 회로는 송신될 데이터의 양이 제 3 임계치 미만이면, 장치의 회로를 제어하여 제 2 동작 모드로부터 제 4 동작 모드로 변경하도록 구성된다.

[2788] 제 15 예는 제 14 예의 장치이며, 이 예에서 제어 회로는 제어 신호가 제 4 동작 모드가 인에이블된다고 표시하면, 장치의 회로를 제어하여 제 2 동작 모드로부터 제 4 동작 모드로 변경하도록 구성된다.

[2789] 제 16 예는 제 12 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서, 제 2 동작 모드로부터 제 4 동작 모드로 변경될 때, 처리 회로는 제 1 타입의 제 6 신호 에지, 제 2 타입의 제 7 신호 에지 및 제 1 타입의 제 8 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된다. 제 6 신호 에지 및 제 7 신호 에지는 제 5 기간에 의해 분리되고, 제 7 신호 에지 및 제 8 신호 에지는 제 6 기간에 의해 분리된다. 제 5 기간 또는 제 6 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 6 기간 또는 제 5 기간은 제 4 동작 모드로의 전환을 표시하는 통신 프로토콜의 제어 심볼에 대응한다.

[2790] 제 17 예는 제 12 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 송신 링크는 차동 송신 링크이다. 또한, 제 5 동작 모드에서, 제어 회로는 제 1 동작 모드에서의 데이터 신호보다 낮은 대역폭을 나타내는 저 대역폭 데이터 신호를 생성하도록 구성된 다른 처리 회로를 활성화하고, 출력 인터페이스 회로를 활성화하도록 구성된다. 제 5 동작 모드에서, 출력 인터페이스 회로는 미리 결정된 기간 동안 정의된 신호 레벨을 차동 송신 링크의 송신 라인 둘 모두로 출력하고, 정의된 신호 레벨을 차등 송신 링크로 출력한 이후 저 대역폭 데이터 신호를 송신 링크로 출력하도록 구성된다.

[2791] 제 18 예는 제 17 예의 장치이며, 이 예에서 다른 처리 회로는 제 1 동작 모드에서 데이터 신호를 생성하기 위해 사용하는 처리 회로와는 상이한 변조 방식을 사용하여 저 대역폭 데이터 신호를 생성하도록 구성된다.

[2792] 제 19 예는 제 17 예 또는 제 18 예의 장치이며, 이 예에서 제 5 동작 모드에서의 저 대역폭 데이터 신호의 대역폭은 적어도 제 1 동작 모드에서의 데이터 신호의 대역폭보다 낮다.

[2793] 제 20 예는 제 17 예 내지 제 19 예 중 어느 한 예의 장치이며, 이 예에서 제어 회로는 송신될 데이터 크기가 제 4 임계치 미만이면, 장치의 회로를 제어하여 제 4 동작 모드로부터 제 5 동작 모드로 변경하도록 구성된다.

[2794] 제 21 예는 제 17 예 내지 제 20 예의 장치이며, 이 예에서 제어 회로는 데이터를 송신한 이후 장치의 회로를 제어하여 제 5 동작 모드로부터 제 4 동작 모드로 변경하도록 구성된다.

[2795] 제 22 예는 제 17 예 내지 제 21 예 중 어느 한 예의 장치이며, 이 예에서 제 5 동작 모드에서, 출력 인터페이스 회로는 저 대역폭 데이터를 출력한 다음에 제 2 미리 정의된 기간 동안 차동 송신 링크로 접지를 출력하도록 구성된다.

[2796] 제 23 예는 제 17 예 내지 제 22 예 중 어느 한 예의 장치이며, 이 예에서 출력 인터페이스 회로는 저 대역폭 데이터 신호를 차동 송신 링크의 하나의 송신 라인에 출력하고 클록 신호를 차동 송신 링크의 다른 송신 라인에 출력하도록 구성된다.

[2797] 제 24 예는 제 17 예 내지 제 22 예 중 어느 한 예의 장치이며, 이 예에서 다른 처리 회로는 제 2 저 대역폭 데이터 신호를 생성하도록 구성되고, 제 2 저 대역폭 데이터 신호는 저 대역폭 데이터 신호에 대해 반전되며, 출력 인터페이스 회로는 저 대역폭 데이터 신호 및 제 2 저 대역폭 데이터 신호를 차동 송신 링크로 출력하도록 구성된다.

[2798] 제 25 예는 제 17 예 내지 제 24 예 중 어느 한 예의 장치이며, 이 예에서 제 2 동작 모드를 통해 제 4 동작 모

드로부터 제 1 동작 모드로 변경하는 것은 제 4 동작 모드로부터 제 5 동작 모드로 변경하는 것보다 적어도 5 배 더 오래 걸린다.

[2799] 제 26 예는 제 17 예 내지 제 25 예 중 어느 한 예의 장치이며, 이 예에서 제 5 동작 모드에서 장치의 전력 소비는 제 1 동작 모드에서보다 낮다.

[2800] 제 27 예는 제 1 예 내지 제 26 예 중 어느 한 예의 장치이며, 이 예에서 제 1 동작 모드에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2801] 제 28 예는 제 1 예 내지 제 27 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2802] 제 29 예는 제 1 예 내지 제 28 예 중 어느 한 예의 장치이며, 이 예에서, 제 1 동작 모드에서, 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2803] 제 30 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 데이터 신호를 수신하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 데이터 신호를 디코딩하기 위한 장치는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 제어 회로는 제 1 데이터 및 제 2 데이터가 통신 프로토콜에 따른 페이로드 데이터 심볼이면 장치의 회로를 제어하여 제 1 동작 모드에서 동작하도록 하고, 제 1 데이터 및 제 2 데이터가 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼 표시자 및 제어 심볼이면 장치의 회로를 제어하여 제 2 동작 모드에서 동작하도록 구성된다.

[2804] 제 31 예는 제 30 예의 장치이며, 이 예에서 복조 회로는 제 1 기간 또는 제 2 기간이 통신 프로토콜에서 정의된 페이로드 데이터 임계치보다 길면 제 1 데이터 또는 제 2 데이터가 제어 심볼 표시자라고 결정하고, 제 1 기간 또는 제 2 기간이 통신 프로토콜에서 정의된 미리 결정된 기간에 대응하면 제 1 데이터 또는 제 2 데이터가 유휴 모드를 표시하는 통신 프로토콜의 제어 심볼이라고 결정하도록 구성된다.

[2805] 제 32 예는 제 30 예 또는 제 31 예의 장치이며, 이 예에서 제어 회로는 장치의 회로를 제어하여 제 1 동작 모드에서보다 제 2 동작 모드에서 더 낮은 레이트로 동작하도록 구성된다.

[2806] 제 33 예는 제 30 예 내지 제 32 예 중 어느 한 예의 장치이며, 이 예에서 출력 인터페이스 회로는 접지에 결합된 송신기에 장치를 DC 결합하기 위해 공급 전압 및 차동 송신 링크에 결합되며, 제 3 동작 모드에서, 인터페이스 회로는 정의된 신호 레벨을 비활성화하고 차동 송신 링크로 출력하도록 구성된다.

[2807] 제 34 예는 제 33 예의 장치이며, 이 예에서, 제 4 동작 모드에서, 인터페이스 회로는 접지를 차동 송신 링크의 하나의 송신 라인으로 출력하고, 인터페이스 회로가 송신기가 차동 송신 링크의 두 송신 라인을 모두 하이 임피던스로 구동한다는 것을 감지하거나 또는 데이터 신호가 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하면 차동 송신 링크의 다른 송신 라인에 하이 임피던스를 건네지도록 구성된다. 제 4 신호 에지 및 제 5 신호 에지는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 4 기간에 의해 분리되고, 제 3 기간 또는 제 4 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 4 기간 또는 제 3 기간은 제 4 동작 모드로의 전환을 표시하는 통신 프로토콜의 제어 심볼에 대응한다.

[2808] 제 35 예는 제 33 예 또는 제 34 예의 장치이며, 이 예에서, 인터페이스 회로가 미리 정의된 기간 동안 차동 송신 링크의 두 송신 라인 모두에서 정의된 신호 레벨을 감지하면, 제어 회로는 장치의 회로를 제어하여 제 5 동작 모드에서 동작하도록 구성된다. 제 5 동작 모드에서, 인터페이스 회로는 차동 송신 링크의 하나의 송신 라인으로부터 저 대역폭 데이터 신호를 수신하도록 구성되며, 제어 회로는 저 대역폭 데이터 신호에 기초하여 데이터를 결정하도록 구성된 다른 처리 회로를 활성화시키도록 구성된다.

[2809] 제 36 예는 제 35 예의 장치이며, 이 예에서 다른 처리 회로는 데이터를 결정하기 위한 복조 회로와는 상이한 복조 방식을 사용하도록 구성된다.

[2810] 제 37 예는 제 35 예 또는 제 36 예의 장치이며, 이 예에서, 제 5 동작 모드에서, 인터페이스 회로는 차동 송신 링크의 다른 송신 라인으로부터 클록 신호를 수신하도록 구성되며, 다른 처리 회로는 또한 클록 신호에 기초하

여 데이터를 결정하도록 구성된다.

[2811] 제 38 예는 제 35 예 또는 제 36 예의 장치이며, 이 예에서, 제 5 동작 모드에서, 제어 회로는 클록 신호를 생성하도록 구성된 클록 생성 회로를 활성화하도록 구성되며, 다른 처리 회로는 또한 클록 신호에 기초하여 데이터를 결정하도록 구성된다.

[2812] 제 39 예는 제 38 예의 장치이며, 이 예에서 클록 생성 회로는 저 대역폭 데이터 신호에 기초하여 클록 신호를 생성하도록 구성된다.

[2813] 제 40 예는 제 35 예 또는 제 36 예의 장치이며, 이 예에서, 제 5 동작 모드에서, 인터페이스 회로는 차동 송신 링크의 다른 송신 라인으로부터 제 2 저 대역폭 데이터 신호를 수신하도록 구성 - 제 2 저 대역폭 데이터 신호는 저 대역폭 데이터 신호에 대해 반전됨 - 되고, 다른 처리 회로는 또한 제 2 저 대역폭 데이터 신호에 기초하여 데이터를 결정하도록 구성된다.

[2814] 제 41 예는 제 35 예 내지 제 40 예 중 어느 한 예의 장치이며, 이 예에서 제 5 동작 모드에서의 저 대역폭 데이터 신호의 대역폭은 제 1 동작 모드에서의 데이터 신호의 대역폭보다 적어도 낮다.

[2815] 제 42 예는 제 35 예 내지 제 41 예 중 어느 한 예의 장치이며, 이 예에서 제 5 동작 모드에서 장치의 전력 소비는 제 1 동작 모드에서보다 낮다.

[2816] 제 43 예는 제 35 예 또는 제 42 예의 장치이며, 이 예에서, 제 5 동작 모드에서, 제어 회로는 차동 송신 링크의 송신 라인 사이의 종단을 비활성화하도록 구성된다.

[2817] 제 44 예는 제 30 예 내지 제 43 예 중 어느 한 예의 장치이며, 이 예에서, 제 1 동작 모드에서, 인터페이스 회로는 또한 제 2 데이터 신호를 생성하도록 구성 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - 되고, 처리 회로는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2818] 제 45 예는 제 30 예 내지 제 44 예 중 어느 한 예의 장치이며, 이 예에서, 제 1 동작 모드에서, 제 1 데이터 및 제 2 데이터가 통신 프로토콜에 따른 페이로드 데이터 심볼이면 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2819] 제 46 예는 제 30 예 내지 제 45 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2820] 도 16a 내지 도 16h와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2821] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리된다. 제 1 동작 모드에서, 처리 회로는 송신될 데이터에 기초하여 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하도록 구성되고, 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 제 2 동작 모드에서, 처리 회로는 송신될 데이터에 기초하여 제 2 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하도록 구성되고, 제 2 복수의 기간의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다.

[2822] 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[2823] 제 2 예는 제 1 예의 장치이며, 이 예에서 제 2 오프셋 시간은 제 1 오프셋 시간의 적어도 두배이다.

[2824] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서 제 2 복수의 기간은 제 1 복수의 기간보다 적은 기간을 포함한다.

[2825] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서 제 2 복수의 기간은 두 개의 기간을 포함하고, 제 2 동작 모드에서, 제 1 기간은 송신될 데이터의 2의 기수법 표현(base two numeral system representation)의 제 1 숫자에 대응하고, 제 2 기간은 송신될 데이터의 2의 기수법 표현의 제 2 숫자에 대응한다.

[2826] 제 5 예는 제 1 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서 제 2 복수의 기간은 세 개의 기간을 포함한다. 또한, 제 2 동작 모드에서, 처리 회로는 또한 송신될 데이터를 3의 기수법 표현으로 변환하도록 구성

되고, 제 1 기간은 송신될 데이터의 3의 기수법 표현의 제 1 숫자에 대응하고, 제 2 기간은 송신될 데이터의 3의 기수법 표현의 제 2 숫자에 대응한다.

[2827] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 제 1 복수의 기간은 적어도 여섯 개의 기간을 포함한다.

[2828] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 처리 회로는 송신될 데이터의 적어도 하나의 비트를 미리 정의된 횟수로 복제하고 비트 및 비트의 미리 정의된 횟수의 복제에 기초하여 데이터 신호를 생성하도록 구성된다.

[2829] 제 8 예는 제 7 예의 장치이며, 이 예에서 미리 정의된 횟수는 3회 이상이다.

[2830] 제 9 예는 제 1 예 내지 제 8 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2831] 제 10 예는 제 1 예 내지 제 9 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2832] 제 11 예는 제 1 예 내지 제 10 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2833] 제 12 예는 제 1 예 내지 제 11 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 데이터 신호를 생성하도록 구성된 디지털-시간 변환기를 포함한다.

[2834] 제 13 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 제 1 양의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 양의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 2 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 더 적은 제 2 양의 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 양의 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[2835] 제 14 예는 제 13 예의 장치이며, 이 예에서 처리 회로는 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택 - 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋됨 - 하고, 제 2 복수의 기간으로부터 제 3 기간 및 제 4 기간을 선택하도록 구성된다. 제 2 복수의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다.

[2836] 제 15 예는 제 14 예의 장치이며, 이 예에서 제 2 오프셋 시간은 제 1 오프셋 시간의 적어도 두배이다.

[2837] 제 16 예는 제 14 예 또는 제 15 예의 장치이며, 이 예에서 제 2 복수의 기간은 제 1 복수의 기간보다 적은 기간을 포함한다.

[2838] 제 17 예는 제 14 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 제 2 복수의 기간은 두 개의 기간을 포함하고, 제 3 데이터는 송신될 데이터의 2의 기수법 표현의 제 1 숫자이고, 제 4 데이터는 송신될 데이터의 2의 기수법 표현의 제 2 숫자이다.

[2839] 제 18 예는 제 14 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 제 2 복수의 기간은 세 개의 기간을 포함한다. 또한, 처리 회로는 송신될 데이터를 3의 기수법 표현으로 변환하도록 구성되고, 제 3 데이터는 송신될 데이터의 3의 기수법 표현의 제 1 숫자이고, 제 4 데이터는 송신될 데이터의 3의 기수법 표현의 제 2 숫자이다.

[2840] 제 19 예는 제 17 예 또는 제 18 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 처리 회로는 송신될 데이터의 적어도 하나의 비트를 미리 정의된 횟수로 복제하고 비트 및 비트의 미리 정의된 횟수의 복제에 기초하여 데이터 신호를 생성하도록 구성된다.

[2841] 제 20 예는 제 19 예의 장치이며, 이 예에서 미리 정의된 횟수는 3회 이상이다.

[2842] 제 21 예는 제 14 예 내지 제 20 예 중 어느 한 예의 장치이며, 이 예에서 제 1 복수의 기간은 적어도 여섯 개

의 기간을 포함한다.

[2843] 제 22 예는 제 14 예 내지 제 21 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2844] 제 23 예는 제 14 예 내지 제 22 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2845] 제 24 예는 제 14 예 내지 제 23 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2846] 제 25 예는 제 14 예 내지 제 24 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 데이터 신호를 생성하도록 구성된 디지털-시간 변환기를 포함한다.

[2847] 제 26 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는, 제 1 동작 모드에서, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 제 2 동작 모드에서, 복조 회로는 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기준 기간 및 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기준 기간을 결정하도록 구성된다. 복조 회로는 또한 제 1 기준 기간에 기초하여 제 3 데이터를 결정하고, 제 2 기준 기간에 기초하여 제 4 데이터를 결정하도록 구성된다.

[2848] 제 27 예는 제 26 예의 장치이며, 이 예에서 제 3 데이터는 데이터의 3의 기수법 표현의 제 1 숫자에 대응하고, 제 4 데이터는 데이터의 3의 기수법 표현의 제 2 숫자에 대응하며, 복조 회로는 제 3 데이터 및 상기 제 4 데이터에 기초하여 데이터의 2의 기수법 표현을 생성하도록 구성된다.

[2849] 제 28 예는 제 26 예 또는 제 27 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2850] 제 29 예는 제 26 예 내지 제 28 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2851] 제 30 예는 제 26 예 내지 제 29 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2852] 제 31 예는 제 26 예 내지 제 30 예 중 어느 한 예의 장치에서, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 수신 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - 하고, 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2853] 제 32 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 기간에 의해 분리되고 제 2 신호 에지 및 제 3 신호 에지는 제 2 기간에 의해 분리된다. 제 1 동작 모드에서, 데이터 신호를 생성하는 단계는 송신될 데이터에 기초하여 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하는 단계를 포함하고, 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 제 2 동작 모드에서, 데이터 신호를 생성하는 단계는 송신될 데이터에 기초하여 제 2 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하는 단계를 포함하고, 제 2 복수의 기간의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다. 방법은 데이터 신호를 출력하는 단계를 더 포함한다.

[2854] 제 33 예는 제 32 예의 방법이며, 이 예에서 제 2 오프셋 시간은 제 1 오프셋 시간의 적어도 두배이다.

[2855] 제 34 예는 제 32 예 또는 제 33 예의 방법이며, 이 예에서 제 2 복수의 기간은 제 1 복수의 기간보다 적은 기간을 포함한다.

[2856] 제 35 예는 제 32 예 내지 제 34 예 중 어느 한 예의 방법이며, 이 예에서 제 2 복수의 기간은 두 개의 기간을 포함하고, 제 2 동작 모드에서, 제 1 기간은 송신될 데이터의 2의 기수법 표현의 제 1 숫자에 대응하고, 제 2 기간은 송신될 데이터의 2의 기수법 표현의 제 2 숫자에 대응한다.

[2857] 제 36 예는 제 32 예 내지 제 35 예 중 어느 한 예의 방법이며, 이 예에서 제 2 복수의 기간은 세 개의 기간을 포함한다. 또한, 방법은 송신될 데이터를 3의 기수법 표현으로 변환하는 단계를 포함하되, 제 1 기간은 송신될 데이터의 3의 기수법 표현의 제 1 숫자에 대응하고, 제 2 기간은 송신될 데이터의 3의 기수법 표현의 제 2 숫자에 대응한다.

[2858] 제 37 예는 제 32 예 내지 제 36 예 중 어느 한 예의 방법이며, 이 예에서, 제 2 동작 모드에서, 방법은 송신될 데이터의 적어도 하나의 비트를 미리 정의된 횟수로 복제하는 단계를 더 포함하되, 데이터 신호를 생성하는 단계는 비트 및 비트의 미리 정의된 횟수의 복제에 기초한다.

[2859] 제 38 예는 제 32 예 내지 제 37 예 중 어느 한 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2860] 제 39 예는 데이터 신호를 생성하기 위한 방법이다. 방법은 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함한다. 제 1 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 제 1 양의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 양의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 2 동작 모드에서, 제 1 신호 에지 및 제 2 신호 에지는 더 적은 제 2 양의 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 양의 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 방법은 데이터 신호를 출력하는 단계를 더 포함한다.

[2861] 제 40 예는 제 39 예의 방법이며, 이 예에서 데이터 신호를 생성하는 단계는 제 1 복수의 기간으로부터 제 1 기간 및 제 2 기간을 선택하는 단계 - 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋됨 - , 및 제 2 복수의 기간으로부터 제 3 기간 및 제 4 기간을 선택하는 단계 - 제 2 복수의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋됨 - 를 포함한다.

[2862] 제 41 예는 제 39 예 또는 제 40 예의 방법이며, 이 예에서 제 2 복수의 기간은 제 1 복수의 기간보다 적은 기간을 포함한다.

[2863] 제 42 예는 제 39 예 내지 제 41 예 중 어느 한 예의 방법이며, 이 예에서 제 2 복수의 기간은 두 개의 기간을 포함하고, 제 3 데이터는 송신될 데이터의 2의 기수법 표현의 제 1 숫자이고, 제 4 데이터는 송신될 데이터의 2의 기수법 표현의 제 2 숫자이다.

[2864] 제 43 예는 제 39 예 내지 제 41 예 중 어느 한 예의 방법이며, 이 예에서 제 2 복수의 기간은 세 개의 기간을 포함한다. 또한, 방법은 송신될 데이터를 3의 기수법 표현으로 변환하는 단계를 포함하되, 제 3 데이터는 송신될 데이터의 3의 기수법 표현의 제 1 숫자이고, 제 4 데이터는 송신될 데이터의 3의 기수법 표현의 제 2 숫자이다.

[2865] 제 44 예는 제 42 예 또는 제 43 예의 방법이며, 이 예에서, 제 2 동작 모드에서, 방법은 송신될 데이터의 적어도 하나의 비트를 미리 정의된 횟수로 복제하는 단계를 더 포함하며, 데이터 신호를 생성하는 단계는 비트 및 비트의 미리 정의된 횟수의 복제에 기초한다.

[2866] 제 45 예는 제 39 예 내지 제 44 예 중 어느 한 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2867] 제 46 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은, 제 1 동작 모드에서, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하는 단계를 포함한다. 방법은 또한, 제 1 동작 모드에서, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계를 포함한다. 방법은 제 2 동작 모드에서, 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기준 기간 및 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기준 기간을 결정하는 단계를 더 포함한다. 또한, 방법은 제 1 기준 기간에 기초하여 제 3 데이터를 결정하는 단계 및 제 2 기준 기간에 기초하여 제 4 데이터를 결정하는 단계를 포함한다.

[2868] 제 47 예는 제 46 예의 방법이며, 이 예에서 제 3 데이터는 데이터의 3의 기수법 표현의 제 1 숫자에 대응하고, 제 4 데이터는 데이터의 3의 기수법 표현의 제 2 숫자에 대응하며, 방법은 제 3 데이터 및 제 4 데이터에 기초하여 데이터의 2의 기수법 표현을 생성하는 단계를 더 포함한다.

[2869] 제 48 예는 제 46 예 또는 제 47 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2870] 도 17a 내지 도 17c와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2871] 제 1 예는 통신 장치이다. 통신 장치는 송신 링크에 결합하고, 다른 통신 장치로부터 송신 링크를 통해, 다른 통신 장치의 통신 능력을 나타내는 제 1 데이터를 수신하도록 구성된 인터페이스 회로를 포함한다. 또한, 통신 장치는 제 1 데이터로부터 다른 통신 장치가 송신 링크 특성화를 지원하는지를 결정하고, 다른 통신 장치가 송신 링크 특성화를 지원하면 미리 정의된 테스트 신호를 생성하도록 구성된 처리 회로를 포함한다. 인터페이스 회로는 테스트 신호를 송신 링크로 출력하도록 구성된다.

[2872] 제 2 예는 제 1 예의 통신 장치이며, 이 예에서 인터페이스 회로는 또한 다른 통신 장치로부터 송신 링크의 적어도 하나의 특성을 나타내는 제 2 데이터를 수신하도록 구성되며, 제 2 데이터는 테스트 신호에 기초한다.

[2873] 제 3 예는 제 2 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 데이터 및 제 2 데이터에 기초하여 송신 링크를 통해 제 2 통신 장치와 데이터를 교환하기 위한 적어도 하나의 통신 파라미터를 결정하도록 구성된다.

[2874] 제 4 예는 제 3 예의 통신 장치이며, 이 예에서 처리 회로는 또한 통신 장치의 통신 능력을 나타내는 제 3 데이터에 기초하여 적어도 하나의 통신 파라미터를 결정하도록 구성된다.

[2875] 제 5 예는 제 3 예 또는 제 4 예의 통신 장치이며, 이 예에서 인터페이스 회로는 적어도 하나의 통신 파라미터를 나타내는 정보 신호를 송신 링크에 출력하도록 구성된다.

[2876] 제 6 예는 제 3 예 내지 제 5 예 중 어느 한 예의 통신 장치이며, 이 예에서 적어도 하나의 통신 파라미터를 결정한 이후, 처리 회로는 또한 적어도 하나의 통신 파라미터를 고려하여 데이터 신호를 생성하도록 구성된다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 4 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 5 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 인터페이스 회로는 데이터 신호를 송신 링크로 출력하도록 구성된다.

[2877] 제 7 예는 제 6 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2878] 제 8 예는 제 6 예 또는 제 7 예의 통신 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2879] 제 9 예는 제 6 예 내지 제 8 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2880] 제 10 예는 제 6 예 내지 제 9 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 4 데이터는 제 1 데이터 심볼이고, 제 5 데이터는 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼이다.

[2881] 제 11 예는 제 6 예 내지 제 10 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 1 데이터를 포함하는 수신된 능력 정보 신호보다 높은 데이터 레이트를 나타내는 데이터 신호를 생성하도록 구성된다.

[2882] 제 12 예는 제 1 예 내지 제 11 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 또한 다른 통신 장치로부터 수신되고 제 1 데이터를 포함하는 능력 정보 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된다. 또한, 통신 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기준 기간을 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기준 기간을 결정하고, 제 1 기준 기간에 기초하여 제 1 데이터의 제 1 부분 및 제 2 기준 기간에 기초하여 제 1 데이터의 제 2 부분을 결정하도록 구성된 복조 회로를 포함한다.

[2883] 제 13 예는 제 1 예 내지 제 12 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 데이터는 다른 통신 장치에 의해 지원되는 최대 데이터 레이트, 다른 통신 장치에 의해 지원되는 전력 모드, 다른 통신 장치에 의해 지원되는 최대 신호 진폭, 및 통신 장치와 통신하기 위해 다른 통신 장치에 의해 지원되는 송신 링크의 최대 수 중 적어도 하나를 표시한다.

[2884] 제 14 예는 제 1 예 내지 제 13 예 중 어느 한 예의 통신 장치이며, 이 예에서 테스트 신호는 미리 결정된 주파수 범위 내에서 변동하는 주파수를 나타낸다.

[2885] 제 15 예는 제 1 예 내지 제 14 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 또한 다른 통신 장치에게 장치와의 자신의 통신 능력에 관한 정보를 송신하라는 요청을 포함하는 폴링 신호를 송신 링크로 출력하도록 구성된다.

[2886] 제 16 예는 통신 장치이다. 통신 장치는 송신 링크에 결합하고, 송신 링크를 통해 통신 장치의 통신 능력을 나타내는 제 1 데이터를 다른 통신 장치로 송신하도록 구성된 인터페이스 회로를 포함하되, 제 1 데이터는 또한 통신 장치가 송신 링크 특성화를 지원한다는 것을 표시한다. 인터페이스 회로는 또한 제 1 데이터를 송신하는 것에 응답하여 송신 링크를 통해 다른 통신 장치로부터 미리 정의된 테스트 신호를 수신하하도록 구성된다. 또한, 통신 장치는 테스트 신호에 기초하여 송신 링크의 적어도 하나의 특성을 결정하도록 구성된 처리 회로를 포함한다.

[2887] 제 17 예는 제 16 예의 통신 장치이며, 이 예에서 인터페이스 회로는 또한 송신 링크의 적어도 하나의 특성을 나타내는 제 2 데이터를 다른 통신 장치로 송신하도록 구성된다.

[2888] 제 18 예는 제 17 예의 통신 장치이며, 이 예에서 입력 인터페이스 회로는 또한, 다른 통신 장치로부터, 송신 링크를 통해 다른 통신 장치와 데이터를 교환하기 위한 적어도 하나의 통신 파라미터를 나타내는 정보 신호를 수신하도록 구성되며, 적어도 하나의 통신 파라미터는 제 1 데이터 및 제 2 데이터에 기초한다.

[2889] 제 19 예는 제 16 예 내지 제 18 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 또한 장치에게 다른 통신 장치와의 자신의 통신 능력에 관한 정보를 송신하라는 요청을 포함하는 폴링 신호를 송신 링크를 통해 수신하도록 구성되며, 출력 인터페이스 회로는 폴링 신호를 수신하는 것에 응답하여 제 1 데이터를 출력하도록 구성된다.

[2890] 제 20 예는 제 16 예 내지 제 19 예 중 어느 한 예의 통신 장치이며, 이 예에서, 정보 신호를 수신한 이후, 인터페이스 회로는 송신 링크를 통해 다른 통신 장치로부터 데이터 신호를 수신하도록 구성된다. 또한, 처리 회로는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된다. 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 3 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 4 데이터를 결정하도록 구성된 복조 회로를 더 포함한다.

[2891] 제 21 예는 제 20 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2892] 제 22 예는 제 20 예 또는 제 21 예의 통신 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2893] 제 23 예는 제 20 예 내지 제 22 예 중 어느 한 예의 통신 장치이며, 이 예에서 인터페이스 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되며, 처리 회로는 또한 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2894] 제 24 예는 제 20 예 내지 제 23 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 제 1 데이터를 포함하는 능력 정보 신호를 생성하도록 구성되며, 능력 정보 신호는 데이터 신호보다 낮은 데이터 레이트를 나타낸다.

[2895] 제 25 예는 제 24 예의 통신 장치이며, 이 예에서 능력 정보 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제 1 데이터의 제 1 부분에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 1 데이터의 제 2 부분에 대응하는 제 4 기간에 의해 분리되며, 제 1 기간 및 제 2 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 처리 회로는 복수의 기간으로부터 제 3 기간 및 제 4 기간을 선택하도록 구성되고, 복수의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다.

[2896] 제 26 예는 제 16 예 내지 제 25 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 데이터는 통신 장치에 의해 지원되는 최대 데이터 레이트, 통신 장치에 의해 지원되는 전력 모드, 통신 장치에 의해 지원되는 최대 신호 진폭, 및 다른 통신 장치와 통신하기 위해 통신 장치에 의해 지원되는 송신 링크의 최대 수 중 적어도 하나를 표시한다.

[2897] 제 27 예는 통신 장치의 통신 방법이다. 방법은 송신 링크에 결합하는 단계, 및 다른 통신 장치로부터 송신 링

크를 통해, 다른 통신 장치의 통신 능력을 나타내는 제 1 데이터를 수신하는 단계를 포함한다. 또한, 방법은 제 1 데이터로부터 다른 통신 장치가 송신 링크 특성화를 지원하는지를 결정하는 단계, 및 다른 통신 장치가 송신 링크 특성화를 지원하면 미리 정의된 테스트 신호를 생성하는 단계를 포함한다. 방법은 테스트 신호를 송신 링크로 출력하는 단계를 더 포함한다.

[2898] 제 28 예는 제 27 예의 통신 장치이며, 다른 통신 장치로부터 송신 링크의 적어도 하나의 특성을 나타내는 제 2 데이터를 수신하는 단계를 더 포함하되, 제 2 데이터는 테스트 신호에 기초한다.

[2899] 제 29 예는 제 28 예의 방법이며, 제 1 데이터 및 제 2 데이터에 기초하여 송신 링크를 통해 다른 통신 장치와 데이터를 교환하기 위한 적어도 하나의 통신 파라미터를 결정하는 단계를 더 포함한다.

[2900] 제 30 예는 제 29 예의 방법이며, 이 예에서 적어도 하나의 통신 파라미터를 결정하는 단계는 또한 통신 장치의 통신 능력을 나타내는 제 3 데이터에 기초한다.

[2901] 제 31 예는 제 29 예 또는 제 30 예의 방법이며, 적어도 하나의 통신 파라미터를 나타내는 정보 신호를 송신 링크로 출력하는 단계를 더 포함한다.

[2902] 제 32 예는 제 29 예 내지 제 31 예 중 어느 한 예의 방법이며, 이 예에서, 적어도 하나의 통신 파라미터를 결정한 이후, 방법은 적어도 하나의 통신 파라미터를 고려하여 데이터 신호를 생성하는 단계를 더 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 4 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 5 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은 데이터 신호를 송신 링크로 출력하는 단계를 포함한다.

[2903] 제 33 예는 제 32 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2904] 제 34 예는 제 32 예 내지 제 33 예의 방법이며, 이 예에서 데이터 신호는 제 1 데이터를 포함하는 수신된 능력 정보 신호보다 높은 데이터 레이트를 나타내도록 생성된다.

[2905] 제 35 예는 제 27 예 내지 제 34 예 중 어느 한 예의 방법이며, 이 예에서 제 1 데이터를 수신하는 단계는 제 1 데이터를 포함하는 능력 정보 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 제 1 데이터를 수신하는 단계는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 가장 가까운 복수의 기준 기간 중 제 1 기준 기간을 결정하는 단계, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 가장 가까운 복수의 기준 기간 중 제 2 기준 기간을 결정하는 단계를 포함한다. 제 1 데이터를 수신하는 단계는 제 1 기준 기간에 기초하여 제 1 데이터의 제 1 부분 및 제 2 기준 기간에 기초하여 제 1 데이터의 제 2 부분을 결정하는 단계를 더 포함한다.

[2906] 제 36 예는 제 27 예 내지 제 35 예 중 어느 한 예의 방법이며, 이 예에서 테스트 신호는 미리 결정된 주파수 범위 내에서 변동하는 주파수를 포함한다.

[2907] 제 37 예는 제 27 예 내지 제 36 예 중 어느 한 예의 방법이며, 다른 통신 장치에게 통신 장치와의 자신의 통신 능력에 관한 정보를 송신하라는 요청을 포함하는 폴링 신호를 송신 링크로 출력하는 단계를 더 포함한다.

[2908] 제 38 예는 통신 장치의 통신 방법이다. 방법은 송신 링크에 결합하는 단계, 및 송신 링크를 통해 통신 장치의 통신 능력을 나타내는 제 1 데이터를 다른 통신 장치로 송신하는 단계를 포함하되, 제 1 데이터는 또한 송신 링크 특성화가 지원된다는 것을 표시한다. 또한, 방법은 송신 링크를 통해 다른 통신 장치로부터 미리 정의된 테스트 신호를 수신하는 단계, 및 테스트 신호에 기초하여 송신 링크의 적어도 하나의 특성을 결정하는 단계를 포함한다.

[2909] 제 39 예는 제 38 예의 통신 장치이며, 송신 링크의 적어도 하나의 특성을 나타내는 제 2 데이터를 다른 통신 장치로 송신하는 단계를 더 포함한다.

[2910] 제 40 예는 제 39 예의 통신 장치이며, 다른 통신 장치로부터, 송신 링크를 통해 다른 통신 장치와 데이터를 교환하기 위한 적어도 하나의 통신 파라미터를 나타내는 정보 신호를 수신하는 단계를 더 포함하되, 적어도 하나의 통신 파라미터는 제 1 데이터 및 제 2 데이터에 기초한다.

[2911] 제 41 예는 제 38 예 내지 제 40 예 중 어느 한 예의 방법이며, 다른 통신 장치와의 자신의 통신 능력에 관한 정보를 송신하라는 요청을 포함하는 폴링 신호를 송신 링크를 통해 수신하는 단계, 및 폴링 신호를 수신하는 것

에 응답하여 제 1 데이터를 출력하는 단계를 더 포함한다.

[2912] 제 42 예는 제 38 예 내지 제 41 예 중 어느 한 예의 방법이며, 이 예에서, 정보 신호를 수신한 이후, 방법은 송신 링크를 통해 다른 통신 장치로부터 데이터 신호를 수신하는 단계, 및 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 더 포함한다. 방법은 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 3 데이터를 결정하는 단계, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 4 데이터를 결정하는 단계를 포함한다.

[2913] 제 43 예는 제 42 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2914] 제 44 예는 제 20 예 내지 제 43 예 중 어느 한 예의 방법이며, 제 1 데이터를 포함하는 능력 정보 신호를 생성하는 단계를 더 포함하되, 능력 정보 신호는 데이터 신호보다 낮은 데이터 레이트를 나타낸다.

[2915] 제 45 예는 제 44 예의 방법이며, 이 예에서 능력 정보 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제 1 데이터의 제 1 부분에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 1 데이터의 제 2 부분에 대응하는 제 4 기간에 의해 분리된다. 제 1 기간 및 제 2 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 또한, 능력 정보 신호를 생성하는 단계는 복수의 기간으로부터 제 3 기간 및 제 4 기간을 선택하는 단계를 포함하며, 복수의 기간은 제 1 오프셋 시간보다 큰 적어도 하나의 제 2 오프셋 시간만큼 서로 오프셋된다.

[2916] 도 18a 내지 도 18g와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2917] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로, 및 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다. 제 1 동작 모드에서, 처리 회로는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성되고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 2 동작 모드에서, 처리 회로는 펄스 진폭 변조를 이용하여 제 1 데이터 및 제 2 데이터에 기초하여 데이터 신호를 생성하도록 구성된다.

[2918] 제 2 예는 제 1 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 처리 회로는 두 개의 가능한 신호 레벨을 갖는 펄스 진폭 변조를 이용하여 데이터 신호를 생성하도록 구성된다.

[2919] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 처리 회로는 논 리턴 투 제로(non-return-to-zero) 펄스 진폭 변조를 이용하여 데이터 신호를 생성하도록 구성된다.

[2920] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 처리 회로는 또한 클록 신호를 생성하도록 구성되고, 출력 인터페이스 회로는 클록 신호 및 데이터 신호를 동시에 출력하도록 구성된다.

[2921] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2922] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2923] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서, 제 1 동작 모드에서, 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2924] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 데이터 신호를 생성하도록 구성된 디지털-시간 변환기를 포함한다.

[2925] 제 9 예는 제 1 예 내지 제 8 예 중 어느 한 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 디지털-시간 변환기는 입력 발진 신호를 주파수 분할함으로써 데이터 신호를 생성하도록 구성된다.

[2926] 제 10 예는 제 1 예 내지 제 9 예 중 어느 한 예의 장치이며, 수신된 제어 신호에 기초하여 처리 회로를 제 2 동작 모드에서 동작시키도록 제어하도록 구성된 제어 회로를 더 포함한다.

[2927] 제 11 예는 데이터 신호를 디코딩하기 위한 장치이다. 데이터 신호를 디코딩하기 위한 장치는, 제 1 동작 모드에서, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는, 제 1 동작 모드에서, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 제 2 동작 모드에서, 처리 회로는 복수의 연속적인 시간 인스턴스에서 데이터 신호의 신호 레벨의 시퀀스를 결정하도록 구성된다. 또한, 제 2 동작 모드에서, 복조 회로는 신호 레벨의 시퀀스에 기초하여 제 1 데이터 및 제 2 데이터를 결정하도록 구성된다.

[2928] 제 12 예는 제 11 예의 장치이며, 이 예에서 복수의 연속적인 시간 인스턴스는 일정한 오프셋 시간만큼 서로 오프셋된다.

[2929] 제 13 예는 제 11 예 또는 제 12 예의 장치이며, 이 예에서 복수의 연속적인 시간 인스턴스는 클록 신호에 기초한다.

[2930] 제 14 예는 제 13 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 처리 회로는 송신기로부터 클록 신호 및 데이터 신호를 동시에 수신하도록 구성된다.

[2931] 제 15 예는 제 13 예의 장치이며, 데이터 신호에 기초하여 클록 신호를 생성하도록 구성된 클록 복구 회로를 더 포함한다.

[2932] 제 16 예는 제 15 예의 장치이며, 이 예에서 클록 복구 회로는 위상 고정 루프이다.

[2933] 제 17 예는 제 10 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2934] 제 18 예는 제 11 예 내지 제 17 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2935] 제 19 예는 제 11 예 내지 제 18 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 데이터 신호에서 제 1 신호 에지, 제 2 신호 및 제 3 신호 에지의 시퀀스를 결정하도록 구성된 시간-디지털 변환기를 더 포함한다.

[2936] 제 20 예는 제 11 예 내지 제 19 예 중 한 예의 장치에서, 이 예에서, 제 1 동작 모드에서, 처리 회로는 또한 제 2 데이터 신호를 수신 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - 하고, 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[2937] 제 21 예는 제 11 예 내지 제 20 예 중 어느 한 예의 장치이며, 수신된 제어 신호에 기초하여 처리 회로 및 복조 회로를 제 2 동작 모드에서 동작시키도록 제어하도록 구성된 제어 회로를 더 포함한다.

[2938] 제 22 예는 데이터 신호를 생성하기 위한 방법이다. 방법은, 제 1 동작 모드에서, 데이터 신호를 생성하는 단계를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은, 제 2 동작 모드에서, 펄스 진폭 변조를 이용하여 제 1 데이터 및 제 2 데이터에 기초하여 데이터 신호를 생성하도록 구성된다. 방법은 또한 데이터 신호를 출력하는 단계를 포함한다.

[2939] 제 23 예는 제 22 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 데이터 신호를 생성하는 단계는 두 개의 가능한 신호 레벨을 갖는 펄스 진폭 변조를 이용하여 데이터 신호를 생성하는 단계를 포함한다.

[2940] 제 24 예는 제 22 예 또는 제 23 예의 장치이며, 이 예에서, 제 2 동작 모드에서, 데이터 신호를 생성하는 단계는 논 리턴 투 제로 펄스 진폭 변조를 이용하여 데이터 신호를 생성하는 단계를 포함한다.

[2941] 제 25 예는 제 22 예 내지 제 24 예 중 어느 한 예의 방법이며, 이 예에서 방법은, 제 2 동작 모드에서, 클록 신호를 생성하는 단계, 및 클록 신호 및 데이터 신호를 동시에 출력하는 단계를 더 포함한다.

[2942] 제 26 예는 제 22 예 내지 제 25 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2943] 제 27 예는 제 22 예 내지 제 26 예 중 어느 한 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s

미만이다.

[2944] 제 28 예는 제 22 예 내지 제 27 예 중 어느 한 예의 장치이며, 이 예에서, 제 1 동작 모드에서, 방법은 제 2 데이터 신호를 생성하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2945] 제 29 예는 데이터 신호를 디코딩하기 위한 방법이다. 방법은, 제 1 동작 모드에서, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은, 제 1 동작 모드에서, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계를 포함한다. 방법은 또한, 제 2 동작 모드에서, 복수의 연속적인 시간 인스턴스에서 데이터 신호의 신호 레벨의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은, 제 2 동작 모드에서, 신호 레벨의 시퀀스에 기초하여 제 1 데이터 및 제 2 데이터를 결정하는 단계를 포함한다.

[2946] 제 30 예는 제 29 예의 방법이며, 이 예에서 복수의 연속적인 시간 인스턴스는 일정한 오프셋 시간만큼 서로 오프셋된다.

[2947] 제 31 예는 제 29 예 또는 제 30 예의 방법이며, 이 예에서 복수의 연속적인 시간 인스턴스는 클록 신호에 기초한다.

[2948] 제 32 예는 제 31 예의 방법이며, 이 예에서 방법, 제 2 동작 모드에서, 송신기로부터 클록 신호 및 데이터 신호를 동시에 수신하는 단계를 더 포함한다.

[2949] 제 33 예는 제 31 예의 방법이며, 이 예에서 방법은 데이터 신호에 기초하여 클록 신호를 생성하는 단계를 더 포함한다.

[2950] 제 34 예는 제 29 예 내지 제 33 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2951] 제 35 예는 제 29 예 내지 제 34 예 중 어느 한 예의 방법이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[2952] 제 36 예는 제 29 예 내지 제 35 예 중 어느 한 예의 방법이며, 이 예에서 방법은, 제 1 동작 모드에서, 제 2 데이터 신호를 수신하는 단계 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - , 및 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하는 단계를 더 포함한다.

[2953] 도 19와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2954] 제 1 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 적어도 제 1 동작 모드에서 데이터 신호를 생성하도록 구성된 처리 회로, 및 장치의 회로의 안정성을 모니터링하도록 구성된 모니터링 회로를 포함한다. 장치의 회로의 적어도 일부가 비활성화되는 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때, 처리 회로는 모니터링 회로가 장치의 회로가 안정하게 동작한다고 결정할 때까지 제 1 양의 각각의 데이터 부분에 기초하여 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 초기에 조정하도록 구성된다. 또한, 처리 회로는 모니터링 회로가 장치의 회로가 안정적으로 동작한다고 결정한 이후 더 큰 제 2 양의 각각의 데이터 부분에 기초하여 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 조정하도록 구성된다.

[2955] 제 2 예는 제 1 예의 장치이며, 이 예에서 처리 회로는 모니터링 회로가 장치의 회로가 안정적으로 동작한다고 결정할 때까지 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 제 1 복수의 기간의 기간으로 조정하도록 구성되며, 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 또한, 처리 회로는 모니터링 회로가 장치의 회로가 안정적으로 동작한다고 결정한 이후 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 제 2 복수의 기간의 기간으로 조정하도록 구성되며, 제 2 복수의 기간은 제 1 오프셋 시간보다 작은 적어도 제 2 오프셋 시간만큼 서로 오프셋된다.

[2956] 제 3 예는 제 2 예의 장치이며, 이 예에서 제 1 오프셋 시간은 제 2 오프셋 시간의 적어도 세 배이다.

[2957] 제 4 예는 제 2 예 또는 제 3 예의 장치이며, 이 예에서 제 1 복수의 기간은 제 2 복수의 기간보다 적은 기간을 포함한다.

[2958] 제 5 예는 제 2 예 내지 제 4 예 중 어느 한 예의 장치이며, 이 예에서 제 2 복수의 기간은 적어도 여섯 개의 기간을 포함한다.

[2959] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 장치는 발진 신호를 생성하도록 구성된 위상 고정 루프를 더 포함하되, 처리 회로는 발진 신호를 사용하여 데이터를 생성하도록 구성되고, 위상 고정 루프는 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때 활성화되며, 모니터링 회로는 위상 고정 루프가 고정되어 있으면 단지 장치의 회로가 안정적으로 동작한다고 결정하도록 구성된다.

[2960] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서 제 2 동작 모드는 절전 모드이다.

[2961] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 장치이며, 이 예에서, 모니터링 회로가 장치의 회로가 안정적이라고 결정한 이후, 처리 회로는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성되고, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 제 2 양의 제 1 데이터 부분에 대응하고, 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간은 제 2 양의 제 2 데이터 부분에 대응한다.

[2962] 제 9 예는 제 8 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2963] 제 10 예는 제 8 예 또는 제 9 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2964] 제 11 예는 제 1 예 내지 제 10 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2965] 제 12 예는 제 1 예 내지 제 11 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 데이터 신호를 생성하도록 구성된 디지털-시간 변환기를 포함한다.

[2966] 제 13 예는 데이터 신호를 생성하기 위한 장치이다. 데이터 신호를 생성하기 위한 장치는 적어도 제 1 동작 모드에서 데이터 신호를 생성하도록 구성된 처리 회로, 및 장치의 회로의 안정성을 모니터링하도록 구성된 모니터링 회로를 포함한다. 장치의 회로의 적어도 일부가 비활성화되는 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때, 처리 회로는 송신될 데이터에 기초하여, 모니터링 회로가 장치의 회로가 안정하게 동작한다고 결정할 때까지 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 제 1 복수의 기간의 기간으로 초기에 조정하도록 구성되며, 제 1 복수의 기간은 제 1 오프셋 시간만큼 서로 오프셋된다. 또한, 처리 회로는 송신될 데이터에 기초하여, 모니터링 회로가 장치의 회로가 안정적으로 동작한다고 결정한 이후 데이터 신호의 바로 잇따른 신호 에지 사이의 기간을 제 2 복수의 기간의 기간으로 조정하도록 구성되며, 제 2 복수의 기간은 제 1 오프셋 시간보다 작은 적어도 제 2 오프셋 시간만큼 서로 오프셋된다.

[2967] 제 14 예는 제 13 예의 장치이며, 이 예에서 제 1 오프셋 시간은 제 2 오프셋 시간의 적어도 세 배이다.

[2968] 제 15 예는 제 13 예 또는 제 14 예의 장치이며, 이 예에서 제 1 복수의 기간은 제 2 복수의 기간보다 적은 기간을 포함한다.

[2969] 제 16 예는 제 13 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서 제 2 복수의 기간은 적어도 여섯 개의 기간을 포함한다.

[2970] 제 17 예는 제 13 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 장치는 발진 신호를 생성하도록 구성된 위상 고정 루프를 더 포함하되, 처리 회로는 발진 신호를 사용하여 데이터를 생성하도록 구성되고, 위상 고정 루프는 제 2 동작 모드로부터 제 1 동작 모드로 변경될 때 활성화되며, 모니터링 회로는 위상 고정 루프가 고정되어 있으면 장치의 회로가 안정적으로 동작한다고 결정하도록 구성된다.

[2971] 제 18 예는 제 13 예 내지 제 17 예 중 어느 한 예의 장치이며, 이 예에서 제 2 동작 모드는 절전 모드이다.

[2972] 제 19 예는 제 13 예 내지 제 18 예 중 어느 한 예의 장치이며, 이 예에서, 모니터링 회로가 장치의 회로가 안정적이라고 결정한 이후, 처리 회로는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성되고, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 송신될 제 1 데이터에 대응하고, 제 2 신호 에지와 상기 제 3 신호 에지 사이의 제 2 기간은 송신될 제 2 데이터에 대응한다.

[2973] 제 20 예는 제 19 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2974] 제 21 예는 제 19 예 또는 제 20 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2975] 제 22 예는 제 13 예 내지 제 21 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[2976] 제 23 예는 제 13 예 내지 제 22 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 데이터 신호를 생성하도록 구성된 디지털-시간 변환기를 포함한다.

[2977] 도 20a 내지 도 20f와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[2978] 제 1 예는 전자 디바이스용 저 드롭 아웃 레귤레이터에 의해 생성된 공급 신호를 조절하기 위한 장치이다. 공급 신호를 조절하기 위한 장치는 저 드롭아웃 레귤레이터와 전자 디바이스 사이를 결합하도록 구성된 출력 커패시터를 포함하되, 출력 커패시터는 공급 신호를 수신하도록 구성된다. 또한, 공급 신호를 조절하기 위한 장치는 제어 신호가 전자 디바이스가 제 1 동작 모드로부터 제 2 동작 모드로 전이한다고 표시하면 전하 소스를 출력 커패시터에 선택적으로 결합하도록 구성된 스위치 회로를 포함한다.

[2979] 제 2 예는 제 1 예의 장치이며, 이 예에서 전하 소스는 충전된 커패시터이고, 스위치 회로는 저 드롭아웃 레귤레이터와 출력 커패시터 사이에서 충전된 커패시터의 전극을 토글하도록 구성된다.

[2980] 제 3 예는 제 2 예의 장치이며, 이 예에서 스위치 회로는 전극을 저 드롭아웃 레귤레이터와 출력 커패시터 사이에서 미리 결정된 토글 주파수로 토글하도록 구성되고, 토글 주파수는 미리 결정된 양의 전하가 미리 결정된 시간 간격 내에서 출력 커패시터로 전달되도록 선택된다

[2981] 제 4 예는 제 1 예의 장치이며, 이 예에서 스위치 회로는 출력 커패시터의 전극 양단의 전압이 미리 결정된 값이 될 때까지 전하 소스를 출력 커패시터에 선택적으로 결합하도록 구성된다.

[2982] 제 5 예는 제 4 예의 장치이며, 출력 커패시터의 전극 양단의 전압의 현재 값과 미리 결정된 값의 비교에 기초하여 비교 신호를 생성하도록 구성된 비교기 회로를 더 포함하되, 스위치 회로는 비교 신호에 기초하여 전하 소스를 출력 커패시터에 선택적으로 결합하도록 구성된다.

[2983] 제 6 예는 제 1 예의 장치이며, 이 예에서 스위치 회로는 미리 결정된 시간 간격 동안 전하 소스를 출력 커패시터에 선택적으로 결합하도록 구성되고, 시간 간격은 미리 결정된 양의 전하가 출력 커패시터로 전달되도록 선택된다.

[2984] 제 7 예는 제 4 예 내지 제 6 예의 장치이며, 이 예에서 전하 소스는 충전된 커패시터이다.

[2985] 제 8 예는 선행 예 중 어느 한 예의 장치이며, 이 예에서 스위치 회로는 전하 소스를 출력 커패시터에 병렬로 결합하도록 구성된다.

[2986] 제 9 예는 통신 장치이다. 통신 장치는 데이터 신호를 생성하기 위한 장치를 포함한다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다. 통신 장치는 또한 데이터 신호를 생성하기 위한 장치를 위한 공급 신호를 생성하도록 구성된 저 드롭아웃 레귤레이터, 및 제 1 예 내지 제 8 예 중 어느 한 예에 따른 공급 신호를 조절하기 위한 장치를 포함한다.

[2987] 제 10 예는 제 9 예의 장치이며, 이 예에서 처리 회로는 데이터 신호를 제 1 동작 모드에서 제 1 데이터 레이트로 생성하고 데이터 신호를 제 2 동작 모드에서 더 높은 제 2 데이터 레이트로 생성하도록 구성된다.

[2988] 제 11 예는 제 9 예의 통신 장치이며, 이 예에서 제 1 동작 모드는 데이터 신호를 생성하기 위한 장치의 유휴 모드이고, 제 2 동작 모드는 데이터 신호를 생성하기 위한 장치의 완전 동작 모드이다.

[2989] 제 12 예는 제 9 예의 통신 장치이며, 이 예에서 제 1 동작 모드는 데이터 신호를 생성하기 위한 장치의 파워 오프 모드 및 저전력 모드 중 하나이고, 제 2 동작 모드는 데이터 신호를 생성하기 위한 장치의 유휴 모드 및 완전 동작 모드 중 하나이다.

[2990] 제 13 예는 제 9 예 내지 제 12 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[2991] 제 14 예는 제 9 예 내지 제 13 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2992] 제 15 예는 제 9 예 내지 제 14 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2993] 제 16 예는 통신 장치이다. 통신 장치는 데이터 신호를 디코딩하기 위한 장치를 포함한다. 데이터 신호를 디코딩하기 위한 장치는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 통신 장치는 또한 데이터 신호를 디코딩하기 위한 장치를 위한 공급 신호를 생성하도록 구성된 저 드롭아웃 레귤레이터, 및 제 1 예 내지 제 8 예 중 어느 한 예에 따른 공급 신호를 조절하기 위한 장치를 포함한다.

[2994] 제 17 예는 제 16 예의 통신 장치이며, 이 예에서 제 1 동작 모드는 데이터 신호를 디코딩하기 위한 장치의 유휴 모드이고, 제 2 동작 모드는 데이터 신호를 디코딩하기 위한 장치의 완전 동작 모드이다.

[2995] 제 18 예는 제 16 예의 통신 장치이며, 이 예에서 제 1 동작 모드는 데이터 신호를 디코딩하기 위한 장치의 파워 오프 모드 및 저전력 모드 중 하나이고, 제 2 동작 모드는 데이터 신호를 디코딩하기 위한 장치의 유휴 모드 및 완전 동작 모드 중 하나이다.

[2996] 제 19 예는 제 16 예 내지 제 18 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[2997] 제 20 예는 제 16 예 내지 제 19 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[2998] 제 21 예는 제 16 예 내지 제 20 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[2999] 제 22 예는 전자 디바이스를 위한 저 드롭아웃 레귤레이터에 의해 생성된 공급 신호를 조절하기 위한 방법이다. 방법은 저 드롭 아웃 레귤레이터와 전자 디바이스 사이에 결합된 출력 커패시터에 의해 공급 신호를 수신하는 단계, 및 제어 신호가 전자 디바이스가 제 1 동작 모드로부터 제 2 동작 모드로 전이한다고 표시하면 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계를 포함한다.

[3000] 제 23 예는 제 22 예의 방법이며, 이 예에서 전하 소스는 충전된 커패시터이고, 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계는 충전된 커패시터의 전극을 저 드롭아웃 레귤레이터와 출력 커패시터 사이에서 토글하는 단계를 포함한다.

[3001] 제 24 예는 제 23 예의 방법이며, 이 예에서 충전된 커패시터의 전극을 저 드롭아웃 레귤레이터와 출력 커패시터 사이에서 토글하는 단계는 충전된 커패시터의 전극을 저 드롭아웃 레귤레이터와 출력 커패시터 사이에서 미리 결정된 토글 주파수로 토글하는 단계를 포함하고, 토글 주파수는 미리 결정된 양의 전하가 미리 결정된 시간 간격 내에서 출력 커패시터로 전달되도록 선택된다

[3002] 제 25 예는 제 22 예의 방법이며, 이 예에서 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계는 출력 커패시터의 전극 양단의 전압이 미리 결정된 값이 될 때까지 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계를 포함한다.

[3003] 제 26 예는 제 22 예의 방법이며, 출력 커패시터의 전극 양단의 전압의 현재 값과 미리 결정된 값의 비교에 기초하여 비교 신호를 생성하는 단계를 더 포함하되, 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계는 비교 신호에 기초한다.

[3004] 제 27 예는 제 22 예의 방법이며, 이 예에서 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계는 미리 결정된 시간 간격 동안 전하 소스를 출력 커패시터에 선택적으로 결합하는 단계를 포함하고, 미리 결정된 시간 간격은 미리 결정된 양의 전하가 출력 커패시터로 전달되도록 선택된다.

[3005] 제 28 예는 제 25 예 내지 제 27 예의 방법이며, 이 예에서 전하 소스는 충전된 커패시터이다.

[3006] 제 29 예는 제 22 예 내지 제 28 예 중 어느 한 예의 방법이며, 이 예에서 전하 소스를 출력 커패시터에 선택적

으로 결합하는 단계는 전하 소스를 출력 커패시터에 병렬로 결합하는 단계를 포함한다.

[3007] 도 21과 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3008] 제 1 예는 송신기이다. 송신기는 송신될 데이터 신호를 생성하도록 구성된 처리 회로를 포함한다. 또한, 송신기는 공급 전압에 결합된 수신기에 송신기를 DC 결합하기 위해 접지 및 송신 링크에 결합하도록 구성된 출력 인터페이스 회로를 포함하되, 출력 인터페이스 회로는 또한, 데이터 신호에 기초하여, 송신 링크를 통해 수신기로부터 송신기로 흐르는 DC 전류를 변조함으로써 데이터 신호를 수신기로 출력하도록 구성된다.

[3009] 제 2 예는 제 1 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 제어 단자에서 데이터 신호를 수신하도록 구성된 제 1 트랜지스터를 포함하고, 제 1 트랜지스터의 제 1 단자는 송신 링크에 결합하도록 구성되고, 제 1 트랜지스터의 제 2 단자는 접지에 결합된다.

[3010] 제 3 예는 제 1 예 또는 제 2 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 또한 데이터 신호에 관련된 신호를 송신 링크에 용량적으로 결합하도록 구성된다.

[3011] 제 4 예는 제 3 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 데이터 신호를 반전하고 반전된 데이터 신호를 데이터 신호와 관련된 신호로서 출력하도록 구성된 인버터 회로, 및 반전된 데이터 신호를 송신 링크에 용량적으로 결합하도록 구성된 커패시터를 포함한다.

[3012] 제 5 예는 제 4 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 커패시터와 송신 링크 사이에 결합된 저항기를 포함한다.

[3013] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 수신기를 접지로부터 분리함으로써 수신기를 파워 다운하도록 구성된다.

[3014] 제 7 예는 제 6 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 수신기를 접지에 재결합함으로써 수신기를 파워 업하도록 구성된다.

[3015] 제 8 예는 제 6 예 또는 제 7 예의 송신기이며, 이 예에서 출력 인터페이스 회로는 제 1 트랜지스터를 비전도성 상태로 구동함으로써 수신기를 파워 다운하도록 구성된다.

[3016] 제 9 예는 제 8 예의 송신기이며, 이 예에서 출력 인터페이스는 또한 제 1 트랜지스터와 접지 사이에 결합된 바이어스 전류 소스를 비활성화하도록 구성된다.

[3017] 제 10 예는 제 1 예 내지 제 9 예 중 어느 한 예의 송신기이며, 이 예에서 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다.

[3018] 제 11 예는 제 10 예의 송신기이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3019] 제 12 예는 제 10 예 또는 제 11 예의 송신기이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3020] 제 13 예는 제 10 예 내지 제 12 예 중 어느 한 예의 송신기이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이다.

[3021] 제 14 예는 제 1 예 내지 제 13 예 중 어느 한 예의 송신기이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다. 또한, 출력 인터페이스 회로는, 제 2 데이터 신호에 기초하여, 수신기로부터 송신 링크를 통해 송신기로 흐르는 제 2 DC 전류를 변조함으로써 제 2 데이터 신호를 수신기로 출력하도록 구성된다.

[3022] 제 15 예는 제 1 예 내지 제 14 예 중 어느 한 예에 따른 송신기 및 공급 전압에 결합된 수신기를 포함하는 통신 시스템이며, 송신기 및 수신기는 송신 링크를 통해 DC 결합된다.

[3023] 제 16 예는 제 15 예의 통신 시스템이며, 이 예에서 송신기는 수신기와 접지 사이에 결합된다.

[3024] 제 17 예는 제 15 예 내지 제 16 예의 통신 시스템이며, 이 예에서 수신기는 입력 인터페이스 회로를 포함하고, 입력 인터페이스 회로는 송신 링크와 공급 전압 사이에 결합된 공통 게이트 증폭기를 포함한다.

[3025] 제 18 예는 제 17 예의 통신 시스템이며, 이 예에서 입력 인터페이스 회로는 제 2 트랜지스터를 더 포함하고, 제 2 트랜지스터의 제 1 단자는 공급 전압에 결합되고, 제 2 트랜지스터의 제 2 단자는 공통 게이트 증폭기에 결합되며. 제 2 트랜지스터의 제어 단자는 송신 링크에 용량적으로 결합된다.

[3026] 제 19 예는 제 18 예의 통신 시스템이며, 이 예에서 제 1 트랜지스터 및 제 2 트랜지스터는 상이한 전도도를 나타낸다.

[3027] 제 20 예는 제 18 예 또는 제 19 예의 통신 시스템이며, 이 예에서 저항기는 제어 단자와 제 2 트랜지스터의 제 2 단자 사이에 결합된다.

[3028] 제 21 예는 제 18 예 내지 제 20 예 중 어느 한 예의 통신 시스템이며, 이 예에서 입력 인터페이스 회로는 공통 게이트 증폭기와 제 2 트랜지스터 사이에 결합된 노드를 더 포함하고, 노드는 수신 신호를 제공하도록 구성된다.

[3029] 제 22 예는 제 21 예의 통신 시스템이며, 이 예에서 수신기는 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 더 포함한다. 수신기는 또한 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 데이터를 결정하고, 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3030] 제 23 예는 제 15 예 내지 제 22 예 중 어느 한 예의 통신 시스템이며, 이 예에서 수신기는 제 1 반도체 다 이 상에 구현되고, 송신기는 제 2 반도체 다이 상에 구현된다.

[3031] 제 24 예는 제 23 예의 통신 시스템이며, 이 예에서 제 1 반도체 다이의 제 1 공급 전압 도메인은 제 2 반도체 다이의 제 2 공급 전압 도메인과 상이하다.

[3032] 제 25 예는 제 24 예의 통신 시스템이며, 이 예에서 제 1 전압 공급 도메인에서 사용되는 제 1 공급 전압은 제 2 전압 공급 도메인에서 사용되는 제 2 공급 전압보다 높다.

[3033] 도 22a 내지 도 22e와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3034] 제 1 예는 전류 모드 로직(current-mode logic)(CML) 대 상보형 금속 산화물 반도체(complementary metal-oxide-semiconductor)(CMOS) 로직 변환 회로이다. CML 대 CMOS 로직 변환 회로는 차동 쌍의 CML 입력 신호에 기초하여 차동 쌍의 CML 출력 신호를 생성하도록 구성된 CML 회로를 포함하되, CML 회로는 접지 노드와 공급 전압을 제공하는 노드 사이에 병렬로 결합된 한 쌍의 트랜지스터를 포함하고, 한 쌍의 트랜지스터의 각각은 각자의 제어 단자에서 차동 쌍의 CML 입력 신호 중 하나를 수신하도록 구성된다. 또한, CML 대 CMOS 로직 변환 회로는 차동 쌍의 CML 출력 신호에 기초하여 차동 쌍의 CMOS 신호를 생성하도록 구성된 인버터 회로, 및 차동 쌍의 CML 출력 신호의 공통 모드 신호 성분과 인버터 회로의 임계 전압을 나타내는 신호의 비교에 기초하여 공급 전압을 조정하도록 구성된 바이어스 회로를 포함한다.

[3035] 제 2 예는 제 1 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 한 쌍의 트랜지스터와 공급 전압을 제공하는 노드 사이에 결합된 한 쌍의 출력 노드를 더 포함하고, 한 쌍의 출력 노드는 차동 쌍의 CML 출력 신호를 제공하도록 구성된다.

[3036] 제 3 예는 제 2 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 한 쌍의 트랜지스터와 공급 전압을 제공하는 노드 사이에 결합된 한 쌍의 저항기를 더 포함한다.

[3037] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 한 쌍의 트랜지스터와 접지 노드 사이에 결합된 바이어스 전류 소스를 더 포함한다.

[3038] 제 5 예는 제 4 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 전류 소스는 바이어스 신호에 기초하여 전도도를 제어하도록 구성된 트랜지스터이다.

[3039] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 공통 모드 신호 성분 및 인버터 회로의 임계 전압을 나타내는 신호에 기초하여 제어 신호를 생성하도록 구성된 연산 증폭기, 및 공급 전압 소스와 공급 전압을 제공하는 노드 사이에 결합된 트랜지스터를 포함하며, 트랜지스터는 제어 신호에 기초하여 전도도를 조정하도록 구성된다.

[3040] 제 7 예는 제 6 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 직렬로 결합된 인버터 및 저

항기를 포함하는 루프 회로를 더 포함하고, 루프 회로의 노드는 인버터 회로의 임계 전압을 나타내는 신호를 제공하기 위한 연산 증폭기의 입력에 결합된다.

[3041] 제 8 예는 제 7 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 접지와 루프 회로의 노드를 연산 증폭기의 입력에 결합하는 신호 라인 사이에 결합된 커패시터를 더 포함한다.

[3042] 제 9 예는 제 6 예 내지 제 8 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 각각 차동 쌍의 CML 출력 신호 중 하나를 수신하도록 구성된 한 쌍의 저항기를 더 포함하되, 한 쌍의 저항기는 차동 쌍의 CML 출력 신호의 공통 모드 신호 성분을 제공하기 위해 연산 증폭기의 입력에 결합된다.

[3043] 제 10 예는 제 6 예 내지 제 9 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 접지와 연산 증폭기를 트랜지스터에 결합하는 신호 라인 사이에 결합된 커패시터를 더 포함한다.

[3044] 제 11 예는 제 1 예 내지 제 10 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 인버터 회로는 직렬로 결합되고 차동 쌍의 CML 출력 신호 중 하나에 기초하여 차동 쌍의 CMOS 신호 중 하나를 생성하도록 구성된 제 1 쌍의 인버터 및 직렬로 결합되고 차동 쌍의 CML 출력 신호 중 다른 하나에 기초하여 차동 쌍의 CMOS 신호 중 다른 신호를 생성하도록 구성된 제 2 쌍의 인버터를 포함한다.

[3045] 제 12 예는 전류 모드 로직(CML) 대 상보형 금속 산화물 반도체(CMOS) 로직 변환 회로이다. CML 대 CMOS 로직 변환 회로는 차동 쌍의 CML 입력 신호에 기초하여 차동 쌍의 CML 출력 신호를 생성하도록 구성된 CML 회로, 및 차동 쌍의 CML 출력 신호에 기초하여 차동 쌍의 CML 신호를 생성하도록 구성된 인버터 회로를 포함한다. 또한, CML 대 CMOS 로직 변환 회로는 차동 쌍의 CML 출력 신호의 공통 모드 신호 성분과 인버터 회로의 임계 전압을 나타내는 신호의 비교에 기초하여 인버터 회로의 공급 전압을 조정하도록 구성된 바이어스 회로를 포함한다.

[3046] 제 13 예는 제 12 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 접지 노드와 CML 회로에 일정한 공급 전압을 제공하는 노드 사이에 병렬로 결합된 한 쌍의 트랜지스터를 포함하고, 한 쌍의 트랜지스터의 각각은 각자의 제어 단자에서 차동 쌍의 CML 입력 신호 중 하나를 수신하도록 구성된다.

[3047] 제 14 예는 제 13 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 한 쌍의 트랜지스터와 CML 회로에 일정한 공급 전압을 제공하는 노드 사이에 결합된 한 쌍의 출력 노드를 더 포함하고, 한 쌍의 출력 노드는 차동 쌍의 CML 출력 신호를 제공하도록 구성된다.

[3048] 제 15 예는 제 13 예 또는 제 14 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 한 쌍의 트랜지스터와 CML 회로에 일정한 공급 전압을 제공하는 노드 사이에 결합된 한 쌍의 저항기를 더 포함한다.

[3049] 제 16 예는 제 11 예 내지 제 15 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 CML 회로는 한 쌍의 트랜지스터와 접지 노드 사이에 결합된 바이어스 전류 소스를 더 포함한다.

[3050] 제 17 예는 제 16 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 전류 소스는 바이어스 신호에 기초하여 전도도를 제어하도록 구성된 트랜지스터이다.

[3051] 제 18 예는 제 12 예 내지 제 17 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 공통 모드 신호 성분 및 인버터 회로의 임계 전압을 나타내는 신호에 기초하여 제어 신호를 생성하도록 구성된 연산 증폭기, 및 공급 전압 소스와 인버터 회로 사이에 결합된 트랜지스터를 포함하며, 트랜지스터는 제어 신호에 기초하여 전도도를 조정하도록 구성된다.

[3052] 제 19 예는 제 18 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 직렬로 결합된 인버터 및 저항기를 포함하는 루프 회로를 더 포함하고, 루프 회로의 노드는 인버터 회로의 임계 전압을 나타내는 신호를 제공하기 위한 연산 증폭기의 입력에 결합된다.

[3053] 제 20 예는 제 19 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 인버터는 인버터 회로의 공급 전압을 수신하도록 구성된 전력 공급 입력 단자를 포함한다.

[3054] 제 21 예는 제 19 예 또는 제 20 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 접지와 루프 회로의 노드를 연산 증폭기의 입력에 결합하는 신호 라인 사이에 결합된 커패시터를 더 포함한다.

[3055] 제 22 예는 제 18 예 내지 제 21 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 각각 차동 쌍의 CML 출력 신호 중 하나를 수신하도록 구성된 한 쌍의 저항기를 더 포함하되, 한 쌍의 저항기는 차동 쌍의 CML 출력 신호의 공통 모드 신호 성분을 제공하기 위해 연산 증폭기의 입력에 결합된다.

[3056] 제 23 예는 제 18 예 내지 제 22 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 바이어스 회로는 접지와 연산 증폭기를 트랜지스터에 결합하는 신호 라인 사이에 결합된 커패시터를 더 포함한다.

[3057] 제 24 예는 제 12 예 내지 제 23 예 중 어느 한 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 인버터 회로는 직렬로 결합되고 차동 쌍의 CML 출력 신호 중 하나에 기초하여 차동 쌍의 CMOS 신호 중 하나를 생성하도록 구성된 제 1 쌍의 인버터 및 직렬로 결합되고 차동 쌍의 CML 출력 신호 중 다른 하나에 기초하여 차동 쌍의 CMOS 신호 중 다른 신호를 생성하도록 구성된 제 2 쌍의 인버터를 포함한다.

[3058] 제 25 예는 제 24 예의 CML 대 CMOS 로직 변환 회로이며, 이 예에서 제 1 쌍의 인버터 및 제 2 쌍의 인버터 각각은 인버터 회로의 공급 전압을 수신하도록 구성된 각각의 전력 공급 입력 단자를 포함한다.

[3059] 제 26 예는 제 1 예 내지 제 25 예 중 어느 한 예에 따른 전류 모드 로직(CML) 대 상보형 금속 산화물 반도체(CMOS) 로직 변환 회로 및 송신 링크로부터 수신된 차동 쌍의 데이터 신호에 기초하여 차동 쌍의 CML 입력 신호를 생성하도록 구성된 수신기 회로를 포함하는 통신 시스템이다. 통신 시스템은 차동 쌍의 CMOS 신호를 디코딩하기 위한 장치를 더 포함한다. 차동 쌍의 CMOS 신호를 디코딩하기 위한 장치는 차동 쌍의 CMOS 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 차동 쌍의 CMOS 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3060] 제 27 예는 제 26 예의 통신 시스템이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3061] 제 28 예는 제 27 예 또는 제 28 예의 통신 시스템이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3062] 제 29 예는 제 27 예 내지 제 28 예 중 어느 한 예의 통신 시스템이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[3063] 도 23a 내지 도 23e와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3064] 제 1 예는 디지털-시간 변환기이다. 디지털-시간 변환기는 입력으로서 제 1 신호 및 제 2 신호를 수신하도록 구성된 복수의 보간 셀을 포함하되, 복수의 보간 셀 중 적어도 하나는, 제어 워드에 기초하여, 제 1 신호 및 제 2 신호 중 적어도 하나를 셀 출력 신호로서 제공하도록 구성된다. 또한, 디지털-시간 변환기는 복수의 보간 셀에 결합되고 복수의 보간 셀의 셀 출력 신호를 출력 신호에 결합하도록 구성된 출력 노드를 포함한다. 제 1 신호 및 제 2 신호는 출력 신호에 기초한다.

[3065] 제 2 예는 제 1예의 디지털-시간 변환기이며, 출력 신호를 수신하고 반전된 출력 신호를 제 1 신호로서 복수의 보간 셀에 공급하도록 구성된 제 1 인버터 회로, 출력 신호를 지연하도록 구성된 지연 회로, 및 지연된 출력 신호를 수신하고 반전된 지연된 출력 신호를 제 2 신호로서 복수의 보간 셀에 공급하도록 구성된 제 2 인버터 회로를 더 포함한다.

[3066] 제 3 예는 제 1 예의 디지털-시간 변환기이며, 출력 신호 및 리셋 신호에 기초하여 제 1 신호를 생성하도록 구성된 제 1 NAND 게이트, 출력 신호를 지연하도록 구성된 지연 회로, 및 지연된 출력 신호 및 리셋 신호에 기초하여 제 2 신호를 생성하도록 구성된 제 2 NAND 게이트를 더 포함한다.

[3067] 제 4 예는 디지털-시간 변환기이다. 디지털-시간 변환기는 복수의 지연된 입력 신호를 생성하기 위해 입력 신호를 반복적으로 지연하도록 구성된 지연 회로, 및 지연 회로에 결합되고, 제어 워드에 기초하여, 복수의 지연된 입력 신호 중 하나를 출력 신호로서 출력하도록 구성된 멀티플렉서를 포함한다. 입력 신호는 출력 신호에 기초한다.

[3068] 제 5 예는 제 4 예의 디지털-시간 변환기이며, 출력 신호를 수신하고 반전된 보간 신호를 입력 신호로서 지연 회로에 공급하도록 구성된 인버터 회로를 더 포함한다.

[3069] 제 6 예는 디지털-시간 변환기이다. 디지털-시간 변환기는 입력으로서 제 1 신호 및 제 2 신호를 수신하도록 구성된 제 1 복수의 보간 셀을 포함하되, 복수의 보간 셀 중 적어도 하나는, 제어 워드에 기초하여, 제 1 신호 및 제 2 신호 중 적어도 하나를 셀 출력 신호로서 제공하도록 구성된다. 또한, 디지털-시간 변환기는 제 1 복수의 보간 셀에 결합되고 제 1 복수의 보간 셀의 셀 출력 신호를 제 1 보간 신호에 결합하도록 구성된 제 1 노

드를 포함한다. 디지털-시간 변환기는 또한 입력으로서 제 3 신호 및 제 4 신호를 수신하도록 구성된 제 2 복수의 보간 셀을 포함하되, 제 2 복수의 보간 셀 중 적어도 하나는, 제어 워드에 기초하여, 제 3 신호 및 제 4 신호 중 적어도 하나를 셀 출력 신호로서 제공하도록 구성된다. 디지털-시간 변환기는 제 2 복수의 보간 셀에 결합되고 제 2 복수의 보간 셀의 셀 출력 신호를 제 2 보간 신호에 결합하도록 구성된 제 2 노드를 포함한다. 제 1 신호 및 제 2 신호는 제 2 보간 신호에 기초하고, 제 3 신호 및 제 4 신호는 제 1 보간 신호에 기초한다.

[3070] 제 7 예는 제 6 예의 디지털-시간 변환기이며, 제 1 보간 신호 및 제 2 보간 신호를 출력 신호에 결합하도록 구성된 로직 회로를 더 포함한다.

[3071] 제 8 예는 제 7 예의 디지털-시간 변환기이며, 이 예에서 로직 회로는 XOR 게이트이다.

[3072] 제 9 예는 제 6 예 내지 제 8 예의 디지털-시간 변환기이며, 제 2 보간 신호를 수신하고 반전된 제 2 보간 신호를 제 1 신호로서 제 1 복수의 보간 셀에 공급하도록 구성된 제 1 인버터 회로를 더 포함한다. 디지털-시간 변환기는 또한 제 2 보간 신호를 지연하도록 구성된 제 1 지연 회로, 및 지연된 제 2 보간 신호를 수신하고 반전된 지연된 제 2 보간 신호를 제 2 신호로서 제 1 복수의 보간 셀에 공급하도록 구성된 제 2 인버터 회로를 포함한다.

[3073] 제 10 예는 제 9 예의 디지털-시간 변환기이며, 제 1 보간 신호를 수신하고 반전된 제 1 보간 신호를 제 3 신호로서 제 2 복수의 보간 셀에 공급하도록 구성된 제 3 인버터 회로를 더 포함한다. 디지털-시간 변환기는 또한 제 1 보간 신호를 지연하도록 구성된 제 2 지연 회로, 및 지연된 제 1 보간 신호를 수신하고 반전된 지연된 제 1 보간 신호를 제 4 신호로서 제 2 복수의 보간 셀에 공급하도록 구성된 제 4 인버터 회로를 포함한다.

[3074] 제 11 예는 제 6 예 내지 제 8 예 중 어느 한 예의 디지털-시간 변환기이며, 제 2 보간 신호 및 리셋 신호에 기초하여 제 1 신호를 생성하도록 구성된 제 1 NAND 게이트, 제 2 보간 신호를 지연하도록 구성된 제 1 지연 회로, 및 지연된 제 2 보간 신호 및 리셋 신호에 기초하여 제 2 신호를 생성하도록 구성된 제 2 NAND 게이트를 더 포함한다.

[3075] 제 12 예는 제 11 예의 디지털-시간 변환기이며, 제 1 보간 신호 및 리셋 신호에 기초하여 제 3 신호를 생성하도록 구성된 제 3 NAND 게이트, 제 1 보간 신호를 지연하도록 구성된 제 2 지연 회로, 및 지연된 제 1 보간 신호 및 리셋 신호에 기초하여 제 4 신호를 생성하도록 구성된 제 4 NAND 게이트를 더 포함한다.

[3076] 제 13 예는 제 1 예 내지 제 12 예 중 어느 한 예에 따른 디지털-시간 변환기를 포함하는 데이터 신호를 생성하기 위한 장치이다. 디지털-시간 변환기는 출력 신호로서 데이터 신호를 생성하도록 구성되고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[3077] 제 14 예는 제 13 예의 장치이며, 이 예에서 제어 워드는 제 1 데이터 및 제 2 데이터에 기초한다.

[3078] 제 15 예는 제 13 예 또는 제 14 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3079] 제 16 예는 제 13 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서 제 1 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[3080] 제 17 예는 제 13 예 내지 제 16 예 중 어느 한 예의 장치이며, 제 2 데이터 신호를 생성하도록 구성된 제 2 디지털-시간 변환기를 더 포함하고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3081] 제 18 예는 제 13 예 내지 제 16 예 중 어느 한 예의 장치이며, 이 예에서 디지털-시간 변환기는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3082] 제 19 예는 제 13 예 내지 제 18 예 중 어느 한 예의 장치이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이다.

[3083] 도 24a 및 도 24b와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3084] 제 1 예는 통신 프로토콜에 따라 데이터 신호를 생성하기 위한 디지털-시간 변환기이고, 통신 프로토콜은 데이터를 인코딩하기 위해 데이터 신호의 바로 잇따른 신호 에지 사이에 복수의 가능한 기간을 정의하고, 복수의 가

능한 기간은 오프셋 시간만큼 서로 오프셋된다. 디지털-시간 변환기는 발진 신호를 수신하도록 구성된 입력 회로, 및 발진 신호에 기초하여 데이터 신호를 생성하도록 구성된 신호 생성 회로를 포함하되, 신호 생성 회로는 발진 신호에서 발진 사이클의 신호 에지로부터 오프셋 시간의 정수배만큼 때맞게 오프셋된 위치에서 데이터 신호에서 신호 에지를 생성할 수 있다.

[3085] 제 2 예는 제 1 예의 디지털-시간 변환기이며, 이 예에서 신호 생성 회로는 제어 워드에 기초하여 데이터 신호에서 신호 에지를 생성하도록 구성되고, 디지털-시간 변환기는 통신 프로토콜에 따라 송신될 데이터에 기초하여 제어 워드를 생성하도록 구성된 제어 회로를 더 포함하고, 제어 회로는 신호 발생 회로로 하여금 발진 신호에서 발진 사이클의 신호 에지로부터 오프셋 시간의 정수배만큼 때맞게 오프셋된 위치에서 데이터 신호에서 신호 에지를 생성하게 하는 제어 워드를 생성할 수 있다.

[3086] 제 3 예는 제 2 예의 디지털-시간 변환기이며, 이 예에서 제어 회로가 생성할 수 있는 가능한 제어 워드의 수는 2의 배수가 아니다.

[3087] 제 4 예는 제 2 예 또는 제 3 예의 디지털-시간 변환기이며, 이 예에서 제어 회로가 생성할 수 있는 가능한 제어 워드의 수는 복수의 가능한 기간의 수보다 적다.

[3088] 제 5 예는 제 1 예 내지 제 예 4 중 어느 한 예의 디지털-시간 변환기이며, 이 예에서 통신 프로토콜에서 정의된 복수의 가능한 기간의 수는 발진 신호의 발진 기간 대 오프셋 시간의 비율보다 크다.

[3089] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 디지털-시간 변환기이며, 이 예에서 오프셋 시간은 발진 신호의 발진 기간의 정수 분율이다.

[3090] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 디지털-시간 변환기이며, 이 예에서 정수 배의 최대 값은 발진 신호의 발진 기간 대 오프셋 시간의 비율과 동일하다.

[3091] 제 8 예는 제 1 예 내지 제 7 예의 디지털-시간 변환기이며, 이 예에서 신호 생성 회로는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성되고, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 통신 프로토콜에 따라 송신될 제 1 데이터에 대응하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간은 통신 프로토콜에 따라 송신될 제 2 데이터에 대응한다.

[3092] 제 9 예는 제 8 예의 디지털-시간 변환기이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3093] 제 10 예는 제 8 예 또는 제 9 예의 디지털-시간 변환기이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3094] 제 11 예는 제 1 예 내지 제 10 예 중 어느 한 예의 디지털-시간 변환기이며, 이 예에서 디지털-시간 변환기는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3095] 도 25a 내지 도 25k와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3096] 제 1 예는 공급 라인을 통해 전압 소스로부터 전자 디바이스로 공급되는 공급 전압을 조절하기 위한 장치이다. 공급 전압을 조절하기 위한 장치는 공급 라인에 결합하도록 구성된 노드, 및 노드에 결합된 변조 회로를 포함하되, 변조 회로는 전자 디바이스에 의해 처리된 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성된다.

[3097] 제 2 예는 제 1 예의 장치이며, 이 예에서 변조 회로는 전자 디바이스에 의해 처리된 데이터에 관한 정보에 기초하여 제어 신호를 생성하도록 구성된 제어 회로, 및 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인에 결합하도록 구성된 스위치 회로를 포함한다.

[3098] 제 3 예는 제 2 예의 장치이며, 이 예에서 제어 회로는 또한 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호를 생성하도록 구성된다.

[3099] 제 4 예는 제 3 예의 장치이며, 이 예에서 전자 디바이스에 의해 처리된 데이터는 적어도 하나의 데이터 심볼을 포함하고, 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 예상된 전류 소비의 변동 중 하나 사이의 의존성에 관한 정보는 데이터 심볼을 처리하는 동안 전자 디바이스의 예상된 전류 소

비에 관한 정보 또는 전자 디바이스가 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함한다.

[3100] 제 5 예는 제 2 예 내지 제 4 예 중 어느 한 예의 장치이며, 이 예에서 충전된 용량성 요소는 공급 전압의 공칭 값과 상이한 전압으로 충전된다.

[3101] 제 6 예는 제 2 예 내지 제 5 예 중 어느 한 예의 장치이며, 이 예에서 용량성 요소는 복수의 커패시터를 포함한다.

[3102] 제 7 예는 제 6 예의 장치이며, 이 예에서 복수의 커패시터 중 제 1 커패시터는 제 1 커패시턴스를 포함하고, 복수의 커패시터 중 제 2 커패시터는 제 2 커패시턴스를 포함한다.

[3103] 제 8 예는 제 6 예 또는 제 7 예의 장치이며, 이 예에서 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 공급 라인에 선택적으로 결합하도록 구성된다.

[3104] 제 9 예는 제 8 예의 장치이며, 이 예에서 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 선택적으로 병렬로 또는 직렬로 결합하도록 구성된다.

[3105] 제 10 예는 제 2 예 내지 제 9 예 중 어느 한 예의 장치이며, 이 예에서 용량성 요소는 디지털-아날로그 변환기이다.

[3106] 제 11 예는 선행 예 중 어느 한 예의 장치이며, 이 예에서 전압 소스는 저 드롭아웃 레귤레이터 또는 DC-DC 변환기이다.

[3107] 제 12 예는 통신 장치이다. 통신 장치는 데이터 신호를 생성하기 위한 장치를 포함한다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 인터페이스 회로를 포함한다. 통신 장치는 또한 공급 라인을 통해 전압 소스로부터 처리 회로로 공급되는 공급 전압을 조절하기 위한 장치를 포함한다. 공급 전압을 조절하기 위한 장치는 공급 라인에 결합하도록 구성된 노드, 및 노드에 결합된 변조 회로를 포함하되, 변조 회로는 제 1 데이터 및 제 2 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성된다.

[3108] 제 13 예는 제 12 예의 통신 장치이며, 이 예에서 변조 회로는 제 1 데이터 및 제 2 데이터에 관한 정보에 기초하여 제어 신호를 생성하도록 구성된 제어 회로, 및 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인에 결합하도록 구성된 스위치 회로를 포함한다.

[3109] 제 14 예는 제 13 예의 통신 장치이며, 이 예에서 제어 회로는 또한 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호를 생성하도록 구성된다.

[3110] 제 15 예는 제 14 예의 통신 장치이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이고, 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 처리 회로가 제 1 데이터 심볼을 처리하는 동안 처리 회로의 전류 소비의 예상된 변동에 관한 정보 또는 처리 회로가 제 1 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함한다.

[3111] 제 16 예는 제 14 예 또는 제 15 예의 통신 장치이며, 이 예에서 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 공장 교정에 기초한다.

[3112] 제 17 예는 제 14 예 내지 제 16 예 중 어느 한 의 통신 장치이며, 이 예에서 제어 회로는 인터페이스 회로에 의해 데이터 신호를 수신함으로써 수신된 교정 정보에 기초하여 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보를 업데이트하도록 구성된다.

[3113] 제 18 예는 제 17 예의 통신 장치이며, 이 예에서 교정 정보는 데이터 신호에서 측정된 지터에 기초한다.

[3114] 제 19 예는 제 13 예 내지 제 18 예 중 어느 한 예의 통신 장치이며, 이 예에서 충전된 용량성 요소는 공급 전압의 공칭 값과 상이한 전압으로 충전된다.

[3115] 제 20 예는 제 13 예 내지 제 19 예 중 어느 한 예의 통신 장치이며, 이 예에서 용량성 요소는 복수의 커패시터를 포함한다.

[3116] 제 21 예는 제 20 예의 통신 장치이며, 이 예에서 복수의 커패시터 중 제 1 커패시터는 제 1 커패시턴스를 포함하고, 복수의 커패시터 중 제 2 커패시터는 제 2 커패시턴스를 포함한다.

[3117] 제 22 예는 제 20 예 또는 제 21 예의 통신 장치이며, 이 예에서 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 공급 라인에 선택적으로 결합하도록 구성된다.

[3118] 제 23 예는 제 22 예의 통신 장치이며, 이 예에서 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 선택적으로 병렬로 또는 직렬로 결합하도록 구성된다.

[3119] 제 24 예는 제 13 예 내지 제 23 예 중 어느 한 예의 통신 장치이며, 이 예에서 스위치 회로 및 용량성 요소는 디지털-아날로그 변환기의 부분이다.

[3120] 제 25 예는 제 12 예 내지 제 24 예 중 어느 한 예의 통신 장치이며, 이 예에서 전압 소스는 저 드롭아웃 레귤레이터 또는 DC-DC 변환기이다.

[3121] 제 26 예는 제 12 예 내지 제 25 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[3122] 제 27 예는 제 12 예 내지 제 26 예 중 어느 한 예의 통신 장치이며, 이 예에서 변조 회로는 송신될 제 3 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성되며, 제 3 데이터는 제 1 데이터의 앞에 온다.

[3123] 제 28 예는 제 12 예 내지 제 27 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3124] 제 29 예는 제 12 예 내지 제 28 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3125] 제 30 예는 제 12 예 내지 제 29 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3126] 제 31 예는 통신 장치이다. 통신 장치는 데이터 신호를 디코딩하기 위한 장치를 포함한다. 데이터 신호를 디코딩하기 위한 장치는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 통신 장치는 또한 공급 라인을 통해 전압 소스로부터 처리 회로로 공급되는 공급 전압을 조절하기 위한 장치를 포함한다. 공급 전압을 조절하기 위한 장치는 공급 라인에 결합하도록 구성된 노드, 및 노드에 결합된 변조 회로를 포함하되, 변조 회로는 처리 회로에 의한 제 2 신호 에지의 결정에 응답하여 공급 전압을 변조하도록 구성된다.

[3127] 제 32 예는 제 31 예의 통신 장치이며, 이 예에서 변조 회로는 또한 제 1 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성된다.

[3128] 제 33 예는 제 31 예의 통신 장치이며, 이 예에서 변조 회로는 또한 제 1 데이터에 관한 정보와 무관하게 공급 전압을 변조하도록 구성된다.

[3129] 제 34 예는 제 31 예 내지 제 33 예 중 어느 한 의 통신 장치이며, 이 예에서 변조 회로는 처리 회로에 의한 제 2 신호 에지의 결정에 응답하여 제어 신호를 생성하도록 구성된 제어 회로, 및 예 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인에 결합하도록 구성된 스위치 회로를 포함한다.

[3130] 제 35 예는 제 34 예의 통신 장치이며, 이 예에서 제어 회로는 또한 제 1 데이터에 관한 정보와 무관하게 제어 신호를 생성하도록 구성된다.

[3131] 제 36 예는 제 34 예의 통신 장치이며, 이 예에서 제어 회로는 또한 제 1 데이터에 관한 정보에 따라 제어 신호를 생성하도록 구성된다.

[3132] 제 37 예는 제 36 예의 통신 장치이며, 이 예에서 제어 회로는 또한 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초하여 제어 신호를 생성하도록

구성된다.

[3133] 제 38 예는 제 37 예의 통신 장치이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신된 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이고, 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 처리 회로가 제 1 데이터 심볼을 처리하는 동안 처리 회로의 예상된 전류 소비에 관한 정보 또는 처리 회로가 제 1 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함한다.

[3134] 제 39 예는 제 37 예 또는 제 38 예의 통신 장치이며, 이 예에서 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 공장 교정에 기초하고 메모리 내에 저장된다.

[3135] 제 40 예는 제 37 예 내지 제 39 예 중 어느 한 예의 통신 장치이며, 이 예에서 제어 회로는 데이터 신호를 디코딩하기 위한 장치에 의해 데이터 신호로부터 도출된 교정 정보에 기초하여 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보를 업데이트하도록 구성된다.

[3136] 제 41 예는 제 40 예의 통신 장치이며, 이 예에서 교정 정보는 데이터 신호에서 측정된 지터에 기초한다.

[3137] 제 42 예는 제 34 예 내지 제 41 예 중 어느 한 예의 통신 장치이며, 이 예에서 충전된 용량성 요소는 공급 전압의 공칭 값과 상이한 전압으로 충전된다.

[3138] 제 43 예는 제 34 예 내지 제 42 예 중 어느 한 예의 통신 장치이며, 이 예에서 용량성 요소는 복수의 커패시터를 포함한다.

[3139] 제 44 예는 제 43 예의 통신 장치이며, 이 예에서 복수의 커패시터 중 제 1 커패시터는 제 1 커패시턴스를 포함하고, 복수의 커패시터 중 제 2 커패시터는 제 2 커패시턴스를 포함한다.

[3140] 제 45 예는 제 43 예 또는 제 44 예의 통신 장치이며, 이 예에서 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 공급 라인에 선택적으로 결합하도록 구성된다.

[3141] 제 46 예는 제 45 예의 통신 장치이며, 이 예에서 스위치 회로는 제어 신호에 기초하여 복수의 커패시터 중 다수 개를 선택적으로 병렬로 또는 직렬로 결합하도록 구성된다.

[3142] 제 47 예는 제 34 예 내지 제 46 예 중 어느 한 예의 통신 장치이며, 이 예에서 스위치 회로 및 용량성 요소는 디지털-시간 변환기의 부분이다.

[3143] 제 48 예는 제 31 예 내지 제 47 예 중 어느 한 예의 통신 장치이며, 이 예에서 전압 소스는 저 드롭아웃 레귤레이터 또는 DC-DC 변환기이다.

[3144] 제 49 예는 제 31 예 내지 제 48 예 중 어느 한 예의 통신 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[3145] 제 50 예는 제 31 예 내지 제 49 예 중 어느 한 예의 통신 장치이며, 이 예에서 변조 회로는 또한 데이터 신호의 제 3 데이터에 관한 정보에 기초하여 공급 전압을 변조하도록 구성되며, 제 3 데이터는 제 1 데이터의 앞에 온다.

[3146] 제 51 예는 제 31 예 내지 제 50 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3147] 제 52 예는 제 31 예 내지 제 51 예 중 어느 한 예의 통신 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3148] 제 53 예는 제 31 예 내지 제 52 예 중 어느 한 예의 장치에서, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 수신 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - 하고, 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[3149] 제 54 예는 공급 라인을 통해 전압 소스로부터 전자 디바이스로 공급되는 공급 전압을 조절하기 위한 방법이며, 방법은 전자 디바이스에 의해 처리된 데이터에 관한 정보에 기초하여 공급 전압을 변조하는 단계를 포함한다.

[3150] 제 55 예는 제 54 예의 방법이며, 이 예에서 공급 전압을 변조하는 단계는 전자 디바이스에 의해 처리된 데이터에 관한 정보에 기초하여 제어 신호를 생성하는 단계, 및 스위치 회로를 사용하여, 제어 신호에 기초하여 충전

된 용량성 요소를 선택적으로 공급 라인에 결합하는 단계를 포함한다.

[3151] 제 56 예는 제 55 예의 방법이며, 이 예에서 제어 신호를 생성하는 단계는 또한 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초한다.

[3152] 제 57 예는 제 56 예의 방법이며, 이 예에서 전자 디바이스에 의해 처리된 데이터는 적어도 하나의 데이터 심볼을 포함하고, 전자 디바이스에 의해 처리된 데이터와 공급 전압의 예상된 변동 및 전자 디바이스의 예상된 전류 소비의 변동 중 하나 사이의 의존성에 관한 정보는 데이터 심볼을 처리하는 동안 전자 디바이스의 예상된 전류 소비에 관한 정보 또는 전자 디바이스가 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함한다.

[3153] 제 58 예는 통신하기 위한 방법이다. 방법은 처리 회로를 사용하여 데이터 신호를 생성하는 단계를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은 제 1 데이터 및 제 2 데이터에 관한 정보에 기초하여 공급 라인을 통해 전압 소스로부터 처리 회로에 공급되는 공급 전압을 변조하는 단계를 더 포함한다.

[3154] 제 59 예는 제 58 예의 방법이며, 이 예에서 공급 전압을 변조하는 단계는 제 1 데이터 및 제 2 데이터에 관한 정보에 기초하여 제어 신호를 생성하는 단계, 및 스위치 회로를 사용하여, 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인에 결합하는 단계를 포함한다.

[3155] 제 60 예는 제 59 예의 방법이며, 이 예에서 제어 신호를 생성하는 단계는 또한 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초한다.

[3156] 제 61 예는 제 60 예의 방법이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이고, 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 제 1 데이터 심볼을 처리하는 동안 처리 회로의 전류 소비의 예상된 변동에 관한 정보 또는 처리 회로가 제 1 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함한다.

[3157] 제 62 예는 제 60 예 또는 제 61 예의 방법이며, 이 예에서 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 공장 교정에 기초한다.

[3158] 제 63 예는 제 61 예 내지 제 62 예의 방법이며, 이 예에서 방법은 데이터 신호를 수신함으로써 수신된 교정 정보에 기초하여 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보를 업데이트하는 단계를 더 포함한다.

[3159] 제 64 예는 제 58 예 내지 제 63 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3160] 제 65 예는 제 58 예 내지 제 64 예 중 어느 한 예의 방법이며 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3161] 제 66 예는 제 58 예 내지 제 65 예 중 어느 한 예의 방법이며, 제 2 데이터 신호를 생성하는 단계를 더 포함하되, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3162] 제 67 예는 제 58 예 내지 제 66 예 중 어느 한 예의 방법이며, 이 예에서 공급 전압을 변조하는 단계는 또한 송신될 제 3 데이터에 관한 정보에 기초하며, 제 3 데이터는 제 1 데이터의 앞에 온다.

[3163] 제 68 예는 통신하기 위한 방법이다. 방법은 처리 회로를 사용하여, 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계를 포함한다. 또한, 방법은 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계를 포함한다. 방법은 또한 처리 회로에 의한 제 2 신호 에지의 결정에 응답하여 공급 전압을 변조하는 단계를 포함하며, 공급 전압은 공급 라인을 통해 전압 소스로부터 처리 회로로 공급된다.

[3164] 제 69 예는 제 68 예의 방법이며, 이 예에서 공급 전압을 변조하는 단계는 또한 제 1 데이터에 관한 정보에 기

초한다.

[3165] 제 70 예는 제 68 예의 방법이며, 이 예에서 공급 전압을 변조하는 단계는 제 1 데이터에 관한 정보와 무관하다.

[3166] 제 71 예는 제 68 예 내지 제 70 예의 방법이며, 이 예에서 공급 전압을 변조하는 단계는 제 1 데이터 및 제 2 데이터에 관한 정보에 기초하여 제어 신호를 생성하는 단계, 및 스위치 회로를 사용하여, 제어 신호에 기초하여 충전된 용량성 요소를 선택적으로 공급 라인에 결합하는 단계를 포함한다.

[3167] 제 72 예는 제 71 예의 방법이며, 이 예에서 제어 신호를 생성하는 단계는 제 1 데이터에 관한 정보와 무관하다.

[3168] 제 73 예는 제 71 예의 방법이며, 이 예에서 제어 신호를 생성하는 단계는 또한 제 1 데이터에 관한 정보에 기초한다.

[3169] 제 74 예는 제 73 예의 방법이며, 이 예에서 제어 신호를 생성하는 단계는 또한 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보에 기초한다.

[3170] 제 75 예는 제 74 예의 방법이며, 이 예에서 제 1 데이터는 데이터 통신 프로토콜에 따라 송신된 제 1 데이터 심볼이고, 제 2 데이터는 제 2 데이터 심볼이고, 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 제 1 데이터 심볼을 처리하는 동안 처리 회로의 예상된 전류 소비에 관한 정보 또는 처리 회로가 제 1 데이터 심볼을 처리하는 동안 공급 전압의 예상된 변동에 관한 정보를 포함한다.

[3171] 제 76 예는 제 74 예 또는 제 75 예의 방법이며, 이 예에서 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보는 공장 교정에 기초한다.

[3172] 제 77 예는 제 74 예 내지 제 76 예의 방법이며, 데이터 신호로부터 도출된 교정 정보에 기초하여 제 1 데이터와 공급 전압의 예상된 변동 및 처리 회로의 전류 소비의 예상된 변동 중 하나 사이의 의존성에 관한 정보를 업데이트하는 단계를 더 포함한다.

[3173] 제 78 예는 제 68 예 내 77 예 중 어느 한 예의 방법이며, 공급 전압을 변조하는 단계는 데이터 신호의 제 3 데이터에 관한 정보에 기초하여 공급 전압을 변조하는 단계를 더 포함하며, 제 3 데이터는 제 1 데이터의 앞에 온다.

[3174] 제 79 예는 제 68 예 내지 제 78 예 중 어느 한 예의 방법이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3175] 제 80 예는 제 68 예 내지 제 79 예 중 어느 한 예의 방법이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3176] 제 81 예는 제 68 예 내지 제 80 예 중 어느 한 예의 방법이며, 제 2 데이터 신호를 수신하는 단계 - 제 2 데이터 신호는 데이터 신호에 대해 반전됨 - , 및 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 제 3 신호 에지 및 제 4 신호 에지를 결정하는 단계를 더 포함한다.

[3177] 도 26a 내지 도 26c와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3178] 제 1 예는 정전기 방전에 대비한 보호 회로이다. 보호 회로는 차동 송신 링크의 제 1 송신 라인을 향한 제 1 입력 및 차동 송신 링크의 제 2 송신 라인을 향한 제 2 입력을 포함한다. 또한, 보호 회로는 제 1 송신 라인을 향한 제 1 출력 및 제 2 송신 라인을 향한 제 2 출력을 포함한다. 보호 회로는 또한 제 1 입력과 제 1 출력 사이에 결합된 제 1 쌍의 다이오드, 제 2 입력과 제 2 출력 사이에 결합된 제 2 쌍의 다이오드를 포함한다. 보호 회로는 제 1 쌍의 다이오드와 제 1 출력 사이에 결합된 제 1 저항성 요소, 및 제 2 쌍의 다이오드와 제 2 출력 사이에 결합된 제 2 저항성 요소를 포함하고, 제 1 저항성 요소 및 제 2 저항성 요소는 제 1 송신 라인 및 제 2 송신 라인에 감쇠를 추가시킨다.

[3179] 제 2 예는 제 1 예의 보호 회로이며, 이 예에서 제 1 저항성 요소 및 제 2 저항성 요소는 각각 제 1 송신 라인 및 제 2 송신 라인에 적어도 2 dB의 감쇠를 추가시킨다.

[3180] 제 3 예는 제 1 예 또는 제 2 예의 보호 회로이며, 이 예에서 제 1 저항성 요소 및 제 2 저항성 요소 각각의 저

항은 5 Ω을 초과하거나 10 Ω을 초과한다.

[3181] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 보호 회로이며, 이 예에서 제 1 저항성 요소 및 제 2 저항성 요소 각각의 저항은 50 Ω 미만이다.

[3182] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 보호 회로이며, 이 예에서 제 1 쌍의 다이오드 및 제 2 쌍의 다이오드의 각각의 다이오드는 250 fF 미만의 커패시턴스를 나타낸다.

[3183] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 보호 회로이며, 이 예에서 제 1 쌍의 다이오드는 제 1 입력과 접지 사이에 결합된 제 1 다이오드 및 제 1 입력과 공급 전압 사이에 결합된 제 2 다이오드를 포함한다. 또한, 제 2 쌍의 다이오드는 제 2 입력과 접지 사이에 결합된 제 3 다이오드 및 제 2 입력과 공급 전압 사이에 결합된 제 4 다이오드를 포함한다.

[3184] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 보호 회로이며, 제 1 저항성 요소와 제 1 출력 사이에 결합된 제 3 쌍의 다이오드, 및 제 2 저항성 요소와 제 2 출력 사이에 결합된 제 4 쌍의 다이오드를 더 포함한다.

[3185] 제 8 예는 제 7 예의 보호 회로이며, 이 예에서 제 3 쌍의 다이오드 및 제 4 쌍의 다이오드의 각각의 다이오드는 100 fF 미만의 커패시턴스를 나타낸다.

[3186] 제 9 예는 제 7 예 또는 제 8 예의 보호 회로이며, 이 예에서 제 3 쌍의 다이오드는 제 1 출력과 접지 사이에 결합된 제 5 다이오드 및 제 1 출력과 공급 전압 사이에 결합된 제 6 다이오드를 포함한다. 또한, 제 4 쌍의 다이오드는 제 2 출력과 접지 사이에 결합된 제 7 다이오드 및 제 2 출력과 공급 전압 사이에 결합된 제 8 다이오드를 포함한다.

[3187] 제 10 예는 제 1 예 내지 제 9 예 중 어느 한 예의 보호 회로이며, 이 예에서 제 1 저항성 요소는 제 1 인덕턴스를 나타내고 제 2 저항성 요소는 제 2 인덕턴스를 나타낸다.

[3188] 제 11 예는 제 10 예의 보호 회로이며, 이 예에서 제 1 인덕턴스 및 제 2 인덕턴스 각각은 0.25 nH 미만이다.

[3189] 제 12 예는 차동 데이터 신호를 위한 수신기이다. 수신기는 차동 데이터 신호를 반송하는 차동 송신 링크의 제 1 송신 라인 및 제 2 송신 라인에 결합하도록 구성된 인터페이스 회로를 포함한다. 또한, 수신기는 제 1 송신 라인 및 제 2 송신 라 인상의 차동 데이터 신호의 신호 성분 간의 차이에 기초하여 출력 신호를 생성하도록 구성된 증폭기 회로를 포함한다. 수신기는 또한 인터페이스 회로와 증폭기 회로 사이에 결합된 제 1 예 내지 제 11 예 중 어느 한 예에 따른 보호 회로를 포함한다.

[3190] 제 13 예는 차동 데이터 신호를 수신하기 위한 장치이다. 장치는 차동 데이터 신호를 반송하는 차동 송신 링크의 제 1 송신 라인 및 제 2 송신 라인에 결합하도록 구성된 인터페이스 회로를 포함한다. 또한, 장치는 차동 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 장치는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함할 수 있다. 장치는 인터페이스 회로와 처리 회로 사이에 결합된 제 1 예 내지 제 11 예 중 어느 한 예에 따른 보호 회로를 포함한다.

[3191] 제 14 예는 제 13 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3192] 제 15 예는 제 13 예 또는 제 14 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3193] 제 16 예는 제 13 예 내지 제 15 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 시간-디지털 변환기이다.

[3194] 도 27a 내지 도 27f와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3195] 제 1 예는 증폭된 고주파 송신 신호를 생성하기 위한 장치이며, 장치는,

[3196] 베이스밴드 송신 신호에 기초하여 증폭된 고주파 송신 신호를 제공하도록 구성된 전력 증폭기 회로;

[3197] 베이스밴드 수신 데이터 신호를 생성하도록 구성된 시간 인코딩된 송신기 회로를 포함하되, 베이스밴드 수신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 시간 인코딩된 수신기 회로에 송신될 제 1 베이스밴드 수

신 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 시간 인코딩된 수신기 회로에 송신될 제 2 베이스밴드 수신 데이터에 대응하는 제 2 기간에 의해 분리되며,

[3198] 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터는 피드백 정보를 포함한다.

[3199] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 피드백 정보는 증폭된 고주파 송신 신호에 의해 야기된 피드백 수신 신호, 장치의 레지스터의 내용, 전력 검출기의 출력, 및 온도 센서의 출력 중 적어도 하나에 관한 정보이다.

[3200] 제 3 예는 제 2 예에 따른 장치이며, 페이로드 수신 신호 또는 피드백 수신 신호를 멀티플렉서 출력 신호로서 제공하도록 구성된 멀티플렉서를 더 포함하되, 시간 인코딩된 송신기 회로는 멀티플렉서 출력 신호에 기초하여 베이스밴드 수신 데이터 신호를 생성하도록 구성된다.

[3201] 제 4 예는 제 2 예 또는 제 3 예에 따른 장치이며, 이 예에서 피드백 수신 신호는 아날로그 신호이다.

[3202] 제 5 예는 제 2-4 예 중 한 예에 따른 장치이며, 피드백 수신 신호에 기초하여 베이스밴드 피드백 수신 신호를 생성하도록 구성된 하향 변환 회로를 더 포함하되, 시간 인코딩된 송신기 회로는 베이스밴드 피드백 수신 신호에 기초하여 베이스밴드 수신 데이터 신호를 생성하도록 구성된다.

[3203] 제 6 예는 제 2-5 예 중 한 예에 따른 장치이며, 전력 증폭기 회로의 출력에 결합되고 증폭된 고주파 송신 신호에 의해 야기되거나 또는 증폭된 고주파 송신 신호에 기초하여 제공된 안테나 송신 신호에 의해 야기되는 피드백 수신 신호를 제공하도록 구성된 커플러 모듈을 더 포함한다.

[3204] 제 7 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 베이스밴드 수신 데이터 신호는 디지털 신호이다.

[3205] 제 8 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 증폭된 고주파 송신 신호는 페이로드 데이터를 포함하고, 시간 인코딩된 송신기 회로는 페이로드 데이터를 갖는 증폭된 고주파 송신 신호가 무선으로 외부 수신기로 송신되는 동안 베이스밴드 수신 데이터 신호를 시간 인코딩된 수신기 회로로 전송하도록 구성된다.

[3206] 제 9 예는 이전 예 중 한 예에 따른 장치이며, 수신된 베이스밴드 송신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 시간 인코딩된 수신기 회로를 더 포함하되, 시간 인코딩된 수신기 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 송신 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 송신 데이터를 결정하도록 구성되고, 시간 인코딩된 수신기 회로는 제 1 베이스밴드 송신 데이터 및 제 2 베이스밴드 송신 데이터에 기초하여 베이스밴드 송신 신호를 제공하도록 구성된다.

[3207] 제 10 예는 이전 예 중 한 예에 따른 장치이며, 증폭된 고주파 송신 신호에 기초하여 복수의 안테나를 향한 복수의 안테나 송신 신호를 제공하도록 구성된 피딩 네트워크를 더 포함한다.

[3208] 제 11 예는 이전 예 중 한 예에 따른 장치이며, 베이스밴드 송신 신호에 기초하여 고주파 송신 신호를 생성하도록 구성된 상향 변환 회로를 더 포함하되, 전력 증폭기 회로는 고주파 송신 신호를 증폭하여 증폭된 고주파 송신 신호를 생성하도록 구성된다.

[3209] 제 12 예는 이전 예 중 한 예에 따른 장치를 포함하는 무선 송수신기 디바이스이다.

[3210] 제 13 예는 제 12 예에 따른 무선 송수신기 디바이스이며, 베이스밴드 수신 데이터 신호를 수신하고 베이스밴드 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 시간 인코딩된 수신기 회로를 더 포함하고, 시간 인코딩된 수신기 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 수신 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 수신 데이터를 결정하도록 구성된다.

[3211] 제 14 예는 제 12 예 또는 제 13 예에 따른 무선 송수신기 디바이스이며, 증폭된 고주파 송신 신호에 의해 야기된 적어도 하나의 피드백 수신 신호에 관한 정보에 기초하여 베이스밴드 송신 신호의 전치 왜곡을 제어하도록 구성된 전치 왜곡 제어 모듈을 포함한다.

[3212] 제 15 예는 제 14 예에 따른 무선 송수신기 디바이스이며, 이 예에서 전치 왜곡 제어 모듈은 전력 증폭기 회로로부터 실시간 루프백을 통해 및 시간 인코딩된 송신기 회로를 통해 폐쇄 루프에서 전치 왜곡을 제어하도록 구성된다.

[3213] 제 16 예는 제 12-15 예 중 한 예에 따른 무선 송수신기 디바이스이며, 안테나 송신 신호를 송신하도록 구성된

안테나 어레이를 더 포함하되, 안테나 송신 신호는 증폭된 고주파 송신 신호에 기초한다.

[3214] 제 17 예는 제 12-16 예 중 어느 한 예에 따른 무선 송수신기 디바이스를 포함하는 모바일 디바이스이다.

[3215] 제 18 예는 베이스밴드 프로세서이며,

[3216] 수신된 베이스밴드 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 시간 인코딩된 수신기 회로 - 시간 인코딩된 수신기 회로는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 수신 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 수신 데이터를 결정하도록 구성됨 - ; 및

[3217] 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터에 기초하여 베이스밴드 송신 신호에 대한 전치 왜곡 설정을 결정하도록 구성된 베이스밴드 처리 회로를 포함한다.

[3218] 제 19 예는 제 18 예에 따른 베이스밴드 프로세서이며, 이 예에서 수신된 베이스밴드 수신 데이터 신호는 증폭된 고주파 송신 신호에 의해 야기된 피드백 수신 신호에 기초하며, 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터는 피드백 수신 신호에 관한 정보를 포함한다.

[3219] 제 20 예는 제 18 예 또는 제 19 예에 따른 베이스밴드 프로세서이며, 베이스밴드 송신 데이터 신호를 생성하도록 구성된 시간 인코딩된 송신기 회로를 더 포함하되, 베이스밴드 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 베이스밴드 송신 데이터에 대응하는 제 1 기간에 의해 분리되며, 제 2 신호 에지 및 제 3 신호 에지는 제 2 베이스밴드 송신 데이터에 대응하는 제 2 기간에 의해 분리된다.

[3220] 제 21 예는 제 18-20 예 중 한 예에 따른 베이스밴드 프로세서를 포함하는 무선 송수신기 디바이스이다.

[3221] 제 22 예는 제 21 예에 따른 무선 송수신기 디바이스를 포함하는 모바일 디바이스이다.

[3222] 제 23 예는 증폭된 고주파 송신 신호를 생성하기 위한 방법이며, 이 예에서 방법은,

[3223] 베이스밴드 송신 신호에 기초하여 증폭된 고주파 송신 신호를 제공하는 단계; 및

[3224] 시간 인코딩된 송신기 회로에 의해 베이스밴드 수신 데이터 신호를 생성하는 단계를 포함하되, 베이스밴드 수신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 시간 인코딩된 수신기 회로에 송신될 제 1 베이스밴드 수신 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 시간 인코딩된 수신기 회로에 송신될 제 2 베이스밴드 수신 데이터에 대응하는 제 2 기간에 의해 분리되며,

[3225] 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터는 피드백 정보를 포함한다.

[3226] 제 24 예는 전치 왜곡 설정을 결정하기 위한 방법이며,

[3227] 시간 인코딩된 수신기 회로에 의한 수신된 베이스밴드 수신 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계;

[3228] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 베이스밴드 수신 데이터를 결정하는 단계;

[3229] 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 베이스밴드 수신 데이터를 결정하는 단계; 및

[3230] 제 1 베이스밴드 수신 데이터 및 제 2 베이스밴드 수신 데이터에 기초하여 베이스밴드 송신 신호에 대한 전치 왜곡 설정을 결정하는 단계를 포함한다.

[3231] 제 25 예는 실행될 때 머신으로 하여금 제 23 예 또는 제 24 예의 방법을 수행하게 하는 프로그램 코드를 포함하는 머신 판독 가능 저장 매체이다.

[3232] 제 26 예는 컴퓨터 프로그램이 컴퓨터 또는 프로세서상에서 실행될 때, 제 23 예 또는 제 24 예의 방법을 수행하기 위한 프로그램 코드를 갖는 컴퓨터 프로그램이다.

[3233] 도 28a 내지 도 28d와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3234] 제 1 예는 신시사이저 회로를 포함하는 송신기이다. 신시사이저 회로는 스티어링 신호에 응답하여 클록 신호를

생성하도록 구성된 제어 발진기, 및 클록 신호에 기초하여 스티어링 신호를 제어하도록 구성된 폐쇄 루프 제어 회로를 포함한다. 신시사이저 회로는 폐쇄 루프 제어 회로가 비활성 상태인 제 1 모드 또는 폐쇄 루프 제어 회로가 활성 상태인 제 2 모드에서 동작하도록 구성된다. 송신기는 클록 신호를 사용하여 데이터 신호를 생성하기 위한 장치를 더 포함한다. 신시사이저 회로는 제 1 기간 동안 제 1 모드에서 동작하고 제 2 기간 동안 제 2 모드에서 동작한다.

[3235] 제 2 예는 제 1 예의 송신기이며, 이 예에서 제어 발진기는 디지털 제어 발진기 또는 전압 제어 발진기이다.

[3236] 제 3 예는 제 1 예 또는 제 2 예의 송신기이며, 미리 결정된 조건이 충족되면 신시사이저 회로를 제 1 모드로부터 제 2 모드로 스위칭하도록 구성된 제어 회로를 더 포함한다.

[3237] 제 4 예는 제 3 예의 송신기이며, 이 예에서 미리 결정된 조건은 온도 변화 및 미리 결정된 시간의 경과 중 적어도 하나이다.

[3238] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 송신기이며, 이 예에서 제 1 기간은 제 2 기간보다 길다.

[3239] 제 6 예는 선행 예 중 어느 한 예의 송신기이며, 이 예에서 제 1 기간은 제 2 기간보다 적어도 두 배이다.

[3240] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 장치이며, 이 예에서 클록 신호의 주파수는 8 GHz를 초과한다.

[3241] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 송신기이며, 이 예에서 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[3242] 제 9 예는 제 8 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3243] 제 10 예는 제 8 예 또는 제 9 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3244] 제 11 예는 제 8 예 내지 제 10 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3245] 제 12 예는 제 8 예 내지 제 11 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[3246] 제 13 예는 신시사이저 회로를 포함하는 송신기이다. 신시사이저 회로는 스티어링 신호에 응답하여 클록 신호를 생성하도록 구성된 제어 발진기, 및 클록 신호에 기초하여 스티어링 신호를 제어하도록 구성된 폐쇄 루프 제어 회로를 포함한다. 신시사이저 회로가 활성화된 이후의 제 1 기간 동안, 신시사이저 회로는 폐쇄 루프 제어 회로가 고정되지 않은 제 1 모드에서 동작한다. 신시사이저 회로는 제 1 기간 이후 폐쇄 루프 제어 회로가 고정되는 제 2 모드에서 동작한다. 송신기는 제 1 기간 및 제 2 기간에서 클록 신호를 사용하여 데이터 신호를 생성하기 위한 장치를 더 포함한다.

[3247] 제 14 예는 제 13 예의 송신기이며, 스티어링 신호를 저장하기 위한 메모리를 더 포함하되, 신시사이저 회로는 활성화되면 저장된 스티어링 신호를 사용하도록 구성된다.

[3248] 제 15 예는 제 13 예 또는 제 14 예의 송신기이며, 이 예에서 데이터 신호를 생성하기 위한 장치는 제 1 기간 동안 제 1 변조 방식을 사용하고 제 2 기간 동안 제 2 변조 방식을 사용하도록 구성된다. 제 1 변조 방식은 제 2 변조 방식보다 강건하다.

[3249] 제 16 예는 제 13 예 내지 제 15 예 중 어느 한 예의 송신기이며, 이 예에서 클록 신호의 주파수는 8 GHz를 초과한다.

[3250] 제 17 예는 제 13 예 내지 제 16 예 중 어느 한 예의 송신기이며, 이 예에서 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하되, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 출력

하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[3251] 제 18 예는 제 17 예의 장치이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3252] 제 19 예는 제 17 예 또는 제 18 예의 장치이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3253] 제 20 예는 제 17 예 내지 제 19 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전된다.

[3254] 제 21 예는 제 17 예 내지 제 20 예 중 어느 한 예의 장치이며, 이 예에서 처리 회로는 디지털-시간 변환기이다.

[3255] 도 29a 내지 도 29i와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3256] 제 1 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3257] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 1 비 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 2 비 페이로드 데이터 심볼에 대응하는 제 2 기간에 의해 분리되고,

[3258] 제 1 시간 기간 및 제 2 시간 기간 중 적어도 하나는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 시간 기간보다 더 길고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼임 - ; 및

[3259] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3260] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다.

[3261] 제 3 예는 제 1 예 또는 제 2 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 적어도 통신 프로토콜의 구분자 기간과 동일하다.

[3262] 제 4 예는 제 3 예 또는 제 2 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 최대한으로 통신 프로토콜의 기본 송신 유닛의 최대 시간 길이에 구분자 기간을 더한 것과 같다.

[3263] 제 5 예는 제 3 예 또는 제 4 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 최대한으로 클록 분배 심볼과 다음 클록 분배 심볼 사이에서 송신될 데이터 심볼의 최대 시간 길이와 최소 시간 길이 사이의 차이에 구분자 기간을 더한 것과 같다.

[3264] 제 6 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 제 4 신호 에지, 제 5 신호 에지 및 제 6 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성되고, 제 4 신호 에지 및 제 5 신호 에지는 통신 프로토콜에 따라 송신될 제 3 비 페이로드 데이터 심볼에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 통신 프로토콜에 따라 송신될 제 4 비 페이로드 데이터 심볼에 대응하는 제 4 기간에 의해 분리되고,

[3265] 제 3 기간 또는 제 4 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 하나는 제 2 가변 버퍼 심볼이고, 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 다른 하나는 제 2 클록 분배 심볼이다.

[3266] 제 7 예는 제 6 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 제 2 가변 버퍼 심볼의 기간과 상이하다.

[3267] 제 8 예는 제 6 예 또는 제 7 예에 따른 장치이며, 이 예에서 클록 분배 심볼의 기간은 제 2 클록 분배 심볼의 기간과 동일하다.

[3268] 제 9 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 가변 버퍼 심볼과 클록 분배 심볼의 쌍 및 가변 버퍼 심볼과 클록 분배 심볼의 쌍 사이의 데이터 심볼을 반복적으로 포함하는 데이터 신호를 생성하도록 구성된다.

[3269] 제 10 예는 제 9 예에 따른 장치이며, 이 예에서 처리 회로는 기준 클록 신호 또는 기준 발진기 신호에 기초하여 데이터 신호 내에서 클록 분배 심볼을 생성하도록 구성된다.

[3270] 제 11 예는 제 9 예 또는 제 10 예에 따른 장치이며, 이 예에서 처리 회로는 가변 버퍼 심볼의 기간을 생성하도록 구성되고, 클록 분배 심볼 또는 가변 버퍼 심볼의 상승 에지 또는 하강 에지는 기준 클록 신호 또는 기준 발진기 신호의 에지에 대응한다.

[3271] 제 12 예는 제 9 예, 제 10 예 또는 제 11 예에 따른 장치이며, 이 예에서 클록 분배 심볼은 데이터 신호 내에서 적어도 1 GHz의 주파수로 발생한다.

[3272] 제 13 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 제 1 비 페이로드 데이터 심볼은 가변 버퍼 심볼이고, 제 2 비 페이로드 데이터 심볼은 클록 분배 심볼이다.

[3273] 제 14 예는 데이터 신호를 디코딩하기 위한 장치이며, 장치는,

[3274] 상기 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

[3275] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 비 페이로드 데이터 심볼을 검출하고, 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 비 페이로드 데이터 심볼을 검출하도록 구성된 복조 회로를 포함하되,

[3276] 제 1 시간 기간 및 제 2 시간 기간 중 적어도 하나는 통신 프로토콜의 임의의 페이로드 데이터 심볼의 시간 기간보다 더 길고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼이다.

[3277] 제 15 예는 제 14 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길다.

[3278] 제 16 예는 제 14 예 또는 제 15 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 적어도 통신 프로토콜의 구분자 기간과 동일하다.

[3279] 제 17 예는 제 16 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 최대한으로 통신 프로토콜의 기본 송신 유닛의 시간 길이에 구분자 기간을 더한 것과 같다.

[3280] 제 18 예는 제 16 예 또는 제 17 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 최대한으로 클록 분배 심볼과 다음 클록 분배 심볼 사이에서 송신될 데이터 심볼의 최대 시간 길이와 최소 시간 길이 사이의 차이에 구분자 기간을 더한 것과 같다.

[3281] 제 19 예는 제 14-18 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 데이터 신호에서 제 4 신호 에지, 제 5 신호 에지 및 제 6 신호 에지의 시퀀스를 결정하도록 구성되고,

[3282] 복조 회로는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 비 페이로드 데이터 심볼을 검출하도록 구성되고, 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 비 페이로드 데이터 심볼을 검출하도록 구성되고,

[3283] 제 3 기간 또는 제 4 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 길고, 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 하나는 제 2 가변 버퍼 심볼이고, 제 3 비 페이로드 데이터 심볼 및 제 4 비 페이로드 데이터 심볼 중 다른 하나는 제 2 클록 분배 심볼이다.

[3284] 제 20 예는 제 19 예에 따른 장치이며, 이 예에서 가변 버퍼 심볼의 기간은 제 2 가변 버퍼 심볼의 기간과 상이하다.

[3285] 제 21 예는 제 19 예 또는 제 20 예에 따른 장치이며, 이 예에서 클록 분배 심볼의 기간은 제 2 클록 분배 심볼의 기간과 동일하다.

[3286] 제 22 예는 제 14-21 예 중 한 예에 따른 장치이며, 이 예에서 데이터 신호는 가변 버퍼 심볼과 클록 분배 심볼의 쌍 및 가변 버퍼 심볼과 클록 분배 심볼의 쌍 사이의 데이터 심볼을 반복적으로 포함한다.

[3287] 제 23 예는 제 22 예에 따른 장치이며, 이 예에서 복조 회로는 데이터 신호 내에서 클록 분배 심볼에 기초하여 기준 클록 신호를 생성하도록 구성된다.

[3288] 제 24 예는 제 22 예 또는 제 23 예에 따른 장치이며, 이 예에서 클록 분배 심볼 또는 가변 버퍼 심볼의 상승 에지 또는 하강 에지는 기준 클록 신호의 에지에 대응한다.

[3289] 제 25 예는 제 23 예 또는 제 24 예에 따른 장치이며, 기준 클록 신호에 기초하여 국부 클록 신호를 생성하도록 구성된 클록 생성 회로를 더 포함한다.

[3290] 제 26 예는 제 23 예, 제 24 예 또는 제 25 예에 따른 장치이며, 기준 클록 신호에 기초하여 국부 발진기 신호를 생성하도록 구성된 발진기 회로를 더 포함한다.

[3291] 제 27 예는 제 22-26 예 중 한 예에 따른 장치이며, 이 예에서 클록 분배 심볼은 데이터 신호 내에서 적어도 1 GHz의 주파수로 발생한다.

[3292] 제 28 예는 제 27 예에 따른 장치이며, 주파수 분할기를 더 포함하되, 복조 회로는 데이터 신호 내에서 클록 분배 심볼에 기초하여 중간 클록 신호를 생성하도록 구성되고, 주파수 분할기는 중간 클록 신호에 기초하여 기준 클록 신호를 제공하도록 구성된다.

[3293] 제 29 예는 제 24-28 예 중 한 예에 따른 장치이며, 이 예에서 제 1 비 페이로드 데이터 심볼은 가변 버퍼 심볼이고, 제 2 비 페이로드 데이터 심볼은 클록 분배 심볼이다.

[3294] 제 30 예는 무선 송수신기이며,

[3295] 제 14-29 예 중 한 예에 따른 장치; 및

[3296] 베이스밴드 송신 신호에 기초하여 고주파 송신 신호를 생성하고 가변 버퍼 심볼과 클록 분배 심볼에 기초하여 생성된 국부 발진기 신호를 생성하도록 구성된 상향 변환 회로를 포함한다.

[3297] 제 31 예는 제 1-13 예 중 한 예에 따른 장치를 포함하는 베이스밴드 프로세서이다.

[3298] 제 32 예는 제 1-13 예 중 한 예에 따른 장치 및 제 14-29 예 중 한 예에 따른 장치를 포함하는 모바일 디바이스이다.

[3299] 제 33 예는 데이터 신호를 생성하기 위한 방법이며, 방법은,

[3300] 데이터 신호를 생성하는 단계 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 1 비 페이로드 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 1 신호 에지 및 제 2 신호 에지는 통신 프로토콜에 따라 송신될 제 2 비 페이로드 데이터 심볼에 대응하는 제 2 기간에 의해 분리되고,

[3301] 제 1 기간 또는 제 2 기간은 통신 프로토콜의 페이로드 데이터 심볼에 연관된 가장 긴 기간보다 더 길고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼임 - ; 및

[3302] 데이터 신호를 출력하는 단계를 포함한다.

[3303] 제 34 예는 데이터 신호를 디코딩하기 위한 방법이며, 방법은,

[3304] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계;

[3305] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 비 페이로드 데이터 심볼을 검출하는 단계; 및

[3306] 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 비 페이로드 데이터 심볼을 검출하는 단계를 포함하되,

[3307] 제 1 기간 또는 제 2 기간은 통신 프로토콜의 임의의 페이로드 데이터 심볼의 기간보다 더 길고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 하나는 가변 버퍼 심볼이고, 제 1 비 페이로드 데이터 심볼 및 제 2 비 페이로드 데이터 심볼 중 다른 하나는 클록 분배 심볼이다.

[3308] 도 30a 내지 도 30k와 관련하여 앞서 설명된 예는 다음과 같이 요약될 수 있다:

[3309] 제 1 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3310] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되고,

[3311] 처리 회로는 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 송신될 추가 데이터에 대응하는 제 2 기간 동안 데이터 신호의 제 2 신호 진폭을 변조하도록 구성됨 - ; 및

[3312] 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3313] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 데이터 신호의 신호 진폭은 펄스 진폭 변조된다

[3314] 제 3 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 데이터 통신 프로토콜에 기초하여 데이터 신호를 생성하도록 구성되고, 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼은 제 1 데이터 및 추가 데이터의 적어도 하나의 비트를 포함하고, 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼은 제 2 데이터 및 추가 데이터의 적어도 다른 비트를 포함한다.

[3315] 제 4 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 추가 데이터의 적어도 하나의 비트에 관한 정보는 제 1 신호 진폭 및 제 2 신호 진폭에 걸쳐 분포된다.

[3316] 제 5 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는

[3317] 데이터 신호의 제 1 신호 진폭이 제 1 진폭 임계치보다 크도록;

[3318] 데이터 신호의 제 2 신호 진폭이 제 1 진폭 임계치보다 낮고 제 2 진폭 임계치보다 크도록;

[3319] 데이터 신호가 제 3 시간 동안 제 3 신호 진폭을 포함하도록 데이터 신호를 생성하도록 구성되며, 데이터 신호의 제 3 신호 진폭은 제 2 진폭 임계치보다 낮다.

[3320] 제 6 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 추가 데이터의 적어도 하나의 비트에 관한 정보는 펄스 폭 변조되고 시간 인코딩된다.

[3321] 제 7 예는 데이터 신호를 수신하기 위한 장치이며, 장치는,

[3322] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로; 및

[3323] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함하되,

[3324] 복조 회로는 제 1 기간 동안 데이터 신호의 제 1 신호 진폭에 기초하여 및 제 2 기간 동안 데이터 신호의 제 2 신호 진폭에 기초하여 추가 데이터를 결정하도록 구성된다.

[3325] 제 8 예는 제 7 예에 따른 장치이며, 이 예에서 데이터 신호의 신호 진폭은 펄스 진폭 변조된다

[3326] 제 9 예는 제 7-8 예 중 한 예에 따른 장치이며, 이 예에서 데이터 신호는 데이터 통신 프로토콜에 기초하고, 데이터 통신 프로토콜에 따라 수신된 제 1 데이터 심볼은 제 1 데이터 및 추가 데이터의 적어도 하나의 비트를 포함하고, 데이터 통신 프로토콜에 따라 수신된 제 2 데이터 심볼은 제 2 데이터 및 추가 데이터의 적어도 다른 비트를 포함한다.

[3327] 제 10 예는 제 7-9 예 중 한 예에 따른 장치이며, 이 예에서 복조 회로는 제 1 신호 진폭 및 제 2 신호 진폭에 기초하여 추가 데이터의 하나의 비트를 결정하도록 구성된다.

[3328] 제 11 예는 제 7-10 예 중 한 예에 따른 장치이며, 이 예에서 데이터 신호의 제 1 신호 진폭은 제 1 진폭 임계치보다 크고, 데이터 신호의 제 2 신호 진폭은 제 1 진폭 임계치보다 낮고 제 2 진폭 임계치보다 크고, 데이터 신호는 제 3 기간 동안 제 3 신호 진폭을 포함하고, 데이터 신호의 제 3 신호 진폭은 제 2 진폭 임계치보다 낮으며, 복조 회로는 데이터 신호의 신호 진폭과 제 1 진폭 임계치, 제 2 진폭 임계치 및 제 3 진폭 임계치 중 적어도 하나의 비교에 기초하여 추가 데이터를 결정하도록 구성된다.

[3329] 제 12 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 복조 회로는 제 1 기간의 길이에 기초하여 및 제 1 기간 동안 데이터 신호의 제 1 신호 진폭에 기초하여 추가 데이터의 적어도 하나의 비트를 결정하도록

구성된다.

[3330] 제 13 예는 한 쌍의 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3331] 장치는 한 쌍의 데이터 신호 중 제 1 데이터 신호를 생성하도록 구성된 처리 회로 - 제 1 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되고,

[3332] 제 1 데이터 신호는 제 1 기간 동안의 제 1 신호 진폭을 포함하고, 한 쌍의 데이터 신호 중 제 2 데이터 신호는 제 1 기간 동안의 제 2 신호 진폭을 포함하고, 처리 회로는 송신될 적어도 하나의 추가 데이터 비트에 기초하여 제 1 신호 진폭 및 제 2 신호 진폭을 선택하도록 구성됨 - ; 및

[3333] 한 쌍의 데이터 신호를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3334] 제 14 예는 제 13 예에 따른 장치이며, 이 예에서 처리 회로는 데이터 통신 프로토콜에 기초하여 한 쌍의 데이터 신호를 생성하도록 구성되고, 송신될 데이터 통신 프로토콜의 데이터 심볼과 연관된 기간의 각각의 시작 및 각각의 종료는 한 쌍의 데이터 신호의 데이터 신호 중 적어도 하나의 데이터 신호에서의 각각의 에지에 대응한다.

[3335] 제 15 예는 제 13 예 또는 제 14 예에 따른 장치이며, 이 예에서 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼은 제 1 데이터 및 적어도 하나의 추가 데이터 비트를 포함한다.

[3336] 제 16 예는 제 13-15 예 중 한 예에 따른 장치이며, 이 예에서 제 1 데이터 신호의 신호 에지 및 제 2 데이터 신호의 신호 에지는 송신될 데이터 심볼과 연관된 기간의 시작 및 종료에 대응한다.

[3337] 제 17 예는 제 13-16 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 제 1 데이터 신호 및 제 2 데이터 신호의 합이 송신될 데이터 통신 프로토콜의 각 데이터 심볼에 대한 신호 에지를 포함하도록 한 쌍의 데이터 신호를 생성하도록 구성된다.

[3338] 제 18 예는 제 13-17 예 중 한 예에 따른 장치이며, 이 예에서 출력 인터페이스는 한 쌍의 데이터 신호 중 제 1 데이터 신호를 한 쌍의 신호 라인 중 제 1 신호 라인에 제공하고 한 쌍의 데이터 신호 중 제 2 데이터 신호를 한 쌍의 신호 라인 중 제 2 신호 라인에 제공하도록 구성된다.

[3339] 제 19 예는 제 18 예에 따른 장치이며, 이 예에서 처리 회로는 장치의 차동 동작 모드에서 한 쌍의 데이터 신호를 차동 신호로서 생성하도록 구성된다.

[3340] 제 20 예는 한 쌍의 데이터 신호를 수신하기 위한 장치이며, 장치는,

[3341] 한 쌍의 데이터 신호에 기초하여 차이 데이터 신호를 생성하도록 구성된 처리 회로 -

[3342] 처리 회로는 차이 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성됨 - ;

[3343] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터, 및 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함하되,

[3344] 복조 회로는 제 1 기간 동안 차이 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 차이 데이터 신호의 제 2 신호 진폭에 기초하여 적어도 하나의 추가 데이터 비트를 결정하도록 구성된다.

[3345] 제 21 예는 제 20 예에 따른 장치이며, 복조 회로는 제 1 신호 진폭 및 제 2 신호 진폭 사이의 차이에 기초하여 적어도 하나의 추가 데이터 비트를 결정하도록 구성된다.

[3346] 제 22 예는 제 20 예 또는 제 21 예에 따른 장치이며, 이 예에서 차이 데이터 신호는 데이터 통신 프로토콜에 기초하며, 데이터 통신 프로토콜에 따라 수신된 제 1 데이터 심볼은 제 1 데이터 및 적어도 하나의 추가 데이터 비트를 포함한다.

[3347] 제 23 예는 제 20-22 예 중 한 예에 따른 장치이며, 이 예에서 한 쌍의 데이터 신호 중 제 1 데이터 신호의 신호 에지 및 한 쌍의 데이터 신호 중 제 2 데이터 신호의 신호 에지는 송신될 데이터 심볼에 대응하는 기간의 시작 및 종료에 대응한다.

[3348] 제 24 예는 제 20-23 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 차이 데이터 신호를 생성하도록 구

성되고, 차이 데이터 신호는 데이터 통신 프로토콜의 각각의 수신된 데이터 심볼에 대한 신호 에지를 포함한다.

[3349] 제 25 예는 제 20-24 예 중 한 예에 따른 장치이며, 이 예에서 복조 회로는 차이 데이터 신호의 신호 진폭의 각각의 변화에 기초하여 장치의 비 차동 동작 모드에서 각각의 수신된 데이터 심볼마다 하나의 추가 데이터 비트를 결정하도록 구성된다.

[3350] 제 26 예는 제 20-25 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 한 쌍의 데이터 신호의 데이터 신호를 합산함으로써 또는 한 쌍의 데이터 신호의 데이터 신호를 서로 감산함으로써 차이 데이터 신호를 생성하도록 구성된다.

[3351] 제 27 예는 제 20-26 예 중 한 예에 따른 장치이며, 이 예에서 한 쌍의 데이터 신호의 데이터 신호는 장치의 차동 동작 모드에서의 차동 신호이다.

[3352] 제 28 예는 데이터 신호를 생성하기 위한 방법이며, 방법은,

[3353] 데이터 신호를 생성하는 단계 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리됨 - ;

[3354] 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 송신될 추가 데이터에 대응하는 제 2 기간 동안 데이터 신호의 제 2 신호 진폭을 변조하는 단계; 및

[3355] 데이터 신호를 출력하는 단계를 포함한다.

[3356] 제 29 예는 데이터 신호를 수신하기 위한 방법이며, 방법은,

[3357] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계;

[3358] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하는 단계;

[3359] 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계; 및

[3360] 제 1 기간 동안 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 데이터 신호의 제 2 신호 진폭에 기초하여 추가 데이터를 결정하는 단계를 포함한다.

[3361] 제 30 예는 한 쌍의 데이터 신호를 생성하기 위한 방법이며, 방법은,

[3362] 한 쌍의 데이터 신호 중 제 1 데이터 신호를 생성하는 단계 - 제 1 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되고,

[3363] 제 1 데이터 신호는 제 1 기간 동안의 제 1 신호 진폭을 포함하고, 한 쌍의 데이터 신호 중 제 2 데이터 신호는 제 1 기간 동안의 제 2 신호 진폭을 포함하고, 제 1 신호 진폭 및 제 2 신호 진폭은 송신될 적어도 하나의 추가 데이터 비트에 기초하여 선택됨 - ; 및

[3364] 한 쌍의 데이터를 출력하는 단계를 포함한다.

[3365] 제 31 예는 한 쌍의 데이터 신호를 수신하기 위한 방법이며, 방법은,

[3366] 한 쌍의 데이터 신호에 기초하여 차이 데이터 신호를 생성하는 단계;

[3367] 차이 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하는 단계;

[3368] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하는 단계;

[3369] 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하는 단계; 및

[3370] 제 1 기간 동안 차이 데이터 신호의 제 1 신호 진폭 및 제 2 기간 동안 차이 데이터 신호의 제 2 신호 진폭에 기초하여 적어도 하나의 추가 데이터 비트를 결정하는 단계를 포함한다.

[3371] 도 31a 내지 도 31g와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3372] 제 1 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3373] 세 개의 송신 라인에 대해 세 개의 데이터 신호의 세트를 생성하도록 구성된 처리 회로

[3374] - 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 1 시간에 제 1 신호 에지를 가지며, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 2 시간에 제 1 신호 에지의 바로 뒤에 오는 제 2 신호 에지를 가지며, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 3 시간에 제 2 신호 에지의 바로 뒤에 오는 제 3 신호 에지를 가지며,

[3375] 제 1 시간과 제 2 시간은 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 시간과 제 3 시간은 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되고,

[3376] 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합은 제 1 기간 동안 차동 신호 레벨을 갖고, 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합은 제 2 기간 동안 차동 신호 레벨을 가지며,

[3377] 제 1 조합으로부터 제 2 조합으로의 전이는 송신될 추가 데이터의 적어도 일부에 대응함 - ; 및

[3378] 세 개의 데이터 신호의 세트를 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3379] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 처리 회로는 데이터 통신 프로토콜에 기초하여 데이터 신호를 생성하도록 구성되며, 데이터 통신 프로토콜에 따라 송신될 제 1 데이터 심볼은 제 1 데이터 및 적어도 1 비트의 추가 데이터를 포함하고, 데이터 통신 프로토콜에 따라 송신될 제 2 데이터 심볼은 제 2 데이터 및 적어도 다른 비트의 추가 데이터를 포함한다.

[3380] 제 3 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 1 비트의 추가 데이터에 관한 정보는 적어도 제 1 조합으로부터 제 2 조합으로의 전이 및 제 2 조합으로부터 후속의 제 3 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 3 조합으로의 전이에 걸쳐 분포된다.

[3381] 제 4 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 세 개의 데이터 신호의 세트 중 제 3 데이터 신호는 제 1 기간 및 제 2 기간 동안 하이 임피던스 상태에 있거나, 또는 세 개의 데이터 신호의 세트 중 다른 두 개의 신호의 차동 신호 레벨과는 상이한 신호 레벨에 있다.

[3382] 제 5 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 세 개의 데이터 신호의 세트 중 하나의 데이터 신호는 3-라인 송신 모드에서 송신 동안 임의의 시간에 하이 임피던스 상태이거나 또는 차동 신호 레벨과는 상이한 신호 레벨에 있으며, 세 개의 데이터 신호의 세트 중 상이한 데이터 신호는 3-라인 송신 모드에서 송신 동안 상이한 기간에서 하이 임피던스 상태에 있거나, 또는 차동 신호 레벨과 상이한 신호 레벨에 있다.

[3383] 제 6 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 출력 인터페이스 회로는 세 개의 송신 라인 각각에 대한 라인 드라이버를 포함하고, 라인 드라이버는 세 개의 송신 라인 각각을 상이한 시간에 개별적으로 하이 임피던스 상태로 설정하도록 구성된다.

[3384] 제 7 예는 제 6 예에 따른 장치이며, 제 7 예에서, 세 개의 송신 라인 중 두 개의 다른 송신 라인이 차동 신호 레벨의 송신을 위해 사용되면, 세 개의 송신 라인 중 하나의 송신 라인의 라인 드라이버는 송신 라인을 하이 임피던스 상태로 설정하도록 구성된다.

[3385] 제 8 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 세 개의 데이터 신호 중 하나의 데이터 신호는 제 1 기간 동안 차동 신호 레벨을 갖고, 제 2 기간 동안 하이 임피던스 상태 또는 차동 신호 레벨과 상이한 신호 레벨을 갖는다.

[3386] 제 9 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는, 3-라인 송신 모드에서의 송신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 두 개의 이어지는 기간 사이의 모든 전이에 의해 2 비트의 추가 데이터가 송신되도록 데이터 신호를 생성하도록 구성된다.

[3387] 제 10 예는 제 1 예 내지 제 8 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 데이터 신호를 생성하도록 구성되고, 9 비트의 추가 데이터가 3-라인 송신 모드에서 송신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 각각의 두 개의 이어지는 기간 사이의 네 개의 전이에 의해 송신된다.

[3388] 제 11 예는 데이터 신호를 수신하기 위한 장치이며,

[3389] 제 1 신호 에지와 제 2 신호 에지의 발생 사이의 제 1 기간의 길이 및 제 2 신호 에지와 제 3 신호 에지의 발생 사이의 제 2 기간의 길이를 결정하도록 구성된 처리 회로 - 제 1 신호 에지는 제 1 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 2 신호 에지는 시간적으로 제 1 신호 에지의 바로 뒤에 오는 제 2 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 3 신호 에지는 제 2 신호 에지의 시간적으로 바로 뒤에 오는 제 3 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고,

[3390] 제 1 시간과 제 2 시간은 제 1 기간에 의해 분리되고 제 2 시간과 제 3 시간은 제 2 기간에 의해 분리됨 - ; 및

[3391] 제 1 기간의 길이에 기초하여 제 1 데이터를 결정하고 제 2 기간의 길이에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함하고,

[3392] 복조 회로는 제 1 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합 및 제 2 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합에 기초하여 추가 데이터를 결정하도록 구성되고, 제 1 조합으로부터 제 2 조합으로의 전이는 추가 데이터의 적어도 일부에 대응한다.

[3393] 제 12 예는 제 11 예에 따른 장치이며, 이 예에서 데이터 신호는 데이터 통신 프로토콜에 기초하고, 데이터 통신 프로토콜에 따라 수신된 제 1 데이터 심볼은 제 1 데이터 및 적어도 1 비트의 추가 데이터를 포함하고, 데이터 통신 프로토콜에 따라 수신된 제 2 데이터 심볼은 제 2 데이터 및 적어도 다른 비트의 추가 데이터를 포함한다.

[3394] 제 13 예는 제 11 예 또는 제 12 예에 따른 장치이며, 이 예에서 1 비트의 추가 데이터에 대한 정보는 후속의 제 3 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 적어도 제 1 조합으로부터 제 2 조합으로의 전이 및 제 2 조합으로부터 제 3 조합으로의 전이에 걸쳐 분포된다.

[3395] 제 14 예는 제 11 예 내지 제 13 예 중 한 예에 따른 장치이며, 이 예에서 세 개의 차동 증폭기를 더 포함하고, 세 개의 차동 증폭기의 각각의 차동 증폭기는 세 개의 데이터 신호 중 두 개의 데이터 신호의 상이한 조합을 입력 신호로서 수신하고 각각의 두 개의 데이터 신호에 기초하여 증폭기 출력 신호를 출력하도록 구성된다.

[3396] 제 15 예는 제 14 예에 따른 장치이며, 이 예에서 복조 회로는 세 개의 차동 증폭기의 증폭기 출력 신호에 기초하여 추가 데이터를 결정하도록 구성된다.

[3397] 제 16 예는 제 11 예 내지 제 15 예 중 한 예에 따른 장치이며, 이 예에서 세 개의 데이터 신호의 세트 중 제 3 데이터 신호는 제 1 기간 및 제 2 기간 동안 하이 임피던스 상태에 있거나, 또는 세 개의 데이터 신호의 세트 중 다른 두 개의 신호의 차동 신호 레벨과 상이한 신호 레벨에 있다.

[3398] 제 17 예는 제 11 예 내지 제 16 예 중 한 예에 따른 장치이며, 이 예에서 복조 회로는 3-라인 송신 모드에서 수신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 두 개의 이어지는 기간 사이의 전이에 기초하여 각각 2 비트의 추가 데이터를 결정하도록 구성된다.

[3399] 제 18 예는 제 11 예 내지 제 16 예 중 한 예에 따른 장치이며, 이 예에서 복조 회로는 3-라인 송신 모드에서 수신 동안 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 신호 에지에 의해 분리된 각각의 두 개의 이어지는 기간 사이의 네 개의 전이에 기초하여 9 비트의 추가 데이터를 결정하도록 구성된다.

[3400] 제 19 예는 데이터 신호를 생성하는 방법이며, 본 방법은,

[3401] 세 개의 송신 라인에 대해 세 개의 데이터 신호 세트를 생성하는 단계

[3402] - 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 1 시간에 제 1 신호 에지를 갖고, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 2 시간에 제 1 신호 에지의 바로 뒤에 오는 제 2 신호 에지를 가지며, 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호는 제 3 시간에 제 2 신호 에지의 바로 뒤에 오는 제 3 신호 에지를 가지며,

[3403] 제 1 시간과 제 2 시간은 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 시간과 제 3 시간은 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리되고,

[3404] 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합은 제 1 기간 동안 차동 신호 레벨을 갖고, 세

개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합은 제 2 기간 동안 차동 신호 레벨을 가지며,

[3405] 제 1 조합으로부터 제 2 조합으로의 전이는 송신될 추가 데이터의 적어도 일부에 대응함 -; 및

[3406] 세 개의 데이터 신호의 세트를 출력하는 단계를 포함한다.

[3407] 제 20 예는 데이터 신호를 수신하는 방법이며, 방법은,

[3408] 제 1 신호 에지와 제 2 신호 에지의 발생 사이의 제 1 기간의 길이 및 제 2 신호 에지와 제 3 신호 에지의 발생 사이의 제 2 기간의 길이를 결정하는 단계 - 제 1 신호 에지는 제 1 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 2 신호 에지는 시간적으로 제 1 신호 에지의 바로 뒤에 오는 제 2 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고, 제 3 신호 에지는 시간적으로 제 2 신호 에지의 바로 뒤에 오는 제 3 시간에 세 개의 데이터 신호의 세트 중 적어도 두 개의 데이터 신호 내에서 발생하고,

[3409] 제 1 시간과 제 2 시간은 제 1 기간에 의해 분리되고 제 2 시간과 제 3 시간은 제 2 기간에 의해 분리됨 -;

[3410] 제 1 기간의 길이에 기초하여 제 1 데이터를 결정하는 단계;

[3411] 제 2 기간의 길이에 기초하여 제 2 데이터를 결정하는 단계; 및

[3412] 제 1 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 제 1 조합 및 제 2 기간 동안 차동 신호 레벨을 갖는 세 개의 데이터 신호의 세트 중 두 개의 데이터 신호의 상이한 제 2 조합에 기초하여 추가 데이터를 결정하는 단계를 포함하고, 제 1 조합으로부터 제 2 조합으로의 전이는 추가 데이터의 적어도 일부에 대응한다.

[3413] 도 32a 내지 도 32k와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3414] 제 1 예는 출력 데이터를 생성하기 위한 장치이다. 장치는 통신 프로토콜에 따라 생성된 입력 데이터 신호를 수신하도록 구성된 입력 인터페이스를 포함하고, 입력 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 장치는 입력 데이터 신호에 기초하여 제 1 데이터 심볼 및 제 2 심볼을 표시하는 출력 데이터를 생성하도록 구성된 시간-디지털 변환기를 더 포함한다. 시간-디지털 변환기의 분해능은 통신 프로토콜의 모든 데이터 심볼의 최소 심볼 분리 시간의 30 %를 초과한다.

[3415] 제 2 예는 제 1 예의 장치이며, 이 예에서 입력 데이터 신호는 디지털 신호이다.

[3416] 제 3 예는 제 1 예 또는 제 2 예의 장치이며, 이 예에서 시간-디지털 변환기의 분해능은 최소 심볼 분리 시간의 70 %를 초과한다.

[3417] 제 4 예는 제 1 예 내지 제 3 예 중 어느 하나의 장치이며, 이 예에서 시간-디지털 변환기는 직렬로 연결된 복수의 지연 회로를 갖는 지연 라인을 포함한다.

[3418] 제 5 예는 제 4 예의 장치이며, 이 예에서 복수의 지연 회로 중 적어도 하나의 지연 회로는 조정 가능한 신호 지연을 갖는 가변 지연 회로이다.

[3419] 제 6 예는 제 4 예 또는 제 5 예의 장치이며, 이 예에서 복수의 신호 캡처 회로의 각각의 신호 캡처 회로는 복수의 지연 회로 중 매번 두 개의 연속적인 지연 회로 사이의 각각의 탭 노드에 연결된다. 시간-디지털 변환기는 입력 데이터 신호를 지연 라인에 제공하도록 구성되고 복수의 신호 캡처 회로는 트리거 신호에 의해 트리거될 때 복수의 지연 회로의 지연 회로 사이의 탭 노드에서 발생하는 입력 데이터 신호의 신호 값을 캡처하도록 구성된다.

[3420] 제 7 예는 제 6 예의 장치이며, 이 예에서 트리거 신호는 입력 데이터 신호 또는 입력 데이터 신호의 지연된 버전이다.

[3421] 제 8 예는 제 6 예 또는 제 7 예의 장치이며, 이 예에서 복수의 신호 캡처 회로의 각각의 신호 캡처 회로는 각각의 탭 노드에서 발생하는 입력 데이터 신호의 신호 값을 캡처하도록 구성된 적어도 하나의 D-플립 플롭 회로를 포함한다.

[3422] 제 9 예는 제 6 예 내지 제 8 예 중 어느 하나의 장치이며, 이 예에서 복수의 신호 캡처 회로의 각각의 신호 캡처 회로는 트리거 신호에 의해 트리거되는 제 1 플립 플롭 회로 및 트리거 신호의 역 버전에 의해 트리거되는 제 2 플립 플롭 회로를 포함한다.

[3423] 제 10 예는 제 9 예의 장치이며, 이 예에서 시간-디지털 변환기는 복수의 신호 캡처 회로의 제 1 플립 플롭 회로에 의해 캡처된 입력 데이터 신호의 신호 값에 기초하여 제 1 데이터 심볼을 표시하는 데이터를 출력하도록 구성되고 복수의 신호 캡처 회로의 제 2 플립 플롭 회로에 의해 캡처된 입력 데이터 신호의 신호 값에 기초하여 제 2 데이터 심볼을 표시하는 데이터를 출력하도록 구성된다.

[3424] 제 11 예는 제 6 예 내지 제 10 예 중 어느 하나의 장치이며, 이 예에서 지연 라인 내의 탭 노드의 수는 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수의 3 배 미만이다.

[3425] 제 12 예는 제 6 예 내지 제 11 예 중 어느 하나의 장치이며, 이 예에서 지연 라인 내의 탭 노드의 수는 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수의 1 배 또는 2 배와 동일하다.

[3426] 제 13 예는 제 4 예 내지 제 12 예 중 어느 하나의 장치이며, 이 예에서 지연 라인 내의 지연 회로의 수는 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수의 3 배 미만이다.

[3427] 제 14 예는 제 1 예 내지 제 13 예 중 어느 하나의 장치이며, 이 예에서 교정 모드에서 시간-디지털 변환기의 지연 라인의 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성된 교정 모듈을 더 포함한다.

[3428] 제 15 예는 제 14 예의 장치이며, 이 예에서 입력 인터페이스는 상이한 데이터 심볼의 알려진 시퀀스를 포함하는 (외부 송신기로부터의) 교정 데이터 신호를 수신하도록 구성된다. 시간-디지털 변환기는 교정 데이터 신호에 기초하여 교정 출력 데이터 심볼의 시퀀스를 표시하는 출력 데이터를 생성하도록 구성되고, 교정 모듈은 알려진 시퀀스의 데이터 심볼과 교정 출력 데이터 심볼의 비교에 기초하여 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성된다.

[3429] 제 16 예는 제 15 예의 장치이며, 이 예에서 상이한 데이터 심볼의 알려진 시퀀스는 통신 프로토콜의 동일한 수의 각각의 가능한 페이로드 데이터 심볼을 포함한다.

[3430] 제 17 예는 제 14 예의 장치이며, 이 예에서 시간-디지털 변환기는 직렬로 연결된 복수의 지연 회로를 갖는 지연 라인을 포함한다. 복수의 신호 캡처 회로의 각각의 신호 캡처 회로는 복수의 지연 회로의 매 두 개의 연속적인 지연 회로 사이의 각각의 탭 노드에 연결된다. 시간-디지털 변환기는 입력 데이터 신호를 지연 라인에 제공하도록 구성되고 복수의 신호 캡처 회로는 트리거 신호에 의해 트리거될 때 복수의 지연 회로의 지연 회로 사이의 탭 노드에서 발생하는 입력 데이터 신호의 신호 값을 캡처하도록 구성된다. 장치는 교정 모드에서 제 1 주파수를 갖는 제 1 클럭 신호를 지연 라인에 제공하도록 구성되며, 트리거 신호는 교정 모드에서 제 2 주파수를 갖는 제 2 클럭 신호이다. 제 1 주파수는 제 2 주파수의 비정수의 배수이거나 또는 제 2 주파수는 제 1 주파수의 비정수의 배수이다.

[3431] 제 18 예는 제 17 예의 장치이며, 이 예에서 교정 모듈은 시간-디지털 변환기에 의해 출력된 데이터 심볼의 통계적 분포를 획득하기 위해 통신 프로토콜의 각각의 가능한 페이로드 데이터 심볼에 대한 출력 이벤트의 수를 카운트하도록 구성된다.

[3432] 제 19 예는 제 18 예의 장치이며, 이 예에서 교정 모듈은 시간-디지털 변환기에 의해 출력된 데이터 심볼의 통계적 분포에 기초하여 시간-디지털 변환기의 지연 라인의 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성된다.

[3433] 제 20 예는 제 18 예 또는 제 19 예의 장치이며, 이 예에서 교정 모듈은 시간-디지털 변환기에 의해 출력된 데이터 심볼의 통계적 분포를 획득하기 위해 시간-디지털 변환기가 통신 프로토콜의 상이한 페이로드 데이터 심볼의 수를 적어도 5 배 출력할 때까지 교정 모드에서 카운트하도록 구성된다.

[3434] 제 21 예는 제 17 예 내지 제 20 예 중 어느 하나의 장치이며, 이 예에서 제 1 클럭 신호와 제 2 클럭 신호 중 적어도 하나를 생성하도록 구성된 클럭 신호 생성기 회로를 더 포함한다.

[3435] 제 22 예는 제 17 예 내지 제 21 예 중 어느 하나의 장치이며, 이 예에서 교정 모듈은 신호 캡처 회로에 의해 입력 데이터 신호의 신호 값을 캡처하는 시간에, 입력 데이터 신호의 에지가 최후의 탭 노드를 통과한 이후 최소 심볼 분리 시간의 절반을 전파하도록 시간-디지털 변환기의 지연 라인의 적어도 하나의 지연 회로의 가변 지연을 조정하도록 구성된다.

[3436] 제 23 예는 제 1 예 내지 제 22 예 중 어느 하나의 장치이며, 이 예에서 시간-디지털 변환기의 분해능은 최소 심볼 분리 시간의 2 배 미만이다.

[3437] 제 24 예는 제 1 예 내지 제 23 예 중 어느 하나의 장치이며, 이 예에서 시간-디지털 변환기의 분해능은 5ps를 초과한다.

[3438] 제 25 예는 제 1 예 내지 제 24 예 중 어느 하나의 장치이며, 이 예에서 시간-디지털 변환기의 분해능은 30ps 미만이다.

[3439] 제 26 예는 제 1 예 내지 제 25 예 중 어느 한 예에 따른 출력 데이터를 생성하기 위한 장치를 포함하는 수신기 회로이다.

[3440] 제 27 예는 제 1 예 내지 제 25 예 중 어느 한 예에 따른 출력 데이터를 생성하기 위한 장치를 포함하는 송수신기 회로이다.

[3441] 제 28 예는 출력 데이터를 생성하는 방법이며, 방법은 통신 프로토콜에 따라 생성된 입력 데이터 신호를 수신하는 단계를 포함하고, 입력 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은 시간-디지털 변환기에 의해 입력 데이터 신호에 기초하여 제 1 데이터 심볼 및 제 2 심볼을 표시하는 출력 데이터를 생성하는 단계를 포함한다. 시간-디지털 변환기의 분해능은 통신 프로토콜의 모든 데이터 심볼의 최소 심볼 분리 시간의 30 %를 초과한다.

[3442] 제 29 예는 실행될 때 머신으로 하여금 출력 데이터를 생성하는 방법을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체이며, 방법은 통신 프로토콜에 따라 생성된 입력 데이터 신호를 수신하는 단계를 포함하고, 입력 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다. 또한, 방법은 시간-디지털 변환기에 의해 입력 데이터 신호에 기초하여 제 1 데이터 심볼 및 제 2 심볼을 표시하는 출력 데이터를 생성하는 단계를 포함한다. 시간-디지털 변환기의 분해능은 통신 프로토콜의 모든 데이터 심볼의 최소 심볼 분리 시간의 30 %를 초과한다.

[3443] 도 33a 내지 도 33g와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3444] 제 1 예는 출력 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3445] 제 1 DTC 입력 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하도록 구성된 제 1 디지털-시간 변환기 회로;

[3446] 제 2 DTC 입력 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하도록 구성된 제 2 디지털-시간 변환기 회로; 및

[3447] 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 조합된 출력 데이터 신호를 생성하도록 구성된 XOR 또는 XNOR 회로를 포함한다.

[3448] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 조합된 출력 데이터 신호는 디지털 신호이다.

[3449] 제 3 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 제 1 변환된 데이터 신호의 최소 펄스 폭은 결합된 출력 데이터 신호의 최소 펄스 폭의 2 배이고, 제 2 변환 데이터의 최소 펄스 폭 신호는 결합된 출력 데이터 신호의 최소 펄스 폭의 2 배와 동일하다.

[3450] 제 4 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 제 1 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 DTC 입력 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 DTC 입력 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3451] 제 5 예는 제 4 예에 따른 장치이며, 이 예에서 제 2 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에

지는 제 2 DTC 입력 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 DTC 입력 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3452] 제 6 예는 제 5 예에 따른 장치이며, 이 예에서 제 1 DTC 입력 데이터 신호의 제 1 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 1 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 1 데이터 심볼에 기초하고, 제 2 DTC 입력 데이터 신호의 제 1 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 2 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 1 데이터 심볼에 기초한다.

[3453] 제 7 예는 제 6 예에 따른 장치이며, 이 예에서 제 1 DTC 입력 데이터 신호의 제 2 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 2 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 2 심볼에 기초하고, 제 2 DTC 입력 데이터 신호의 제 2 결합된 데이터 심볼은 송신될 제 1 입력 데이터 스트림의 제 3 데이터 심볼 및 송신될 제 2 입력 데이터 스트림의 제 2 심볼에 기초한다.

[3454] 제 8 예는 이전 예 중 한 예에 따른 장치를 포함하는 송신기 회로이다.

[3455] 제 9 예는 이전 예 중 한 예에 따른 장치를 포함하는 송수신기 회로이다.

[3456] 제 10 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3457] 입력 데이터 신호에 기초하여 제 1 분할된 데이터 신호를 생성하도록 구성된 분할기 회로 - 분할기 회로는 입력 데이터 신호에 기초하여 제 2 분할된 데이터 신호를 생성하도록 구성됨 -;

[3458] 제 1 분할된 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하도록 구성된 제 1 시간-디지털 변환기 회로; 및

[3459] 제 2 분할된 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하도록 구성된 제 2 디지털 시간 변환 회로를 포함한다.

[3460] 제 11 예는 제 10 예에 따른 장치이며, 이 예에서 분할기 회로는 제 1 분할된 데이터 신호의 평균 주파수가 입력 데이터 신호의 평균 주파수의 절반이 되고 제 2 분할된 데이터 신호의 평균 주파수가 입력 데이터 신호의 평균 주파수의 절반이 되도록, 제 1 분할된 데이터 신호 및 제 2 분할된 데이터 신호를 생성하도록 구성된다.

[3461] 제 12 예는 제 10 예 또는 제 11 예에 따른 장치이며, 이 예에서 분할기 회로는 제 1 분할된 데이터 신호가 입력 데이터 신호의 제 1 타입의 모든 신호 에지에 대한 신호 에지를 포함하고 제 2 분할된 데이터 신호가 입력 데이터 신호의 제 2 타입의 모든 신호 에지에 대한 신호 에지를 포함하도록, 제 1 분할된 데이터 신호 및 제 2 분할된 데이터 신호를 생성하도록 구성된다.

[3462] 제 13 예는 제 10 예 내지 제 12 예 중 한 예에 따른 장치이며, 이 예에서 입력 데이터 신호는 디지털 신호이다.

[3463] 제 14 예는 제 10 예 내지 제 13 예 중 한 예에 따른 장치이며, 이 예에서 제 1 분할된 데이터 신호의 최소 펄스 폭은 입력 데이터 신호의 최소 펄스 폭의 2 배와 동일하고, 제 2 분할된 데이터 신호의 최소 펄스 폭은 입력 데이터 신호의 최소 펄스 폭의 2배와 동일하다.

[3464] 제 15 예는 제 10 예 내지 제 14 예 중 한 예에 따른 장치이며, 이 예에서 제 1 분할된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 분할된 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 분할된 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3465] 제 16 예는 제 15 예에 따른 장치이며, 이 예에서 제 2 분할된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 2 분할된 데이터 신호에 의해 포함된 제 1 결합된 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 분할된 데이터 신호에 의해 포함된 제 2 결합된 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3466] 제 17 예는 제 16 예에 따른 장치이며, 이 예에서 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 제 1 출력 데이터 스트림의 데이터를 결정하도록 구성된 처리 회로를 더 포함하고, 처리 회로는 제 1 변환

된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 제 2 출력 데이터 스트림의 데이터를 결정하도록 구성된다.

[3467] 제 18 예는 제 17 예에 따른 장치이며, 이 예에서 제 1 출력 데이터 스트림의 제 1 데이터 심볼은 제 1 분할된 데이터 신호의 제 1 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 1 결합된 데이터 심볼에 기초하고, 제 2 출력 데이터 스트림의 제 1 데이터 심볼은 제 1 분할된 데이터 신호의 제 2 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 1 결합된 데이터 심볼에 기초한다.

[3468] 제 19 예는 제 18 예에 따른 장치이며, 이 예에서 제 1 출력 데이터 스트림의 제 2 데이터 심볼은 제 1 분할된 데이터 신호의 제 2 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 2 결합된 데이터 심볼에 기초하고, 제 2 출력 데이터 스트림의 제 2 데이터 심볼은 제 1 분할된 데이터 신호의 제 3 결합된 데이터 심볼 및 제 2 분할된 데이터 신호의 제 2 조합 심볼에 기초한다.

[3469] 제 20 예는 제 10 예 내지 제 19 예 중 한 예에 따른 장치를 포함하는 수신기 회로이다.

[3470] 제 21 예는 제 10 예 내지 제 20 예 중 한 예에 따른 장치를 포함하는 송수신기 회로이다.

[3471] 제 22 예는 출력 데이터를 생성하는 방법이며, 방법은,

[3472] 제 1 디지털-시간 변환기 회로에 의해 제 1 DTC 입력 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하는 단계;

[3473] 제 2 디지털-시간 변환기 회로에 의해 제 2 DTC 입력 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하는 단계; 및

[3474] XOR 또는 XNOR 회로에 의해 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 결합된 출력 데이터 신호를 생성하는 단계를 포함한다.

[3475] 제 23 예는 출력 데이터를 생성하는 방법이며, 방법은,

[3476] 입력 데이터 신호에 기초하여 제 1 분할된 데이터 신호를 생성하는 단계;

[3477] 입력 데이터 신호에 기초하여 제 2 분할된 데이터 신호를 생성하는 단계;

[3478] 제 1 시간-디지털 변환기 회로에 의해 제 1 분할된 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하는 단계; 및

[3479] 제 2 시간-디지털 변환기 회로에 의해 제 2 분할된 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하는 단계를 포함한다.

[3480] 제 24 예는 실행될 때, 머신으로 하여금 출력 데이터를 생성하기 위한 방법을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체이며, 방법은,

[3481] 제 1 디지털-시간 변환기 회로에 의해 제 1 DTC 입력 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하는 단계;

[3482] 제 2 디지털-시간 변환기 회로에 의해 제 2 DTC 입력 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하는 단계; 및

[3483] XOR 또는 XNOR 회로에 의해 제 1 변환된 데이터 신호 및 제 2 변환된 데이터 신호에 기초하여 결합된 출력 데이터 신호를 생성하는 단계를 포함한다.

[3484] 제 25 예는 실행될 때, 머신으로 하여금 출력 데이터를 생성하기 위한 방법을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체이며, 방법은,

[3485] 입력 데이터 신호에 기초하여 제 1 분할된 데이터 신호를 생성하는 단계;

[3486] 입력 데이터 신호에 기초하여 제 2 분할된 데이터 신호를 생성하는 단계;

[3487] 제 1 시간-디지털 변환기 회로에 의해 제 1 분할된 데이터 신호에 기초하여 제 1 변환된 데이터 신호를 생성하는 단계; 및

[3488] 제 2 시간-디지털 변환기 회로에 의해 제 2 분할된 데이터 신호에 기초하여 제 2 변환된 데이터 신호를 생성하

는 단계를 포함한다.

[3489] 도 34a 내지 도 34g와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3490] 제 1 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3491] 송신 데이터 신호를 생성하도록 구성되는 처리 회로 - 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 -;

[3492] 양방향 레인을 통해 송신 데이터 신호에 기초하여 데이터를 송신하도록 구성된 입력/출력 인터페이스 - 입력/출력 인터페이스는 양방향 레인을 통해 수신 데이터 신호를 수신하도록 구성됨 - 를 포함하고,

[3493] 처리 회로는 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하도록 구성된다.

[3494] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 처리 회로는 입력 데이터 신호에 기초하여 송신 데이터 신호를 생성하도록 구성된 디지털-시간 변환기 회로를 포함한다.

[3495] 제 3 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 장치의 송신 모드에서 제 1 데이터 레이트로 송신 데이터 신호를 생성하도록 구성되고, 장치는 송신 모드에서 제 2 데이터 레이트로 수신 데이터 신호를 수신하도록 구성되고, 제 1 데이터 레이트는 제 2 데이터 레이트보다 높다.

[3496] 제 4 예는 제 3 예에 따른 장치이며, 이 예에서 제 1 데이터 레이트는 제 2 데이터 레이트의 10 배를 초과한다.

[3497] 제 5 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 장치의 수신 모드에서 제 1 데이터 레이트로 송신 데이터 신호를 생성하도록 구성되고, 장치는 수신 모드에서 제 2 데이터 레이트로 수신 데이터 신호를 수신하도록 구성되고, 제 1 데이터 레이트는 제 2 데이터 레이트보다 낮다.

[3498] 제 6 예는 제 5 예에 따른 장치이며, 이 예에서 제 1 데이터 레이트는 제 2 데이터 레이트의 10 % 미만이다.

[3499] 제 7 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 장치는 송신 시간 간격 동안 데이터를 송신하고 수신 시간 간격 동안 수신 데이터 신호를 수신하도록 구성되며, 송신 시간 간격과 수신 시간 간격은 겹치지 않는다.

[3500] 제 8 예는 제 7 예에 따른 장치이며, 이 예에서 송신 시간 간격은 장치의 송신 모드에서 수신 시간 간격보다 길고, 송신 시간 간격은 장치의 수신 모드에서 수신 시간 간격보다 짧다.

[3501] 제 9 예는 제 7 예 또는 제 8 예에 따른 장치이며, 이 예에서 송신 시간 간격의 길이는 송신 시간 간격과 수신 시간 간격 중 더 긴 시간 간격의 90 %의 초과만큼 수신 시간 간격의 길이와 상이하다.

[3502] 제 10 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하도록 구성된 시간-디지털 변환기 회로를 포함한다.

[3503] 제 11 예는 제 10 예에 따른 장치이며, 이 예에서 수신 데이터 신호에 기초한 TDC 입력 데이터 신호는 출력 데이터 신호를 생성하기 위해 시간-디지털 변환기 회로에 제공되며, TDC 입력 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 TDC 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 TDC 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3504] 제 12 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 송신 데이터 신호에 기초하여 캐리어 신호의 변조에 기초한 상향 변환된 송신 데이터 신호를 생성하도록 구성된 업 컨버팅 회로를 포함하고, 입력/출력 인터페이스는 양방향 레인을 통해 상향 변환된 송신 데이터 신호에 기초한 데이터를 송신하도록 구성된다.

[3505] 제 13 예는 제 12 예에 따른 장치이며, 이 예에서 처리 회로는 장치의 송신 모드에서 송신을 위해 입력/출력 인터페이스에 송신 데이터 신호를 제공하도록 구성되고, 처리 회로는 상향 변환된 송신 데이터 신호를 생성하고 장치의 수신 모드에서 송신을 위해 입력/출력 인터페이스에 상향 변환된 송신 데이터 신호를 제공하도록 구성된다.

[3506] 제 14 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 처리 회로는 수신 데이터 신호 및 발진기 신호에 기

초하여 하향 변환된 수신 데이터 신호를 생성하도록 구성된 하향 변환 회로를 포함한다.

[3507] 제 15 예는 제 14 예에 따른 장치이며, 이 예에서 처리 회로는 장치의 수신 모드에서 수신 데이터 신호 또는 수신 데이터 신호의 필터링된 버전을 TDC 입력 데이터 신호로서 시간-디지털 변환기 회로에 제공하도록 구성되고, 처리 회로는 장치의 송신 모드에서 하향 변환된 수신 데이터 신호를 TDC 입력 데이터 신호로서 시간-디지털 변환기 회로에 제공하도록 구성된다.

[3508] 제 16 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 입력/출력 인터페이스는 장치의 수신 모드에서 저역 통과 필터링된 수신 데이터 신호를 획득하기 위해 수신 데이터 신호를 필터링하도록 구성된 저역 통과 필터 유닛을 포함한다.

[3509] 제 17 예는 이전 예 중 한 예에 따른 장치로서, 이 예에서 입력/출력 인터페이스는 장치의 송신 모드에서 고역 통과 또는 대역 통과 필터링된 수신 데이터를 획득하기 위해 수신 데이터 신호를 필터링하도록 구성된 고역 통과 또는 대역 통과 필터 유닛을 포함한다.

[3510] 제 18 예는 제 17 예에 따른 장치이며, 이 예에서 양방향 레인은 단일 종단 연결 또는 차동 연결의 한 쌍의 레인 중 하나의 레인이다.

[3511] 제 19 예는 이전 예 중 한 예에 따른 장치를 포함하는 송수신기 회로이다.

[3512] 제 20 예는 출력 데이터를 생성하는 방법이며, 방법은,

[3513] 송신 데이터 신호를 생성하는 단계 - 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 -;

[3514] 양방향 레인을 통해 송신 데이터 신호에 기초한 데이터를 송신하는 단계;

[3515] 양방향 레인을 통해 수신 데이터 신호를 수신하는 단계; 및

[3516] 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하는 단계를 포함한다.

[3517] 제 21 예는 실행될 때, 머신으로 하여금 출력 데이터를 생성하기 위한 방법을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체이며, 방법은,

[3518] 송신 데이터 신호를 생성하는 단계 - 송신 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 -;

[3519] 양방향 레인을 통해 송신 데이터 신호에 기초한 데이터를 송신하는 단계;

[3520] 양방향 레인을 통해 수신 데이터 신호를 수신하는 단계; 및

[3521] 수신 데이터 신호에 기초하여 출력 데이터 신호를 생성하는 단계를 포함한다.

[3522] 도 35a 내지 도 35h와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3523] 제 1 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3524] 입력 데이터 신호에 기초하여 DTC 데이터 신호를 생성하도록 구성된 디지털-시간 변환기 회로

[3525] - DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간 간격에 의해 분리됨 - ; 및

[3526] DTC 데이터 신호에 기초하여 캐리어 신호의 변조에 기초한 상향 변환된 데이터 신호를 생성하도록 구성된 상향 변환 회로를 포함한다.

[3527] 제 2 예는 제 1 예에 따른 장치이며, 이 예에서 DTC 데이터 신호는 디지털 신호이다.

[3528] 제 3 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 캐리어 신호는 10 GHz를 초과하는 주파수를 갖는다.

[3529] 제 4 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 상향 변환 회로는 캐리어 신호와 DTC 데이터 신호를 혼합하도록 구성된 믹서 회로를 포함한다.

[3530] 제 5 예는 이전 예 중 한 예에 따른 장치이며, 이 예에서 제 2 입력 데이터 신호에 기초하여 제 2 DTC 데이터 신호를 생성하도록 구성된 제 2 디지털-시간 변환기 회로를 더 포함하고, 장치는 상향 변환된 데이터 신호와 제 2 DTC 데이터 신호의 결합에 기초하여 출력 데이터 신호를 제공하도록 구성된다.

[3531] 제 6 예는 제 5 예에 따른 장치이며, 이 예에서 제 2 DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 2 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3532] 제 7 예는 제 5 예 및 제 6 예 중 한 예에 따른 장치이며, 이 예에서 제 2 DTC 데이터 신호의 최대 주파수는 30 GHz 미만이.

[3533] 제 8 예는 제 5 예 내지 제 7 예 중 한 예에 따른 장치이며, 이 예에서 상향 변환된 데이터 신호에 의해 사용되는 주파수 범위는 제 2 DTC 데이터 신호에 의해 사용되는 주파수 범위보다 높은 주파수에 위치된다.

[3534] 제 9 예는 제 5 예 내지 제 8 예 중 한 예에 따른 장치이며, 이 예에서 장치는 입력 데이터 신호에 의해 포함된 데이터 및 제 2 입력 데이터 신호에 의해 포함된 데이터를 동일한 레인을 통해 송신하도록 구성된다.

[3535] 제 10 예는 이전 예 중 한 예에 따른 장치이며, 장치는,

[3536] 추가 입력 데이터 신호에 기초하여 추가 DTC 데이터 신호를 생성하도록 구성된 추가 디지털-시간 변환기 회로

[3537] - 추가 DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 상기 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 추가 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 추가 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 -; 및

[3538] 추가 DTC 데이터 신호에 기초한 추가 캐리어 신호의 변조에 기초하여 추가 상향 변환된 데이터 신호를 생성하도록 구성된 추가 상향 변환 회로 - 캐리어 신호 및 추가 캐리어 신호는 직교 캐리어 신호임 -를 더 포함한다.

[3539] 제 11 예는 제 10 예에 따른 장치이며, 이 예에서 장치는 상향 변환된 데이터 신호와 추가의 상향 변환된 데이터 신호의 결합에 기초하여 출력 데이터 신호를 제공하도록 구성된다.

[3540] 제 12 예는 제 10 예 또는 제 11 예에 따른 장치이며, 이 예에서 상향 변환된 데이터 신호에 의해 사용되는 주파수 범위의 적어도 일부는 추가의 상향 변환된 데이터 신호에 의해 사용되는 주파수 범위의 적어도 일부와 동일한 주파수에 위치된다.

[3541] 제 13 예는 제 10 예, 제 11 예 또는 제 12 예에 따른 장치이며, 이 예에서 장치는 입력 데이터 신호에 의해 포함된 데이터 및 추가 입력 데이터 신호에 의해 포함된 데이터를 동일한 레인을 통해 송신하도록 구성된다.

[3542] 제 14 예는 이전 예 중 한 예에 따른 장치를 포함하는 송신기 회로이다.

[3543] 제 15 예는 이전 예 중 한 예에 따른 장치를 포함하는 송수신기 회로이다.

[3544] 제 16 예는 데이터 신호를 생성하기 위한 장치이며, 장치는,

[3545] 입력 데이터 신호 및 발진기 신호에 기초하여 하향 변환된 데이터 신호를 생성하도록 구성된 하향 변환 회로;

[3546] 하향 변환된 데이터 신호에 기초하여 TDC 데이터 신호를 생성하도록 구성된 시간-디지털 변환기 회로를 포함하고,

[3547] 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3548] 제 17 예는 제 16 예에 따른 장치이며, 이 예에서 발진기 신호는 10 GHz를 초과하는 큰 주파수를 포함한다.

[3549] 제 18 예는 제 16 예 또는 제 17 예에 따른 장치이며, 이 예에서 하향 변환 회로는 발진기 신호와 입력 데이터 신호를 혼합하도록 구성된 믹서 회로를 포함한다.

[3550] 제 19 예는 제 16 예 내지 제 18 예 중 한 예에 따른 장치이며, 이 예에서 필터링된 입력 데이터 신호를 획득하기 위해 입력 데이터 신호를 필터링하도록 구성된 고역 통과 또는 대역 통과 필터 유닛을 더 포함하고, 하향 변환 회로는 필터링된 입력 데이터 신호 및 발진기 신호에 기초하여 하향 변환된 데이터 신호를 생성하도록 구성된다.

[3551] 제 20 예는 제 19 예에 따른 장치이며, 이 예에서 고역 통과 또는 대역 통과 필터 유닛의 하위 컷오프 주파수는 10 GHz를 초과한다.

[3552] 제 21 예는 제 16 예 내지 제 20 예 중 한 예에 따른 장치이며, 이 예에서 입력 데이터 신호에 기초하여 제 2 TDC 데이터 신호를 생성하도록 구성된 제 2 시간-디지털 변환기 회로를 포함한다.

[3553] 제 22 예는 제 21 예에 따른 장치이며, 저역 통과 필터링된 입력 데이터 신호를 획득하기 위해 입력 데이터 신호를 필터링하도록 구성된 저역 통과 필터 유닛을 더 포함하고, 제 2 시간-디지털 변환기 회로는 저역 통과 필터링된 입력 데이터 신호의 시간-디지털 변환에 기초하여 제 2 TDC 데이터 신호를 생성하도록 구성된다.

[3554] 제 23 예는 제 22 예에 따른 장치이며, 이 예에서 저역 통과 필터 유닛의 상위 컷오프 주파수는 30 GHz를 초과한다.

[3555] 제 24 예는 제 22 예 또는 제 23 예에 따른 장치이며, 이 예에서 저역 통과 필터링된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 저역 통과 필터링된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 저역 통과 필터링된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3556] 제 25 예는 제 22 예 내지 제 24 예 중 한 예에 따른 장치이며,

[3557] 입력 데이터 신호 및 추가 발진기 신호에 기초하여 추가의 하향 변환된 데이터 신호를 생성하도록 구성된 추가 하향 변환 회로;

[3558] 추가 하향 변환된 데이터 신호에 기초하여 추가 TDC 데이터 신호를 생성하도록 구성된 추가 시간-디지털 변환기 회로를 더 포함하고,

[3559] 추가 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 추가 하향 변환된 데이터 신호에 에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 추가 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리되고, 발진기 신호와 추가 발진기 신호는 직교 발진기 신호이다.

[3560] 제 26 예는 제 16 예 내지 제 25 예 중 한 예에 따른 장치를 포함하는 수신기 회로이다.

[3561] 제 27 예는 제 16 예 내지 제 26 예 중 한 예에 따른 장치를 포함하는 송수신기 회로이다.

[3562] 제 28 예는 출력 데이터를 생성하기 위한 방법이며, 방법은,

[3563] 디지털-시간 변환기 회로에 의해 입력 데이터 신호에 기초하여 DTC 데이터 신호를 생성하는 단계 - DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[3564] DTC 데이터 신호에 기초하여 캐리어 신호의 변조에 기초하여 상향 변환된 데이터 신호를 생성하는 단계를 포함한다.

[3565] 제 29 예는 출력 데이터를 생성하는 방법이며, 방법은,

[3566] 입력 데이터 신호 및 발진기 신호에 기초하여 하향 변환된 데이터 신호를 생성하는 단계; 및

[3567] 시간-디지털 변환기 회로에 의해 하향 변환된 데이터 신호에 기초하여 TDC 데이터 신호를 생성하는 단계를 포함하고,

[3568] 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3569] 제 30 예는 실행될 때, 머신으로 하여금 출력 데이터를 생성하기 위한 방법을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체이며, 방법은,

[3570] 디지털-시간 변환기 회로에 의해 입력 데이터 신호에 기초하여 DTC 데이터 신호를 생성하는 단계 - DTC 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 입력 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 입력 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[3571] DTC 데이터 신호에 기초하여 캐리어 신호의 변조에 기초하여 상향 변환된 데이터 신호를 생성하는 단계를 포함한다.

[3572] 제 31 예는 실행될 때, 머신으로 하여금 출력 데이터를 생성하기 위한 방법을 수행하게 하는 코드를 포함하는 머신 판독 가능 저장 매체이며, 방법은,

[3573] 입력 데이터 신호 및 발진기 신호에 기초하여 하향 변환된 데이터 신호를 생성하는 단계; 및

[3574] 시간-디지털 변환기 회로에 의해 하향 변환된 데이터 신호에 기초하여 TDC 데이터 신호를 생성하는 단계를 포함하고,

[3575] 하향 변환된 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 하향 변환된 데이터 신호에 의해 포함된 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리된다.

[3576] 도 36a 내지 도 36f와 관련하여 이전에 설명된 예는 다음과 같이 요약될 수 있다:

[3577] 제 1 예는 두 개의 송신 라인을 통해 차동적으로 수신되는 데이터 신호에 대한 적응 회로이며,

[3578] 제 1 송신 라인 및 제 2 송신 라인에 대한 입력;

[3579] 제 1 송신 라인 및 제 2 송신 라인에 대한 출력;

[3580] 제 1 송신 라인에 대한 입력과 제 1 송신 라인에 대한 출력 사이의 제 1 저항성 요소; 및

[3581] 제 2 송신 라인에 대한 입력과 제 2 송신 라인에 대한 출력 사이의 제 2 저항성 요소를 포함하고,

[3582] 제 1 저항성 요소와 제 2 저항성 요소는 송신 라인에 감쇠를 추가한다.

[3583] 제 2 예에서, 제 1 예에 따른 적응 회로에서, 제 1 저항성 요소와 제 2 저항성 요소의 비저항은 조정 가능하다.

[3584] 제 3 예에서, 제 2 예에 따른 적응 회로에서, 제 1 저항성 요소와 제 2 저항성 요소의 비저항은 동일한 값으로 조정된다.

[3585] 제 4 예에서, 제 1 예 내지 제 3 예 중 어느 한 예에 따른 적응 회로는 입력과 제 1 및 제 2 저항성 요소 각각의 사이에서 제 1 송신 라인과 제 2 송신 라인 사이에 각각 결합된 제 3 저항성 요소; 및 출력과 제 1 및 제 2 저항성 요소 각각의 사이에서 제 1 송신 라인과 제 2 송신 라인 사이에 결합된 제 4 저항성 요소를 포함한다.

[3586] 제 5 예에서, 제 4 예에 따른 적응 회로에서, 제 3 저항성 요소 및 제 4 저항성 요소의 비저항은 조정 가능하다.

[3587] 제 6 예에서, 제 5 예에 따른 적응 회로에서, 제 3 저항성 요소 및 제 4 저항성 요소의 비저항은 동일한 값으로 조정된다.

[3588] 제 7 예는 두 개의 송신 라인을 통해 차동적으로 수신되는 데이터 신호에 대한 적응 회로이며,

[3589] 제 1 송신 라인 및 제 2 송신 라인에 대한 입력;

[3590] 제 1 송신 라인 및 제 2 송신 라인에 대한 출력;

[3591] 제 1 송신 라인에 대한 입력과 제 1 송신 라인에 대한 출력 사이의 제 1 저항성 요소;

[3592] 제 2 송신 라인에 대한 입력과 제 2 송신 라인에 대한 출력 사이의 제 2 저항성 요소 - 제 1 및 제 2 저항성 요소는 동일한 제 1 값으로 조정 가능함 - ;

[3593] 입력과 제 1 및 제 2 저항성 요소 각각의 사이에서 제 1 송신 라인과 제 2 송신 라인 사이에 결합된 제 3 저항성 요소;

[3594] 출력과 제 1 및 제 2 저항성 요소 각각의 사이에서 제 1 송신 라인과 제 2 송신 라인 사이에 결합된 제 4 저항성 요소 - 제 1 및 제 2 저항성 요소는 동일한 제 2 값으로 조정 가능함 -를 포함한다.

[3595] 제 8 예는 두 개의 송신 라인을 통해 차동적으로 송신되는 데이터 신호에 대한 수신기이며,

[3596] 제 1 송신 라인 및 제 2 송신 라인에 대한 데이터 입력;

[3597] 제 1 송신 라인 및 제 2 송신 라인상의 신호의 차이에 따라 출력 신호를 생성하도록 구성된 증폭기 회로; 및

[3598] 데이터 입력과 증폭기 회로 사이에 결합된 제 1 예 내지 제 7 예 중 어느 한 예에 따른 적응 회로를 포함한다.

[3599] 제 9 예는 감쇠 레벨을 결정하기 위한 방법이며,

[3600] 제 1 미리 결정된 교정 심볼의 시퀀스를 제 1 감쇠 레벨로 수신하는 단계;

[3601] 제 1 시퀀스의 수신된 교정 심볼에 대한 제 1 에러 레이트를 결정하는 단계;

[3602] 감쇠를 제 2 감쇠 레벨로 증가시키는 단계;

[3603] 교정 심볼의 제 2 미리 결정된 시퀀스를 제 2 감쇠 레벨로 수신하는 단계;

[3604] 제 2 시퀀스의 수신된 교정 심볼에 대한 제 2 에러 레이트를 결정하는 단계; 및

[3605] 제 2 에러 레이트가 제 1 에러 레이트보다 낮으면 감쇠를 제 3 감쇠 레벨로 증가시키는 단계를 포함한다.

[3606] 제 10 예에서, 제 9 예의 방법은 제 2 에러 레이트가 0이면 제 2 감쇠 레벨을 유지하는 단계를 더 포함한다.

[3607] 제 11 예에서, 제 10 예의 방법은 더 이상 교정 심볼이 수신되지 않게 하는 피드백 신호를 송신하는 단계를 더 포함한다.

[3608] 제 12 예에서, 제 9 예 내지 제 11 예 중 어느 하나의 방법은

[3609] 제 1 감쇠 레벨을 0으로 설정하는 단계; 및

[3610] 제 2 에러 레이트가 제 1 에러 레이트보다 높으면, 교정 심볼의 신호 레벨을 증가시키는 피드백 신호를 송신하는 단계를 포함한다.

[3611] 제 13 예에서, 제 9 예 내지 제 12 예 중 어느 한 예의 방법에서, 감쇠는 제 1 예 내지 제 7 예 중 어느 한 예에 따른 적응 회로를 사용하여 조정된다.

[3612] 제 14 예에서, 제 9 예 내지 제 13 예 중 한 예의 방법에서,

[3613] 제 1 미리 결정된 교정 심볼의 시퀀스를 제 1 감쇠 레벨로 수신하는 단계는:

[3614] 제 1 미리 결정된 교정 심볼의 시퀀스를 포함하는 데이터 신호를 수신하는 단계; 및

[3615] 제 1 감쇠 레벨로 데이터 신호를 감쇠시키는 단계를 포함하고,

[3616] 교정 심볼의 제 2 미리 결정된 시퀀스를 제 2 감쇠 레벨로 수신하는 단계는:

[3617] 교정 심볼의 제 2 미리 결정된 시퀀스를 포함하는 데이터 신호를 수신하는 단계; 및

[3618] 제 2 감쇠 레벨로 데이터 신호를 감쇠시키는 단계를 포함한다.

[3619] 제 15 예는 데이터 신호를 처리하기 위한 장치이며,

[3620] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의

시퀀스를 결정하도록 구성된 처리 회로;

[3621] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로; 및

[3622] 제 1 예 내지 제 7 예 중 어느 한 예에 따른 적응 회로를 포함한다.

[3623] 제 16 예는 데이터 신호를 처리하기 위한 장치이며,

[3624] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로;

[3625] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로; 및

[3626] 두 개의 송신 라인을 통해 차등적으로 수신되는 데이터 신호에 대한 적응 회로를 포함하고, 적응 회로는,

[3627] 제 1 송신 라인 및 제 2 송신 라인에 대한 입력;

[3628] 제 1 송신 라인 및 제 2 송신 라인에 대한 출력;

[3629] 제 1 송신 라인에 대한 입력과 제 1 송신 라인에 대한 출력 사이의 제 1 저항성 요소;

[3630] 제 2 송신 라인에 대한 입력과 제 2 송신 라인에 대한 출력 사이의 제 2 저항성 요소 - 제 1 및 제 2 저항성 요소는 동일한 제 1 값으로 조정 가능함 - ;

[3631] 입력과 제 1 및 제 2 저항성 요소 각각의 사이에서 제 1 송신 라인과 제 2 송신 라인 사이에 결합된 제 3 저항성 요소;

[3632] 출력과 제 1 및 제 2 저항성 요소 각각의 사이에서 제 1 송신 라인과 제 2 송신 라인 사이에 결합된 제 4 저항성 요소를 포함하며, 제 1 및 제 2 저항성 요소는 동일한 제 2 값으로 조정 가능하다.

[3633] 제 17 예는 데이터 신호를 처리하기 위한 장치이며,

[3634] 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로;

[3635] 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로; 및

[3636] 두 개의 송신 라인을 통해 차동적으로 수신되는 데이터 신호에 대한 적응 회로를 포함하고, 적응 회로는,

[3637] 제 1 송신 라인 및 제 2 송신 라인에 대한 입력;

[3638] 제 1 송신 라인 및 제 2 송신 라인에 대한 출력;

[3639] 제 1 송신 라인에 대한 입력과 제 1 송신 라인에 대한 출력 사이의 제 1 저항성 요소; 및

[3640] 제 2 송신 라인에 대한 입력과 제 2 송신 라인에 대한 출력 사이의 제 2 저항성 요소를 포함하고,

[3641] 제 1 저항성 요소 및 제 2 저항성 요소는 송신 라인에 감쇠를 추가한다.

[3642] 제 18 예는 데이터 신호를 생성하기 위한 장치이며,

[3643] 교정 심볼의 시리즈를 생성하도록 구성된 변조기 회로;

[3644] 교정 심볼의 시리즈를 포함하는 데이터 신호를 제 1 신호 레벨로 송신하도록 구성된 출력 인터페이스;

[3645] 피드백 신호를 수신하도록 구성된 입력 인터페이스를 포함하고,

[3646] 출력 인터페이스는, 피드백 신호를 수신하면, 교정 심볼의 시리즈를 포함하는 데이터 신호를 제 2 신호 레벨로 송신하도록 구성되며, 제 2 신호 레벨은 제 1 신호 레벨보다 높다.

[3647] 제 19 예에서, 제 18 예의 장치에서, 출력 인터페이스는 또한 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성되고, 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간은 제 1 교정 심볼에 대응하고, 제 2 신호 에지와 제 3 신호 에지

사이의 제 2 기간은 제 2 교정 심볼에 대응한다.

[3648] 제 20 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 15 예 내지 제 17 예 중 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[3649] 제 21 예에서, 제 20 예의 물리 계층 제어기는,

[3650] 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[3651] 제 22 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 18 예 또는 제 19 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[3652] 제 23 예에서, 제 22 예의 물리 계층 제어기는,

[3653] 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[3654] 도 37a 내지 도 37h와 관련하여 이전에 설명된 예는 다음과 같이 요약될 수 있다:

[3655] 제 1 예는 데이터 신호를 생성하기 위한 장치이며,

[3656] 송신 링크에서 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하도록 구성된 전치 왜곡 회로; 및

[3657] 수정된 특성에 기초하여 데이터 신호를 생성하도록 구성된 처리 회로를 포함한다.

[3658] 제 2 예에서, 제 1 예의 장치에서, 전치 왜곡 회로는 데이터 신호를 사용하여 송신될 데이터에 수정을 할당하는 룩업 테이블을 사용하여 특성의 수정을 생성하도록 구성된다.

[3659] 제 3 예에서, 제 1 예의 장치에서, 전치 왜곡 회로는 특성의 수정을 생성하기 위해 전치 왜곡 모델에 송신될 데이터를 입력하도록 구성된다.

[3660] 제 4 예에서, 제 3 예의 장치에서, 전치 왜곡 모델은 송신 링크의 유한 임펄스 응답 모델을 포함한다.

[3661] 제 5 예에서, 제 1 예 내지 제 4 예 중 하나의 장치에서, 전치 왜곡 회로는 데이터 신호의 수신자로부터 수신된 교정 정보에 기초하여 전치 왜곡 모델을 업데이트하도록 구성된다.

[3662] 제 6 예에서, 제 5 예의 장치에서, 교정 정보는 데이터 신호의 측정된 지터에 기초한다.

[3663] 제 7 예에서, 제 1 예 내지 제 6 예 중 어느 하나의 장치에서, 전치 왜곡 회로는 데이터 신호에 의해 송신될 송신 데이터 심볼의 시리즈 중 적어도 하나의 송신 데이터 심볼에 따른 전치 왜곡 모델을 사용한다.

[3664] 제 8 예에서, 제 7 예의 장치에서, 전치 왜곡 모델은 적어도 시리즈의 현재 송신 데이터 심볼 및 선행 송신 데이터 심볼을 사용한다.

[3665] 제 9 예에서, 이전 예 중 한 예의 장치에서, 수정은 송신 데이터 심볼과 연관된 기간의 조정이다.

[3666] 제 10 예는 데이터 신호를 생성하기 위한 장치이며,

[3667] 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성의 수정을 생성하도록 구성된 전치 왜곡 회로; 및

[3668] 데이터 신호를 생성하도록 구성된 처리 회로 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[3669] 데이터 신호를 송신 링크로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3670] 제 11 예에서, 제 10 예의 장치에서, 전치 왜곡 회로는 제 1 기간의 수정 및 제 2 기간의 수정을 생성하도록 구성된다.

[3671] 제 12 예에서, 제 10 예 또는 제 11 예 중 하나의 장치에서, 처리 회로는 디지털-시간 변환기를 포함한다.

[3672] 제 13 예에서, 제 10 예 내지 제 12 예 중 하나의 장치에서, 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3673] 제 14 예에서, 제 10 예 내지 제 13 예 중 하나의 장치에서, 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3674] 제 15 예는 데이터 신호를 생성하기 위한 방법이며,

[3675] 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하는 단계; 및

[3676] 수정된 특성에 기초하여 데이터 신호를 생성하는 단계를 포함한다.

[3677] 제 16 예에서, 제 15 예의 방법에서, 수정을 생성하는 단계는

[3678] 데이터 신호를 사용하여 송신될 데이터에 수정을 할당하는 룩업 테이블을 사용하는 단계를 포함한다.

[3679] 제 17 예에서, 제 15 예의 방법에서, 수정을 생성하는 단계는

[3680] 데이터 신호를 사용하여 송신될 데이터를 전치 왜곡 모델에 입력하여 특성의 수정을 생성하는 단계를 포함한다.

[3681] 제 18 예에서, 제 15 예의 방법에서, 전치 왜곡 모델은 송신 링크의 유한 임펄스 응답 모델을 포함한다.

[3682] 제 19 예에서, 제 15 예 내지 제 18 예 중 한 예의 방법은 데이터 신호의 수신자로부터 수신된 교정 정보에 기초하여 전치 왜곡 모델을 업데이트하는 단계를 더 포함한다.

[3683] 제 20 예에서, 제 19 예의 방법에서, 교정 정보는 데이터 신호에서 측정된 지터에 기초한다.

[3684] 제 21 예에서, 제 15 예 내지 제 20 예 중 한 예의 방법에서, 전치 왜곡 모델은 데이터 신호를 사용하여 송신된 송신 데이터 심볼의 시리즈 중 적어도 하나의 송신 데이터 심볼에 종속한다.

[3685] 제 22 예에서, 제 21 예의 방법에서, 전치 왜곡 모델은 적어도 시리즈의 현재 송신 데이터 심볼 및 선행 송신 데이터 심볼을 사용한다.

[3686] 제 23 예는 데이터 신호를 생성하는 방법이며,

[3687] 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하는 단계; 및

[3688] 데이터 신호를 생성하는 단계 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[3689] 데이터 신호를 송신 링크로 출력하는 단계를 포함한다.

[3690] 제 24 예에서, 제 23 예의 방법에서, 적어도 하나의 특성에 대한 수정을 생성하는 단계는 제 1 기간의 수정 및 제 2 시간의 수정을 생성하는 단계를 포함한다.

[3691] 제 25 예는 데이터 신호를 생성하기 위한 수단이며,

[3692] 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하는 수단; 및

[3693] 수정된 특성에 기초하여 데이터 신호를 생성하기 위한 수단을 포함한다.

[3694] 제 26 예에서, 제 25 예에 따른 데이터 신호를 생성하기 위한 수단에서, 전치 왜곡 모델은 송신 링크의 유한 임펄스 응답 모델을 포함한다.

[3695] 제 27 예는 데이터 신호를 생성하기 위한 수단이며,

[3696] 송신 링크를 따라 데이터 신호에 도입된 지터에 대한 전치 왜곡 모델에 기초하여 송신 링크를 통해 송신될 데이터 신호의 적어도 하나의 특성에 대한 수정을 생성하는 수단;

[3697] 데이터 신호를 생성하기 위한 수단 - 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 데이터 심볼에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 2 데이터 심볼에 대응하는 제 2 기간에 의해 분리됨 - ; 및

[3698] 데이터 신호를 송신 링크로 출력하기 위한 수단을 포함한다.

[3699] 제 28 예에서, 제 27 예에 따른 데이터 신호를 생성하기 위한 수단에서, 전치 왜곡 모델은 송신 링크의 유한 임펄스 응답 모델을 포함한다.

[3700] 제 29 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 1 예 내지 제 9 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[3701] 제 30 예에서, 제 29 예의 물리 계층 제어기는,

[3702] 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[3703] 제 31 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 10 예 내지 제 15 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[3704] 제 32 예에서, 제 31 예의 물리 계층 제어기는,

[3705] 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[3706] 도 38a 내지 도 38i와 관련하여 이전에 설명된 예는 다음과 같이 요약될 수 있다:

[3707] 제 1 예는 거친 분해능을 갖는 시간-디지털 변환기를 사용하여 두 개의 신호 에지 사이의 기간을 결정하는 방법이며,

[3708] 교정 계수에 의해 데이터 신호 내의 후속 신호 에지의 시리즈 사이의 기간을 스케일링하는 단계;

[3709] 송신 링크를 통해 후속 신호 에지의 시리즈를 송신하는 단계;

[3710] 후속 신호 에지의 시리즈를 수신하는 단계;

[3711] 거친 분해능을 갖는 신호 에지 사이의 기간을 양자화하여 양자화 값을 제공하는 단계; 및

[3712] 양자화 값의 분포 및 스케일링 계수에 기초하여 신호 에지 사이의 기간을 계산하는 단계를 포함한다.

[3713] 제 2 예에서, 제 1 예의 방법은,

[3714] 페이로드 데이터 심볼의 시리즈의 다수의 반복을 제공하는 단계; 및

[3715] 시리즈의 각 페이로드 데이터 심볼에 기간을 할당하는 단계를 더 포함한다.

[3716] 제 3 예에서, 제 2 예의 방법에서, 시리즈 내의 선택 페이로드 데이터 심볼에 대응하는 신호 에지 사이의 기간을 결정하는 단계는,

[3717] 선택 페이로드 데이터 심볼에 대한 양자화 값의 분포를 결정하는 단계; 및 스케일링 계수를 사용하여 기간을 계산하는 단계를 포함하고, 기간은 분포의 적어도 두 개의 이웃하는 양자화 값 및 양자화 값의 분포에 대응한다.

[3718] 제 4 예에서, 제 2 예 또는 제 3 예 중 한 예의 방법에서, 시리즈 내의 페이로드 데이터 심볼의 수는 심볼 간 간섭으로 인한 지터에 대한 전치 왜곡 모델의 복잡성에 대응한다.

[3719] 제 5 예에서, 제 2 예 내지 제 4 예 중 하나의 방법은,

[3720] 시리즈 내의 최종 페이로드 데이터 심볼에 대한 제 1 교정 데이터를 생성하는 단계를 더 포함하고, 제 1 교정 데이터는 최종 페이로드 데이터 심볼에 대해 결정된 기간을 페이로드 데이터 심볼의 시리즈에 연관시킨다.

[3721] 제 6 예에서, 제 2 예 또는 제 3 예 중 한 예의 방법에서, 페이로드 데이터 심볼의 시리즈의 길이는 송신 링크의 신호 전파 시간의 2 배에 대응한다.

[3722] 제 7 예에서, 제 6 예의 방법은 시리즈의 최종 페이로드 데이터 심볼에 대해 결정된 기간을 시리즈의 제 1 페이로드 데이터 심볼에 관련시키는 시리즈 내의 최종 페이로드 데이터 심볼에 대한 제 2 교정 데이터를 생성하는 단계를 더 포함한다.

[3723] 제 8 예에서, 선행 예 중 한 예의 방법에서, 기간을 스케일링하는 단계는 후속 신호 에지의 시리즈를 생성하는 데 사용되는 국부 발진기의 주파수를 동작 주파수로부터 교정 주파수로 변경하는 단계를 포함한다.

[3724] 제 9 예에서, 제 8 예의 방법에서, 스케일링 계수는 교정 주파수를 동작 주파수로 나눈 것에 의해 주어진다.

[3725] 제 10 예는 데이터 신호를 생성하는 장치에 의해 생성된 데이터 신호를 처리하기 위한 장치이며,

[3726] 데이터 신호 내의 후속 신호 에지의 시리즈를 수신하도록 구성된 입력 인터페이스;

[3727] 신호 에지 사이의 기간을 거친 분해능으로 양자화하여 각각의 기간에 대한 양자화 값을 제공하도록 구성된 시간-디지털 변환기; 및

[3728] 양자화 값의 분포 및 데이터 신호를 생성하는데 사용되는 스케일링 계수에 기초하여 신호 에지 사이의 기간을 계산하도록 구성된 평가 회로를 포함한다.

[3729] 제 11 예에서, 제 10 예의 장치에서, 평가 회로는, 선택된 페이로드 데이터 심볼에 대한 양자화 값의 분포를 결정함으로써; 및 스케일링 계수를 사용하여 기간을 계산함으로써 데이터 신호 내에서 반복적으로 수신되는 페이로드 데이터 심볼의 시리즈의 선택 페이로드 데이터 심볼에 대응하는 신호 에지 사이의 기간을 결정하도록 구성되고, 기간은 분포의 적어도 두 개의 이웃하는 양자화 값 및 양자화 값의 분포에 대응한다.

[3730] 제 12 예에서, 제 10 예의 장치는 계산된 기간을 데이터 신호를 생성하기 위한 장치에 전달하도록 구성된 출력 인터페이스를 더 포함한다.

[3731] 제 13 예는 데이터 신호를 생성하기 위한 장치이며,

[3732] 페이로드 데이터 심볼의 시리즈의 다수의 반복을 생성하도록 구성된 교정 회로;

[3733] 시리즈의 각각의 페이로드 데이터 심볼에 기간을 할당하도록 구성된 변조 회로;

[3734] 교정 기간에 의해 분리된 후속 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된 데이터 신호 생성 회로를 포함하고, 교정 기간은 교정 계수에 의해 스케일링된 시간이다.

[3735] 제 14 예에서, 제 13 예의 장치는 피드백 신호를 수신하도록 구성된 입력 인터페이스를 더 포함하고,

[3736] 데이터 신호 생성 회로는 피드백 신호 내에서 네거티브 확인 응답 신호를 수신할 때 교정 계수를 수정하도록 구성된다.

[3737] 제 15 예에서, 제 14 예의 장치에서, 데이터 신호 생성 회로는 교정 계수를 감소시키도록 구성된다.

[3738] 제 16 예에서, 제 14 예 또는 제 15 예의 장치에서, 데이터 신호 생성 회로는 후속 신호 에지의 시퀀스를 생성하는데 사용되는 위상 고정 루프를 포함한다.

[3739] 제 17 예에서, 제 15 예의 장치에서, 위상 고정 루프의 주파수는 네거티브 확인 응답 신호를 수신하면 증가된다.

[3740] 제 18 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 13 예 내지 제 17 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[3741] 제 19 예에서, 제 18 예의 물리 계층 제어기는,

[3742] 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[3743] 제 20 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 10 예 내지 제 12 예 중 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[3744] 제 21 예에서, 제 20 예의 물리 계층 제어기는,

[3745] 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[3746] 도 39a 내지 도 39e와 관련하여 이전에 설명된 예는 다음과 같이 요약될 수 있다:

[3747] 제 1 예는 데이터 신호를 생성하기 위한 장치이며,

[3748] 제어 심볼 표시자의 시퀀스, 교정 심볼의 시리즈를 나타내는 제어 심볼, 및 적어도 하나의 교정 심볼을 포함하는 교정 심볼의 시리즈를 포함하는 데이터 스트림을 생성하도록 구성된 변조기 회로; 및

[3749] 데이터 스트림의 심볼을 포함하는 데이터 신호를 출력하도록 구성된 출력 인터페이스를 포함한다.

[3750] 제 2 예에서, 제 1 예의 장치는 제어 심볼 표시자, 제어 심볼 및 시퀀스의 교정 심볼에 대응하는 기간에 의해 분리된 상보적 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하도록 구성된 처리 회로를 더 포함한다.

[3751] 제 3 예에서, 제 1 예 또는 제 2 예의 장치에서, 교정 심볼의 시리즈는 페이로드 데이터 심볼의 시리즈의 다수의 반복을 포함한다.

[3752] 제 4 예는 데이터 신호를 처리하기 위한 장치이며,

[3753] 제어 심볼 표시자의 시퀀스, 교정 심볼의 시리즈를 표시하는 제어 심볼, 및 교정 심볼의 시리즈를 포함하는 데이터 신호를 수신하도록 구성된 입력 인터페이스; 및

[3754] 교정 심볼의 시리즈를 사용하여 데이터 신호의 특성을 결정하도록 구성된 평가 회로를 포함한다.

[3755] 제 5 예에서, 제 4 예의 장치는

[3756] 데이터 신호의 특성을 출력하도록 구성된 출력 인터페이스를 더 포함한다.

[3757] 제 6 예는 데이터 신호를 생성하는 방법이며,

[3758] 제어 심볼 표시자의 시퀀스, 교정 심볼의 시리즈를 표시하는 제어 심볼, 및 적어도 하나의 교정 심볼을 포함하는 교정 심볼의 시리즈를 포함하는 데이터 스트림을 생성하는 단계; 및

[3759] 데이터 스트림의 심볼을 포함하는 데이터 신호를 출력하는 단계를 포함한다.

[3760] 제 7 예에서, 제 6 예의 방법은 제어 심볼 표시자, 제어 심볼 및 시퀀스의 교정 심볼에 대응하는 기간에 의해 분리된 상보적 신호 에지의 시퀀스를 포함하는 데이터 신호를 생성하는 단계를 더 포함한다.

[3761] 제 8 예에서, 제 6 예 또는 제 7 예의 방법에서, 교정 심볼의 시리즈는 페이로드 데이터 심볼의 시리즈의 다수의 반복을 포함한다.

[3762] 제 9 예는 데이터 신호를 처리하기 위한 방법이며,

[3763] 제어 심볼 표시자의 시퀀스, 교정 심볼의 시리즈를 표시하는 제어 심볼, 및 교정 심볼의 시리즈를 포함하는 데이터 신호를 수신하는 단계; 및

[3764] 교정 심볼의 시리즈를 사용하여 데이터 신호의 속성을 결정하는 단계를 포함한다.

[3765] 제 10 예에서, 제 9 예의 방법은

[3766] 데이터 신호의 특성을 출력하는 단계를 더 포함한다.

[3767] 제 11 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 1 예 내지 제 3 예 중 한 예에 따른 데이터 신호를 생성하기 위한 장치를 포함한다.

[3768] 제 12 예에서, 제 11 예의 물리 계층 제어기는

[3769] 매체 액세스 제어기에 연결하도록 구성된 MAC 입력 인터페이스를 더 포함한다.

[3770] 제 13 예는 통신 인터페이스에 대한 물리 계층 제어기이며, 물리 계층 제어기는 제 4 예 또는 제 5 예 중 한 예에 따른 데이터 신호를 처리하기 위한 장치를 포함한다.

[3771] 제 14 예에서, 제 13 예의 물리 계층 제어기는,

[3772] 매체 액세스 제어기에 연결하도록 구성된 MAC 출력 인터페이스를 더 포함한다.

[3773] 도 40a 내지 도 40e와 관련하여 이전에 설명된 예는 다음과 같이 요약될 수 있다:

[3774] 제 1 예는 가변 지연 요소를 교정하는 방법이며,

[3775] DTC의 제 1 기간을 기준 클록으로부터 도출 가능한 제 1 값으로 설정하는 단계;

[3776] 제 1 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 단계; 및

[3777] TDC 내의 지연 요소를 제 1 값으로 교정하는 단계를 포함한다.

[3778] 제 2 예에서, 제 1 예의 방법은

[3779] DTC의 제 1 기간을 기준 클록으로부터 도출 가능한 제 2 값으로 설정하는 단계;

[3780] 제 1 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 단계; 및

[3781] TDC 내의 지연 요소를 제 2 값으로 교정하는 단계를 더 포함한다.

[3782] 제 3 예에서, 제 2 예의 방법은,

[3783] DTC의 제 1 기간을 제 1 값으로 설정하는 단계;

[3784] 제 1 기간 및 제 2 기간에 따른 시간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 단계; 및

[3785] DTC 내의 제 2 기간을 제 2 값과 제 1 값 사이의 차이로 교정하는 단계를 포함한다.

[3786] 제 4 예에서, 제 2 예 또는 제 3 예의 방법에서, 제 2 값과 제 1 값 사이의 차이는 통신 프로토콜의 심볼 분리 시간의 절반에 대응한다.

[3787] 제 5 예에서, 제 3 예 또는 제 4 예의 방법은,

[3788] DTC 내의 제 2 시간을 교정하는 단계를 더 포함하고, 심볼 분리 시간은 제 2 값과 제 1 값 사이의 차이다.

[3789] 제 6 예에서, 제 5 예의 방법은,

[3790] DTC 내의 제 2 기간을 심볼 분리 시간으로 설정하는 단계;

[3791] 제 1 기간 및 제 2 기간에 따른 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 단계; 및

[3792] TDC 내의 제 2 시간을 심볼 분리 시간으로 교정하는 단계를 더 포함한다.

[3793] 제 7 예는 시간-디지털 변환기이며,

[3794] 통신 프로토콜의 심볼 분리 시간에 대응하는 지연을 구현하도록 구성된 직렬 연결된 지연 요소의 시리즈; 및

[3795] 직렬 연결된 지연 요소에 결합된 적어도 하나의 추가 지연 요소를 포함하고, 추가 지연 요소는 심볼 분리 시간의 절반의 지연을 구현하도록 구성된다.

[3796] 제 8 예에서, 제 7 예의 시간-디지털 변환기에서, 추가 지연 요소는 직렬로 연결된 지연 요소의 시리즈에 병렬로 결합된다.

[3797] 제 9 예는 가변 지연 요소를 교정하기 위한 수단이며, DTC의 제 1 기간을 기준 클록으로부터 도출 가능한 제 1 값으로 설정하는 수단;

[3798] 제 1 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 수단;

[3799] TDC 내의 지연 요소를 제 1 값으로 교정하기 위한 수단을 포함한다.

[3800] 제 10 예에서, 제 9 예의 수단은 DTC의 제 1 기간을 기준 클록으로부터 도출 가능한 제 2 값으로 설정하기 위한 수단;

[3801] 제 1 기간에 의해 분리된 상보적 신호 에지의 시리즈를 포함하는 데이터 신호를 TDC에 송신하는 수단; 및

[3802] TDC 내의 지연 요소를 제 2 값으로 교정하기 위한 수단을 더 포함한다.

[3803] 도 41a 내지 도 41e와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3804] 제 1 예는 데이터 케이블을 수용하도록 구성된 커넥터를 포함하는 전자 디바이스이며, 커넥터는 또한 데이터 신호를 데이터 케이블에 출력하도록 구성된다. 전자 디바이스는 데이터 신호를 생성하기 위한 장치를 더 포함한다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 신호를 생성하기 위한 장치는 데이터 신호를 커넥터에 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다.

[3805] 제 2 예는 제 1 예의 전자 디바이스이며, 이 예에서 전자 디바이스는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터, 컴퓨터, 텔레비전 세트, 셋톱 박스, 휴대용 데이터 저장 디바이스, 비디오 게임 콘솔 및 가전 디바이스 중 하나이다.

[3806] 제 3 예는 제 1 예 또는 제 2 예의 전자 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3807] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3808] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 출력 인터페이스 회로는 또한 제 2 데이터 신호를 커넥터에 출력하도록 구성된다.

[3809] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다.

[3810] 제 7 예는 데이터 케이블을 수용하도록 구성된 커넥터를 포함하는 전자 디바이스이며, 이 예에서 커넥터는 또한 데이터 케이블로부터 데이터 신호를 수신하도록 구성된다. 전자 디바이스는 데이터 신호를 디코딩하기 위한 장치를 더 포함한다. 데이터 신호를 디코딩하기 위한 장치는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 신호를 디코딩하기 위한 장치는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3811] 제 8 예는 제 7 예의 전자 디바이스이며, 이 예에서 전자 디바이스는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터, 컴퓨터, 텔레비전 세트, 셋톱 박스, 휴대용 데이터 저장 디바이스, 비디오 게임 콘솔 및 가전 디바이스 중 하나이다.

[3812] 제 9 예는 제 7 예 또는 제 8 예의 전자 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3813] 제 10 예는 제 7 예 내지 제 9 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3814] 제 11 예는 제 7 예 내지 제 10 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 커넥터는 또한 데이터 케이블로부터 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 처리 회로는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[3815] 제 12 예는 제 7 예 내지 제 11 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 데이터 신호를 디코딩하기 위한 장치는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 디코딩하도록 구성된다.

[3816] 제 13 예는 제 1 전자 디바이스에 결합하도록 구성된 제 1 커넥터 및 제 2 전자 디바이스에 결합하도록 구성된 제 2 커넥터를 포함하는 데이터 케이블이다. 데이터 케이블은 제 1 커넥터와 제 2 커넥터 사이에 결합된 적어도 하나의 중계기 회로를 더 포함한다. 제 1 커넥터는 제 1 전자 디바이스로부터 데이터 신호를 수신하도록 구성되며, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 적어도 하나의 중계기 회로는 데이터 신호를 증폭하도록 구성되고, 제 2 커넥터는 증폭된 데이터 신호를 제 2 전자 디바이스로 출력하도록 구성된다.

[3817] 제 14 예는 제 13 예의 데이터 케이블이며, 이 예에서 데이터 케이블은 제 1 커넥터와 제 2 커넥터 사이에 직렬로 결합된 적어도 두 개의 중계기 회로를 포함하고, 적어도 두 개의 중계기 회로는 데이터 신호를 순차적으로 증폭하도록 구성된다.

[3818] 제 15 예는 제 13 예 또는 제 14 예의 데이터 케이블이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3819] 제 16 예는 제 13 예 내지 제 15 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3820] 제 17 예는 제 13 예 내지 제 16 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 적어도 하나의 중계기 회로는 동축 케이블을 통해 제 2 커넥터에 결합되고, 적어도 하나의 중계기 회로는 단일 종단된 증폭된 데이터 신호를 동축 케이블을 통해 제 2 커넥터에 출력하도록 구성된다.

[3821] 제 18 예는 제 13 예 내지 제 16 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 1 커넥터는 또한 제 1 전자 디바이스로부터 제 2 데이터 신호를 수신하도록 구성되며, 제 2 데이터 신호는 데이터 신호에 대해 반전된다. 적어도 하나의 중계기 회로는 또한 제 2 데이터 신호를 증폭하도록 구성되고, 제 2 커넥터는 또한 증폭된 제 2 데이터 신호를 제 2 전자 디바이스로 출력하도록 구성된다.

[3822] 제 19 예는 제 18 예의 데이터 케이블이며, 이 예에서 적어도 하나의 중계기 회로는 한 쌍의 동축 케이블을 통해 제 2 커넥터에 결합되고, 적어도 하나의 중계기 회로는 증폭된 데이터 신호 및 증폭된 제 2 데이터 신호를 한 쌍의 동축 케이블의 상이한 동축 케이블로 출력하도록 구성된다.

[3823] 제 20 예는 제 18 예의 데이터 케이블이며, 이 예에서 적어도 하나의 중계기 회로는 트위스트 페어 케이블을 통해 제 2 커넥터에 결합되고, 적어도 하나의 중계기 회로는 증폭된 데이터 신호 및 증폭된 제 2 데이터 신호를 트위스트 페어 케이블의 상이한 라인으로 출력하도록 구성된다.

[3824] 제 21 예는 제 13 예 내지 제 20 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 적어도 데이터 신호는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응한다.

[3825] 제 22 예는 제 13 예 내지 제 21 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 2 커넥터는 제 2 전자 디바이스로부터 제 3 데이터 신호를 수신하도록 구성된다. 제 3 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 송신될 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 송신될 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 적어도 하나의 중계기 회로는 제 3 데이터 신호를 증폭하도록 구성되고, 제 1 커넥터는 증폭된 제 3 데이터 신호를 제 1 전자 디바이스로 출력하도록 구성된다.

[3826] 제 23 예는 제 22 예의 데이터 케이블이며, 이 예에서 적어도 하나의 중계기 회로는 제 1 데이터 신호 및 제 3 데이터 신호를 동시에 증폭하도록 구성된다.

[3827] 제 24 예는 제 1 전자 디바이스에 결합하고 제 1 전자 디바이스로부터 통신 프로토콜에 순응하는 입력 신호를 수신하도록 구성된 제 1 커넥터를 포함하는 데이터 케이블이다. 또한, 데이터 케이블은 제 2 전자 디바이스에 결합하도록 구성된 제 2 커넥터, 및 제 1 커넥터와 제 2 커넥터 사이에 결합된 두 개의 변환 회로를 포함한다. 두 개의 변환 회로 중 제 1 변환 회로는 제 1 커넥터로부터 입력 신호를 수신하고 입력 신호에 기초하여 데이터 신호를 생성하도록 구성된다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 입력 신호에 인코딩된 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 입력 신호에 인코딩된 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 두 개의 변환 회로 중 제 2 변환 회로는 제 1 변환 회로로부터 데이터 신호를 수신하고 데이터 신호에 기초하여 통신 프로토콜에 순응하는 출력 신호를 생성하도록 구성된다. 제 2 커넥터는 출력 신호를 제 2 전자 디바이스로 출력하도록 구성된다.

[3828] 제 25 예는 제 24 예의 데이터 케이블이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3829] 제 26 예는 제 24 예 또는 제 25 예의 데이터 케이블이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3830] 제 27 예는 제 24 예 내지 제 26 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 1 변환 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다.

[3831] 제 28 예는 제 24 예 내지 제 28 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 1 변환 회로는 동축 케이블을 통해 제 2 변환 회로에 결합되고, 제 1 변환 회로는 단일 종단 데이터 신호를 동축 케이블을 통해 제 2 변환 회로에 출력하도록 구성된다.

[3832] 제 29 예는 제 24 예 내지 제 27 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 1 변환 회로는 또한 입력 신호에 기초하여 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 제 2 변환 회로는 제 2 데이터 신호에 더 기초하여 출력 신호를 생성하도록 구성된다.

[3833] 제 30 예는 제 28 예의 데이터 케이블이며, 이 예에서 제 1 변환 회로는 한 쌍의 동축 케이블을 통해 제 2 변환 회로에 결합되고, 제 1 변환 회로는 데이터 신호 및 제 2 데이터 신호를 한 쌍의 동축 케이블의 상이한 동축 케이블로 출력하도록 구성된다.

[3834] 제 31 예는 제 28 예의 데이터 케이블이며, 이 예에서 제 1 변환 회로는 트위스트 페어 케이블을 통해 제 2 변환 회로에 결합되고, 제 1 변환 회로는 데이터 신호 및 제 2 데이터 신호를 트위스트 페어 케이블의 상이한 라인에 출력하도록 구성된다.

[3835] 제 32 예는 제 23 예 내지 제 31 예 중 어느 한 예의 데이터 케이블이며, 이 예에서 제 2 커넥터는 제 2 전자 디바이스로부터 통신 프로토콜에 순응하는 제 2 입력 신호를 수신하도록 구성된다. 제 2 변환 회로는 제 2 커넥터로부터 제 2 입력 신호를 수신하고 제 2 입력 신호에 기초하여 제 3 데이터 신호를 생성하도록 구성된다. 제 3 데이터 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제 2 입력 신호에 인코딩된 제 3 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제 2 입력 신호에 인코딩된 제 4 데이터에 대응하는 제 4 기간에 의해 분리된다. 제 1 변환 회로는 제 2 변환 회로로부터 제 3 데이터 신호를 수신하고 제 3 데이터 신호에 기초하여 통신 프로토콜에 순응하는 제 2 출력 신호를 생성하도록 구성된다. 제 1 커넥터는 제 2 출력 신호를 제 1 전자 디바이스로 출력하도록 구성된다.

[3836] 제 33 예는 제 21 예의 데이터 케이블이며, 이 예에서 제 1 변환 회로는 데이터 신호 및 제 2 출력 신호를 동시에 생성하도록 구성된다.

[3837] 도 42a 내지 도 42c와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3838] 제 1 예는 제 1 집적 회로를 포함하는 제 1 반도체 다이 및 제 2 집적 회로를 포함하는 제 2 반도체 다이를 포함하는 반도체 패키지이다. 반도체 패키지는 제 1 반도체 다이와 제 2 반도체 다이를 결합하는 송신 링크를 더 포함한다. 제 1 반도체 다이는 데이터 송신 신호를 생성하기 위한 장치를 더 포함한다. 데이터 송신 신호를 생성하기 위한 장치는 데이터 송신 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 송신 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 집적 회로로부터 제 2 집적 회로에 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 집적 회로로부터 제 2 집적 회로에 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 데이터 송신 신호를 생성하기 위한 장치는 데이터 신호를 송신 링크로 출력하도록 구성된 인터페이스 회로를 포함한다.

[3839] 제 2 예는 제 1 예의 반도체 패키지이며, 이 예에서 인터페이스 회로가 또한 송신 링크를 통해 데이터 수신 신호를 수신하도록 구성되고, 제 1 반도체 다이는 데이터 수신 신호를 디코딩하기 위한 장치를 더 포함한다. 데이터 수신 신호를 디코딩하기 위한 장치는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 수신 신호를 디코딩하기 위한 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 집적 회로를 향한 제 1 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 시간에 기초하여 제 1 집적 회로를 향한 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3840] 제 3 예는 제 1 예 또는 제 2 예의 반도체 패키지이며, 이 예에서 송신 링크는 하나 이상의 와이어이고, 또는 송신 링크는 제 1 반도체 다이 및 제 2 반도체 다이를 보유하는 인쇄 회로 기판 상의 하나 이상의 전도성 트랙이다.

[3841] 제 4 예는 제 1 예 또는 제 2 예의 반도체 패키지이며, 이 예에서 제 1 반도체 다이 및 제 2 반도체 다이는 제 3 반도체 다이 상에 장착되고, 송신 링크는 제 3 반도체 다이의 배선 층 스택의 하나 이상의 전도성 트레이스이다.

[3842] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3843] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3844] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성되고, 및/또는 데이터 수신 신호를 디코

딩하기 위한 장치는 STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하도록 구성된다.

[3845] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 제 1 집적 회로로부터 제 2 집적 회로에 송신될 제 1 데이터는 2 비트 이하이다.

[3846] 제 9 예는 제 1 집적 회로, 제 2 집적 회로, 및 제 1 집적 회로와 제 2 집적 회로를 결합하는 송신 링크를 포함하는 반도체 다이이다. 제 1 집적 회로는 데이터 송신 신호를 생성하기 위한 장치를 포함한다. 데이터 송신 신호를 생성하기 위한 장치는 데이터 송신 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 송신 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 제 1 집적 회로로부터 제 2 집적 회로에 송신될 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 제 1 집적 회로로부터 제 2 집적 회로에 송신될 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 데이터 송신 신호를 생성하기 위한 장치는 데이터 신호를 송신 링크로 출력하도록 구성된 인터페이스 회로를 포함한다.

[3847] 제 10 예는 제 9 예의 반도체 다이이며, 이 예에서 인터페이스 회로는 또한 송신 링크를 통해 데이터 수신 신호를 수신하도록 구성되고, 제 1 집적 회로는 데이터 수신 신호를 디코딩하기 위한 장치를 더 포함한다. 데이터 수신 신호를 디코딩하기 위한 장치는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 데이터 수신 신호를 디코딩하기 위한 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 집적 회로를 향한 제 1 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 집적 회로를 향한 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3848] 제 11 예는 제 9 예 또는 제 10 예의 반도체 다이이며, 이 예에서 송신 링크는 반도체 다이의 배선 층 스택의 하나 이상의 전도성 트레이스이다.

[3849] 제 12 예는 제 9 예 내지 제 11 예 중 어느 한 예의 반도체 다이이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3850] 제 13 예는 제 9 예 내지 제 12 예 중 어느 한 예의 반도체 다이이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3851] 제 14 예는 제 9 예 내지 제 13 예 중 어느 한 예의 반도체 다이이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성되고, 및/또는 데이터 수신 신호를 디코딩하기 위한 장치는 STEP 프로토콜에 순응하는 데이터 수신 신호를 디코딩하도록 구성된다.

[3852] 제 15 예는 제 9 예 내지 제 14 예 중 어느 한 예의 반도체 다이이며, 이 예에서 제 1 집적 회로로부터 제 2 집적 회로에 송신될 제 1 데이터는 2 비트 이하이다.

[3853] 제 16 예는 집적 회로를 포함하는 반도체 다이, 반도체 패키지의 출력 신호를 출력하도록 구성된 출력 단자, 및 출력 신호를 생성하기 위한 장치를 포함하는 반도체 패키지이다. 출력 신호를 생성하기 위한 장치는 출력 신호를 생성하도록 구성된 처리 회로를 포함하고, 출력 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 집적 회로의 제 1 출력 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 집적 회로의 제 2 출력 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 출력 신호를 생성하기 위한 장치는 출력 신호를 출력 단자에 출력하도록 구성된 인터페이스 회로를 포함한다.

[3854] 제 17 예는 제 16 예의 반도체 패키지이며, 반도체 패키지에 대한 입력 신호를 수신하도록 구성된 입력 단자, 및 입력 신호를 디코딩하기 위한 장치를 더 포함한다. 입력 신호를 디코딩하기 위한 장치는 입력 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 또한, 입력 신호를 디코딩하기 위한 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 입력 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 입력 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3855] 제 18 예는 제 16 예 또는 제 17 예의 반도체 패키지이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3856] 제 19 예는 제 16 예 내지 제 18 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 제 1 기간과 제 2 기간의

합은 10^{-7}s 미만이다.

[3857] 제 20 예는 제 16 예 내지 제 19 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 출력 신호를 생성하도록 구성되고, 및/또는 데이터 수신 신호를 디코딩하기 위한 장치는 STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다.

[3858] 제 21 예는 제 16 예 내지 제 20 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 반도체 다이는 출력 신호를 생성하기 위한 장치를 포함한다.

[3859] 제 22 예는 제 16 예 내지 제 20 예 중 어느 한 예의 반도체 패키지이며, 이 예에서 출력 신호를 생성하기 위한 장치를 포함하는 제 2 반도체 다이를 더 포함한다.

[3860] 도 43a 내지 도 43c와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3861] 제 1 예는 차량용 데이터 취합 디바이스이다. 데이터 취합 디바이스는 복수의 제 1 송신 링크를 통해 차량에 설치된 복수의 센서에 결합하도록 구성된 입력 인터페이스 회로를 포함하고, 입력 인터페이스는 또한 복수의 센서로부터 센서 데이터를 취합하도록 구성된다. 또한, 데이터 취합 디바이스는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 취합된 센서 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 취합된 센서 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 취합 디바이스는 또한 데이터 신호를 제 2 송신 링크로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3862] 제 2 예는 제 1 예의 데이터 취합 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3863] 제 3 예는 제 1 예 또는 제 2 예의 데이터 취합 디바이스이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3864] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 데이터 취합 디바이스이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 출력 인터페이스 회로는 또한 제 2 데이터 신호를 제 2 송신 링크로 출력하도록 구성된다.

[3865] 제 5 예는 제 1 예 내지 제 5 예 중 어느 한 예의 데이터 취합 디바이스이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다.

[3866] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 데이터 취합 디바이스이며, 입력 인터페이스 회로에 의해 복수의 센서 중 하나로부터 수신된 센서 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 더 포함한다. 데이터 취합 디바이스는 또한 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 복수의 센서 중 하나의 제 1 센서 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 복수의 센서 중 하나의 제 2 센서 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3867] 제 7 예는 제 6 예의 데이터 취합 디바이스이며, 이 예에서 복조 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 센서 신호를 복조하도록 구성된다.

[3868] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 데이터 취합 디바이스이며, 이 예에서 처리 회로는 입력 인터페이스 회로에 의해 복수의 제 1 송신 링크 중 단일 송신 링크를 통해 수신된 센서 데이터보다 높은 데이터 레이트를 나타내는 데이터 신호를 생성하도록 구성된다.

[3869] 제 9 예는 송신 링크로부터 데이터 신호를 수신하도록 구성된 입력 인터페이스 회로를 포함하는 차량용 데이터 처리 디바이스이며, 이 예에서 데이터 신호는 복수의 센서로부터의 센서 데이터를 보유한다. 또한, 데이터 처리 디바이스는 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함하는 디코딩하기 위한 장치를 포함한다. 디코딩하기 위한 장치는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 센서 데이터의 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 센서 데이터의 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 데이터 처리 디바이스는 센서 데이터의 제 1 데이터 및 제 2 데이터에

기초하여 차량의 제어 가능한 디바이스에 대한 제어 데이터를 생성하도록 구성된 프로세서를 더 포함한다.

[3870] 제 10 예는 제 9 예의 데이터 처리 디바이스이며, 제어 신호를 생성하기 위한 장치를 더 포함한다. 제어 신호를 생성하기 위한 장치는 제어 신호를 생성하도록 구성된 다른 처리 회로를 포함하고, 제어 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 4 기간에 의해 분리된다. 또한, 제어 신호를 생성하기 위한 장치는 데이터 신호를 다른 송신 링크로 출력하도록 구성된 출력 인터페이스 회로를 포함한다.

[3871] 제 11 예는 제 9 예 또는 제 10 예의 데이터 처리 디바이스이며, 이 예에서 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[3872] 제 12 예는 제 9 예 내지 제 11 예 중 어느 한 예의 데이터 처리 디바이스이며, 메모리 장치를 더 포함한다. 다른 처리 회로는 또한 메모리 디바이스에 대한 기입 신호를 생성하도록 구성되고, 기입 신호는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지, 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하고, 제 7 신호 에지 및 제 8 신호 에지는 메모리 디바이스에 기입될 프로세서의 제 1 데이터에 대응하는 제 5 기간에 의해 분리되고, 제 8 신호 에지 및 제 9 신호 에지는 메모리 디바이스에 기입될 프로세서의 제 2 데이터에 대응하는 제 6 기간에 의해 분리된다. 대안적으로 또는 부가적으로, 처리 회로는 메모리 디바이스에 의해 출력된 판독 신호에서 제 1 타입의 제 10 신호 에지, 제 2 타입의 제 11 신호 에지, 및 제 1 타입의 제 12 신호 에지의 시퀀스를 결정하도록 구성되고, 복조 회로는 제 10 신호 에지와 제 11 신호 에지 사이의 제 7 기간에 기초하여 프로세서에 대한 제 1 데이터를 결정하고 제 11 신호 에지와 제 12 신호 에지 사이의 제 8 기간에 기초하여 프로세서에 대한 제 2 데이터를 결정하도록 구성된다.

[3873] 제 13 예는 제 9 예 내지 제 12 예 중 어느 한 예의 데이터 처리 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3874] 제 14 예는 제 9 예 내지 제 13 예 중 어느 한 예의 데이터 처리 디바이스이며, 이 예에서 복조 회로는 직렬 신호 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호 및 판독 신호 중 적어도 하나를 복조하도록 구성되고, 및/또는 다른 처리 회로는 STEP 프로토콜에 순응하는 제어 신호 및 기입 신호 중 적어도 하나를 생성하도록 구성된다.

[3875] 제 15 예는 복수의 센서 및 데이터 취합 디바이스를 포함하는 차량이다. 데이터 취합 디바이스는 복수의 제 1 송신 링크를 통해 복수의 센서에 결합하도록 구성된 제 1 인터페이스 회로를 포함하고, 입력 인터페이스는 또한 복수의 센서로부터 센서 데이터를 취합하도록 구성된다. 또한, 데이터 취합 디바이스는 데이터 신호를 생성하도록 구성된 처리 회로를 포함하고, 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 취합된 센서 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 취합된 센서 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 데이터 취합 디바이스는 데이터 신호를 제 2 송신 링크로 출력하도록 구성된 제 2 인터페이스 회로를 더 포함한다.

[3876] 제 16 예는 제 15 예의 차량이며, 이 예에서 데이터 신호의 데이터 레이트는 복수의 제 1 송신 링크 중 단일 송신 링크를 통해 수신된 각각의 센서 데이터의 데이터 레이트보다 적어도 5 배를 초과한다.

[3877] 제 17 예는 제 15 예 또는 제 16 예의 차량이며, 데이터 처리 디바이스를 더 포함한다. 데이터 처리 디바이스는 제 2 송신 링크로부터 데이터 신호를 수신하도록 구성된 제 3 인터페이스 회로를 포함한다. 또한, 데이터 처리 디바이스는 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함한다. 데이터 처리 디바이스는 또한 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 센서 데이터의 제 3 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 센서 데이터의 제 4 데이터를 결정하도록 구성된 복조 회로를 포함한다. 데이터 처리 디바이스는 센서 데이터의 제 3 데이터 및 제 4 데이터에 기초하여 차량의 제어 가능한 디바이스에 대한 제어 데이터를 생성하도록 구성된 프로세서를 더 포함한다.

[3878] 제 18 예는 예 17의 차량이며, 이 예에서 데이터 처리 디바이스는 제어 신호를 생성하기 위한 장치를 더 포함한다. 제어 신호를 생성하기 위한 장치는 제어 신호를 생성하도록 구성된 다른 처리 회로를 포함하고, 제어 신호는 제 1 타입의 제 7 신호 에지, 제 2 타입의 제 8 신호 에지, 및 제 1 타입의 제 9 신호 에지의 시퀀스를 포함하고, 제 7 신호 에지 및 제 8 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 5 기간에 의해 분리되고,

제 8 신호 에지 및 제 9 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 6 기간에 의해 분리된다. 또한, 제어 신호를 생성하기 위한 장치는 데이터 신호를 제어 가능한 디바이스에 결합된 제 3 송신 링크로 출력하도록 구성된 제 4 인터페이스 회로를 포함한다.

[3879] 제 19 예는 제 18 예의 차량이며, 제 4 출력 회로와 제어 가능한 디바이스 사이에 결합된 중계기 회로를 더 포함하고, 중계기 회로는 제 3 송신 링크로부터 제어 신호를 수신하고 제어 신호를 증폭하도록 구성된다.

[3880] 제 20 예는 제 15 예 내지 제 19 예 중 어느 한 예의 차량이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이고, 및/또는 제 3 기간과 제 4 기간의 합은 10^{-7}s 미만이다.

[3881] 제 21 예는 제 15 예 내지 제 20 예 중 어느 한 예의 차량이며, 이 예에서 복조 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 복조하도록 구성되고 및/또는 다른 처리 회로는 STEP 프로토콜에 순응하는 제어 신호를 생성하도록 구성된다.

[3882] 도 44a 내지 도 44c와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3883] 제 1 예는 이미지 데이터를 생성하도록 구성된 카메라 요소, 및 데이터 신호를 생성하도록 구성된 처리 회로를 포함하는 센서 디바이스이다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 이미지 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 이미지 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 센서 디바이스는 데이터 신호를 출력하도록 구성된 인터페이스 회로를 더 포함한다.

[3884] 제 2 예는 제 1 예의 센서 디바이스이며, 이 예에서 이미지 데이터는 적어도 하나의 비디오 데이터 스트림을 포함한다.

[3885] 제 3 예는 제 2 예의 센서 디바이스이며, 비디오 데이터 스트림은 5.5 Gbit/s 초과의 데이터 레이트를 나타낸다.

[3886] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 센서 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3887] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 센서 디바이스이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3888] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 센서 디바이스이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 인터페이스 회로는 또한 제 2 데이터 신호를 출력하도록 구성된다.

[3889] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 센서 디바이스이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다.

[3890] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 센서 디바이스이며, 이 예에서 카메라 요소는 제 1 비디오 데이터 스트림을 생성하도록 구성된 제 1 카메라 및 제 2 비디오 데이터 스트림을 생성하도록 구성된 제 2 카메라를 포함한다. 카메라 요소는 제 1 비디오 데이터 스트림 및 제 2 비디오 데이터 스트림을 포함하는 이미지 데이터를 생성하도록 구성된다.

[3891] 제 9 예는 제 1 예 내지 제 8 예 중 어느 한 예의 센서 디바이스이며, 센서 데이터를 생성하도록 구성된 적어도 하나의 추가 센서 요소를 더 포함하고, 처리 회로는 또한 센서 데이터를 데이터 신호에 포함시키도록 구성된다.

[3892] 제 10 예는 제 9 예의 센서 디바이스이며, 이 예에서 추가 센서 요소는 마이크로폰 및 광 센서 중 하나이다.

[3893] 제 11 예는 제 1 예 내지 제 11 예 중 어느 한 예의 센서 디바이스이며, 이 예에서 인터페이스 회로는 또한 제어 신호를 수신하도록 구성된다. 전자 디바이스는 제어 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 더 포함한다. 또한, 전자 디바이스는 제 4 신호 에지와 제 5 신호 에지 사이의 제 1 기간에 기초하여 제 1 제어 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 2 기간에 기초하여 제 2 제어 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3894] 제 12 예는 센서 데이터를 수신하도록 구성된 제 1 인터페이스 회로 및 데이터 신호를 생성하도록 구성된 처리 회로를 포함하는 브리지 회로이다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 센서 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 센서 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 브리지 회로는 또한 데이터 신호를 출력하도록 구성된 제 2 인터페이스 회로를 포함한다.

[3895] 제 13 예는 제 12 예의 브리지 회로이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3896] 제 14 예는 제 12 예 또는 제 13 예의 브리지 회로이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3897] 제 15 예는 제 12 예 내지 제 14 예 중 어느 한 예의 브리지 회로이며, 이 예에서 처리 회로는 또한 제 2 데이터 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 제 2 인터페이스 회로는 또한 제 2 데이터 신호를 출력하도록 구성된다.

[3898] 제 16 예는 제 12 예 내지 제 15 예 중 어느 한 예의 브리지 회로이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 생성하도록 구성된다.

[3899] 제 17 예는 제 12 예 내지 제 16 예 중 어느 한 예의 브리지 회로이며, 이 예에서 제 1 인터페이스는 적어도 두 개의 센서 요소로부터 센서 데이터를 수신하도록 구성된다.

[3900] 제 18 예는 제 12 예 내지 제 17 예 중 어느 한 예의 브리지 회로이며, 이 예에서 센서 데이터는 이미지 데이터를 포함하고, 제 1 인터페이스 회로는 카메라 직렬 인터페이스(Camera Serial Interface)(CSI) 프로토콜에 순응하는 이미지 데이터를 수신하도록 구성된다.

[3901] 제 19 예는 제 12 예 내지 제 18 예 중 어느 한 예의 브리지 회로이며, 이 예에서 제 2 인터페이스 회로는 또한 제어 신호를 수신하도록 구성된다. 브리지 회로는 제어 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 더 포함한다. 또한, 브리지 회로는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 제어 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 제어 데이터를 결정하도록 구성된 복조 회로를 포함한다. 제 1 인터페이스는 통신 프로토콜에 순응하는 제 1 제어 데이터 및 제 2 제어 데이터를 출력하도록 구성된다.

[3902] 제 20 예는 데이터 신호를 수신하도록 구성된 인터페이스 회로, 및 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호의 시퀀스를 결정하도록 구성된 처리 회로를 포함하는 전자 디바이스이다. 또한, 전자 디바이스는 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 전자 디바이스는 제 1 데이터 및 제 2 데이터에 기초하여 센서 데이터를 결정하도록 구성된 애플리케이션 프로세서를 더 포함한다.

[3903] 제 21 예는 제 20 예의 전자 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3904] 제 22 예는 제 20 예 또는 제 21 예의 전자 디바이스이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3905] 제 23 예는 제 20 예 내지 제 22 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 인터페이스 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 처리 회로는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지, 및 제 3 신호 에지를 결정하도록 구성된다.

[3906] 제 24 예는 제 20 예 내지 제 23 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 복조 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 복조하도록 구성된다.

[3907] 제 25 예는 제 20 예 내지 제 24 예 중 어느 한 예의 전자 디바이스이며, 이 예에서 애플리케이션 프로세서는 또한 제어 데이터를 생성하도록 구성된다. 전자 디바이스는 제어 신호를 생성하도록 구성된 다른 처리 회로를

더 포함하고, 제어 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 4 기간에 의해 분리된다. 또한, 인터페이스 회로는 제어 신호를 출력하도록 구성된다.

[3908] 제 26 예는 데이터 신호를 수신하도록 구성된 제 1 인터페이스 회로, 및 데이터 신호에서 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 결정하도록 구성된 처리 회로를 포함하는 브리지 회로이다. 브리지 회로는 또한 제 1 신호 에지와 제 2 신호 에지 사이의 제 1 기간에 기초하여 제 1 데이터를 결정하고 제 2 신호 에지와 제 3 신호 에지 사이의 제 2 기간에 기초하여 제 2 데이터를 결정하도록 구성된 복조 회로를 포함한다. 또한, 브리지 회로는 제 1 데이터 및 제 2 데이터에 기초하여 통신 프로토콜에 순응하는 출력 신호를 생성하도록 구성된 변조 회로, 및 출력 신호를 출력하도록 구성된 제 2 인터페이스 회로를 포함한다.

[3909] 제 27 예는 제 26 예의 브리지 회로이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3910] 제 28 예는 제 26 예 또는 제 27 예의 브리지 회로이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3911] 제 29 예는 제 26 예 내지 제 28 예 중 어느 한 예의 브리지 회로이며, 이 예에서 제 1 인터페이스 회로는 또한 제 2 데이터 신호를 수신하도록 구성되고, 제 2 데이터 신호는 데이터 신호에 대해 반전되고, 처리 회로는 제 2 데이터 신호에 더 기초하여 제 1 신호 에지, 제 2 신호 에지 및 제 3 신호 에지를 결정하도록 구성된다.

[3912] 제 30 예는 제 26 예 내지 제 29 예 중 어느 한 예의 브리지 회로이며, 이 예에서 복조 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 신호를 복조하도록 구성된다.

[3913] 제 31 예는 제 26 예 내지 제 30 예 중 어느 한 예의 브리지 회로이며, 이 예에서 변조 회로는 또한 제 2 출력 신호를 생성하도록 구성되고, 제 2 출력 신호는 출력 신호에 대해 반전되고, 제 2 인터페이스 회로는 또한 제 2 출력 신호를 출력하도록 구성된다.

[3914] 제 32 예는 제 26 예 내지 제 31 예 중 어느 한 예의 브리지 회로이며, 이 예에서 제 2 인터페이스 회로는 또한 통신 프로토콜에 순응하는 제어 데이터를 수신하도록 구성된다. 브리지 회로는 제어 신호를 생성하도록 구성된 다른 처리 회로를 더 포함하고, 제어 신호는 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 포함하고, 제 4 신호 에지 및 제 5 신호 에지는 제어 데이터의 제 1 데이터에 대응하는 제 3 기간에 의해 분리되고, 제 5 신호 에지 및 제 6 신호 에지는 제어 데이터의 제 2 데이터에 대응하는 제 4 기간에 의해 분리된다. 또한, 제 1 인터페이스 회로는 제어 신호를 출력하도록 구성된다.

[3915] 제 33 예는 제 26 예 내지 제 32 예 중 어느 한 예의 브리지 회로이며, 이 예에서 통신 프로토콜은 주변 컴포넌트 인터커넥트 익스프레스(PCIe); D-PHY; M-PHY; 또는 범용 직렬 버스(USB) 중 하나이다.

[3916] 제 34 예는 적어도 하나의 이미징 디바이스를 포함하는 이미징 시스템이다. 적어도 하나의 이미징 디바이스는 이미지 데이터를 생성하도록 구성된 카메라 요소, 및 데이터 신호를 생성하도록 구성된 처리 회로를 포함한다. 데이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하며, 제 1 신호 에지 및 제 2 신호 에지는 이미지 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 이미지 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 적어도 하나의 이미징 디바이스는 데이터 신호를 송신 링크로 출력하도록 구성된 출력 인터페이스 회로를 더 포함한다. 또한, 이미징 시스템은 이미지 처리 디바이스를 포함한다. 이미지 처리 디바이스는 송신 링크로부터 데이터 신호를 수신하도록 구성된 입력 인터페이스 회로, 및 데이터 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 포함한다. 또한, 이미지 처리 디바이스는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 3 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 4 데이터를 결정하도록 구성된 복조 회로를 포함한다. 이미지 처리 디바이스는 또한 제 3 데이터 및 제 4 데이터에 기초하여 이미지 데이터를 결정하도록 구성된 애플리케이션 프로세서를 포함한다.

[3917] 제 35 예는 적어도 하나의 센서 디바이스를 포함하는 통신 디바이스이다. 적어도 하나의 센서 디바이스는 이미지 데이터를 생성하도록 구성된 카메라 요소, 및 데이터 신호를 생성하도록 구성된 처리 회로를 포함한다. 데

이터 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 이미지 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 이미지 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 적어도 하나의 센서 디바이스는 데이터 신호를 출력하도록 구성된 인터페이스 회로를 더 포함한다.

[3918] 제 36 예는 제 35 예의 통신 디바이스이며, 이 예에서, 센서 디바이스는 센서 데이터를 생성하도록 구성된 적어도 하나의 추가 센서 요소를 포함하고, 처리 회로는 또한 센서 데이터를 데이터 신호에 포함시키도록 구성된다.

[3919] 제 37 예는 제 35 예 또는 제 36 예의 통신 디바이스이며, 이 예에서, 통신 디바이스는 모바일 폰, 태블릿 컴퓨터, 랩톱 컴퓨터 및 컴퓨터 중 하나이다.

[3920] 도 46a 내지 도 46c와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3921] 제 1 예는 인쇄 회로 기판, 인쇄 회로 기판 상에 배열되고 송신 데이터를 생성하도록 구성된 베이스밴드 프로세서를 포함하는 제 1 다이, 및 인쇄 회로 기판 상에 배열되고 무선 주파수 모뎀의 적어도 일부를 포함하는 제 2 다이를 포함하는 무선 시스템이다. 제 1 다이는 데이터 송신 신호를 생성하도록 구성된 처리 회로를 더 포함하고, 데이터 송신 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 송신 데이터와 관련된 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 송신 데이터와 관련된 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 제 1 다이는 또한 데이터 송신 신호를 제 1 다이와 제 2 다이를 결합하는 전송 링크로 출력하도록 구성된 인터페이스 회로를 포함한다.

[3922] 제 2 예는 제 1 예의 무선 시스템이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3923] 제 3 예는 제 1 예 또는 제 2 예의 무선 시스템이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3924] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 무선 시스템이며, 이 예에서 처리 회로는 또한 제 2 데이터 송신 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 송신 신호에 대해 반전되고, 출력 인터페이스 회로는 또한 제 2 데이터 송신 신호를 송신 링크로 출력하도록 구성된다.

[3925] 제 5 예는 제 1 예 내지 제 4 예 중 어느 한 예의 무선 시스템이며, 이 예에서 인터페이스 회로는 또한 송신 링크로부터 데이터 수신 신호를 수신하도록 구성된다. 제 1 다이는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 더 포함한다. 또한, 제 1 다이는 제 4 신호 에지와 제 5 신호 에지 사이의 제 1 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 2 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3926] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 무선 시스템이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성되고, 및/또는 복조 회로는 STEP 프로토콜에 순응하는 데이터 수신 신호를 복조하도록 구성된다.

[3927] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예에 따른 무선 시스템을 포함하는 모바일 디바이스이다.

[3928] 제 8 예는 제 7 예의 모바일 디바이스이며, 인쇄 회로 기판 상에 배열된 애플리케이션 프로세서를 더 포함하고, 애플리케이션 프로세서는 베이스밴드 프로세서에 결합된다.

[3929] 제 9 예는 제 1 예 내지 제 6 예 중 어느 한 예에 따른 무선 시스템을 포함하는 모바일 통신 네트워크에 대한 기지국이다.

[3930] 제 10 예는 제 9 예의 기지국이며, 베이스밴드 프로세서에 결합된 애플리케이션 프로세서를 더 포함한다.

[3931] 도 47a 내지 도 47d와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3932] 제 1 예는 인쇄 회로 기판 상에 배열된 다이를 포함하는 무선 시스템이며, 이 예에서 베이스밴드 프로세서 및 무선 주파수 모뎀의 제 1 부분을 포함한다. 무선 시스템은 인쇄 회로 기판과 분리되어 배열된 라디오 헤드를 더 포함하고, 라디오 헤드는 무선 주파수 모뎀의 제 2 부분 및 무선 주파수 모뎀의 제 2 부분에 결합된 적어도 하나의 안테나를 포함한다. 제 1 다이는 데이터 송신 신호를 생성하도록 구성된 처리 회로를 더 포함하고, 데이터 송신 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의

시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 무선 주파수 모뎀의 제 1 부분에 의해 생성된 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 무선 주파수 모뎀의 제 1 부분에 의해 생성된 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 제 1 다이는 데이터 송신 신호를 제 1 다이와 라디오 헤드를 결합하는 송신 링크로 출력하도록 구성된 인터페이스 회로를 포함한다.

[3933] 제 2 예는 제 1 예의 무선 시스템이며, 이 예에서 무선 주파수 모뎀의 제 1 부분은 디지털 회로만을 포함하고, 무선 주파수 모뎀의 제 2 부분은 디지털 및 아날로그 회로를 포함한다.

[3934] 제 3 예는 제 1 예 또는 제 2 예의 무선 시스템이며, 이 예에서 데이터 송신 신호는 다수의 송신 채널에 대한 데이터 및/또는 다수의 송신 편파에 대한 데이터를 포함한다.

[3935] 제 4 예는 제 1 예 내지 제 3 예 중 어느 한 예의 무선 시스템이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3936] 제 5 예는 제 8 예 내지 제 4 예 중 어느 한 예의 무선 시스템이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3937] 제 6 예는 제 1 예 내지 제 5 예 중 어느 한 예의 무선 시스템이며, 이 예에서 처리 회로는 또한 제 2 데이터 송신 신호를 생성하도록 구성되고, 제 2 데이터 신호는 데이터 송신 신호에 대해 반전되고, 출력 인터페이스 회로는 또한 제 2 데이터 송신 신호를 송신 링크로 출력하도록 구성된다.

[3938] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 무선 시스템이며, 이 예에서 인터페이스 회로는 또한 송신 링크를 통해 무선 주파수 모뎀의 제 2 부분으로부터 데이터 수신 신호를 수신하도록 구성된다. 제 1 다이는 데이터 수신 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 더 포함한다. 또한, 제 1 다이는 제 4 신호 에지와 제 5 신호 에지 사이의 제 1 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 2 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함한다.

[3939] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 무선 시스템이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 데이터 송신 신호를 생성하도록 구성되고, 및/또는 복조 회로는 STEP 프로토콜에 순응하는 데이터 수신 신호를 복조하도록 구성된다.

[3940] 제 9 예는 제 1 예 내지 제 8 예 중 어느 한 예에 따른 무선 시스템을 포함하는 모바일 디바이스이다.

[3941] 제 10 예는 제 9 예의 모바일 디바이스이며, 인쇄 회로 기판 상에 배열된 애플리케이션 프로세서를 더 포함하고, 애플리케이션 프로세서는 베이스밴드 프로세서에 결합된다.

[3942] 제 11 예는 제 1 예 내지 제 8 예 중 어느 한 예에 따른 무선 시스템을 포함하는 모바일 통신 네트워크의 기지국이다.

[3943] 제 12 예는 제 11 예의 기지국이며, 베이스밴드 프로세서에 결합된 애플리케이션 프로세서를 더 포함한다.

[3944] 도 48a 내지 도 48c와 관련하여 위에서 설명된 예는 다음과 같이 요약될 수 있다:

[3945] 제 1 예는 저장될 데이터를 생성하도록 구성된 적어도 하나의 프로세서 코어를 포함하는 반도체 다이이다. 또한, 반도체 다이는 저장될 데이터에 기초하여 주변 컴포넌트 인터커넥트 익스프레스(PCIe) 프로토콜에 순응하는 제 1 출력 신호를 생성할 수 있는 제 1 장치를 포함하고, 제 1 장치는 제 1 출력 신호를 반도체 다이의 제 1 출력 단자에 출력하도록 구성된다. 반도체 다이는 또한 제 2 출력 신호를 생성할 수 있는 제 2 장치를 포함한다. 제 2 장치는 제 2 출력 신호를 생성하도록 구성된 처리 회로를 포함하고, 제 2 출력 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 저장될 데이터의 제 1 데이터에 대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 저장될 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 제 2 장치는 제 2 출력 신호를 반도체 다이의 제 2 출력 단자에 출력하도록 구성된 인터페이스 회로를 포함한다. 반도체 다이는 제 1 동작 모드에서 제 1 장치를 인에이블하고 제 2 동작 모드에서 제 2 장치를 인에이블하도록 구성된 제어 회로를 더 포함한다.

[3946] 제 2 예는 제 1 예의 반도체 다이이며, 제 1 장치 및 제 2 장치의 동작을 제어하도록 구성된 PCIe 제어기를 더 포함한다.

[3947] 제 3 예는 제 2 예의 반도체 다이이며, 이 예에서 PCIe 제어기는 제 1 인터페이스 프로토콜을 사용하여 제 1 장치 및 제 2 장치와 통신하도록 구성된다. 제 2 장치는 제 2 인터페이스 프로토콜을 사용하여 제어 회로와 통신하도록 구성된다. 반도체 다이는 PCIe 제어기와 제 2 장치 사이에 결합된 개스킷 회로를 더 포함하고, 개스킷 회로는 제 1 인터페이스 프로토콜과 제 2 인터페이스 프로토콜 사이를 변환하도록 구성된다.

[3948] 제 4 예는 제 3 예의 반도체 다이이며, 이 예에서 제 1 인터페이스 프로토콜은 PCI 익스프레스 아키텍처(PIPE) 프로토콜에 대한 PHY 인터페이스이다.

[3949] 제 5 예는 제 2 예 내지 제 4 예 중 어느 한 예의 반도체 다이이며, 이 예에서 PCIe 제어기는 제 1 장치와 통신하기 위한 제 1 포트 및 제 2 장치와 통신하기 위한 제 2 포트를 포함한다.

[3950] 제 6 예는 제 2 예 내지 제 5 예 중 어느 한 예의 반도체 다이이며, 이 예에서 PCIe 제어기는 제어 회로를 포함한다.

[3951] 제 7 예는 제 1 예 내지 제 6 예 중 어느 한 예의 반도체 다이이며, 이 예에서 제 1 출력 단자와 제 2 출력 단자는 상이한 신호 라인을 통해 데이터 저장 디바이스를 수용하기 위한 커넥터에 결합하도록 구성된다.

[3952] 제 8 예는 제 1 예 내지 제 7 예 중 어느 한 예의 반도체 다이이며, 이 예에서 반도체 다이의 입력 단자는 데이터 저장 디바이스를 수용하기 위한 커넥터의 미리 결정된 전기 접점에 결합되도록 구성되고, 제어 회로는 미리 결정된 신호가 미리 결정된 전기 접점에서 감지되면 제 2 동작 모드를 설정하도록 구성된다.

[3953] 제 9 예는 제 8 예의 반도체 다이이며, 이 예에서 제어 회로는 미리 결정된 신호와 상이한 신호가 미리 결정된 전기 접점에서 감지되면 제 1 동작 모드를 설정하도록 구성된다.

[3954] 제 10 예는 제 8 예 또는 제 9 예의 반도체 다이이며, 이 예에서 반도체 다이의 다른 출력 단자는 커넥터의 다른 미리 결정된 전기 접점에 결합하도록 구성되고, 반도체 다이는 다른 미리 결정된 신호를 다른 출력 단자를 통해 다른 미리 결정된 전기 접점에 출력하도록 구성된다.

[3955] 제 11 예는 제 1 예 내지 제 10 예 중 어느 한 예의 반도체 다이이며, 이 예에서 반도체 다이는 반도체 다이의 입력 단자에서 입력 신호를 수신하도록 구성되고, 반도체 다이는 입력 신호를 디코딩할 수 있는 장치를 더 포함한다. 입력 신호를 디코딩할 수 있는 장치는 입력 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 포함한다. 또한, 입력 신호를 디코딩할 수 있는 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함한다. 제어 회로는 제 2 동작 모드에서 입력 신호를 디코딩할 수 있는 장치를 인에이블하도록 구성된다.

[3956] 제 12 예는 제 11 예의 반도체 다이이며, PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 다른 장치를 더 포함하고, 제어 회로는 PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 다른 장치를 제 1 동작 모드에서 인에이블하도록 구성된다.

[3957] 제 13 예는 제 1 예 내지 제 12 예 중 어느 한 예의 반도체 다이이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 제 2 출력 신호를 생성하도록 구성되고, 및/또는 입력 신호를 디코딩할 수 있는 장치는 STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다.

[3958] 제 14 예는 제 1 예 내지 제 13 예 중 어느 한 예의 반도체 다이이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3959] 제 15 예는 제 1 예 내지 제 14 예 중 어느 한 예의 반도체 다이이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3960] 제 16 예는 데이터를 저장하도록 구성된 데이터 저장 요소를 포함하는 데이터 저장 디바이스이다. 또한, 데이터 저장 디바이스는 데이터 저장 요소에 저장된 데이터에 기초하여 주변 컴포넌트 인터커넥트 익스프레스(PCIe) 프로토콜에 순응하는 제 1 출력 신호를 생성할 수 있는 제 1 장치를 포함하고, 제 1 장치는 제 1 출력 신호를 데이터 저장 디바이스의 커넥터로 출력하도록 구성된다. 데이터 저장 디바이스는 또한 제 2 출력 신호를 생성할 수 있는 제 2 장치를 포함한다. 제 2 장치는 제 2 출력 신호를 생성하도록 구성된 처리 회로를 포함하고, 제 2 출력 신호는 제 1 타입의 제 1 신호 에지, 제 2 타입의 제 2 신호 에지, 및 제 1 타입의 제 3 신호 에지의 시퀀스를 포함하고, 제 1 신호 에지 및 제 2 신호 에지는 데이터 저장 요소에 저장된 데이터의 제 1 데이터에

대응하는 제 1 기간에 의해 분리되고, 제 2 신호 에지 및 제 3 신호 에지는 데이터 저장 요소에 저장된 데이터의 제 2 데이터에 대응하는 제 2 기간에 의해 분리된다. 또한, 제 2 장치는 제 2 출력 신호를 커넥터로 출력하도록 구성된 인터페이스 회로를 포함한다. 데이터 저장 디바이스는 또한 제 1 장치를 제 1 동작 모드에서 인에이블하고 제 2 장치를 제 2 동작 모드에서 인에이블하도록 구성된 제어 회로를 포함한다.

[3961] 제 17 예는 제 16 예의 데이터 저장 디바이스이며, 이 예에서 제 1 장치와 인터페이스 회로는 상이한 신호 라인을 통해 커넥터에 결합된다.

[3962] 제 18 예는 제 16 예 또는 제 17 예의 데이터 저장 디바이스이며, 이 예에서 제어 회로는 미리 결정된 신호가 커넥터의 미리 결정된 전기 접점에서 감지되면 제 2 동작 모드를 설정하도록 구성된다.

[3963] 제 19 예는 제 18 예의 데이터 저장 디바이스이며, 이 예에서 제어 회로는 미리 결정된 신호와 상이한 신호가 미리 결정된 전기 접점에서 감지되면 제 1 동작 모드를 설정하도록 구성된다.

[3964] 제 20 예는 제 18 예 또는 제 19 예의 데이터 저장 디바이스이며, 이 예에서 데이터 저장 디바이스는 다른 미리 결정된 신호를 다른 미리 결정된 전기 접점에 출력하도록 구성된다.

[3965] 제 21 예는 제 16 예 내지 제 20 예 중 어느 한 예의 데이터 저장 디바이스이며, 제 1 장치 및 제 2 장치의 동작을 제어하도록 구성된 PCIe 제어기를 더 포함한다.

[3966] 제 22 예는 제 21 예의 데이터 저장 디바이스이며, 이 예에서 PCIe 제어기는 제 1 인터페이스 프로토콜을 사용하여 제 1 장치 및 제 2 장치와 통신하도록 구성된다. 제 2 장치는 제 2 인터페이스 프로토콜을 사용하여 제어 회로와 통신하도록 구성된다. 데이터 저장 디바이스는 PCIe 제어기와 제 2 장치 사이에 결합된 개스킷 회로를 더 포함하고, 개스킷 회로는 제 1 및 제 2 인터페이스 프로토콜 사이를 변환하도록 구성된다.

[3967] 제 23 예는 제 22 예의 데이터 저장 디바이스이며, 이 예에서 제 1 인터페이스 프로토콜은 PCI 익스프레스 아키텍처(PIPE) 프로토콜에 대한 PHY 인터페이스이다.

[3968] 제 24 예는 제 21 예 내지 제 23 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 PCIe 제어기는 제 1 장치와 통신하기 위한 제 1 포트 및 제 2 장치와 통신하기 위한 제 2 포트를 포함한다.

[3969] 제 25 예는 제 21 예 내지 제 24 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 PCIe 제어기는 제어 회로를 포함한다.

[3970] 제 26 예는 제 16 예 내지 제 25 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 인터페이스 회로는 커넥터로부터 입력 신호를 수신하도록 또한 구성된 제 2 동작 모드에 있고, 데이터 저장 디바이스는 입력 신호를 디코딩할 수 있는 장치를 더 포함한다. 입력 신호를 디코딩할 수 있는 장치는 입력 신호에서 제 1 타입의 제 4 신호 에지, 제 2 타입의 제 5 신호 에지, 및 제 1 타입의 제 6 신호 에지의 시퀀스를 결정하도록 구성된 다른 처리 회로를 포함한다. 또한, 입력 신호를 디코딩할 수 있는 장치는 제 4 신호 에지와 제 5 신호 에지 사이의 제 3 기간에 기초하여 제 1 수신 데이터를 결정하고 제 5 신호 에지와 제 6 신호 에지 사이의 제 4 기간에 기초하여 제 2 수신 데이터를 결정하도록 구성된 복조 회로를 포함한다. 제어 회로는 제 2 동작 모드에서 입력 신호를 디코딩할 수 있는 장치를 인에이블하도록 구성된다.

[3971] 제 27 예는 제 11 예의 데이터 저장 디바이스이며, PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 다른 장치를 더 포함하고, 제어 회로는 PCIe 프로토콜에 순응하는 입력 신호를 디코딩할 수 있는 장치를 제 1 동작 모드에서 인에이블하도록 구성된다.

[3972] 제 28 예는 제 16 예 내지 제 27 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 처리 회로는 연속 시간 인코딩된 Phy, STEP 프로토콜에 순응하는 제 2 출력 신호를 생성하도록 구성되고, 및/또는 입력 신호를 디코딩하기 위한 장치는 STEP 프로토콜에 순응하는 입력 신호를 디코딩하도록 구성된다.

[3973] 제 29 예는 제 16 예 내지 제 28 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 제 1 타입은 상승 에지이고 제 2 타입은 하강 에지이거나, 또는 제 2 타입은 상승 에지이고 제 1 타입은 하강 에지이다.

[3974] 제 30 예는 제 16 예 내지 제 29 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 제 1 기간과 제 2 기간의 합은 10^{-7}s 미만이다.

[3975] 제 31 예는 제 16 예 내지 제 30 예 중 어느 한 예의 데이터 저장 디바이스이며, 이 예에서 데이터 저장 요소는 3 차원 크로스포인트 메모리이다.

[3976] 제 32 예는 제 1 예 내지 제 15 예 중 어느 한 예에 따른 반도체 다이를 포함하는 컴퓨터이다.

[3977] 제 33 예는 제 16 예 내지 제 31 예 중 어느 한 예에 따른 데이터 저장 디바이스를 포함하는 컴퓨터이다.

[3978] 앞서의 상세한 예 및 도면 중 하나 이상과 함께 언급되고 설명된 양태 및 특징은 다른 예의 유사한 특징을 대체하기 위해 또는 특징을 다른 예에 추가로 도입하기 위해 하나 이상의 다른 예와 결합될 수도 있다.

[3979] 예는 또한 컴퓨터 프로그램이 컴퓨터 또는 프로세서상에서 실행될 때 위의 방법 중 하나 이상을 수행하기 위한 프로그램 코드를 갖는 컴퓨터 프로그램일 수 있거나, 또는 컴퓨터 프로그램과 관련될 수 있다. 위에서 설명한 다양한 방법의 단계, 동작 또는 프로세스는 프로그램된 컴퓨터 또는 프로세서에 의해 수행될 수 있다. 예는 또한 머신, 프로세서 또는 컴퓨터 판독 가능하고 명령어의 머신 실행 가능, 프로세서 실행 가능 또는 컴퓨터 실행 가능 프로그램을 인코딩하는 디지털 데이터 저장 매체와 같은 프로그램 저장 디바이스를 포함할 수 있다. 이러한 명령어는 위에서 설명한 방법의 일부 또는 전부의 행위를 수행하거나 수행하게 한다. 프로그램 저장 디바이스는 예를 들어 디지털 메모리, 자기 디스크 및 자기 테이프와 같은 자기 저장 매체, 하드 드라이브, 또는 광학적으로 판독 가능한 디지털 데이터 저장 매체일 수 있거나 이를 포함할 수 있다. 추가의 예는 또한 위에서 설명된 방법의 행위를 수행하도록 프로그램된 프로세서 또는 제어 유닛 또는 위에서 설명된 방법의 행위를 수행하도록 프로그램된 (필드) 프로그램 가능 로직 어레이((field) programmable logic array)((F) PLA) 또는 (필드) 프로그램 가능 게이트 어레이((field) programmable gate array)((F)PGA)를 포함할 수 있다.

[3980] 설명 및 도면은 단지 본 개시내용의 원리를 설명한다. 더욱이, 본 명세서에서 인용된 모든 예는 명시적으로 독자가 본 개시내용의 원리 및 발명자(들)에 의해 관련 기술을 발전시키는데 기여한 개념을 이해하는데 도움을 주려는 목적으로만 의도된다. 본 개시내용의 원리, 양태 및 예를 열거하는 본 명세서의 모든 진술뿐만 아니라, 그 특정 예는 그의 등가물을 망라하는 것으로 의도된다.

[3981] 특정 기능을 수행하는 "...하기 위한 수단"으로 표시된 기능 블록은 특정 기능을 수행하도록 구성된 회로를 지칭할 수 있다. 따라서 "무엇을 하기 위한 수단"은 각각의 작업에 구성되거나 적합한 디바이스 또는 회로와 같은 "무엇하기 위해 구성되거나 무엇하기에 적합한 수단"으로서 구현될 수 있다.

[3982] "수단", "신호를 제공하기 위한 수단", "신호를 생성하기 위한 수단" 등으로 표시된 임의의 기능 블록을 비롯하여, 도면에 도시된 다양한 요소의 기능은 "신호 제공자", "신호 처리 유닛", "프로세서", "제어기" 등과 같은 전용 하드웨어뿐만 아니라 적절한 소프트웨어와 연관하여 소프트웨어를 실행할 수 있는 하드웨어의 형태로 구현될 수 있다. 프로세서에 의해 제공될 때, 기능은 단일 전용 프로세서에 의해, 단일 공유 프로세서에 의해, 또는 복수의 개별 프로세서에 의해 제공될 수 있으며, 이들 중 일부 또는 전부는 공유될 수 있다. 그러나 "프로세서" 또는 "제어기"라는 용어는 단연코 소프트웨어를 독점적으로 실행할 수 있는 하드웨어로 제한되지 않고, 디지털 신호 프로세서 (digital signal processor)(DSP) 하드웨어, 네트워크 프로세서, 주문형 집적 회로 (application specific integrated circuit)(ASIC), 필드 프로그램 가능 게이트 어레이(field programmable gate array)(FPGA), 소프트웨어 저장을 위한 판독 전용 메모리(Read Only Memory)(ROM), 랜덤 액세스 메모리(Random Access Memory)(RAM) 및 비 휘발성 저장소를 포함할 수 있다. 종래의 및/또는 주문형의 다른 하드웨어가 또한 포함될 수 있다.

[3983] 블록도는 예를 들어 본 개시내용의 원리를 구현하는 하이 레벨의 회로도를 예시할 수 있다. 유사하게, 플로우 차트, 흐름도, 상태 천이도, 의사 코드 등은, 예를 들어, 실질적으로 컴퓨터 판독 가능 매체에서 표현되고, 그래서 컴퓨터 또는 프로세서에 의해, 컴퓨터 또는 프로세서가 명시적으로 보여지는지에 관계없이, 실행될 수 있는 다양한 프로세스, 동작 또는 단계를 나타낼 수 있다. 본 명세서 또는 예에서 개시된 방법은 이러한 방법의 각각의 행위의 각각을 수행하기 위한 수단을 갖는 디바이스에 의해 구현될 수 있다.

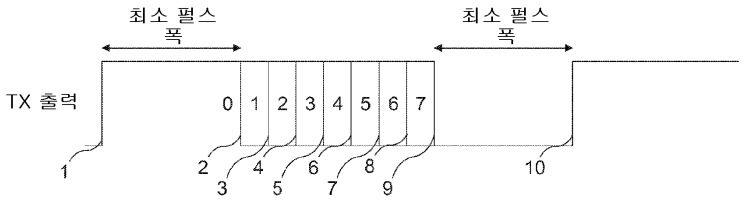
[3984] 본 명세서 또는 예에 개시된 다수의 행위, 프로세스, 동작, 단계 또는 기능의 개시내용은, 예를 들어, 기술적인 이유때문에 명시적으로 또는 암시적으로 달리 언급되지 않는 한, 특정 순서 내에 있는 것으로 해석되지 않을 수 있다는 것을 이해해야 한다. 그러므로, 다수의 행위 또는 기능의 개시내용은 이러한 행위 또는 기능이 기술적인 이유로 상호 교환 가능하지 않은 한 이를 특정 순서로 제한하지 않을 것이다. 더욱이, 일부 예에서, 단일 행위, 기능, 프로세스, 동작 또는 단계는 각각 다수의 하위 행위, 하위 기능, 하위 프로세스, 하위 동작 또는 하위 단계를 포함할 수 있고 또는 이것으로 나누어질 수 있다. 이러한 하위 행위는 명시적으로 배제되지 않는 한 포함될 수 있으며 이러한 단일 행위의 개시내용의 일부가 될 수 있다.

[3985] 더욱이, 다음의 청구 예는 이에 상세한 설명에 통합되며, 여기서 각 청구 항은 별개의 예로서 그 자체로 성립한다. 각각의 예는 별개의 예로서 그 자체로 성립할 수 있지만, 종속하는 예가 예에서 하나 이상의 다른 예와의

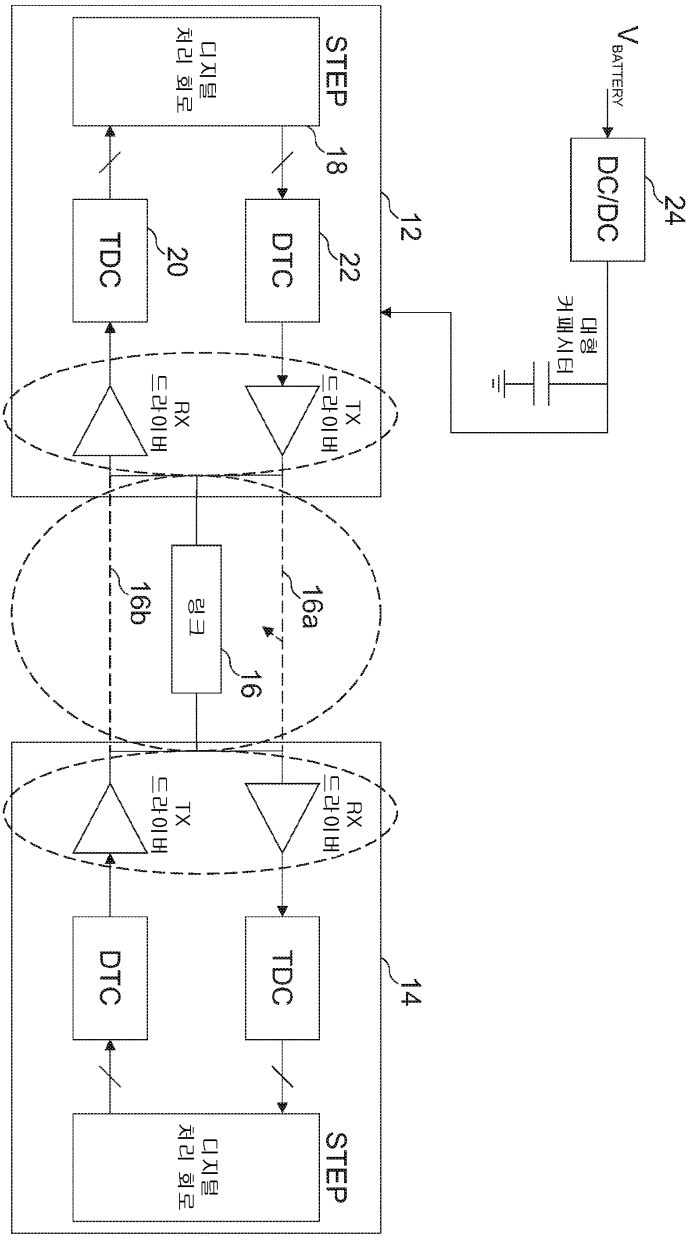
특정 조합을 참조할 수 있기는 하지만, 다른 예 또한 종속 예를 서로간의 종속 예 또는 독립 예의 주제와 조합하는 것을 포함할 수 있다는 것을 유의해야 한다. 이러한 조합은 특정 조합이 의도되지 않는 것으로 언급되지 않는 한 본 명세서에서 명시적으로 제안된다. 더욱이, 이러한 예가 독립 예에 직접적으로 종속하지 않더라도 임의의 다른 종속 예에 대한 예의 특징도 포함하는 것으로 의도된다.

도면

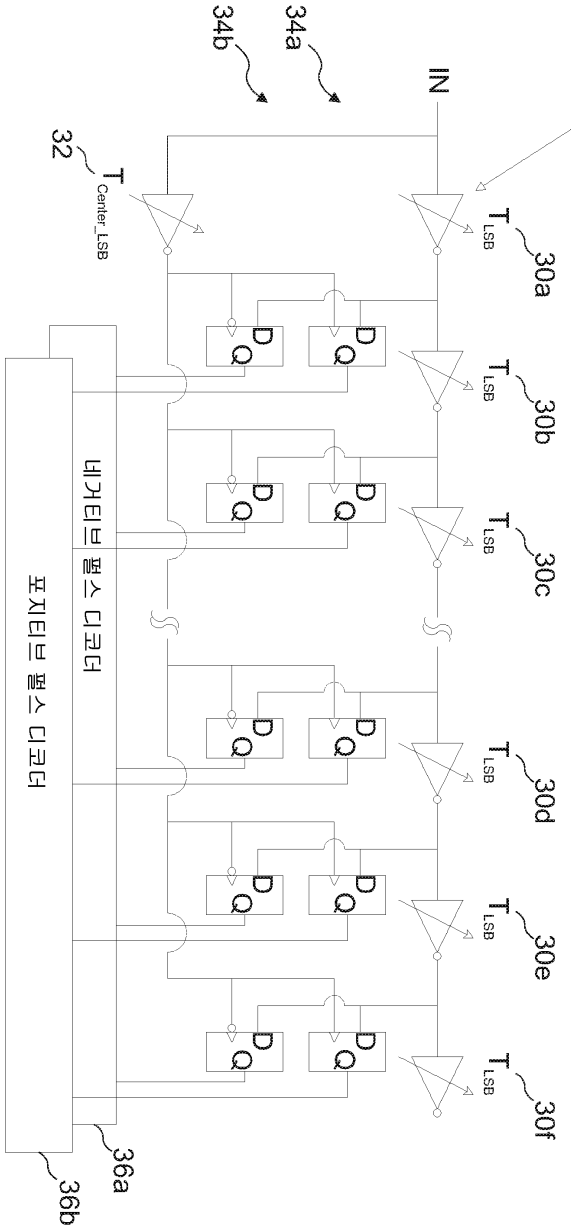
도면1a



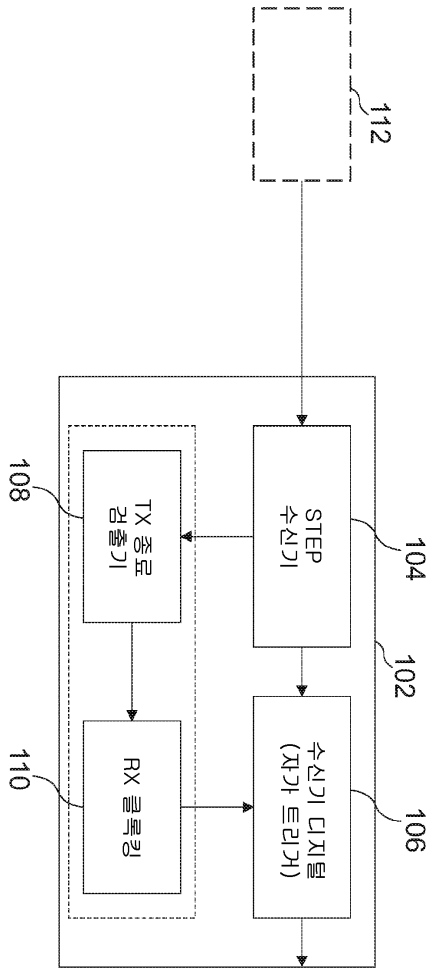
도면1b



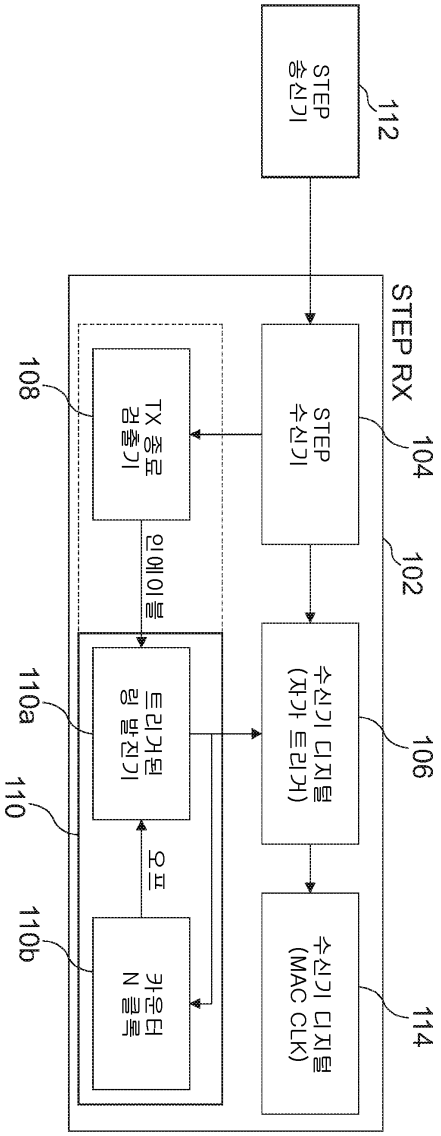
도면1c


34b
34a
IN
32
T Center_LSB
T LSB
30a
30b
30c
30d
30e
30f
D
Q
네거티브 펄스 디코더
포지티브 펄스 디코더
36a
36b

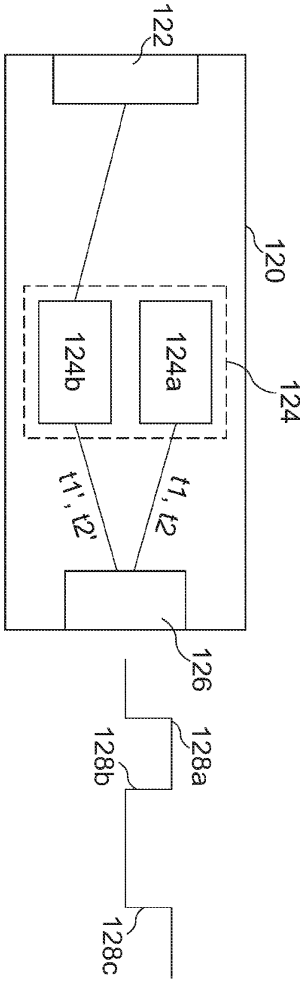
도면1d



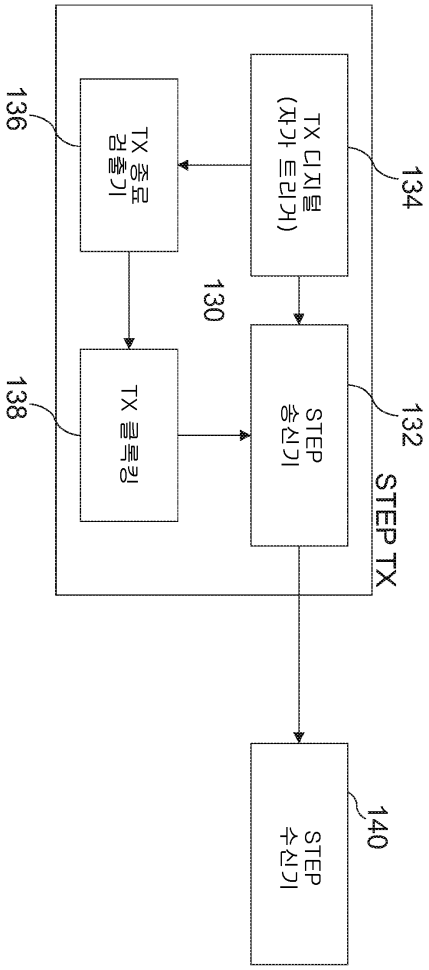
도면1e


STEP 송신기
112
STEP RX
STEP 수신기
104
TX 종료 검출기
108
인에이블
102
수신기 디지털 (자가 트리거)
106
트리거된 일 발진기
110a
110
오프
카운터 N 클록
110b
수신기 디지털 (MAC CLK)
114

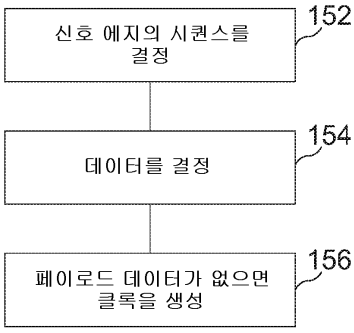
도면1f



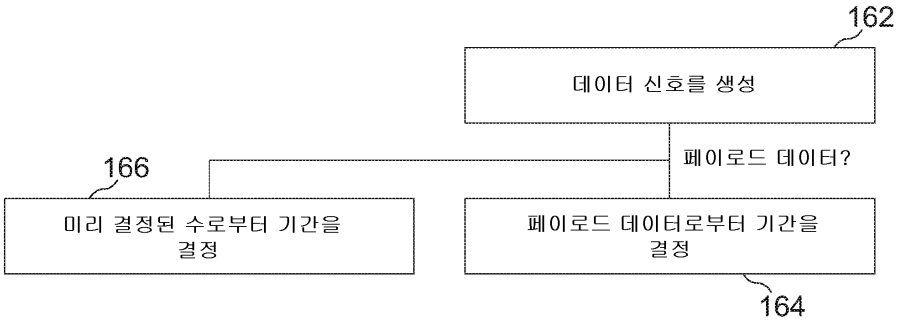
도면1g



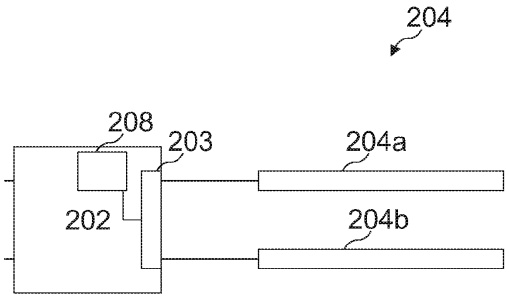
도면1h



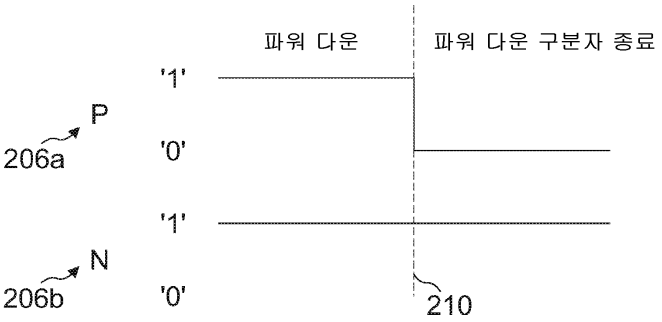
도면1i



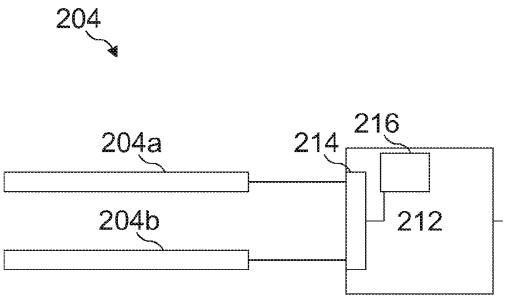
도면2a



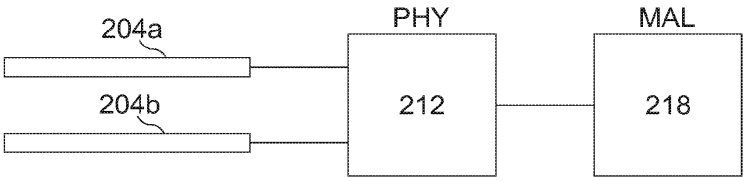
도면2b



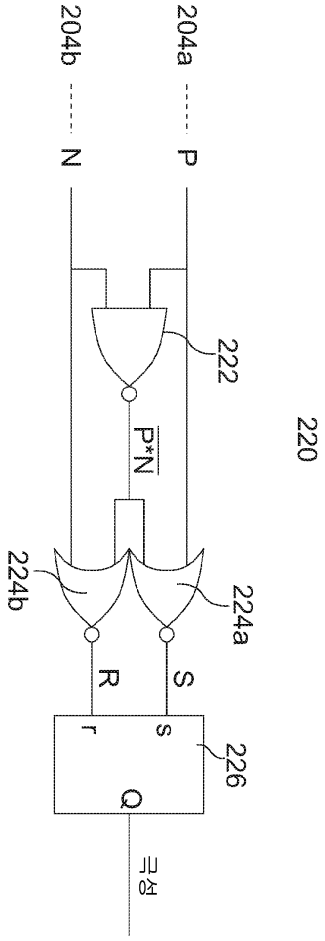
도면2c



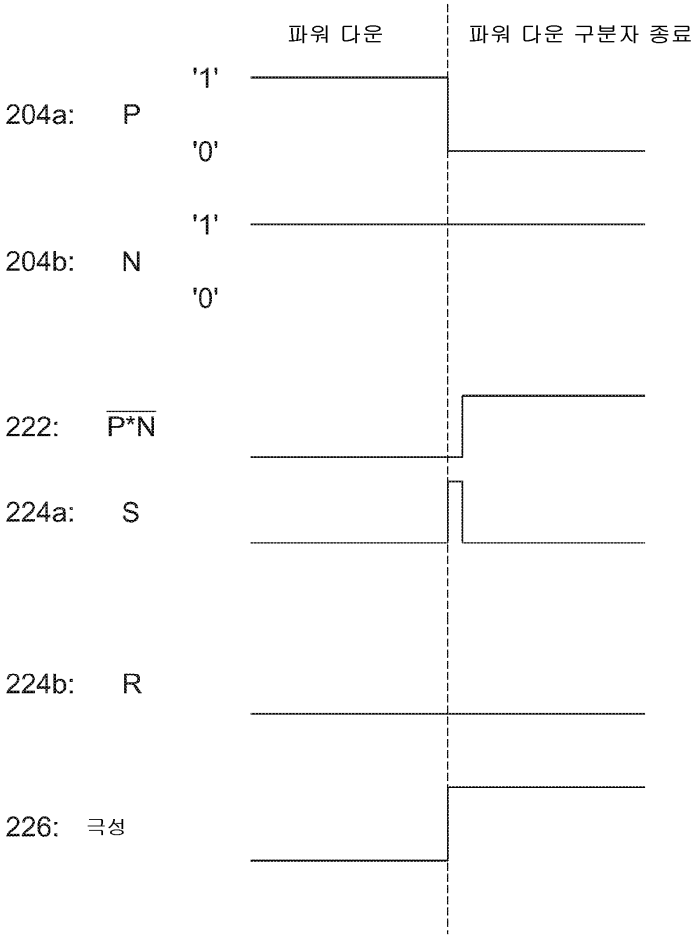
도면2d



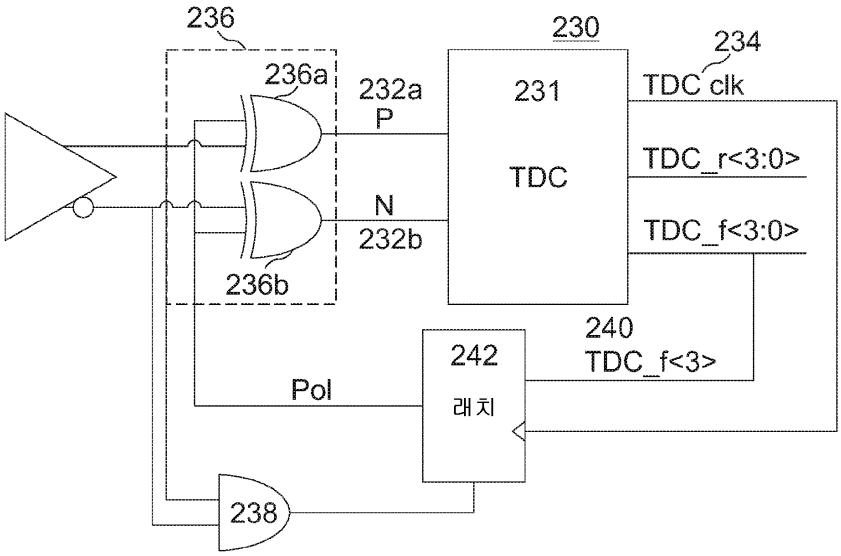
도면2e



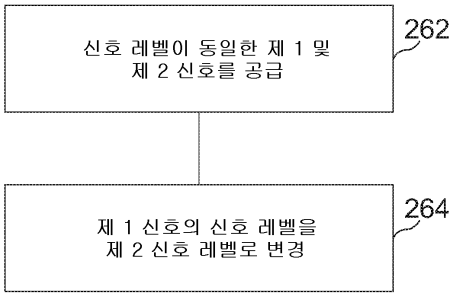
도면2f


파워 다운
파워 다운 구분자 종료
'1'
204a: P
'0'
'1'
204b: N
'0'
222: P*N
224a: S
224b: R
226: 극성

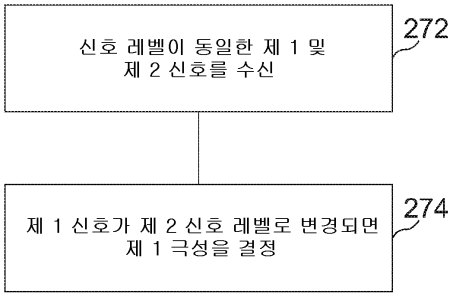
도면2g


236
236a
232a
P
N
232b
236b
230
231
TDC
234
TDC clk
TDC_r<3:0>
TDC_f<3:0>
240
TDC_f<3>
242
래치
Pol
238

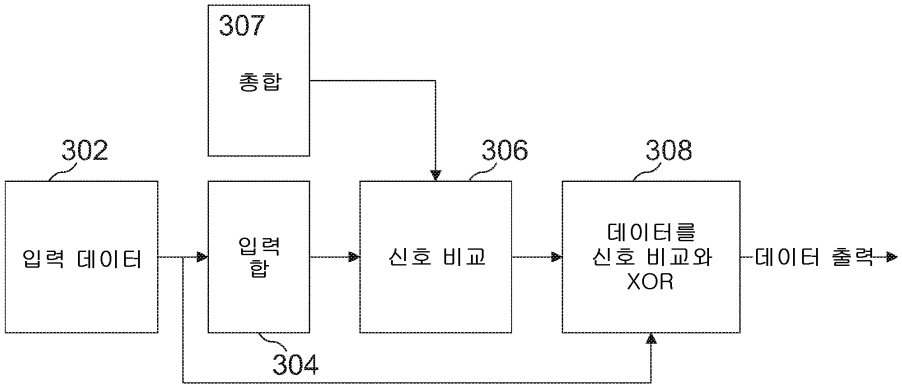
도면2h



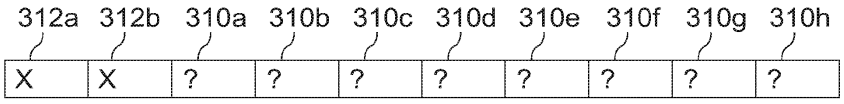
도면2i



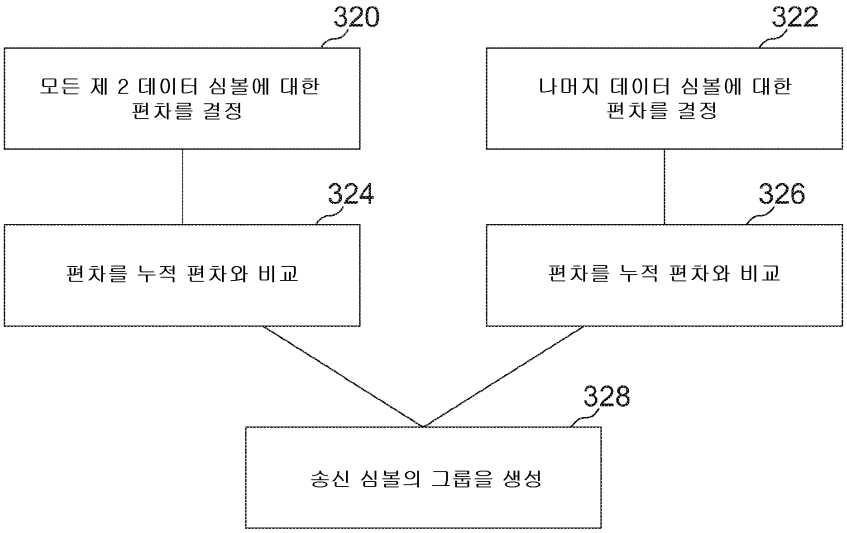
도면3a



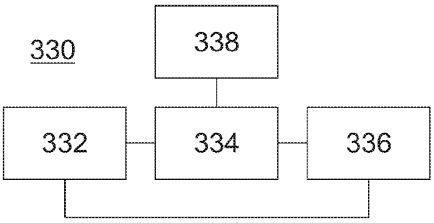
도면3b



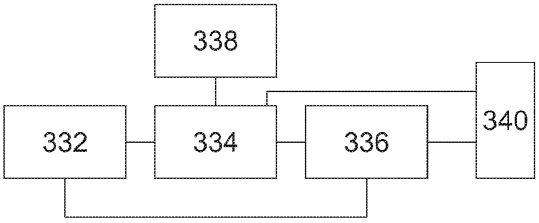
도면3c



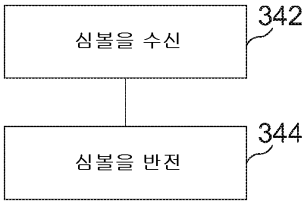
도면3d



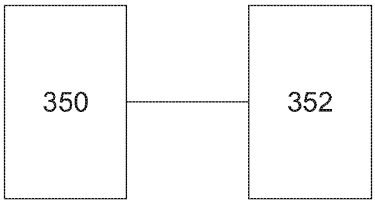
도면3e



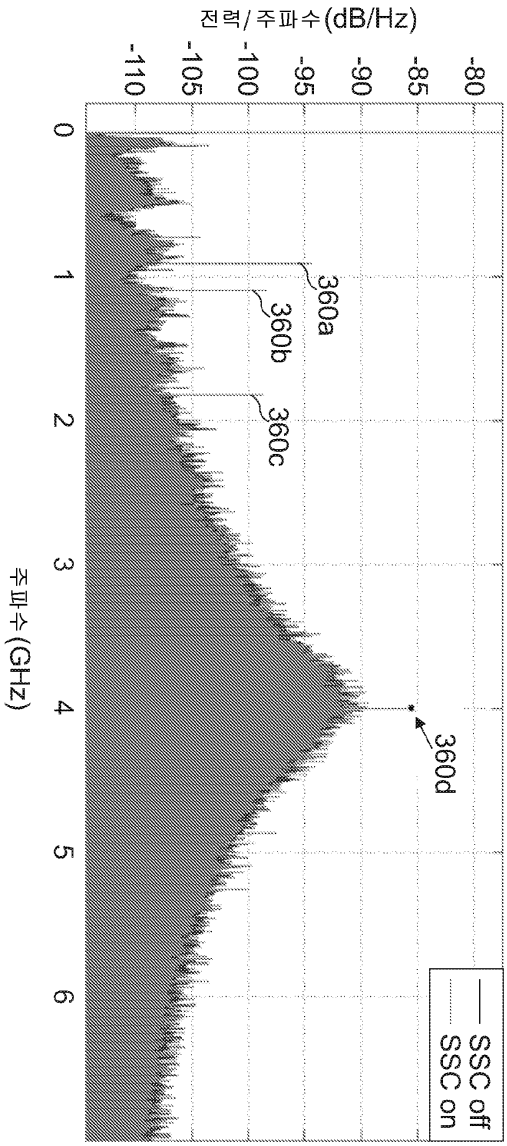
도면3f



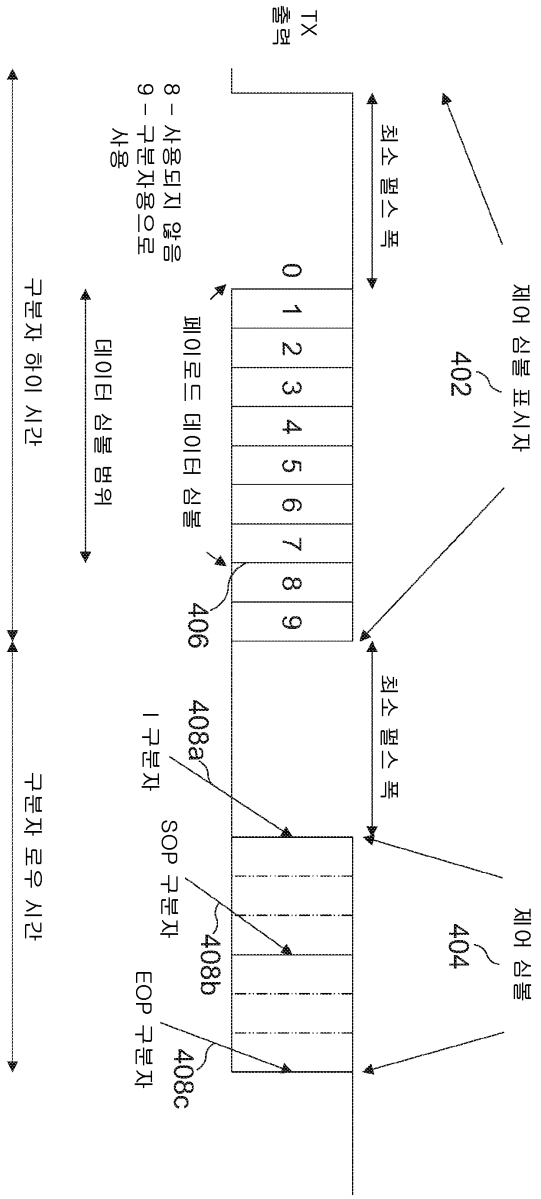
도면3g



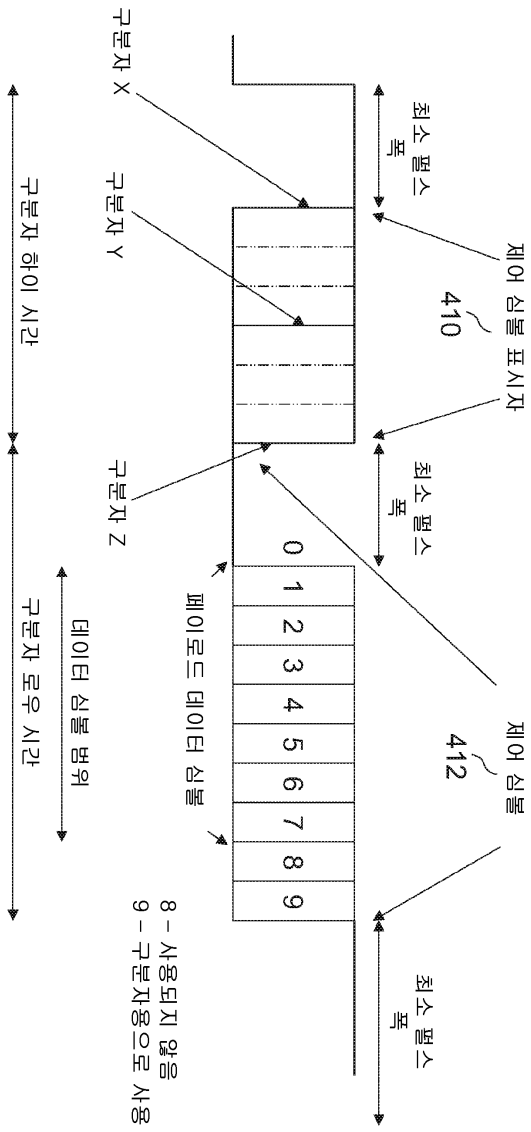
도면3h


전력/주파수(dB/Hz)
-110
-105
-100
-95
-90
-85
-80
0
1
2
3
4
5
6
주파수(GHz)
360a
360b
360c
360d
SSC off
SSC on

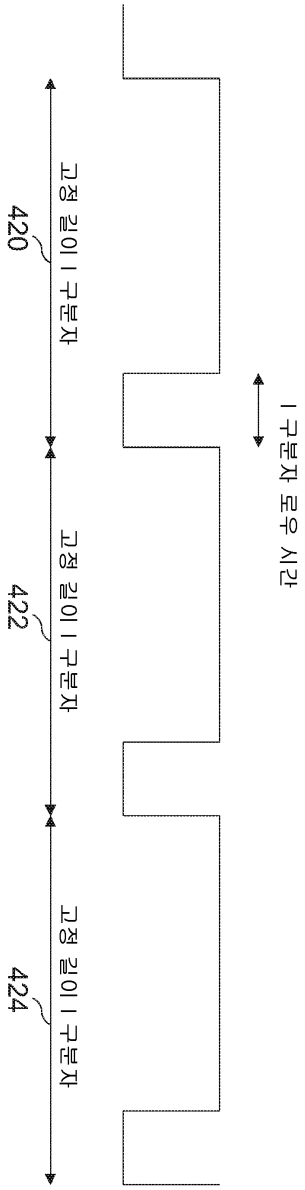
도면4a


TX 출력
최소 펄스 폭
제어 심볼 표시자
402
0 1 2 3 4 5 6 7 8 9
8 – 사용되지 않음
9 – 구분자용으로 사용
페이로드 데이터 심볼
406
데이터 심볼 범위
구분자 하이 시간
408a
I 구분자
SOP 구분자
408b
EOP 구분자
408c
최소 펄스 폭
제어 심볼
404
구분자 로우 시간

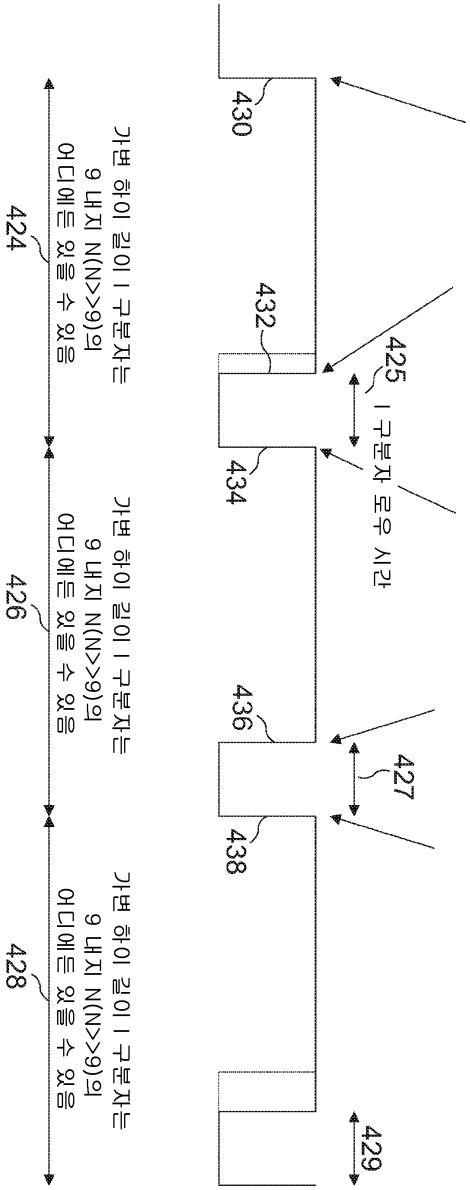
도면4b


구분자 X
구분자 Y
구분자 Z
구분자 하이 시간
구분자 로우 시간
데이터 심볼 범위
최소 펄스 폭
제어 심볼 표시자
410
최소 펄스 폭
페이로드 데이터 심볼
0
1
2
3
4
5
6
7
8
9
제어 심볼
412
최소 펄스 폭
8 - 사용되지 않음
9 - 구분자용으로 사용

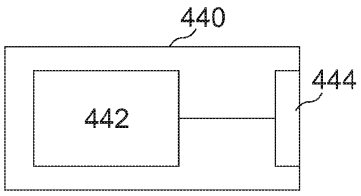
도면4c



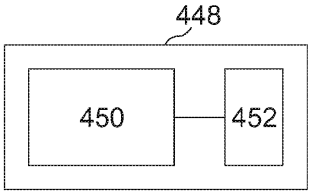
도면4d



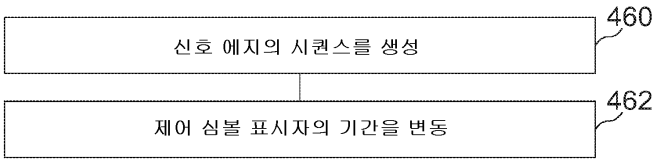
도면4e



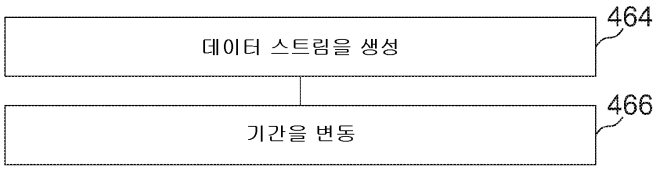
도면4f



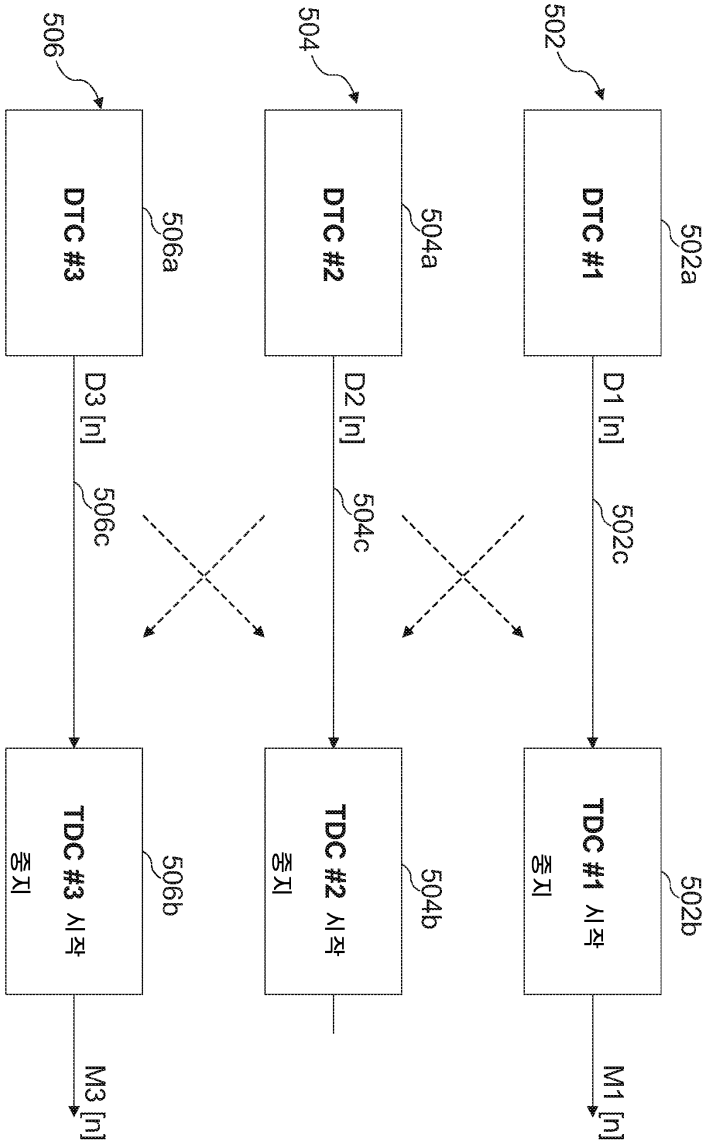
도면4g



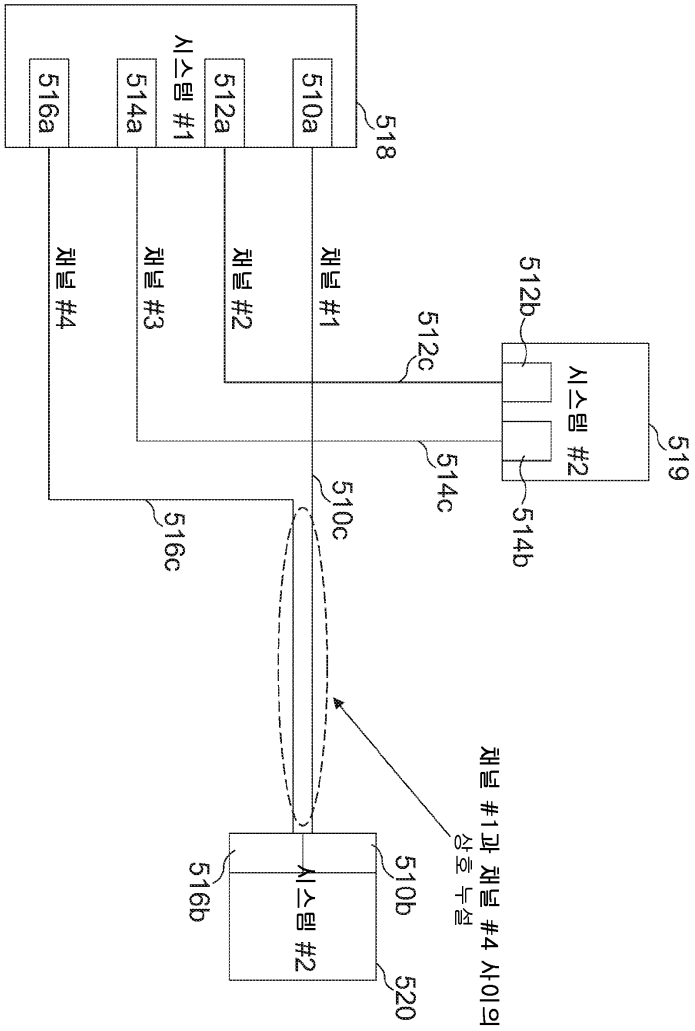
도면4h



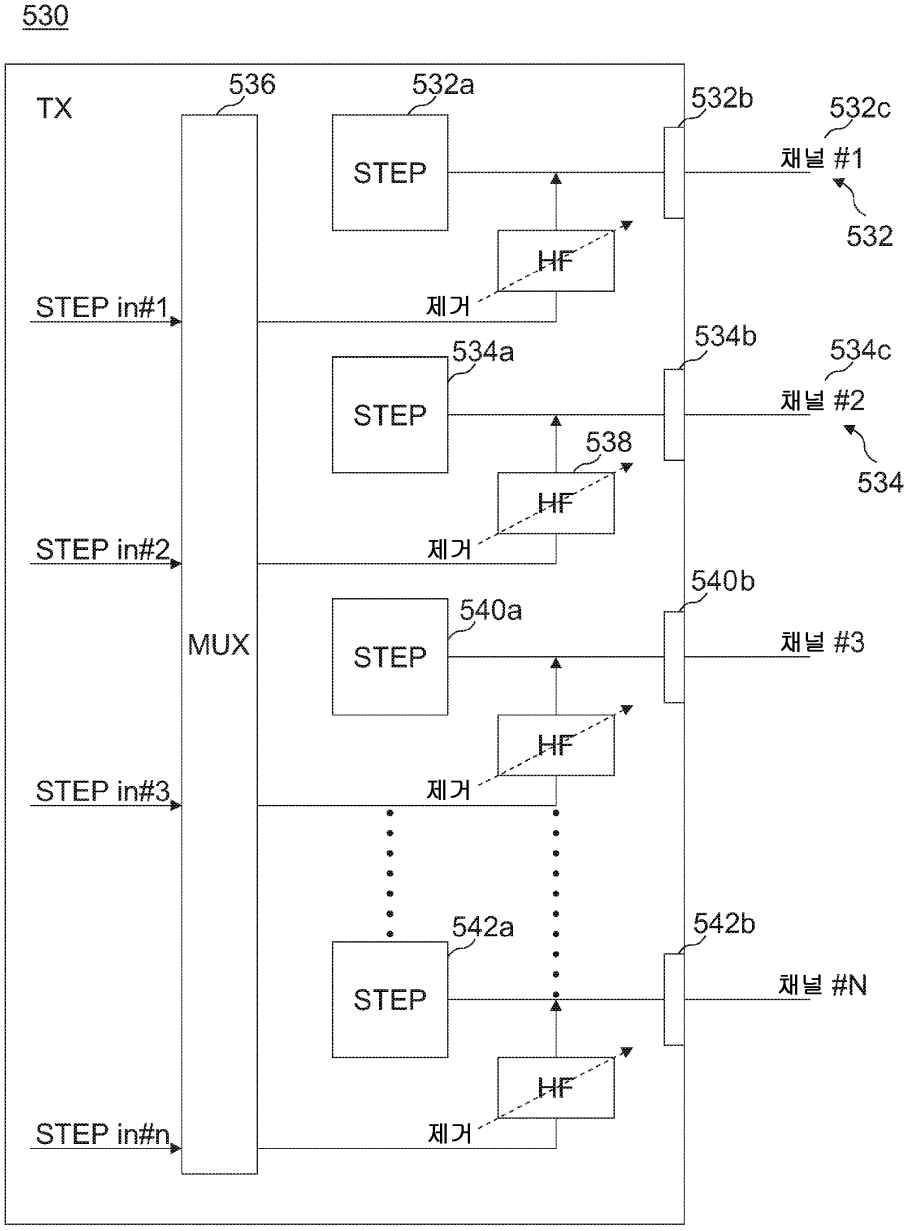
도면5a



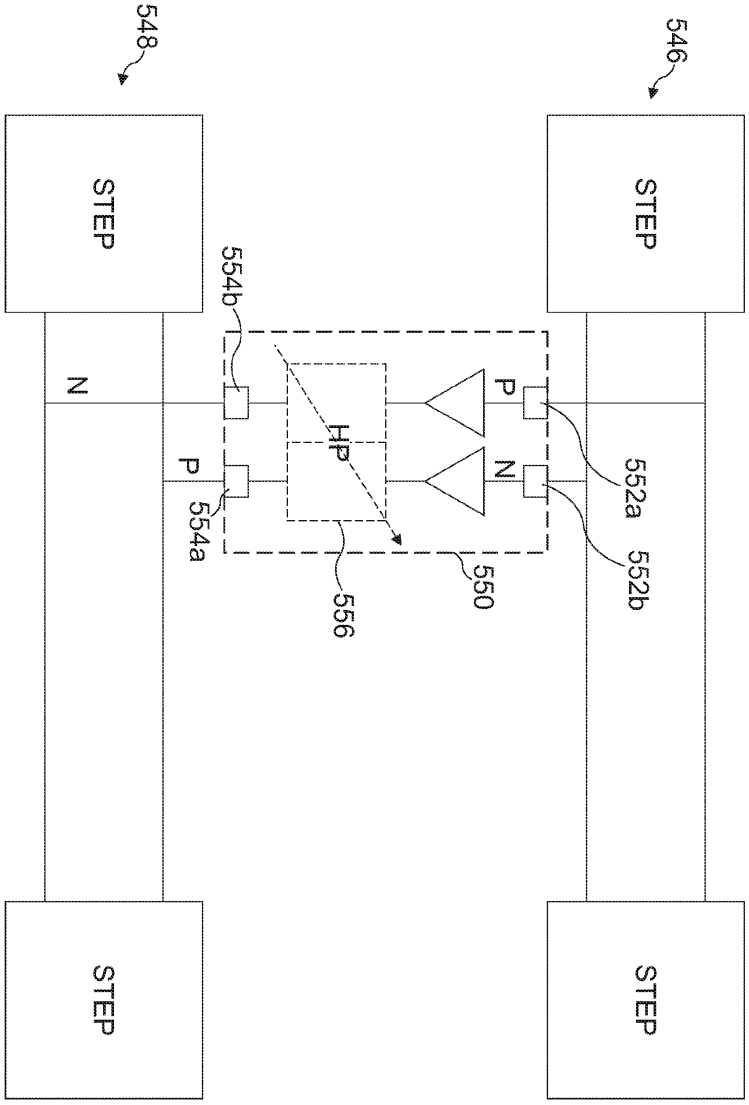
도면5b


516a
514a
512a
510a
시스템 #1
518
채널 #4
채널 #3
채널 #2
채널 #1
512b
512c
시스템 #2
519
514c
514b
510c
516c
채널 #1과 채널 #4 사이의
상호 누설
516b
시스템 #2
510b
520

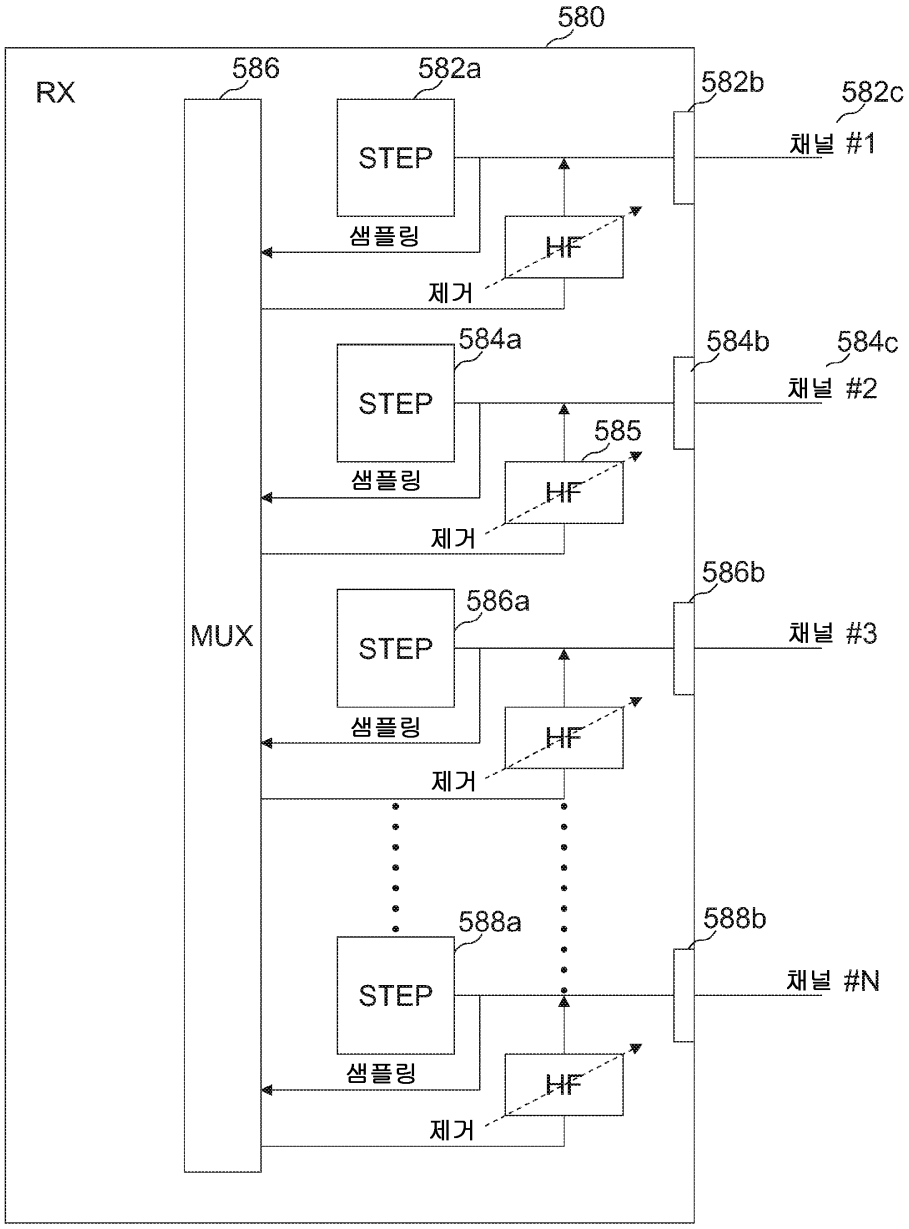
도면5c


530
TX
536
532a
532b
532c
STEP
채널 #1
532
HF
제거
STEP in#1
534a
534b
534c
STEP
채널 #2
538
534
HF
제거
STEP in#2
540b
540a
MUX
STEP
채널 #3
HF
제거
STEP in#3
542a
542b
STEP
채널 #N
HF
제거
STEP in#n

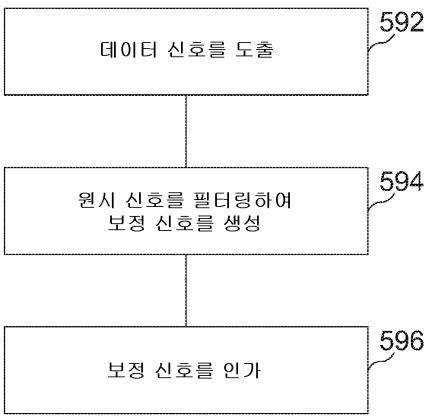
도면5d


548
546
STEP
STEP
554b
N
P
HP
P
N
552a
552b
554a
556
550
STEP
STEP

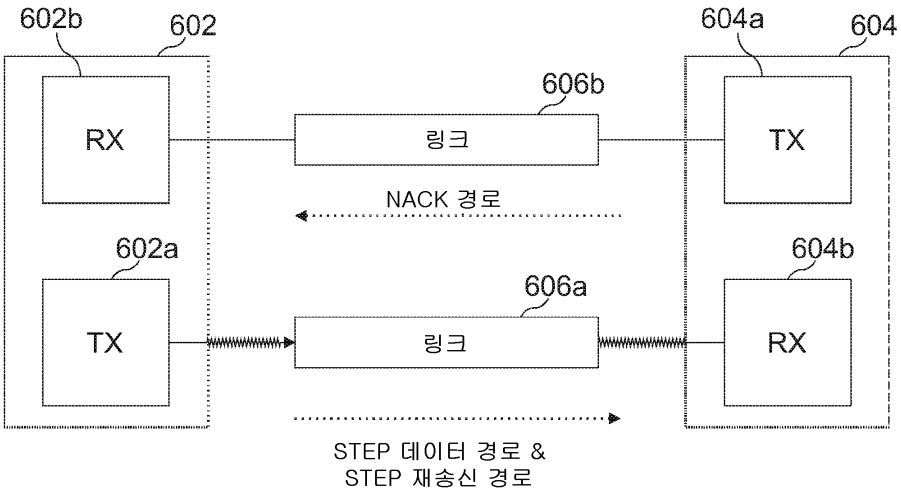
도면5e


580
RX
586
582a
582b
582c
STEP
채널 #1
샘플링
HF
제거
584a
584b
584c
STEP
채널 #2
585
샘플링
HF
제거
586b
586a
MUX
STEP
채널 #3
샘플링
HF
제거
588a
588b
STEP
채널 #N
샘플링
HF
제거

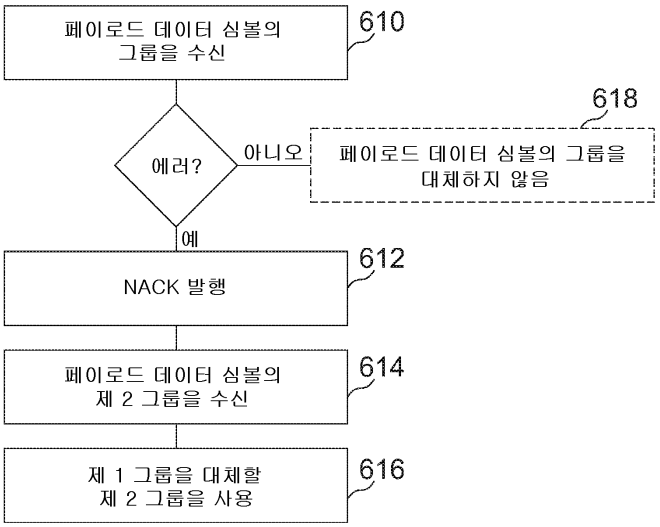
도면5f


592
데이터 신호를 도출
594
원시 신호를 필터링하여
보정 신호를 생성
596
보정 신호를 인가

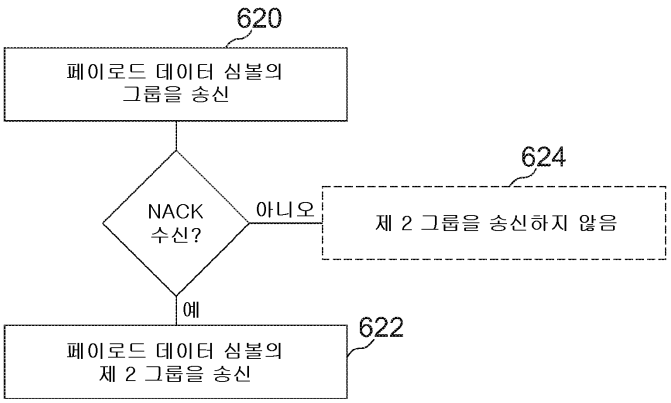
도면6a



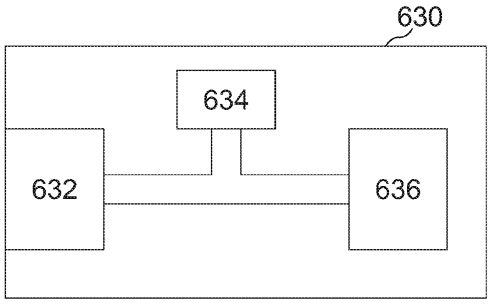
도면6b



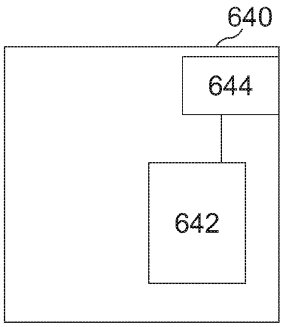
도면6c



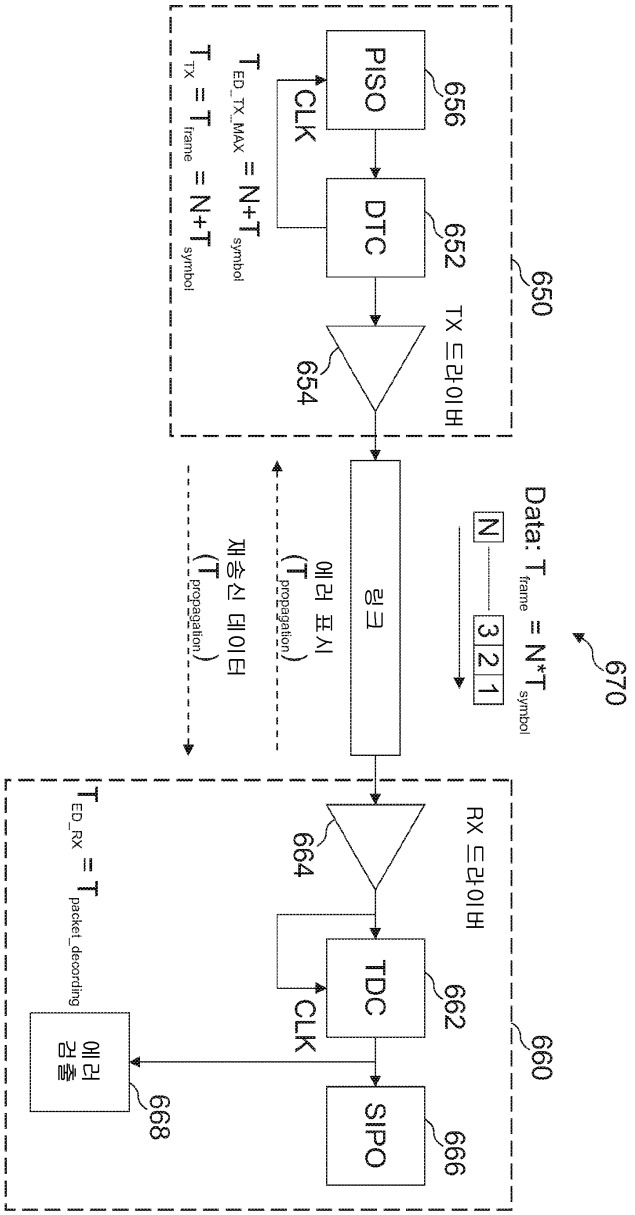
도면6d



도면6e



도면6f


650
TX 드라이버
PISO
656
CLK
DTC
652
654
$T_{ED_TX_MAX} = N+T_{symbol}$
$T_{TX} = T_{frame} = N+T_{symbol}$
링크
에러 표시
($T_{propagation}$)
재송신 데이터
($T_{propagation}$)
Data: $T_{frame} = N*T_{symbol}$
N
3
2
1
670
660
RX 드라이버
664
TDC
662
CLK
SIPO
666
에러 검출
668
$T_{ED_RX} = T_{packet_decording}$

도면6ga

도 6g

도 6ga	도 6gb

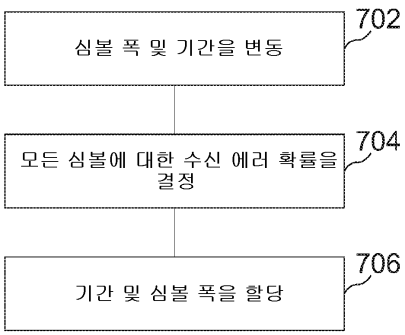
랜덤 지터	[fsec]	[%]
PLL	100	8.00
DTC	50	2.00
TX 드라이버	200	31.99
RX LNA	250	49.99
TDC	100	8.00
시그마	353.6	49.99

랜덤 + 결정론적	[fsec_p2p]	[%]
랜덤 지터(+/- 7 시그마)	4950.40	58%
ISI (BW)	800	9%
반사	800	9%
TDC 계산	250	3%
TDC 공급 mod	1000	12%
DTC 계산	250	3%
DTC 공급 mod	500	6%
최악 사례 가정	8550.00	100%

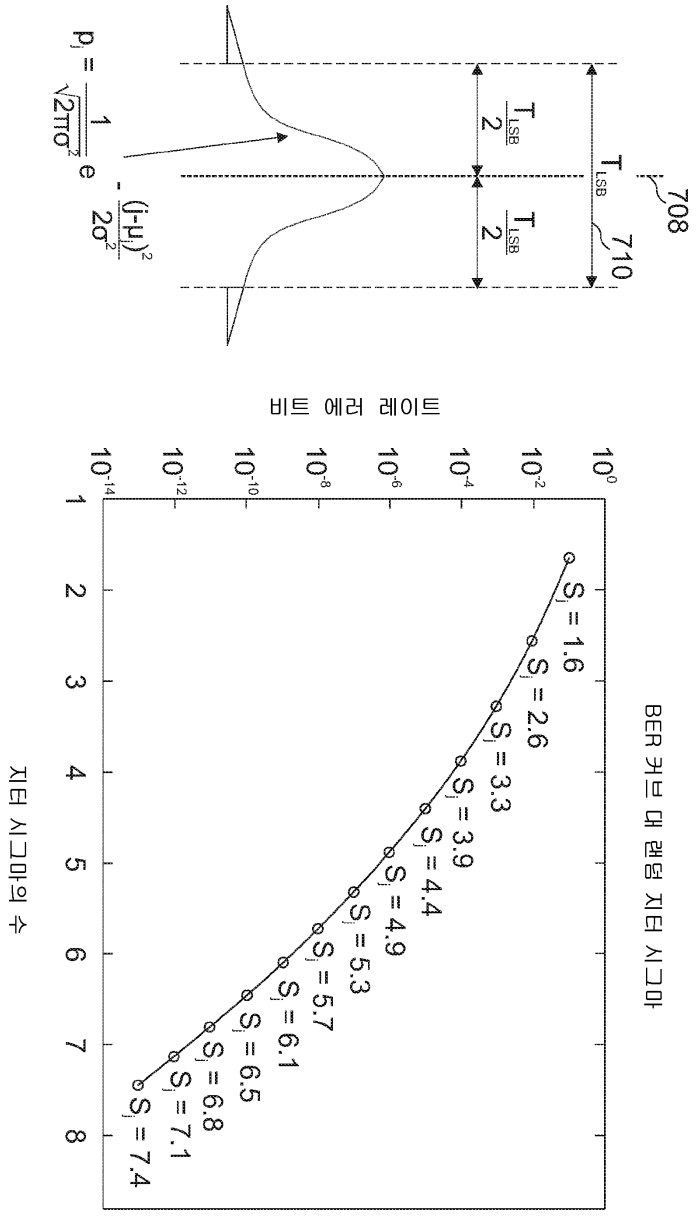
도면6gb

랜덤 + 결정론적	[fsec_p2p]	[%]
랜덤 지터(+/- 3.7 시그마)	2758.10	49%
ISI (BW)	800	14%
반사	800	14%
TDC 계산	250	4%
TDC 공급 mod	500	9%
DTC 계산	250	4%
DTC 공급 mod	250	4%
최악 사례 가정	5608.00	100%

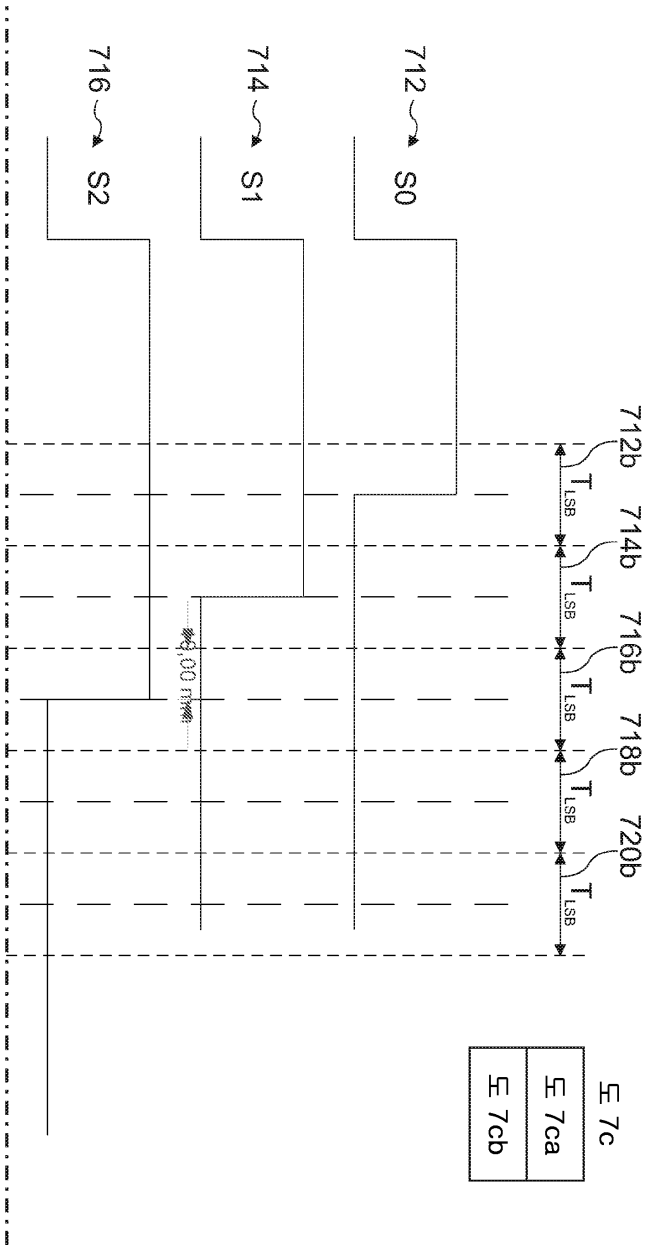
도면7a



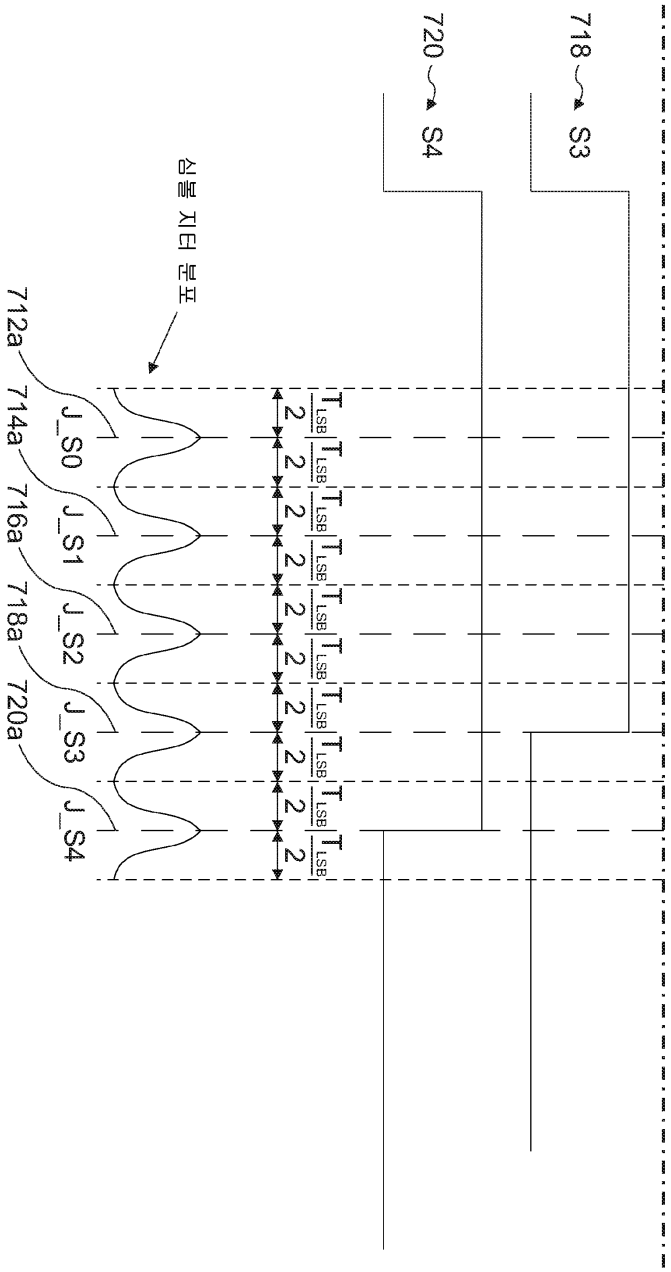
도면7b


$p_j = \frac{1}{\sqrt{2\pi\sigma^2}} e^{-\frac{(j-\mu_j)^2}{2\sigma^2}}$
$\frac{T_{LSB}}{2}$
T_{LSB}
$\frac{T_{LSB}}{2}$
708
710
비트 에러 레이트
10^{0}
10^{-2}
10^{-4}
10^{-6}
10^{-8}
10^{-10}
10^{-12}
10^{-14}
1
2
3
4
5
6
7
8
S_j = 1.6
S_j = 2.6
S_j = 3.3
S_j = 3.9
S_j = 4.4
S_j = 4.9
S_j = 5.3
S_j = 5.7
S_j = 6.1
S_j = 6.5
S_j = 6.8
S_j = 7.1
S_j = 7.4
지터 시그마의 수
BER 커브 대 랜덤 지터 시그마

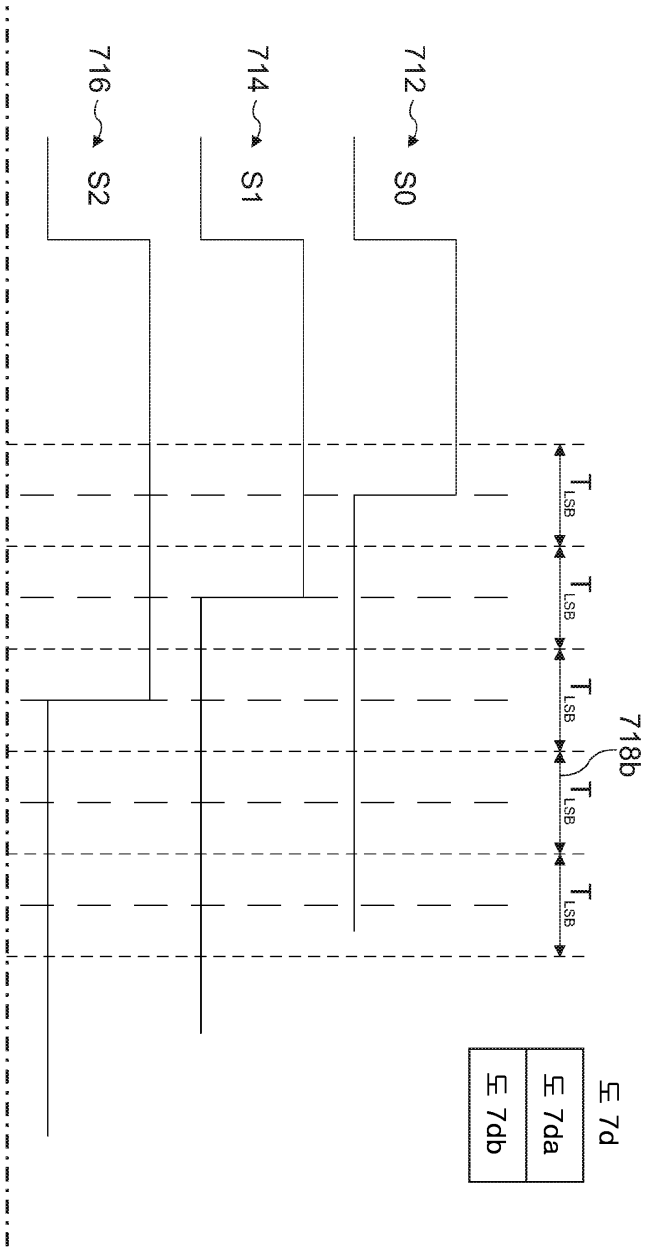
도면7ca


712
714
716
S0
S1
S2
712b
714b
716b
718b
720b
T_{LSB}
도 7c
도 7ca
도 7cb

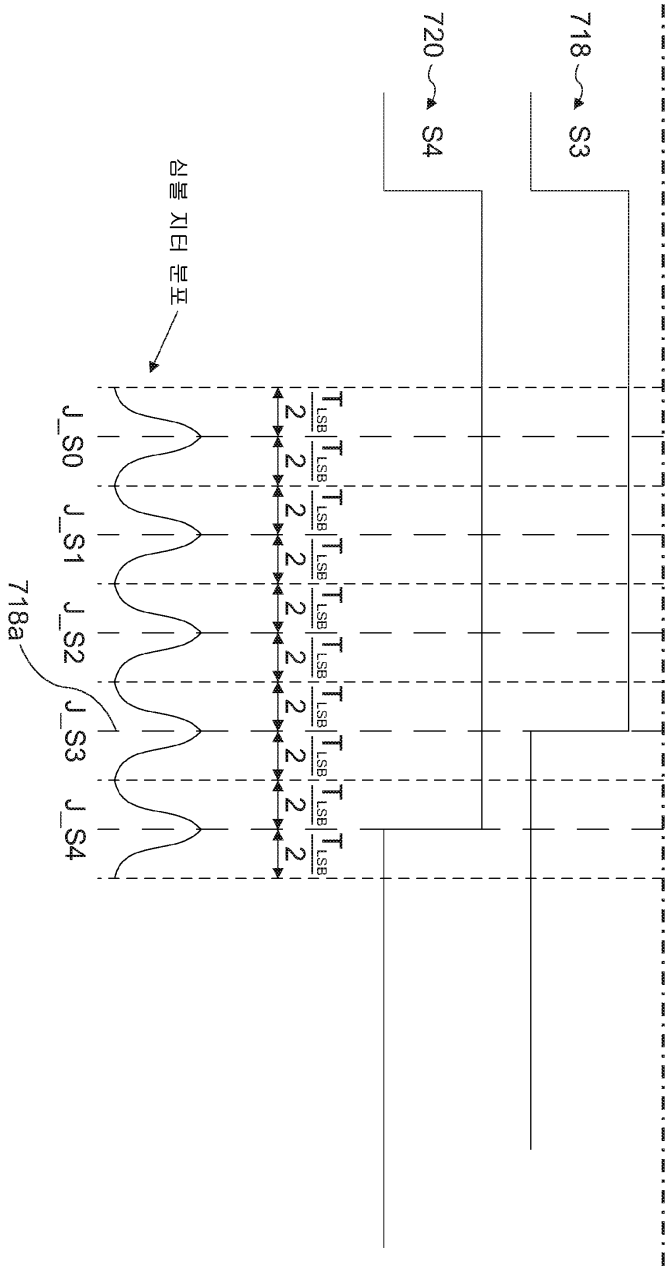
도면7cb


718
S3
720
S4
심볼 지터 분포
712a
714a
716a
718a
720a
J_S0
J_S1
J_S2
J_S3
J_S4
T_{LSB}
$\frac{T_{LSB}}{2}$

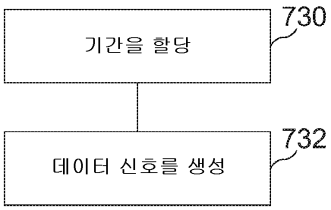
도면7da


716
S2
714
S1
712
S0
T_{LSB}
T_{LSB}
T_{LSB}
718b
T_{LSB}
T_{LSB}
도 7d
도 7da
도 7db

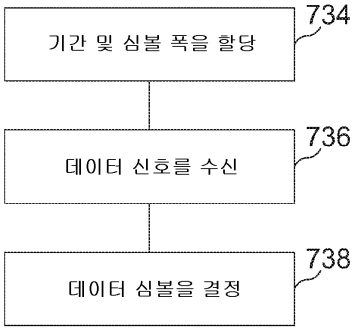
도면7db


720
S4
718
S3
심볼 지터 분포
718a
J_S0
J_S1
J_S2
J_S3
J_S4
$T_{LSB}/2$

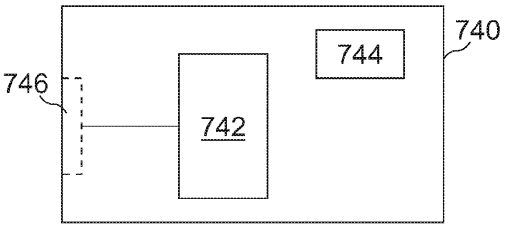
도면7e


730
기간을 할당
732
데이터 신호를 생성

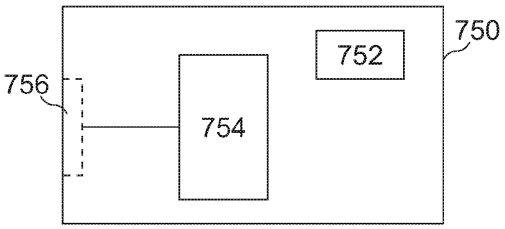
도면7f



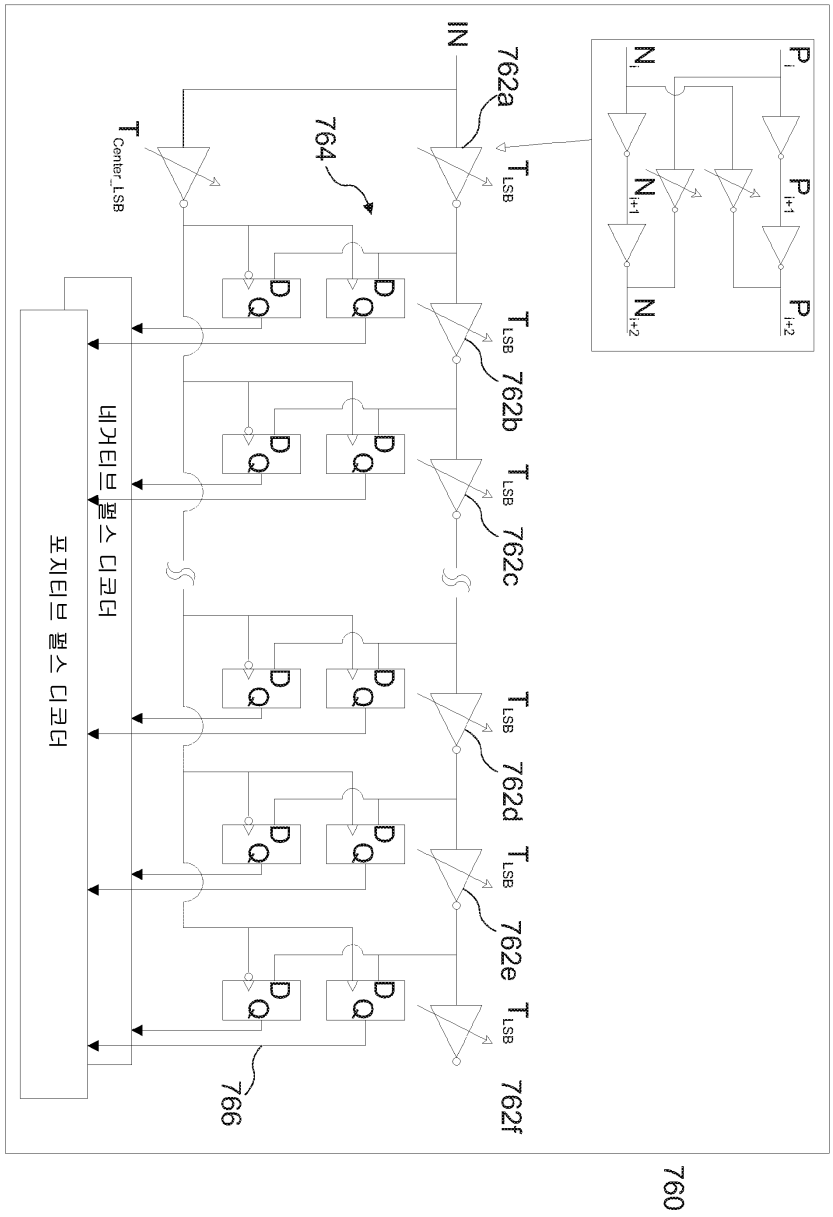
도면7g



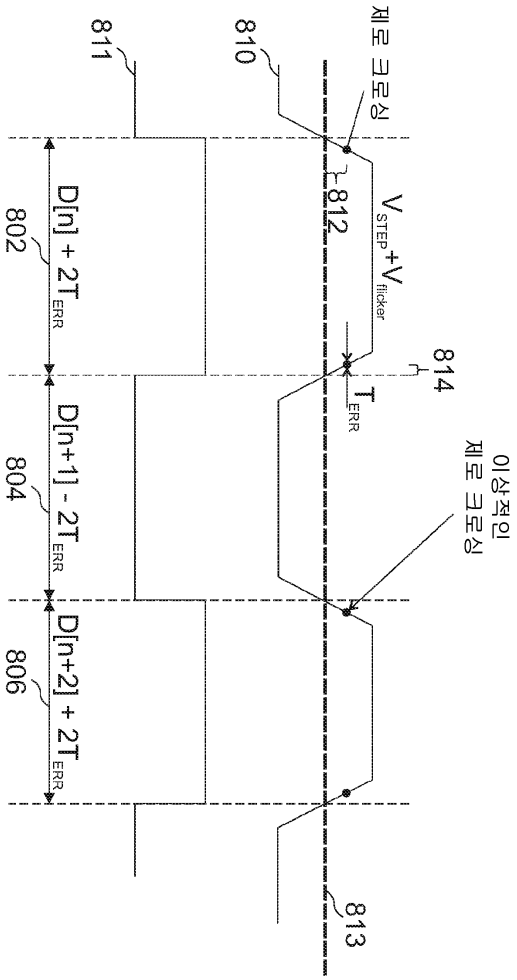
도면7h



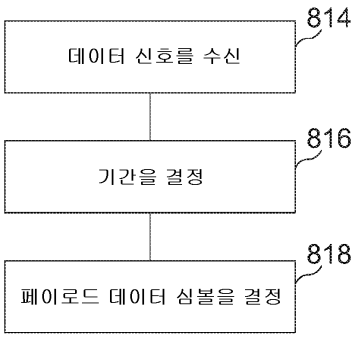
도면7i


760
IN
762a
762b
762c
762d
762e
762f
764
766
T_{LSB}
T_{Center_LSB}
P_i
N_i
P_{i+1}
N_{i+1}
P_{i+2}
N_{i+2}
D
Q
네거티브 펄스 디코더
포지티브 펄스 디코더

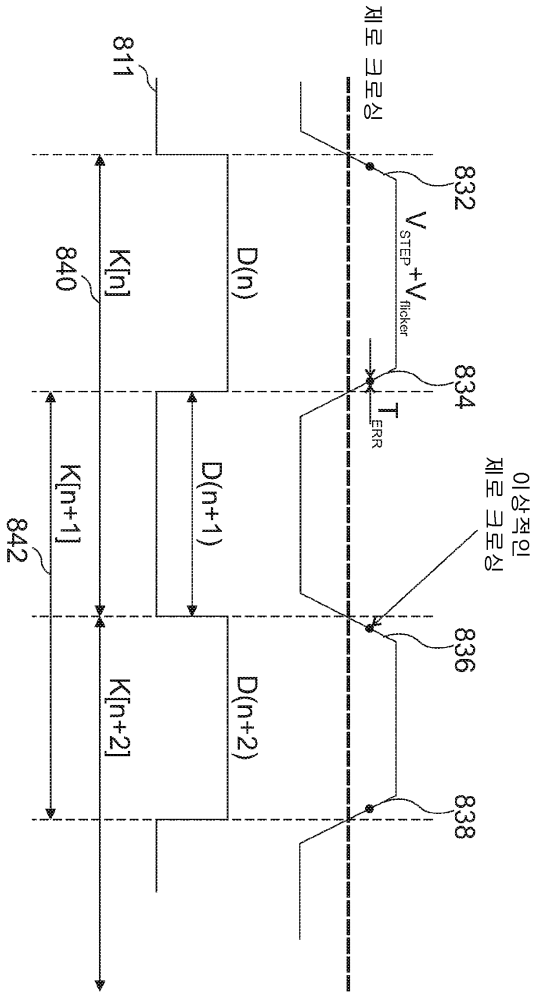
도면8a


811
810
제로 크로싱
812
$V_{STEP}+V_{flicker}$
802
D[n] + $2T_{ERR}$
814
T_{ERR}
804
D[n+1] - $2T_{ERR}$
이상적인
제로 크로싱
806
D[n+2] + $2T_{ERR}$
813

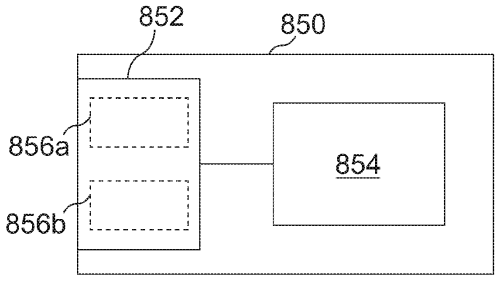
도면8b


814
데이터 신호를 수신
816
기간을 결정
818
페이로드 데이터 심볼을 결정

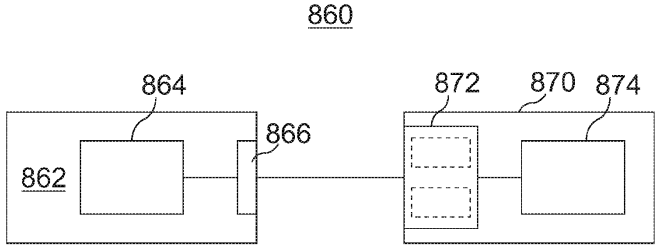
도면8c



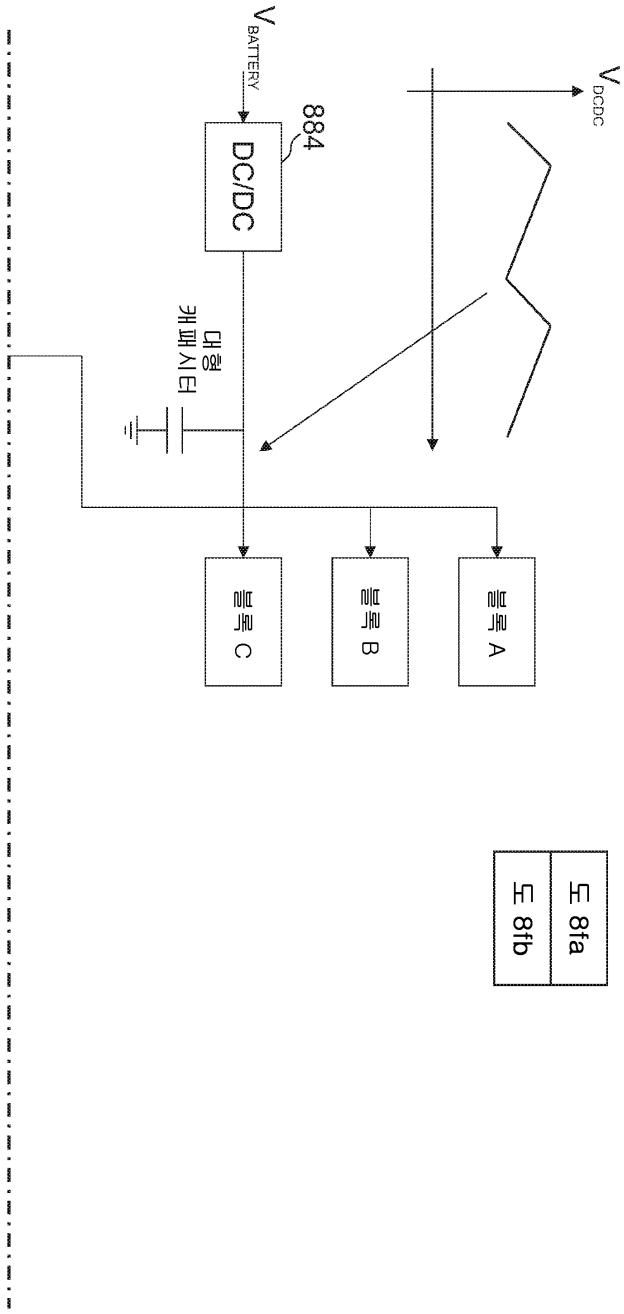
도면8d

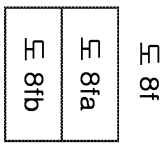


도면8e



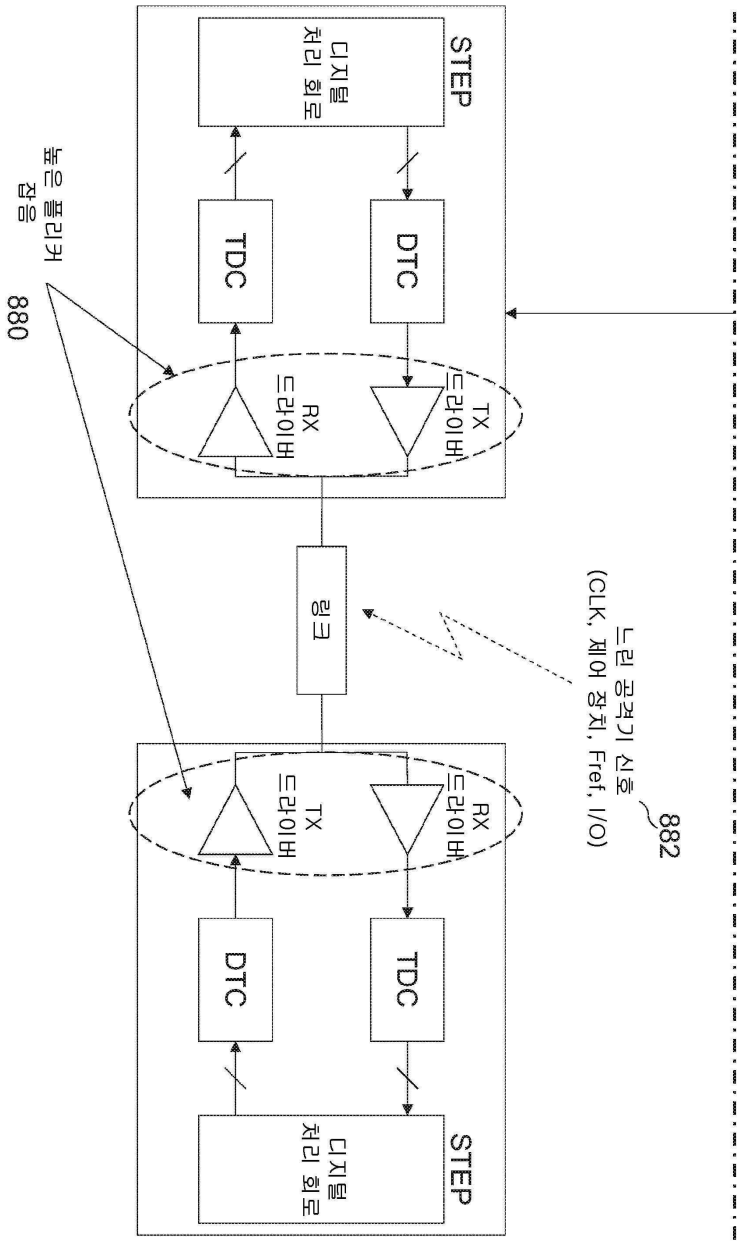
도면8fa



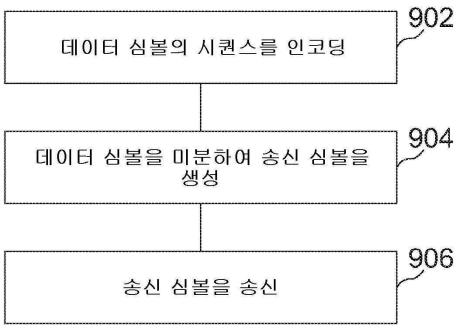


도 8f

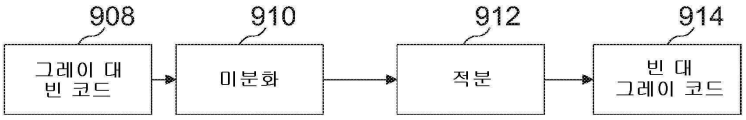
도면8fb


STEP
디지털 처리 회로
TDC
DTC
높은 플리커 잡음
880
RX 드라이버
TX 드라이버
링크
느린 공격기 신호 (CLK, 제어 정보, Fref, I/O)
882
TX 드라이버
RX 드라이버
DTC
TDC
디지털 처리 회로
STEP

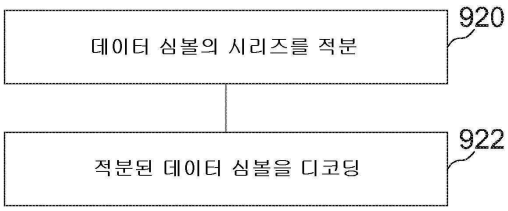
도면9a


데이터 심볼의 시퀀스를 인코딩
902
데이터 심볼을 미분하여 송신 심볼을 생성
904
송신 심볼을 송신
906

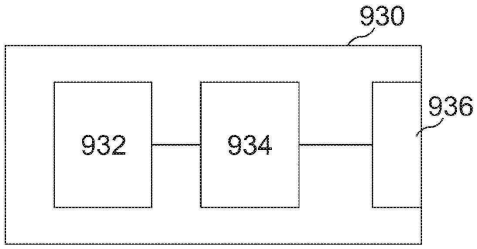
도면9b



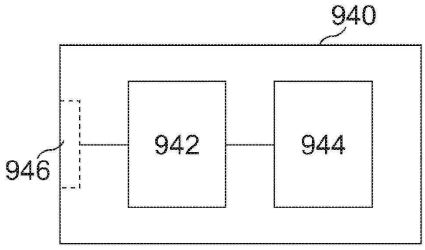
도면9c



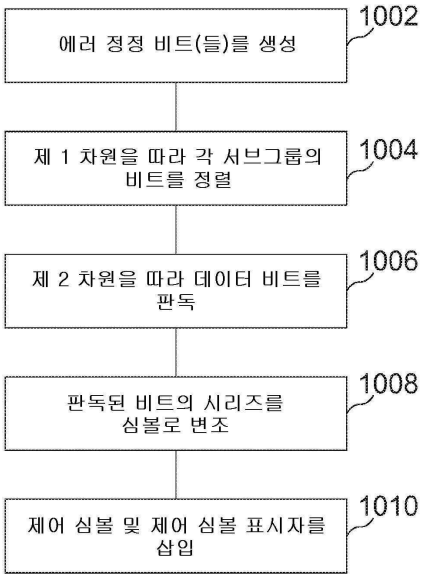
도면9d



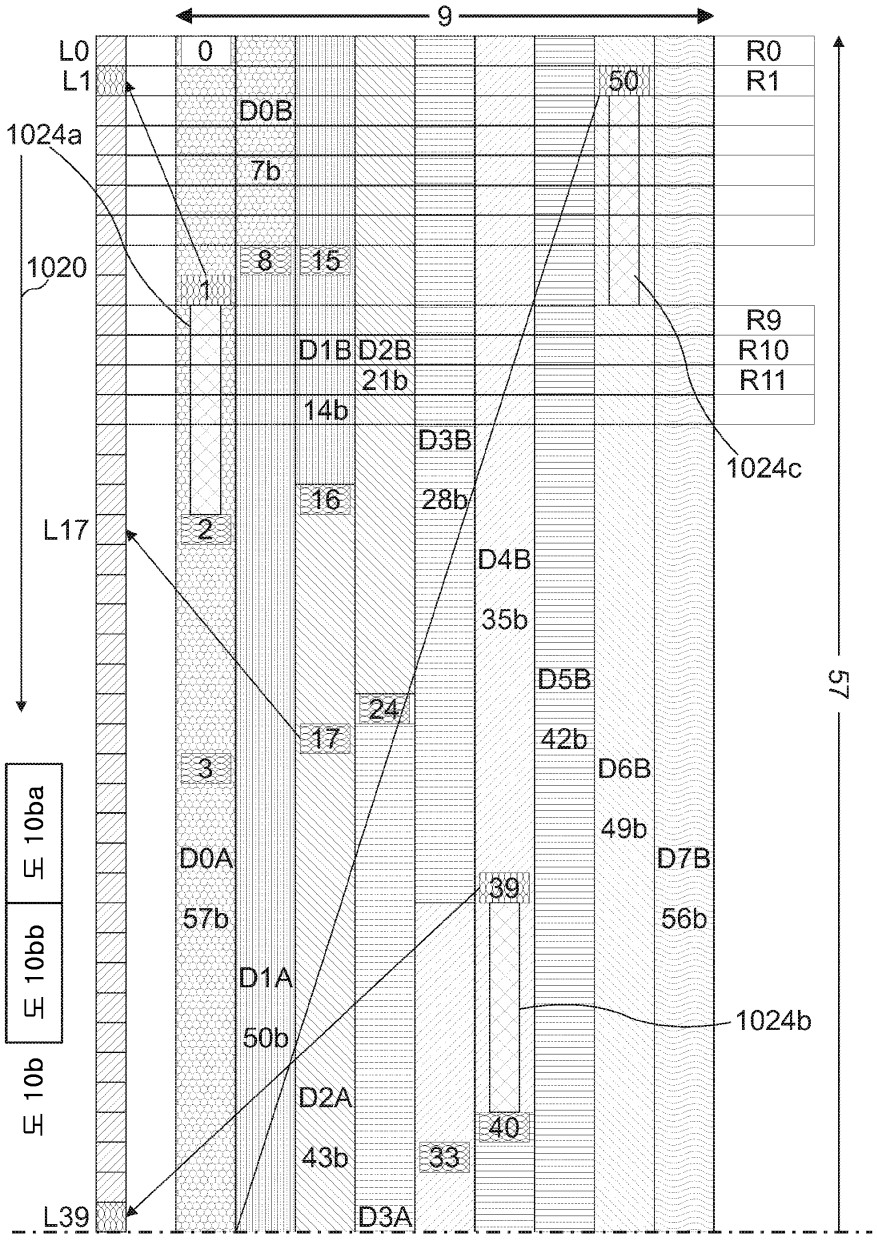
도면9e



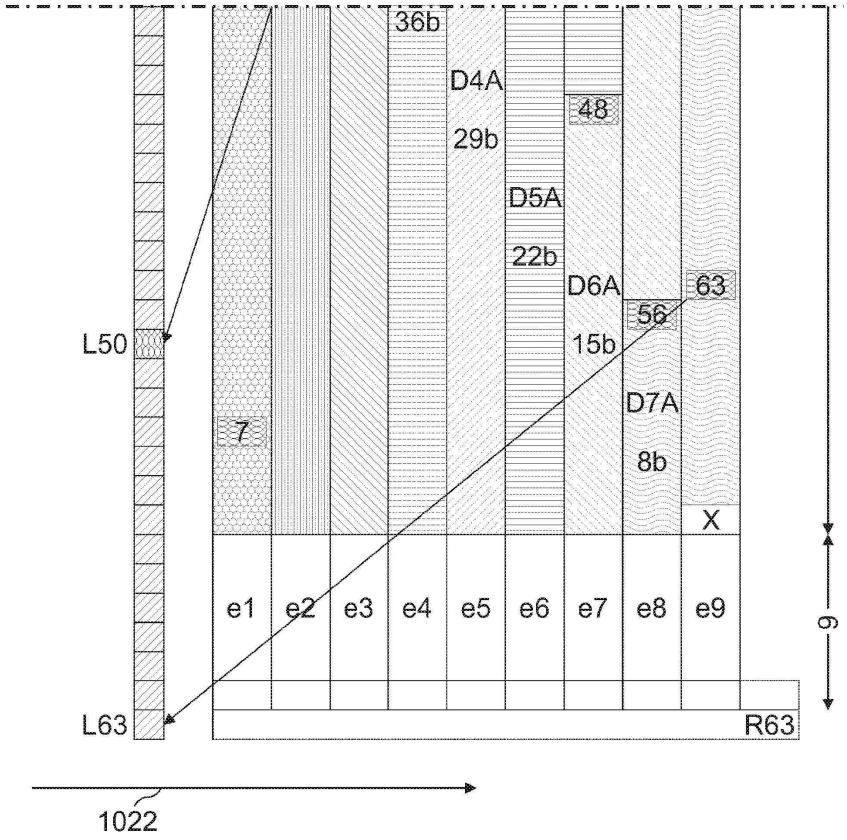
도면10a



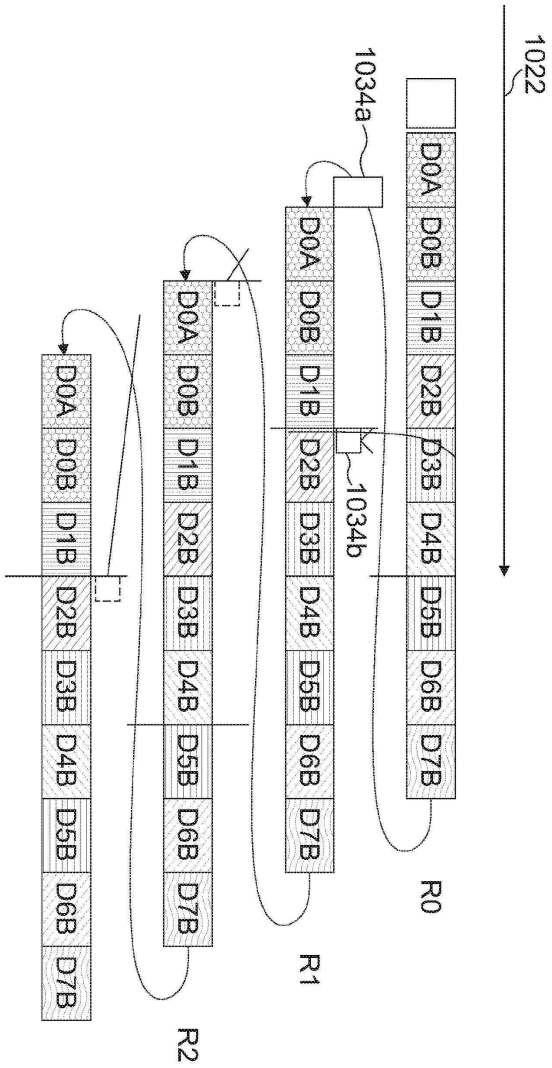
도면10ba


9
L0
L1
0
50
R0
R1
D0B
1024a
7b
1020
8
15
1
R9
R10
R11
D1B
D2B
21b
14b
D3B
1024c
16
28b
L17
2
D4B
35b
D5B
24
17
42b
3
D6B
49b
D0A
D7B
39
57b
56b
D1A
1024b
50b
D2A
40
43b
33
L39
D3A
57
도 10ba
도 10bb
도 10b

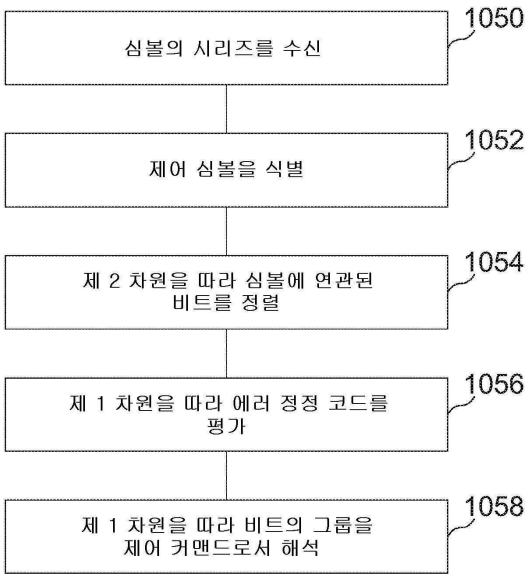
도면10bb


36b
D4A
29b
48
D5A
22b
D6A
63
56
15b
D7A
8b
X
L50
7
e1
e2
e3
e4
e5
e6
e7
e8
e9
9
L63
R63
1022

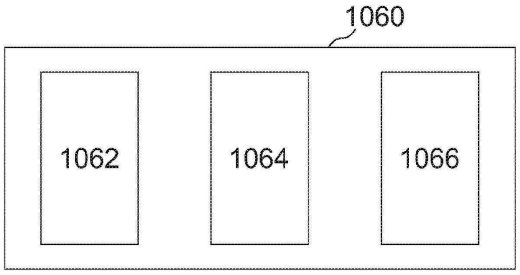
도면10c


1022
1034a
1034b
D0A
D0B
D1B
D2B
D3B
D4B
D5B
D6B
D7B
R0
R1
R2

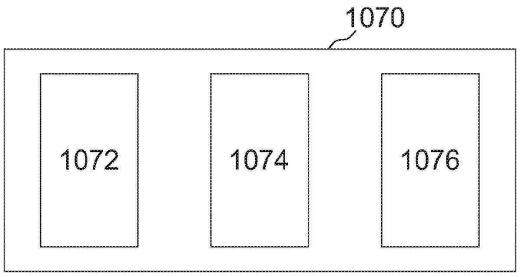
도면10d


심볼의 시리즈를 수신
1050
제어 심볼을 식별
1052
제 2 차원을 따라 심볼에 연관된 비트를 정렬
1054
제 1 차원을 따라 에러 정정 코드를 평가
1056
제 1 차원을 따라 비트의 그룹을 제어 커맨드로서 해석
1058

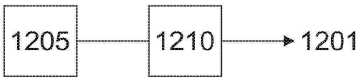
도면10e



도면11a

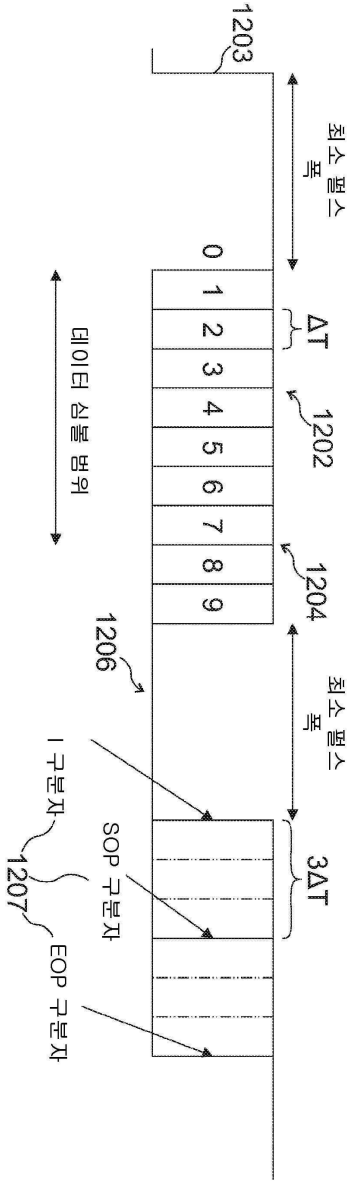


도면12a

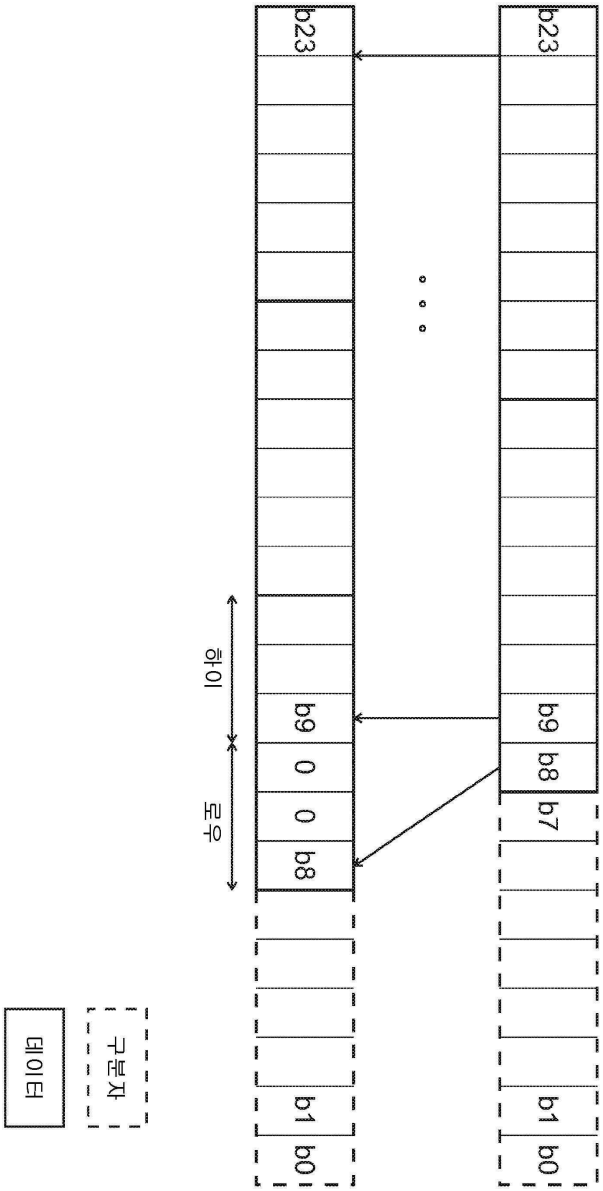


1200

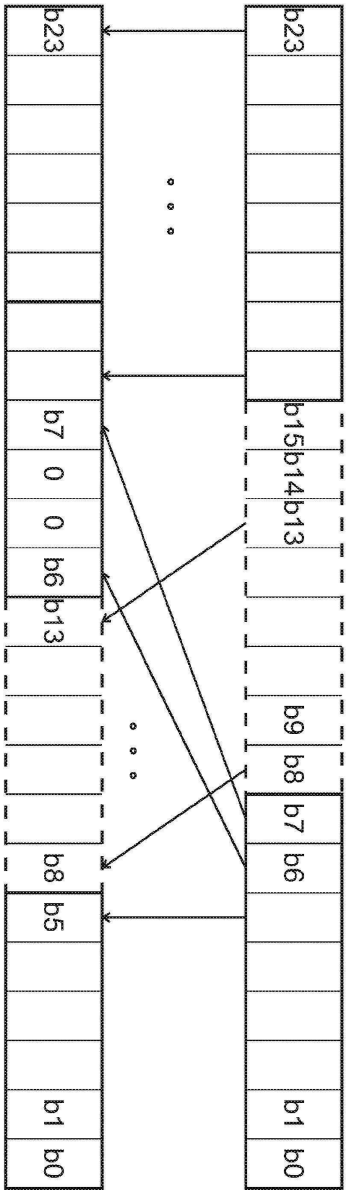
도면12b


1203
최소 펄스 폭
0
1
2
3
4
5
6
7
8
9
ΔT
1202
1204
데이터 심볼 범위
1206
최소 펄스 폭
I 구분자
SOP 구분자
1207
3ΔT
EOP 구분자

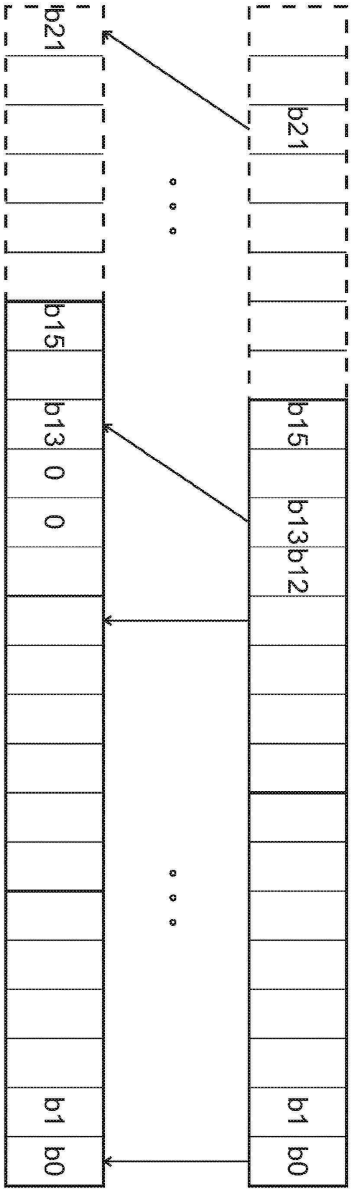
도면12c



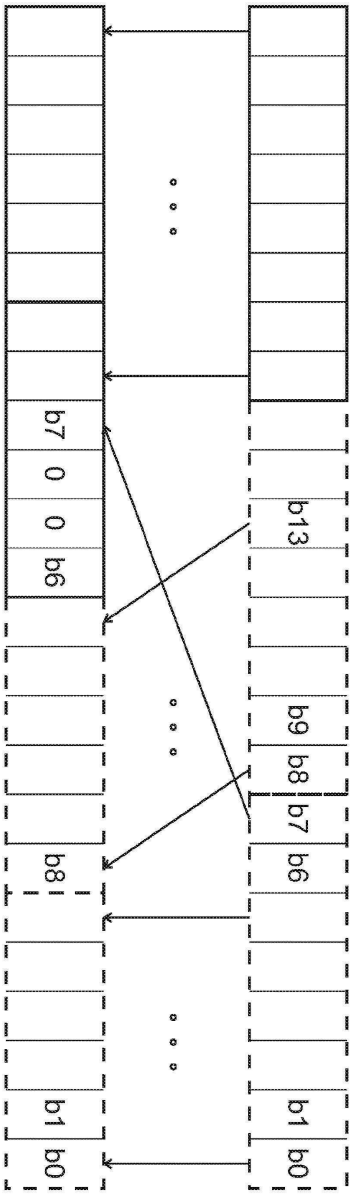
도면12d



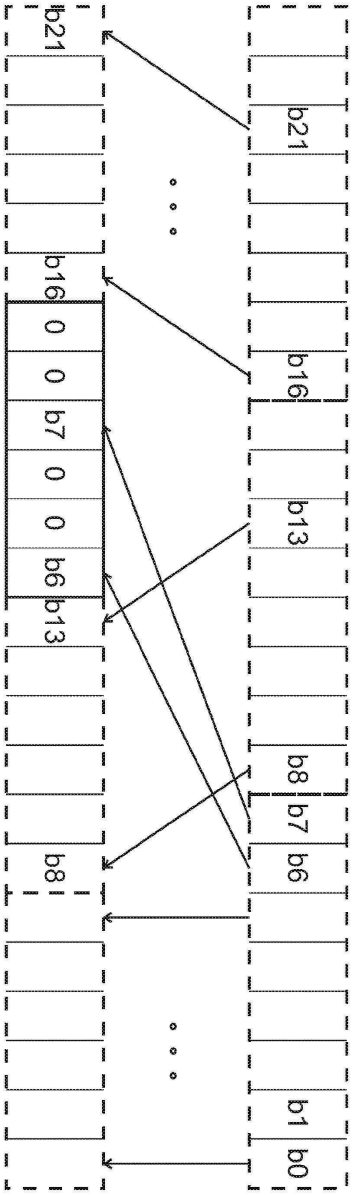
도면12e



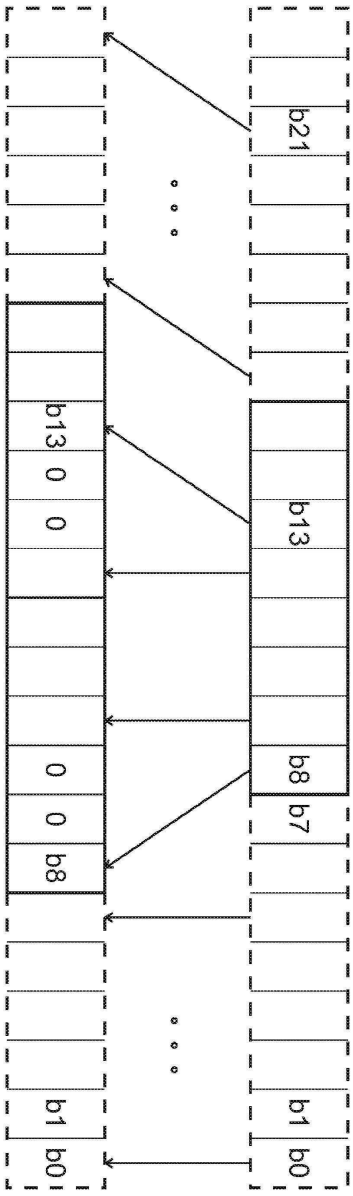
도면12f



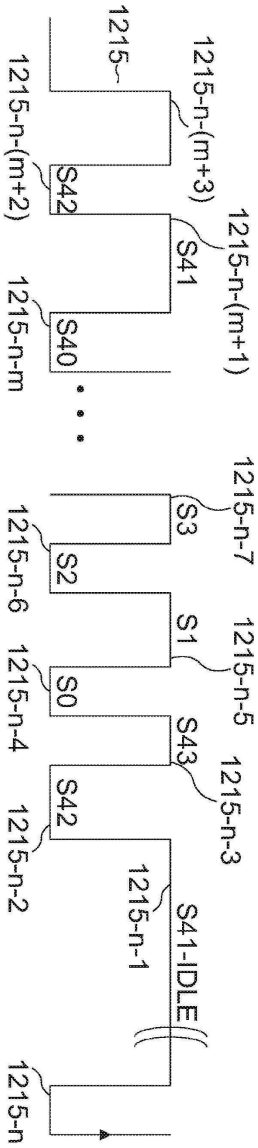
도면12g



도면12h



도면12i

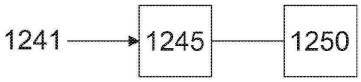


도면12j



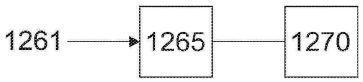
1220

도면12k



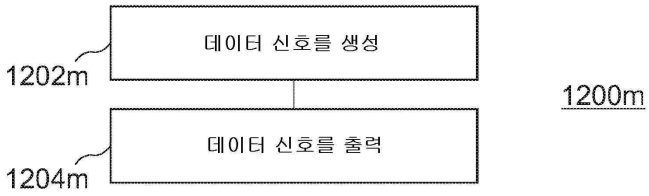
1240

도면121

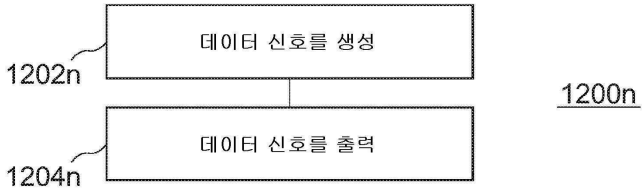


1260

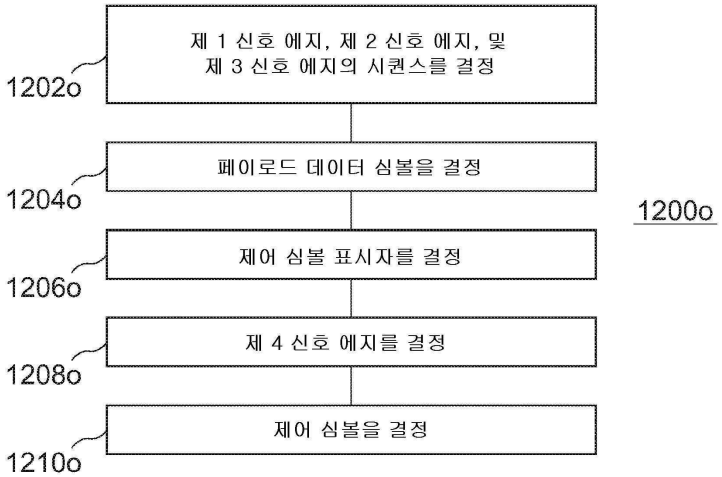
도면12m



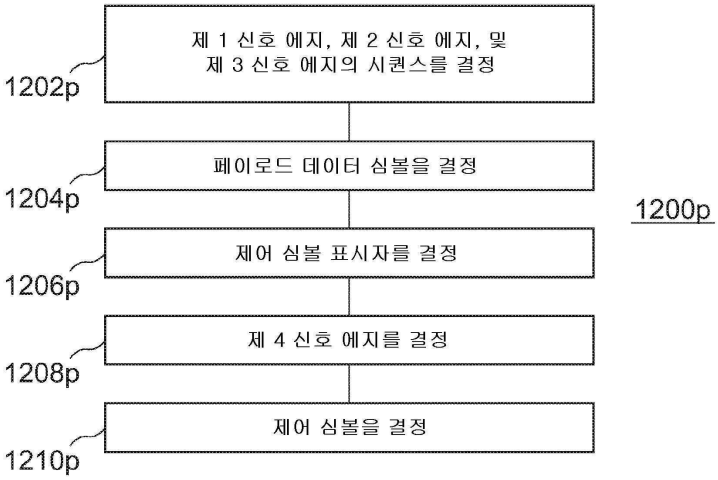
도면12n



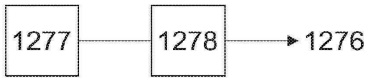
도면12o



도면12p

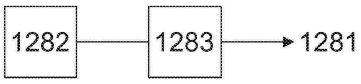


도면12q



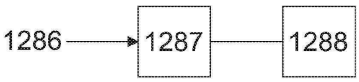
1275

도면12r



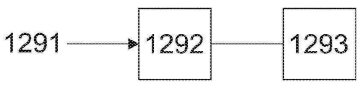
1280

도면12s



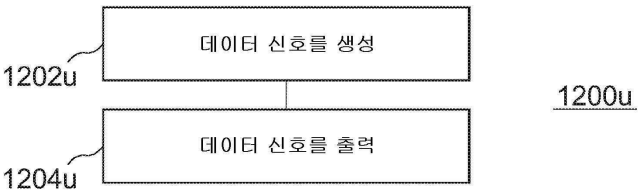
1285

도면12t

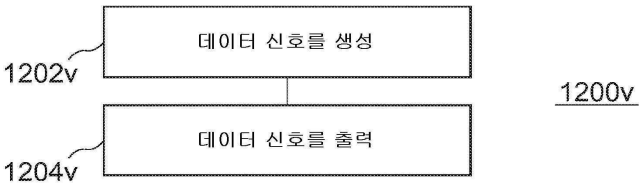


1290

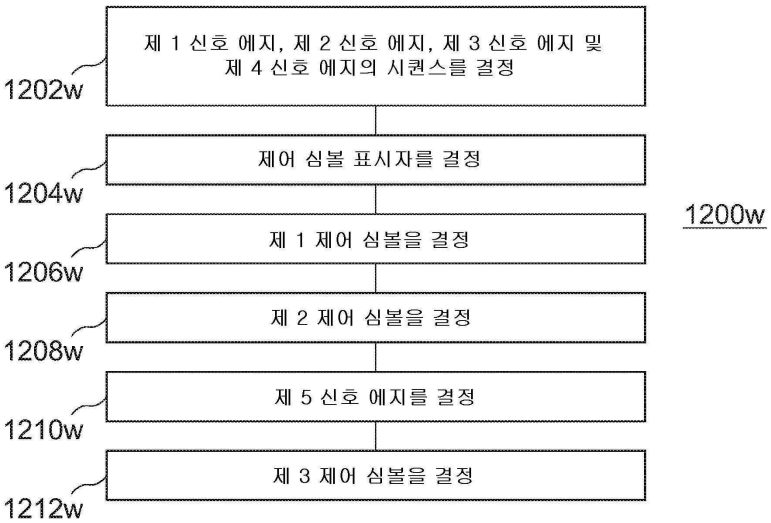
도면12u



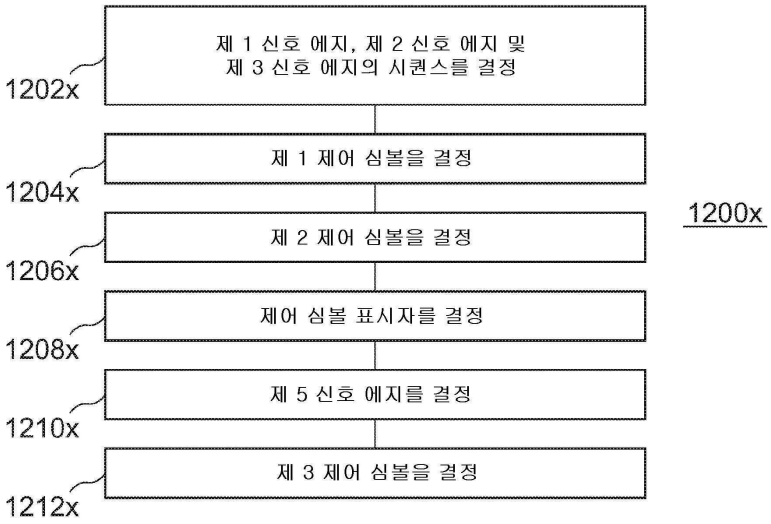
도면12v



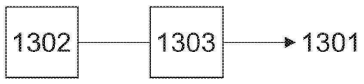
도면12w



도면12x

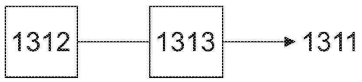


도면13a



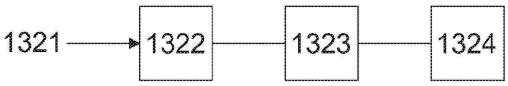
1300

도면13b



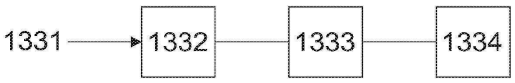
1310

도면13c



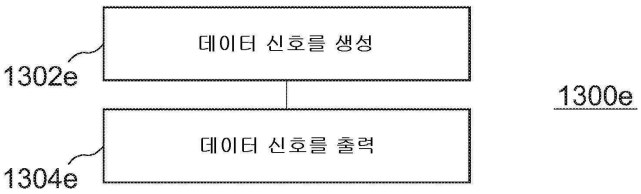
1320

도면13d

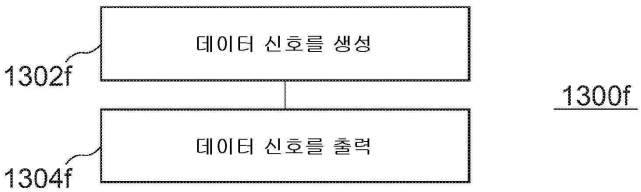


1330

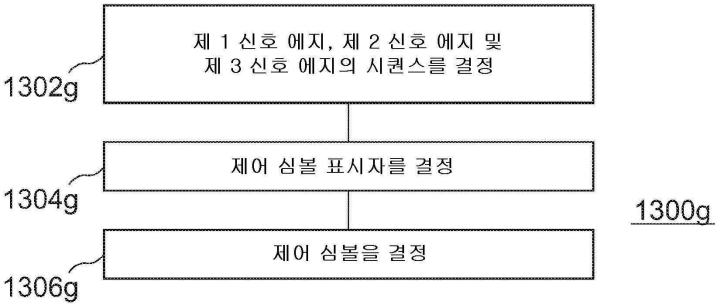
도면13e



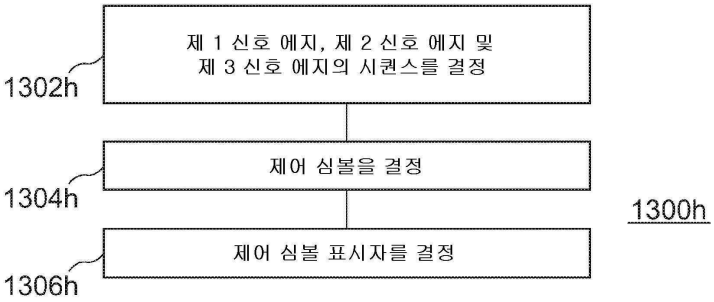
도면13f



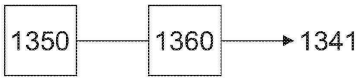
도면13g



도면13h

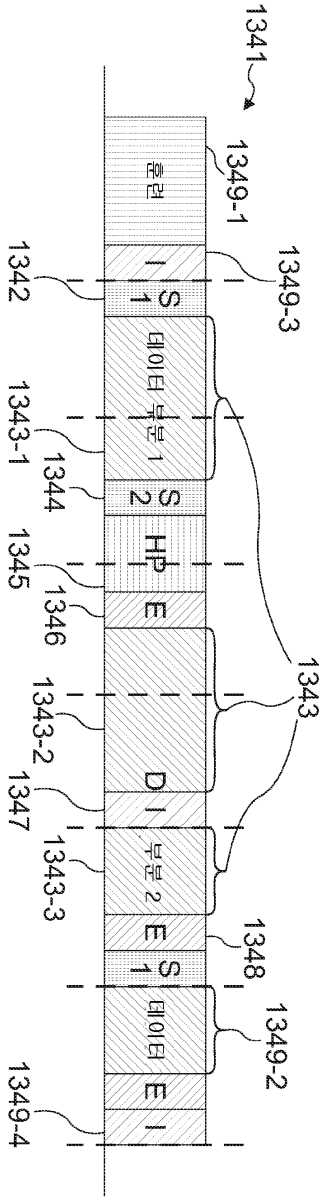


도면13i

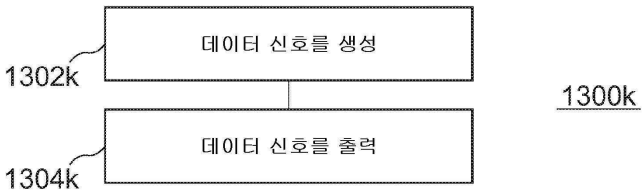


1340

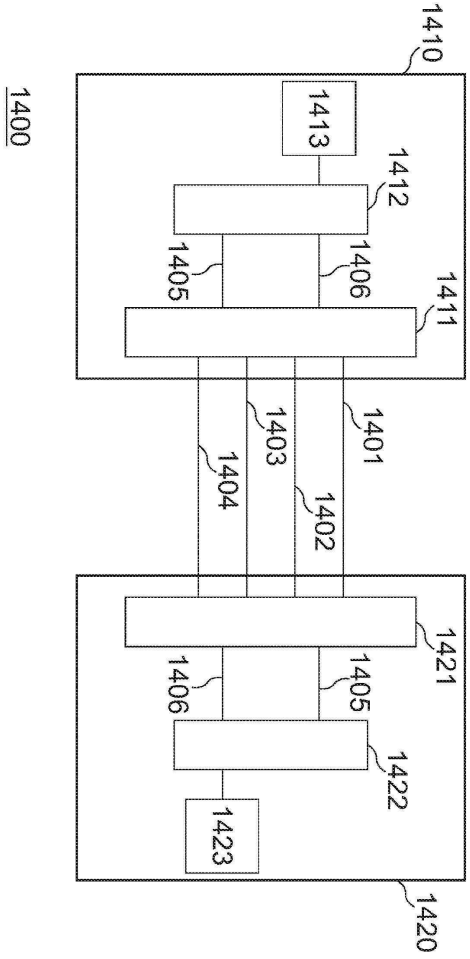
도면13j


1341
1349-1
훈련
1342
S 1
1349-3
데이터 부분 1
1343-1
1344
S 2
HP
1345
1346
E
1343
1343-2
D
1347
1343-3
부분 2
E
1348
S 1
데이터
1349-2
E
1349-4

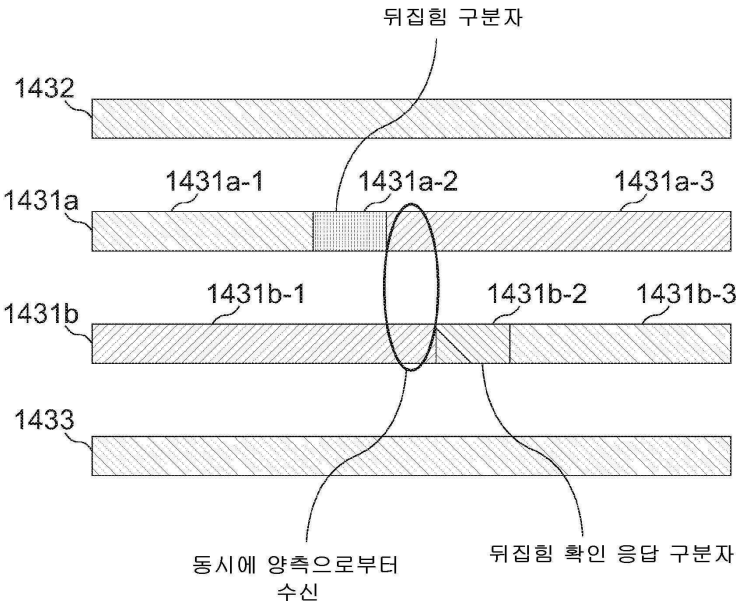
도면13k


데이터 신호를 생성
1302k
데이터 신호를 출력
1304k
1300k

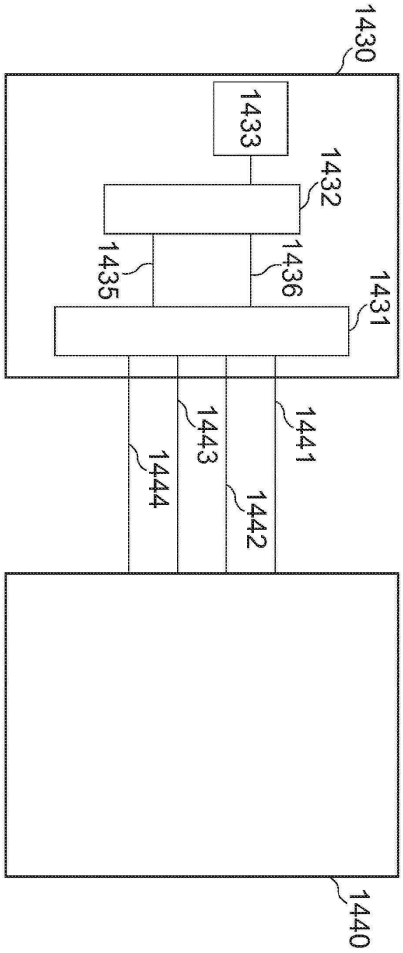
도면14a


1400
1410
1413
1412
1405
1406
1411
1403
1401
1404
1402
1421
1406
1405
1422
1423
1420

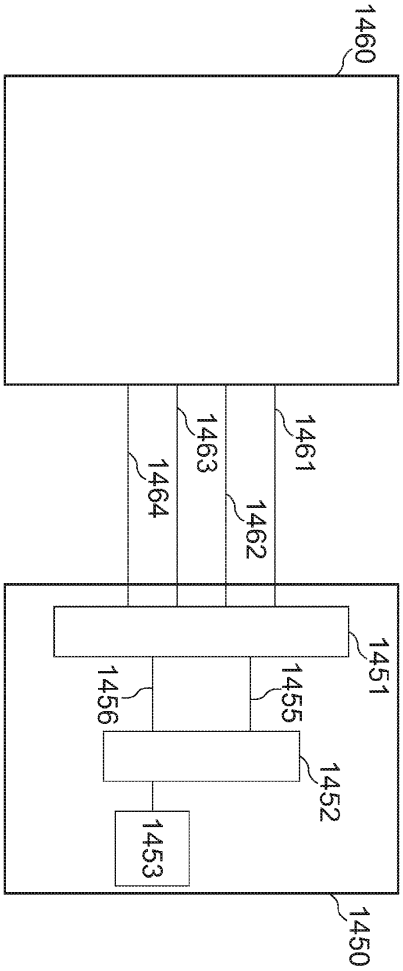
도면14b


뒤집힘 구분자
1432
1431a-1
1431a-2
1431a-3
1431a
1431b-1
1431b-2
1431b-3
1431b
1433
동시에 양측으로부터 수신
뒤집힘 확인 응답 구분자

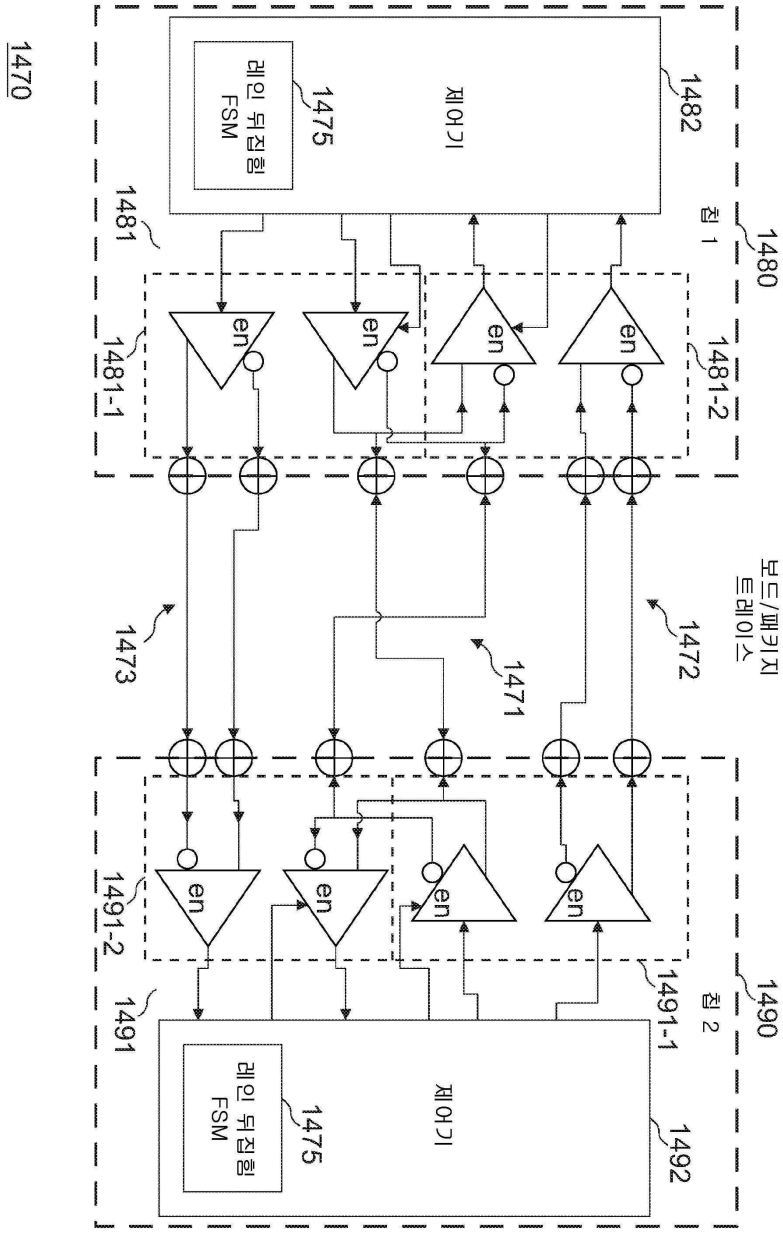
도면14c



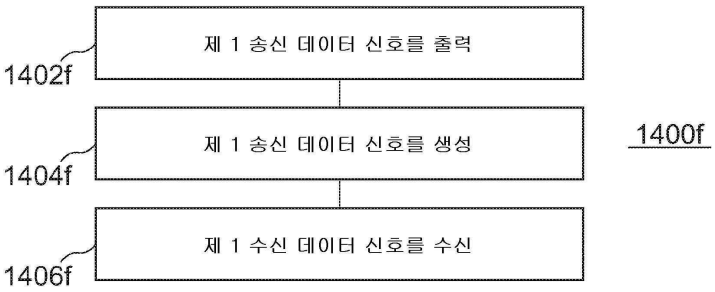
도면14d



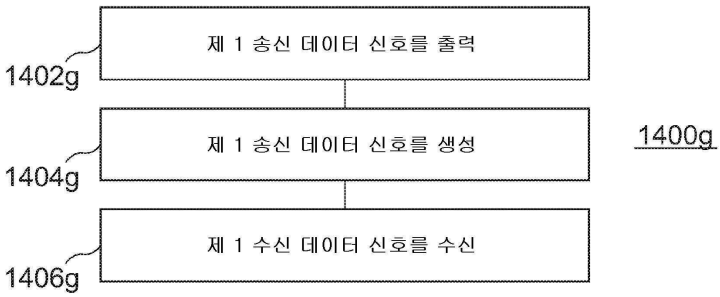
도면14e


1470
레인 뒤집힘 FSM
1475
제어기
1482
칩 1
1480
1481
1481-1
1481-2
en
보드/패키지 트레이스
1473
1471
1472
1491-2
1491
1491-1
칩 2
1490
레인 뒤집힘 FSM
1475
제어기
1492

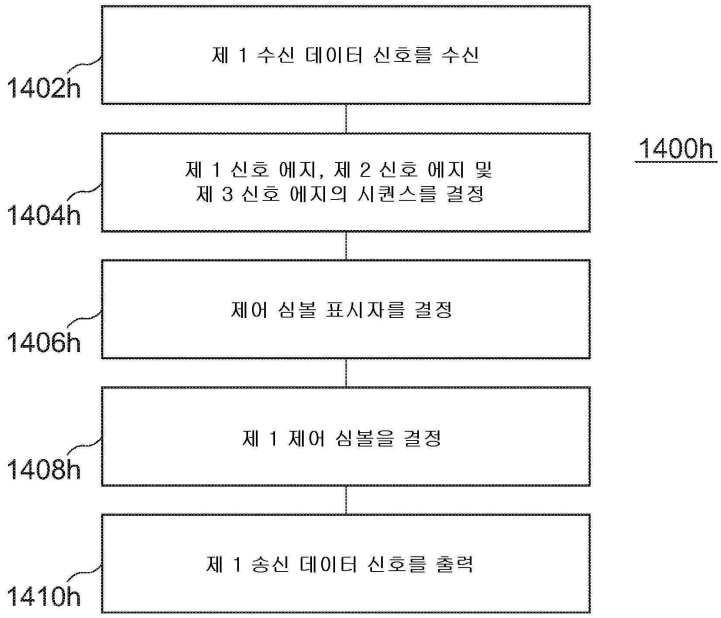
도면14f


제 1 송신 데이터 신호를 출력
제 1 송신 데이터 신호를 생성
제 1 수신 데이터 신호를 수신
1402f
1404f
1406f
1400f

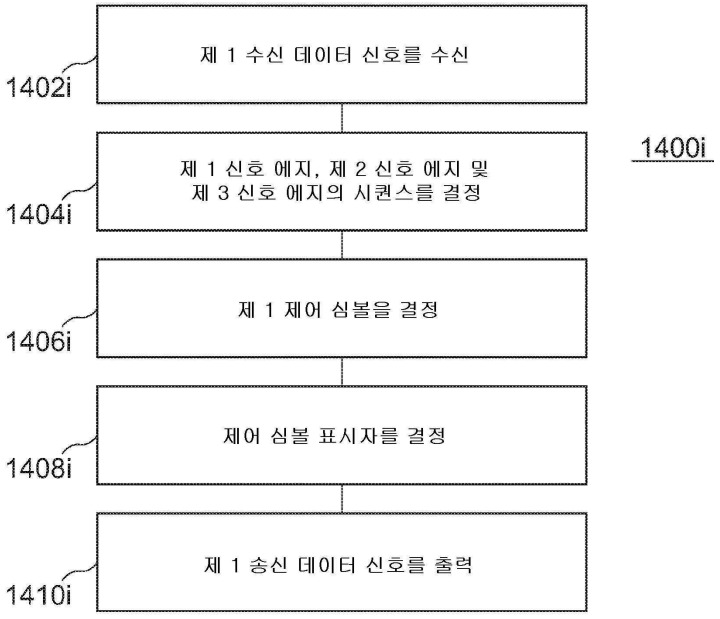
도면14g



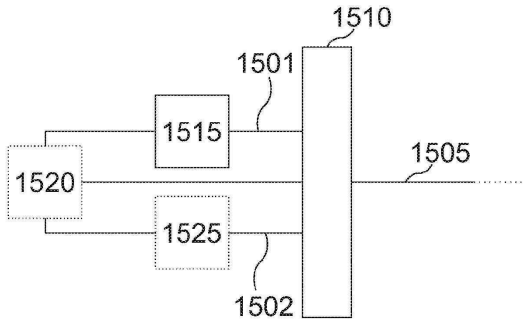
도면14h



도면14i

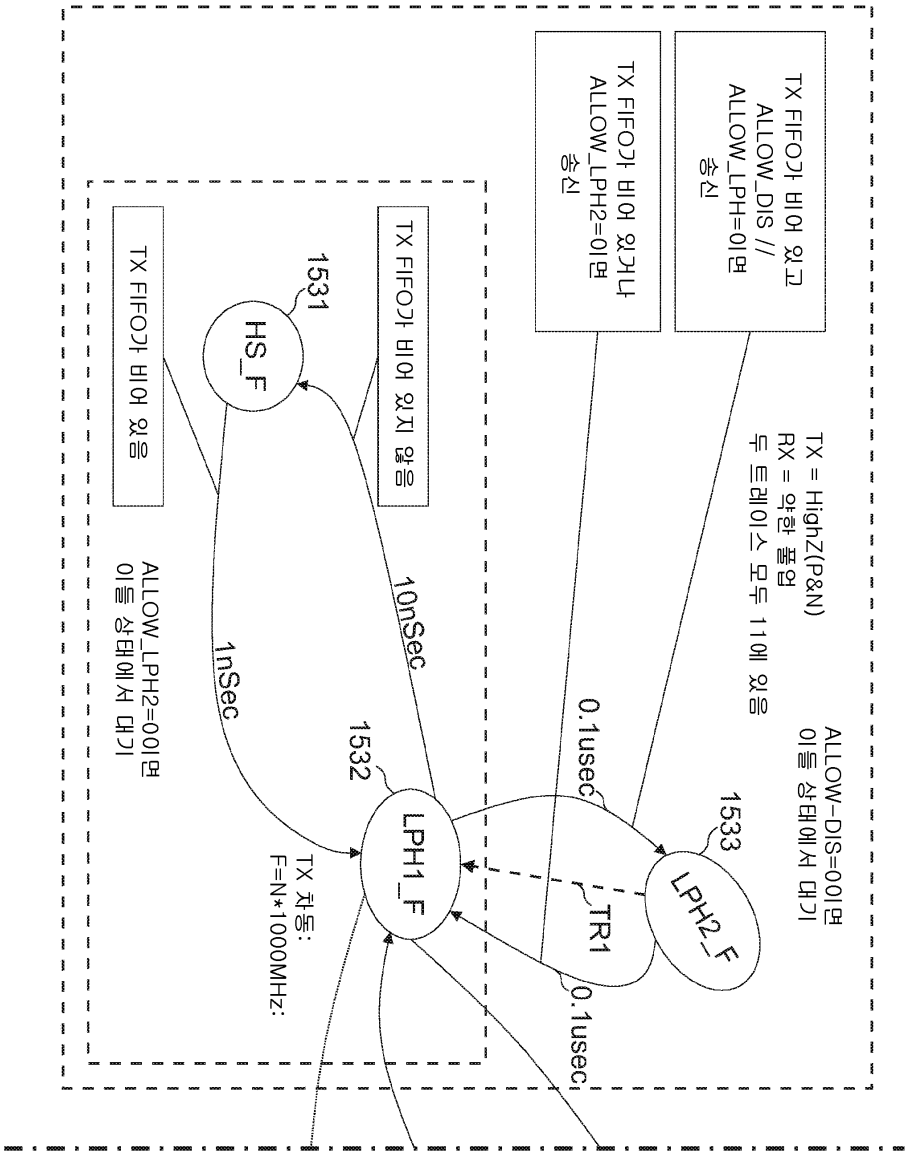


도면15a



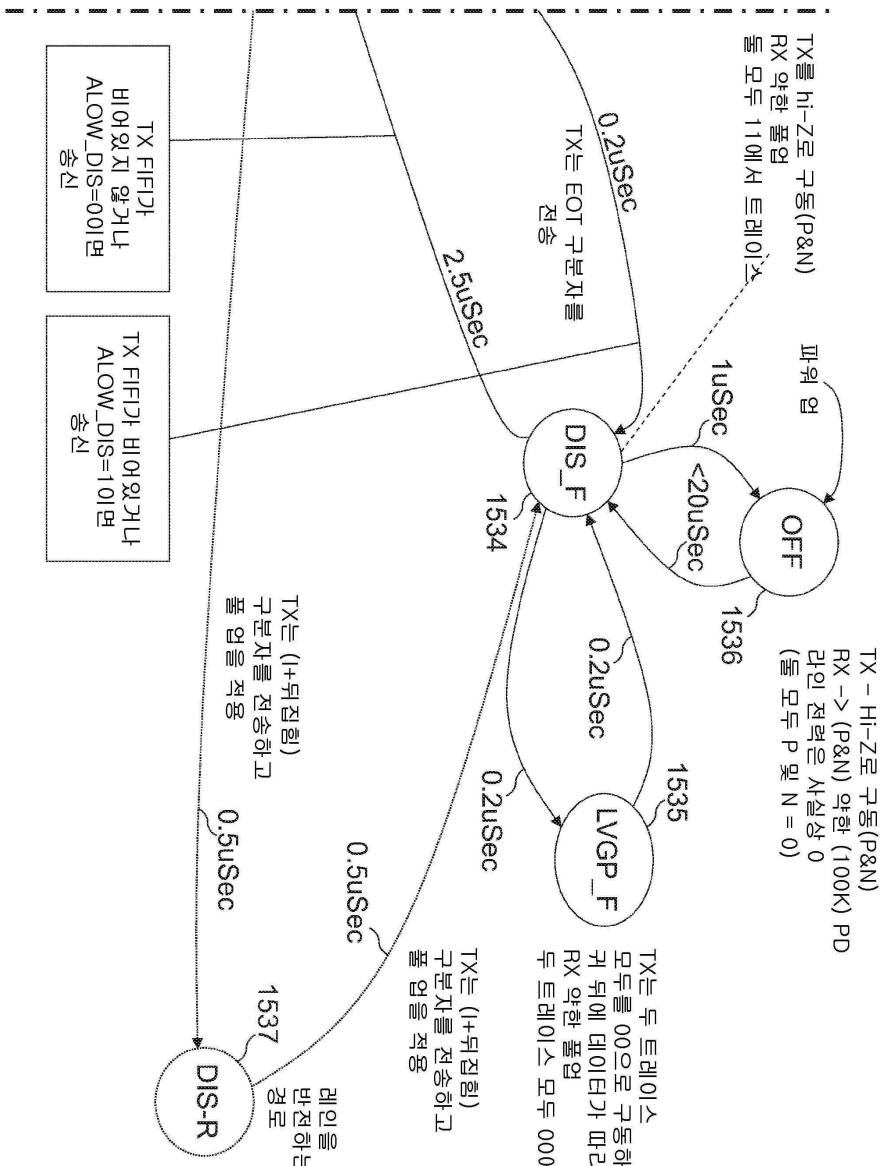
1500

도면15ba

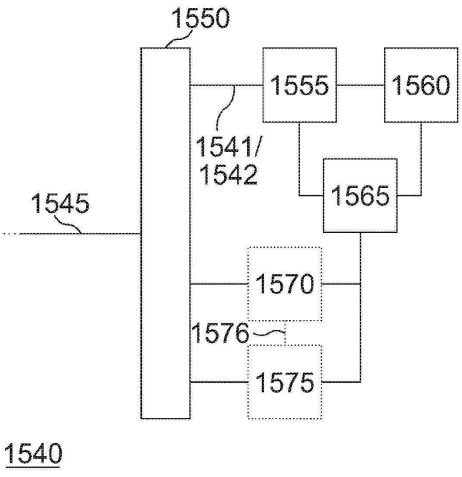


도 15b | 도 15ba | 도 15bb

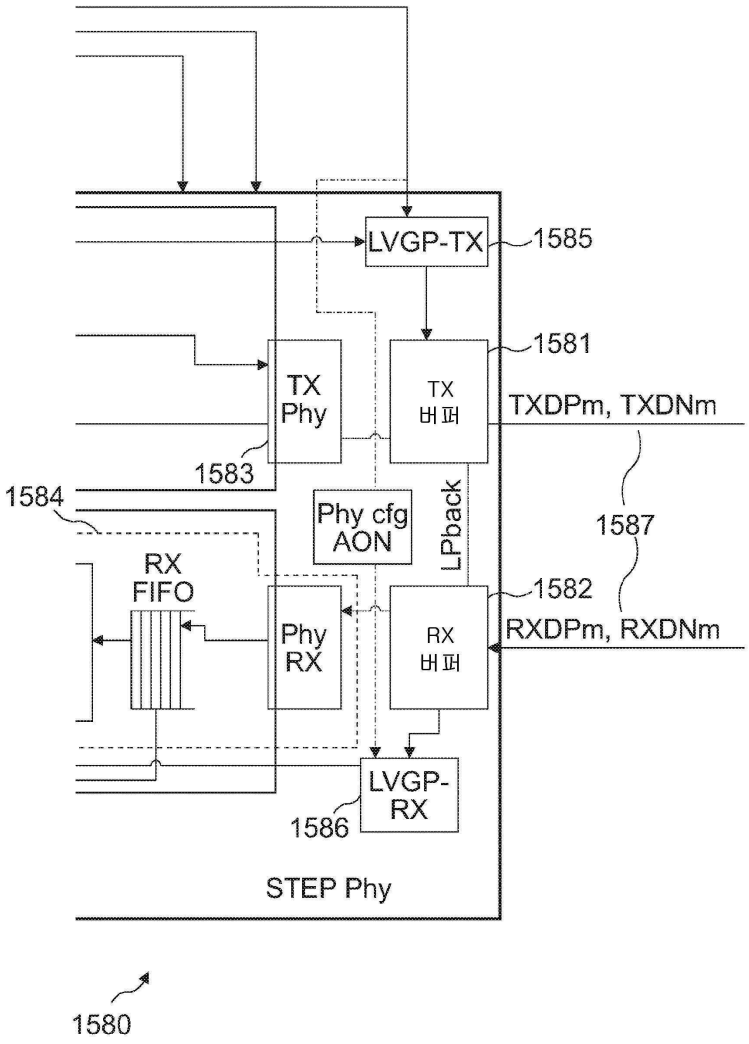
도면15bb



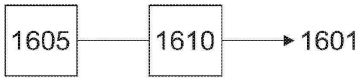
도면15c



도면15d

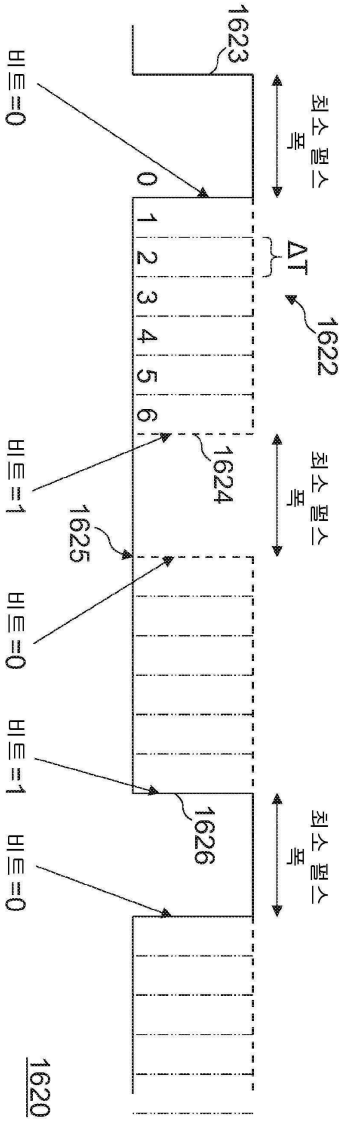


도면16a

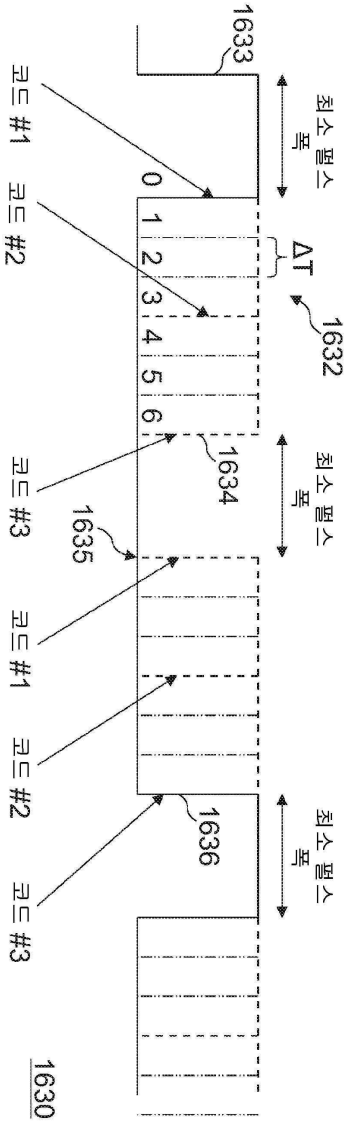


1600

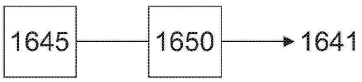
도면16b


1623
비트=0
0
1
2
3
4
5
6
최소 펄스 폭
ΔT
1622
비트=1
1624
최소 펄스 폭
1625
비트=0
비트=1
1626
최소 펄스 폭
비트=0
1620

도면16c

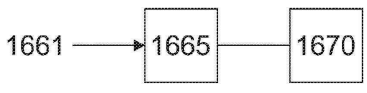


도면16d



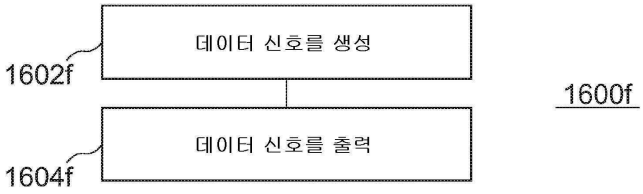
1640

도면16e

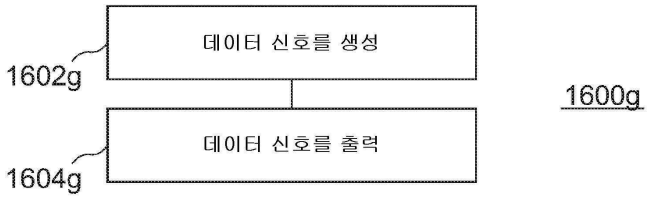


1660

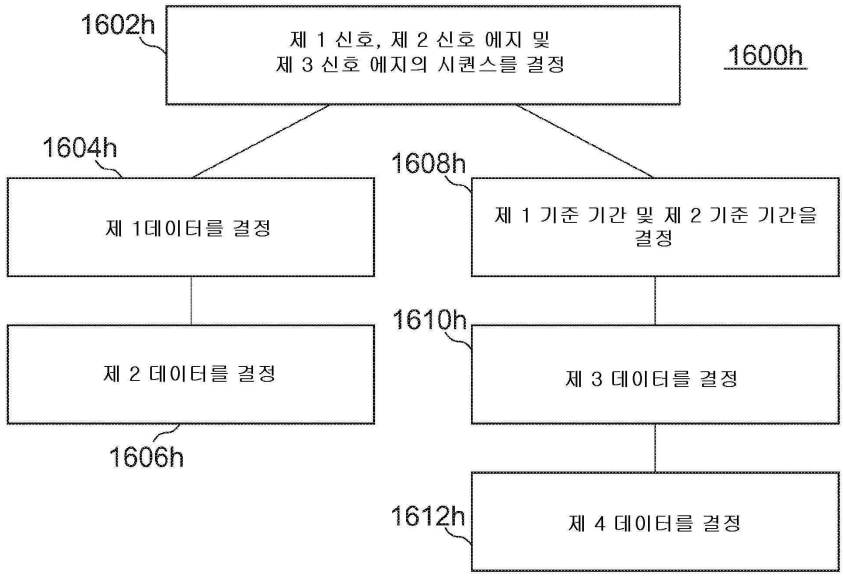
도면16f



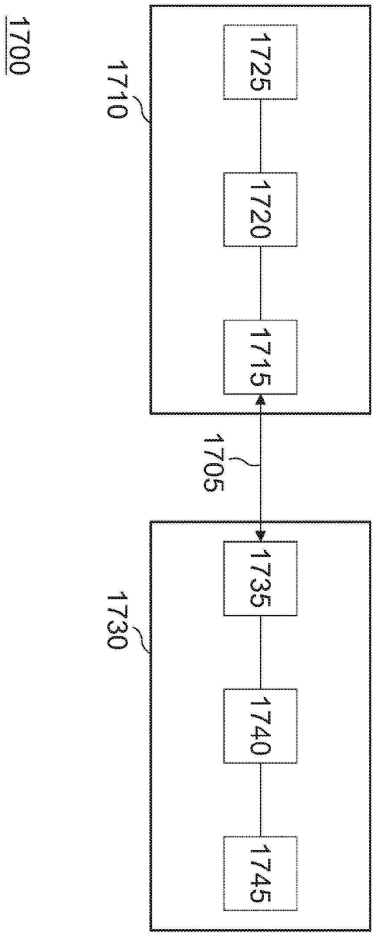
도면16g



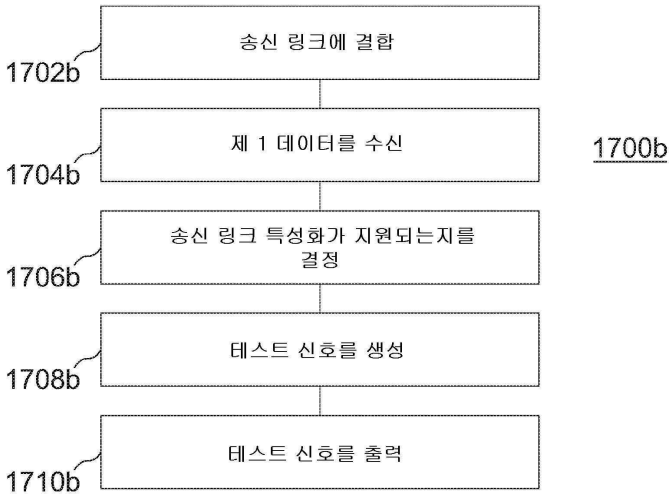
도면16h



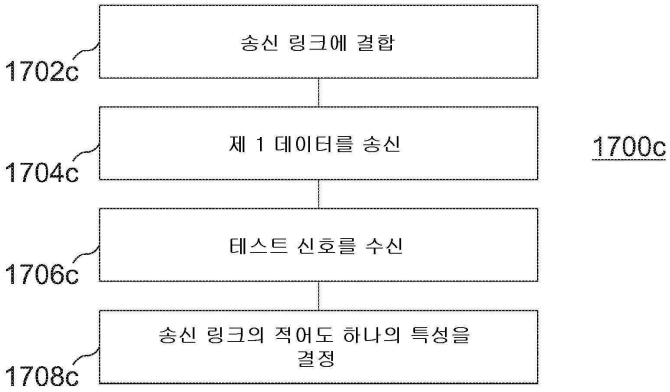
도면17a


1700
1710
1725
1720
1715
1705
1730
1735
1740
1745

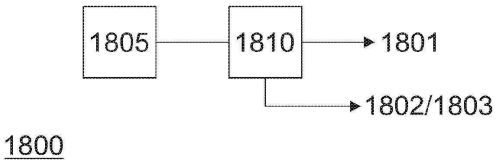
도면17b


송신 링크에 결합
1702b
제 1 데이터를 수신
1704b
1700b
송신 링크 특성화가 지원되는지를 결정
1706b
테스트 신호를 생성
1708b
테스트 신호를 출력
1710b

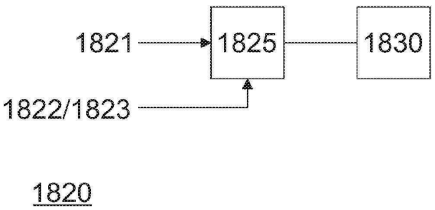
도면17c



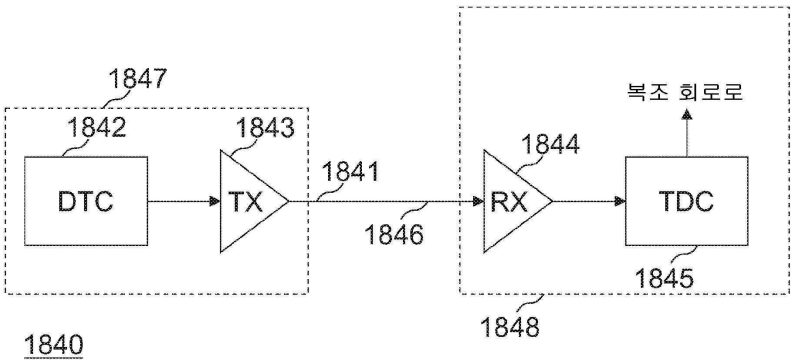
도면18a



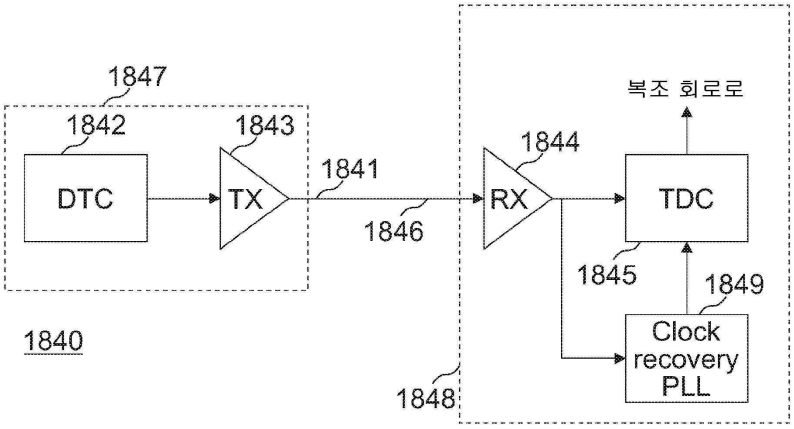
도면18b



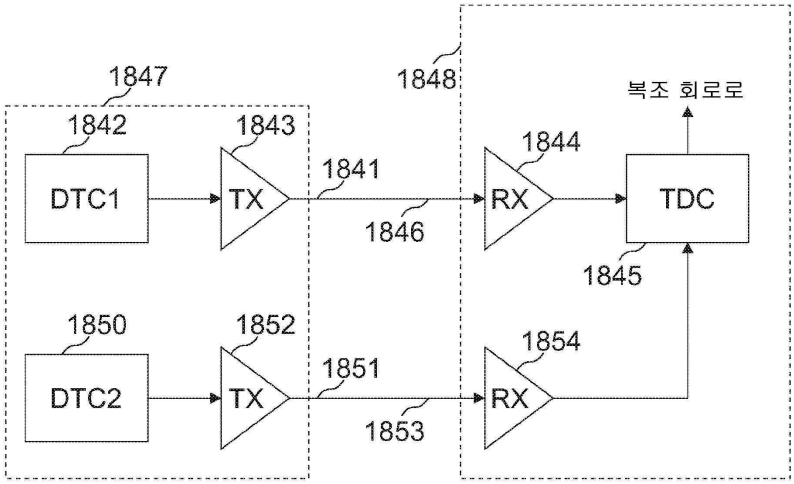
도면18c



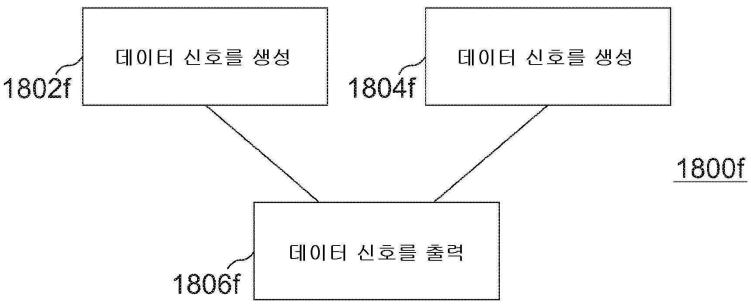
도면18d



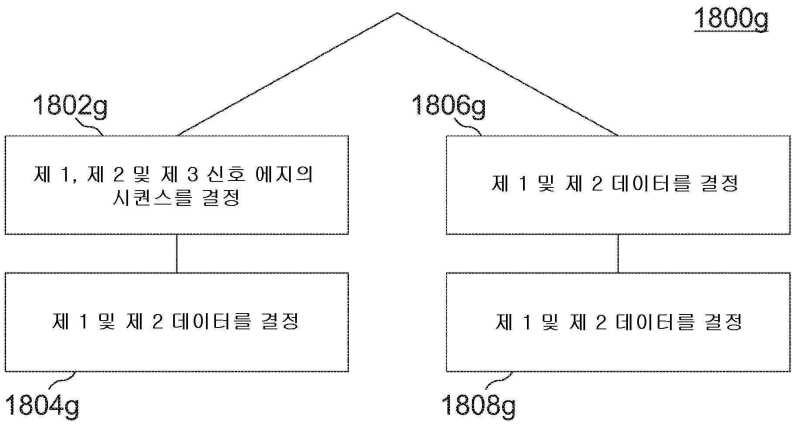
도면18e



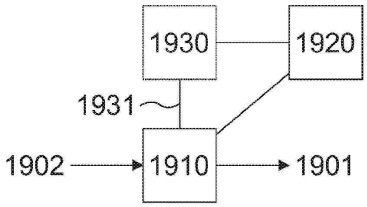
도면18f



도면18g

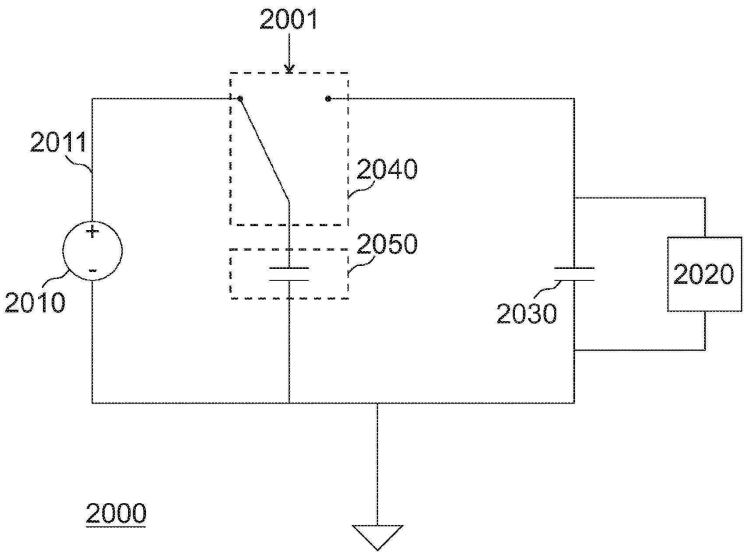


도면19

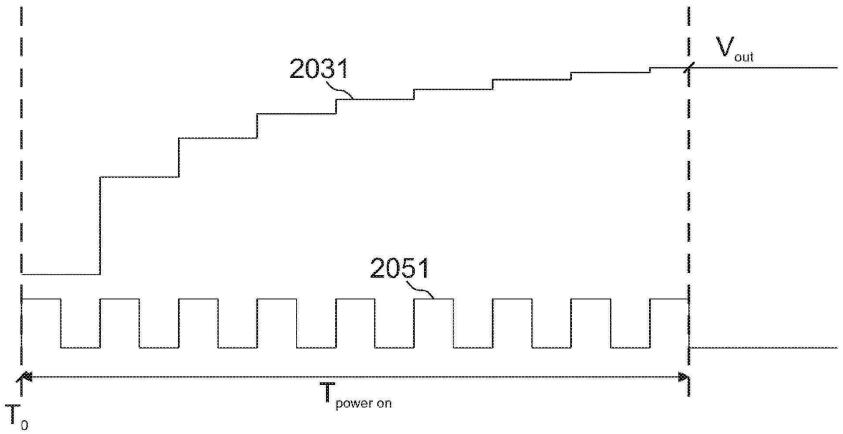


1900

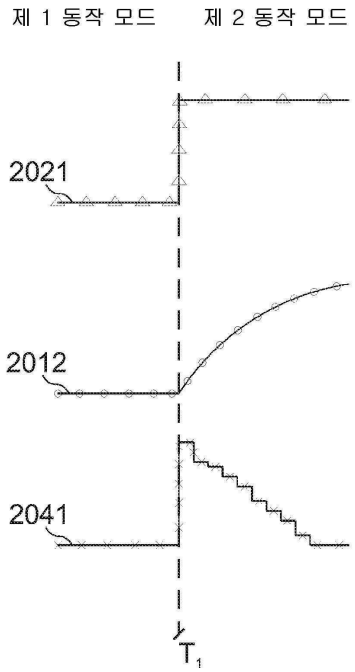
도면20a



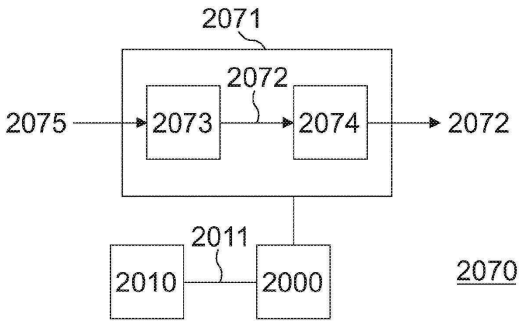
도면20b



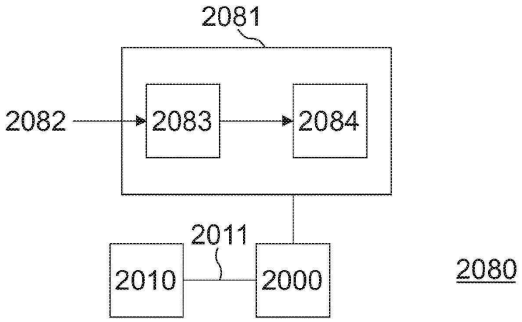
도면20c



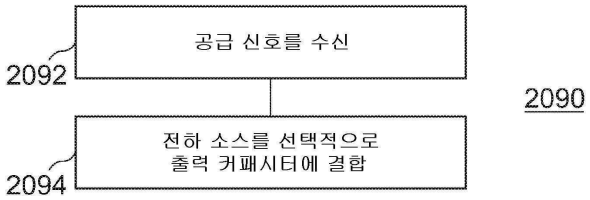
도면20d



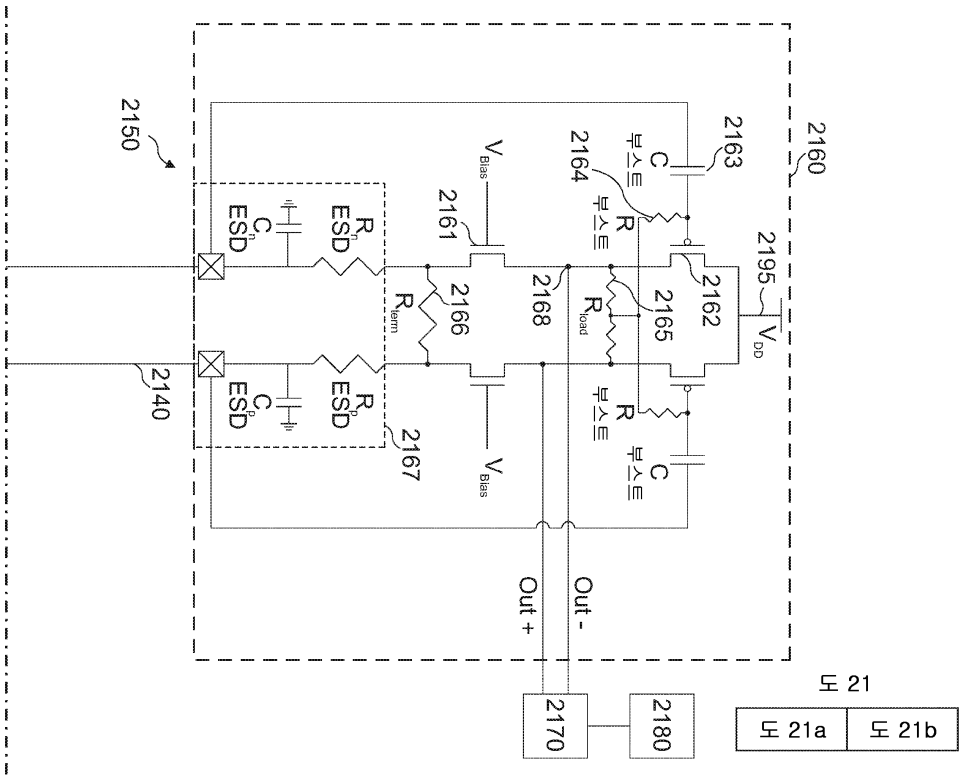
도면20e



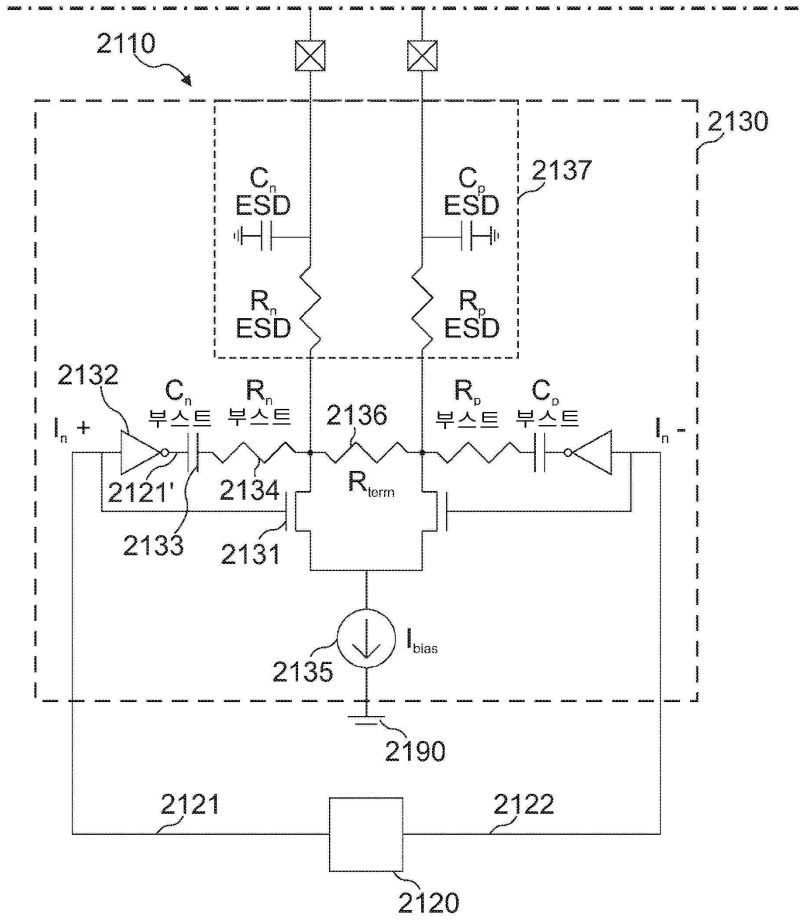
도면20f



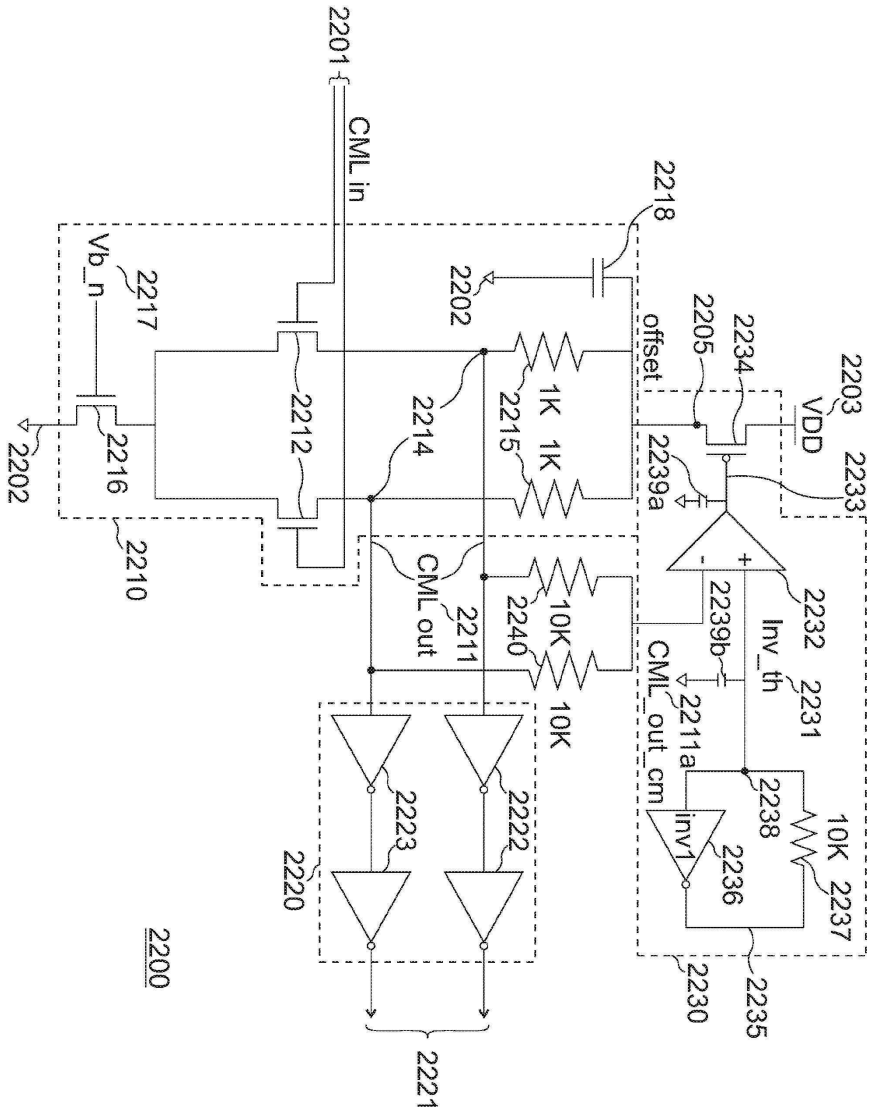
도면21a



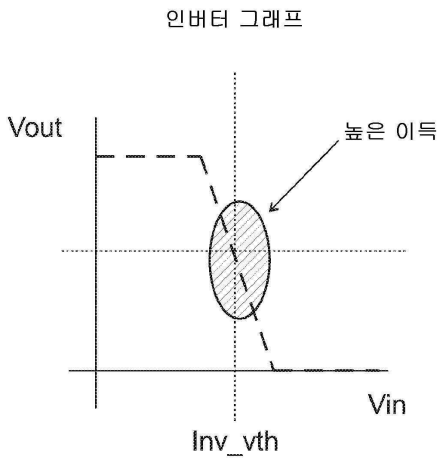
도면21b


2110
2130
2137
C_n ESD
C_p ESD
R_n ESD
R_p ESD
2132
C_n 부스트
R_n 부스트
2136
R_p 부스트
C_p 부스트
I_n +
I_n -
2121'
2134
R_{term}
2133
2131
2135
I_{bias}
2190
2121
2122
2120

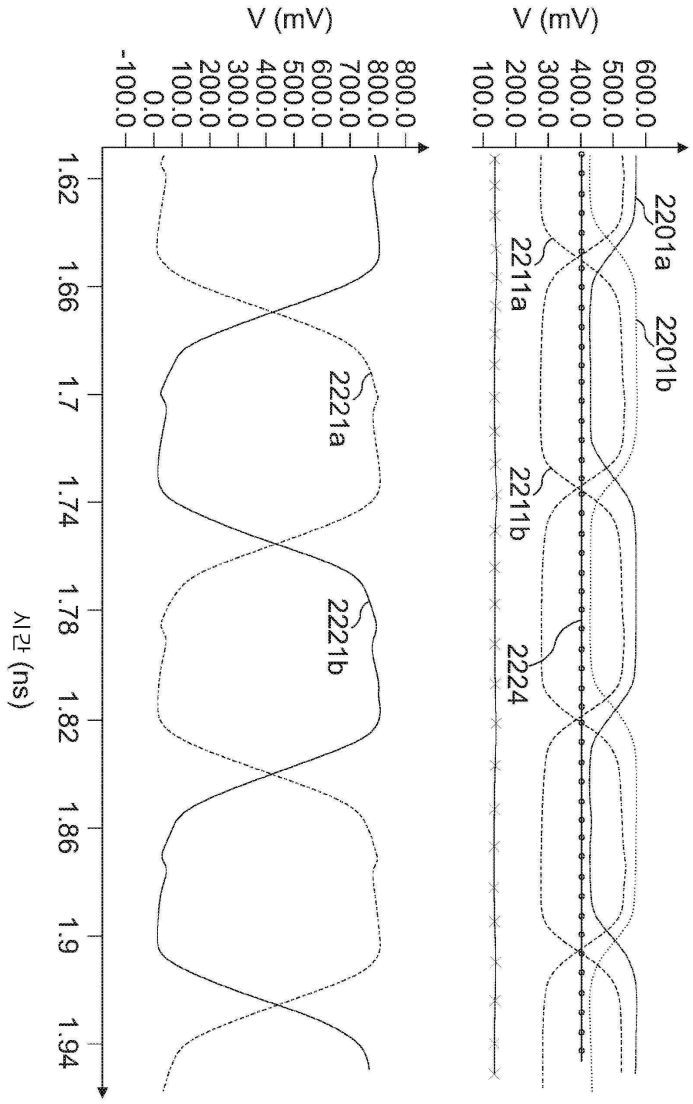
도면22a


2201
CML in
2218
2202
Vb_n
2217
2205
2234
offset
2203
VDD
2233
2212
2214
2215
1K
1K
2216
2202
2239a
2210
CML out
2211
2240
10K
2232
2239b
Inv_th
2231
CML_out_cm
2211a
2238
10K
2237
inv1
2236
2223
2222
2220
2200
2230
2235
2221

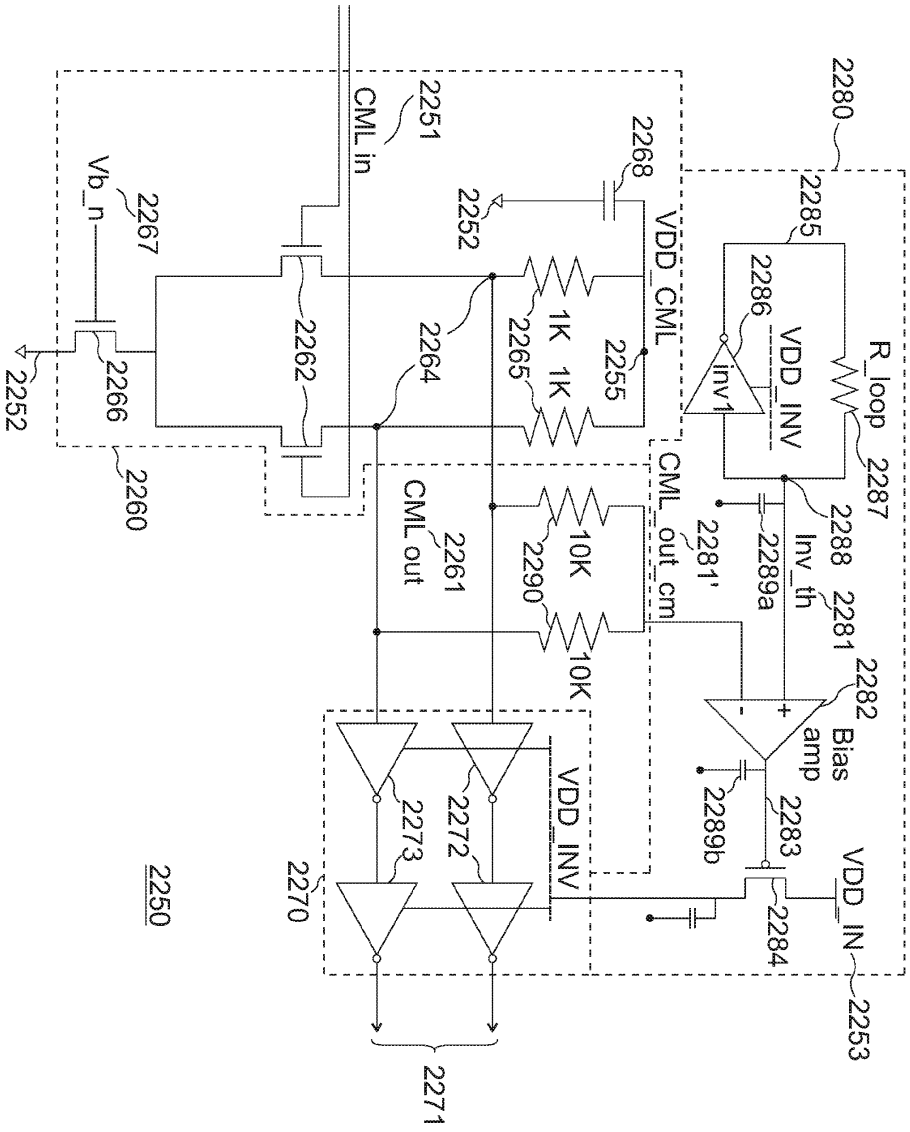
도면22b


인버터 그래프
Vout
높은 이득
Vin
Inv_vth

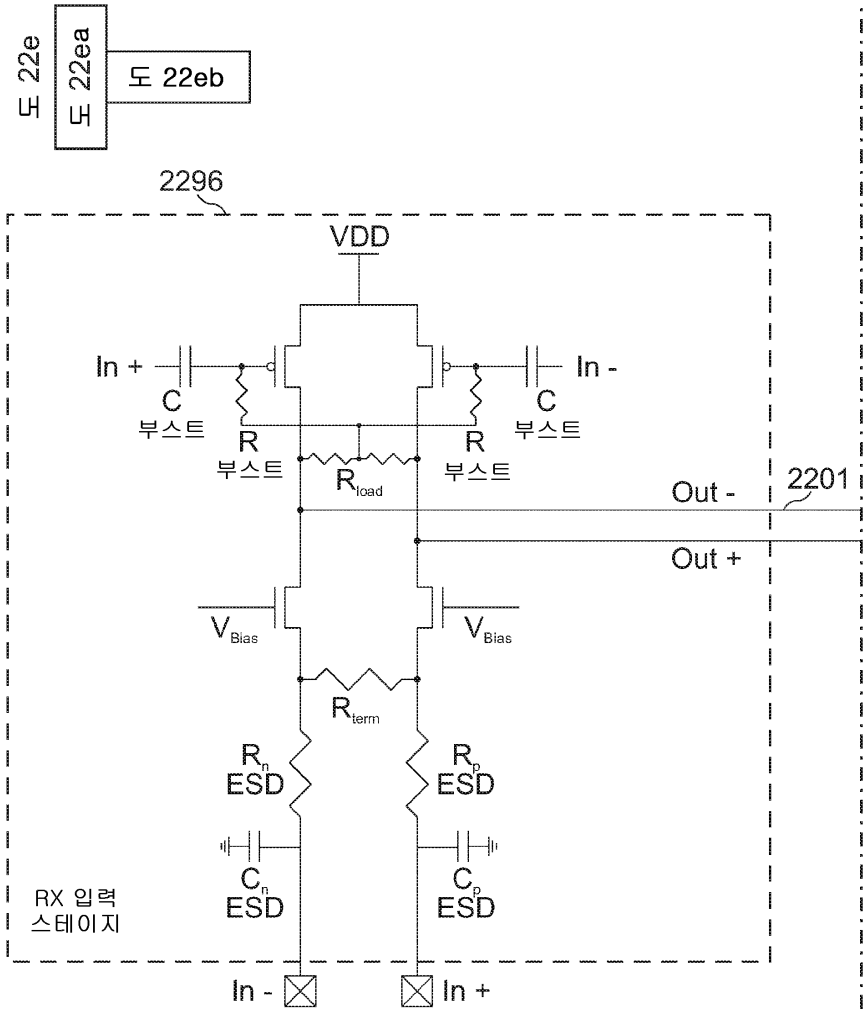
도면22c


V (mV)
V (mV)
100.0
200.0
300.0
400.0
500.0
600.0
-100.0
0.0
100.0
200.0
300.0
400.0
500.0
600.0
700.0
800.0
2201a
2201b
2211a
2211b
2224
2221a
2221b
1.62
1.66
1.7
1.74
1.78
1.82
1.86
1.9
1.94
시간 (ns)

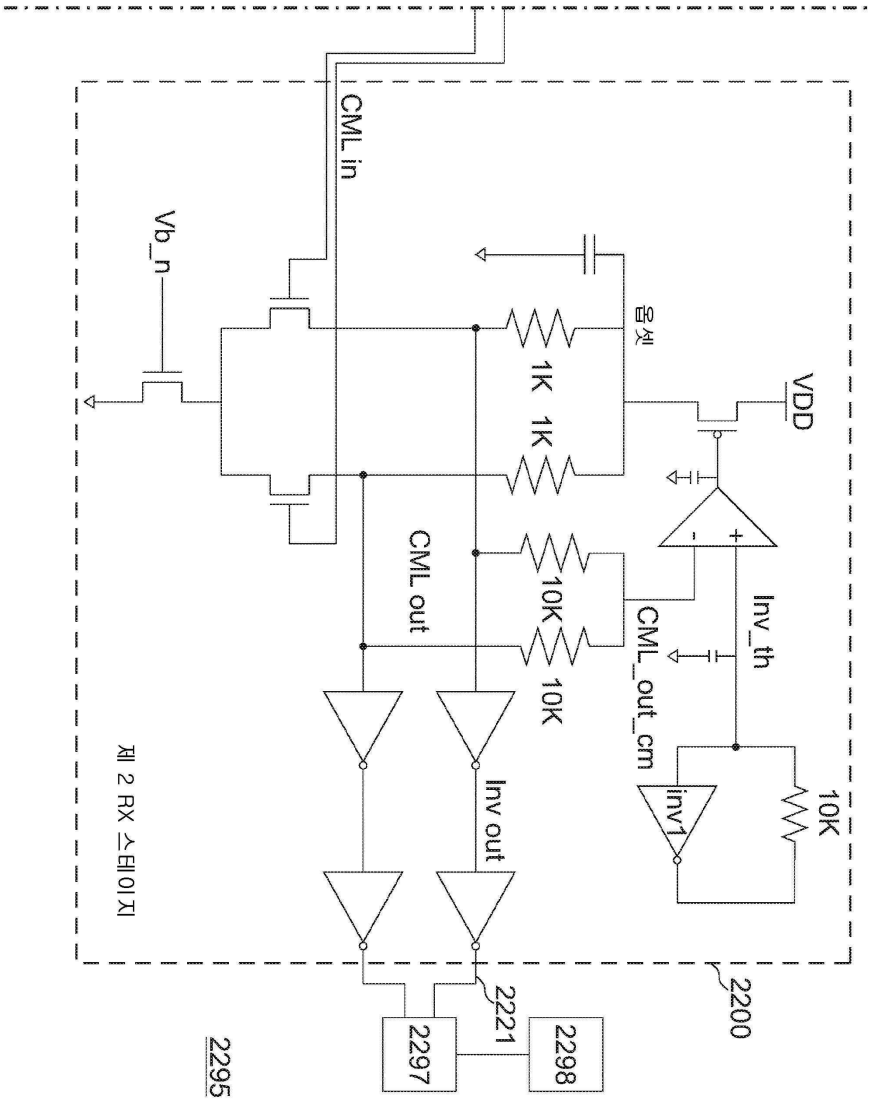
도면22d


2280
2285
2286
VDD_INV
inv1
R_loop
2287
2288
Inv_th
2281
2282
Bias amp
2283
VDD_IN
2284
2253
2281'
2289a
2289b
CML_out_cm
2268
VDD_CML
2252
1K
1K
2265
2255
2264
2262
2266
2267
Vb_n
2251
CML in
2260
CML out
2261
10K
2290
10K
2273
2272
VDD_INV
2270
2271
2250

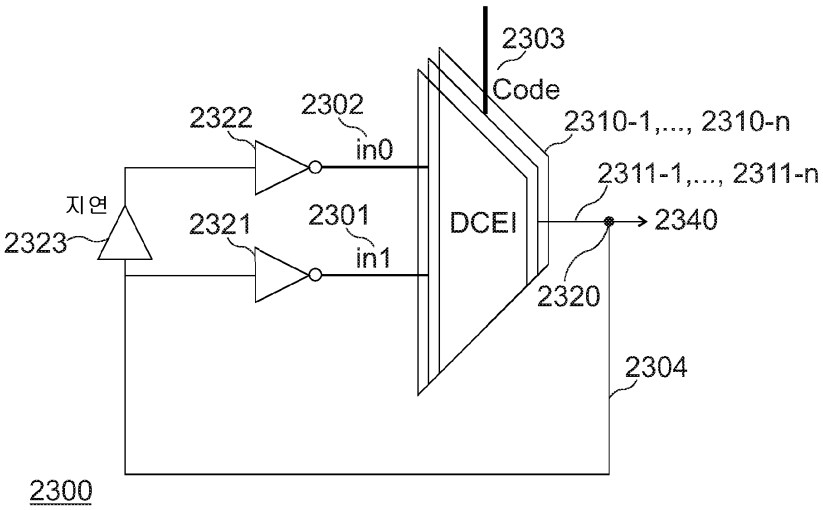
도면22ea


도 22e
도 22ea
도 22eb
2296
VDD
In +
In -
C
부스트
R
부스트
R
부스트
C
부스트
R
load
Out -
2201
Out +
V
Bias
V
Bias
R
term
R
n
ESD
R
p
ESD
C
n
ESD
C
p
ESD
RX 입력
스테이지
In -
In +

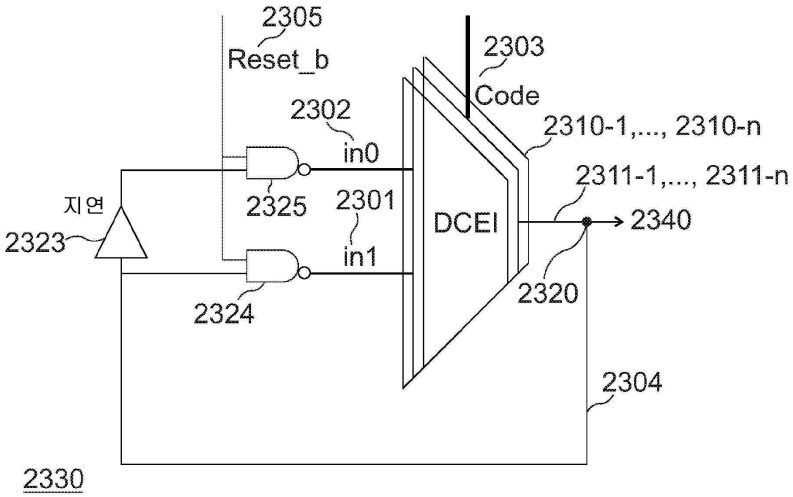
도면22eb



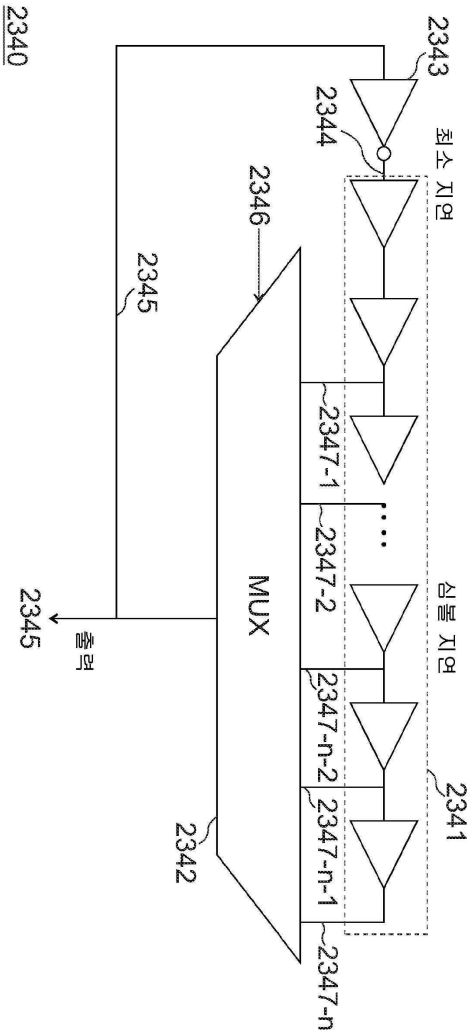
도면23a



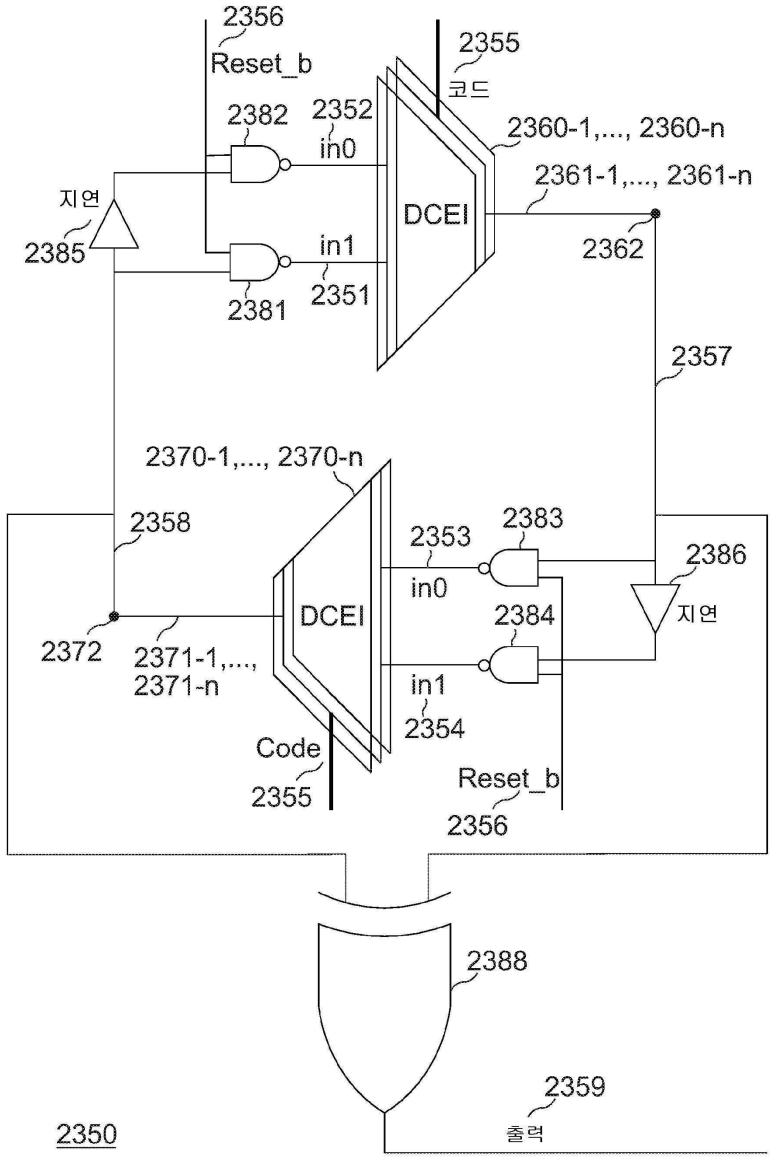
도면23b


2305
Reset_b
2303
Code
2302
in0
2310-1,..., 2310-n
2311-1,..., 2311-n
지연
2323
2325
2301
DCEI
2340
in1
2320
2324
2304
2330

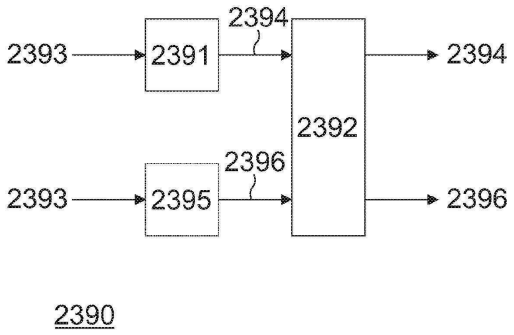
도면23c


2340
2343
2344
최소 지연
2346
2345
2347-1
2347-2
MUX
2345
출력
심볼 지연
2341
2342
2347-n-2
2347-n-1
2347-n

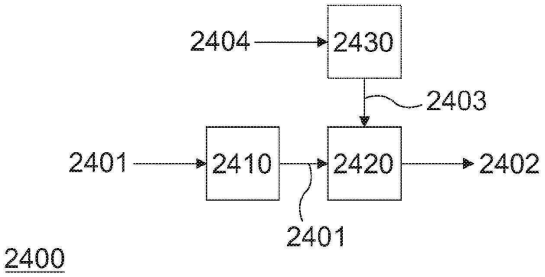
도면23d


2356
Reset_b
2355
코드
2382
2352
in0
2360-1,..., 2360-n
2361-1,..., 2361-n
지연
2385
DCEI
in1
2362
2381
2351
2357
2370-1,..., 2370-n
2358
2353
2383
2386
in0
지연
2384
2372
2371-1,...,
2371-n
DCEI
in1
2354
Code
2355
Reset_b
2356
2388
2359
출력
2350

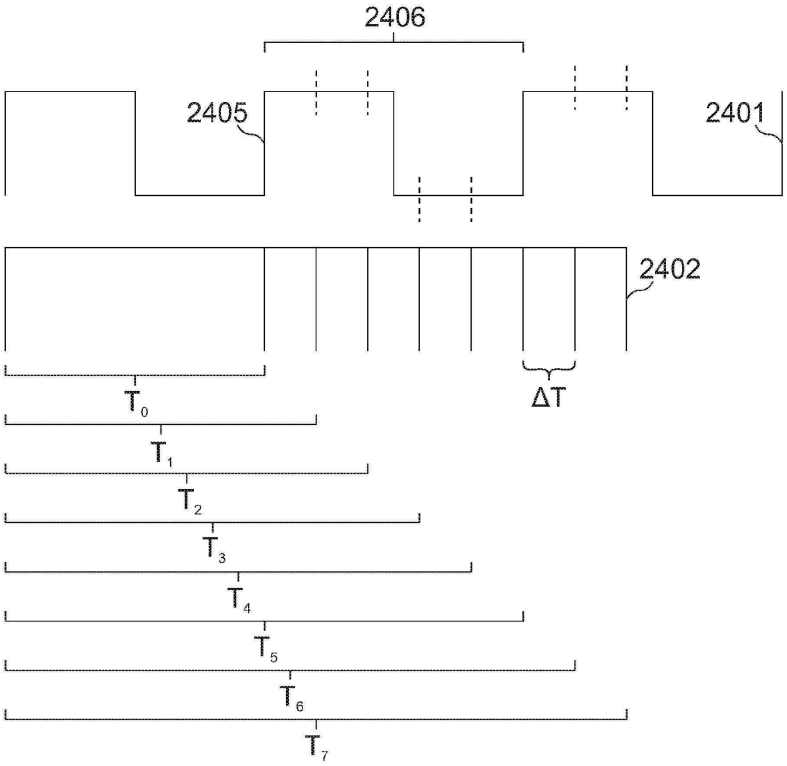
도면23e


2394
2393
2391
2394
2392
2396
2393
2395
2396
2390

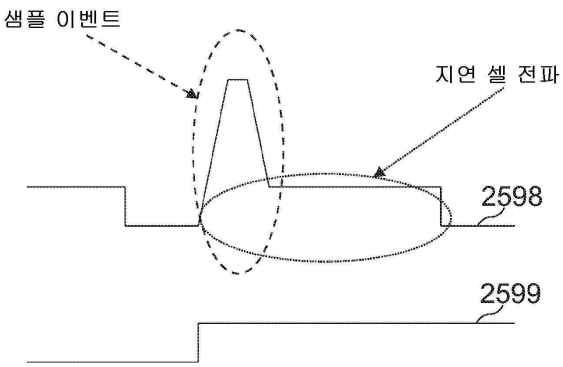
도면24a



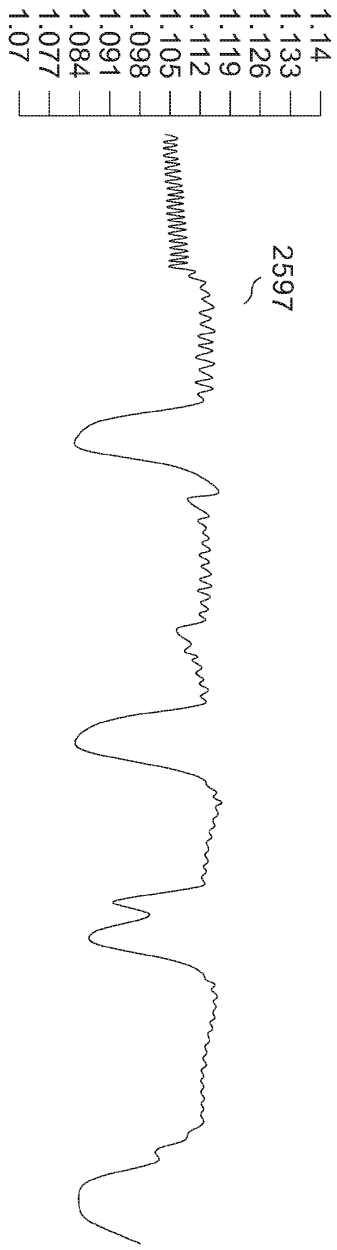
도면24b



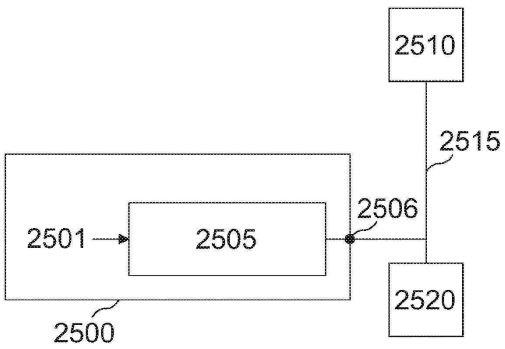
도면25a



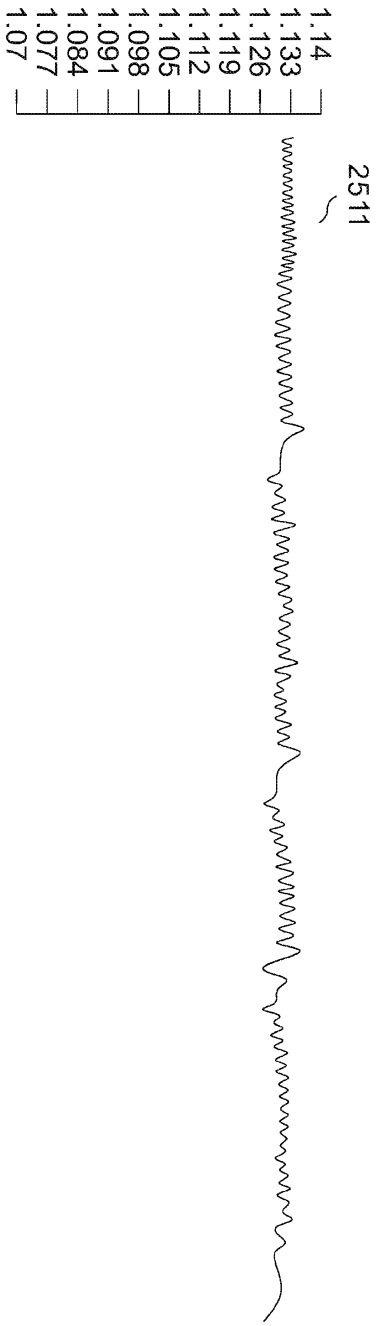
도면25b


1.07
1.077
1.084
1.091
1.098
1.105
1.112
1.119
1.126
1.133
1.14
2597

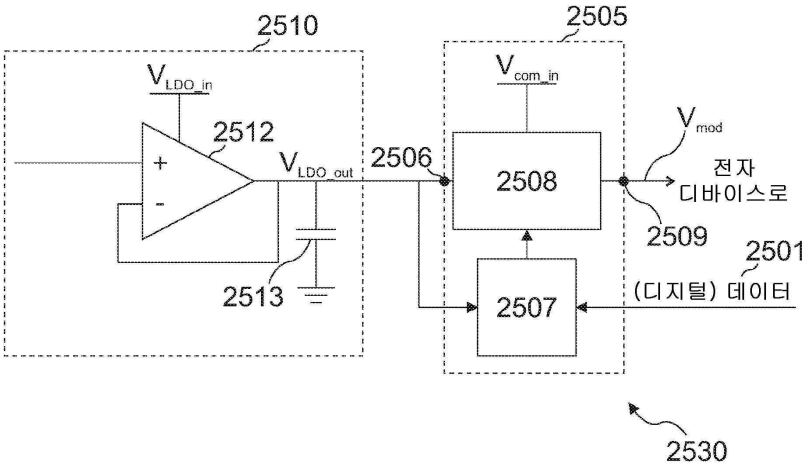
도면25c


2510
2515
2506
2501
2505
2520
2500

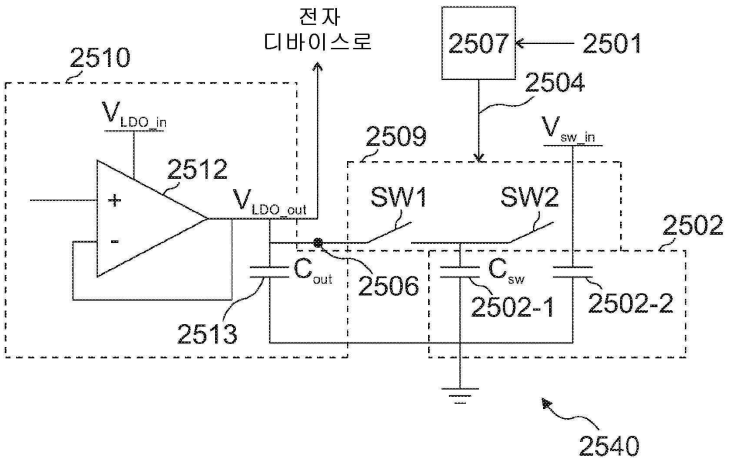
도면25d



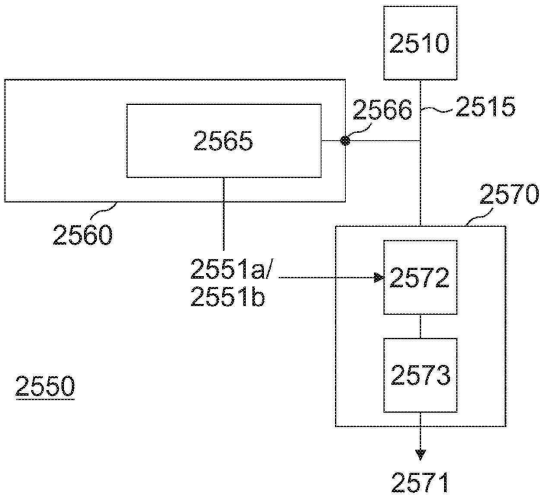
도면25e



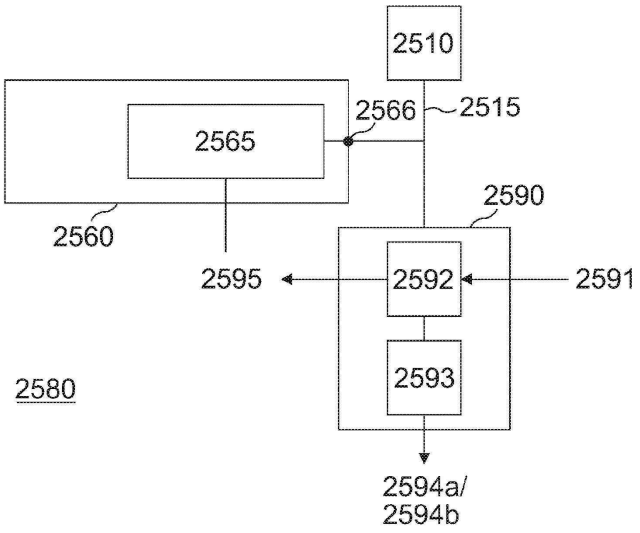
도면25f



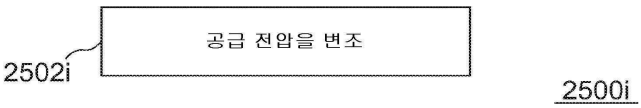
도면25g



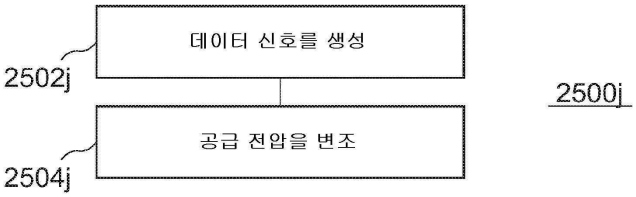
도면25h



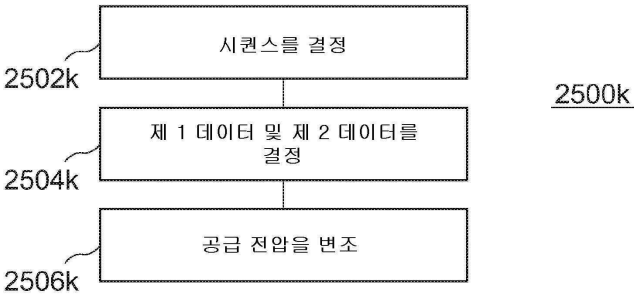
도면25i



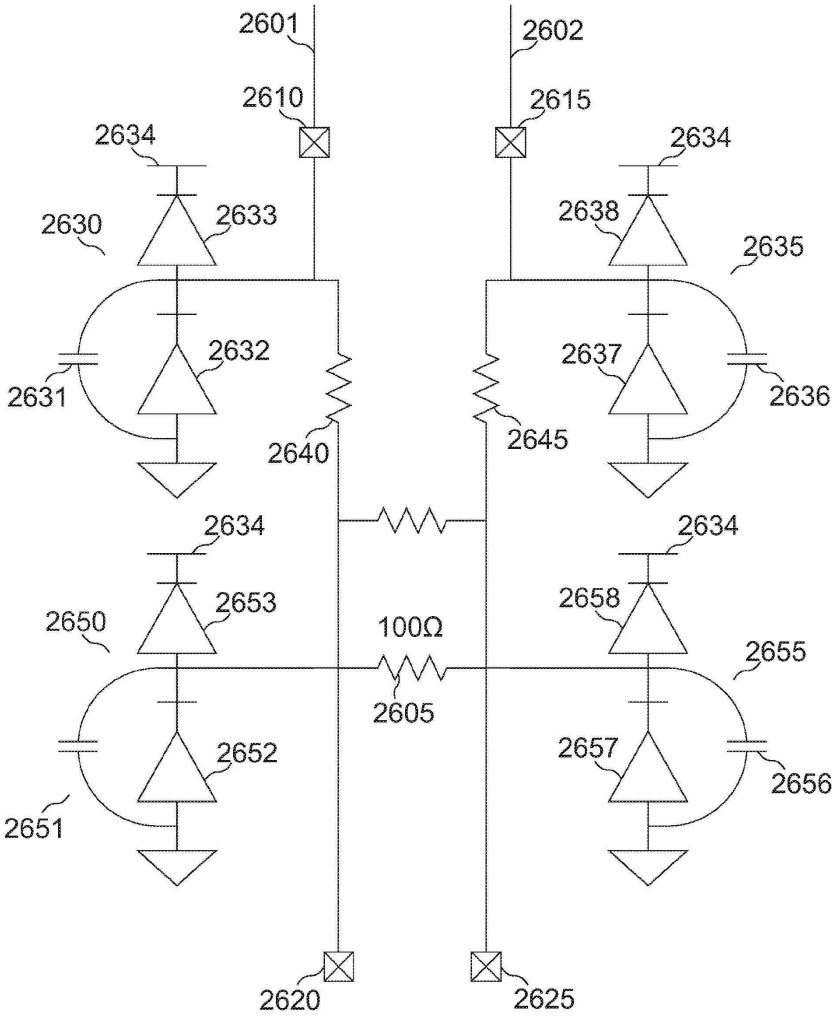
도면25j



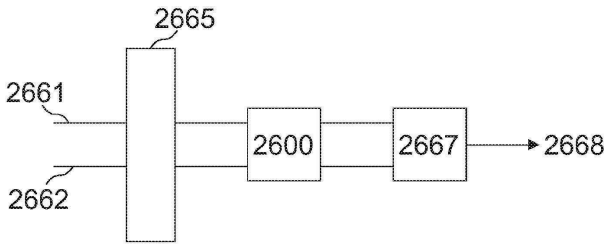
도면25k



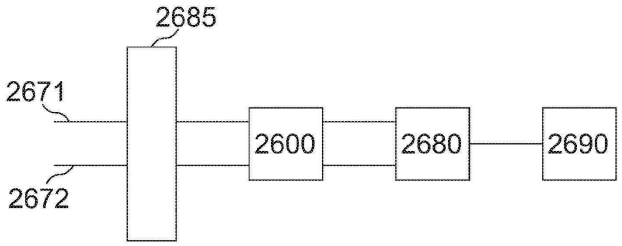
도면26a


2601
2602
2610
2615
2634
2634
2630
2633
2638
2635
2632
2637
2631
2636
2640
2645
2634
2634
2650
2653
2658
100Ω
2655
2605
2652
2657
2651
2656
2620
2625
2600

도면26b

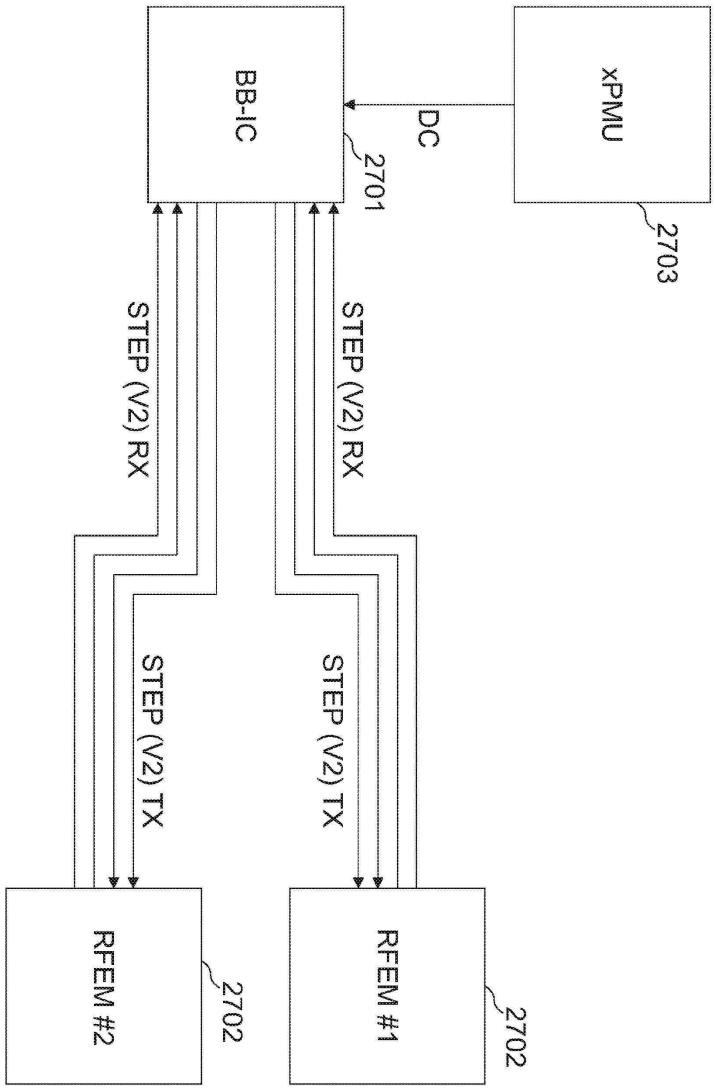

2665
2661
2600
2667
2668
2662
2660

도면26c

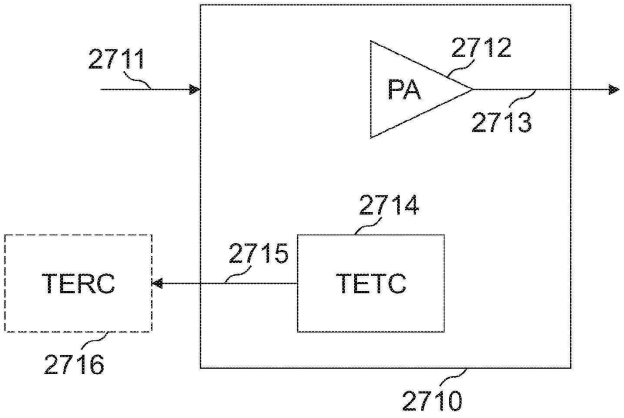


2670

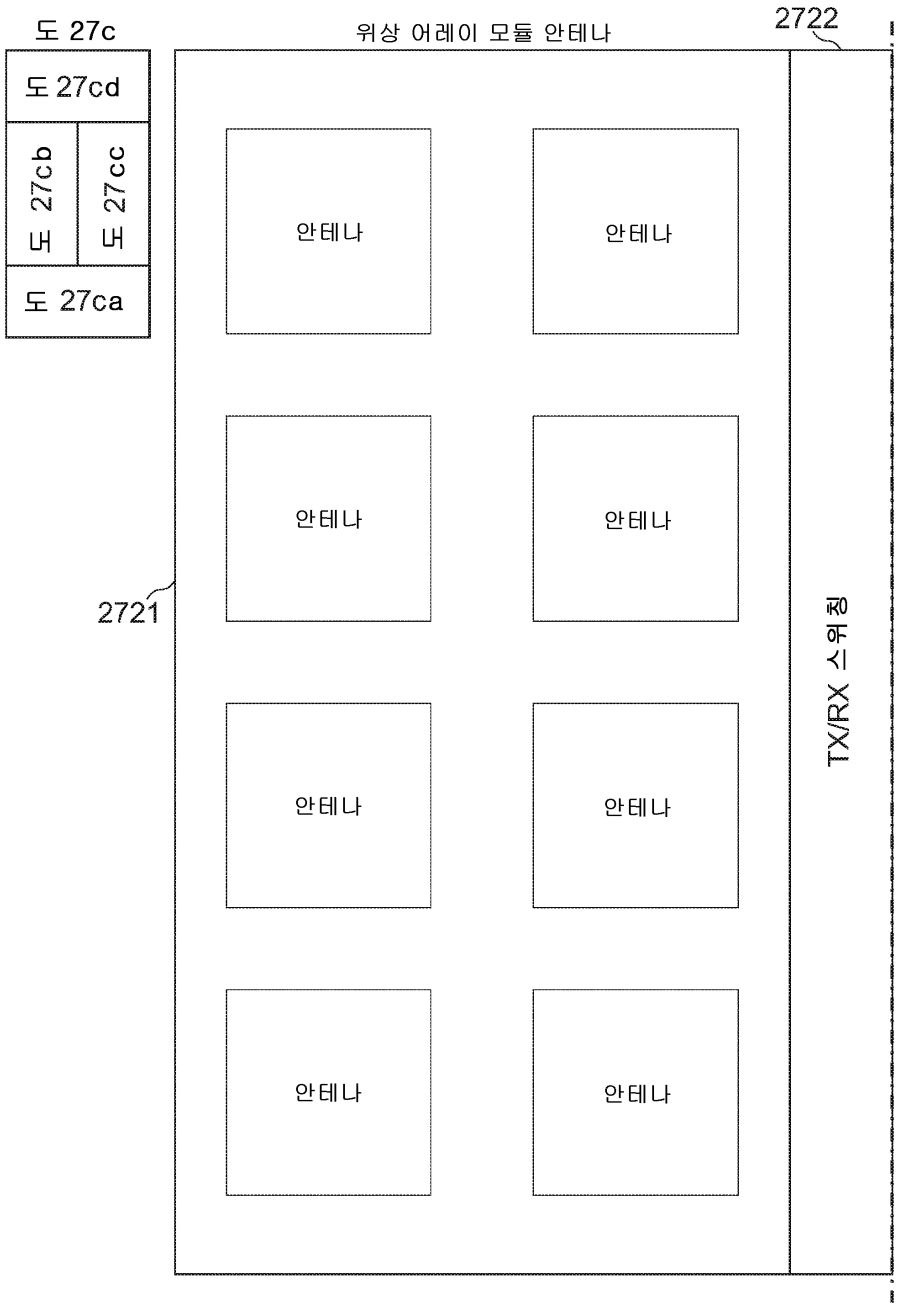
도면27a



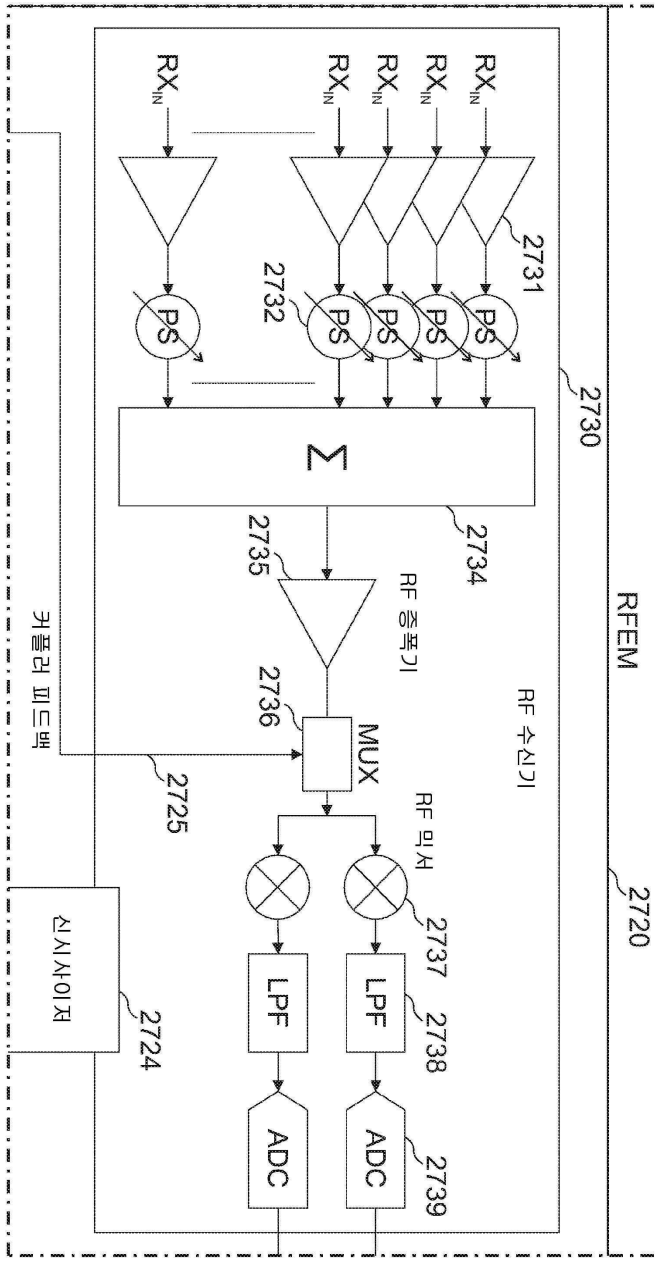
도면27b



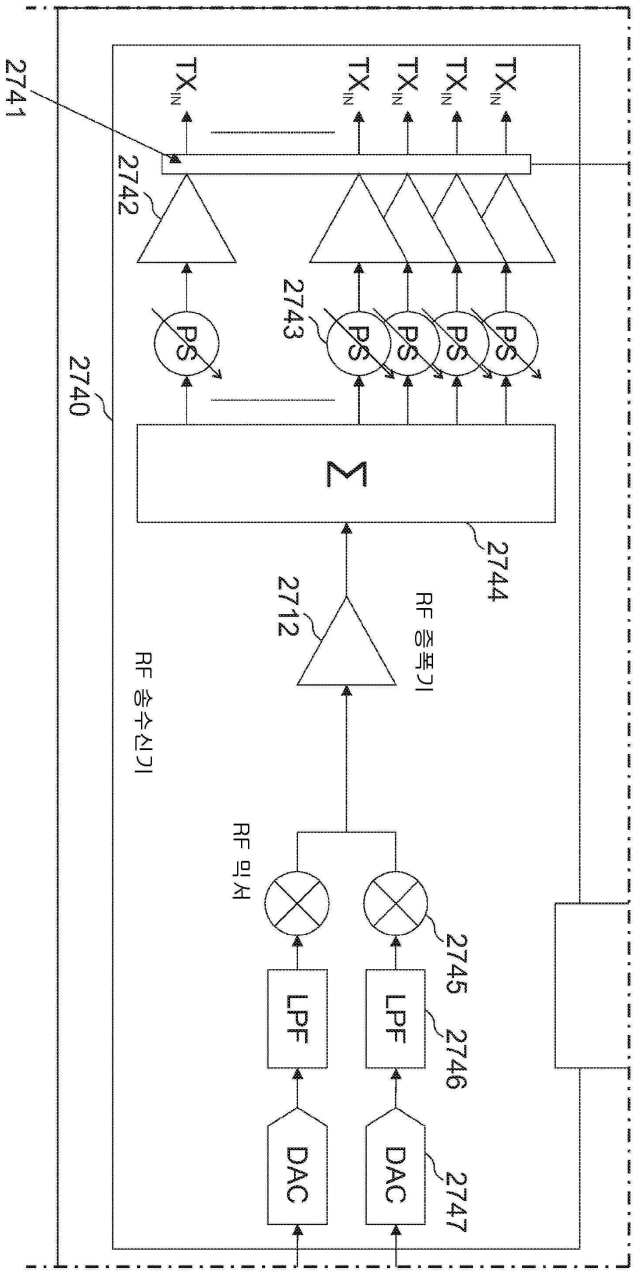
도면27ca



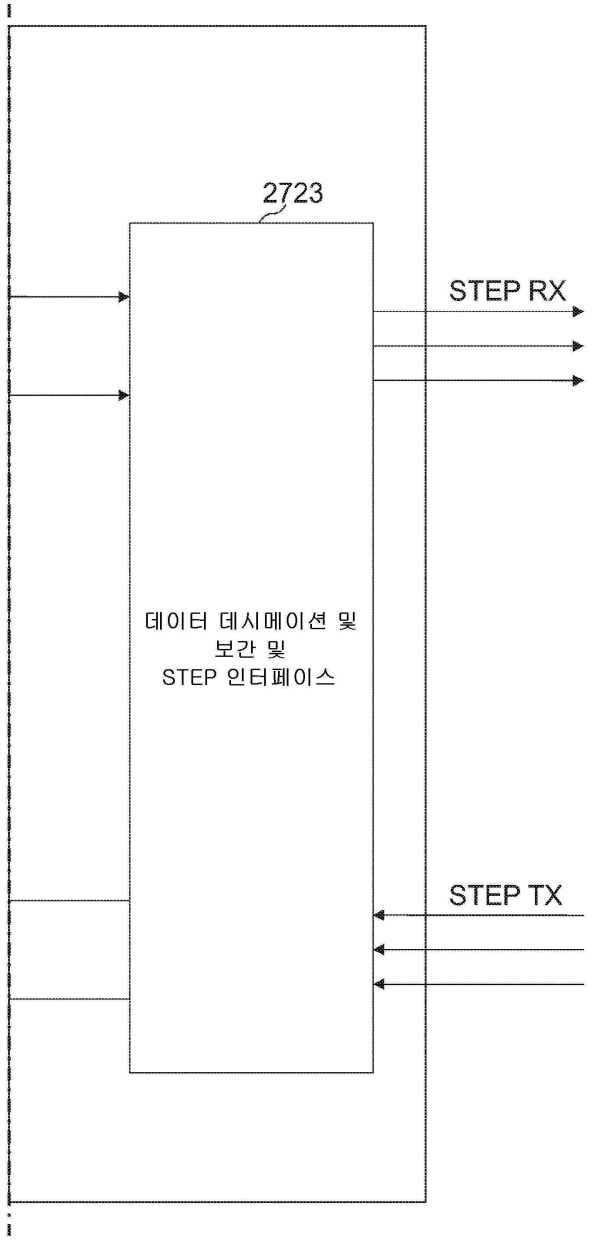
도면27cb


RFEM
2720
RF 수신기
2730
RX_IN
2731
2732
PS
Σ
2734
2735
RF 증폭기
2736
MUX
2725
RF 믹서
2737
2738
LPF
ADC
2739
2724
신시사이저
커플러 피드백

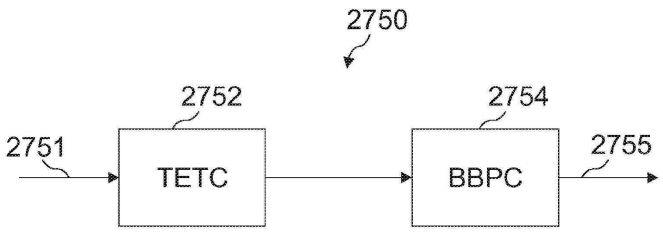
도면27cc


2741
2742
2743
2740
2744
2712
RF 증폭기
RF 송수신기
RF 믹서
2745
2746
2747
LPF
LPF
DAC
DAC
PS
TX_IN

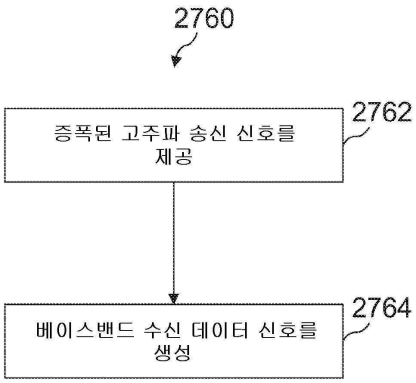
도면27cd



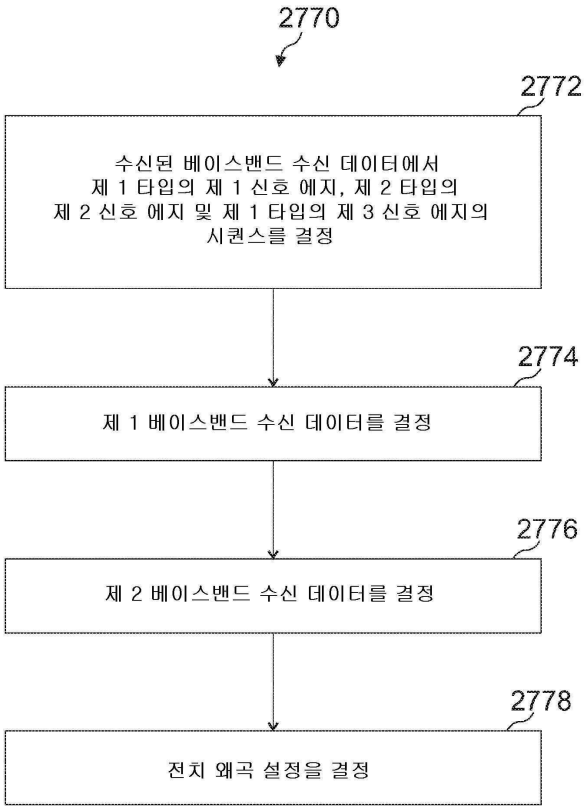
도면27d



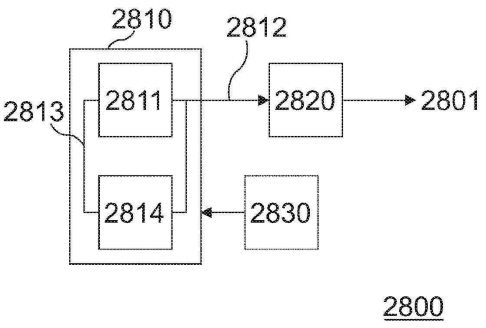
도면27e



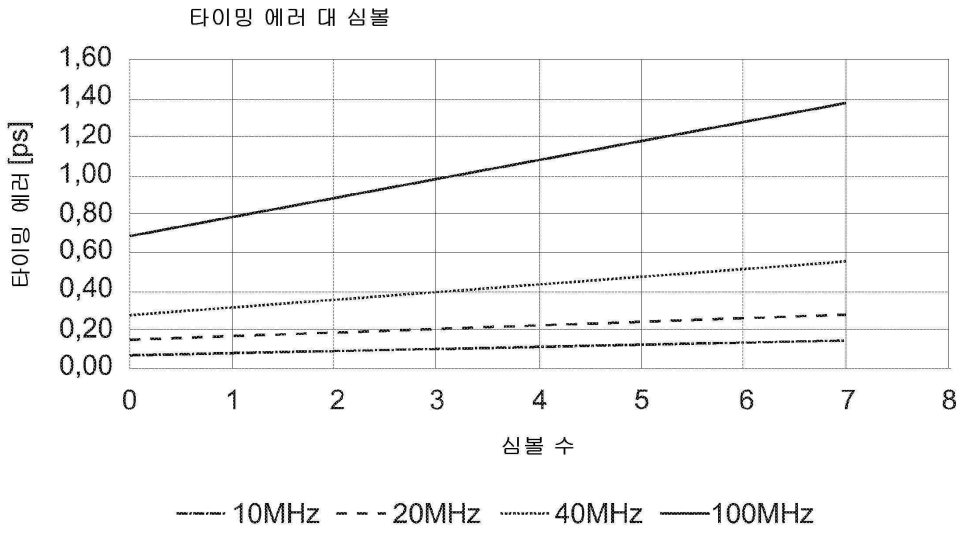
도면27f



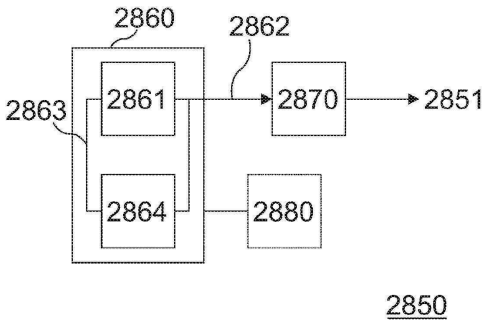
도면28a



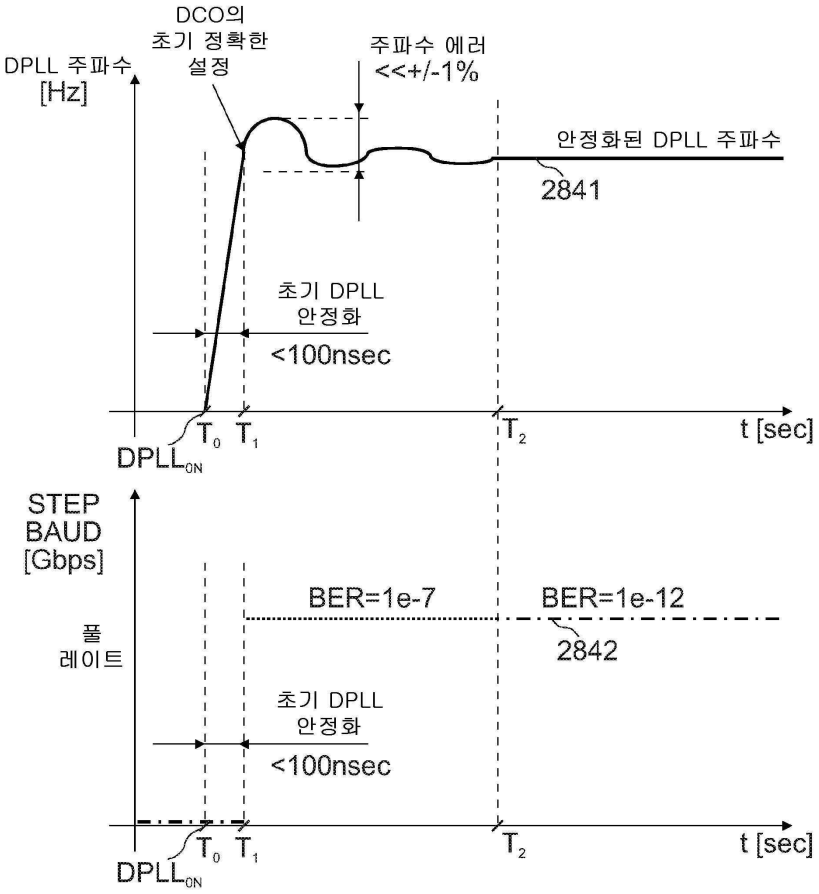
도면28b


타이밍 에러 대 심볼
타이밍 에러 [ps]
1,60
1,40
1,20
1,00
0,80
0,60
0,40
0,20
0,00
0
1
2
3
4
5
6
7
8
심볼 수
10MHz
20MHz
40MHz
100MHz

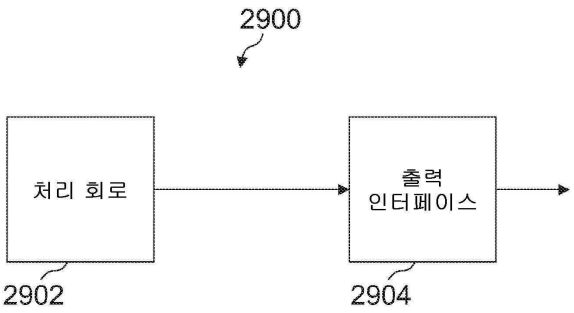
도면28c


2860
2862
2863
2861
2870
2851
2864
2880
2850

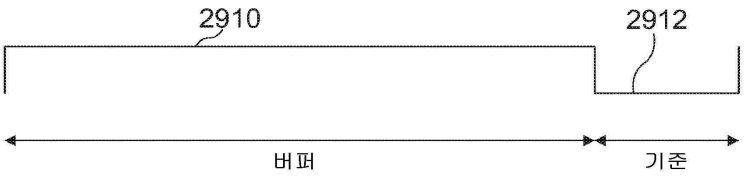
도면28d



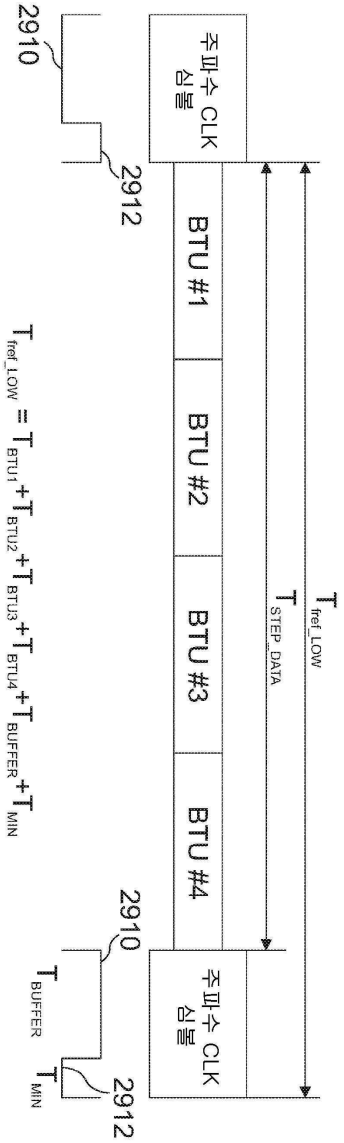
도면29a



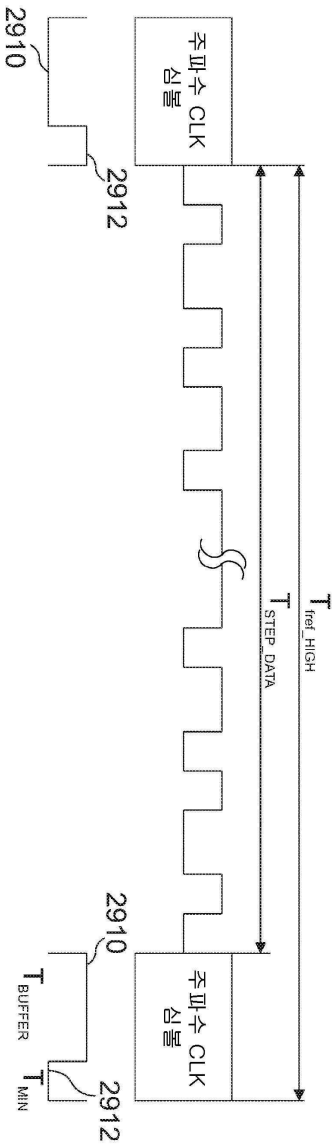
도면29b



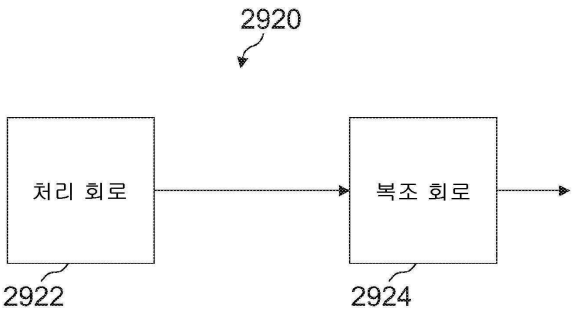
도면29c


2910
2912
주파수 CLK 심볼
BTU #1
BTU #2
BTU #3
BTU #4
주파수 CLK 심볼
2910
2912
T_{fref_LOW}
T_{STEP_DATA}
T_{BUFFER}
T_{MIN}
$T_{fref_LOW} = T_{BTU1}+T_{BTU2}+T_{BTU3}+T_{BTU4}+T_{BUFFER}+T_{MIN}$

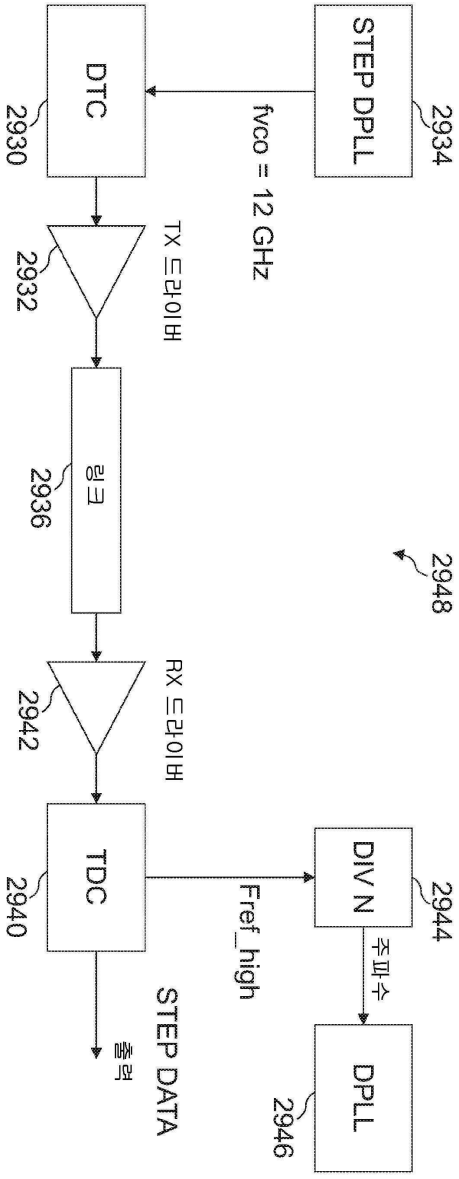
도면29d


2910
주파수 CLK 심볼
2912
T fref_HIGH
T STEP_DATA
2910
T BUFFER
T MIN
주파수 CLK 심볼
2912

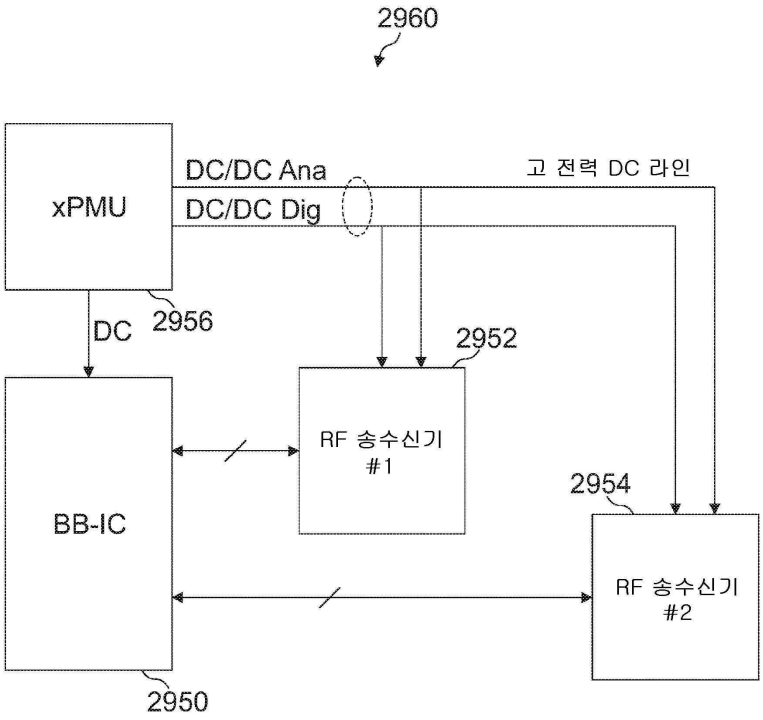
도면29e


2920
처리 회로
복조 회로
2922
2924

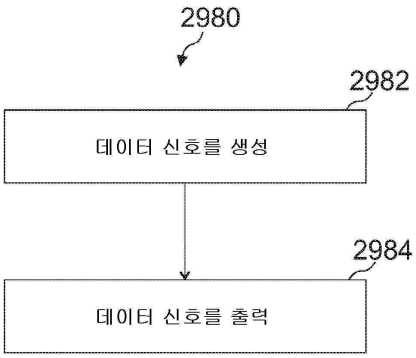
도면29f


DTC
2930
STEP DPLL
2934
fvco = 12 GHz
TX 드라이버
2932
링크
2936
2948
RX 드라이버
2942
TDC
2940
DIV N
2944
Fref_high
주파수
STEP DATA
출력
DPLL
2946

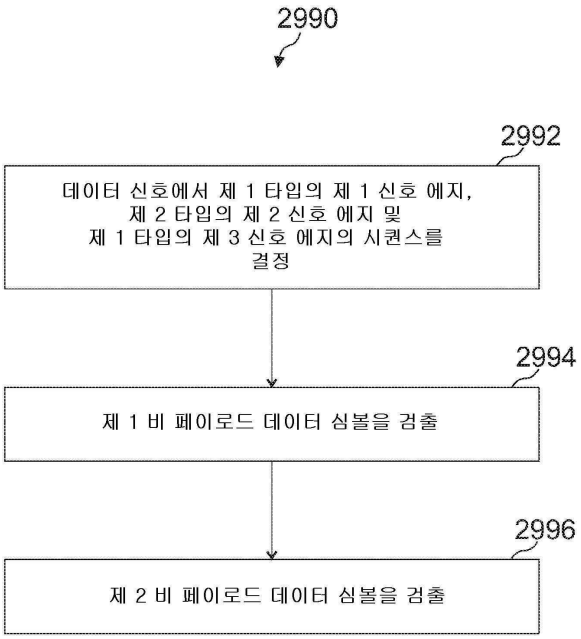
도면29g


2960
xPMU
DC/DC Ana
DC/DC Dig
고 전력 DC 라인
DC
2956
2952
RF 송수신기
#1
BB-IC
2954
RF 송수신기
#2
2950

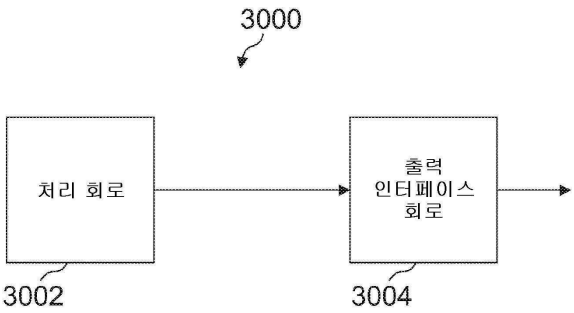
도면29h


2980
2982
데이터 신호를 생성
2984
데이터 신호를 출력

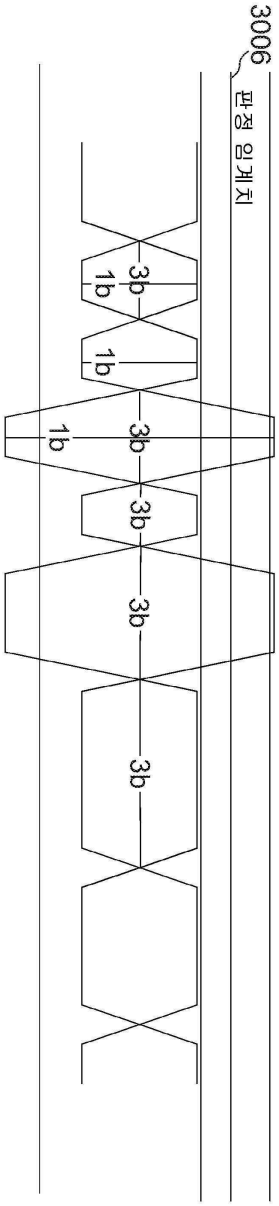
도면29i


2990
2992
데이터 신호에서 제 1 타입의 제 1 신호 에지,
제 2 타입의 제 2 신호 에지 및
제 1 타입의 제 3 신호 에지의 시퀀스를
결정
2994
제 1 비 페이로드 데이터 심볼을 검출
2996
제 2 비 페이로드 데이터 심볼을 검출

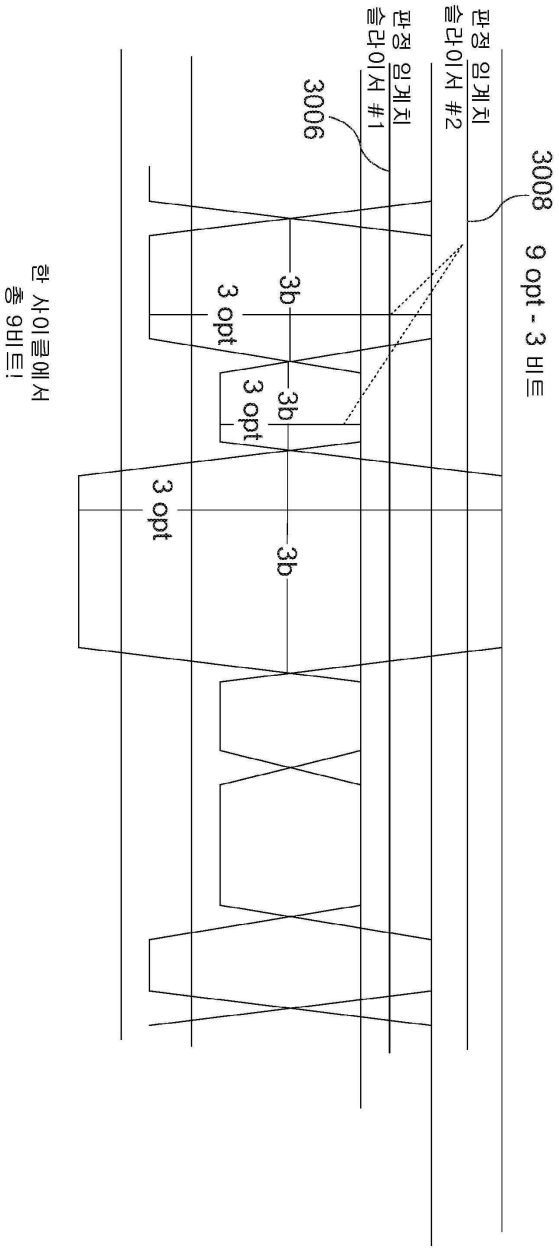
도면30a


3000
처리 회로
출력
인터페이스
회로
3002
3004

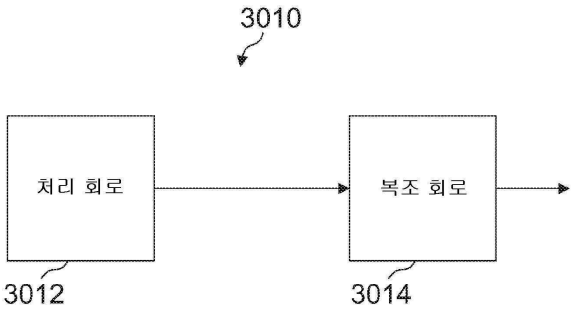
도면30b



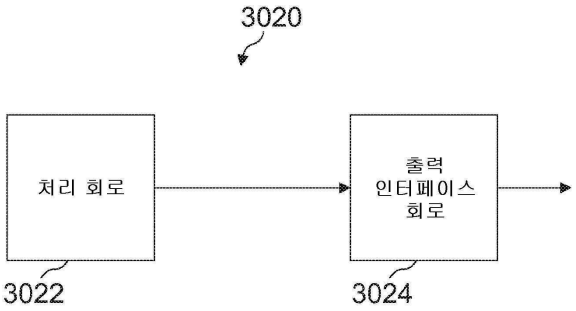
도면30c


판정 임계치 슬라이서 #1
판정 임계치 슬라이서 #2
3006
3008
9 opt - 3 비트
한 사이클에서 총 9비트!
3b
3 opt
3b
3 opt
3 opt
3b

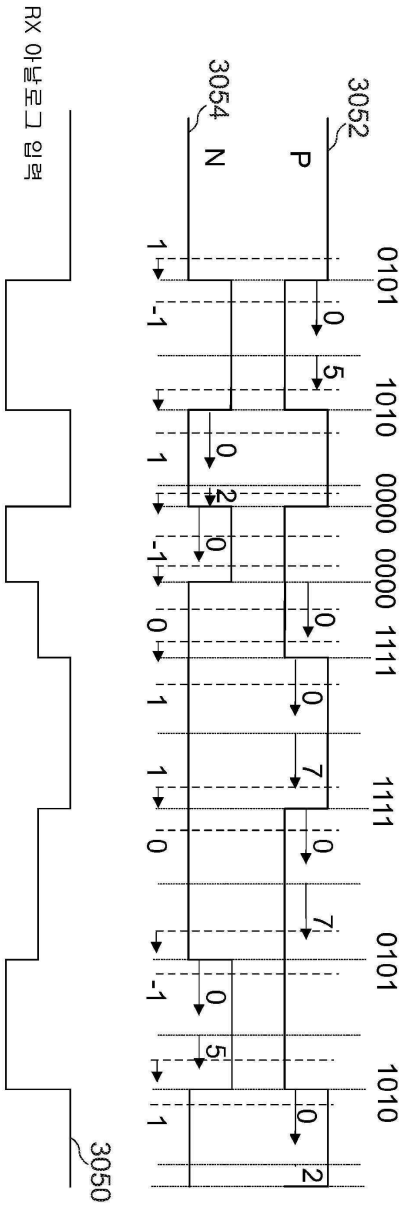
도면30d


3010
처리 회로
복조 회로
3012
3014

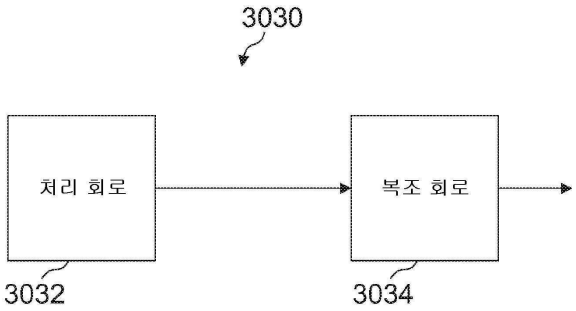
도면30e


3020
처리 회로
출력
인터페이스
회로
3022
3024

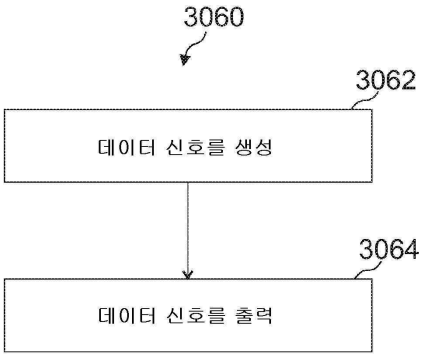
도면30f


RX 아날로그 입력
3054
N
3052
P
0101
1010
0000
0000
1111
1111
0101
1010
3050

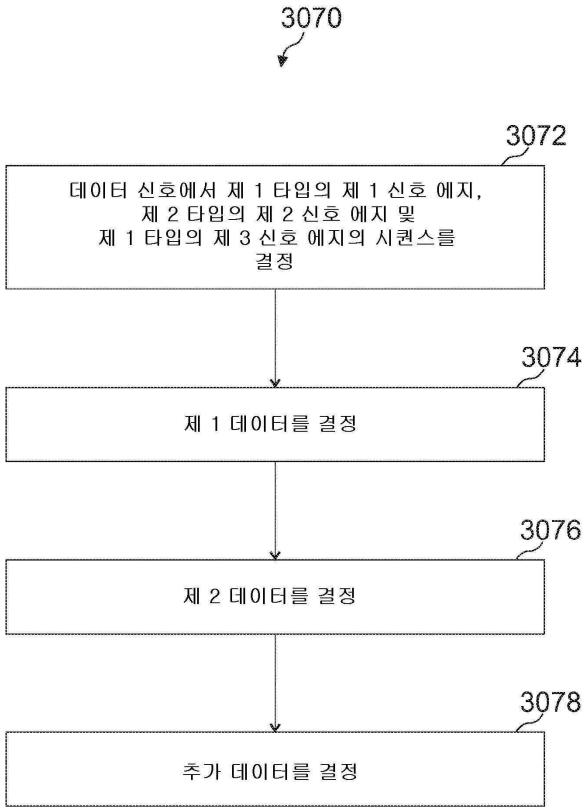
도면30g



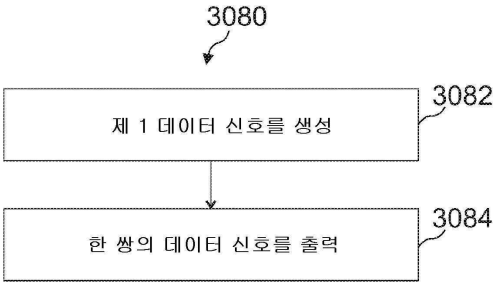
도면30h



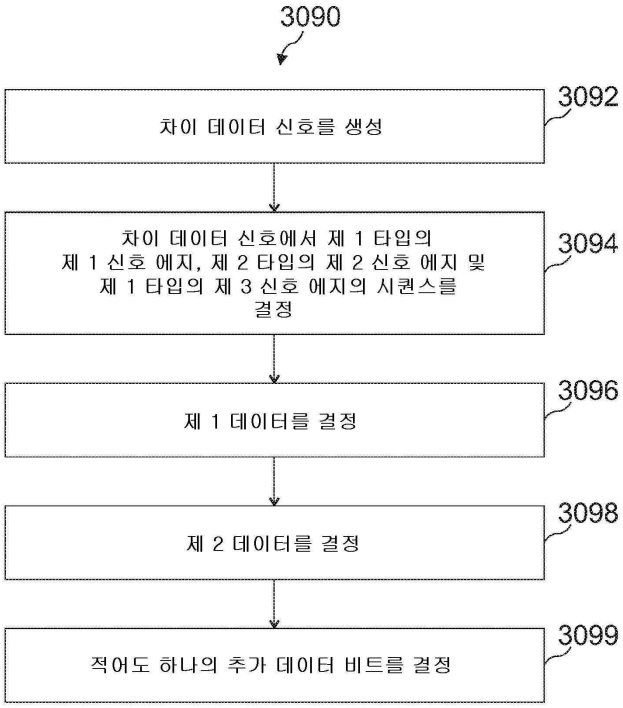
도면30i



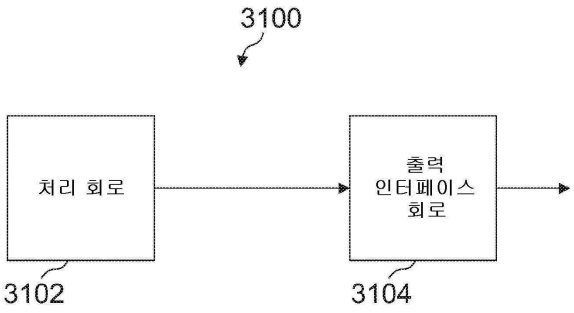
도면30j



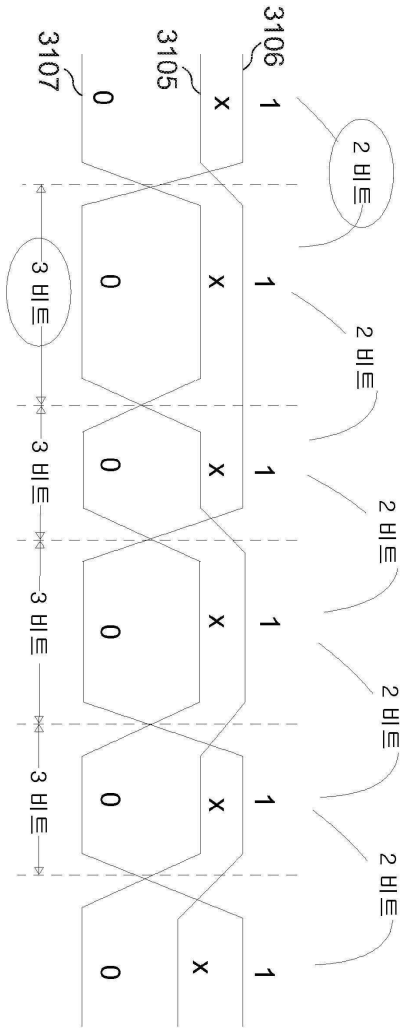
도면30k



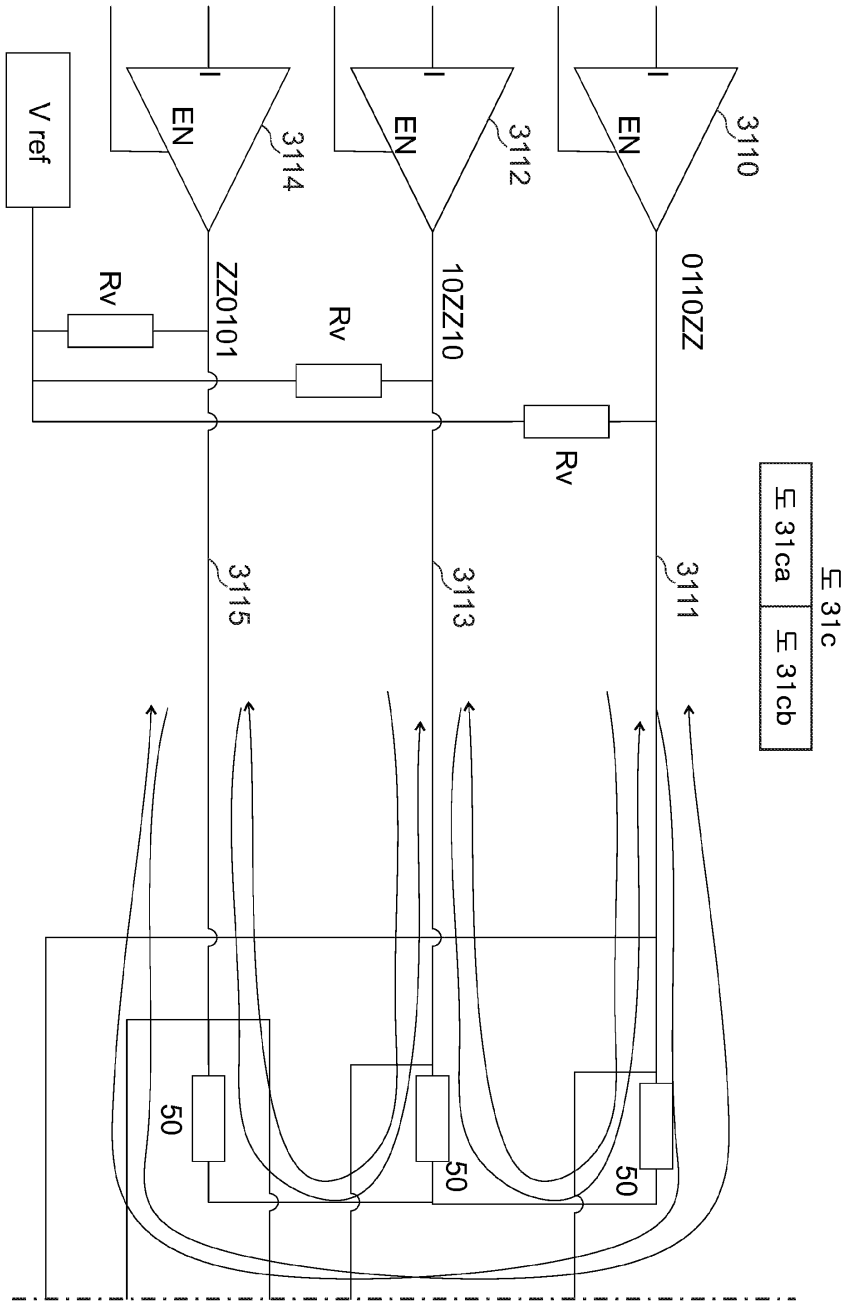
도면31a



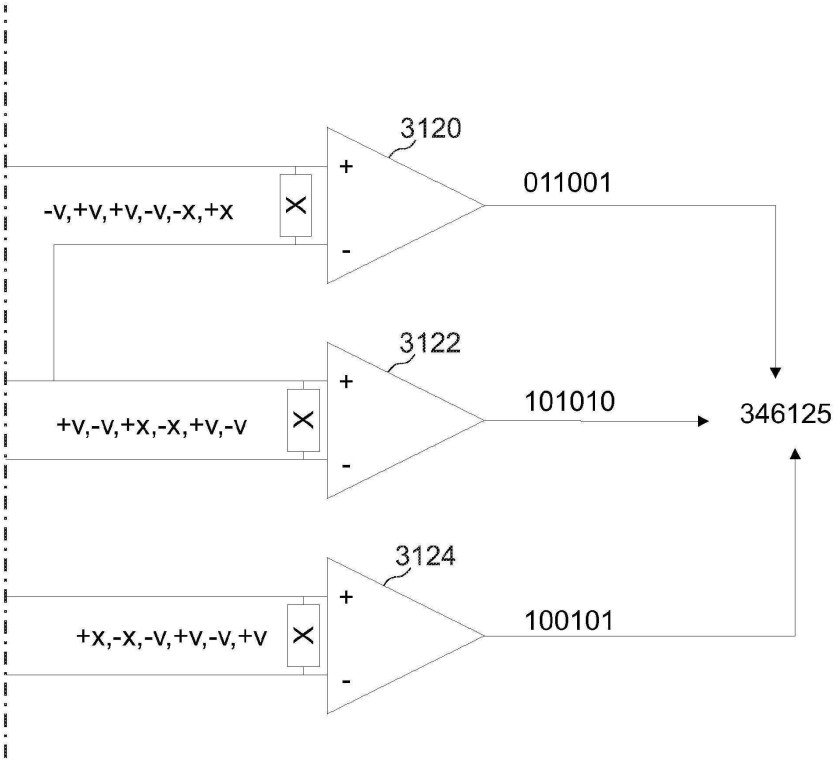
도면31b



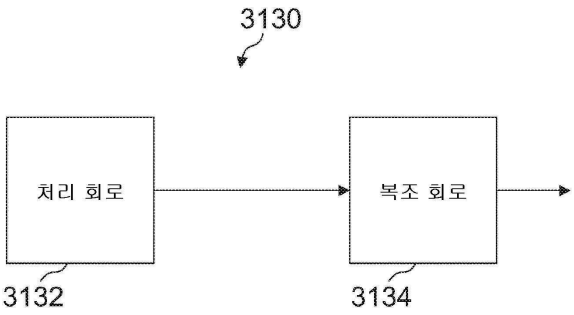
도면31ca


V ref
EN
3114
3112
3110
Rv
ZZ0101
10ZZ10
0110ZZ
3115
3113
3111
50
도 31ca
도 31cb
도 31c

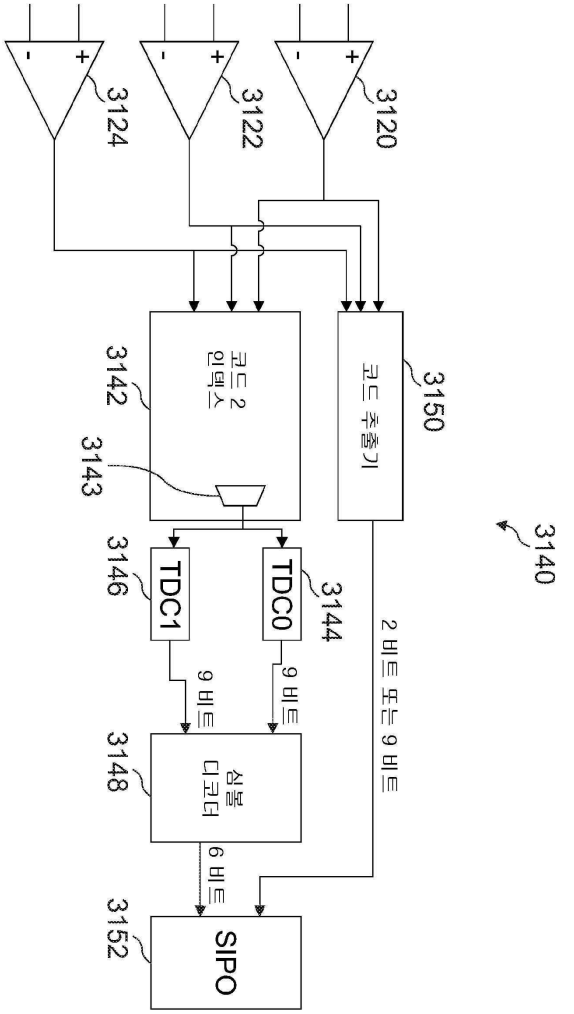
도면31cb



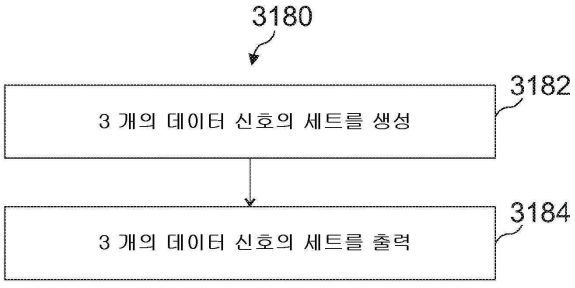
도면31d



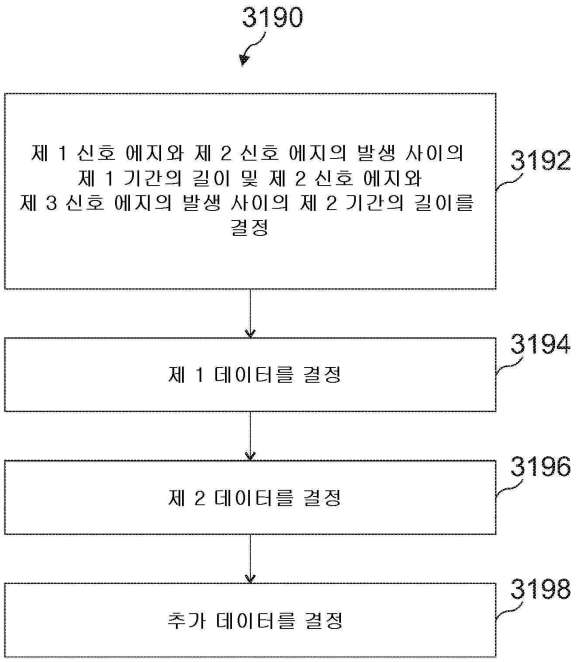
도면31e


3124
3122
3120
3142
코드 2 인덱스
3143
3150
코드 추출기
3140
3146
TDC1
TDC0
3144
9 비트
9 비트
2 비트 또는 9 비트
3148
심볼 디코더
6 비트
3152
SIPO

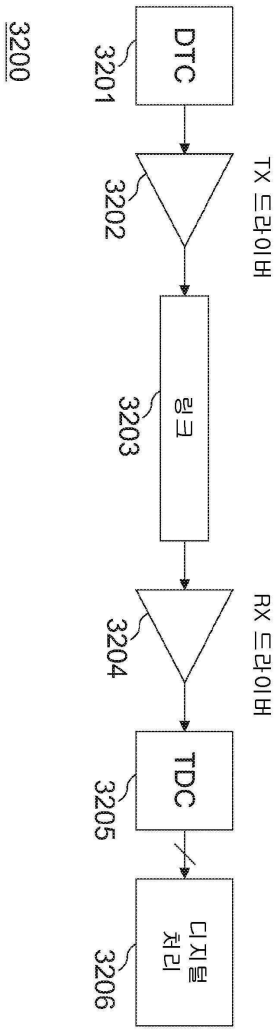
도면31f


3180
3182
3 개의 데이터 신호의 세트를 생성
3184
3 개의 데이터 신호의 세트를 출력

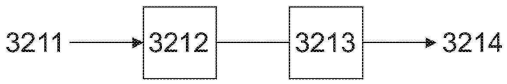
도면31g


3190
제 1 신호 에지와 제 2 신호 에지의 발생 사이의 제 1 기간의 길이 및 제 2 신호 에지와 제 3 신호 에지의 발생 사이의 제 2 기간의 길이를 결정
3192
제 1 데이터를 결정
3194
제 2 데이터를 결정
3196
추가 데이터를 결정
3198

도면32a

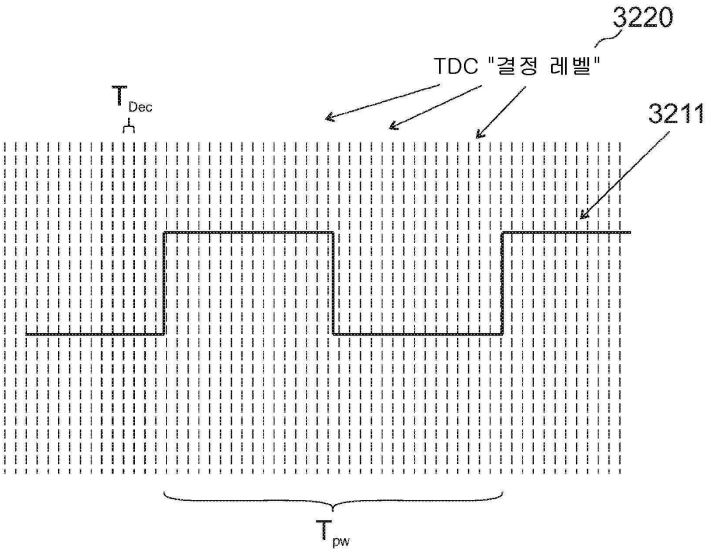

3200
DTC
3201
3202
TX 드라이버
링크
3203
3204
RX 드라이버
TDC
3205
디지털 처리
3206

도면32b

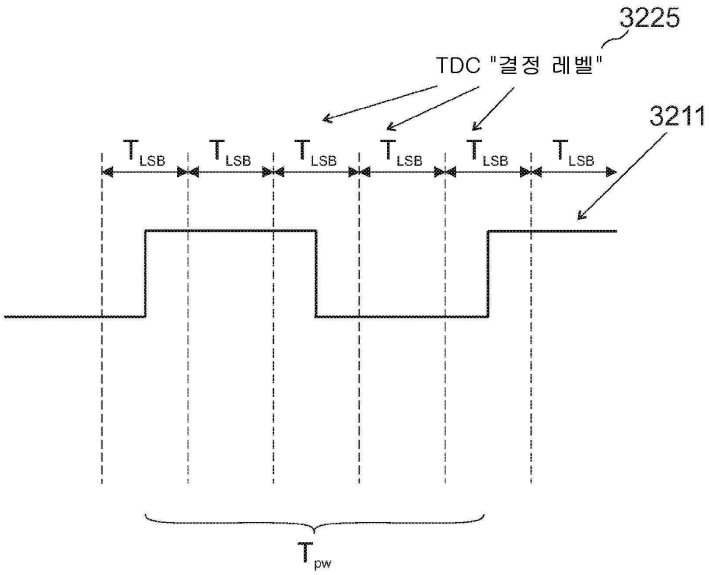


3210

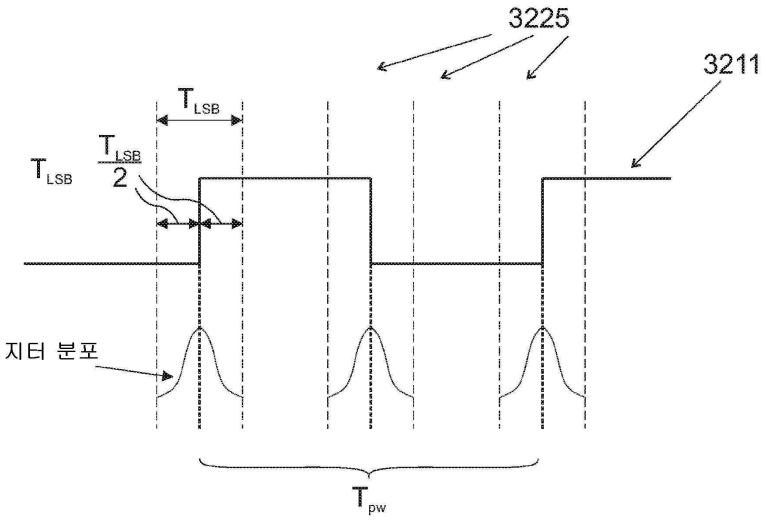
도면32c



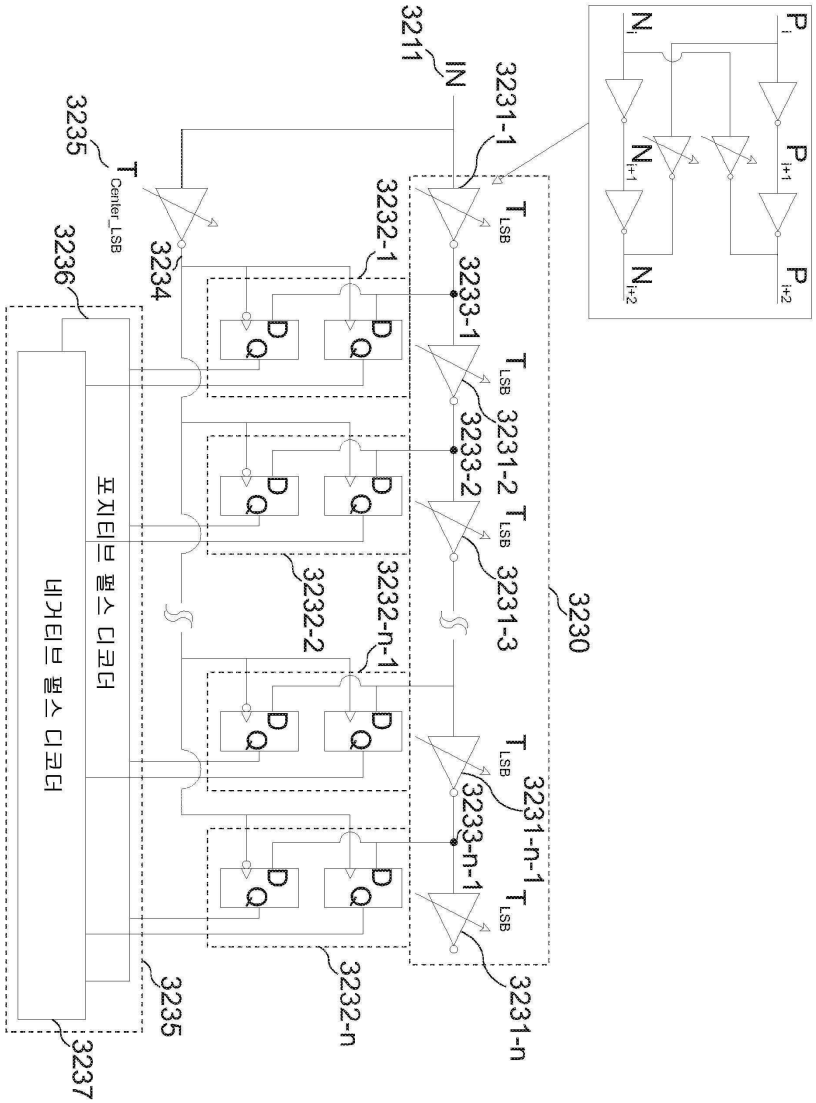
도면32d



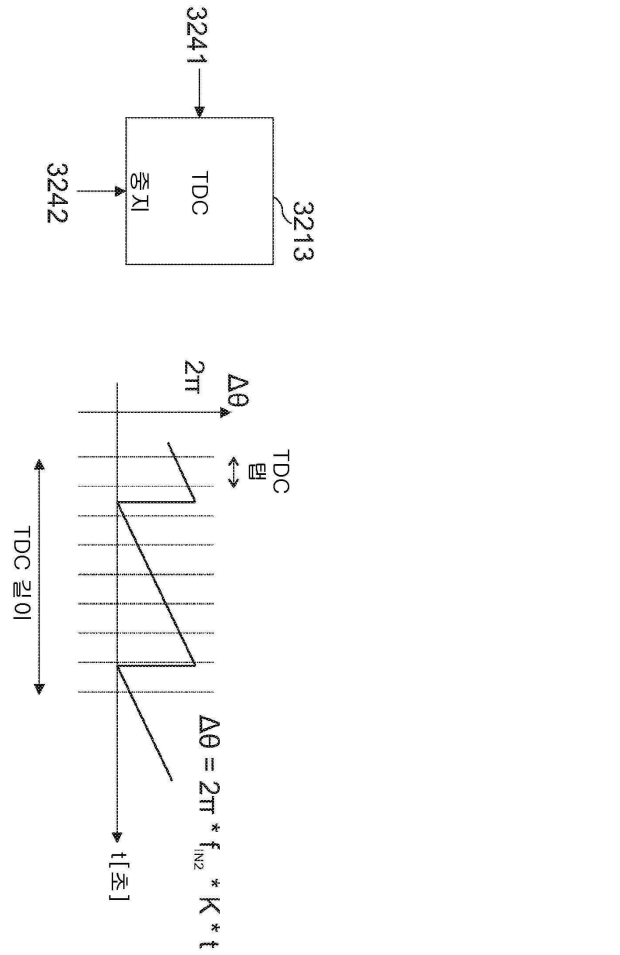
도면32e


3225
3211
T_{LSB}
$\frac{T_{LSB}}{2}$
지터 분포
T_{pw}

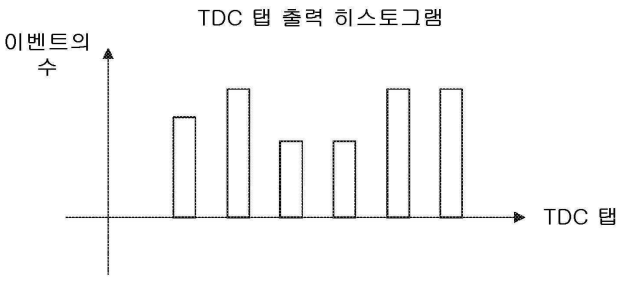
도면32f


3211
IN
3231-1
3235
T_{Center_LSB}
3234
3236
3232-1
3233-1
3231-2
3233-2
3232-2
3232-n-1
3230
3233-n-1
3231-n-1
3232-n
3231-n
3235
3237
포지티브 펄스 디코더
네거티브 펄스 디코더
T_{LSB}
D
Q
N_i
P_i
N_{i+1}
P_{i+1}
N_{i+2}
P_{i+2}

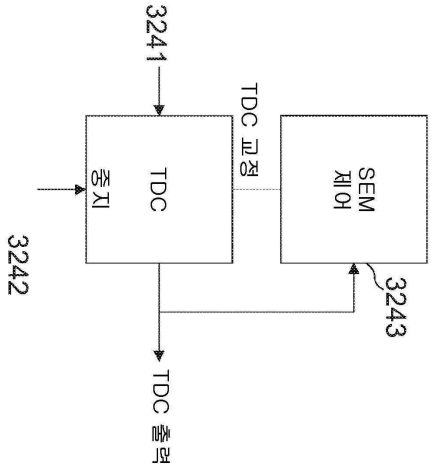
도면32g

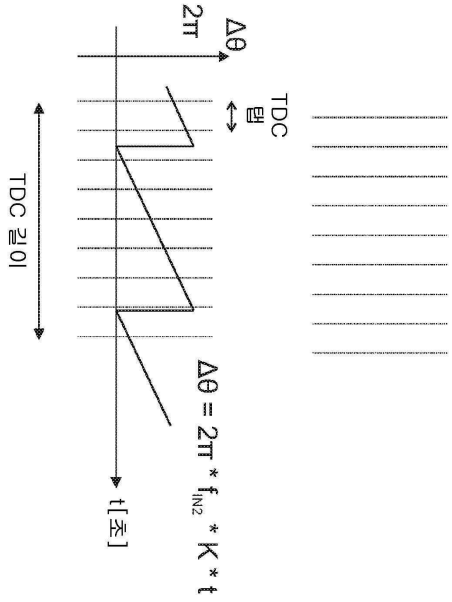

3241
TDC
중지
3242
3213
Δθ
2π
TDC
탭
TDC 길이
Δθ = 2π * f_IN2 * K * t
t[초]

도면32h

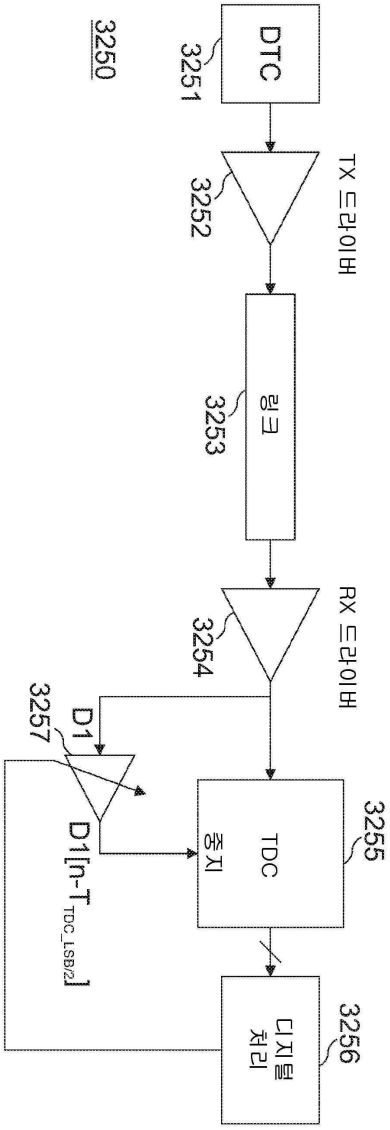

TDC 탭 출력 히스토그램
이벤트의
수
TDC 탭

도면32i

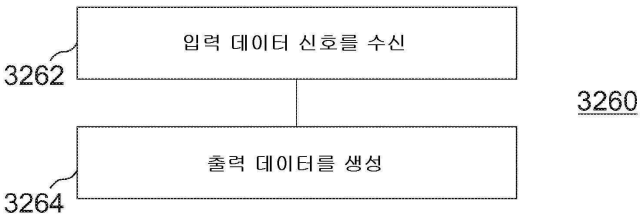

3241
TDC
중지
3242
TDC 교정
SEM
제어
3243
TDC 출력


2π
Δθ
TDC
탭
TDC 길이
Δθ = 2π * f_IN2 * K * t
t[초]

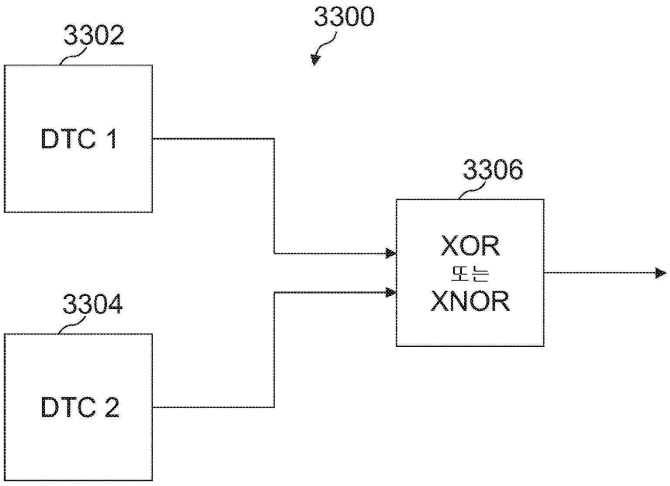
도면32j


3250
3251
DTC
3252
TX 드라이버
3253
링크
3254
RX 드라이버
3257
D1
D1[n-T TDC_LSB/2]
TDC
중지
3255
디지털
처리
3256

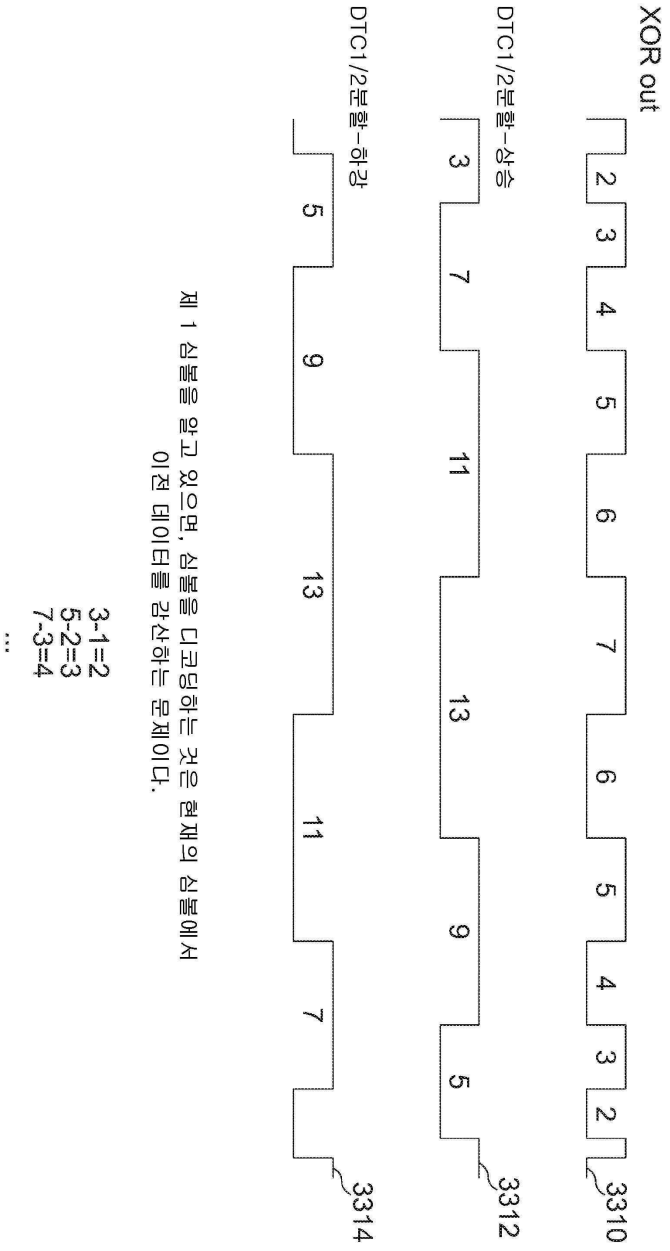
도면32k


3262
입력 데이터 신호를 수신
3260
출력 데이터를 생성
3264

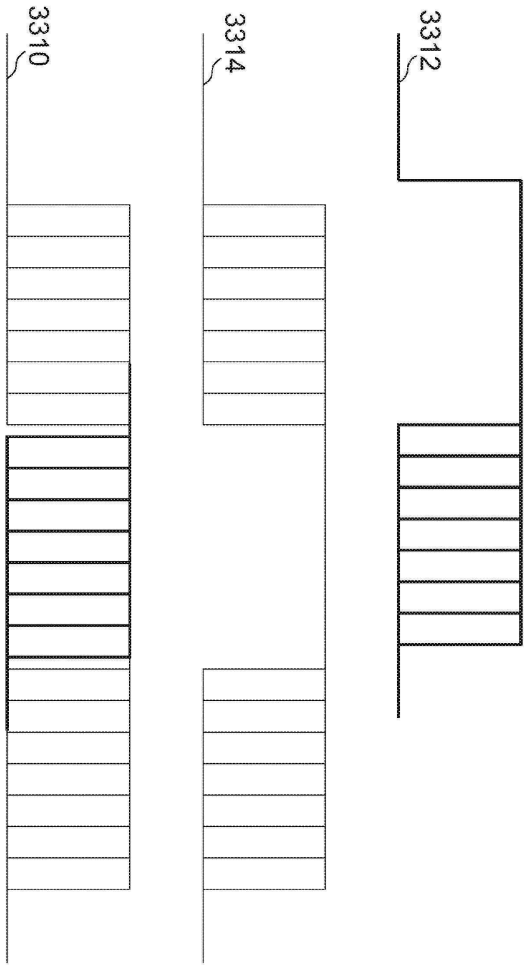
도면33a


3300
3302
DTC 1
3306
XOR
또는
XNOR
3304
DTC 2

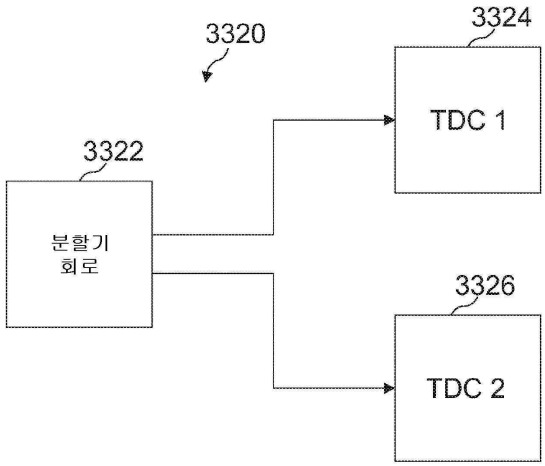
도면33b


XOR out
2 3 4 5 6 7 6 5 4 3 2
3310
DTC1/2분할-상승
3 7 11 13 9 5
3312
DTC1/2분할-하강
5 9 13 11 7
3314
제 1 심볼을 알고 있으면, 심볼을 디코딩하는 것은 현재의 심볼에서
이전 데이터를 감산하는 문제이다.
3-1=2
5-2=3
7-3=4
...

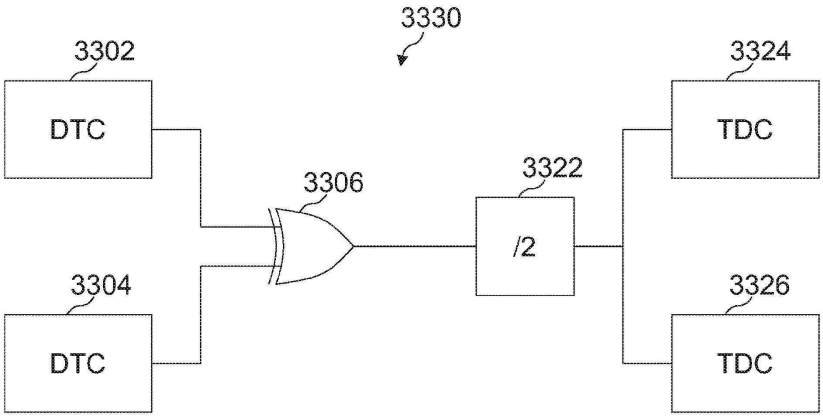
도면33c



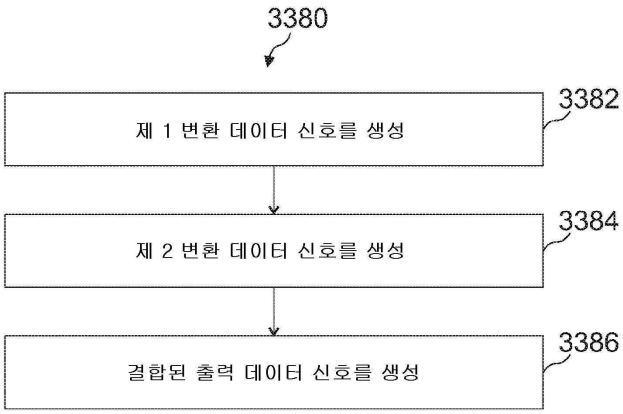
도면33d



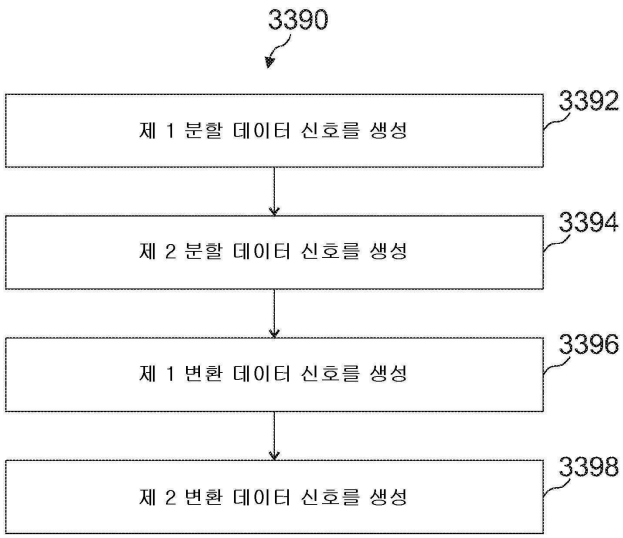
도면33e



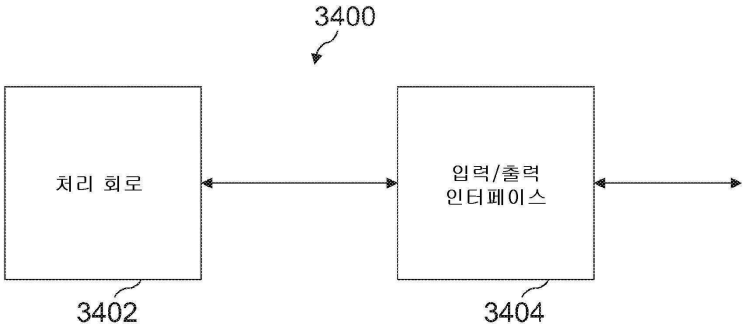
도면33f



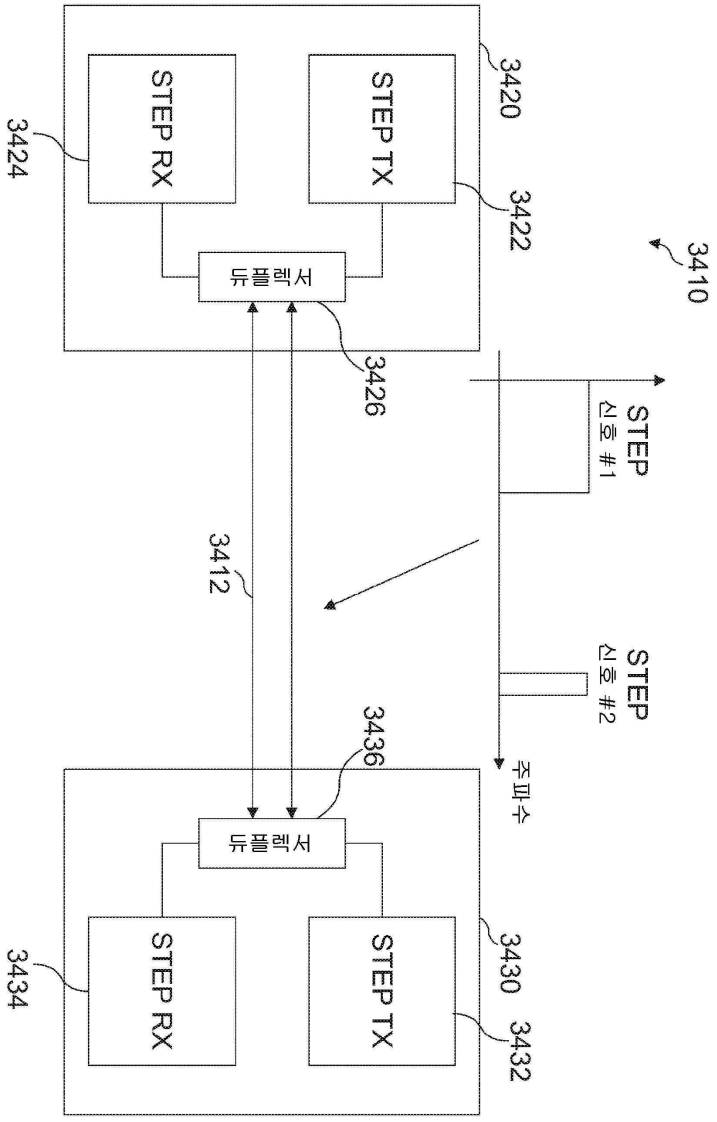
도면33g



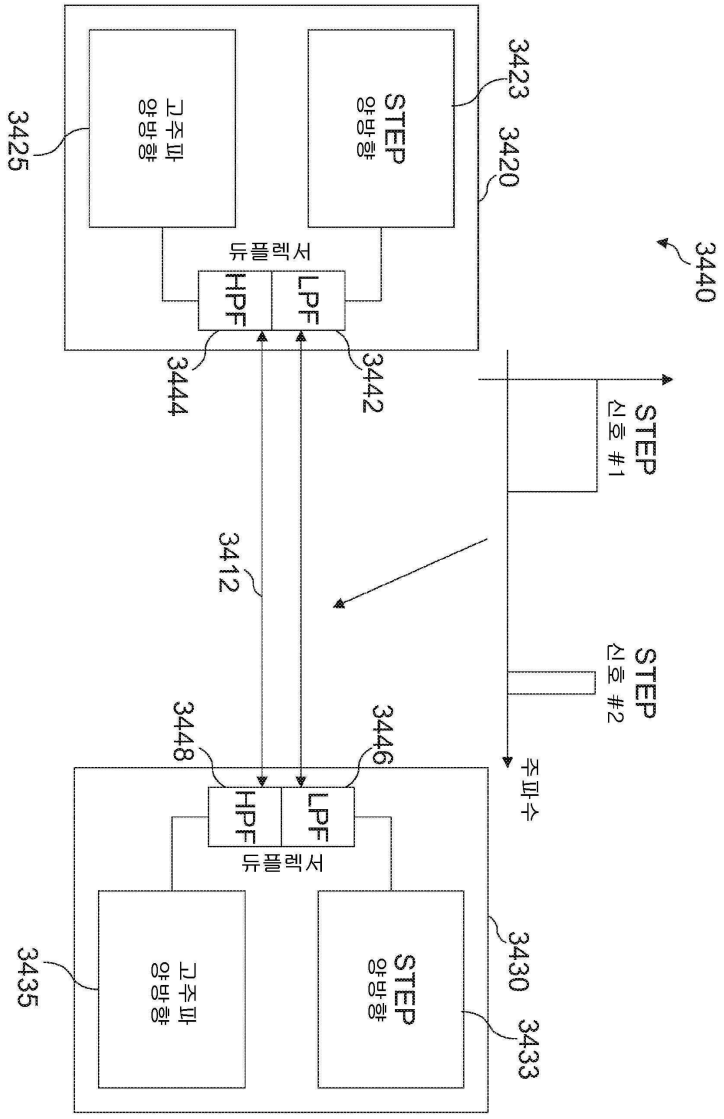
도면34a


3400
처리 회로
입력/출력
인터페이스
3402
3404

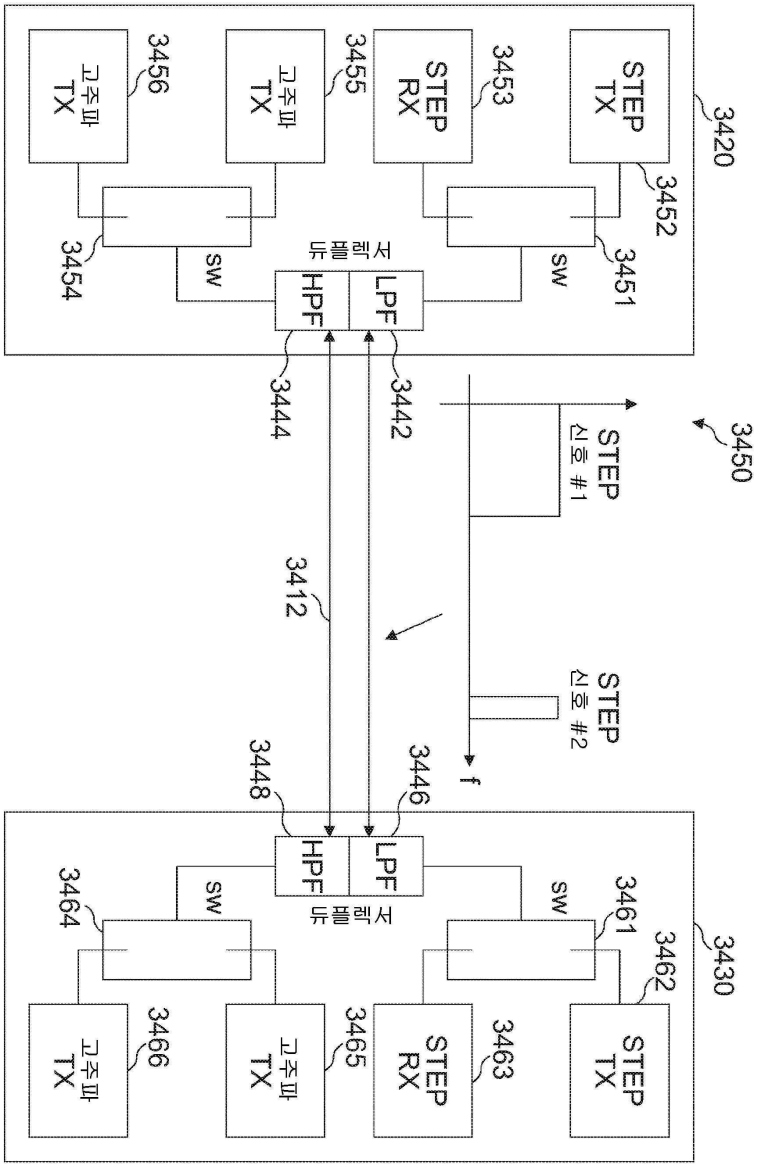
도면34b


3420
STEP RX
STEP TX
3424
3422
듀플렉서
3410
3426
STEP
신호 #1
3412
STEP
신호 #2
3436
주파수
듀플렉서
3434
STEP RX
STEP TX
3430
3432

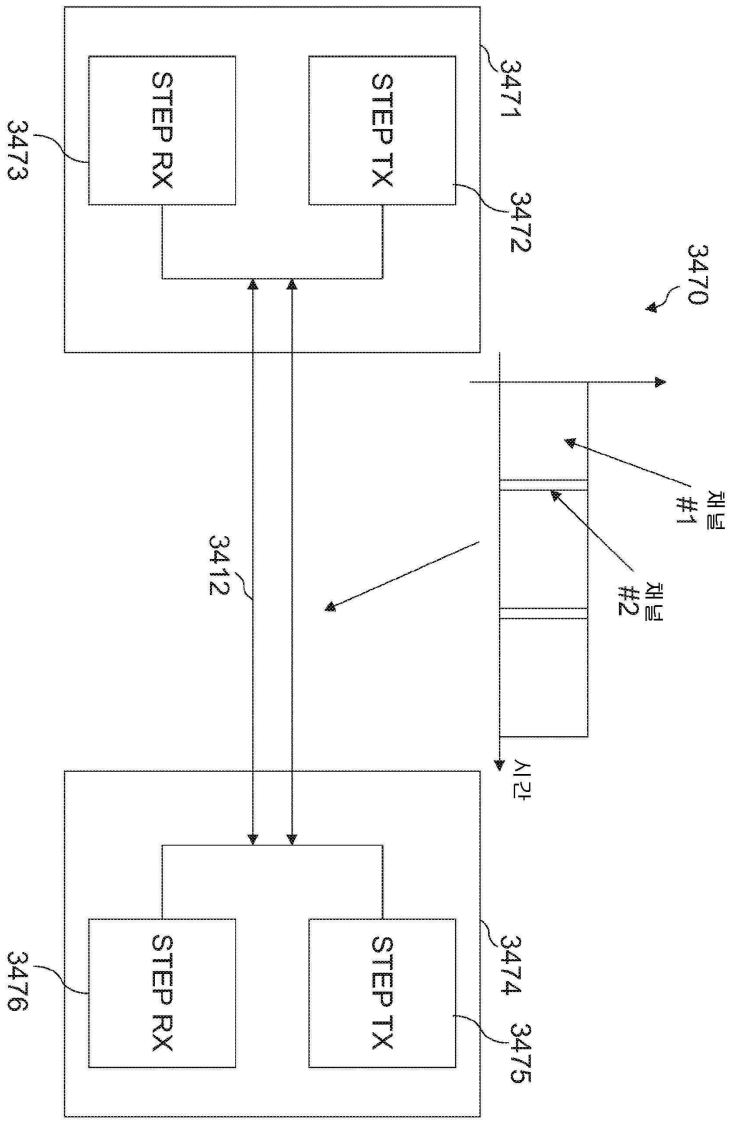
도면34c


3440
3425
고주파
양방향
3423
STEP
양방향
3420
듀플렉서
HPF
LPF
3444
3442
STEP
신호 #1
3412
STEP
신호 #2
3448
3446
주파수
HPF
LPF
듀플렉서
3435
고주파
양방향
3430
STEP
양방향
3433

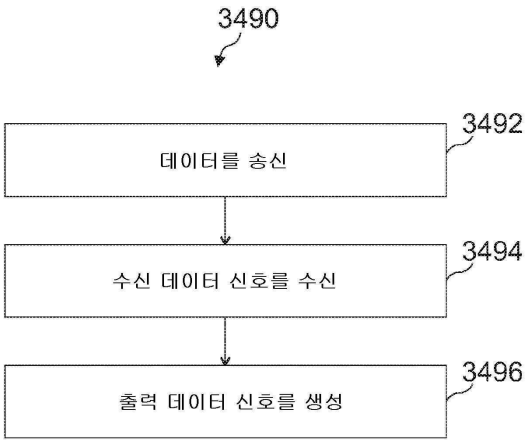
도면34d


3420
STEP TX
3452
STEP RX
3453
고주파 TX
3455
고주파 TX
3456
3451
3454
sw
sw
듀플렉서
HPF
LPF
3444
3442
3450
STEP 신호 #1
3412
STEP 신호 #2
f
3448
3446
3430
3461
3462
3463
3464
3465
3466

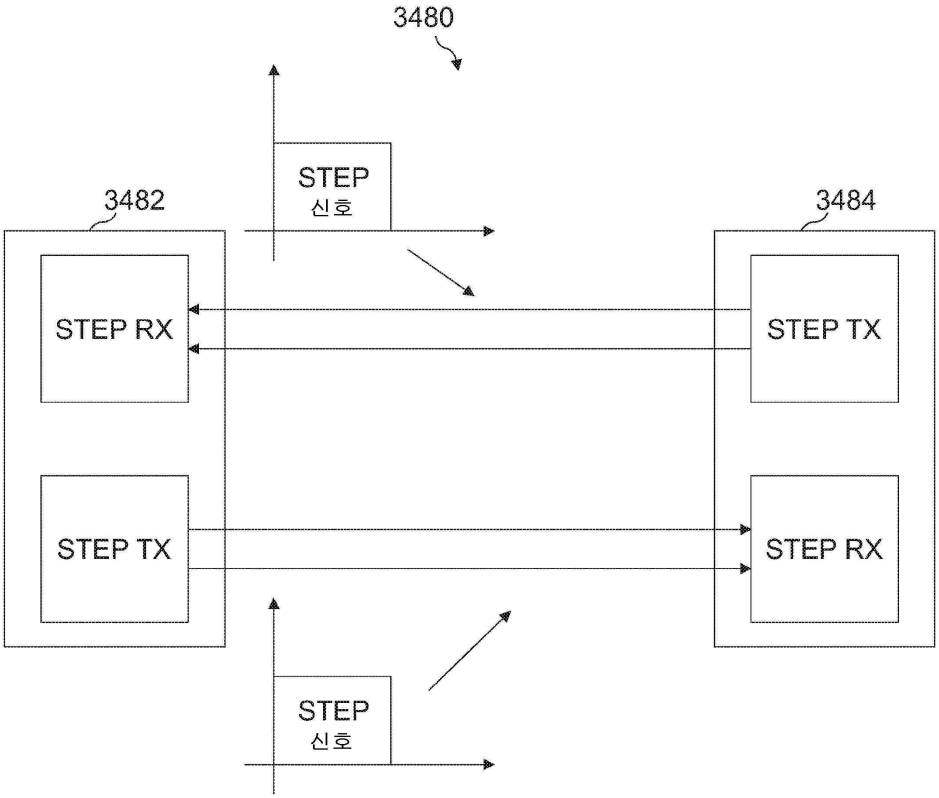
도면34e


3471
STEP RX
STEP TX
3473
3472
3470
채널 #1
채널 #2
3412
시간
3476
STEP RX
STEP TX
3474
3475

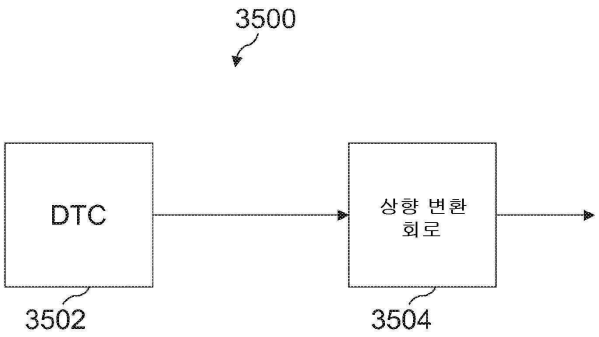
도면34f


3490
3492
데이터를 송신
3494
수신 데이터 신호를 수신
3496
출력 데이터 신호를 생성

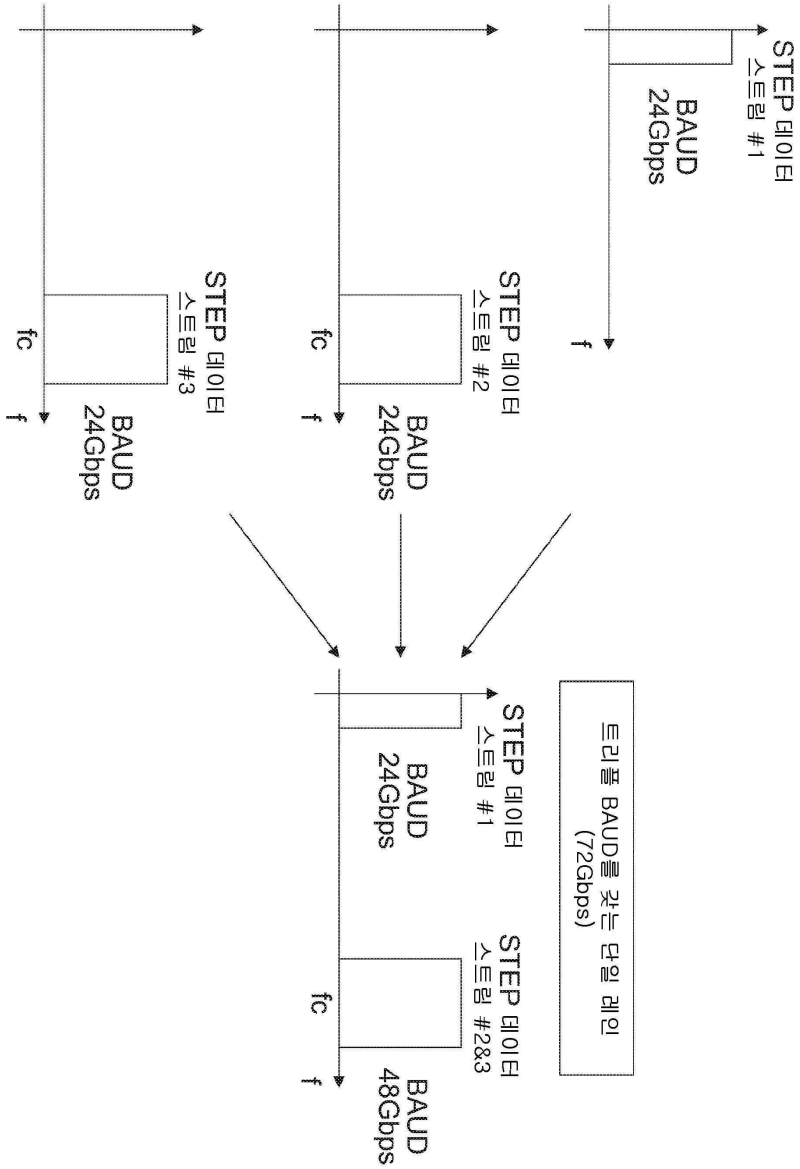
도면34g


3480
STEP
신호
3482
3484
STEP RX
STEP TX
STEP TX
STEP RX
STEP
신호

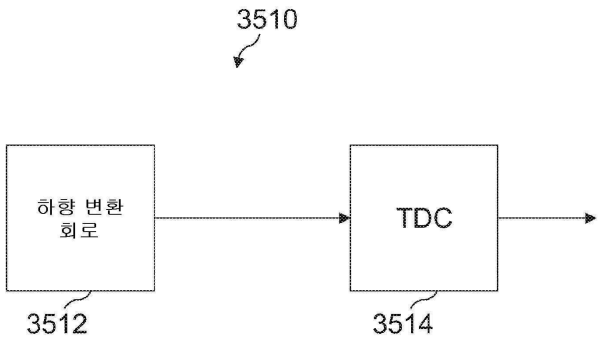
도면35a


3500
DTC
상향 변환
회로
3502
3504

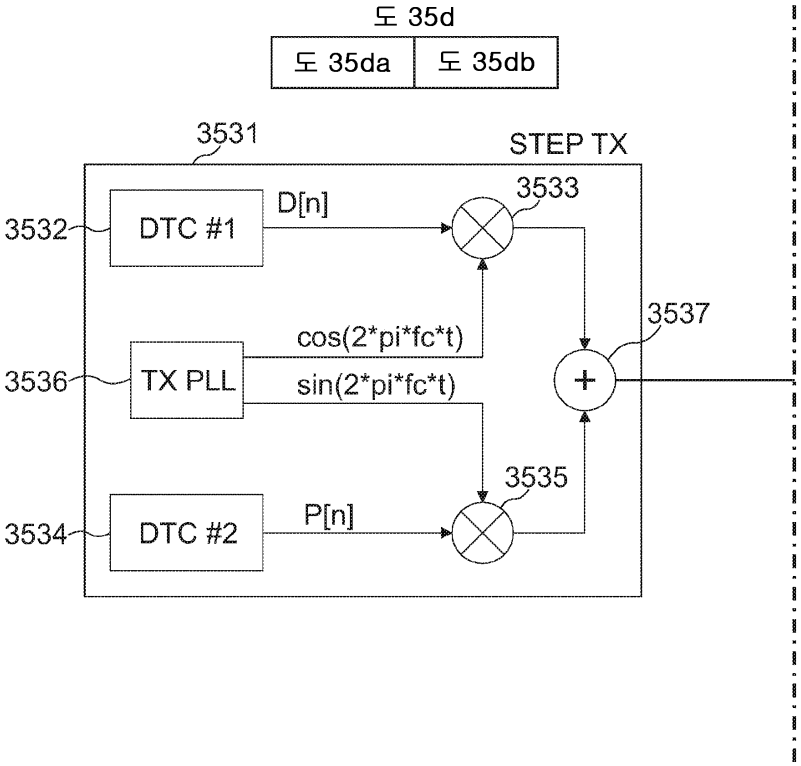
도면35b


STEP 데이터
스트림 #1
BAUD
24Gbps
f
STEP 데이터
스트림 #2
fc
f
BAUD
24Gbps
STEP 데이터
스트림 #3
fc
f
BAUD
24Gbps
STEP 데이터
스트림 #1
BAUD
24Gbps
STEP 데이터
스트림 #2&3
fc
f
BAUD
48Gbps
트리플 BAUD를 갖는 단일 레인
(72Gbps)

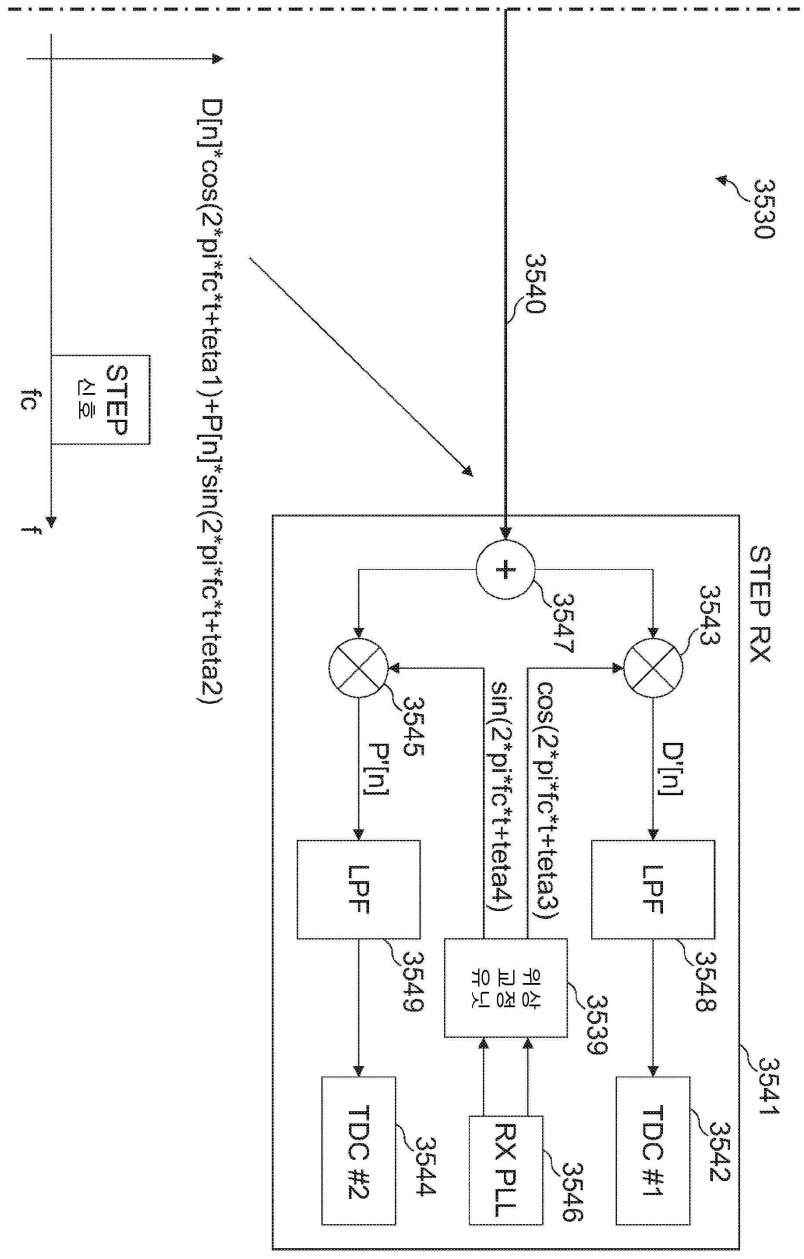
도면35c


3510
하향 변환
회로
3512
TDC
3514

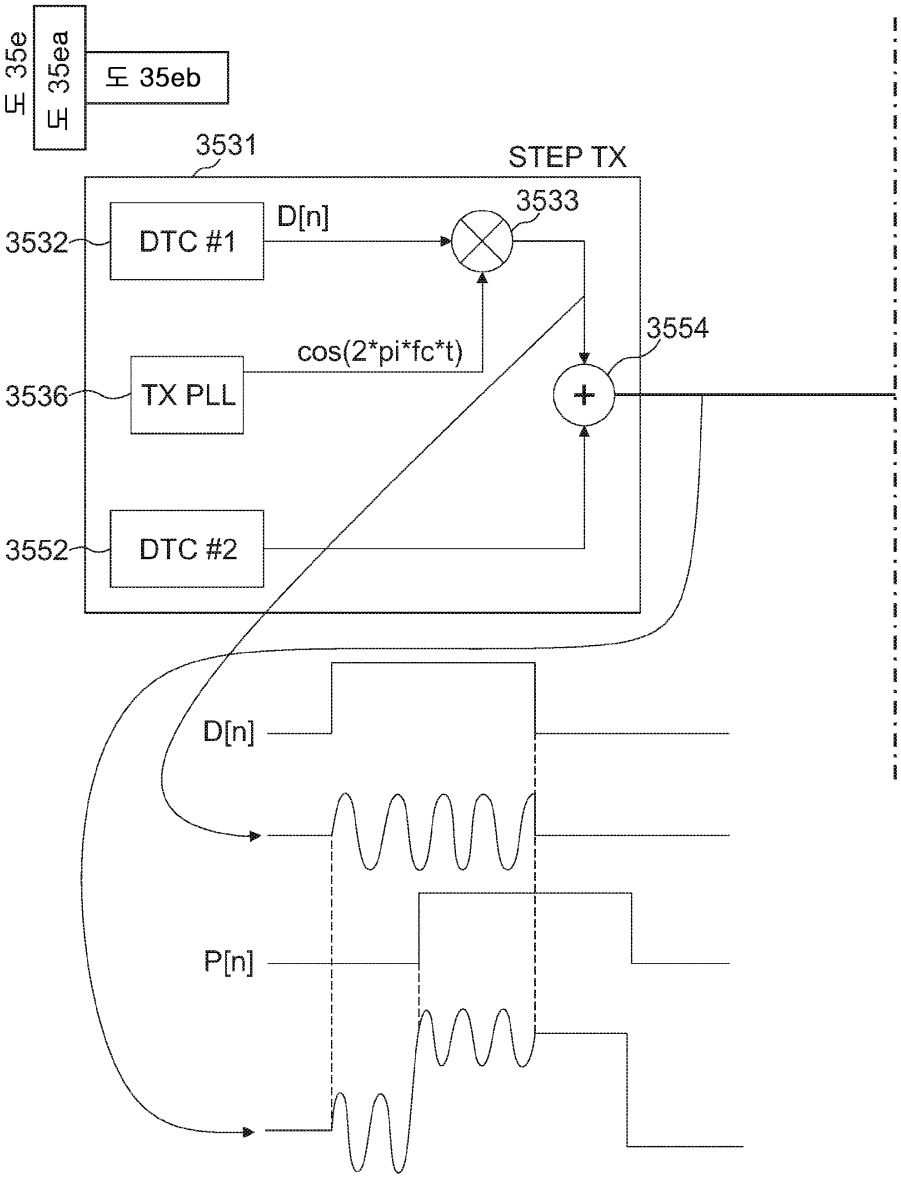
도면35da


도 35d
도 35da
도 35db
3531
STEP TX
3532
DTC #1
D[n]
3533
3536
TX PLL
cos(2*pi*fc*t)
sin(2*pi*fc*t)
3537
3534
DTC #2
P[n]
3535

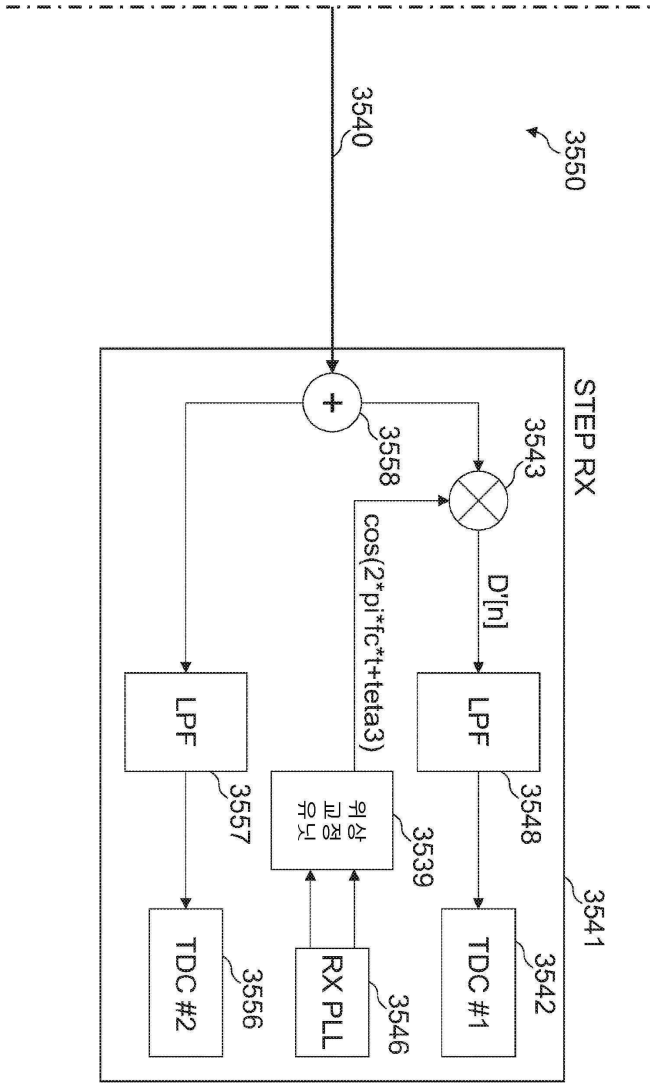
도면35db


3530
3540
STEP RX
3541
3543
3547
3545
P'[n]
D'[n]
LPF
LPF
3548
3549
sin(2*pi*fc*t+teta4)
cos(2*pi*fc*t+teta3)
위상 교정 유닛
3539
TDC #2
3544
RX PLL
3546
TDC #1
3542
D[n]*cos(2*pi*fc*t+teta1)+P[n]*sin(2*pi*fc*t+teta2)
STEP 신호
fc
f

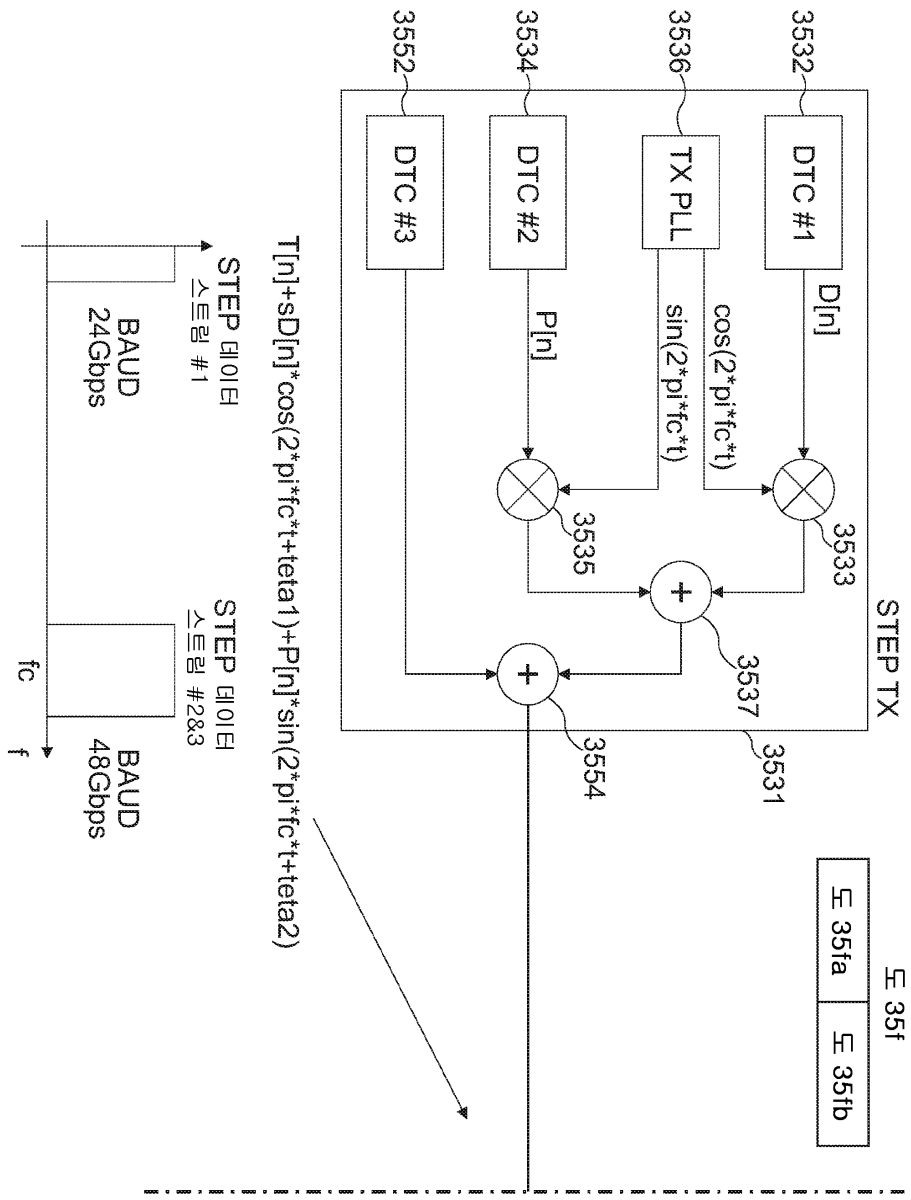
도면35ea


도 35e
도 35ea
도 35eb
3531
STEP TX
3533
3532
DTC #1
D[n]
cos(2*pi*fc*t)
3554
3536
TX PLL
3552
DTC #2
D[n]
P[n]

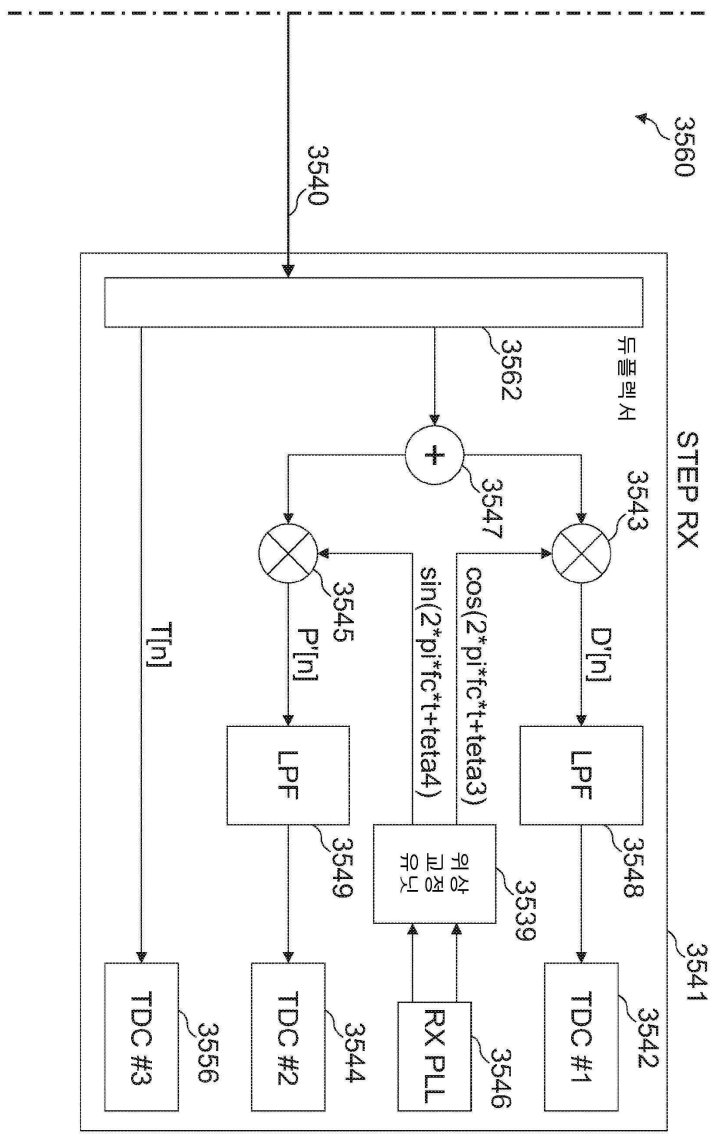
도면35eb


3540
3550
STEP RX
3558
3543
cos(2*pi*fc*t+teta3)
D'[n]
LPF
LPF
3557
위상 교정 유닛
3539
3548
3541
TDC #2
3556
RX PLL
3546
TDC #1
3542

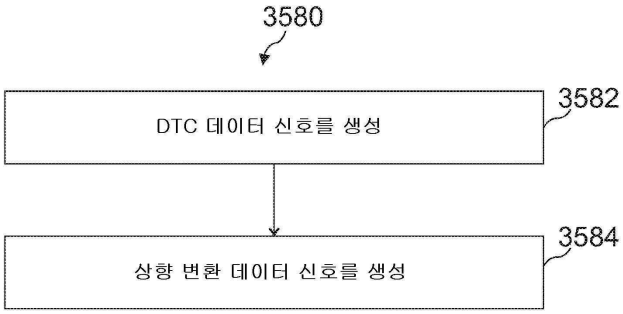
도면35fa


3532
3534
3536
3552
DTC #1
DTC #2
TX PLL
DTC #3
D[n]
P[n]
sin(2*pi*fc*t)
cos(2*pi*fc*t)
3533
3535
3537
3554
3531
STEP TX
도 35f
도 35fa
도 35fb
T[n]+sD[n]*cos(2*pi*fc*t+teta1)+P[n]*sin(2*pi*fc*t+teta2)
STEP 데이터
스트림 #1
BAUD
24Gbps
STEP 데이터
스트림 #2&3
BAUD
48Gbps
fc
f

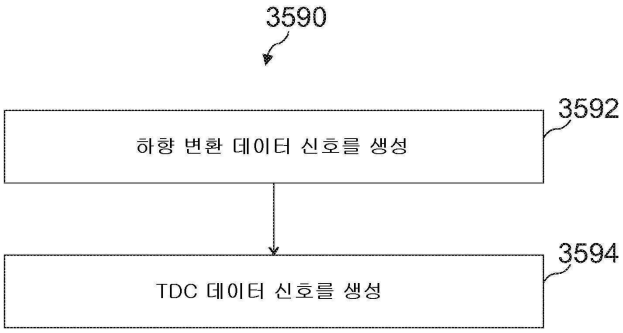
도면35fb



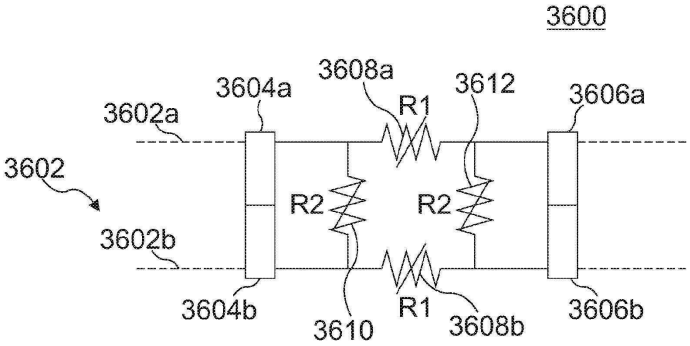
도면35g



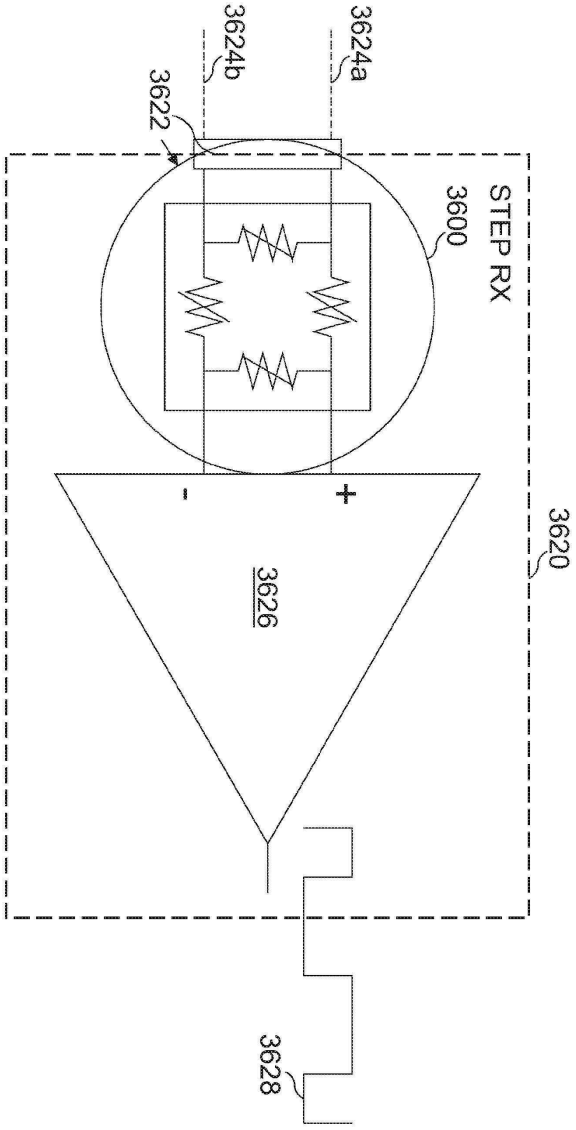
도면35h


3590
3592
하향 변환 데이터 신호를 생성
3594
TDC 데이터 신호를 생성

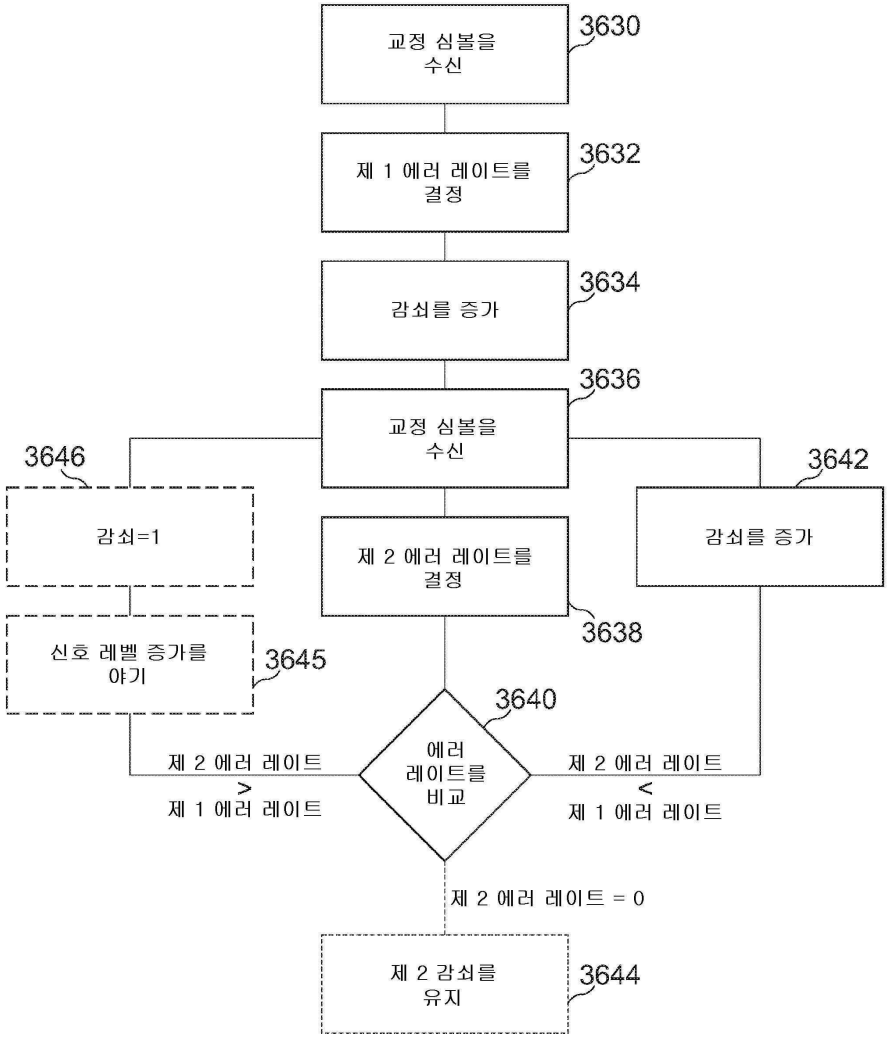
도면36a


3600
3608a
3604a
3612
3606a
3602a
R1
3602
R2
R2
3602b
3604b
3610
R1
3608b
3606b

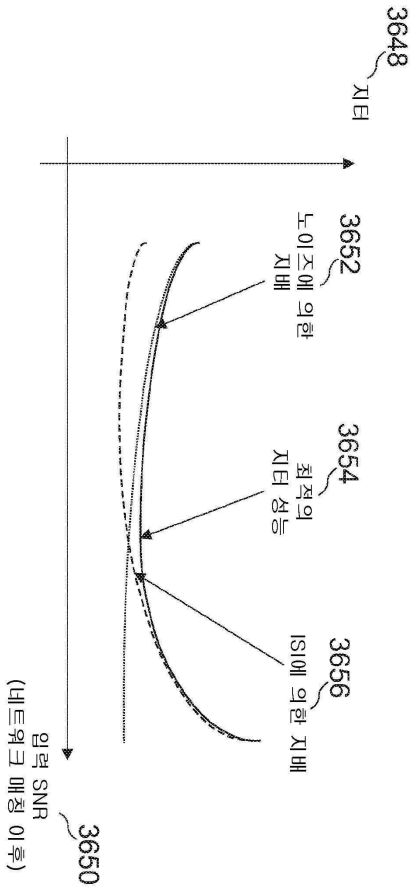
도면36b



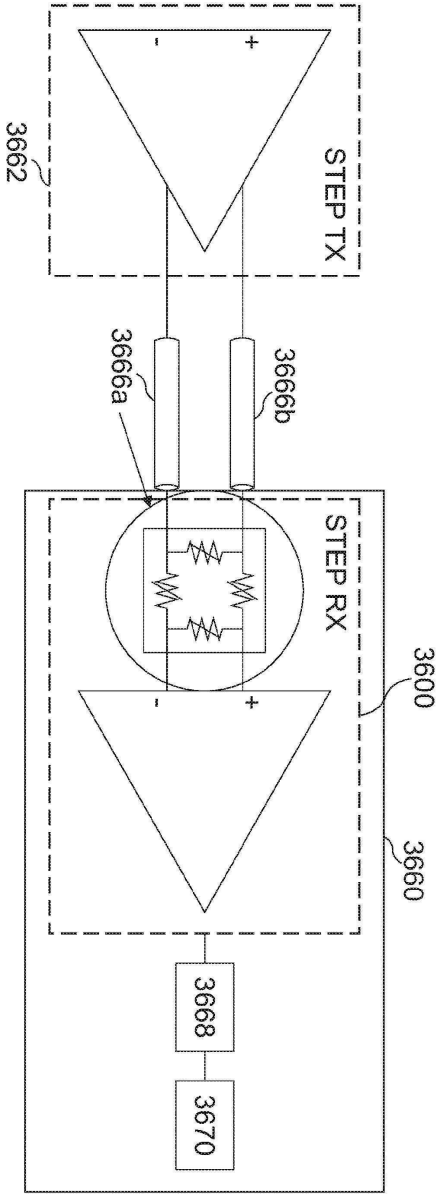
도면36c


교정 심볼을 수신
3630
제 1 에러 레이트를 결정
3632
감쇠를 증가
3634
교정 심볼을 수신
3636
3646
감쇠=1
3642
감쇠를 증가
제 2 에러 레이트를 결정
3638
신호 레벨 증가를 야기
3645
3640
에러 레이트를 비교
제 2 에러 레이트 > 제 1 에러 레이트
제 2 에러 레이트 < 제 1 에러 레이트
제 2 에러 레이트 = 0
제 2 감쇠를 유지
3644

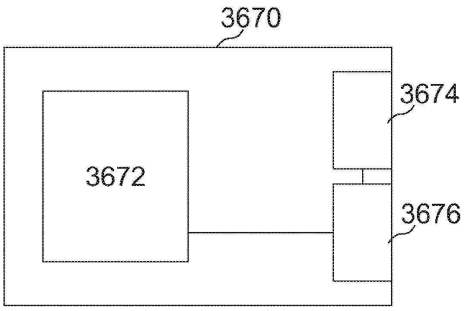
도면36d


3648
지터
3652
노이즈에 의한 지배
3654
최적의 지터 성능
3656
ISI에 의한 지배
3650
입력 SNR
(네트워크 매칭 이후)

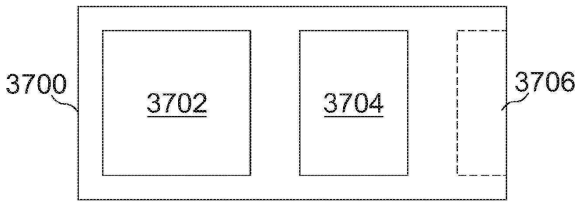
도면36e


3662
STEP TX
3666a
3666b
STEP RX
3600
3660
3668
3670

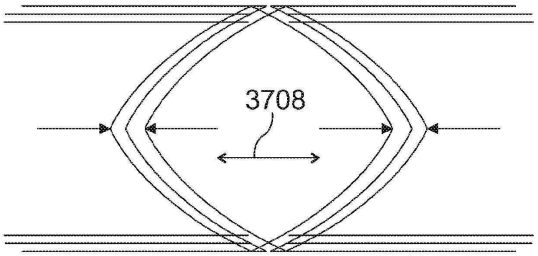
도면36f


3670
3672
3674
3676

도면37a

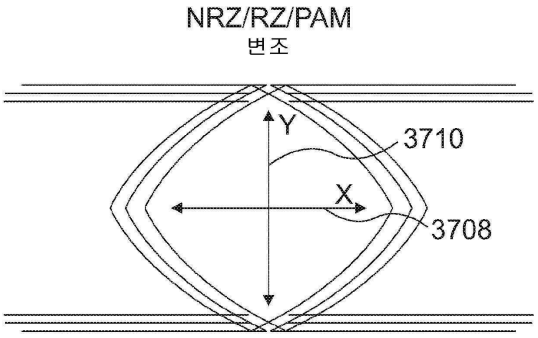


도면37b



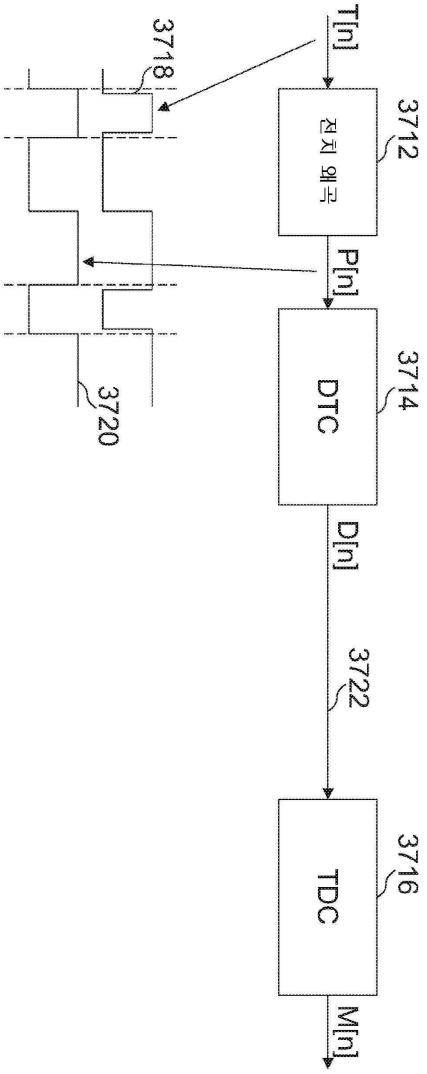
아이 다이어그램

도면37c

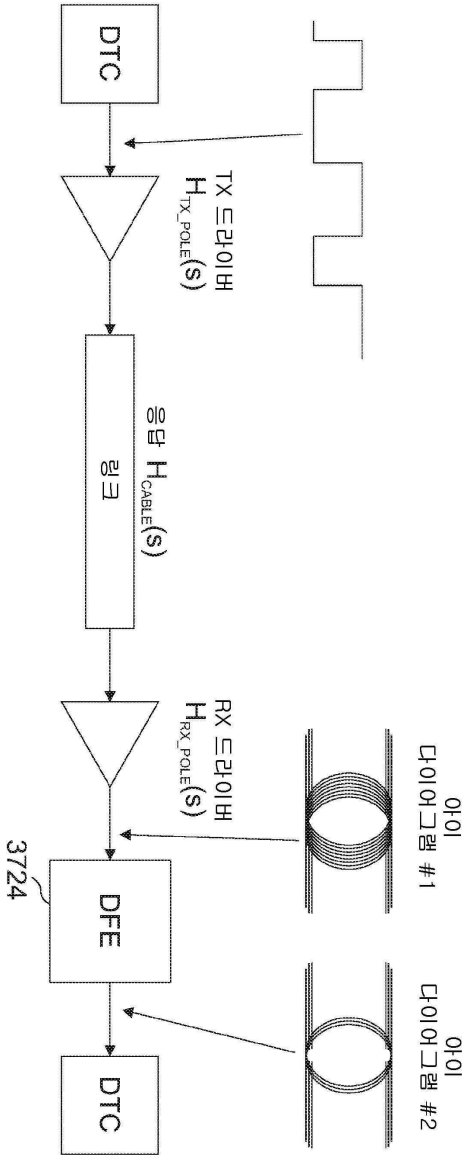


아이 다이어그램

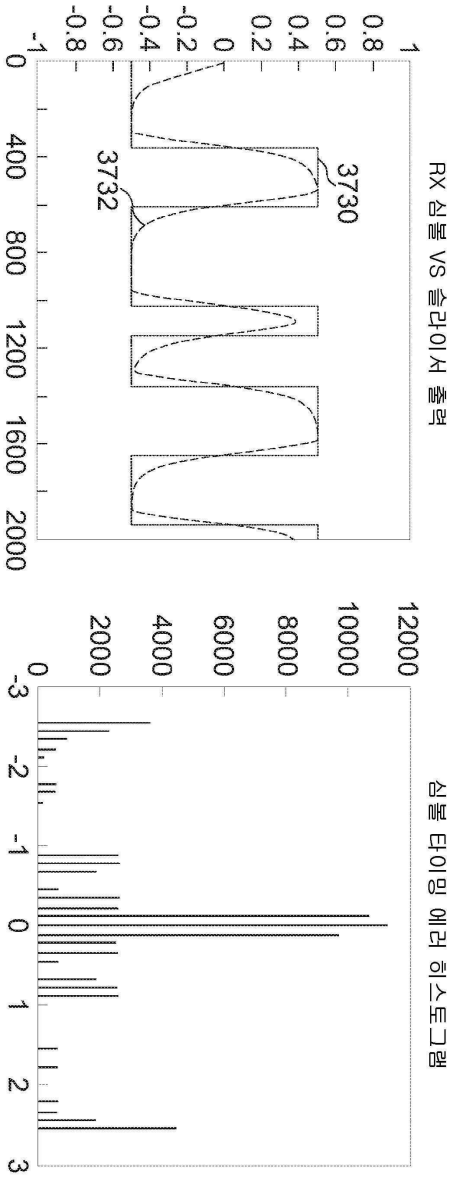
도면37d



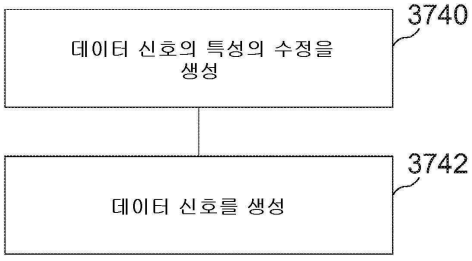
도면37e


DTC
TX 드라이버
$H_{TX_POLE}(s)$
응답 $H_{CABLE}(s)$
링크
RX 드라이버
$H_{RX_POLE}(s)$
3724
DFE
DTC
아이 다이어그램 #1
아이 다이어그램 #2

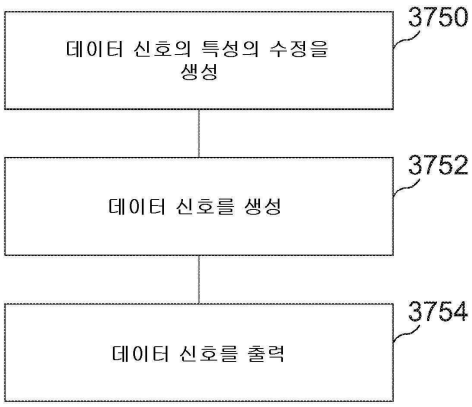
도면37f


RX 심볼 VS 슬라이서 출력
3730
3732
심볼 타이밍 에러 히스토그램

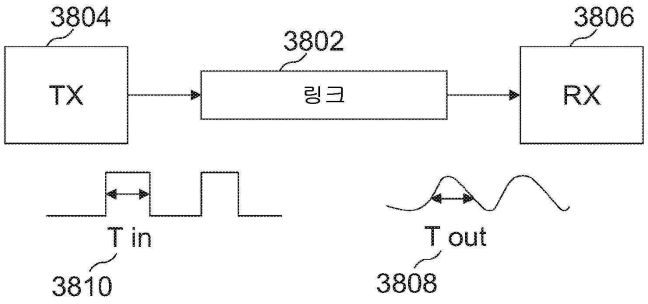
도면37g


데이터 신호의 특성의 수정을 생성
3740
데이터 신호를 생성
3742

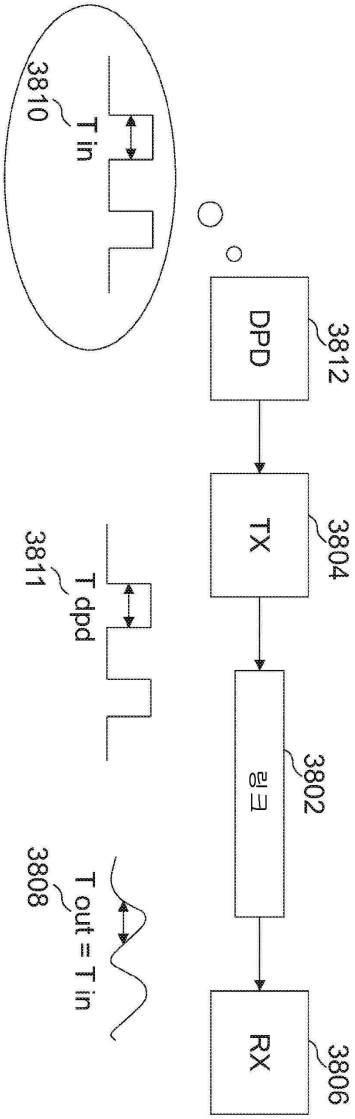
도면37h


데이터 신호의 특성의 수정을 생성
3750
데이터 신호를 생성
3752
데이터 신호를 출력
3754

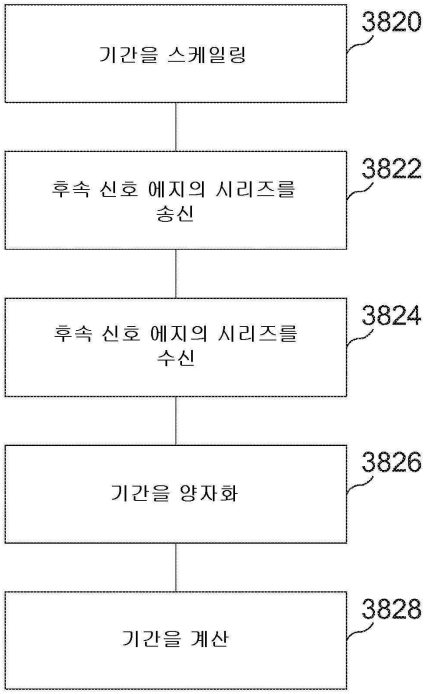
도면38a


3804
TX
3802
링크
3806
RX
T in
3810
T out
3808

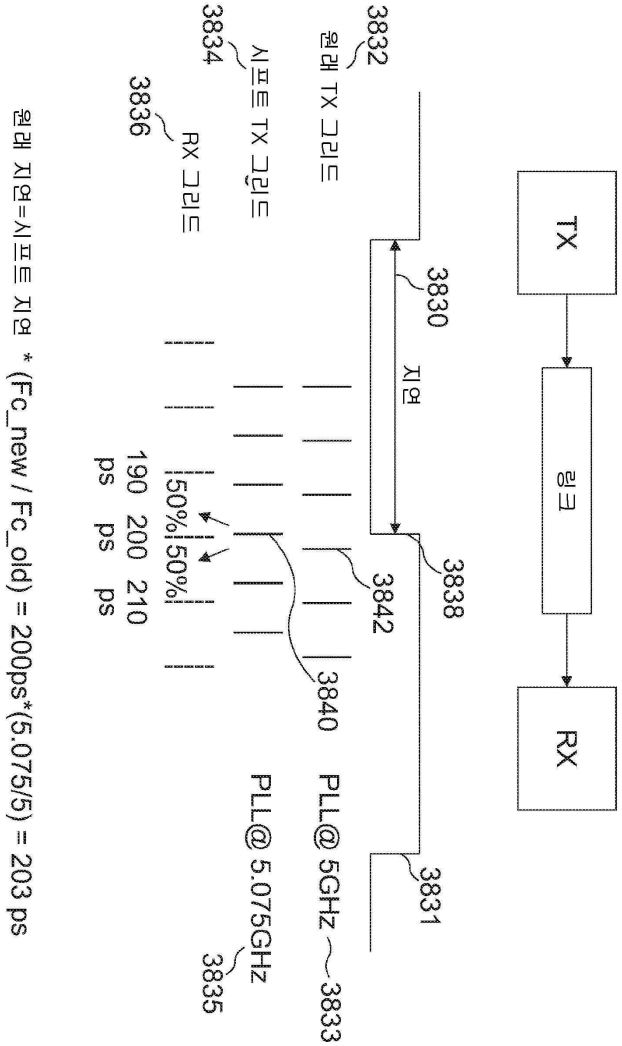
도면38b


3810
T in
DPD
3812
TX
3804
3811
T dpd
링크
3802
3808
T out = T in
RX
3806

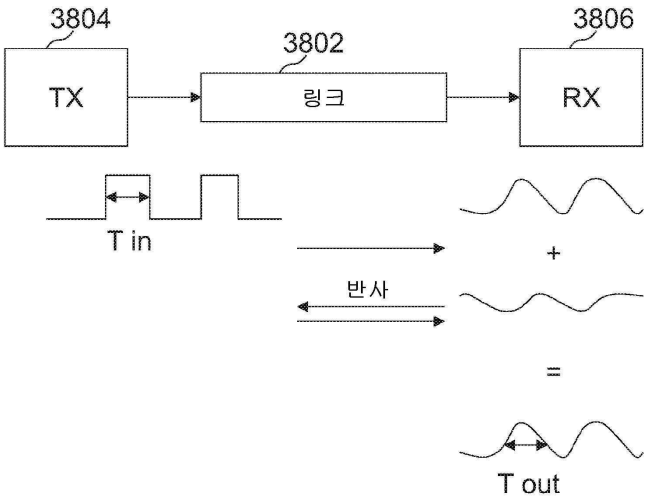
도면38c


기간을 스케일링
3820
후속 신호 에지의 시리즈를 송신
3822
후속 신호 에지의 시리즈를 수신
3824
기간을 양자화
3826
기간을 계산
3828

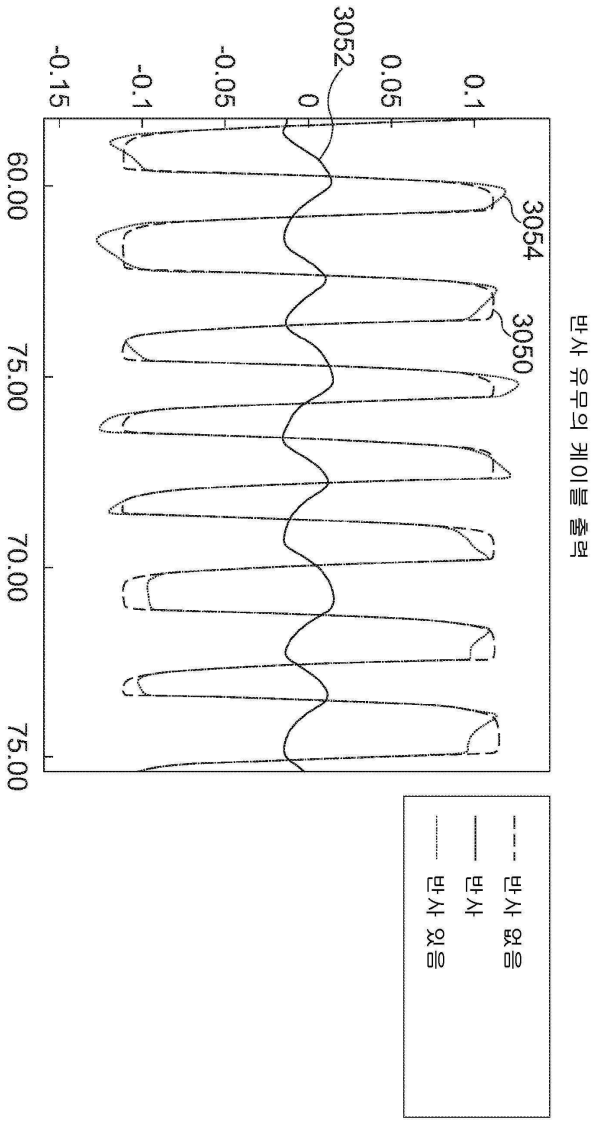
도면38d


TX
링크
RX
3830
지연
3838
3831
3832
원래 TX 그리드
3834
시프트 TX 그리드
3836
RX 그리드
3842
3840
3833
PLL@ 5GHz
PLL@ 5.075GHz
3835
190 ps
200 ps
210 ps
50%
50%
원래 지연=시프트 지연 * (Fc_new / Fc_old) = 200ps*(5.075/5) = 203 ps

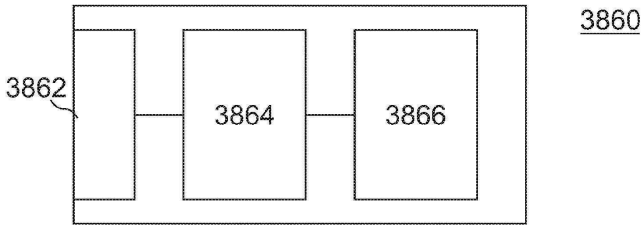
도면38e


3804
TX
3802
링크
3806
RX
T in
반사
+
=
T out

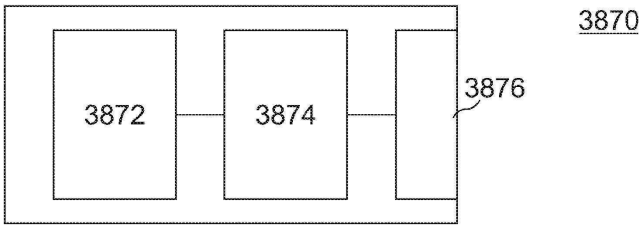
도면38f



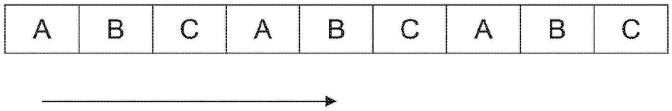
도면38g



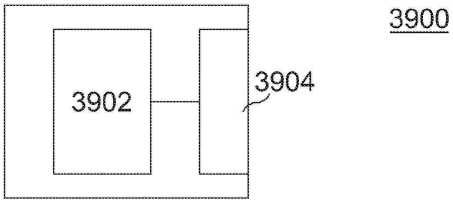
도면38h



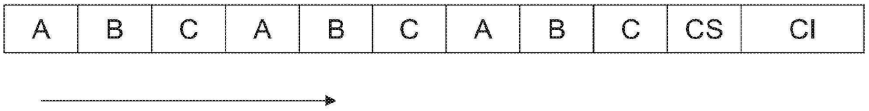
도면38i



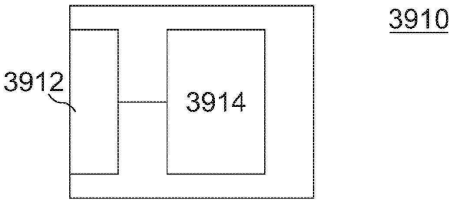
도면39a



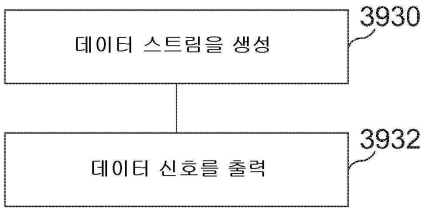
도면39b



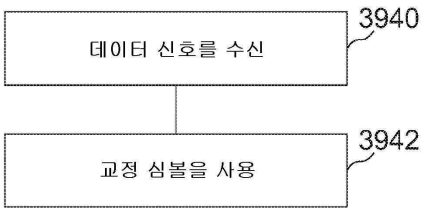
도면39c



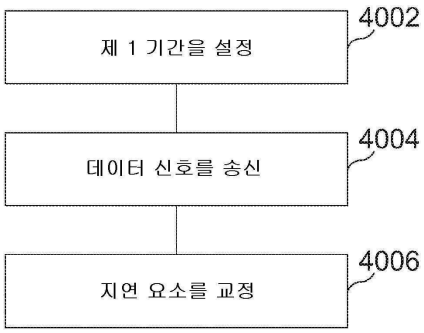
도면39d



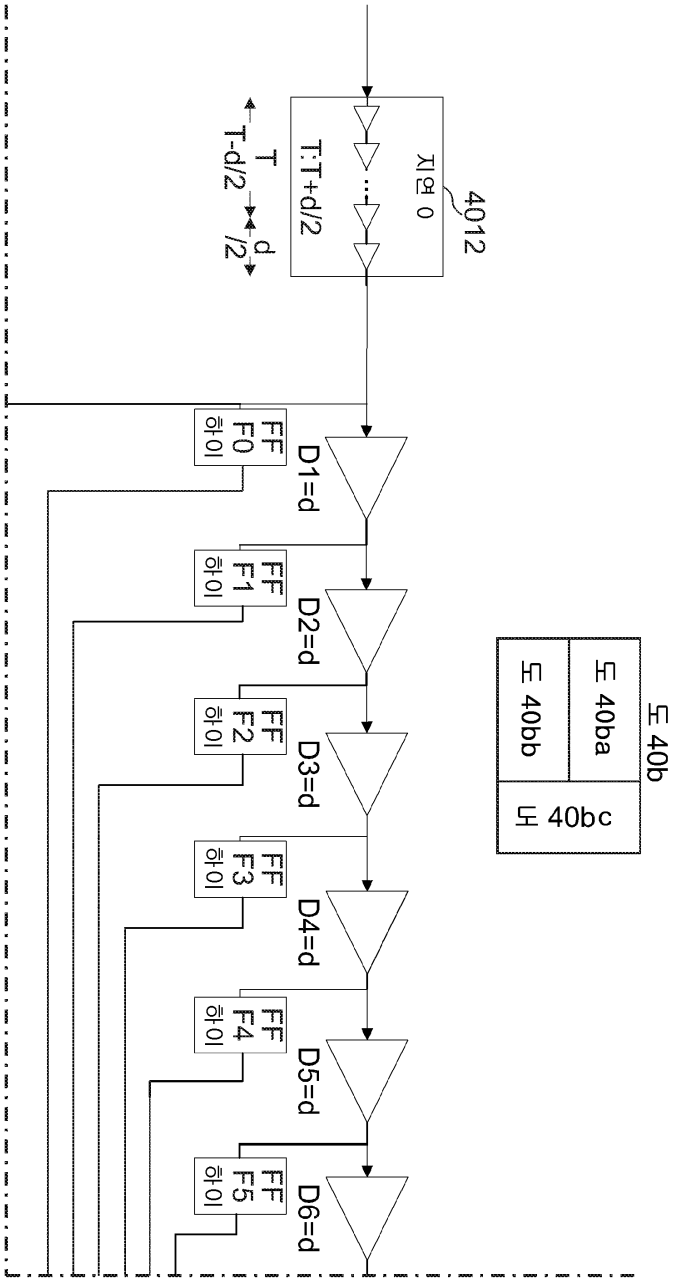
도면39e



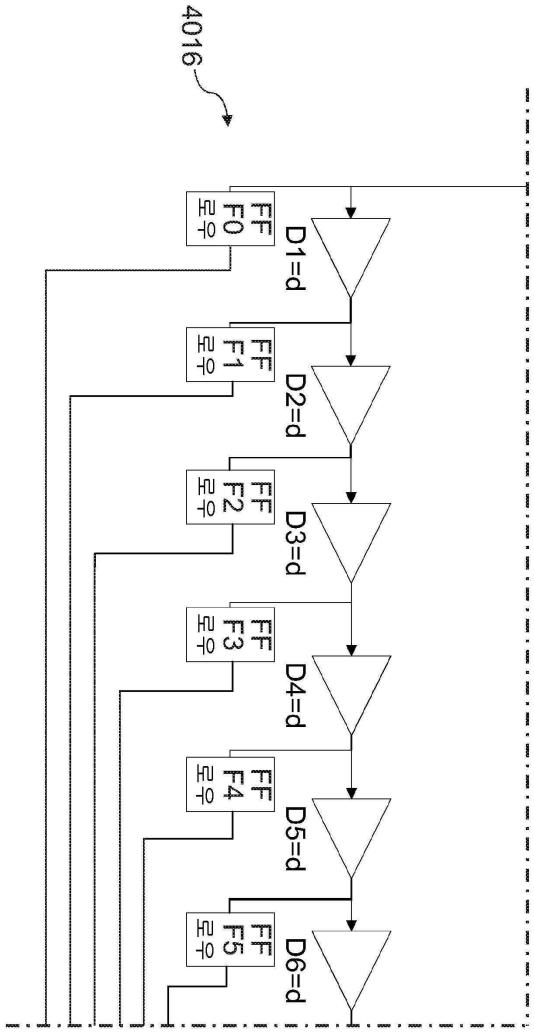
도면40a



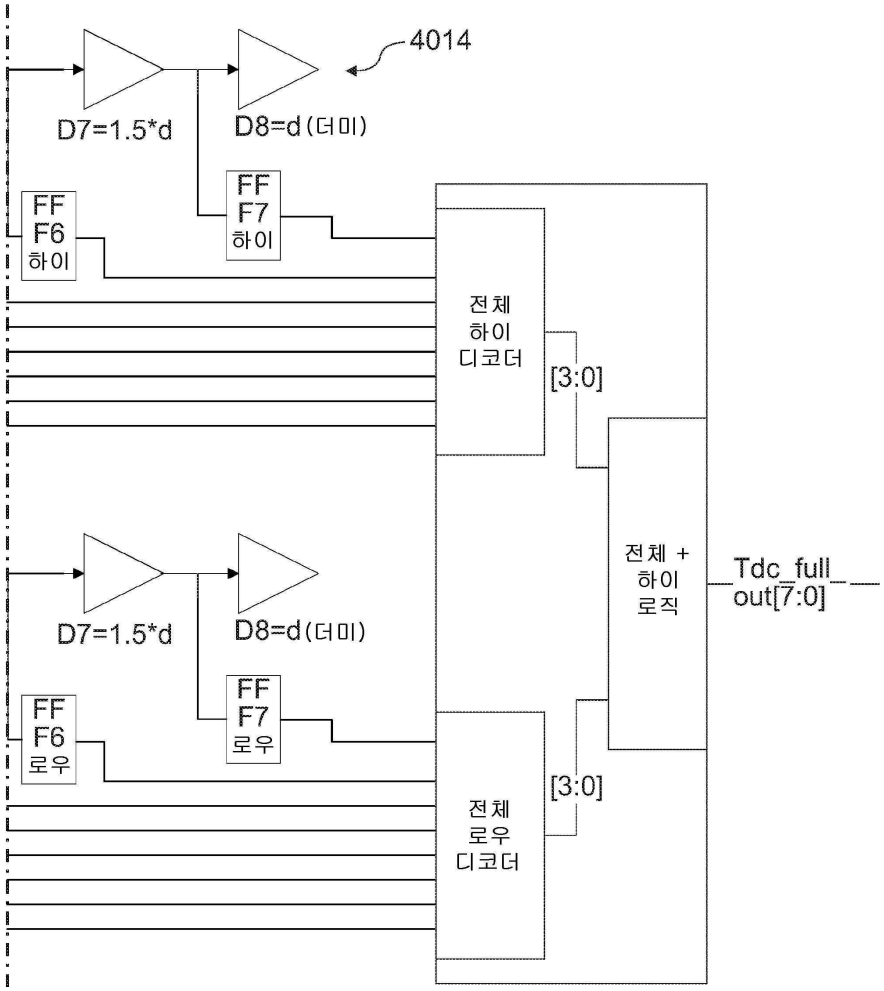
도면40ba



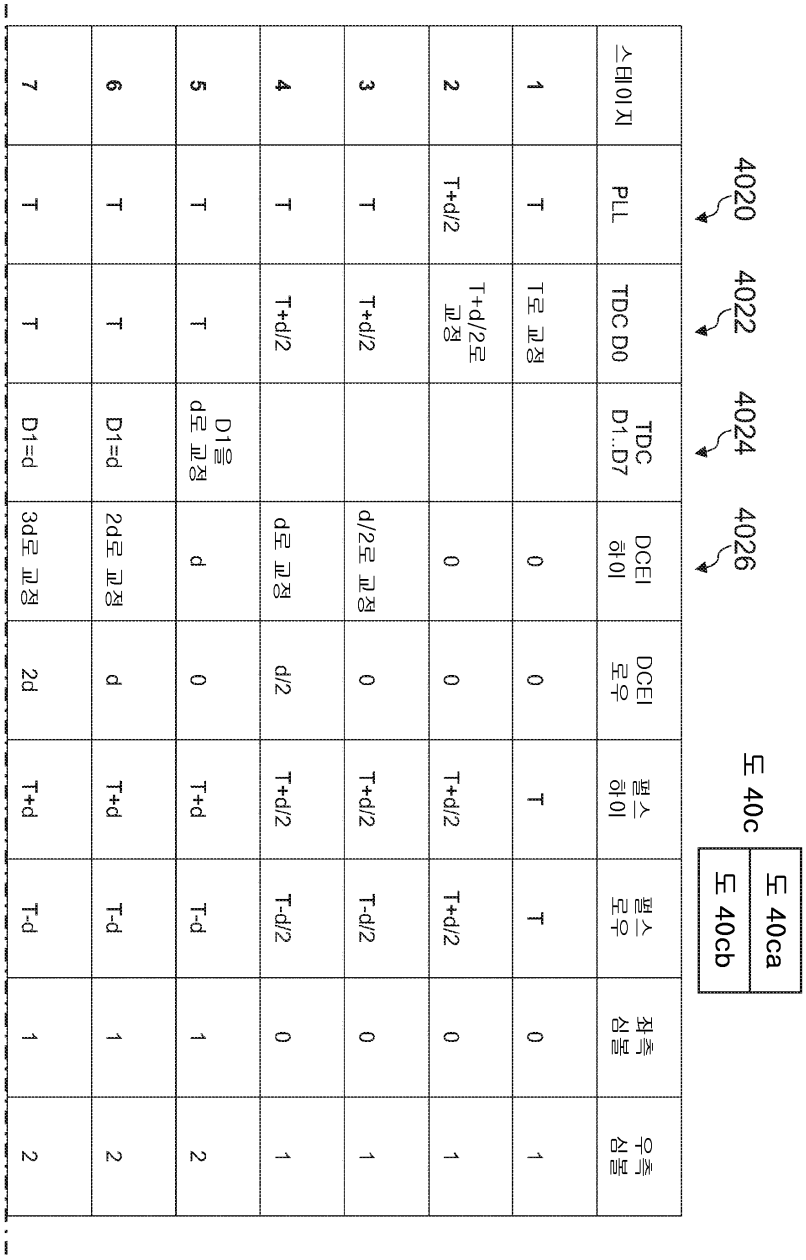
도면40bb


4016
FF
F0
로우
D1=d
FF
F1
로우
D2=d
FF
F2
로우
D3=d
FF
F3
로우
D4=d
FF
F4
로우
D5=d
FF
F5
로우
D6=d

도면40bc


4014
D7=1.5*d
D8=d(더미)
FF F6 하이
FF F7 하이
전체 하이 디코더
[3:0]
전체 + 하이 로직
Tdc_full_out[7:0]
D7=1.5*d
D8=d(더미)
FF F6 로우
FF F7 로우
전체 로우 디코더
[3:0]

도면40ca

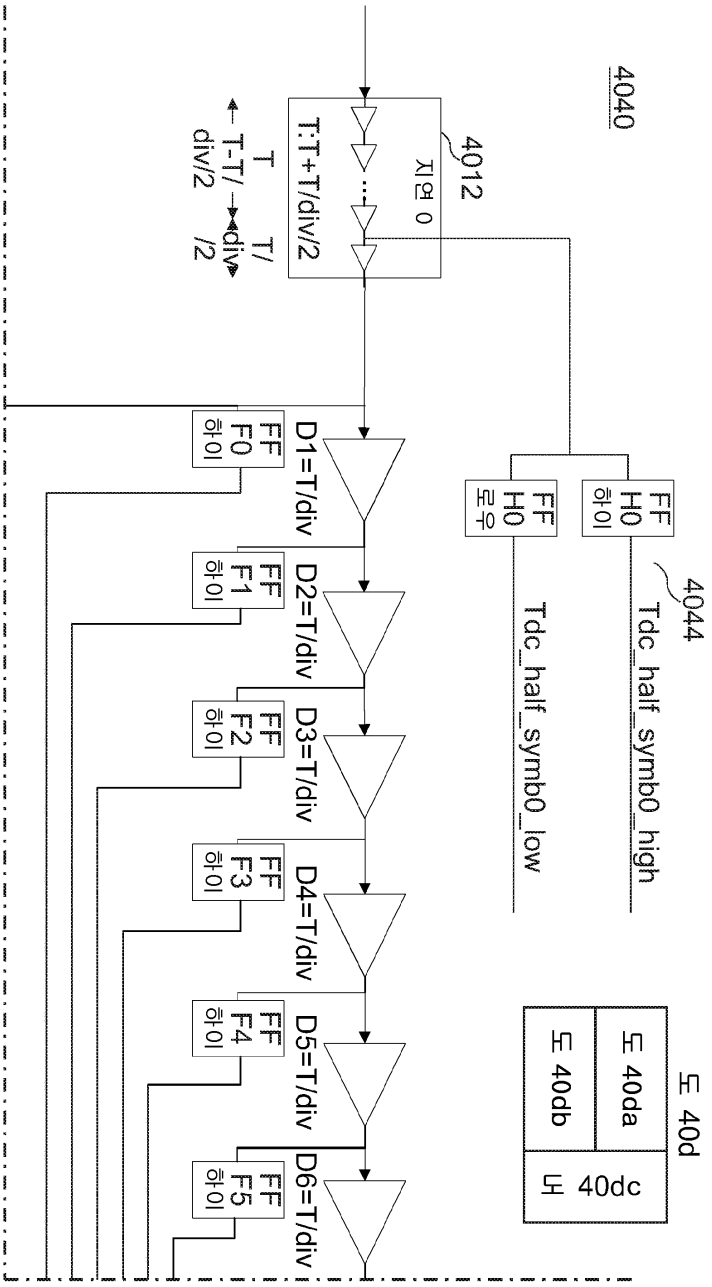


스테이지	PLL	TDC D0	TDC D1..D7	DCEI 하이	DCEI 로우	펄스 하이	펄스 로우	좌측 심볼	우측 심볼
1	T	T로 교정		0	0	T	T	0	1
2	T+d/2	T+d/2로 교정		0	0	T+d/2	T+d/2	0	1
3	T	T+d/2		d/2로 교정	0	T+d/2	T-d/2	0	1
4	T	T+d/2		d로 교정	d/2	T+d/2	T-d/2	0	1
5	T	T	D1을 d로 교정	d	0	T+d	T-d	1	2
6	T	T	D1=d	2d로 교정	d	T+d	T-d	1	2
7	T	T	D1=d	3d로 교정	2d	T+d	T-d	1	2

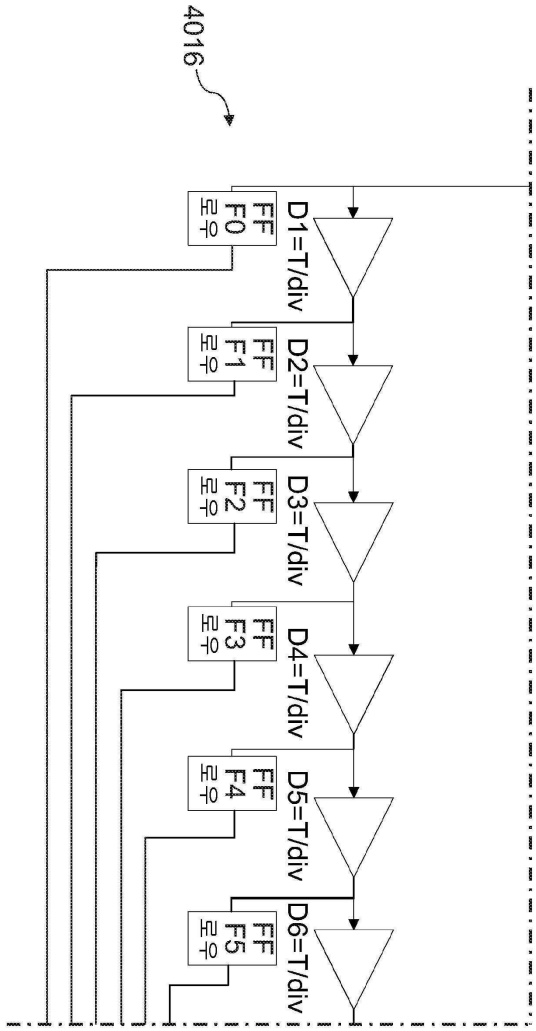
도면40cb

8	T	T	D1=d	4d로 교정	3d	T+d	T-d	1	2
9	T	T	D2를 d로 교정	2d	0	T+2d	T-2d	2	3
10	T	T	D3을 d로 교정	3d	0	T+3d	T-3d	3	4
11	T	T	D4를 d로 교정	4d	0	T+4d	T-4d	4	5
12	T	T	D5를 d로 교정	0,MMD=2	0	T+5d	T-5d	5	6
13	T	T	D6을 d로 교정	d,MMD=2	0	T+6d	T-6d	6	7
14	T	T+d/2	D7을 d+d/2로 교정	3d, MMD=2	0	T+8d	T-8d	7	삭제

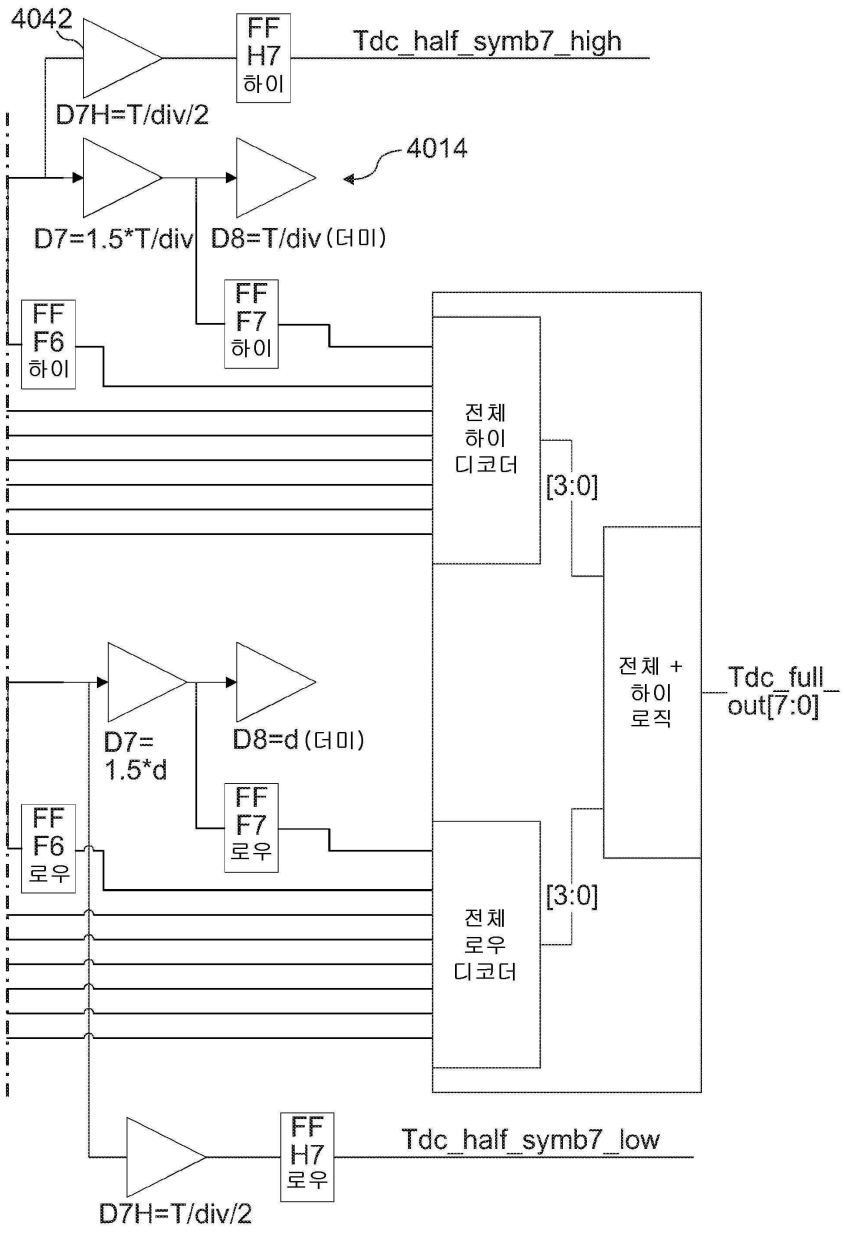
도면40da


4040
4012
지연 0
T:T+T/div/2
T-T/div/2
T/div/2
FF F0 하이
FF F1 하이
FF F2 하이
FF F3 하이
FF F4 하이
FF F5 하이
D1=T/div
D2=T/div
D3=T/div
D4=T/div
D5=T/div
D6=T/div
FF H0 로우
FF H0 하이
4044
Tdc_half_symb0_low
Tdc_half_symb0_high
도 40da
도 40db
도 40dc
도 40d

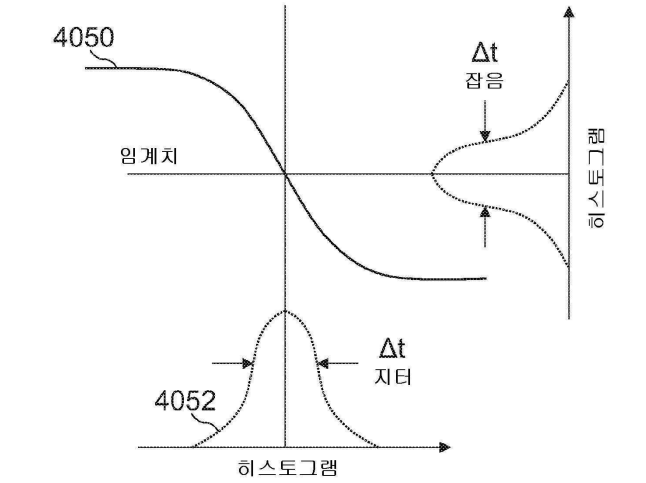
도면40db

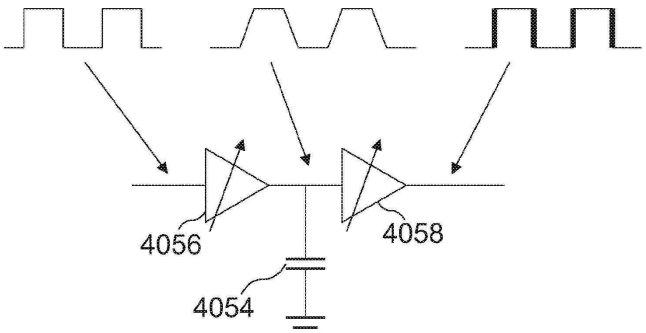

4016
FF F0 로우
FF F1 로우
FF F2 로우
FF F3 로우
FF F4 로우
FF F5 로우
D1=T/div
D2=T/div
D3=T/div
D4=T/div
D5=T/div
D6=T/div

도면40dc

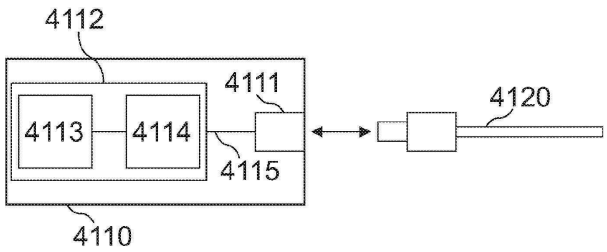

4042
FF
H7
하이
Tdc_half_symb7_high
D7H=T/div/2
4014
D7=1.5*T/div
D8=T/div(더미)
FF
F6
하이
FF
F7
하이
전체
하이
디코더
[3:0]
전체 +
하이
로직
Tdc_full_
out[7:0]
D7=
1.5*d
D8=d(더미)
FF
F6
로우
FF
F7
로우
[3:0]
전체
로우
디코더
FF
H7
로우
Tdc_half_symb7_low
D7H=T/div/2

도면40e

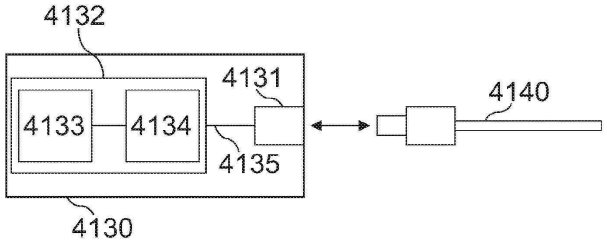




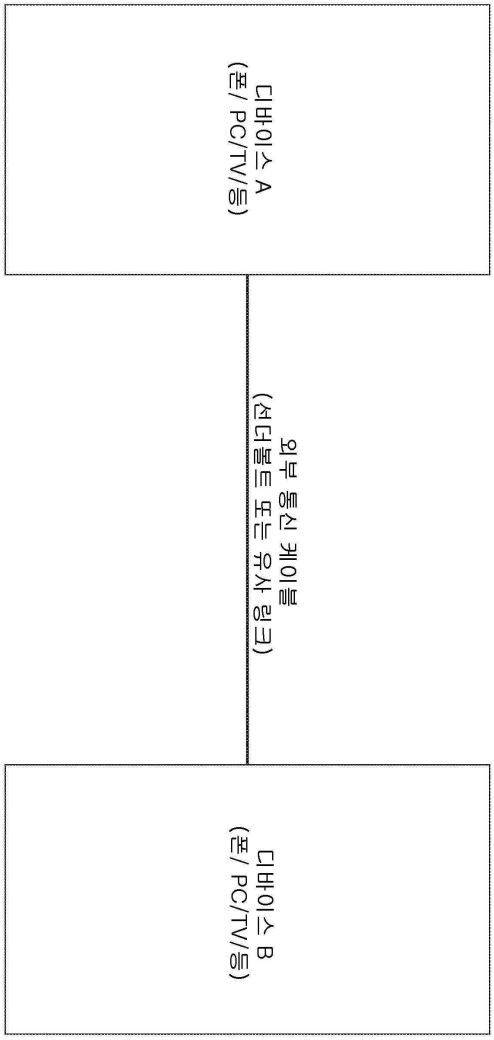
도면41a



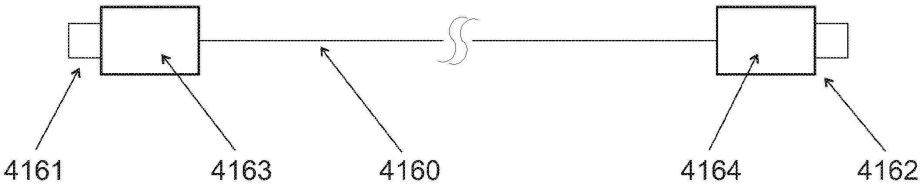
도면41b



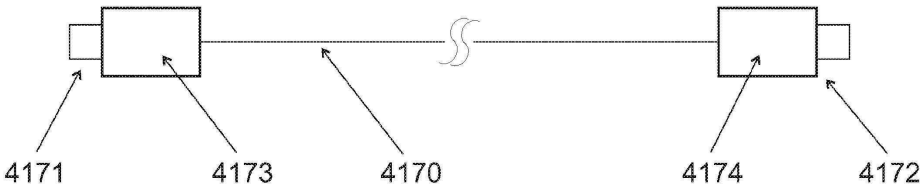
도면41c



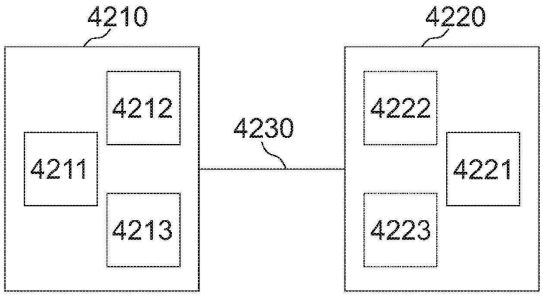
도면41d



도면41e

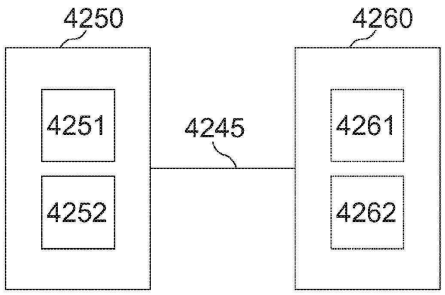


도면42a



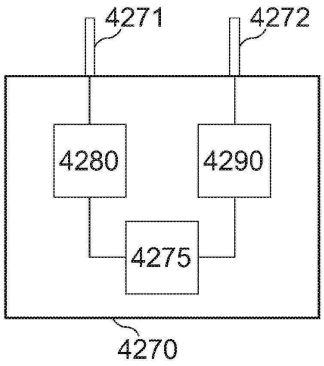
4200

도면42b

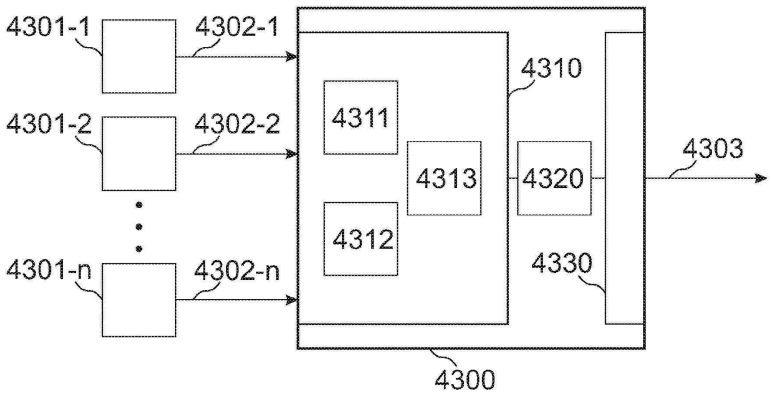


4240

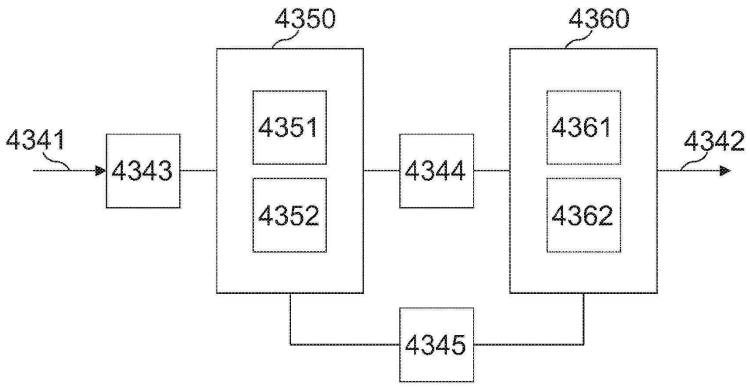
도면42c



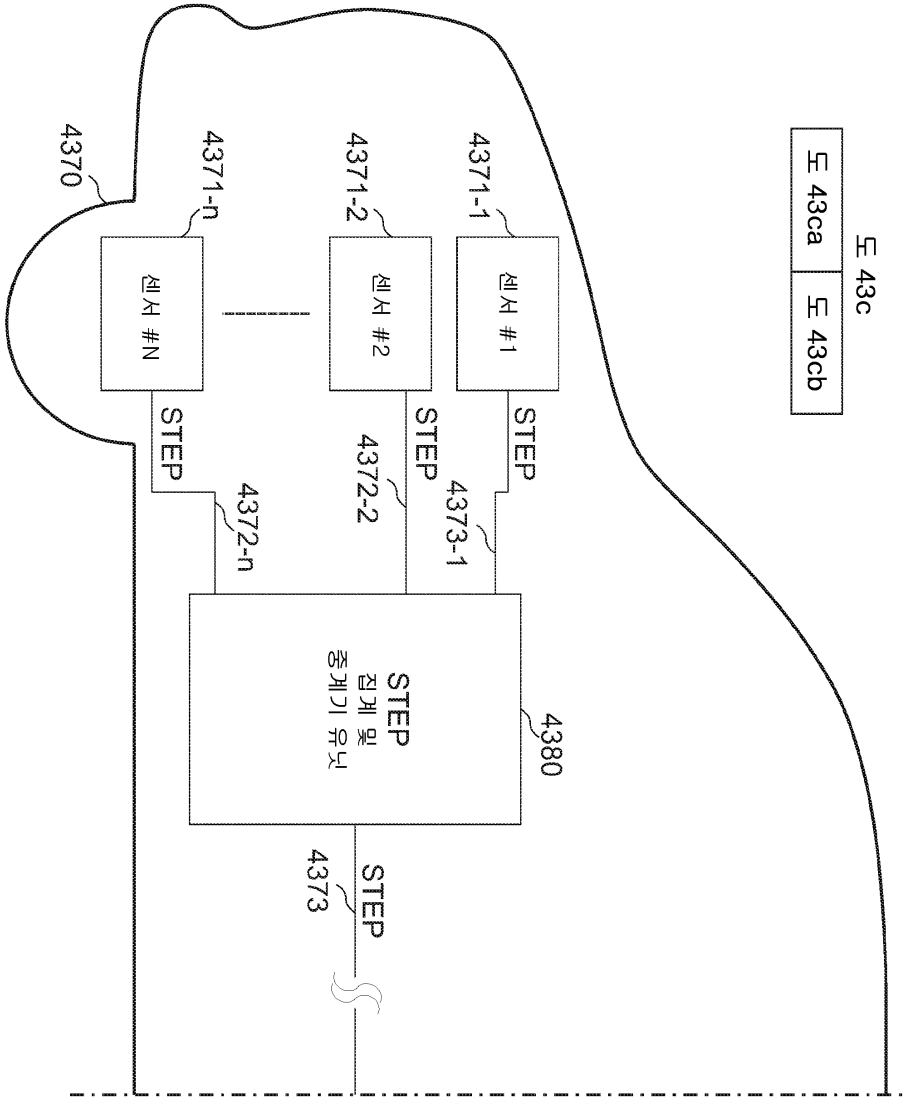
도면43a


4301-1
4302-1
4301-2
4302-2
4301-n
4302-n
4311
4312
4313
4310
4320
4330
4303
4300

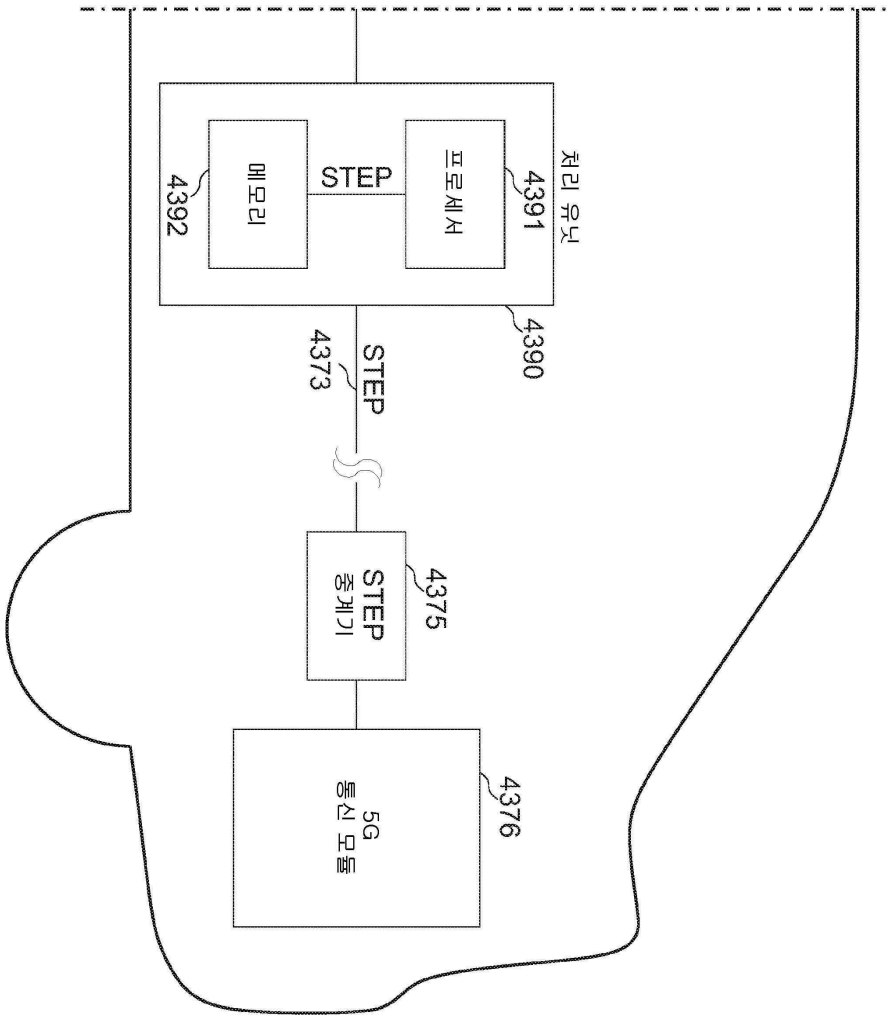
도면43b


4350
4360
4341
4343
4351
4352
4344
4361
4362
4342
4345
4340

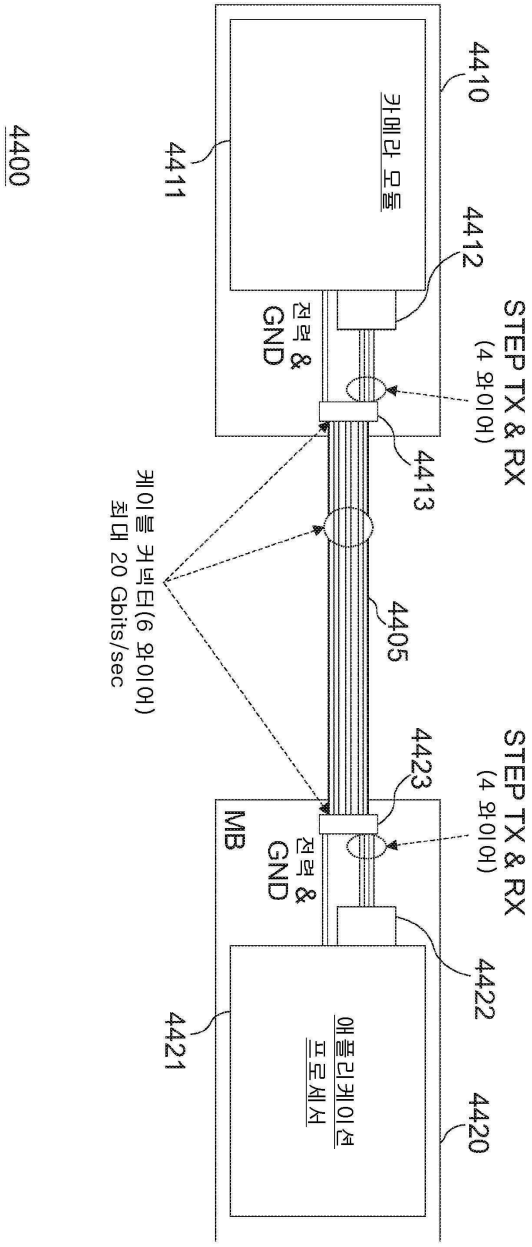
도면43ca


도 43c
도 43ca
도 43cb
4370
4371-n
4371-2
4371-1
센서 #N
센서 #2
센서 #1
STEP
STEP
STEP
4372-n
4372-2
4373-1
STEP
집계 및
중계기 유닛
4380
4373
STEP

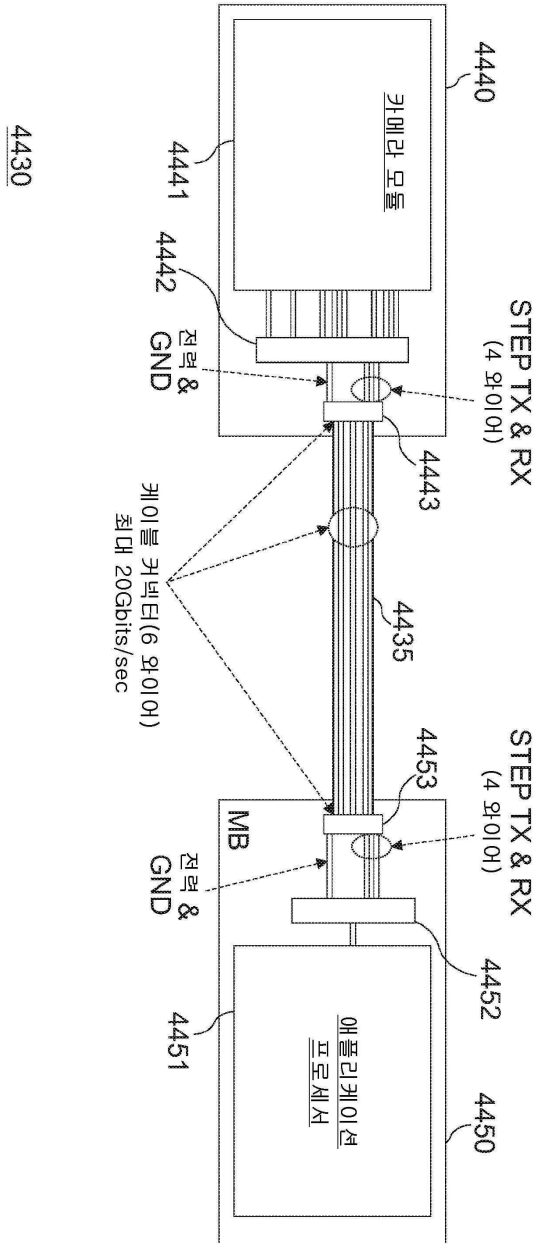
도면43cb


처리 유닛
4390
메모리
4392
STEP
프로세서
4391
STEP
4373
STEP
중계기
4375
5G
통신 모듈
4376

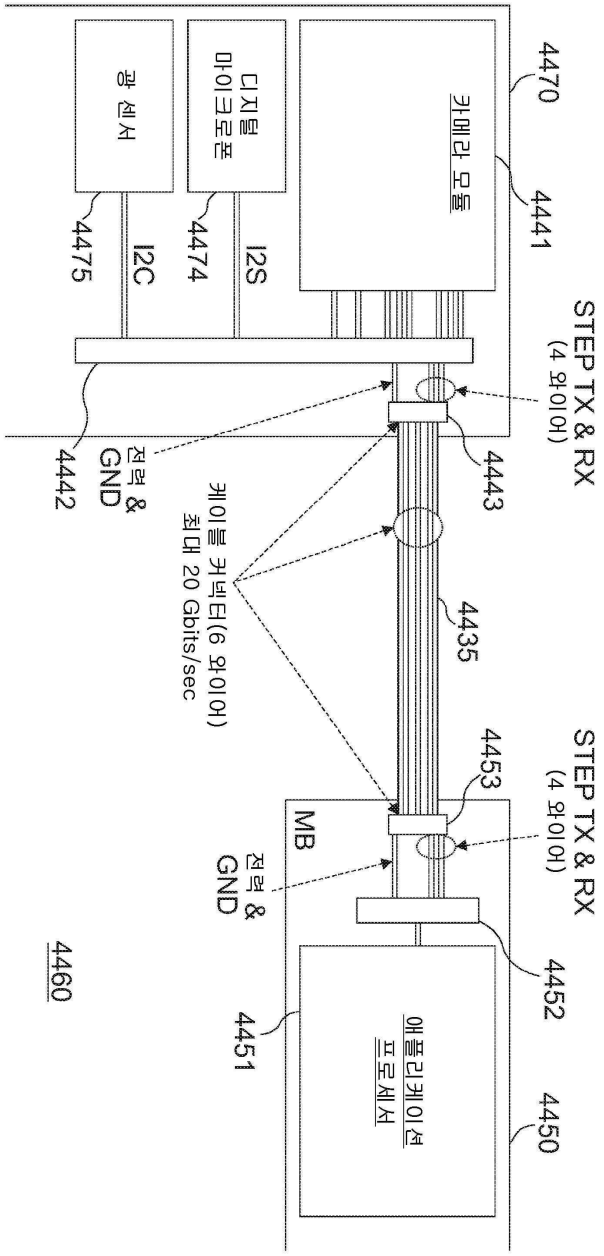
도면44a


4400
4410
카메라 모듈
4411
4412
전력 &
GND
STEP TX & RX
(4 와이어)
4413
케이블 커넥터(6 와이어)
최대 20 Gbits/sec
4405
4423
MB
전력 &
GND
STEP TX & RX
(4 와이어)
4422
4421
애플리케이션
프로세서
4420

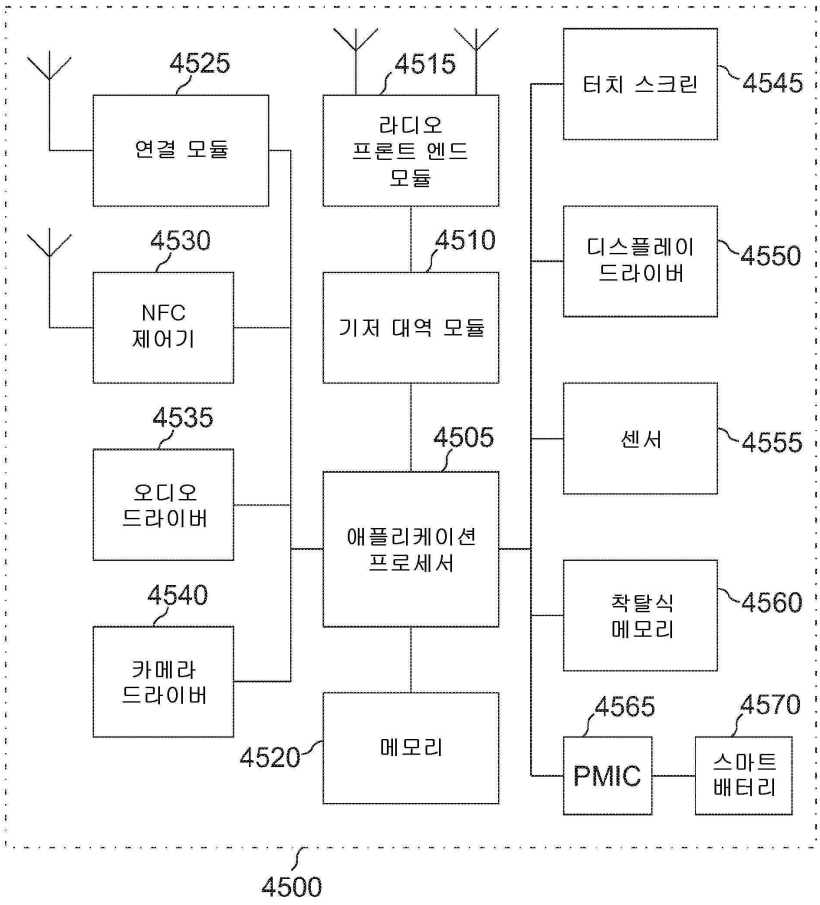
도면44b


4430
4440
카메라 모듈
4441
4442
전력 & GND
STEP TX & RX
(4 와이어)
4443
케이블 커넥터(6 와이어)
최대 20Gbits/sec
4435
4453
STEP TX & RX
(4 와이어)
MB
전력 & GND
4451
4452
애플리케이션 프로세서
4450

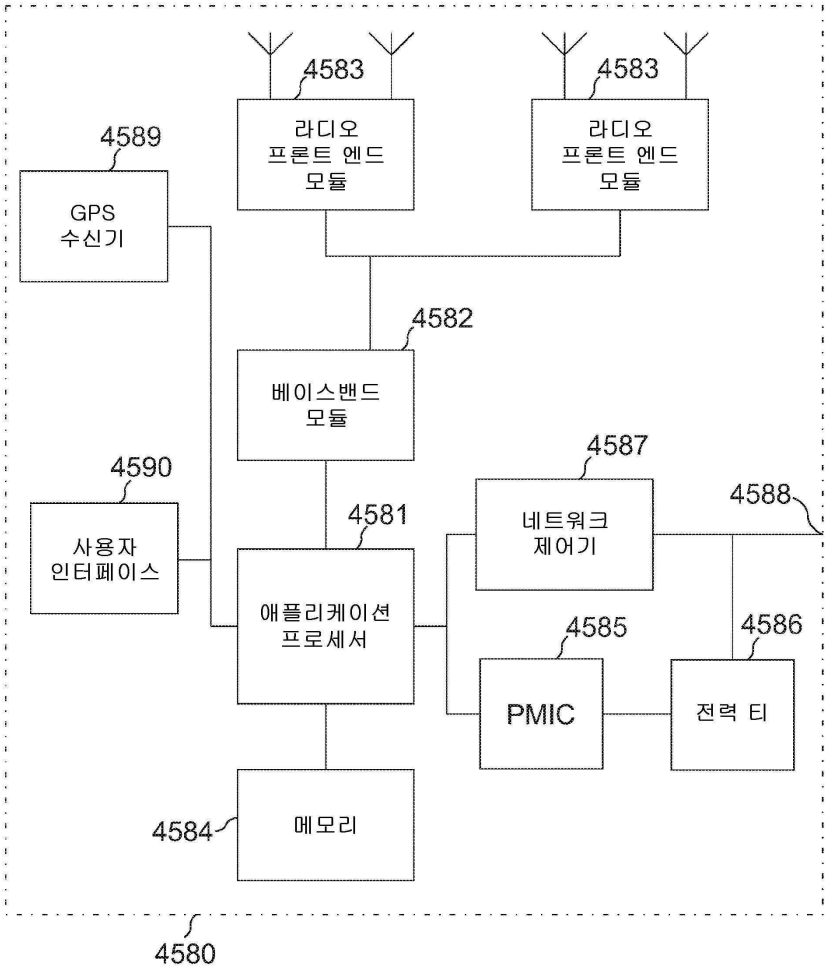
도면44c


4470
카메라 모듈
4441
STEP TX & RX
(4 와이어)
4443
4435
4453
STEP TX & RX
(4 와이어)
4452
4450
애플리케이션
프로세서
4451
MB
전력 &
GND
4460
케이블 커넥터(6 와이어)
최대 20 Gbits/sec
4442
전력 &
GND
4475
I2C
4474
I2S
디지털
마이크로폰
광 센서

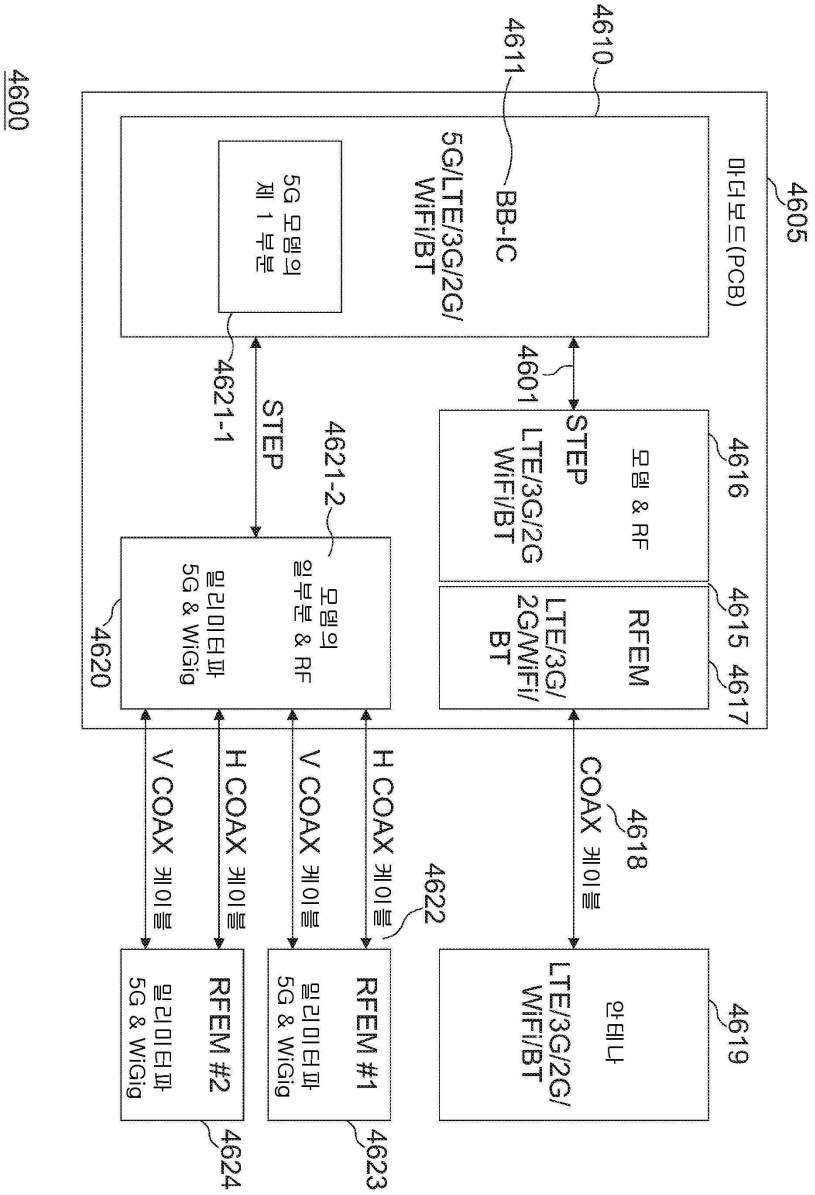
도면45a


4525
연결 모듈
4515
라디오 프론트 엔드 모듈
터치 스크린
4545
4530
NFC 제어기
4510
기저 대역 모듈
디스플레이 드라이버
4550
4535
오디오 드라이버
4505
애플리케이션 프로세서
센서
4555
4540
카메라 드라이버
착탈식 메모리
4560
4565
4570
4520
메모리
PMIC
스마트 배터리
4500

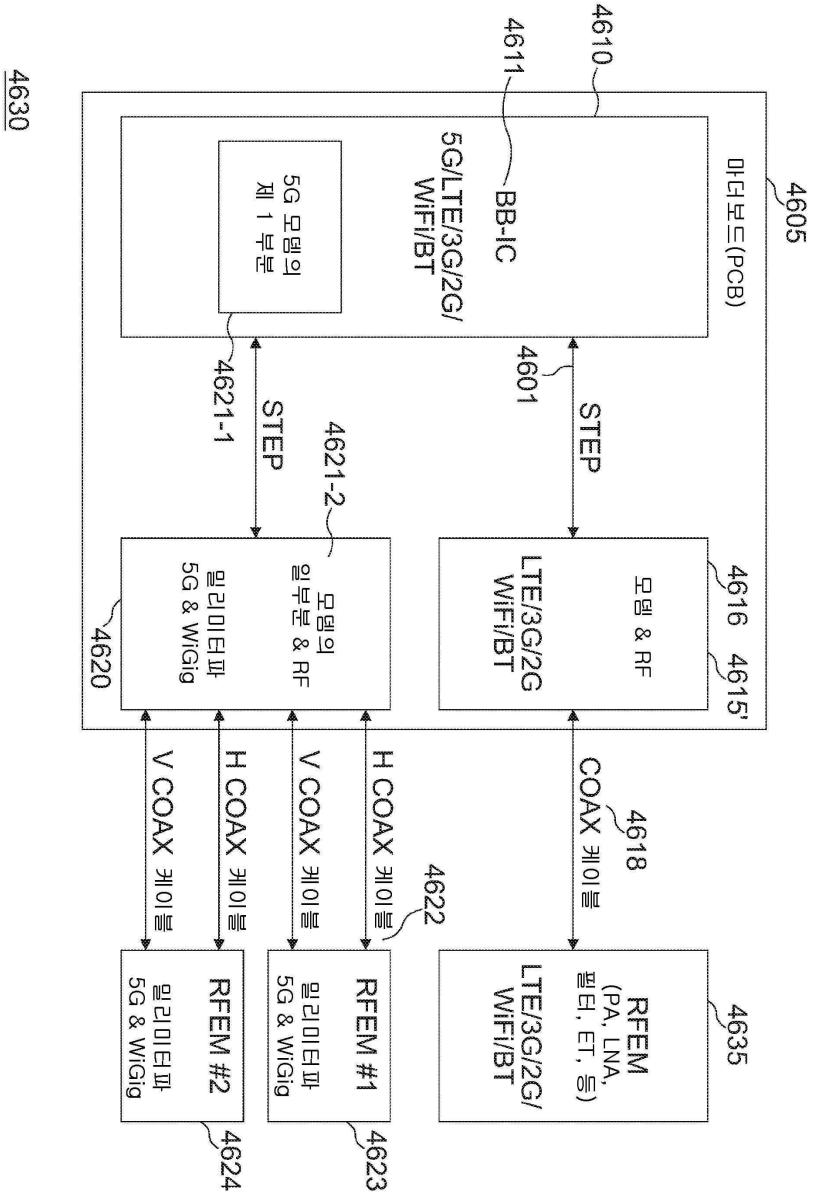
도면45b


4583
4583
4589
라디오
프론트 엔드
모듈
라디오
프론트 엔드
모듈
GPS
수신기
4582
베이스밴드
모듈
4587
4590
4588
4581
네트워크
제어기
사용자
인터페이스
애플리케이션
프로세서
4585
4586
PMIC
전력 티
4584
메모리
4580

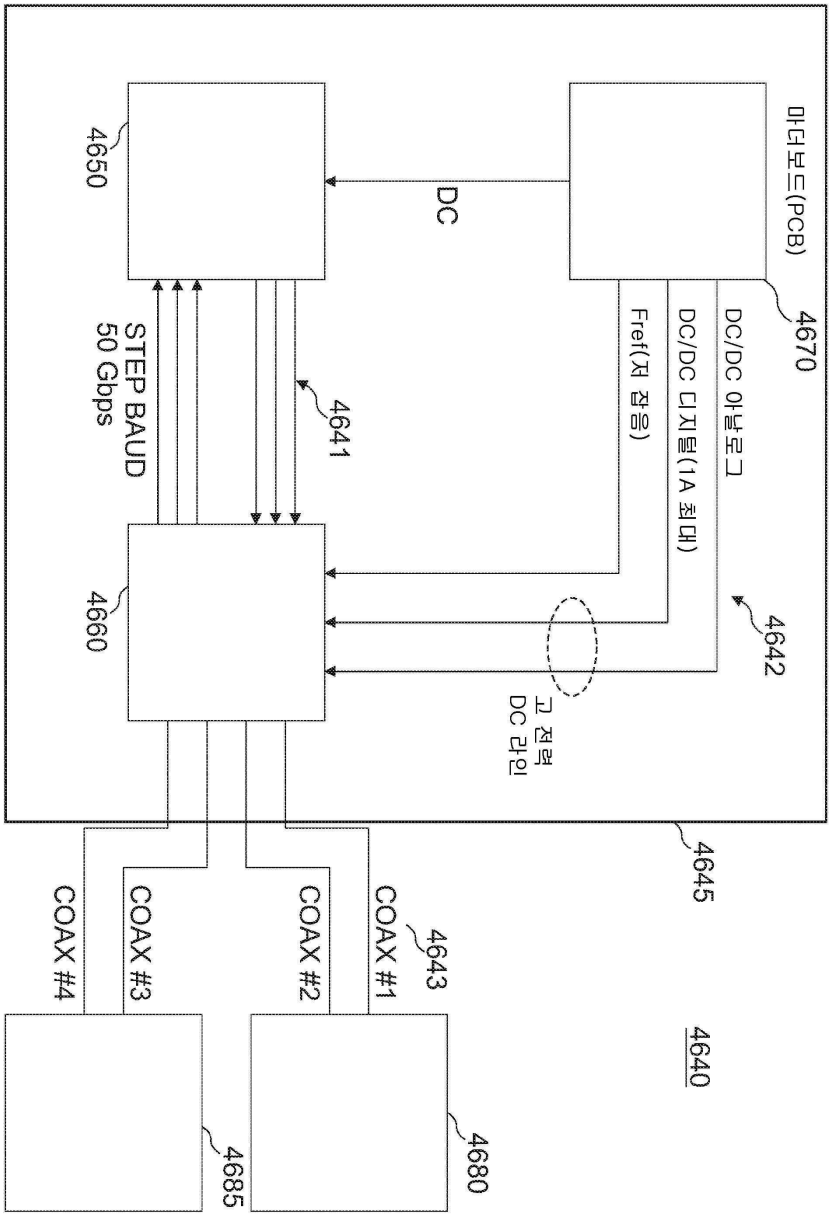
도면46a


4600
4610
4611
4605
마더보드(PCB)
BB-IC
5G/LTE/3G/2G/
WiFi/BT
5G 모뎀의
제 1 부분
4621-1
STEP
4601
STEP
LTE/3G/2G
WiFi/BT
모뎀 & RF
4616
RFEM
LTE/3G/
2G/WiFi/
BT
4615
4617
4621-2
모뎀의
일부분 & RF
밀리미터파
5G & WiGig
4620
V COAX 케이블
H COAX 케이블
H COAX 케이블
COAX 케이블
4618
4622
RFEM #2
밀리미터파
5G & WiGig
RFEM #1
밀리미터파
5G & WiGig
안테나
LTE/3G/2G/
WiFi/BT
4619
4624
4623

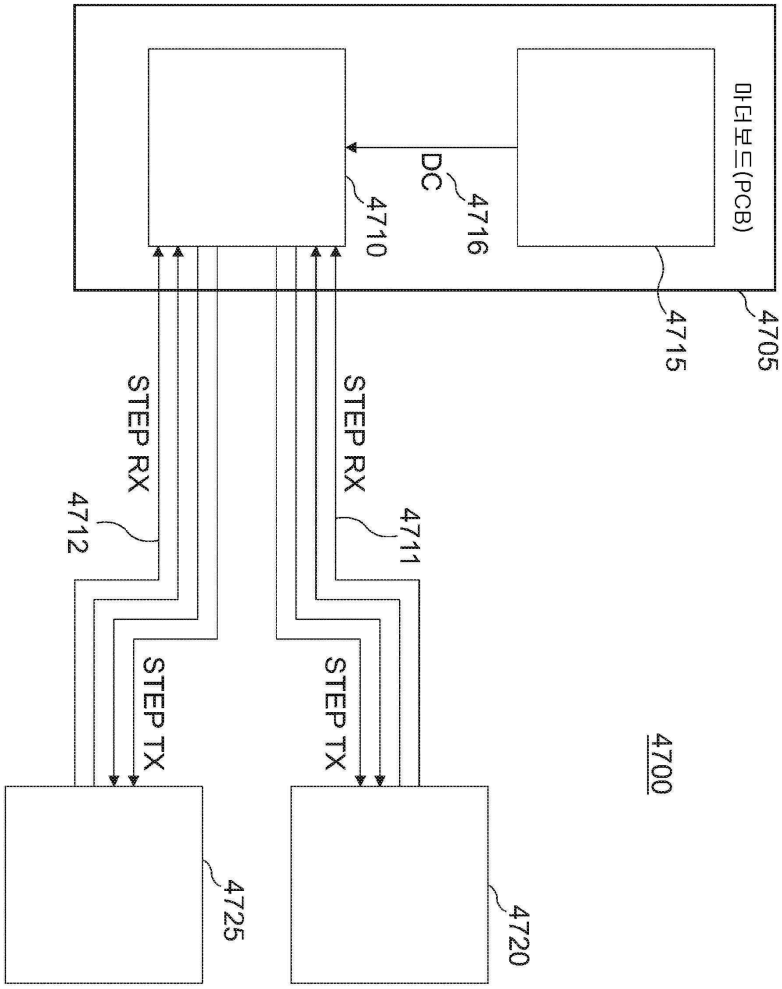
도면46b


4630
4610
4611
마더보드(PCB)
4605
5G/LTE/3G/2G/
WiFi/BT
BB-IC
5G 모뎀의
제 1 부분
4621-1
STEP
4621-2
4601
STEP
밀리미터파
5G & WiGig
4620
모뎀의
일부분 & RF
LTE/3G/2G
WiFi/BT
모뎀 & RF
4616
4615'
V COAX 케이블
H COAX 케이블
V COAX 케이블
H COAX 케이블
4622
COAX 케이블
4618
RFEM #2
밀리미터파
5G & WiGig
4624
RFEM #1
밀리미터파
5G & WiGig
4623
RFEM
(PA, LNA,
필터, ET, 등)
LTE/3G/2G/
WiFi/BT
4635

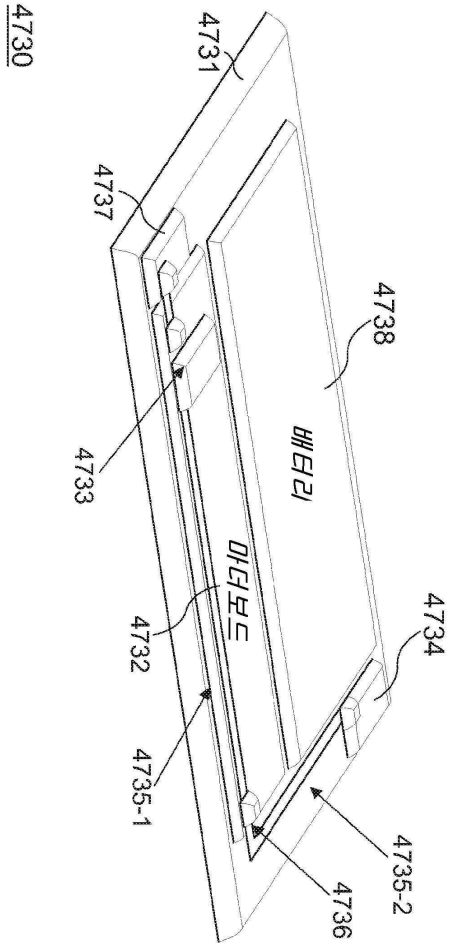
도면46c


마더보드(PCB)
4670
DC/DC 아날로그
DC/DC 디지털(1A 최대)
Fref(저 잡음)
4642
고 전력 DC 라인
DC
4650
STEP BAUD 50 Gbps
4641
4660
4645
4640
COAX #1
COAX #2
COAX #3
COAX #4
4643
4680
4685

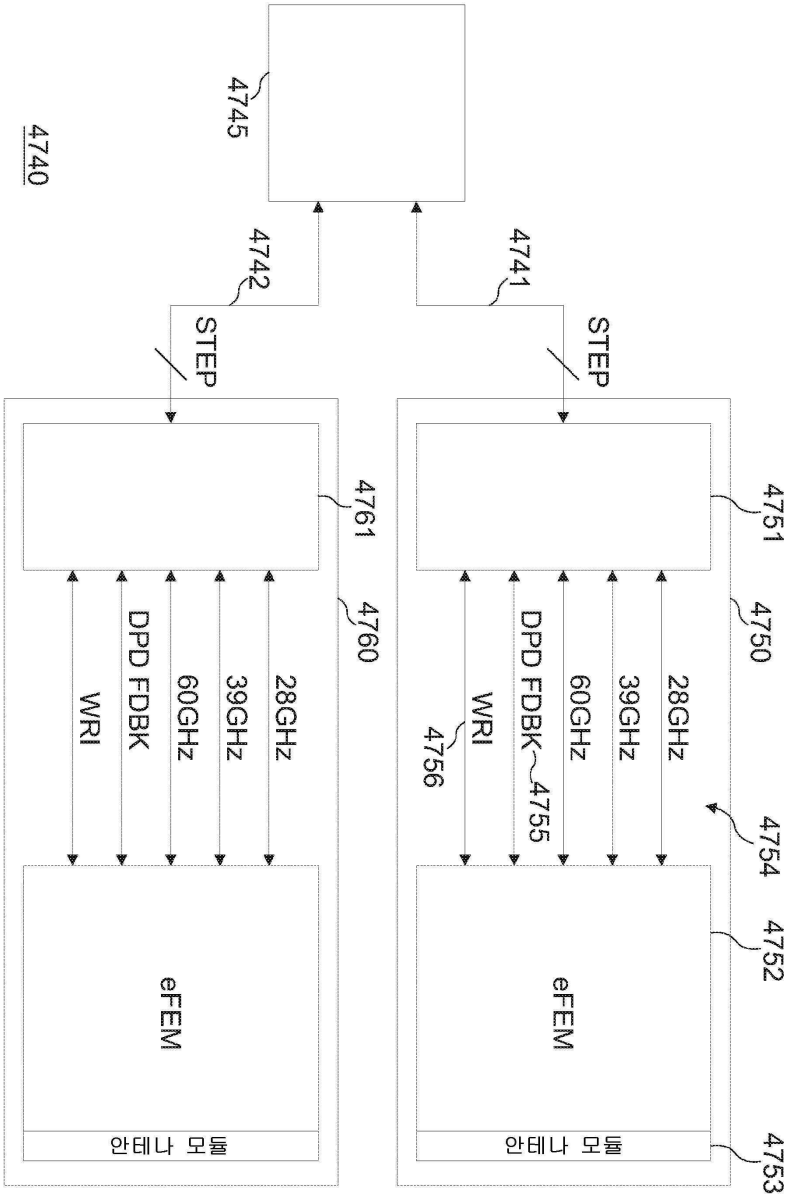
도면47a


마더보드(PCB)
4705
4715
DC
4716
4710
STEP RX
4712
STEP RX
4711
STEP TX
STEP TX
4700
4725
4720

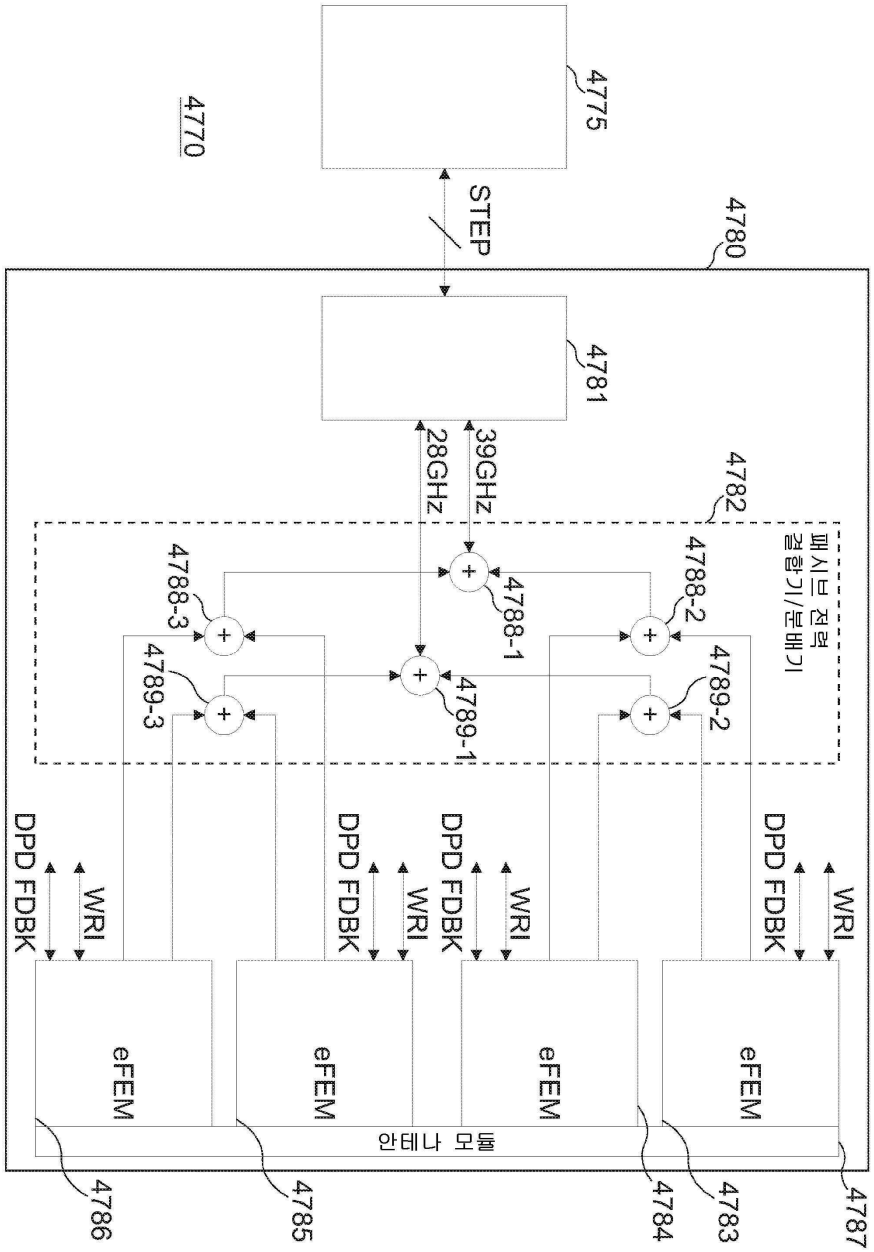
도면47b



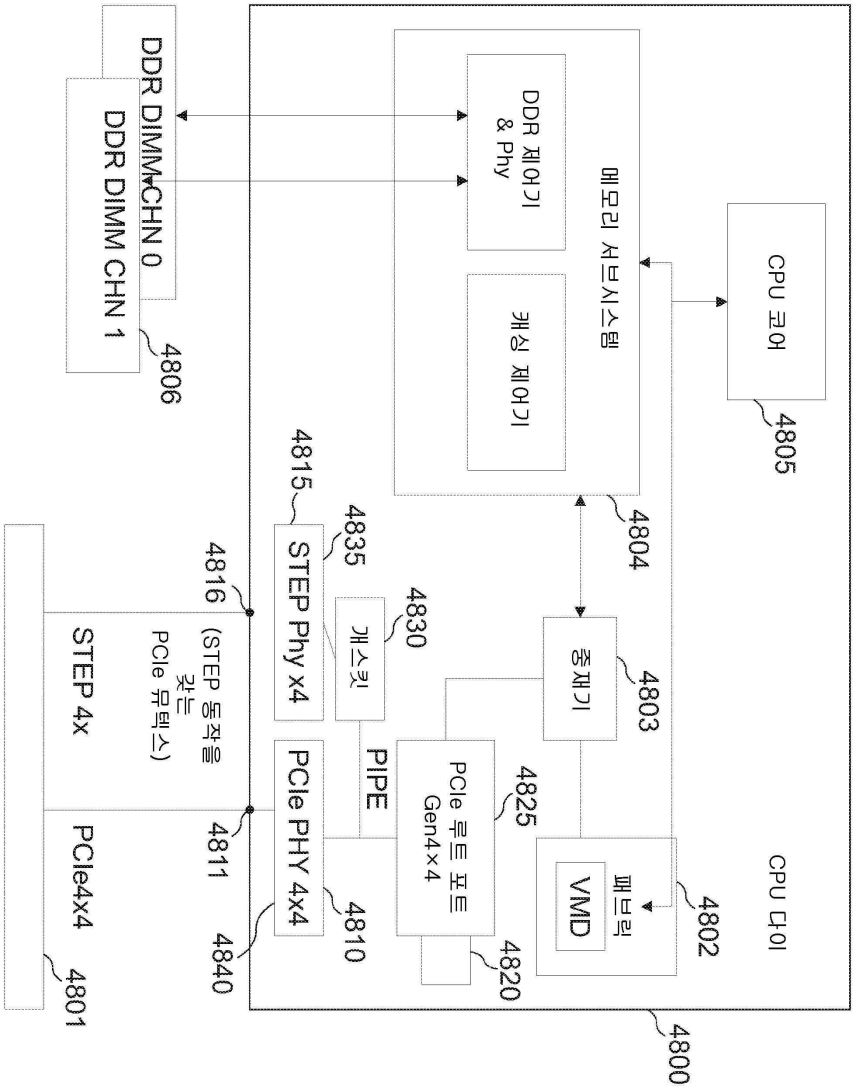
도면47c


4740
4745
4742
4741
STEP
STEP
4761
4751
4760
4750
DPD FDBK
WRI
4756
DPD FDBK
4755
60GHz
39GHz
28GHz
60GHz
39GHz
28GHz
4754
eFEM
eFEM
4752
안테나 모듈
안테나 모듈
4753

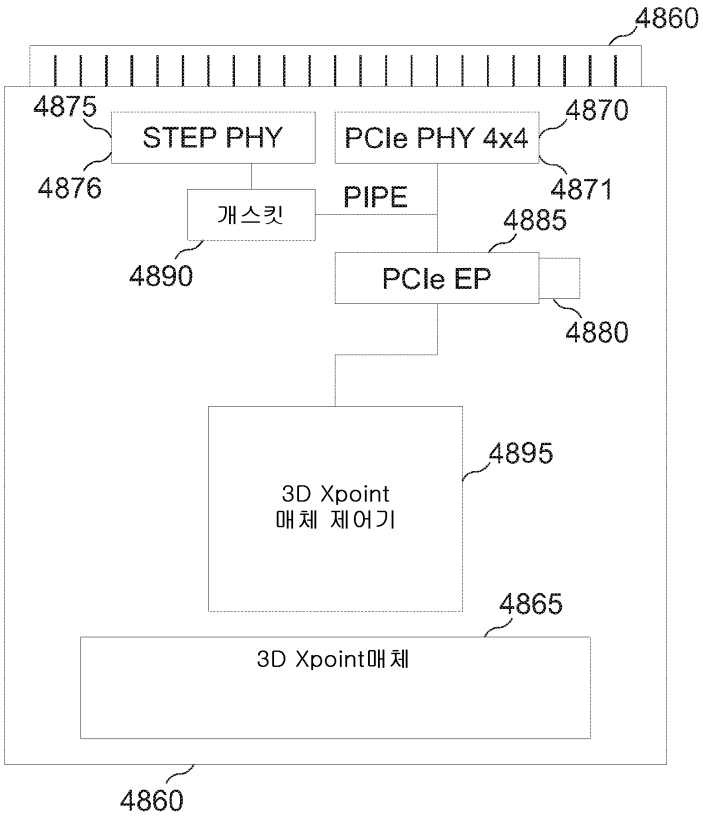
도면47d


4770
4775
STEP
4780
4781
28GHz
39GHz
4782
패시브 전력 결합기/분배기
4788-1
4788-2
4788-3
4789-1
4789-2
4789-3
DPD FDBK
WRI
eFEM
안테나 모듈
4786
4785
4784
4783
4787

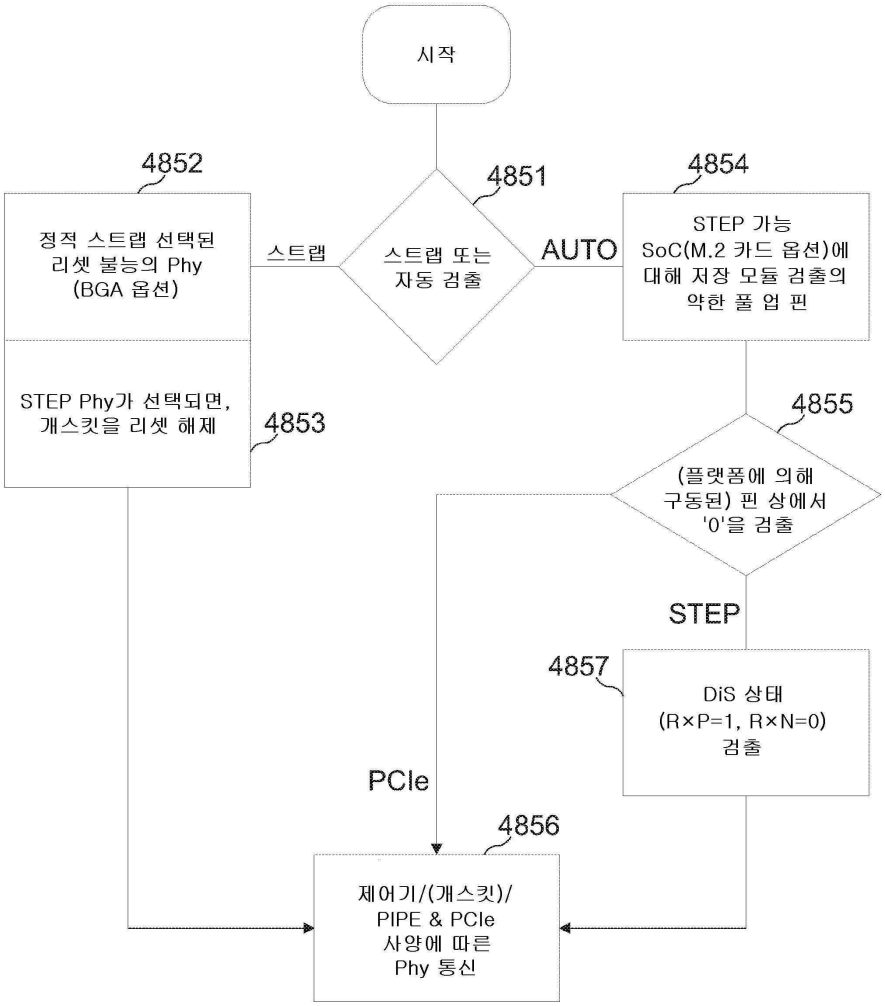
도면48a


DDR DIMM CHN 0
DDR DIMM CHN 1
4806
DDR 제어기 & Phy
캐싱 제어기
메모리 서브시스템
CPU 코어
4805
4804
4815
4835
4816
STEP Phy x4
4830
게스킷
중재기
4803
(STEP 동작을 갖는 PCIe 뮤텍스)
PIPE
PCIe 루트 포트 Gen4x4
4825
VMD
패브릭
4802
CPU 다이
STEP 4x
4811
PCIe PHY 4x4
4810
4820
4840
PCIe4x4
4801
4800

도면48b


4860
4875
STEP PHY
PCIe PHY 4x4
4870
4876
4871
개스킷
PIPE
4885
4890
PCIe EP
4880
3D Xpoint
매체 제어기
4895
4865
3D Xpoint매체
4860

도면48c


시작
4851
스트랩 또는 자동 검출
스트랩
AUTO
4852
정적 스트랩 선택된 리셋 불능의 Phy (BGA 옵션)
4853
STEP Phy가 선택되면, 개스킷을 리셋 해제
4854
STEP 가능 SoC(M.2 카드 옵션)에 대해 저장 모듈 검출의 약한 풀 업 핀
4855
(플랫폼에 의해 구동된) 핀 상에서 '0'을 검출
STEP
4857
DiS 상태 (R×P=1, R×N=0) 검출
PCIe
4856
제어기/(개스킷)/ PIPE & PCIe 사양에 따른 Phy 통신

도면49


카메라
프로세서
4904
통신 칩
4906
통신 칩
4906
DRAM
DRAM
칩셋
증폭기
그래픽
CPU
ROM
터치스크린
제어기
GPS
컴퍼스
마더보드
4902
안테나
스피커
터치스크린 디스플레이
배터리
컴퓨팅 디바이스 4900