



(12) 发明专利

(10) 授权公告号 CN 1381095 B

(45) 授权公告日 2010.06.02

(21) 申请号 99815646.9

(51) Int. Cl.

(22) 申请日 1999.12.06

H03M 13/27(2006.01)

H03M 13/29(2006.01)

(30) 优先权数据

60/111,747 1998.12.10 US

审查员 李倩

(85) PCT申请进入国家阶段日

2001.07.16

(86) PCT申请的申请数据

PCT/IB1999/001937 1999.12.06

(87) PCT申请的公布数据

W000/35101 EN 2000.06.15

(73) 专利权人 诺泰网络有限公司

地址 加拿大魁北克

(72) 发明人 崔健 李斌 童文 汪瑞

(74) 专利代理机构 上海专利商标事务所有限公司

司 31100

代理人 沈昭坤

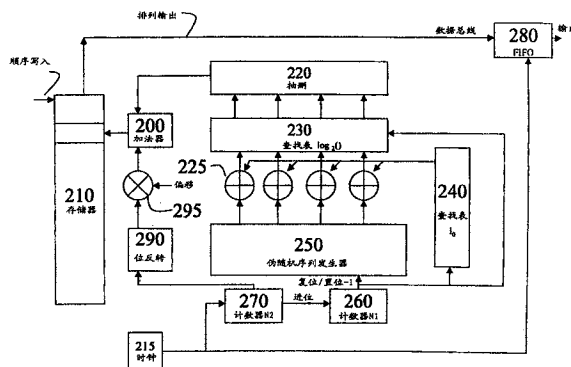
权利要求书 4 页 说明书 5 页 附图 9 页

(54) 发明名称

推荐用于第三代码分多址的 TURBO 码交错器的有效实现

(57) 摘要

本发明涉及用于第三代码分多址 (3GCDMA) 数据的 Turbo 码交错器方法和装置。该装置包括接收并暂存数据的存储器、计数器和耦合至存储器和计数器用于同步的时钟产生器。该装置还包括表, 容纳由计数器选择的地址。在地址大于帧规模时, 耦合到表的抽册装置废弃该地址。缓存器耦合到存储器和时钟。存储器构成为从未废弃的选择地址检索数据并把它送至缓存器, 用于输出。



1. 一种 Turbo 码交错器,其特征在于,它包括:
存储器,以顺序位置接收并暂存数据;
计数器;
电耦联至计数器的表,所述表包含多个地址,根据所述计数器以伪随机序列选择所述地址中的某些地址;
电耦联至所述表的抽删装置,构成为废弃所述选择的多个地址中大于帧规模的某些地址,并且
所述存储器构成为根据未被废弃的所述选择的多个地址中的一些地址,检索所述数据;
缓存器,从所述存储器接收并输出所述数据;
耦联至所述缓存器和所述计数器的时钟发生器,构成为使所述缓存器和计数器同步。
2. 如权利要求 1 所述的 Turbo 码交错器,其特征在于,还包括:
电耦联至所述计数器的位反转器,构成使所述计数器输出的位组反转;
电耦联至所述位反转器的乘法器,构成使所述反转的计数器位组偏移;
电耦联至所述抽删装置和乘法器的组合器,构成为通过组合所述偏移的反转计数器位与所述多个地址中未抽删的一些地址,产生多个其它存储器地址;
所述存储器构成为根据所述多个其它存储器地址检索所述数据。
3. 如权利要求 1 所述的 Turbo 码交错器,其特征在于,所述表包含实时伪随机数产生器,构成为根据预定公式产生伪随机数。
4. 如权利要求 1 所述的 Turbo 码交错器,其特征在于,还包括:
电耦联至所述计数器和所述表之间的数产生器,构成为产生多个表地址;
所述计数器控制所述数产生器;
所述多个表地址用于对所述表寻址。
5. 如权利要求 1 所述的 Turbo 码交错器,其特征在于,所述表包含多个第 2 表。
6. 一种交错方法,其特征在于,它包括下述步骤:
以存储器中顺序位置接收并暂存数据;
在表中存储多个地址;
提供与所述表电耦联的计数器;
根据所述计数器用伪随机序列选择多个所述地址中的某些地址;
用电耦联至所述表的抽删装置废弃所述多个地址中大于帧规模的某些地址;
根据所述存储器中所述多个地址位置的一些未废弃地址检索数据;
用时钟使所述数据检索和所述计数器同步。
7. 如权利要求 6 所述的交错方法,其特征在于,还包括下述步骤:
把从所述计数器接收的二进制位组加以反转;
把所述反转的计数器二进制位组乘以偏移数,所述偏移数是大于零的预定数;
通过把所述经偏移的所述反转的计数器二进制位组与所述多个地址中未抽删的一些地址加以组合,产生多个其它存储器地址;
根据所述多个其它存储器地址,在所述存储器中检索所述数据。
8. 如权利要求 6 所述的交错方法,其特征在于,还包括根据预定公式实时产生所述伪

随机数的步骤。

9. 如权利要求 6 所述的交错方法,其特征在于,还包括下述步骤:

用电耦联至所述计数器与所述表间的产生器产生多个表地址;

用所述计数器控制所述产生器;

用所述多个表地址对所述表寻址。

10. 如权利要求 1 所述的对数据帧元进行交错的 Turbo 码交错器,其中,数据帧由 N 个元构成,N 是大于 1 的正数,其特征在于:

所述存储器,在可寻址位置存储帧元并从可寻址位置检索帧元,而且

所述帧元存放在根据连续序列的第 1 地址序列的位置,并根据第 2 地址序列检索帧;

所述计数器包含:第 1 计数器,对时钟信号顺计数直到 N2 值,N2 是正整数;和

第 2 计数器,对第 1 计数器的进位顺计数直到 N1 值,N1 与 N2 的乘积是至少等于 N 的正整数;

所述表是地址产生器,根据所述第 1 和第 2 计数器产生第 2 地址序列作为伪随机序列;

所述抽删装置,压缩从与大于 N 的第 1 和第 2 计数器乘积值对应的存储器位置检索的数据;

所述缓存器,接收根据所述第 2 地址序列从存储器检索的 N 元,并以所述时钟信号确定的速率传送所述 N 元。

11. 如权利要求 10 所述的 turbo 码交错器,其特征在于,所述地址产生器包括:

位反转器,产生把所述第 1 计数器中的位模式反转的反转 N2 字段;

伪随机数产生器,根据所述第 2 计数器的位模式产生伪随机数;

乘法器,把所述反转 N2 字段与偏移数相乘形成乘法器输出;

加法器,把所述乘法器输出与伪随机数相加,产生第 2 地址序列数。

12. 如权利要求 1 所述的对数据帧元进行交错的 turbo 码交错器,其中,数据帧由 N 个元构成,N 是大于 1 的正数,其特征在于:

所述存储单元,在可寻址位置存储帧元并从可寻址位置检索帧元,而且

所述帧元存放在根据连续序列的第 1 地址序列的位置,并根据第 2 地址序列检索帧;

所述计数器包含:第 1 计数器单元,对时钟信号顺计数直到 N2 值,N2 是正整数;和

第 2 计数器单元,对第 1 计数器的进位顺计数直到 N1 值,N1 与 N2 的乘积是至少等于 N 的正整数;

所述表是地址产生单元,根据所述第 1 和第 2 计数器单元产生第 2 地址序列作为伪随机序列;

所述抽删装置,压缩从与大于 N 的第 1 和第 2 计数器乘积值对应的存储器位置检索的数据;

所述缓存器,接收根据所述第 2 地址序列从存储器单元检索的 N 元,并以所述时钟信号确定的速率传送所述 N 元。

13. 如权利要求 12 所述的装置,其特征在于,所述地址产生器包括:

位反转单元,产生把所述第 1 计数器单元中的位模式反转的反转 N2 字段;

伪随机数产生单元,根据所述第 2 计数器的位模式产生伪随机数;

乘法单元,把所述反转 N2 字段与偏移数相乘形成相乘输出;

加法单元,把所述相乘输出与伪随机数相加,产生第 2 地址序列数。

14. 一种对数据帧元进行交错的方法,其中,帧由 N 个元组成, N 是大于 1 的正整数,其特征在于,包括下述步骤:

在可寻址位置存储帧元并从所述可寻址位置检索该帧元,帧元存放在根据连续序列的第 1 地址序列的位置,并根据第 2 地址序列检索帧元;

产生时钟信号;

在第 1 计数器中计数产生的时钟信号直到 N2 值, N2 是正整数;

在第 2 计数器中计数第 1 计数的进位,直到 N1 值, N1 与 N2 乘积是至少等于 N 的正整数;

根据第 1 和第 2 计数器产生第 2 地址序列作为伪随机序列;

压缩与大于 N 的第 1 和第 2 计数器乘积值相对应的检索元;

根据所述第 2 地址序列缓存检索的 N 个元;

以由所述时钟信号确定的速率传送 N 个元。

15. 如权利要求 14 所述的方法,其特征在于,所述产生第 2 地址序列的步骤包括下述步骤:

产生反转 N 字段,该字段为第 1 计数器中位模式的反转;

根据所述第 2 计数器中的位模式产生伪随机数;

把反转的 N2 字段与偏移数相乘,产生一个乘积;

把所述积与所述伪随机数相加,产生第 2 地址序列数。

16. 一种 Turbo 码交错器,其特征在于,它包括:

存储器,以顺序位置接收并暂存数据;

计数器;

电耦联至计数器的表,所述表包含多个地址,根据所述计数器以伪随机序列选择所述地址中的某些地址;

电耦联至所述表的抽删装置,构成为废弃所述选择的多个地址中大于帧规模的某些地址,

所述存储器构成为根据未被废弃的所述选择的多个地址中的一些地址,检索所述数据;

缓存器,从所述存储器接收并输出所述数据;

耦联至所述缓存器和所述计数器的时钟发生器,构成为使所述缓存器和计数器同步;

电耦联至所述计数器的位反转器,构成使所述计数器输出的位组反转;

电耦联至所述位反转器的乘法器,构成使所述反转的计数器位组偏移;

电耦联至所述抽删装置和乘法器的组合器,构成为通过组合所述偏移的反转计数器位与所述多个地址中未抽删的一些地址,产生多个其它存储器地址;

所述存储器构成为根据所述多个其它存储器地址检索所述数据。

17. 一种交错方法,其特征在于,它包括下述步骤:

以存储器中顺序位置接收并暂存数据;

在表中存储多个地址;

提供与所述表电耦联的计数器;

根据所述计数器用伪随机序列选择多个所述地址中的某些地址；
用电耦联至所述表的抽删装置废弃所述多个地址中大于帧规模的某些地址；
根据所述存储器中所述多个地址位置的一些未废弃地址检索数据；
用时钟使所述数据检索和所述计数器同步；
把从所述计数器接收的二进制位组加以反转；
把所述反转的计数器二进制位组乘以偏移数，所述偏移数是大于零的预定数；
通过把所述经偏移的所述反转的计数器二进制位组与所述多个地址中未抽删的一些地址加以组合，产生多个其它存储器地址；
根据所述多个其它存储器地址，在所述存储器中检索所述数据。

18. 一种交错装置，其特征在于，它包括：

存储单元，用于接收并暂存数据；
用于计数的计数单元；
表存储单元，用于存储多个地址并按照所述计数器以一种序列提供多个所述地址中的一些地址；
抽删单元，电耦联至所述表单元，用于废弃所述选择的多个地址中大于帧规模的一些地址；
存储器读出单元，电耦联至所述抽删单元，用于在所述选择的多个地址中未废弃的一些地址，从所述存储器单元检索数据；
缓存单元，用于输出从所述存储器单元检索的数据；
时钟单元，耦联至所述缓存单元和计数器单元，用于使所述缓存单元和所述计数器单元同步；
位反转单元，电耦联至所述计数器单元，用于反转来自所述计数器单元的二进制位组；
乘法器单元，电耦联至所述位反转单元，用于偏移所述经反转的计数器二进制位组，所述偏移是大于零的预定数；
组合器单元，电耦联至所述抽删单元和乘法器单元，用于通过把所述偏移的反转计数器二进制位组与所述多个地址中未抽删的一些地址加以组合，产生多个其它存储器地址；
所述存储器单元，根据所述多个其它存储器地址检索所述数据。

推荐用于第三代码分多址的 TURBO 码交错器的有效实现

[0001] 相关申请的交叉参照

[0002] 本申请要求 1998 年 12 月 10 日提交的申请号为 60/111747 的美国临时申请的利益。

发明领域

[0003] 本发明涉及电子通信系统领域, 具体而言, 涉及对这些系统的通信数据进行排列的交错器。

背景技术

[0004] 业已发现, 称为编码调制的通信信道编码技术可改善电子通信系统, 例如调制解调器系统和无线通信系统的误码率 (BER)。已经证明 Turbo 编码调制对加性白高斯噪声 (AWGN) 或衰落为特征的“随机差错”信道是实用、功率有效和带宽有效的调制方法。在例如码分多址 (CDMA) 环境中可发现这些随机差错信道。

[0005] Turbo 码的改进是对原接收或发送数据帧进行排列的交错器。通过处理器执行熟知结构的随机化算法完成 Turbo 码的常规排列。

[0006] 从不同存储器位置读取线性阵数据可实现数据顺序交错。“寻址规则”规定排列, 它是交错 / 去交错规则。基于这种存储器的交错器 / 去交错器方案称为间接交错器, 因为不要求关联的去交错器结构。

[0007] 图 1 表示 M 序列寄存器作为随机地址产生器的常规交错器。一帧数据写入存储器 5 的顺序位置。M 序列产生器 1 以线性序列以外的序列, 对至少与该帧同样大小的数据块产生地址。除抽删单元 4 忽略的超出帧规模的地址外, 这些地址用于从存储器 5 读出帧元。以排列次序从存储器 5 读取帧元并缓存在 FIFO2。时钟 3 对 M 序列产生器和 FIFO2 定时。虽然因抽删以不均匀 (突发) 速率从存储器 5 显现帧元, 但 FIFO2 输出速率均匀。

[0008] 这类非均匀交错由于交错算法仅根据伪不规则模式, 其缺陷是难于获得足够的“非均匀性”。进而, 常规交错器在编码器中要求大量存储器。常规交错矩阵还要求延迟补偿, 从而限制了其用于有实时要求的应用。在美国和欧洲的第三代 (3G) CDMA 中将出现 Turbo 码。从而, Turbo 码交错器性能是 3G CDMA 的重要方面。另一重要问题是如何在应用中有效实现交错器。

[0009] 因而, 需要改进非均匀性的交错编码系统和方法。

[0010] 也需要用于 3G CDMA 的交错编码系统和方法。

[0011] 从而, 本发明的目的是提供改进非均匀性的交错编码系统和方法。

[0012] 本发明的另一目的是提供用于 3G CDMA 的交错编码系统和方法。

发明内容

[0013] 根据本发明的技术教导, 通过本发明的用于 3G CDMA 数据的 Turbo 码交错器实现这些和其它目的。本发明的一个实施例包括一种接收并在存储器中暂存数据帧的装置。计

数器连接一个表。该表包含计数器选择的地址。一时钟连接该计数器及输出缓冲器并构成与它们同步。

[0014] 表中的地址可包含超出帧规模的帧元的地址,从而,抽删装置可连接至该表。该抽删装置可构建成废弃超出帧规模的任何元。该实施例还包含一存储器。该存储器可连接至抽删单元和缓冲器。根据抽删装置未废弃的地址从存储器读出数据,并经缓存器输出。

[0015] 本发明的另一实施例是一种 3G CDMA 数据的交错方法。该实施例包含接收和暂存数据。用时钟把数据与计数器同步,确保整个系统定时正确采样。该实施例还包括在至少一个与计数器电连接的表中存储多个地址。该计数器用于选择地址。可以构造成选择某些地址或其全部。该实施例还包括如果选择地址大于帧规模就用与表电连接的抽删装置废弃该地址。该实施例还包括把数据存储在与抽删单元电连接的存储器中的地址位置,该地址位置相应于未废弃的选定地址。

[0016] 本发明的另一实施例是一种用于对 3G CDMA 数据进行交错的装置。该实施例包括接收并暂存数据的存储器,还包括用于计数的计数器模块、输出缓存器模块及与缓存器模块和计数器模块连接用于与其同步的时钟模块。

[0017] 该实施例还包括用于存储地址的表存储模块。还包括与表模块电连接的抽删模块,用于在选定地址超出帧规模时废弃该地址。

[0018] 附图概述

[0019] 参照下述结合附图对示范性实施例所作的详细描述,可更清楚地理解本发明,其中:

[0020] 图 1 是 M 序列产生器作为随机地址产生器基础的常规交错器。

[0021] 图 2 是根据本发明的伽罗瓦域 (Galois Field) 型交错器的示意图。

[0022] 图 2A 是图 2 所示交错器的变形。

[0023] 图 3 是图 2 的伽罗瓦域型交错器另一实施例的示意图。

[0024] 图 4 和图 4A 表示交错器变形。

[0025] 图 4B 根据本发明的代数型交错器的示意图。

[0026] 图 5 是对图 4 所示的代数交错器输出去交错的直接代数去交错器的示意图。

[0027] 图 6 是根据本发明的间接代数型交错器的示意图。

[0028] 发明的详细描述

[0029] 本发明提供推荐用于第 3 代码分多址 (3G CDMA) 标准的 Turbo 编码交错器的有效实现。

[0030] 伽罗瓦域随机交错器

[0031] 图 2 说明本发明的一个实施例。该实施例是一种用于伽罗瓦域交错器的有效实现。通过使工作存储器 210 的索引伪随机化排列数据。从工作存储器 210 以排列方式读取数据后,数据输出至 FIFO 缓存器 280。

[0032] 工作存储器 210 的索引可包含两部分:行和列。通过把伪随机数与排列数相组合产生列和行。在一个实施例中,列是排列数,而行是伪随机数。但是,本领域技术人员认识到,这仅是一种设计选择,可以相反设置。此外,行和列可称为最高有效位 (MSB) 或最低有效位 (LSB)。

[0033] 时钟 215 触发两级计数器 270、260。计数器启动产生行和列分量用于对工作存储

器 210 寻址。例如,帧规模为 384 时,可限定 $N_1 = 24$, $N_2 = 16$, N_1 、 N_2 分别表示行数与列数。这样, $384 = 24 \times 16$ 。参数 N_1 和 N_2 规定计数器可计数的值,可由软件或硬件改变。第 1 级计数器 270 即 N_2 计数至 N_2 ,然后发送进位位至第 2 级计数器 260 (N_1 或列计数器)。 N_2 正在计数,因而产生行元。该行元进一步通过用位反转器 290 进行位反转而导出。这样,对特定的行地址,可使用相应的位反转地址。下述是位反转的一个例子:

[0034]	输入数据	输出数据
[0035]	000	000
[0036]	001	100
[0037]	010	010
[0038]	011	110
[0039]	100	001
[0040]	101	101
[0041]	110	011
[0042]	111	111

[0043] 存储器索引的行部可由乘法器 295 与偏移量相乘。实施例中产生的任何变量可用作偏移量,也可使用常数。本实施例使用 N_1 值作为偏移量。本领域技术人员理解,可用基于随机或非随机数序列的索引表或实时数产生器代替位反转器 290,而仍在本发明范围中。反之,也可删去位反转器。

[0044] 存储器索引的行部加至其列部得到存储器索引。例如,乘法器 295 的输出是 1010 且抽删机构 220 的输出是 0110 (下文说明),则地址 LSB 部分中加法器 200 输出是 1010,在地址 MSB 部分中加法器输出是 0110。存储器索引是 LSB 和 MSB 的组合。分别用 0000ffffH (即 LSB 屏蔽) 和 ffff0000H (即 MSB 屏蔽) 屏蔽 LSB 和 MSB 并组合屏蔽结果可完成存储器索引。例如:

$$[0045] \quad 1010_2 \& (0000ffffH) + 0110_2 \& (ffff0000H) = 011010102$$

[0046] 用伪随机序列产生器 250 (即 M 序列发生器, Gold、Hadamard、Walsh 序列发生器等) 组合查找表 240 的内容,可产生列索引。序列产生器 250 和第 1 查找表 240 均由两级计数器 270、260 控制。伪随机序列产生器 250 的伪随机数由组合器 225 与查找表 240 的值组合。该组合用作表 230 的索引,此索引又使该表输出排列的列索引。例如,若列索引定义如下:

$$[0047] \quad j = \log(\alpha^{i_0} + \alpha^j)$$

[0048] 式中, j 是列索引, i_0 如下例那样逐行变化。

$$[0049] \quad \begin{array}{cc} i & i_0 \\ [0050] & 0 & 0 \\ [0051] & 1 & 2 \\ [0052] & 2 & 5 \\ [0053] & 3 & 5 \end{array}$$

[0054] j 可重述如下:

$$[0055] \quad j = \log(\alpha^{i_0} + \alpha^j) = \alpha^x$$

[0056] X 可从伽罗瓦域方程定义的对数表 230 找到。

[0057] 如果列索引位于特定块规模的范围外,则由抽删单元 270 废弃(即抽删)查找表 230 的输出。例如,如果 $N = 8$ (N 是帧规模)且表 220 产生的随机序列是 [5 2 9 4 6 1 7 10 3 8],抽删后,从原序列中去除大于 8 的数,则序列变成 [5 2 4 6 1 7 3 8]。

[0058] 如果列索引在范围内,则其加至行索引并产生排列的存储器索引。该存储器索引又用于对存储器 210 寻址,以检索数据。本领域技术人员理解,可用计算伽罗瓦域伪随机数的实时单元代替表 230、240。

[0059] FIFO 缓存器 280 平滑从存储器 210 检索的数据率,使与时钟率一致。例如,在各时钟周期,随机交错产生器产生例如 [5 2 9 4 6 1 7 10 3 8] (抽删前)的地址。但是,若数据帧规模是 8,则数 9 和 10 被抽删。如果改变计数器的快进符号,则 M 序列重置。这样,一个时钟周期后, M 序列产生器设置为 1,序列重新开始。本领域技术人员理解,可用实时数产生器完成表和伪随机序列,因而整个单元可不用工作存储器构成。从而,接收数据进入系统时,可进行排列并经 FIFO 缓存器 280 实时输出。对下述实施例亦如此。

[0060] 图 2A 显示抽删单元 220 位于加法器 200 以后,而非像图 2 那样位于其以前。这使由 N_2 和 N_1 联合作为任意数 L 即, $L < (N_1 * N_2)$ 而非 $L < N_1$,确定抽删。在图 2A 中, N_2 计数器 270 与 N_1 计数器 260 输入一起输入至查找表 240,从而使得列排列与行无关。

[0061] 图 4 是图 2A 的简化,画出序列产生在序列产生器 255 中固定,该序列产生器可是代表型序列产生器。如图 2A 所示, N_2 计数器 270 提供某些查找表 240 的控制。

[0062] 图 4A 显示块 290 可起位反转器或随机序列产生器的功能。如图所示,从块 290 向块 240 提供查找表 240 的附加输入。

[0063] 图 3 表示伽罗瓦域交错器的另一实施例。该实施例通过去除查找表 230 进行简化。该实施例工作对存储器要求较低。

[0064] 代数交错器

[0065] 图 4B 说明本发明另一实施例。该实施例是代数交错器的有效实现。代数交错器可包含表,该表可由实时伪随机产生器代替。此外,该实施例还可包含抽删单元(这里称为解码器)470、放大器 400 和加法器 420。这些单元与上述相同单元执行同样功能。这种代数交错器是参数化的,因而通过使用少量参数可以任意规模重构。由此,减少对存储器的要求,具有重大优点。

[0066] 交错器包含两个查找表 460、430 和两级计数器 450、440。两个查找表的输出加以组合,表由两级计数器 440、450 索引。查找表 460(即 N_2)可由 N_2 计数器索引,而查找表 430 可由计数器 N_1 产生的每个计数索引。FIFO 缓冲器 480 深度减至最小,解码器 470 抽删最后 M 尾位,从而在帧规模内产生工作存储器地址。此外,同样计数器 440、450 可对线性阵写入寻址重复使用。

[0067] 代数交错器是逐行、逐列排列块的交错器,因而可构成用于代数交错器的直接去交错器。图 5 表示直接代数去交错器,示于图 4 的代数交错器向该去交错器输出。 N_1 和 N_2 的相应倒置表分别表示为 $/N_1$ 和 $/N_2$ 。直接去交错器还可不需工作存储器而在线(即实时)产生去交错地址。

[0068] 代数间接交错器

[0069] 本发明另一实施例是示于图 6 的间接代数交错器。间接代数交错器使用线性块寻址单元 620 组合伪随机地从工作存储器 610 向缓存器 (FIFO) 660 读取所必需的索引部分

(即行和列或 MSB 和 LSB)。各块的指针是查找表 N1 630 和两级计数器 640、650 的输出。通过对位于时钟寻址单元 620(未图示)内的表编索引或把计数器 640 输出与查找表 630 输出加以组合,块寻址单元 620 用作地址产生器。N2 计数器 640 直接选择偏移地址,而查找表 (N1)630 由 N1 计数器 650 控制。FIFO 缓存器 660 深度减至最小,解译器 660 删除任何大于帧规模的地址。本实施例与代数交错器(示于图 4)的不同点在于,仅用一个查找表产生伪随机地址。

[0070] 本领域技术人员理解,可把伪随机数用于标引 FIFO 缓存器,代替选择伪随机数标引工作存储器(用于转移 FIFO 缓存器所存数据)。从 FIFO 缓存器选择的输入数据可顺序写至工作存储器。因此,数据可顺序存入工作存储器(相对于伪随机存入),而对 FIFO 伪随机寻址。为使用工作存储器中的数据,可用顺序计数器或其它线性寻址模块标引工作存储器。

[0071] 应理解,不脱离本发明的范围,可改进上述构成及上述工作顺序。从而上述说明或附图中所示的所有内容应理解为说明而非限定含义。

[0072] 还应理解,下述权利要求试图覆盖上述发明的全部一般和特定特点,本发明范围的所有叙述认为落在权利要求范围中。

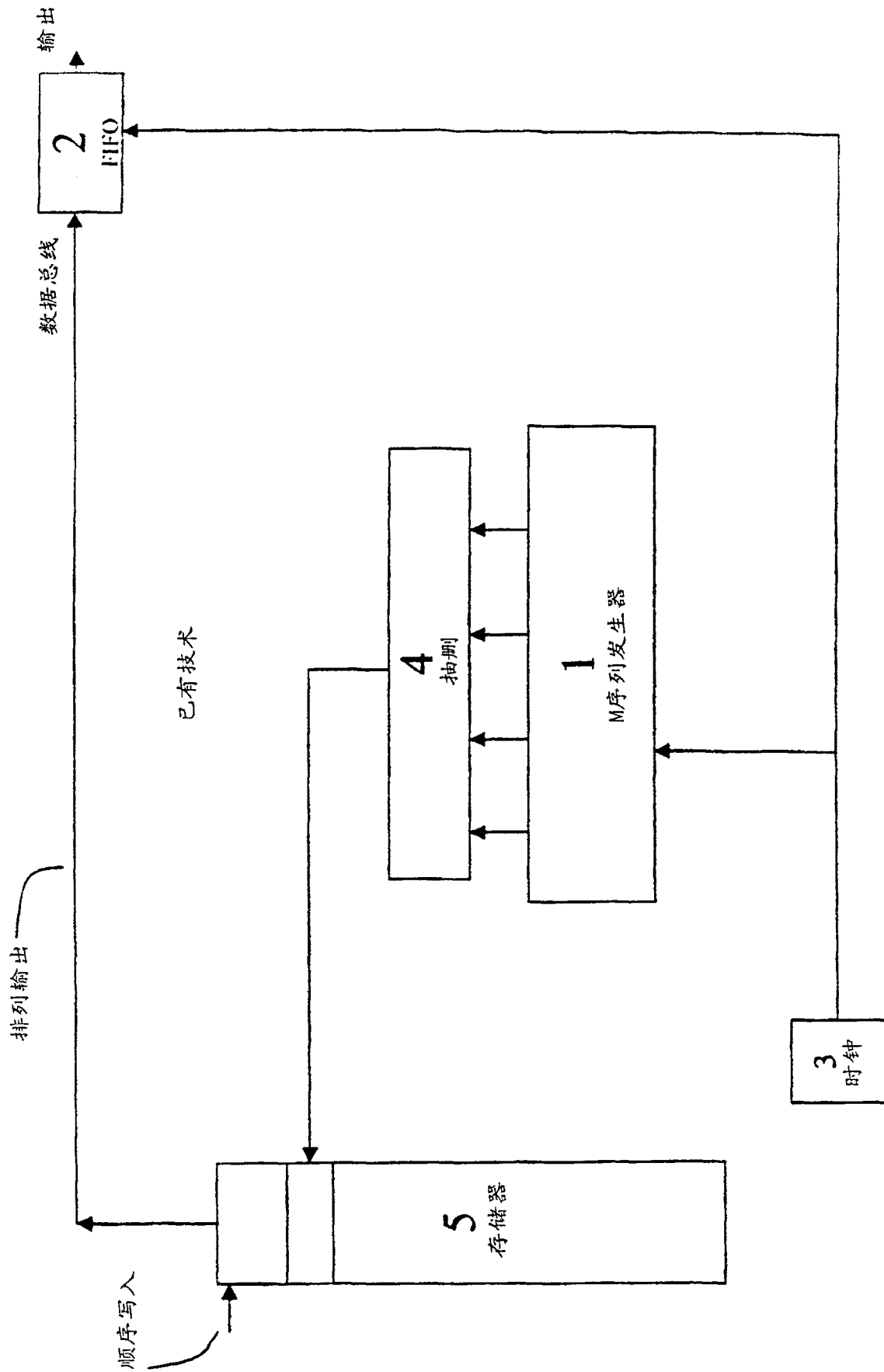


图 1

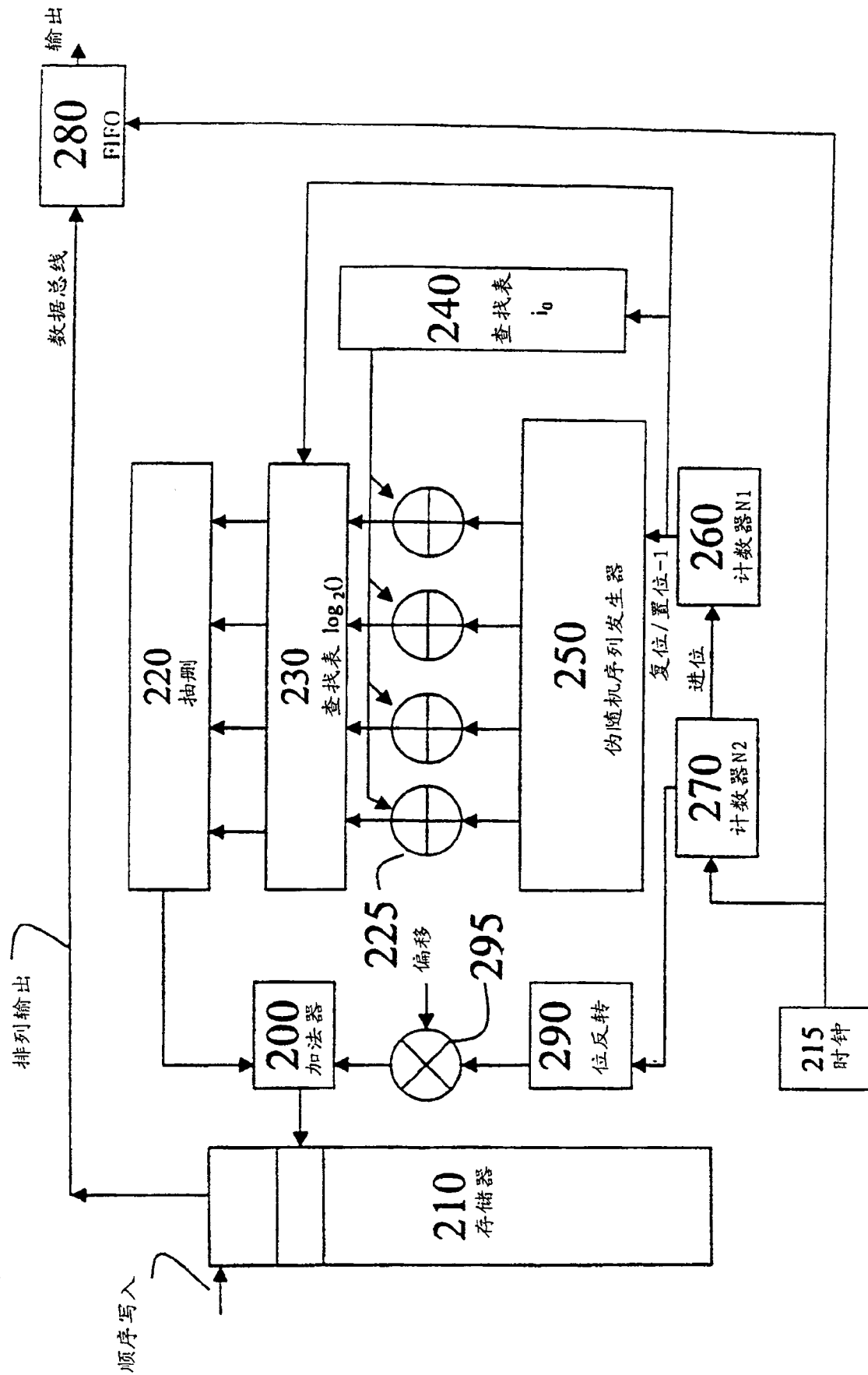


图 2

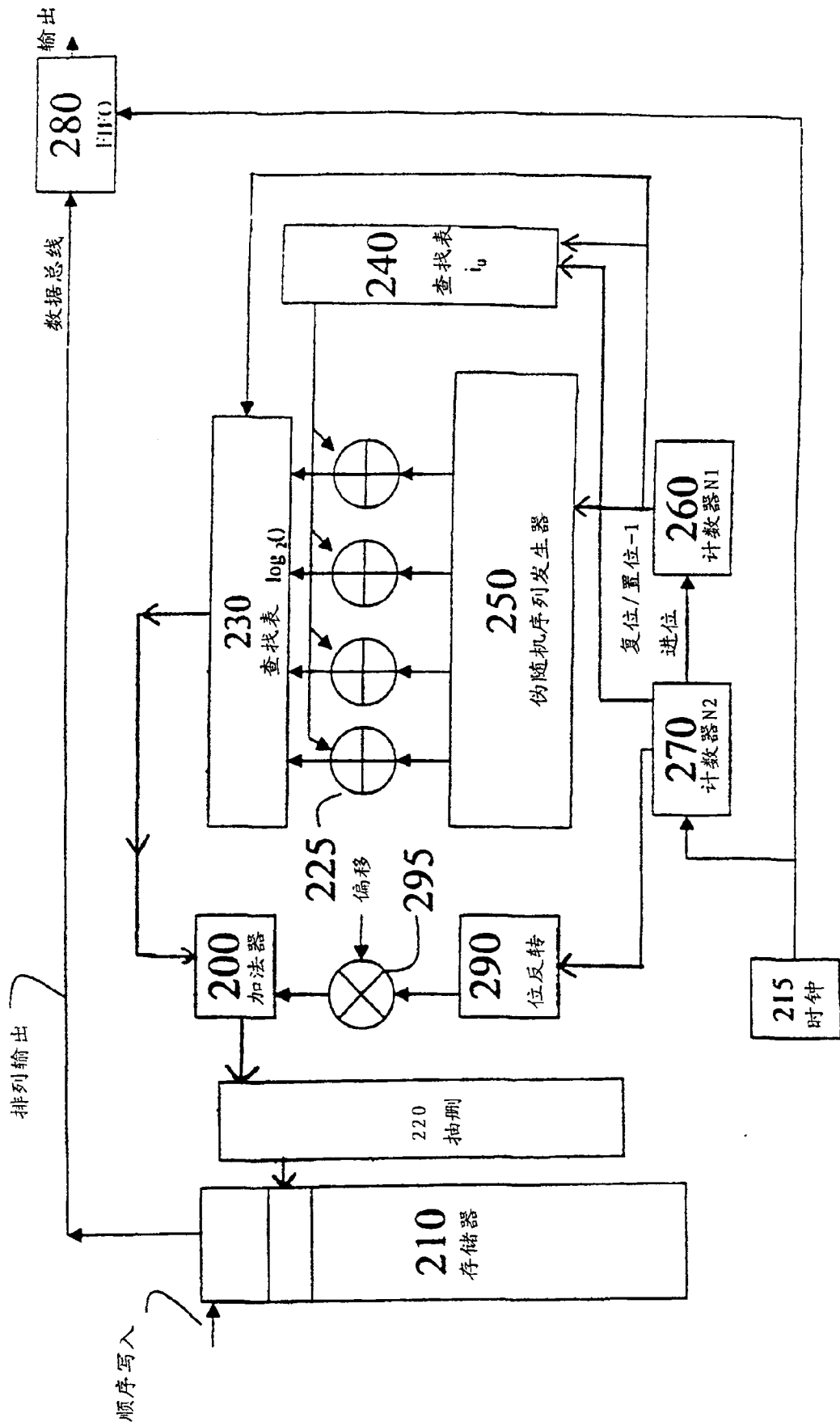


图 2A

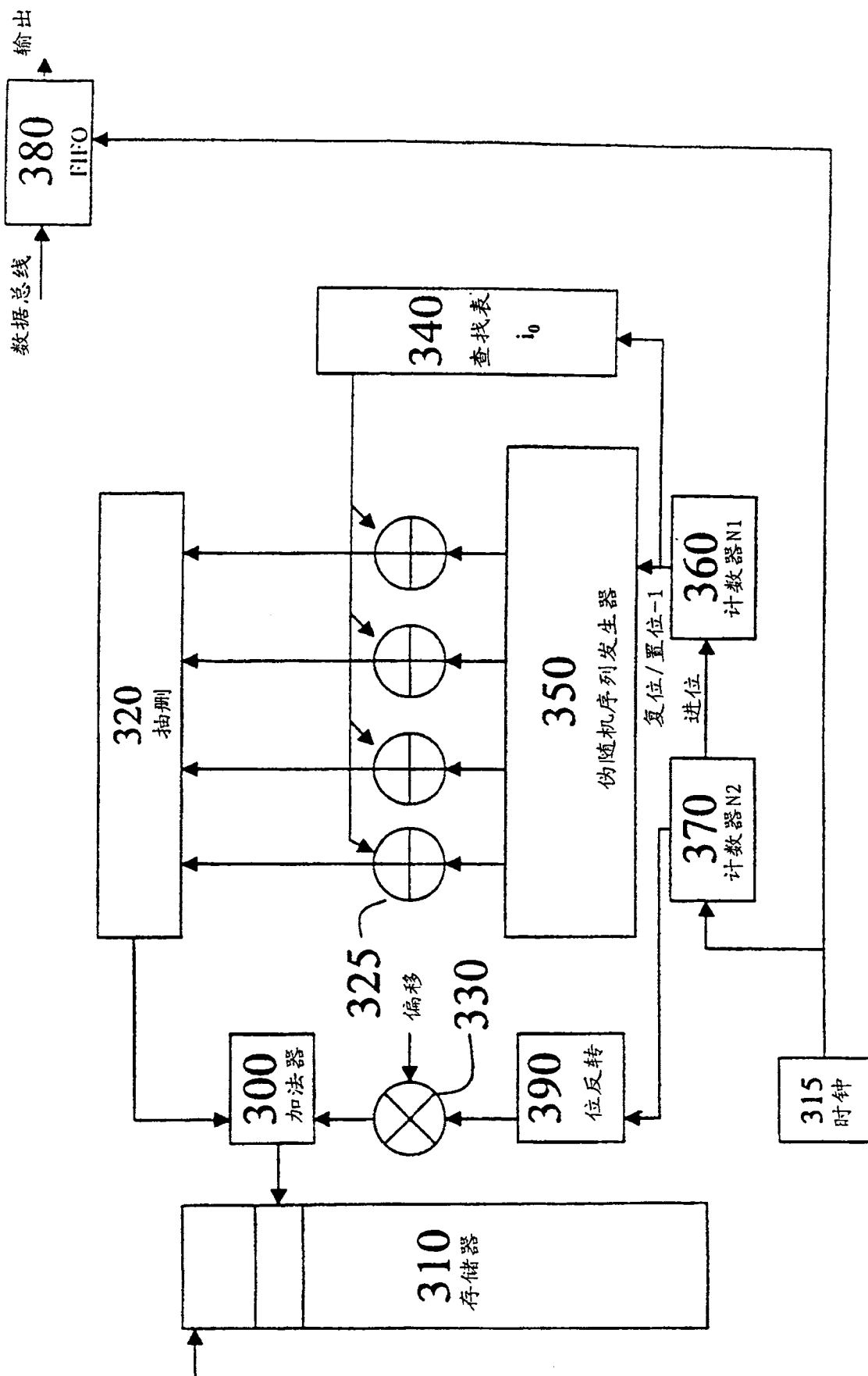


图 3

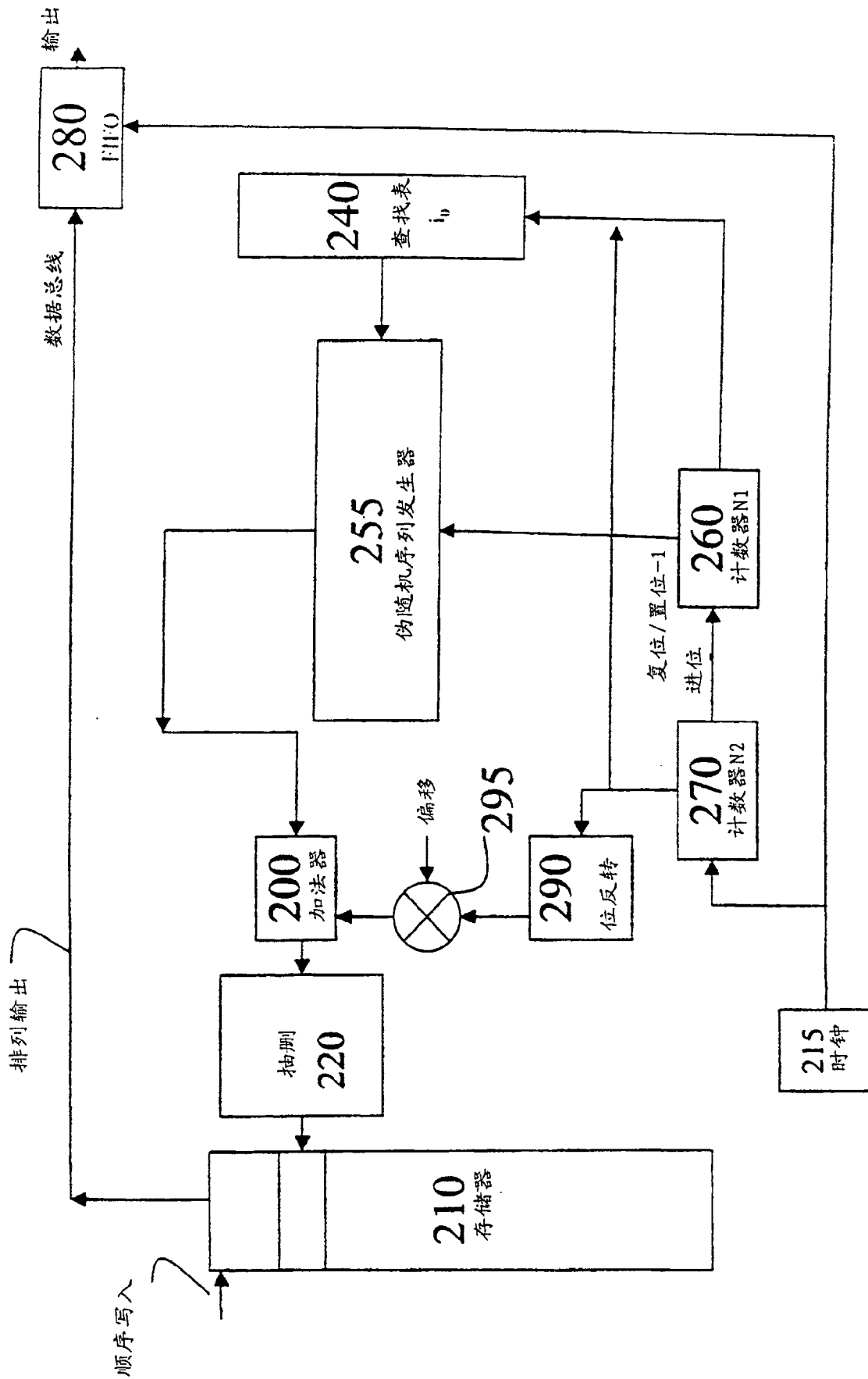


图 4

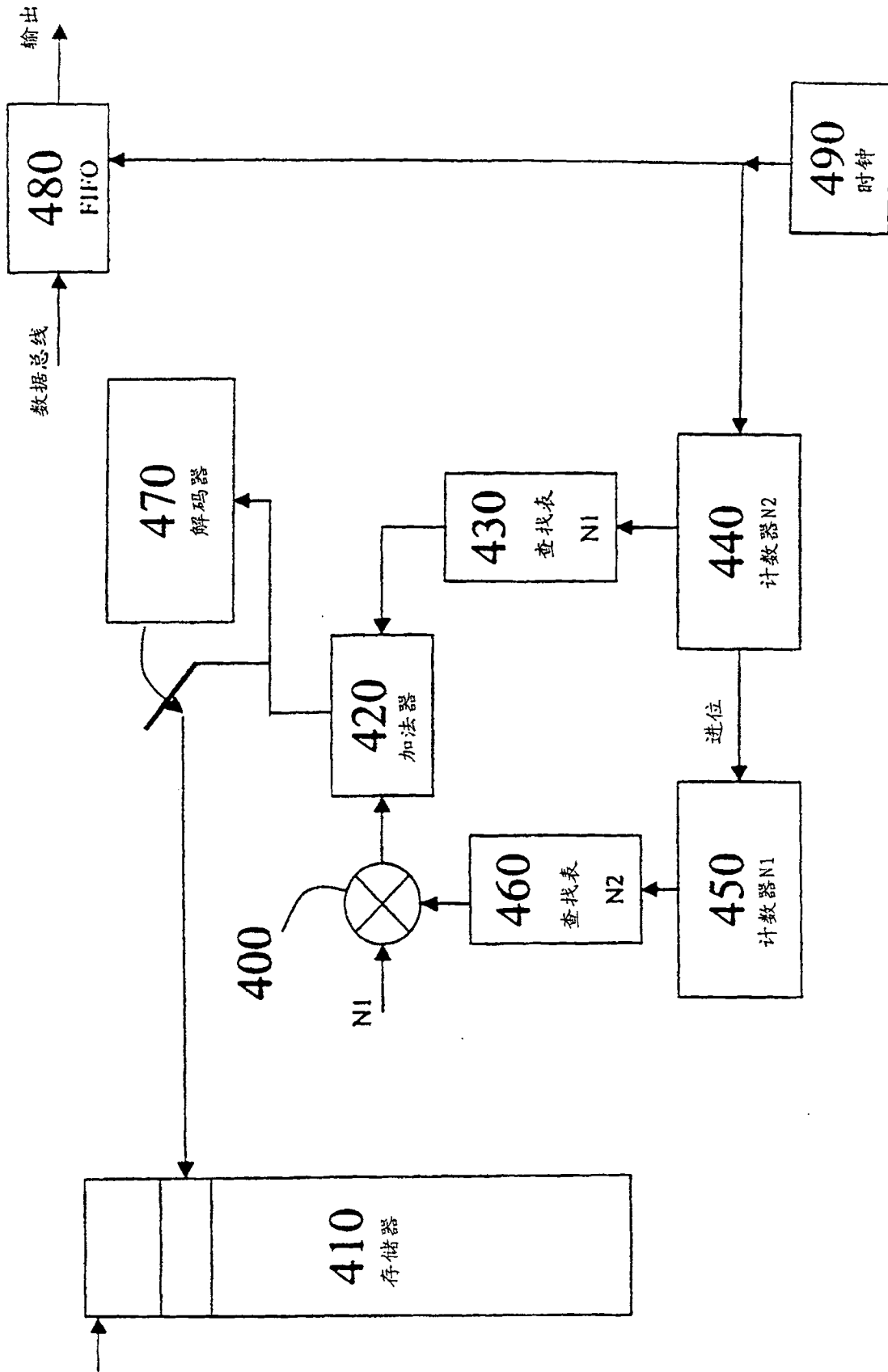


图 4B

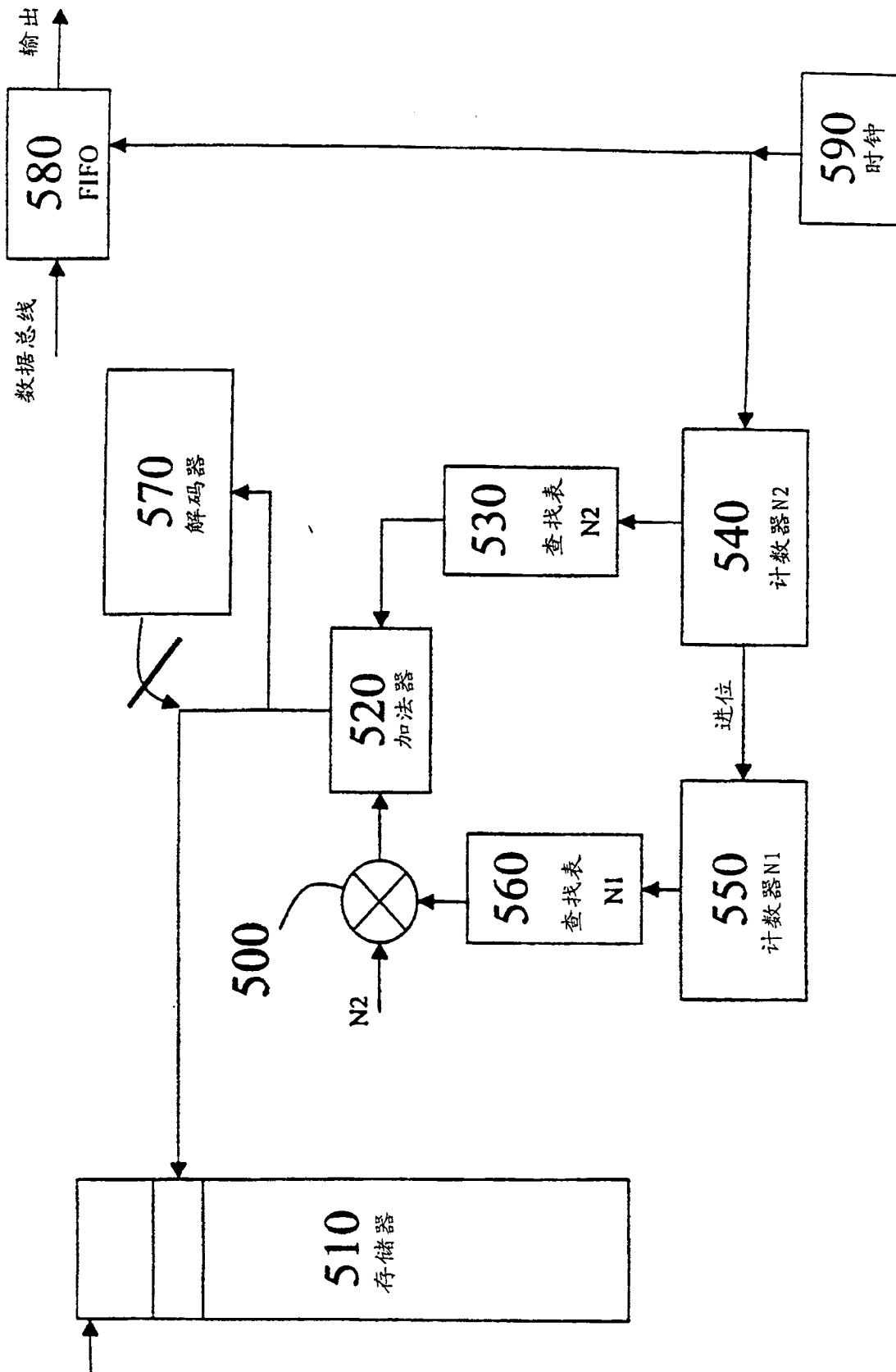


图 5

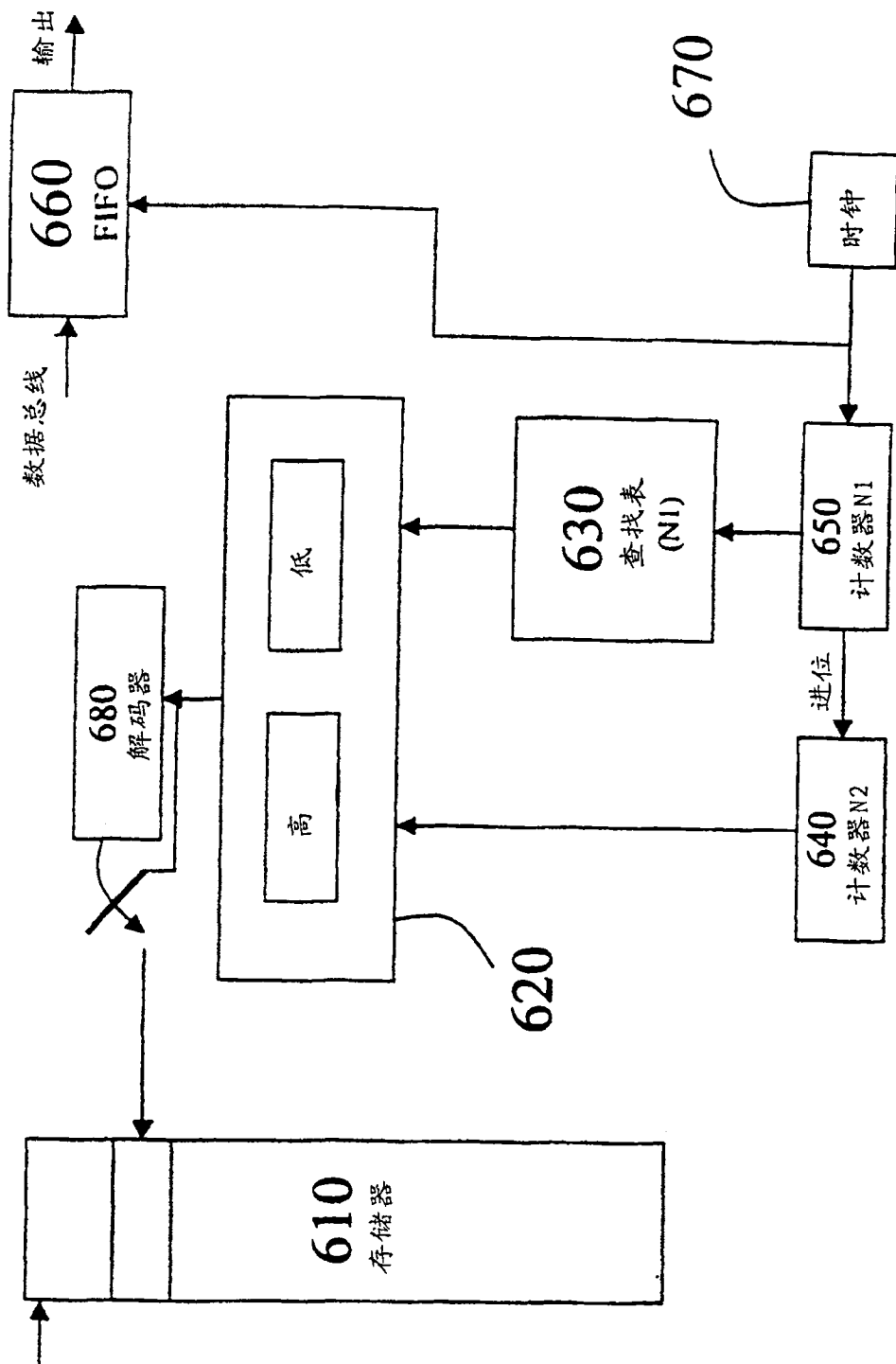


图 6