



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I576999 B

(45)公告日：中華民國 106 (2017) 年 04 月 01 日

(21)申請案號：099116965

(22)申請日：中華民國 99 (2010) 年 05 月 27 日

(51)Int. Cl. : H01L27/12 (2006.01)

H01L21/84 (2006.01)

(30)優先權：2009/05/28 美國

61/181,953

(71)申請人：薄膜電子 A S A 公司 (挪威) THIN FILM ELECTRONICS ASA (NO)
挪威(72)發明人：卡麥斯 亞玟 KAMATH, ARVIND (IN)；寇西斯 麥可 KOCSIS, MICHAEL
(US)；麥卡斯 凱文 MCCARTHY, KEVIN (US)；汪 葛洛利亞 WONG, GLORIA
(CA)

(74)代理人：陳傳岳；郭雨嵐

(56)參考文獻：

TW 200304695

TW 200805670

TW 4655017

TW 4777079

審查人員：羅文雄

申請專利範圍項數：33 項 圖式數：5 共 45 頁

(54)名稱

包含覆有擴散阻障層的基板之電性元件及其製作方法

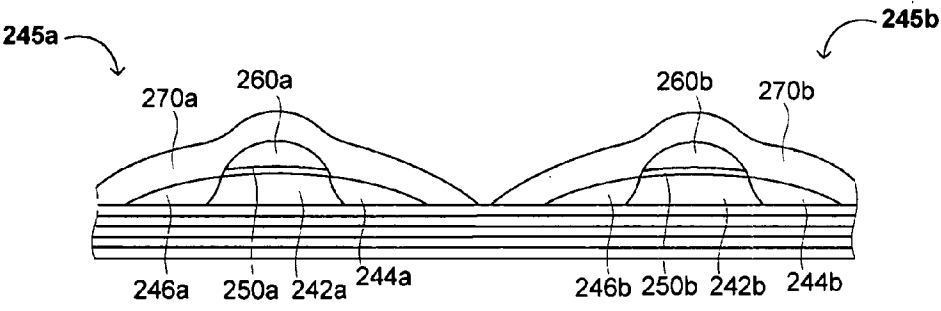
ELECTRICAL DEVICES INCLUDING DIFFUSION BARRIER COATED SUBSTRATES AND
METHODS OF MAKING THE SAME

(57)摘要

本發明揭露位於覆有擴散阻障層的基板上之半導體元件及其製作方法。該半導體元件包含一金屬基板、一位於該金屬基板上的擴散阻障層、一位於該擴散阻障層上的絕緣層以及一位於該絕緣層上的半導體層。該方法包含在該金屬基板上形成一擴散阻障層、在該擴散阻障層上形成一絕緣層以及在該絕緣層上形成一半導體層。這類覆有擴散阻障層的金屬基板可避免其金屬原子擴散進入形成於其上的半導體元件中。

Semiconductor devices on a diffusion barrier coated metal substrates, and methods of making the same are disclosed. The semiconductor devices include a metal substrate, a diffusion barrier layer on the metal substrate, an insulator layer on the diffusion barrier layer, and a semiconductor layer on the insulator layer. The method includes forming a diffusion barrier layer on the metal substrate, forming an insulator layer on the diffusion barrier layer; and forming a semiconductor layer on the insulator layer. Such diffusion barrier coated substrates prevent diffusion of metal atoms from the metal substrate into a semiconductor device formed thereon.

指定代表圖：



第二E圖

- 符號簡單說明：
- 242a-b . . . 通道區域
 - 244a-b . . . 源極區域
 - 245a-b . . . 薄膜電晶體(TFT)
 - 246a-b . . . 汲極區域
 - 250a-b . . . 閘極絕緣層
 - 260a-b . . . 閘極金屬層(閘電極)
 - 270a-b . . . 介電層



發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99116965

※申請日：99.5.27

※IPC 分類：

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)

一、發明名稱：(中文/英文)

包含覆有擴散阻障層的基板之電性元件及其製作方法 /
Electrical Devices Including Diffusion Barrier Coated
Substrates and Methods of Making the Same

二、中文發明摘要：

本發明揭露位於覆有擴散阻障層的基板上之半導體元件及其製作方法。該半導體元件包含一金屬基板、一位於該金屬基板上的擴散阻障層、一位於該擴散阻障層上的絕緣層以及一位於該絕緣層上的半導體層。該方法包含在該金屬基板上形成一擴散阻障層、在該擴散阻障層上形成一絕緣層以及在該絕緣層上形成一半導體層。這類覆有擴散阻障層的金屬基板可避免其金屬原子擴散進入形成於其上的半導體元件中。

三、英文發明摘要：

Semiconductor devices on a diffusion barrier coated metal substrates, and methods of making the same are disclosed. The semiconductor devices include a metal substrate, a diffusion barrier layer on the metal substrate, an insulator layer on the diffusion barrier layer, and a semiconductor layer on the insulator layer. The method

includes forming a diffusion barrier layer on the metal substrate, forming an insulator layer on the diffusion barrier layer; and forming a semiconductor layer on the insulator layer. Such diffusion barrier coated substrates prevent diffusion of metal atoms from the metal substrate into a semiconductor device formed thereon.

四、指定代表圖：

(一)本案指定代表圖為：第（ 二 E ）圖。

(二)本代表圖之元件符號簡單說明：

242a-b 通道區域

244a-b 源極區域

245a-b 薄膜電晶體(TFT)

246a-b 汲極區域

250a-b 閘極絕緣層

260a-b 閘極金屬層(閘電極)

270a-b 介電層

五、本案若有數學式時，請揭示最能顯示發明特徵的數學式：

六、發明說明：

【發明所屬之技術領域】

本發明與半導體元件的領域有關。更具體來說，本發明之實施例係有關位於塗覆有擴散阻障層的金屬基板上之半導體元件及其製作方法。

【先前技術】

在製造半導體元件時使用金屬箔基板(如不銹鋼、鋁、銅等)可製造出具可撓性的半導體產品。此外，使用金屬箔基板亦能讓形成於其上的電子元件層、特徵與/或元件在高溫製程下，不會造成該金屬箔基板的性質顯著劣化。然而，在較高的溫度環境下，金屬箔基板之組成成份(以不銹鋼基板為例，其組成成份為鐵與/或鉻、鎳、鉬、鈦等合金元素之原子)會具有較高的擴散率，足以使其從該金屬箔基板擴散進入一或多個形成於其上的電子元件層(如半導體層或介電層)、特徵與/或元件中，因而影響其電氣性質。

第一圖顯示一例示半導體元件—薄膜電晶體(TFT)5。圖中金屬箔基板 10 與半導體本體 30 間設置有一絕緣層 20。半導體本體 30 中有源極/汲極區域 60 與 70 形成，且其上有一由閘極介電區域 40 與閘電極 50 構成的閘極層疊結構形成。於退火步驟期間，基板 10 上的 TFT 5 可能被加熱至足以活化該源極/汲極區域 60 與 70 中的摻雜物與/或使該半導體本體 30 至少局部結晶化之溫度。這樣的高溫(如大於 350°C，特別是大於 600°C)可能會使該金屬箔基板 10 中金屬原子的活動性增加到足以使其擴散長度相當於絕緣層之

厚度。如箭頭 80 所示，金屬原子從金屬箔基板 10 中擴散穿過絕緣層 20 而進入 TFT 5 的主動區域(如半導體本體 30 的通道區域與/或源極/汲極區域 60 與 70)與/或閘極介電區域 40，此擴散現象會使 TFT 5 的運作特性(如 TFT 30 的臨界電壓、次臨界斜率、漏電流與/或開啟電流)劣化。因此，最好能在金屬基板 10 與形成於其上的半導體層 30(或其他元件層)之間設置一擴散阻障層，以避免金屬原子從基板 10 擴散穿過絕緣層 20 進入 TFT 5 的主動區域與/或其上方的閘極介電區域 40。在理想的狀況下，金屬基板 10 與其上方其他元件(如電容、二極體、電感、電阻等)的任何元件層之間最好亦能設置一擴散阻障層，該元件層中若有金屬原子滲入將導致其性質產生不期望的改變。

【發明內容】

在一態樣中，本發明係關於一種位於塗覆有擴散阻障層的金屬基板上之電子元件，該電子元件包含：一金屬基板；一或多個位於該金屬基板上的擴散阻障層；一或多個位於該擴散阻障層上的絕緣層；以及一位於該絕緣層上的半導體層或其他元件層。

在另一態樣中，本發明係關於一種在金屬基板上製作電子元件之方法，其步驟包含：在該金屬基板上形成一或多個擴散阻障層；在該擴散阻障層上形成一或多個絕緣層；以及在該絕緣層上形成一半導體層或其他元件層。

本發明有助於提供位於塗覆有擴散阻障層的金屬基板上之電子元件及其製作方法。該擴散阻障層可避免金屬原

子從金屬基板擴散進入形成於其上的電子元件中。透過下文中的詳細說明，閱者將更了解本發明上述與其他優點。

【實施方式】

以下將參考隨附圖式詳述本發明各個實施例。儘管本發明將結合下列實施例來進行說明，閱者應瞭解這類描述並非用以限制或限縮本發明。相反地，本發明欲涵蓋落入後附申請專利範圍所定義之本發明精神與範疇內的其他選擇、修改及均等物。再者，下文中提出的許多特定細節係為使閱者對本發明有通盤的瞭解。然而，熟習此技藝之人當可清楚了解，本發明可在不具備這類特定細節的情況下施行。在其他實例中，將不會詳述熟知的方法、程序、組成元件及電路，以避免對本發明之態樣在理解上造成不必要的障礙。

在一態樣中，本發明係關於一種位於塗覆有擴散阻障層的金屬基板上之電子元件，該電子元件包含：一金屬基板；至少一位於該金屬基板上的擴散阻障層；至少一位於該擴散阻障層上的絕緣層；以及至少一位於該絕緣層上的元件層(如半導體層)。在另一態樣中，本發明係關於一種製作位於塗覆有擴散阻障層的金屬基板上的電子元件之方法，該方法包含：在該金屬基板上形成至少一擴散阻障層；在該擴散阻障層上形成至少一絕緣層；以及在該絕緣層上形成至少一層元件層(如半導體層)。

以下將以位於塗覆有擴散阻障層的金屬基板上之電子元件之例示製作方法詳細說明本發明的各種不同態樣。

位於塗覆有阻障層的金屬基板上之例示元件

請參照第二 A 圖，金屬基板 210 可包含不銹鋼(任何等級，如 304 型、316 型等)或任何其他軟化溫度高到足以耐受與製造電子元件相關的一般製程溫度(如高於 350°C，或任何高於 350°C 但低於基板軟化溫度之數值)的合適元素金屬或合金的厚板、箔片或薄板等。在一實施例中，該金屬為 304 型不銹鋼，不過本發明亦可以使用任何類型的不銹鋼合金。或者，金屬基板 210 可包含如鋁、銅、鈦或鉬等材料之厚板、箔片或薄板。金屬基板 210 的厚度可介於約 10 μm ~1000 μm 之間(如 10 μm ~500 μm 、50 μm ~200 μm ，或介於其間的任何其他數值或數值範圍)。金屬基板 210 基本上可為任何形狀，諸如方形、圓形、橢圓形、長方形等。或者，金屬基板 210 之形狀可為預設不規則形與/或具有預設圖樣。在一些實施例中，金屬基板 210 可為方形或長方形，或是長 x 寬 y 的方形或長方形單元之薄板，或是寬為 x 個單位的捲材，其中每一單元皆代表了一個別、可分離的基板，用於單一的積體電路中(如顯示裝置，太陽能電池、辨識標籤等)。

在沉積擴散阻障層 220 前一般會先清洗金屬基板 210。這類清洗動作可清除諸如處理備料(用於準備金屬基板 210)所產生的殘留物、不利於擴散阻障層 220 黏附在金屬基板 210 表面的殘留有機材料、粒子與/或其他污染物等。金屬基板 210 之清洗可包含濕洗與/或乾洗。在一例中，清洗動作包含蝕刻金屬基板 210 的表面，接著依照需要可潤洗(rinsing)該基板 210 與/或予以乾燥。

適合本發明的蝕刻技術可包含濕蝕刻製程(如濕式化學蝕刻)，或是乾蝕刻(如反應性離子蝕刻[RIE]或濺鍍蝕刻)。在一實施例中，金屬基板 210 是藉由將之浸入液態清洗劑中與/或以該清洗劑潤洗之方式來清洗(如清除有機殘留物)，接著再使用稀釋後的含水酸劑來進行濕蝕刻(如稀釋後的氫氟酸[HF]水溶液，其中可加入氨水與/或氟化銨予以緩衝)。其他可用來進行基板 210 濕蝕刻製程的酸劑包含硝酸、硫酸、鹽酸等，端視所用不銹鋼或其他金屬的等級及該處理金屬基板 210 之溫度而定。在另一實施例中，金屬基板 210 是以濺鍍蝕刻來進行清洗。在乾蝕刻製程中，選擇使用何種氣體來清洗金屬基板 210 並未有特別的限制。任何可從金屬基板 210 表面移除實質上所有不想要的污染物而不留下無法清除的殘留物之氣體或多種氣體之組合皆可用於本發明。舉例言之，氬氣等惰性氣體便可用於金屬基板 210 的濺鍍清洗製程中。

蝕刻之後，可對金屬基板 210 進行潤洗動作(如以去離子水潤洗)，之後依照需要可進一步將基板浸入有機溶劑或溶劑混合物中與/或以該溶劑潤洗，以清除金屬基板 210 表面可能存有的不想要的有機殘留物。或者，這類進階清洗動作可包含將金屬基板 210 浸入水溶液或含有介面活性劑的懸浮液中與/或以該溶液潤洗(接著再以去離子水加以潤洗)。舉例言之，上述進階清洗動作可包含以不會造成鋼材化學性傷害的清洗劑處理金屬基板 210，如 C_6 - C_{12} 烷烴(其可以一或多個鹵素加以取代)、 C_2 - C_{20} 醇酸中的 C_1 - C_6 烷基酯、 C_2 - C_6 二烷基醚、甲氧基- C_4 - C_6 烷烴、 C_2 - C_4 亞烷基乙二

醇與 C_1 - C_4 烷基醚與/或其 C_1 - C_4 烷基酯、 C_6 - C_{10} 芳烴(其可以一或多個 C_1 - C_4 烷基、 C_1 - C_4 烷氧基與/或鹵素取代)及 C_2 - C_6 亞烷基或二烯基醚、硫醚類(包含這類硫醚類的亞碸與碸類衍生物)與酯類(諸如四氫呋喃、二氧雜環己烷、 γ -丙內酯、 δ -丁內酯、及四亞甲基碸)。在一例中，清洗溶劑包含二丙二醇甲醚醋酸酯(dipropylene glycol methyl ether acetate, DPGMEA)與/或四亞甲基碸的混合物(如紐澤西州布蘭斯堡的 AZ 電子材料公司所生產的 KWIK STRIP 清洗劑，其內含 65-70% 的 DPGMEA 與 35-40% 的四亞甲基碸)。

在一些實施例中，金屬基板 210 之清洗動作是在將金屬基板 210 切割或成形為最後的形狀前先在金屬基板 210 由之形成的一備料捲帶或金屬薄板上進行，以簡化其製程與處理。然而，在其他實施例中，金屬基板 210 可在清洗前就先進行切割或成形。

現在請參照第二 B 圖，金屬基板 210 經清洗後，擴散阻障層 220 會在其上形成。擴散阻障層 220 的厚度最好大於(如來自金屬基板 210 的)擴散物質在特定時間與溫度下的總擴散長度。舉例言之，總擴散長度可以(1)擴散物質(在特定/預設製程溫度下)穿過擴散阻障層及任何其他位在內含擴散物質的薄層與欲保護的薄層(如疊加在上方的元件層)之間的薄層之擴散率與(2)結構暴露在特定/預設製程溫度下的時間長度的乘積來度量。在不同的實施例中，擴散阻障層 220 的厚度是比每種相關擴散物質的擴散長度大上至少 5%、10% 或更多。如此，即便在較低的製程溫度下，擴散阻障層 220 的設計可在所費成本最低與/或對整體製程造

成的衝擊最小的情況下為擴散物質造成的負面影響提供適當的防護。擴散阻障層其中一特定功能是要使擴散物質(如來自基板的金屬原子)之擴散率下降量(一般為一或多個數量級)大於擴散阻障層上任何元件層中擴散物質之擴散率下降量。擴散阻障層 220 可包含如鎢鈮合金或鎢鈦合金等鎢或鈦合金，或氮化鈦、氮化鋁或鈦鋁氮化物等鈦或鋁化合物。或者，擴散阻障層 220 可包含一絕緣阻障層，如氧化矽、氮化矽、氮氧化矽(即 $\text{Si}_x\text{O}_y\text{N}_z$ ，其中 $x = 2y + [4z/3]$)、氧化鋁、氧化鈦、氧化鍺(GeO_2)、氧化鉛、氧化鋇、氧化鈾與/或其他稀土氧化物，包含該等材料之組合與奈米疊層。

含有氮化鈦與/或氮化鋁的化合物提供成本較低且可用許多不同方法沉積的阻障層。在特定實施例中，擴散阻障層 220 包含分子式為 Ti_xN_y 的鈦化合物，其中 x 和 y 的比例約介於 3:4 到 3:2 之間。在一例中， x 與 y 皆約等於 1。在其他實施例中，擴散阻障層 220 包含分子式為 $\text{Ti}_a\text{Al}_b\text{N}_c$ 的鈦鋁氮化物，其中 $(a+b)$ 和 c 的比例約介於 3:4 到 3:2 之間。一般而言， a 和 b 的比例約介於 1:10 至 10:1 之間(或介於其間的任何範圍)。在一例中， $a + b \approx c$ 而 $c = 1$ 。適合用在擴散阻障層 220 的化合物之判定標準一般包含(i)對來自金屬基板 210 的組成成分之擴散具有高度抗性；(ii)熱穩定性達其上形成之元件與/或結構之最大製程溫度(如高於約 350°C ，或任何高於 350°C 的值，但依照需要亦可低於金屬基板的軟化溫度)；(iii)黏著特性，使擴散阻障層 220 黏附在金屬基板 210 上，而絕緣層 230 黏附在擴散阻障層 220 上；(iv)充分的光學性質(如光學常數與/或反射率)，可進行製程容許

度(process window) 的簡單檢視與/或建立與/或偵測等動作；與/或(v)殘存應力與厚度，使得擴散阻障層 220 在高溫製程期間(如高於 350°C)不會脫層(delaminate)。故此，本發明中可對所採用的鎢合金或鈦化合物與/或鋁化合物的化學計量(如 x 與 y 的值，或 a、b 與 c 的值)進行選擇來優化一或多個這類判定標準。

擴散阻障層 220 可藉由物理氣相沉積法(PVD)、化學氣相沉積法(CVD)或原子層沉積法(ALD)等習知技術將適合的前驅物沉積在沉積腔體中的金屬基板 210 上。在特定實施例中，擴散阻障層 220 包含以(例如)使用鈦與氮氣的原子層沉積法配合 TiCl_4 與 NH_3 、 $\text{Ti}(\text{NMe}_2)_4$ (即 TDMAT)或 $\text{Ti}(\text{NEt}_2)_4$ (即 TDEAT)等前驅物所形成的氮化鈦。在其他實施例中，氮化鈦係以濺鍍沉積法配合鈦靶材在含氮氣與/或氨氣的環境中形成。或者，氮化鈦亦可以 TiMe_4 或 TiEt_4 與 N_2 與/或 NH_3 等為前驅物利用化學氣相沉積法而形成。CVD 氮化鈦(即分子式為 Ti_xN_y)的化學計量(如 x 與 y 的值)可藉由控制在擴散阻障層 220 沉積的期間導入沉積腔體中的鈦與氮氣前驅物之相對量值來加以控制。

在其他實施例中，擴散阻障層 220 包含以(例如)原子層沉積法配合上述鈦與氮氣前驅物的混合物所形成的鈦鋁氮化物，或者是採用分子式為 AlH_nR_m 的鋁前驅物(依照需要可選擇 N_2 與/或 NH_3)，其中 R 為 C_1 - C_4 烷基且 $n + m = 3$ 。本發明中合適的鋁前驅物包含氫化鋁(AlH_3)、氫化鋁·氨複合物($\text{AlH}_3 \cdot \text{NH}_3$)、氫化鋁-三甲基胺複合物($\text{AlH}_3 \cdot \text{NMe}_3$)、三異丁基鋁(TIBAL)、三甲基鋁(TMA)、三乙基鋁(TEA)或二甲

基氮化鋁(DMAH)。鈦鋁氮化物的化學計量(即分子式 $\text{Ti}_a\text{Al}_b\text{N}_c$ 中的 a 、 b 、 c 值)可藉由控制在擴散阻障層 220 沉積期間導入沉積腔體中的鈦、鋁及氮氣前驅物的相對量值來加以控制。

擴散阻障層 220(見第二 B 圖)的厚度可介於約 1 nm~1 μm 之間(如介於 5 nm~500 nm、10 nm~250 nm 或是該數值範圍中的任何其他數值或範圍)。在一實施例中，擴散阻障層 220 的厚度介於約 30 nm~150 nm 之間。或者，當擴散阻障層 220 包含以原子層沉積法形成的交替配置之氮化鈦層與氮化鋁層，薄層的數量可介於 2~10,000 之間(或介於其間的任何數值範圍)，且每個氮化鈦層與氮化鋁層的厚度可介於 5Å~1200Å 之間。在另一些實施例中，可採用導電性與絕緣性擴散阻障材料形成之薄層交替層疊，或兩種或兩種以上不同絕緣性擴散阻障材料形成之薄層交替層疊的方式。本發明可採用以此處所揭露或習知方法所製成、具有足夠的性質以避免金屬原子擴散進入疊加在上方的元件層中的交替層疊的薄層或奈米疊層之任何此種組合。

在特定實施例中，擴散阻障層 220 大體上封住整個金屬基板 210。舉例言之，如第二 B 圖所示，若金屬基板 210 在清洗步驟之前或之後、但在沉積擴散阻障層 220 之前進行單切(singulate)、切割或成形等動作，擴散阻障層 220 大體上可封住金屬基板 210，包含(除了主表面外的)邊緣。

本發明中亦可依照需要在沉積擴散阻障層 220 之前或之後(例如在金屬基板 210 上或擴散阻障層 220 上)厚厚地沉積一層抗反射被覆層(圖未示)。抗反射被覆層可包含無機絕

緣材料，如氧化矽、氮化矽、氮氧化矽、氧化鋁、氧化鈦、氧化鍺(GeO_2)、氧化鉛、氧化鋇、氧化鈾、一或多種其他金屬氧化物或該等材料之組合與/或奈米疊層，且可藉由物理氣相沉積法(PVD)、化學氣相沉積法(CVD)、液態沉積法(如塗覆或印刷)或原子層沉積法(ALD)配合文中所描述之適合前驅物形成。抗反射被覆層的厚度可介於 $50\text{\AA}\sim 1000\text{\AA}$ 之間(如 $50\text{\AA}\sim 200\text{\AA}$ ，或介於其間的任何其他數值範圍)。在一實施例中，抗反射被覆層包含一以原子層沉積法形成的二氧化矽層(如見 2008 年 10 月 10 日提出的第 12/249,841 號美國專利申請案[代理人案號 IDR1583]，其相關部分係併於文中作為參考)。

此外，在沉積擴散阻障層 220 與抗反射被覆層前，基板 210 上可以厚厚地沉積一應力釋放層(圖未示)。該應力釋放層可包含一有機材料或無機材料，該有機材料或無機材料能減少位於上方的薄層(如阻障層 220)施加在基板 210 與任何位於基板 210 上方的絕緣層或抗反射被覆層上之應力。該應力釋放層可包含一有機聚合物，如聚丙烯酸酯、聚甲基丙烯酸酯或其共聚物(如含有乙烯、丙烯、丁烯之烯烴類等)，該有機聚合物可藉由旋轉塗佈(spin-coating)、印刷、浸沾塗佈(dip-coating)等方式來沉積。或者，該應力釋放層可包含一以氧化物為主的絕緣材料(如二氧化矽、氧化鋁)與/或一元素金屬，如鋁、鈦、銅等(及其合金)，該絕緣材料與或元素金屬可藉由物理氣相沉積法(PVD)、化學氣相沉積法(CVD)、液態沉積法或原子層沉積法(ALD)配合文中所述的合適前驅物來沉積。以氧化物為主的絕緣材料、元素

金屬及合金等無機材料較適合用於高溫製程中。每一應力釋放層的厚度可介於 $5\text{\AA}\sim 1000\text{\AA}$ 之間(如 $10\text{\AA}\sim 250\text{\AA}$ ，或介於其間的任何其他數值範圍)。在一實施例中，應力釋放層包含一 $\text{SiO}_2:\text{Al}$ 絕緣層(亦稱為混合後的 $\text{SiO}_2:\text{Al}_2\text{O}_3$ 氧化物)，其厚度介於 $10\text{\AA}\sim 250\text{\AA}$ 之間。在另一實施例中，應力釋放層包含以 PVD 製程(如濺鍍)沉積的鋁，其厚度介於 $50\text{\AA}\sim 100\text{\AA}$ 之間(或介於其間的任何數值範圍)。在一例中，抗反射被覆層與應力釋放層的加總厚度約為 $150\text{\AA}$ 。

現在請參照第二 C 圖，一絕緣層 230 係形成在擴散阻障層 220 上。絕緣層 230 可包含任何使擴散阻障層 220 與後續的電子元件特徵與/或接下來可能會形成於其上的元件電性絕緣的材料。舉例言之，絕緣層 230 可包含氧化矽、氮化矽、氮氧化矽、氧化鋁、氮化鋁或該等材料之組合。在一實施例中，絕緣層 230 包含二氧化矽與氧化鋁。

絕緣層 230 可以物理氣相沉積法、化學氣相沉積法、原子層沉積法或液態沉積法(如旋轉塗佈與固化，如同旋塗式玻璃製程[spin-on-glass]中所使用者)形成。舉例言之，在特定實施例中，絕緣層 230 包含二氧化矽且可藉由化學氣相沉積法(如電漿輔助式 CVD)配合一矽來源，如正矽酸乙酯(TEOS)或矽烷類(如 SiH_4 或 SiCl_2H_2)，及一氧來源(如 O_2 、 O_3 、 N_2O 、 NO 等)而形成。在其他實施例中，絕緣層 230 包含氮化矽，且其可以化學氣相沉積法配合一矽來源(如 SiH_4 或 SiCl_2H_2)及一氮來源(如 NH_3 與/或 N_2)形成。在另一些實施例中，絕緣層 230 包含氮氧化矽，且其可藉由化學氣相沉積法配合一矽來源(如 SiH_4)、一氮與氧來源(如 NO_2 、 NO

與/或 N_2O)或一氮來源(如 NH_3 與/或 N_2)與一氧來源(如 O_2 、 O_3 與/或 N_2O)形成。在另一些實施例中，絕緣層 230 可包含氧化鋁與/或氮化鋁，其可以原子層沉積法配合一鋁來源(如三甲基鋁或其他文中所述的鋁來源)與一氧來源(如 O_2 、 O_3 與/或水)、一氮來源(如 NH_3 與/或 N_2)與/或一氮與氧來源(如 NO_2 、 NO 與/或 N_2O)形成。絕緣層可以 2008 年 10 月 10 日提出的第 12/249,841 號美國專利申請案(代理人案號 IDR1583)中所提到的原子層沉積法形成，其相關部分併於文中作為參考。

絕緣層 230 可在用來沉積擴散阻障層 220 的相同沉積腔體中形成，依照需要其可在擴散阻障層 220 沉積完成後立即進行。或者，絕緣層 230 可在不同的步驟與/或和用來沉積擴散阻障層 220 之腔體不同的腔體中形成。絕緣層 230(見第二 C 圖)的厚度可介於約 10nm ~ $10\mu\text{m}$ 之間(如 50nm ~ $5\mu\text{m}$ 、 100nm ~ $2\mu\text{m}$ 或介於其間的任何數值範圍)。在一實施例中，絕緣層 230 的厚度約為 $1\mu\text{m}$ 。

絕緣層 230 亦可以塗佈或印刷方式形成(如以旋轉塗佈、噴墨、滴注法、凹版印刷、柔版印刷、噴塗、網印、平版印刷、旋轉塗佈、狹縫塗佈、擠壓塗佈、浸沾塗佈、液面彎曲式塗佈 [Meniscus Coating]、微點觸 [Microspotting]、筆塗佈 [pen-coating]、模印、壓印、點膠、泵配佈 [pump dispensing] 等方式塗佈或印刷含有絕緣性前驅物的墨水，如見 2009 年 11 月 24 日提出的第 12/625,492 號美國專利申請案[代理人案號 IDR0872]，其相關部分併於文中作為參考)。在一些實施例中，絕緣層 230 可以藉由印

上(如網印、凹版印刷、平版印刷、噴墨印刷等)內含絕緣材料或絕緣性前驅物的墨水或組成物來形成。一般而言，在印上內含絕緣材料與/或絕緣性前驅物的墨水或組成物後，印上的薄層會被加熱至約 $50\sim 150^{\circ}\text{C}$ (依照需要可在真空環境下進行)以去除該印上的墨水或組成物中的任何溶劑，之後再進一步的予以加熱或固化(如在約 $300\sim 600^{\circ}\text{C}$ 的溫度進行，依照需要可在氧化或惰性環境中進行)來形成該絕緣層 230。

在另一實施例中(圖未示)，經塗佈的基板可進一步包含依次交替設置的擴散阻障層與絕緣層。在此實施例中，經塗佈的基板可包含交替設置之至少兩層擴散阻障層與至少兩層絕緣層(如由最下方到最上方分別為下擴散阻障層、下絕緣層、上擴散阻障層、上絕緣層)。在另一些實施例中可具有三層、四層或更多(例如最多可至 100、1000 或 10,000 層)由擴散阻障材料與絕緣材料所形成、交替設置的薄層。每個擴散阻障層可能彼此相同或不同，且每個絕緣層亦可彼此相同或不同。每個擴散阻障層與每個絕緣層的厚度約介於 $0.5\text{nm}\sim 2\mu\text{m}$ 之間(如約 $2\text{nm}\sim 1\mu\text{m}$ 、 $5\text{nm}\sim 250\text{nm}$ 或介於其間的任何其他數值或數值範圍)。擴散阻障層與絕緣層可以 ALD、PVD(如濺鍍)、CVD、文中所述或先前技術中使用的任何其他沉積方法來形成。

請參照第二 D 圖，本發明之方法進一步包含在絕緣層 230 上形成一元件層(如半導體層)240 之步驟。當基板 210 上的元件包含 CMOS 電晶體(即至少一 NMOS 電晶體與至少一 PMOS 電晶體)，元件層 240 可包含一或多個第一電晶體

島(island)240a，每一第一電晶體島 240a 包含一具有一第一導電性類型(如 NMOS 或 PMOS 其中之一)的半導體材料(如矽)，以及一或多個第二電晶體島 240b，每一第二電晶體島 240b 包含具有一第二導電性類型(不屬於該第一導電性類型之 NMOS 或 PMOS)之相同或相異半導體材料。或者，元件層 240 可包含一或多個閘電極(即「底閘極」架構)，其中一第一閘電極 240a 可具有一第一組成物(如一具有一第一導電性類型的第一半導體材料)或一第一組性質(如一具有一第一圖樣之金屬或一第一組尺寸)，而一第二閘電極 240b 可具有一第二組成物(如一具有一第二導電性類型的第二半導體材料)或一第二組性質(如一具有一第二圖樣之金屬或一第二組尺寸)。在另一些實施例中，元件層 240 可包含一或多個電容板，一或多個二極體層、一或多個電阻器或互連線等。

在一些實施例中，元件層 240 包含矽與/或鍺。然而，在元件層 240 包含半導體材料的情況下，元件層 240 不會侷限在矽與/或鍺材料，而可包含 III-V 族的半導體(如 GaAs、InP 及相關的化合物與/或合金)、II-VI 族的半導體(如 ZnO、ZnS、ZnSe、CdTe 及相關的化合物與/或合金)、有機半導體(如聚硫代富瓦烯基[thiafulvalene-based]的半導體)或任何其他適用於本發明之方法的半導體材料。在特定實施例中，元件層 240 可包含非晶形、微晶形與/或多晶形的矽、鍺或矽鍺。在元件層 240 包含矽鍺的情況下，矽和鍺的比例可介於約 10,000:1 到 1:1 之間(或介於其間的任何數值範圍)。元件層 240 可進一步包含一摻雜物，如硼、磷、砷或

銻。在一實施例中，元件層 240 包含摻雜有硼或磷的多晶矽。在另一實施例中，元件層 240 包含一摻雜有磷的第一多晶矽島 240a 及一摻雜有硼的第二多晶矽島 240b。

在一些實施例中，元件層 240 可以印刷方式(如文中所述者)形成。舉例言之，未摻雜與/或經摻雜的半導體前驅物墨水可藉由合適的印刷方法(如噴墨印刷、平版印刷、網印等)在絕緣層 230 上沉積成或印上所欲圖形，該前驅物墨水包含未摻雜與/或經摻雜的聚矽烷、雜環矽烷與/或未摻雜與/或經摻雜的半導體奈米粒子。之後在予以固化與/或退火以形成元件層 240。含有聚矽烷的半導體前驅物墨水之說明可見第 7,422,708、7,553,545、7,498,015 與 7,485,691 號美國專利以及 2007 年 10 月 4 日提出的第 11/867,587 號美國專利申請案(代理人案號 IDR0884)，其相關部分併於文中作為參考。含有雜環矽烷的半導體前驅物墨水之說明可見第 7,314,513 號美國專利及分別於 2004 年 9 月 24 日與 2004 年 10 月 1 日提出的第 10/950,373 與 10/956,714 號美國專利申請案(代理人案號 IDR0301 與 IDR0303)，其相關部分併於文中作為參考。含有經摻雜的聚矽烷的半導體前驅物墨水之說明可見 2007 年 10 月 4 日提出的第 11/867,587 號美國專利申請案(代理人案號 IDR0884)，其相關部分併於文中作為參考。含有未摻雜與/或經摻雜的半導體奈米粒子的半導體前驅物墨水之說明可見第 7,422,708 與 7,553,545 號美國專利，其相關部分併於文中作為參考。或者，元件層 240 可以一或多種習知薄膜製程或技術形成。

第二 E 圖顯示根據本發明方法所形成的例示半導體元

件—薄膜電晶體(TFTs)245a-b。一般而言，TFTs 245a-b 分別包含：一半導體層(如包含一電晶體通道 242a-b、一第一源極/汲極端子 244a-b 及一第二源極/汲極端子 246a-b)；一位於該半導體層之至少一部分區域上或上方的閘極絕緣層 250a-b；一位於該閘極絕緣層 250a-b 上的閘極金屬層 260a-b；一或多個位於該半導體層與該閘極金屬層 260a-b 上的介電層；以及複數個與該閘極金屬層 260a-b 和源極/汲極端子 244a-b 與 246a-b 形成電性通訊的金屬導體(圖未示)。適合用於 TFTs 的例示半導體層、介電層與金屬層以及形成這類 TFTs 的材料與方法之詳細說明可見第 7,619,248 號美國專利以及第 11/203,563 (2005 年 8 月 11 日申請，代理人案號 IDR0213)、11/243,460 (2005 年 10 月 3 日申請，代理人案號 IDR0272)、11/452,108 (2006 年 6 月 12 日申請，代理人案號 IDR0502)、11/888,949 (2007 年 8 月 3 日申請，代理人案號 IDR0742)、11/888,942 (2007 年 8 月 3 日申請，代理人案號 IDR0743)、11/818,078 (2007 年 6 月 12 日申請，代理人案號 IDR0813)、11/842,884 (2007 年 8 月 21 日申請，代理人案號 IDR0982)、12/175,450(2008 年 7 月 17 日申請，代理人案號 IDR1052)、12/114,741 (2008 年 5 月 2 日申請，代理人案號 IDR1102)、12/131,002(2008 年 5 月 30 日申請，代理人案號 IDR1263)、及 12/243,880 號(2008 年 10 月 1 日申請，代理人案號 IDR1574)美國專利申請案，其相關部分併於文中作為參考。

在 TFTs 245a-b 中，閘極介電層 250a-b 係形成在半導體島 240a-b 上。在一些實施例中，閘極介電層 250a-b 可藉由

印刷製程形成(例如印上氫矽氧烷[hydrosiloxane]或氫矽酸[hydrosilicic acid]等二氧化矽前驅物，如見第 7,709,307 號美國專利或 2009 年 11 月 24 日提出的第 12/625,492 號美國專利申請案[代理人案號 IDR0872]，其相關部分併於文中作為參考)。閘極介電層 250a-b 可藉由印上一合適的介電性前驅物來形成，如以分子態、有機金屬態、聚合物態與/或奈米粒子態形式存在於可溶解該介電性前驅物的溶劑或溶劑混合物中的前驅物。或者，閘極介電層 250 可藉由半導體層 240 厚沉積(如 CVD 或 PVD)與/或熱氧化方式形成。舉例言之，閘極介電層 250a-b 可藉由一習知方法形成(如以化學氣相沉積法沉積氧化矽或使半導體島 240a-b 的表面氧化來形成氧化膜)。在半導體層 240 包含一摻雜具有第一導電性類型(如磷)的第一摻雜物之第一多晶矽島 240a 以及一摻雜具有第二導電性類型(如硼)的第二摻雜物之第二多晶矽島 240b 的情況下，因為摻雜物不同，半導體島會有不同的氧化率，故閘極介電層 250a 與閘極介電層 250b 的厚度會有些許差異。

接著閘電極 260a-b 可形成在閘極介電層 250a-b 上。可透過習知的沉積方法(如化學氣相沉積法、物理氣相沉積法、濺鍍、原子層沉積法等)將第 4, 5, 6, 7, 8, 9, 10, 11 或 12 族金屬或半導體材料(如矽、鍺等)沉積在閘極介電層 250a-b 上，之後再施以微影製程以形成閘電極 260a-b。在一些實施例中，形成閘電極 260 的步驟可包含塗佈或印上一含有一金屬前驅物的墨水組成物，其中該金屬前驅物包含一或多個溶在有助於金屬前驅物的塗佈與/或印刷之溶劑或溶劑

混合物中的第 4, 5, 6, 7, 8, 9, 10, 11 或 12 族金屬鹽類、複合物、群集與/或奈米粒子。在特定實施例中，金屬前驅物包含結合有一或多個配體(ligand)之金屬鹽類、化合物與/或複合物，該(等)配體可在該金屬鹽類、化合物與/或複合物還原為元素金屬與/或合金時形成氣態或揮發性副產物。該金屬前驅物的成分可進一步包含一或多種亦可在該金屬鹽類、化合物與/或複合物還原為元素金屬與/或合金時形成氣態或揮發性副產物的添加劑(如一或多種還原劑)。這類金屬配方所使用的金屬前驅物與還原劑通常不會在薄膜中留下到達有害水準的雜質粒子與/或殘留物，因此能印出純金屬膜。詳見 2008 年 5 月 30 日提出的第 12/131,002 號美國專利申請案[代理人案號 IDR1263]，其相關部分併於文中作為參考。在塗佈或印上墨水組成物之後，金屬前驅物可進一步藉由微影製程形成圖樣。

源極與汲極區域 244a-b 與 246a-b 接著可藉由下列數種方法中的任何方法形成在半導體層 240 中，如離子佈植、離子浴、氣體浸入式雷射沉積、在半導體層 240 與閘極 260 上印刷或沉積一層重度摻雜的半導體層後接著再進行固化與/或活化步驟、在半導體層 240 與閘極 260 上印刷或沉積一或多層摻雜層(例如薄層 270a 與 270b，其可代表內含互補式摻雜物的兩種不同薄層)，接著再進行驅入[drive-in]等步驟，如見第 7,619,248 與 7,701,011 號美國專利以及 2007 年 8 月 3 日提出的第 11/888,942 號美國專利申請案(代理人案號 IDR0742)，其相關部分併於文中作為參考。該源極區域 244a-b 與汲極區域 246a-b 形成後，通道區域 242a-b 會保

閘極介電層 250a-b 未被閘極 260a-b 覆蓋而露出的區域一般可選擇以濕蝕刻或乾蝕刻的方式在源極區域 244a-b 與汲極區域 246a-b 形成之前或之後去除。假如該源極區域 244a-b 與汲極區域 246a-b 是藉由在半導體層 240 與閘極 260 上印刷或沉積一層摻雜層再施以驅入與/或活化步驟而形成，該摻雜層一般會在進行進一步的製程前被移除(且按照需要可在移除該露出的閘極介電層之前進行)。

接著閘極 260a-b 與源極區域 244a-b 及汲極區域 246a-b 上會沉積一或多層介電層 270(如第一與第二層間介電質

270a 與 270b)，其通常藉由(如文中所述的)厚沉積或印刷方式形成。在一些實施例中，介電層係藉由印上內含一或多種介電性前驅物與一或多種溶劑之墨水的方式形成。一般而言，介電性前驅物包含二氧化矽、氮化矽、氮氧化矽、鋁酸鹽、鈦酸鹽、矽酸鈦、氧化鋯、氧化鉛、或氧化鈾等來源。在其他實施例中，該介電性前驅物為一種有機聚合物或其前驅物(如丙烯酸[acrylic acid]、甲基丙烯酸[methacrylic acid]的聚合物或共聚物，與/或丙烯酸與/或甲基丙烯酸的酯類)。在介電性墨水印上之後使之乾燥固化。使印上的墨水乾燥之步驟包含在真空或惰性或氧化環境中加熱到 50~150°C 一段時間直到足以去除實質上所有該印上的墨水中的溶劑。使經乾燥的介電前驅物固化之步驟可包含在惰性或氧化環境中加熱到 200~500°C(或介於其間的任何數值範圍)一段時間直到足以將該(等)前驅物轉化成所欲的介電材料。

再者，介電層 270a-b 中可以開出接觸孔(圖未示)，亦可形成能將一或多個增設的元件連接到(如 TFT245 之)閘極 260a/b 與源極/汲極端子 244a/b 與 246a/b 的金屬線與/或互連線(圖未示)。或者，當介電層 270a-b 是以印刷製程形成時，印上的圖樣可包含複數個使每個閘極 260a/b 與源極/汲極端子 244a/b 與 246a/b 表面露出的接觸孔。在一實施例中，金屬線/互連線係以印刷製程形成(例如，見分別於 2008 年 7 月 17 日與同年 5 月 30 日提出的第 12/175,450 號美國專利申請案[代理人案號 IDR1052]與第 12/131,002 號美國專利申請案[代理人案號 IDR1263]，其相關部分併於文中作為

參考)。在一例中，一由導電材料組成的晶種層大致會印成金屬線與/或互連線的圖樣，且其上鍍有一塊材金屬或合金(如藉由電鍍或無電電鍍方式)。或者，金屬線與/或互連線是以習知的薄膜沉積與/或厚沉積及微影製程方式形成。

選擇性地，一用在電子商品防竊(EAS)元件之電容可藉由下列步驟而形成：在該擴散阻障層 220 上形成介電層 270；在該介電層 270 上形成一開口；形成一電容電極於該開口中之電容介電上；以及形成一天線及/或電感於該塊狀介電層 270 之上，其中該天線及/或電感(相對於該電容電極)之一端與該金屬基板 210 接觸。該擴散阻障層 220 中，該天線及/或電感與該金屬基板 210 接觸之部分，可於該介電層 270 上開口形成之前或後移除(例如藉由傳統之遮罩，選擇性地沉積[例如印刷]一蝕刻劑；或使用該塊狀介電層 270 及該開口中的電容電極作為一遮罩)。

薄膜電晶體(TFT) 245 可為一 NMOS 電晶體或一 PMOS 電晶體，且可電性連接至如電晶體、二極體、電阻、電容或閉路連結(off-connected)的 TFT 等元件，與/或是被設定成具有上述元件之功能。第二 E 圖係顯示一具有圓頂外形特徵的例示 TFT 245 (見 2008 年 10 月 1 日提出的第 12/243,880 號美國專利申請案[代理人案號 IDR1574]，其相關部分併於文中作為參考)。一般而言，當半導體島(如第二 D 圖中的 240a 與/或 240b)與閘極(如第二 E 圖中的 260a 與/或 260b)是以印刷方式形成時，其可具有圓頂外形。然而，製作 TFT 245 等薄膜電晶體用的「全印刷」(all-printed)方案中的每個製造步驟可能會具有與其有關的變異性，故 TFT 245 的尺

寸、邊界與表面可能會不同。故此，每個印上的特徵在每一處的截面形狀與/或(由上而下)設置形狀與/或外形都可能不同。

故在一實施例中，TFT 245 可以「全印刷」製程來製作。在採用印刷一或多個 TFT 245 層的實施例中，印上的前驅物墨水一般會進行乾燥與固化步驟。進行墨水乾燥以及使經乾燥的前驅物固化的時間與溫度係視特定墨水配方與特定前驅物而定，但一般而言墨水會在一溫度下進行乾燥一段時間直至足以從印上的墨水中去除實質上所有的溶劑為止，而經乾燥的前驅物會在一溫度下進行固化一段時間直至足以將該前驅物轉化成最終的薄膜材料為止(如半導體、介電體或金屬)。例示的印製式 TFTs 及其製作方法在 2007 年 5 月 23 日提出的第 11/805,620 號美國專利申請案(代理人案號 IDR0712)以及 2008 年 10 月 1 日提出的第 12/243,880 號美國專利申請案(代理人案號 IDR1574)中有更多說明，其相關部分併於文中作為參考。或者，TFT 245 可採用印刷結合習知製程步驟的方法，或是單以習知製程技術(如薄膜製程)製作而成。

如上所述，「底閘極」元件可形成在經塗佈的基板上。閘電極 240a-b(第二 D 圖)形成後，可再藉由一或多個上述第二 E 圖之薄層 250a-b 之形成方法將閘極介電層形成於其上。電晶體(類似第二 E 圖中的薄層 260a-b)可根據已知製程(參見分別於 2005 年 10 月 3 日與 2008 年 4 月 24 日提出的第 11/243,460 號與第 12/109,338 號美國專利申請案[代理人案號 IDR0272 與 IDR1322]，其相關部分併於文中作為參考)

形成在閘極介電層上方並進行摻雜。類似第二 E 圖中之薄層 270a-b 的塊材式介電層可如文中所揭露般地進行成形與/或形成圖樣，且接觸孔可形成於其中，而互連線則如文中所揭露般地與位於下方的元件層(如電晶體的閘電極與源極和汲極端子)接觸。

在另一些實施例中，塗覆有擴散阻障層的金屬基板上的元件可包含一或多個電容、二極體、電阻與/或互連線。電容一般包含第一電容板、第二電容板以及一位於該第一電容板與第二電容板之間的介電材料。二極體一般包含複數個由具有不同摻雜類型與/或程度的導電或半導體材料構成的二極體層(如 2-5 層)。舉例言之，在一雙層二極體中，第一層可包含或其主要的組成元素為一 P 型半導體，而第二層可包含或其主要的組成元素為一 N 型半導體；在一三層二極體中，第一層可包含或其主要的組成元素為一重度摻雜的 P 型半導體，第二層可包含或其主要的組成元素為一本質半導體(intrinsic)或一輕度摻雜的 P 型或 N 型半導體，而第三層可包含或其主要的組成元素為一重度摻雜的 N 型半導體。在例示的二極體中，任何 P 型或 N 型半導體層皆可包含或其主要的組成元素為複數個具有不同摻雜程度的子層(如一或多個重度摻雜或超重度摻雜的薄層及一或多個輕度摻雜或超輕度摻雜的薄層)。電阻與/或互連線一般會在經塗覆的基板上與/或其上的元件層上形成一圖樣。電容板、電阻與/或互連線可包含如文中所揭露的半導體與/或導電材料，而二極體層一般包含如文中所揭露的半導體材料。上述電容板、二極體層、電阻與/或互連線可藉由文中

所揭露的任何製程形成。

在該金屬基板為一金屬薄片或金屬薄層(其上一般具有一阻障層[例如 TiN]以及一絕緣層[例如一相對應之氧化物層])的情況下,部分該金屬薄片可形成一接線電連接至一貫孔或接觸孔連接至該金屬基板上之該積體電路或一獨立接線。並且,任何金屬薄層及/或薄片基板應具有一絕緣層介於該金屬薄層及/或薄層基板與任何其上方之電氣活性層或結構,除了在電接觸孔被形成,由該絕緣體上該等元件至該金屬基板上之結構之處(例如,一電子商品防竊(EAS)或射頻辨識標籤(RFID)之一絕緣體及/或電容之一或多個金屬墊)。

在另一實施例中,如第三 A-C 圖所示,一般可藉由文中所述之一或多個製程將一擴散阻障層 320 沉積在金屬基板 310 的一主表面上(見第三 B 圖)。在另一些實施例中(圖未示),金屬基板 310 的至少一(但非全部)表面會塗覆上一層擴散阻障層 320。舉例言之,在處理金屬基板 310 所由之形成的備料捲帶或薄板時,擴散阻障層 320 可塗覆在金屬基板 310 相對的兩個面(如之後可能會有半導體特徵或元件形成於其上的金屬基板 310 主表面),但未塗覆在金屬基板 310 的一或多個邊緣上。或者,金屬基板 310 可在清洗製程之前或之後進行成形或切割動作,接著擴散阻障層 320 會形成,覆在金屬基板 310 的單一主表面及其邊緣。

如第三 C 圖所示,在擴散阻障層 320 沉積在金屬基板 310 之一主表面上的實施例中,一絕緣層 330 一般可藉由一或多種文中所述的製程沉積,以覆蓋在金屬基板 310 上塗

覆有擴散阻障層 320 的區域。在另一些實施例中(圖未示)，金屬基板 310 的至少一(但非全部)表面會塗覆有擴散阻障層 320，那些塗覆有擴散阻障層 320 的區域接著可塗覆上絕緣層 330(如金屬基板 310 的頂面與側面可為擴散阻障層 320 與絕緣層 330 所覆蓋)。

在其他實施例中，該絕緣層可具有一開口、接觸孔或貫孔以及在該開口、接觸孔或貫孔中的一介電層。在一實施例中，兩介電層被形成，其一為一塊狀絕緣層，其間具有該開口或貫孔，以及在該開口或貫孔中之一電容介電層。該絕緣層可具有一最小厚度以降低該上層金屬電極與任何其上方層間之電容性耦合(例如：一天線及/或電感，或其他導體結構，電連接該上層金屬電極至其他電極，例如該基板或其一部分)。一天線可藉由以一導體墨水印刷一螺旋或同心圓之圖案至該絕緣層之上來形成，使得該圖案兩相對之端點與該上層金屬電極以及該基板之露出部分接觸。

一金屬層可形成於該一或多個介電層之上。舉例而言該金屬可包含鋁、鎡、鉛、釩、鈮、鉭、鉻、鉬、鎢、錳、銻、鐵、鈮、銻、鈷、銻、銻、鎳、鉛、鉑、銅、銀、金、鋅、或鎘。該金屬層可包含該等金屬之一混合物，組合或合金，單獨或與其他金屬(例如：銻、鎳、鉍、錫、鉛、汞、鈮、銻、銻等)之一或多種組合。該導體金屬化合物可包含一矽化金屬(例如：鈦、鉭、鉻、鉬、鎢、鎳、鈷、鉛、或鉑)及/或一導體金屬氮化物(例如：鈦、鉭、鉻、鉬、鎢、鉛或鉑)。形成該金屬層可包含沉積一金屬於該(塊狀)絕緣層以及一開口或貫孔中，以連接該金屬基板 310 及/或擴散阻障層

320。該金屬層可藉由領域內任何適合之製程形成，例如物理氣相沉積、化學氣相沉積、原子層沉積、電化學沉積、化學式沉積或液相沉積(例如:印刷或覆蓋一包含墨水之金屬先質並且固化該金屬先質以形成一印刷的金屬特徵/層)。在一範例中，該金屬層是由物理氣相沉積法形成。

具有抗反射性質、塗覆有阻障層的例示金屬基板

使用金屬箔基板可能引起的問題包括金屬基板與/或阻障層會有較高的反射率(見第四 A-B 圖)。舉例來說，組成的薄膜層疊結構(如一金屬-阻障層-絕緣層層疊結構一般包含一金屬箔片 410、一或多個由擴散阻障材料 420/425 所構成之薄層及一或多層絕緣層 430)的光學常數與厚度可互相作用以不同程度地吸收或反射光，端視用來處理該元件的光波長而定，而在較小的程度上是視入射光的角度而定。

具體來說，使用可見光波長(如以雷射與/或閃光燈等其他高密度光源)來結晶化沉積在一金屬-阻障層-絕緣層層疊結構上的矽或其他電子元件層 440 之作法可能使矽膜 440 的穿透率明顯變高。穿過矽膜 440 的光至少部分會從金屬箔片 410 與/或阻障層(如第四 A 圖中的 420)反射回去。矽膜 440 可具有多變的光吸收率，無論是由於其對光交互作用(如直接吸收光與/或吸收從下方的薄層反射而來的光)的靈敏度較高、或是由於矽膜 440 本身與金屬-阻障層-絕緣層層疊結構中組成的薄層兩者之厚度未予以優化或不均之故。矽膜 440 對這類光交互作用的靈敏度可能會造成在結晶均勻度與晶粒結構上顯著的差異，導致特定基板上及不同基板之間(如在同一製程槽體中)的元件有不期望的差異存在。這

類效應在使用氮化鋁(絕佳的擴散阻障材料)結合發出可見光譜(如綠色光波長)中的光的雷射光來結晶化矽的例子中特別要注意。

為了減少、消除或將因矽膜對光交互作用有較高靈敏度而造成之光吸收率變化的問題降至最低，第一阻障層 420 上可形成一或多個抗反射層(如第四 B 圖中的薄層 425)作為金屬-阻障層-絕緣層層疊結構的一部份。或者，抗反射層 425 可形成在金屬基板 410 或絕緣層 430 上。吾人可對上述抗反射層 425 之材料加以選擇使其在矽結晶化所用的光波長環境下有較低的反射率。或者，吾人亦可對上述抗反射層 425 之材料加以選擇使其在對光伏電池(PV)有用的光波長環境下有較低的反射率。抗反射層 425 可被沉積成擴散阻障層 420 的一部分(如產生一阻障/抗反射雙層結構 420/425)，增強其使用性、擴大其結晶化時的製程容許度、提高元件良率與/或效能。理想上(但非必要)，抗反射層 425 可使用與阻障層 420 與/或絕緣膜 430 相同的沉積工具(如原子層沉積工具、整合式化學氣相沉積-濺鍍群集工具、玻璃旋塗與固化裝置等)在一次的製程中完成沉積。

在單一薄層中同時具備抗反射性質與擴散阻障性質(如可作為防止雜質從下方的金屬基板 410 向外擴散的阻障結構)是種優勢，但此非本發明的必要條件。換句話說，金屬-阻障層-絕緣層層疊結構中的阻障層可包含(i)一或多個僅具有擴散阻障性質的薄層以及至少一具有抗反射性質的薄層；(ii)一或多個僅具有抗反射性質的薄層以及至少一僅具有擴散阻障性質的薄層；(iii)一或多個同時具有擴散阻障

與抗反射性質的薄層；或(iv)其任意組合。抗反射被覆層(ARC)亦可同時具有絕緣特性(例如，氮氧化矽[Si:O:N之比例可調配]、高 k 值薄膜，如 TiO_2 、氧化鋁、 ZrO_2 與/或其他金屬氧化物)，端視薄層所需的光學性質而定。

具體來說，氮化鈦(或是如氮氧化矽)不論是其自身或是與氮化鋁膜 420 結合皆可用來作為抗反射膜 425。上述薄膜可沉積成雙層阻障層疊結構形式(如一金屬基板 410-AIN 420-TiN 425-絕緣層 430 層疊結構，或是一金屬基板-TiN-AIN-絕緣材料層疊結構)，或是沉積成薄層交替設置的奈米疊層形式(如一金屬基板-奈米疊層-絕緣材料層疊結構，其中該奈米疊層的每一薄層係由一或多個 AIN 單層或一或多個 TiN 單層所組成，且該奈米疊層之薄層數量可從 1 層到 10,000 層)。習知技藝人士可從經驗判定出能使作為阻障層與抗反射被覆層的奈米疊層之效能達到最佳化的厚度。奈米疊層厚度通常係介於 1~100 nm 之間(或介於其間的任何數值範圍)。如第五圖中所描繪者，相較於純 AIN (或類似的材料)而言，使用 TiN-AIN 奈米疊層會使反射率降低 75%、減少雷射結晶化期間光耦合現象及層疊結構之敏感度。光耦合現象減少與層疊結構靈敏度的降低可繼而改善矽膜結晶化的均勻度與/或其他性質。

使用抗反射材料(如氮化鈦)配合可見光波長的光源(如綠色光)來結晶化矽或其他元件層時可針對任何的光(或光源)波長進行微調。這類微調動作包含使用具有適用於整體元件整合方案的抗反射性質之合適材料。

具有應力釋放性質、塗覆有阻障層之例示金屬基板

使用金屬箔基板可能引發的另一個問題是金屬基板中晶粒凸顯(grain highlighting)問題，其一般起因於應力。晶粒凸顯會影響後續的製程步驟。一些阻障材料可能具有較高的固有應力，而阻障層層疊結構與/或其組成可以此為考量進行優化動作。

為了有效保護內含金屬箔片的基板(如第二 A 圖中的基板 210)並消除直接性(經由外擴散)或間接性(如經由與可能會觸碰到未封住的金屬箔基板 210 的製程工具、浴槽等接觸)的污染，擴散阻障層(如第二 A 圖中的薄層 220)應該封住基板 210 所有露出的表面，包含基板邊緣。擴散阻障層 220 的尺寸、組成與/或物理、化學與/或機械性質亦可優化來減少因金屬基板 210 與/或一或多個阻障層(如第四 A-B 圖中的 420 與/或 425)的光反射所造成的製程問題。

一作為金屬擴散阻障層的氮化鈦膜(如第二 A 圖的薄層 220)可直接沉積在不銹鋼基板 210 上，完全封住基板 210 所有的面與邊緣。在一些實施例中(如阻障層是以 ALD 方法沉積)，視製程需要，在阻障層 220 沉積之前基板 210 上可先形成一層黏著層。接著可以類似的方式封上一層絕緣層 230(如標稱厚度為 1 μm 的二氧化矽層)。基板 210 最好在阻障層 220 沉積之前先進行清洗(移除殘留物、有機物、粒子等)以使阻障層 220 在高溫時有良好的黏著性。高溫時(如在 850°C 下經過約數小時的多重熱循環測試)，一 TiN 阻障層 220 可有效避免鐵與鉻(兩者為不銹鋼基板 210 中最主要且擴散最快的成分)擴散進入 SiO₂ 絕緣層 230(見第五圖)表面上的主動式矽薄膜電晶體元件中。此一阻障層 220 同時避

免不銹鋼中的鎳以及鈷、鉬、鈦、鈳等其他合金元素的擴散。

在一實施例中，阻障層包含一第一 AlN 層作為黏著層、一 SiO₂:Al 層作為應力釋放層，之後再以一 AlN 層作為擴散阻障層。第一 AlN 層的厚度一般介於 10~100Å，不過其厚度可以是 10~5000Å 範圍內的任何數值。應力釋放層(如 SiO₂:Al)的厚度可介於 10~500Å 之間，不過其厚度可以是 10~5000Å 範圍內的任何數值。較佳地，應力釋放層是以 ALD 方式沉積。第二 AlN 層的厚度一般介於 200~2000Å，不過其厚度可以是 50~10,000Å 範圍內的任何數值。本段落所述黏著層與應力釋放層其他可供選擇之材料包含氧化鋁、氮化矽、氮氧化矽、氧化矽、氧化鈦、氧化鋇、鉛、稀土金屬或其組合或合金，其厚度範圍與上文所述者類似。其材料的選擇與尺寸可根據想要的材料性質以及與整體製程整合方案的合適度而定。

如上所述，其他可用來作為擴散阻障層的材料包含 TiN 與 TiAlN (Ti 和 Al 的比例可視其應用而定；如擴散阻障層層疊結構的應力與反射值可藉由改變 Ti 和 Al 之比例來調整)。TiN 與/或 TiAlN 膜可藉由以下所述的任何一種方式來沉積，諸如濺鍍(可選擇是否在沉積之前先在鋼表面進行濺鍍蝕刻)或化學氣相沉積法(CVD)，其中較佳使用原子層沉積法(ALD)。這類應力釋放層與/或增設的擴散阻障層可在溫度高至 850°C 的多重熱循環期間提供元件(如第二 E 圖中的 TFT 245)適當的保護。此作法可結合絕緣塗層(如 SiO₂ 與/或 Al₂O₃)，該塗層較佳在相同的沉積設備中形成(或可選

擇一獨立的沉積製程)，以使基板 210 及阻障層 220 與元件層(如第二 D-二 E 圖中的 240)電性隔絕。

擴散阻障層亦可引起一或多種製程問題。舉例言之，金屬氮化物膜(或是金屬碳化物、氮化矽或碳化矽膜)可能存在相當大的應力，或是會在元件中的其他薄層上施加相當大的應力。此應力可能會導致薄膜脫層或下方的鋼基板變形。然吾人可藉由在層疊結構中增加一或多種材料來有效減少此應力。在金屬氮化物下方加入一層氧化層，或是作出如 TiN:AlN (其為奈米疊層中 TiN 層和 AlN 層的比例)的疊層將可舒緩應力。在一例中，先設八個 TiN 單層接著設置三個 AlN 單層之區塊(依上述方式重複設置直至達到預定的總膜厚)可提供絕佳的應力舒緩與擴散阻障性質，不過交替設置的 TiN 單層和 AlN 單層之數量可以是任何數值(如從 5~100 個 TiN 單層至 1~50 個 AlN 單層)。下方若未設置氧化物應力釋放層，AlN 膜(如第四 A 圖中的 420)在高溫時可能會從基板 410 脫層。故在一實施例中，不銹鋼基板上的 TFT 元件(如第二 E 圖中的 245)可包含一厚度約介於 1~1000 nm 之間的 TiN 濺鍍層(如在一實施例中，其厚度約為 100Å)，以及一以(文中所述的)ALD 製程形成、厚度介於約 10~1500 nm 的 TiAlN 層(如在一實施例中，其厚度約為 300 nm)。

鋼基板中的晶粒與該鋼基板的高反射率會使得接下來製程步驟中的光學檢測或鋼箔基板對齊動作變得相當困難。基板的高反射率亦可能在以雷射製程進行結晶的期間造成問題。由於經反射的雷射能量會干擾入射的雷射能量

而造成具有較高能/低能節點之駐波，故此種反射率可能會造成層疊結構表面輻射劑量上的差異。為減少這類效應的影響，可對擴散阻障層的厚度與成分進行優化動作來使其更不透光，並使一或多個下方薄層的表面與/或金屬基板表面的反射率降至最低。

TiN 與其合金比較便宜，經常採單層設置，且通常可用不同的沉積方法處理(如許多實施例中的雙面沉積)。除了 TiN 外，可用於本發明塗覆有擴散阻障層的基板之金屬膜還可在美國電機電子工程師學會電子元件會刊(IEEE Transactions on Electron Devices)第 53 卷第 4 期第 815 頁(2006 年 4 月)由 Afentakis 等人所著之內容中找到，其相關部分係併於文中作為參考。

結論/概要

綜上所述，本發明提供一種位於塗覆有擴散阻障層的基板上之半導體元件。本發明有助於避免金屬原子從其上具有擴散阻障層的金屬基板擴散進入形成在該金屬基板上的半導體元件。

前文中關於本發明特定實施例之描述係為說明本發明而提出，該等實施例並非窮盡列舉或是將本發明限制在所揭露的精確形式中，且根據上述之教示顯然可對本發明進行許多修改與變更。選擇特定實施例並加以說明是為清楚解說本發明的原理及其實施應用，讓該領域其他熟習技藝人士能夠善加利用本發明及各種經修改以適合所設想到之特殊用途的實施例。故此，本發明之範疇意欲以文後所附之申請專利範圍及其均等物來定義。

【圖式簡單說明】

第一圖顯示一位於塗覆有絕緣層之金屬基板上的 TFT 元件；

第二 A～E 圖顯示本發明之實施例以一用於在塗覆有擴散阻障層的金屬基板上製作 TFT 元件之例示方法所形成之結構；

第三 A～三 C 圖顯示另一種在金屬基板上形成擴散阻障層的之例示方法；

第四 A～四 B 圖顯示本發明之實施例以另一種用於製造塗覆有擴散阻障層的金屬基板之例示方法所形成之結構；

第五圖顯示 SiO_2 層下方 AlN 層與 TiN 層的反射率與該 SiO_2 層厚度之間的函數關係圖表。

【主要元件符號說明】

5	薄膜電晶體(TFT)	80	箭頭
10	基板	210	基板
20	絕緣層	220	擴散阻障層
30	半導體結構	230	絕緣層
40	閘極介電區域	240	元件層
50	閘電極	240a-b	閘電極(電晶體島)
60	源極區域	242a-b	通道區域
70	汲極區域	244a-b	源極區域

245a-b	薄膜電晶體(TFT)	330	絕緣層
246a-b	汲極區域	410	基板
250a-b	閘極絕緣層	420	阻障層
260a-b	閘極金屬層(閘電極)	425	抗反射層
270a-b	介電層	430	絕緣層
310	金屬基板	440	矽膜
320	擴散阻障層		

七、申請專利範圍：

1. 一種電性元件，包含：

一金屬基板，包含鐵、鉻、鎳、鉬、鈮、鈷、鈦、或其組合；

一或多個位於該金屬基板上的擴散阻障層，其中該一或多個擴散阻障層的至少一個包含簡式為 Ti_xN_y 或 $Ti_aAl_bN_c$ 的鈦化合物，其中 $x:y$ 的比例係從 3:4 至 3:2， $(a+b):c$ 的比例係從 3:4 至 3:2；

一或多個位於該一或多個擴散阻障層上的絕緣層，該一或多個絕緣層係使該一或多個擴散阻障層電性獨立於接著形成於該一或多個絕緣層上的電性電路元件及電性元件的特徵；及

一位於該一或多個絕緣層上的元件層。

2. 如申請專利範圍第 1 項之電性元件，其中該一或多個擴散阻障層的至少一個與該一或多個絕緣層的至少一個封住該金屬基板。
3. 如申請專利範圍第 1 項之電性元件，其中該一或多個擴散阻障層的至少一個與該一或多個絕緣層的至少一個塗覆在該金屬基板的至少一面。
4. 如申請專利範圍第 1 項之電性元件，其中該金屬基板的厚度約介於 $10\ \mu m \sim 1000\ \mu m$ 之間。
5. 如申請專利範圍第 1 項之電性元件，其中該一或多個擴散阻障層的至少一個包含該簡式為 $Ti_aAl_bN_c$ 的鈦化合物，其 $b > 0$ 。
6. 如申請專利範圍第 1 項之電性元件，其中該一或多個擴

散阻障層的厚度約介於 10 nm~1 μ m 之間。

7. 如申請專利範圍第 1 項之電性元件，其中該一或多個絕緣層包含氧化矽、氮化矽、氮氧化矽、氧化鋁或該等材料之組合。
8. 如申請專利範圍第 7 項之電性元件，其中該一或多個絕緣層的厚度約介於 100 nm~10 μ m 之間。
9. 如申請專利範圍第 1 項之電性元件，其中該元件層包含一半導體層。
10. 如申請專利範圍第 9 項之電性元件，其中該半導體層包含多晶矽與/或鍺。
11. 如申請專利範圍第 9 項之電性元件，其進一步包含一位於該半導體層上或下方之閘電極，該閘電極包含一閘極與一閘極介電層。
12. 如申請專利範圍第 1 項之電性元件，其中該元件層包含一第一導電層，該第一導電層係選自一第一金屬層與一第一重度摻雜的半導體層所組成的群組。
13. 如申請專利範圍第 12 項之電性元件，其進一步包含一位於該第一導電層上的介電層以及一位於該第一導電層上的第二導電層，該第二導電層係選自一第二金屬層與一第二重度摻雜的半導體層所組成的群組。
14. 一種用於在一金屬基板上製作一電性元件的方法，包含：
在該金屬基板上形成一或多個擴散阻障層，其中該金屬基板包含鐵、鉻、鎳、鉬、鈮、鈷、鈦、或其組合，且該一或多個擴散阻障層中至少一個包含簡式為 Ti_xN_y 或 $Ti_aAl_bN_c$ 的鈦化合物，其中 x:y 的比

例係從 3:4 至 3:2， $(a+b):c$ 的比例係從 3:4 至 3:2；
在該一或多個擴散阻障層上形成一或多個絕緣層，該一或多個絕緣層係使該一或多個擴散阻障層電性獨立於接著形成於該一或多個絕緣層上的電性電路元件及電性元件的特徵；及

在該一或多個絕緣層上形成一元件層。

15. 如申請專利範圍第 14 項之方法，其中該一或多個擴散阻障層的至少一個與該一或多個絕緣層的至少一個封住該金屬基板。
16. 如申請專利範圍第 14 項之方法，其中該一或多個擴散阻障層的至少一個與該一或多個絕緣層的至少一個塗覆在該金屬基板的至少一面。
17. 如申請專利範圍第 14 項之方法，其進一步包含在形成該一或多個擴散阻障層前清洗該金屬基板。
18. 如申請專利範圍第 14 項之方法，其中該金屬基板的厚度約介於 $10\ \mu\text{m}$ ~ $1000\ \mu\text{m}$ 之間。
19. 如申請專利範圍第 14 項之方法，其中形成該一或多個擴散阻障層之步驟包含以物理氣相沉積法、原子層沉積法或化學氣相沉積法沉積該鈦化合物。
20. 如申請專利範圍第 14 項之方法，其中該一或多個擴散阻障層的總厚度約介於 $300\ \text{nm}$ ~ $1\ \mu\text{m}$ 之間。
21. 如申請專利範圍第 14 項之方法，其中該一或多個絕緣層包含氧化矽、氮化矽、氮氧化矽、氧化鋁或該等材料之組合。

- 22.如申請專利範圍第 21 項之方法，其中形成該一或多個絕緣層之步驟包含以物理氣相沉積法、化學氣相沉積法或原子層沉積法沉積該一或多個絕緣層。
- 23.如申請專利範圍第 21 項之方法，其中該一或多個絕緣層具有一總厚度約介於 100 nm~10 μ m 之間。
- 24.如申請專利範圍第 14 項之方法，其中該元件層包含一半導體層。
- 25.如申請專利範圍第 24 項之方法，其中該半導體層包含矽與/或鍺。
- 26.如申請專利範圍第 25 項之方法，其進一步包含在該半導體層上或下方形成一閘電極，該閘電極包含一閘極與一閘極介電層。
- 27.如申請專利範圍第 14 項之方法，其中該元件層包含一第一導電層，該第一導電層係選自一第一金屬層與一第一重度摻雜的半導體層所組成的群組。
- 28.如申請專利範圍第 27 項之方法，其進一步包含一位於該第一導電性層上的介電層，以及一位於該第一導電層上的第二導電層，該第二導電層係選自一第二金屬層與一第二重度摻雜的半導體層所組成的群組。
- 29.如申請專利範圍第 25 項之方法，其進一步包含照射該半導體層使該半導體層至少局部結晶化。
- 30.一種電性元件，包含：

一金屬基板，包含鐵、鉻、鎳、鉬、鈮、鈷、鈦、或其組合；

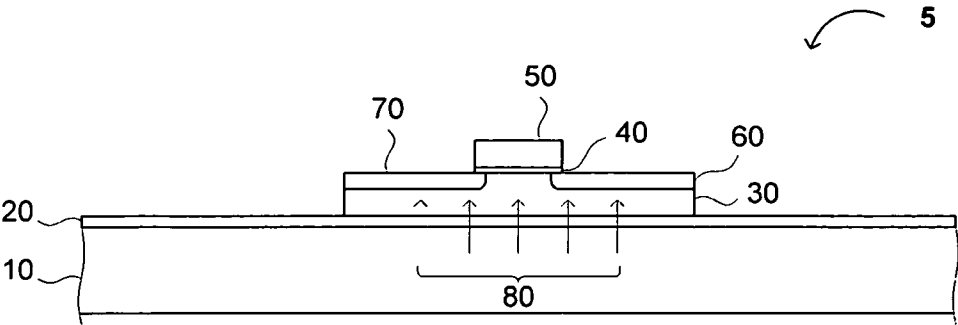
一或多個位於該金屬基板上的阻障層，其中該一或多個阻障層的至少一個包含簡式為 Ti_xN_y 或 $Ti_aAl_bN_c$ 的鈦化合物，其中 $x:y$ 的比例係從 3:4 至 3:2， $(a+b):c$ 的比例係從 3:4 至 3:2；

複數個位於該一或多個阻障層上的元件層，該複數個元件層包含一絕緣層、及選擇性地一半導體層及/或一導體層；及

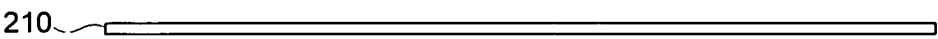
一天線，該天線位於該複數個元件層或該天線在該一或多個元件層上方。

- 31.如申請專利範圍第 30 項之電性元件，其中該一或多個阻障層封住或塗覆在該金屬基板的至少一面。
- 32.如申請專利範圍第 30 項之電性元件，其中該金屬基板的厚度約介於 $10\ \mu\text{m}$ ~ $1000\ \mu\text{m}$ 之間。
- 33.如申請專利範圍第 30 項之電性元件，其中該一或多個阻障層具有一總厚度約介於 $300\ \text{nm}$ ~ $1\ \mu\text{m}$ 之間。

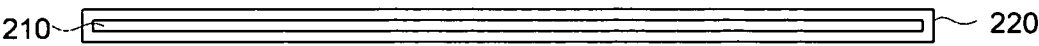
八、圖式：



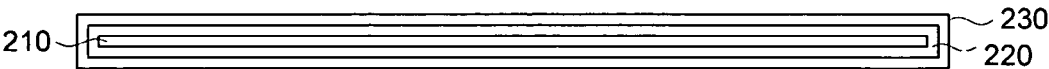
第一圖



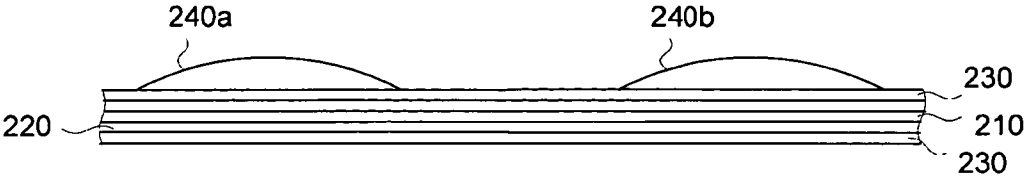
第二A圖



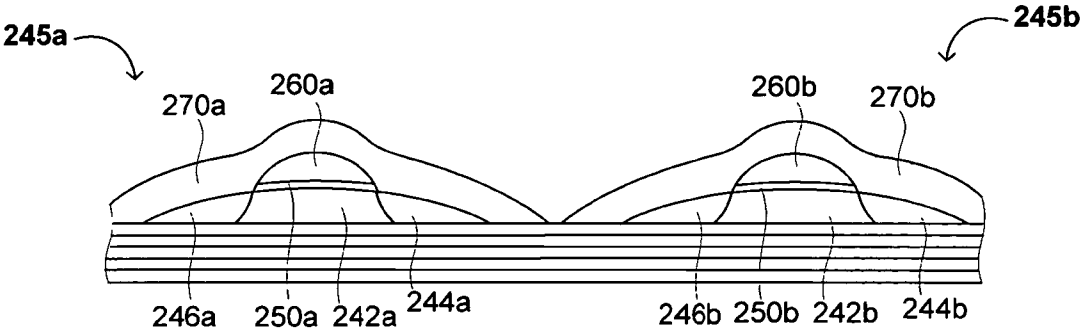
第二B圖



第二C圖



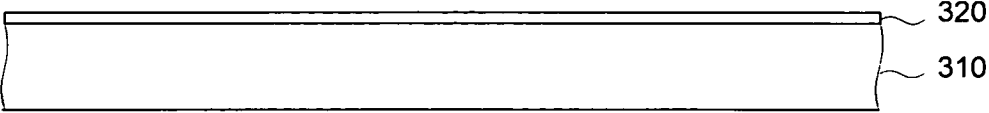
第二D圖



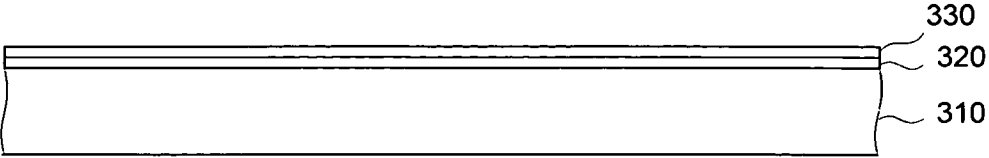
第二E圖



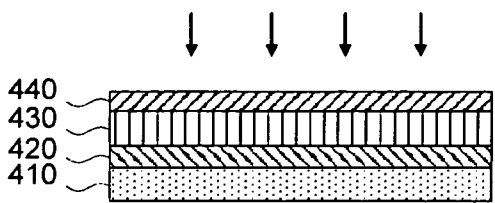
第三A圖



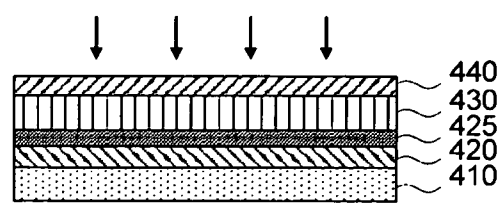
第三B圖



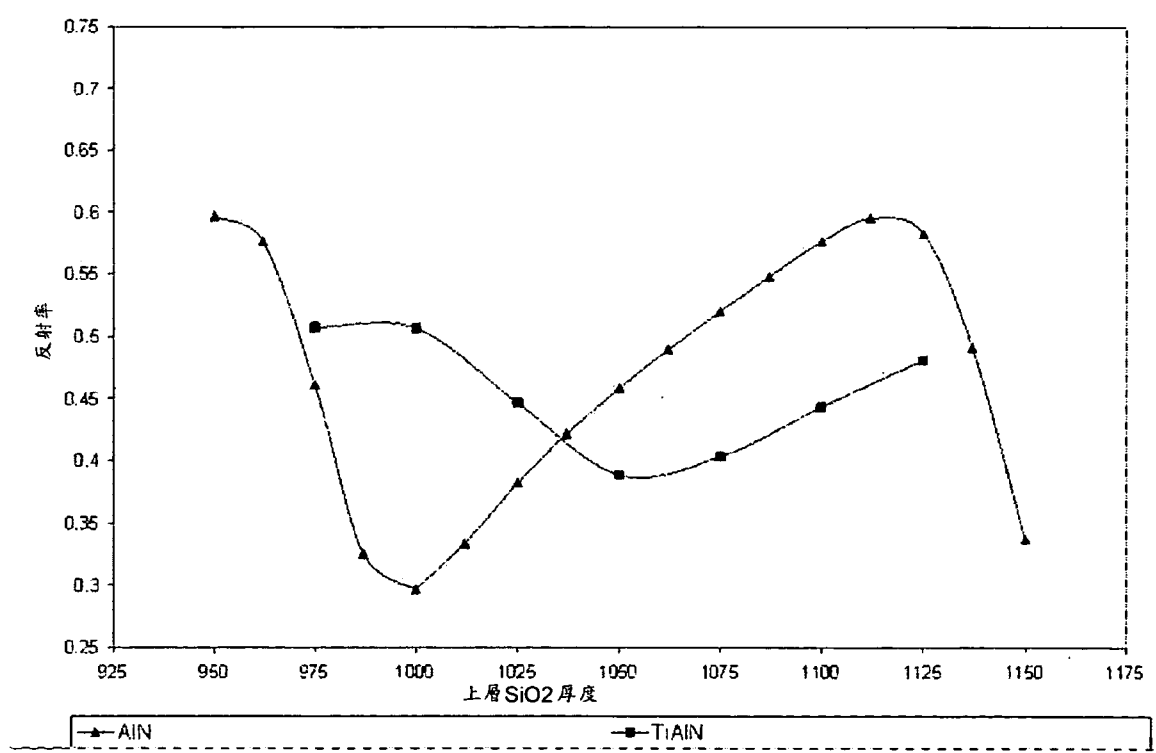
第三C圖



第四A圖



第四B圖



第五圖