

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H04B 5/04		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년06월 15일 10-0193972 1999년02월05일
(21) 출원번호	10-1996-0700922	(65) 공개번호	특 1996-0704403
(22) 출원일자	1996년02월24일	(43) 공개일자	1996년08월31일
번역문제출일자	1996년02월24일		
(86) 국제출원번호	PCT/US 94/09312	(87) 국제공개번호	WO 95/06364
(86) 국제출원일자	1994년08월18일	(87) 국제공개일자	1995년03월02일
(81) 지정국	AP ARIPO특허 : 말라위 수단 EA EURASIAN특허 : 벨라루스 카자흐스탄 러시아 EP 유럽특허 : 독일 핀란드 국내특허 : 오스트레일리아 바베이도스 불가리아 브라질 캐나다 중국 체코 헝가리 일본 대한민국 스리랑카 마다가스카르 몽고 노르웨이 뉴질랜드 폴란드 루마니아 슬로바키아 우크라이나 베트남		
(30) 우선권주장	8/112156 1993년08월26일 미국(US)		
(73) 특허권자	모토로라, 인크		
(72) 발명자	미합중국 일리노이주 샤움버그 이스트 알콘 로드 1303 (우편번호 : 60196) 상루, 케이쓰에이 미합중국 33065-4805 플로리다주 코럴 스프링즈 노스웨스트 24티에이치 스트리트 9953 말천트, 재퍼, 에스 미합중국 33462 플로리다주 랜타나 시더 씨클 2 리, 크자이어준 미합중국 33437 플로리다주 보인톤 비치 선포인트 씨클 5882		
(74) 대리인	김성택, 주성민		

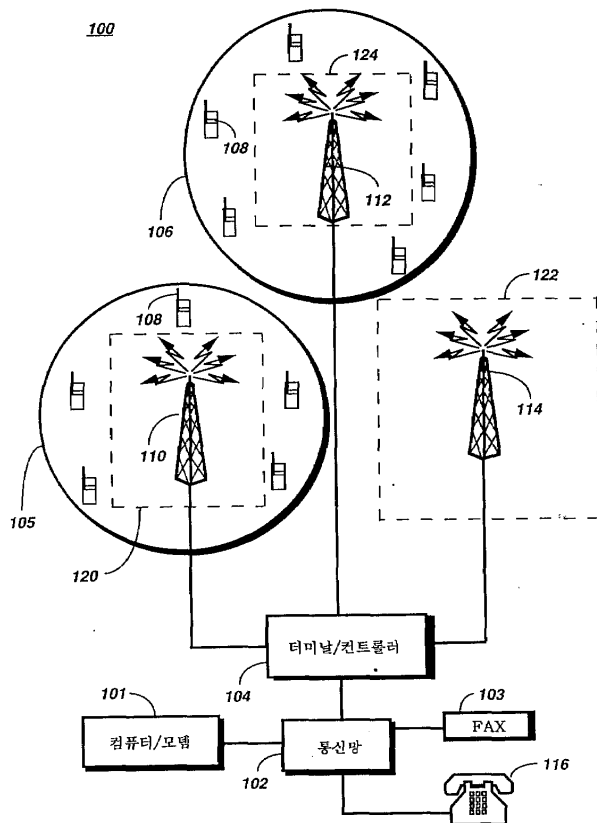
**심사관 : 최봉묵**

**(54) 다수의 선택 호출 수신기로 통신하기 위한 통신 시스템 및 그 방법**

**요약**

다수의 통신 신호들을 포함하는 신호를 수신하기 위한 선택 호출 기지국(100)은 신호를 디지털화하기 위해 아날로그-디지털(A/D) 컨버터(220)을 갖는다. 다수의 디지털화된 비트들(502-518)로서 신호를 저장하기 위한 메모리(204), 및 다수의 주파수 샘플들을 갖는 주파수 도메인 신호(제6도)로 다수의 디지털화된 비트들(502-518) 각각을 변환하기 위한 디지털 신호 프로세서(DSP:218)가 제공된다. 메모리(204)는 다수의 디지털화된 비트들(502-518) 각각에 대응하는 다수의 주파수 샘플들을 저장한다. 디코더(205, 218)는 다수의 주파수 샘플들로부터 다수의 통신신호들을 디코드한다. 디코더(206, 218)는 다수의 통신 신호들 각각의 다수의 디지털화된 비트들(502-518)의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우(902)를 발생시키기 위한 발생기(718)를 더 포함한다. 결정기(728)는 최대 에너지를 갖는 다수의 통신 신호들 각각의 적어도 하나의 주파수 샘플을 결정한다.

## 대표도



## 명세서

## [발명의 명칭]

다수의 선택 호출수신기로 통신하기 위한 통신 시스템 및 그 방법

## [발명의 상세한 설명]

## [본 발명의 분야]

본 발명은 일반적으로 통신 시스템에 관한 것으로, 특히 다수의 선택 호출 수신기로 통신하기 위한 통신 시스템 및 방법에 관한 것이다.

## [본 발명의 배경]

광 대역 채널을 통한 통신은 신호를 입력할 때 패스밴드 필터를 필요로 한다. 패스밴드 필터의 응답은 정확하게 광 대역 신호를 수신해서 판별기형(discriminator type) 복조기가 광 대역 신호를 효율적으로 디코딩하도록 해야만 한다. 그러나, 수신된 신호가 단일 광 채널 내의 다수의 협 대역 신호들을 포함할 때, 다수의 협 대역 신호들은 주파수들 각각으로 동조되는 응답을 갖는 다수의 필터들을 사용함으로써 디코딩된다. 다수의 필터들은 매우 비싼 강도의 디코딩 기술을 제공한다.

불행히도, 협 대역 채널을 통한 통신에서는, 수신된 신호가 페이딩 및 주파수 오프셋과 같은 2개의 주요한 문제를 갖는다. 페이딩의 경우, 수신된 신호의 엔벨로프 및 위상이 다 경로 영향(mult-path effects)으로 인해 임의의 방식으로 변하게 된다. 송신 주파수 변조된(FM) 신호가 다 경로 채널의 코히어런스 대역폭보다 작은 대역폭을 가지면, 수신된 신호 위상 변수들에 의해 생성된 임의의 FM노이즈는 요구된 변조에서 중첩된다. 따라서, 종래의 판별기가 신호를 복조하는데 사용되는 경우, 임의의 FM은 주파수 판별기의 출력에서 가능한 기저대 신호-대-노이즈 비율의 상한을 정한다. 또한, 신호-대-노이즈 비율의 상한(ceiling)은 협 대역 신호의 하한을 획득한다. 이 상한은 복조에 대한 예러 비율의 하한을 야기한다.

또한, 협 대역 신호들은 서브채널들 내의 상이한 위치에서 수신되도록 협 대역 신호들을 야기하는 임의의 주파수 오프셋을 갖는다. 따라서, 다수의 협 대역 필터들은 적어도 협 대역 서브채널들 각각에 동일한 주파수 응답(frequency response)을 가져야만 한다. 협 대역 필터들의 대역폭을 증가시킴으로써, 신호들은 협 대역 필터들의 대역폭 내에 도달할 것이다. 불행히도, 각 협 대역 신호의 수신을 보장하기 위해, 필터의 신호-대-노이즈 비율은 매우 강해되어야만 한다.

따라서 값싸고 효율적인 방식으로 고 신호-대-노이즈 비율을 발생시키기 위해 다수의 협 대역 신호들을 수신 및 디코딩하기 위한 방법 및 장치가 필요하다.

## [본 발명의 요약]

다수의 통신 신호들을 포함하는 신호를 수신하는 방법은 a)다수의 디지털화 된 비트들에 대응하는 신호를 디지털화하는 단계, b)다수의 디지털화된 비트들 각각을 다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 변환하는 단계, c)다수의 디지털화된 비트들 각각에 대응하는 다수의 주파수 샘플들을 저장되는 단계, 및 d)다수의 주파수 샘플들로부터 다수의 통신 신호들을 디코딩하는 단계를 포함한다. 상기 디코딩하는 단계는 e)다수의 통신 신호들 각각의 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키는 단계, 및 f)최대 에너지를 갖는 다수의 통신 신호들 각각의 적어도 하나의 주파수 샘플을 결정하는 단계를 더 포함한다.

다수의 통신 신호들을 포함하는 신호를 수신하기 위한 선택 호출 기지국은 신호를 디지털화하기 위한 아날로그-디지털(A/D) 컨버터, 다수의 디지털화된 비트들로서의 신호를 저장하기 위한 메모리, 및 다수의 디지털화된 비트들 각각을 다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 변환하기 위한 디지털 신호 프로세서(DSP)를 포함한다. 메모리는 다수의 디지털화된 비트들 각각에 대응하는 다수의 주파수 샘플들을 저장한다. 디코더는 다수의 주파수 샘플들로부터 다수의 통신 신호들을 디코딩한다. 디코더는 다수의 통신 신호들 각각의 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키기 위한 발생기를 더 포함한다. 결정기(determinator)는 최대 에너지를 갖는 다수의 통신 신호들의 각각의 적어도 하나의 주파수 샘플을 결정한다.

#### [도면의 간단한 설명]

제1도는 본 발명의 양호한 실시예에 따른 선택 호출 통신 시스템의 전기블럭도이다.

제2도는 본 발명의 양호한 실시예에 따른 선택 호출 기지국의 전기 블럭도이다.

제3도는 본 발명의 양호한 실시예에 따른 선택 호출수신기의 전기 블럭도이다.

제4도는 제3도의 선택 호출 수신기에서 사용되기에 적합한 마이크로컴퓨터 기재 디코더/컨트롤러의 전기 블럭도이다.

제5도는 본 발명의 양호한 실시예에 따른 선택 호출 수신기의 그룹 중 하나의 응답신호의 비트 패턴의 일례를 도시한 타이밍도이다.

제6도는 본 발명의 양호한 실시예에 따른 응답신호의 주파수 도메인 도를 나타내는 10개의 서브채널들을 도시한 광 대역 채널의 주파수 도메인 도이다.

제7도는 본 발명의 양호한 실시예에 따른 선택 호출 기지국의 DSP의 동작을 도시한 플로우차트이다.

제8도는 본 발명의 양호한 실시예에 따른 다수의 주파수 샘플들에 대응하는 다수의 비트들 및 열들에 대응하는 행들을 갖는 매트릭스 도이다.

제9도는 본 발명의 양호한 실시예에 따라 제5도에 대응하는 서브채널의 비트들의 주파수 도메인 도이다.

제10도는 본 발명의 양호한 실시예에 따라 윈도우를 발생시킴으로써 서브채널의 비트들의 디코딩을 도시한 주파수 도메인이다.

제11도는 본 발명의 양호한 실시예에 따른 선택 호출 수신기의 동작을 도시한 플로우차트이다.

#### [양호한 실시예의 설명]

제1도를 참조하면, 본 발명의 양호한 실시예에 따른 선택 호출 통신 시스템(100)이 도시되어 있다. 이 선택 호출 통신 시스템(100)은 본 기술 분야에 숙련된 자들에게 공지된 종래의 공중 또는 사설 통신망(102)를 경유하는 모뎀(101) 및 팩시밀리(FAX) 머신(103)과 전화(116)를 경유하는 컴퓨터(도시되지 않음)에 결합된 터미널/컨트롤러(104)를 포함한다. 터미널/컨트롤러(104)를 통해 통신망(102 : telephone network)은 다수의 선택 호출 기지국들(120-124)에 결합된다. 다수의 선택 호출 기지국들(120-124)은 각각의 송신기들/수신기들(110-114)을 통해 신호들을 송신 및 수신한다. 선택 호출 기지국들(120-124)의 동작은 이후에 상세히 설명될 것이다. 다수의 선택 호출 기지국들(120-124)은 터미널/컨트롤러(104)로부터의 신호들이 전달되어 다수의 선택 호출 수신기들(108) 중 적어도 하나의 수신기에 의해 수신되는 관련 커버리지 영역(예를 들면, 105 및 106)을 갖는다.

제2도를 참조하면, 선택 호출 기지국들(120-124)의 상세한 블럭도가 본 발명의 양호한 실시예에 따라서 도시되어 있다. 선택 호출 기지국들(120-124)은 예를 들어 전화(116), 컴퓨터(102), 팩시밀리(103) 또는 영숫자 입력 디바이스(도시되지 않음)를 사용하는 공중 또는 사설 통신망을 통해 메시지들이 선택 호출 통신 시스템(100)에 입력되게 하는 통신 인터코덱트(201)를 포함한다. 통신 터미널(202), 예를 들어, 모토로라의 MODEN PLUS 인코더는 통신 인터코덱트(201)를 통해 수신된 정보를 처리한다. 발생된 어드레스, 및 수신된 정보로부터 디코딩된 메시지는 다음 송신 사이클 때까지 메모리(204)에 저장된다.

도시된 바와 같이, 통신 터미널(202)은 링크 송신기(208), 통신 송신기(210), 링크 수신기(212) 및 통신 수신기(214)의 동작을 제어하는 컨트롤러(206)에 결합된다. 본 발명에서 사용되기에 적합한 컨트롤러의 일례는 모토로라의 MC6809 컨트롤러이다. 컨트롤러(206)에 결합된 타이밍 발생기(216)는 본 기술 분야에 숙련된 자들에게 공지된 기술에 따라 모든 선택 호출 기지국들(120-124)과 다수의 선택 호출 수신기(108)를 포함하는 선택 호출 통신 시스템(100)의 통신 및 동기를 위한 시스템 타이밍을 유지하기 위해 고정 정확도 클럭(high accuracy clock)을 제공한다. 동작 중에, 통신 송신기(210)는 송신 사이클에서 양호하게 제1주파수를 통해 페이징 타입 메시지를 포함하는 신호를 다수의 선택 호출 수신기들(108)로 송신한다. 양호하게, 선택 호출 수신기들 그룹은 통신 송신기(210)에 의해 페이징 메시지를 수신하도록 지정된다. 공지된 바와 같이, 송신 전의 페이징 메시지는 다수의 선택 호출 수신기들(108) 중 선택 호출 수신기들 그룹을 어드레스 하기 위해 적합한 어드레스로 인코딩된다. 예를 들면, 본 발명의 양호한 실시예에 따라 다수의 선택 호출 수신기들(108) 그룹에 페이저인 경우, 메시지를 수신한 그룹중의 선택 호출 수신기들은 거의 동시에 응답 신호들을 송신한다. 양호하게, 응답은 양호하게는 제1주파수보다 상당히 낮은 제2주파수를 통해 송신된다. 선택 호출 기지국들(120-124) 중 수신기(214)는 메모리(204)에 저장된 응답(응답 신

호 또는 애크-백 신호)을 수신한다. 공지된 바와 같이, 수신기(214)는 양호하게 기저대 신호를 생성하기 위해 애크-백 신호(ack-back)를 복조한다. 기저대 신호는 본 기술분야에 숙련된 자들에게 공지된 아날로그-디지털(A/D) 컨버터(220)에 의해 아날로그 신호로부터 디지털 신호로 변환(디지털화)된다. A/D 컨버터(220)에 의한 변환은 디지털 신호 프로세서(DSP : 218)에 의해 수신되어 저장된다. 예를 들어, DSP(218)는 모토롤라의 DSP56100 또는 텍사스 인스트루먼트의 TMS3000 시리즈 디지털 신호 프로세서들을 포함할 수 있다. 본 발명의 양호한 실시예에 따라, DSP(218)는 디지털화된 비트들로서 디지털화된 샘플들을 저장하고 애크-백 신호의 모든 비트들이 수신 및 저장될 때까지 디지털화된 샘플들을 연속해서 수신 및 저장한다. 디지털화된 샘플들은 복구되고 각 비트는 스펙트럴 도메인 도로 변환된다. 양호하게, DSP(218)는 선택 호출 수신기(108) 그룹 중 응답 선택 호출 수신기들로부터 합성 타임 도메인 신호로서 수신된 다수의 애크-백 신호들을 포함하는 주파수 도메인 신호를 발생시키기 위해 각 디지털화된 비트에서 FFT(Fast Fourier Transform)를 실행한다. 타이밍 발생기(216)는 다수의 애크-백 신호를 포함하는 다수의 디지털화된 비트들을 처리하기 위해 동기 및 타이밍을 제공하도록 DSP(218)에 결합된다. DSP(218)의 동작은 이후에 상세히 설명될 것이다.

제3도를 참조하면, 본 발명의 양호한 실시예에 따른 선택 호출 수신기의 전기 블록도가 도시되어 있다. 선택 호출 수신기(108)는 수신기(304)의 입력에 결합된 송신 무선 주파수(RF) 신호 등을 중재하기 위해 안테나(302)를 포함한다. 양호하게 RF 신호들을 예를 들어 숫자 또는 영숫자 메시지와 같은 수신기 어드레스 및 관련 메시지를 제공하는 선택 호출 (페이징) 메시지 신호들이다. 그러나, 톤 전용 시그널링(tone only signaling) 또는 톤 및 음성 시그널링과 같은 다른 공지된 페이징 시그널링 형식들이 또한 사용될 수 있음을 알 수 있다. 수신기(304)는 RF 신호를 처리하고 출력에서 복조된 데이터 정보의 데이터 스트림도 생성한다. 복조된 데이터 정보는 본 분야에 공지된 방식으로 정보를 처리하는 디코더/컨트롤러(306)의 입력에 의해 결합된다. 송신기(334)는 안테나(302) 및 디코더/컨트롤러(306)에 결합된다. 디코더/컨트롤러(306)에 결합된 전원 스위치(310)는 수신기로의 전원을 제어함으로써 배터리 절약 기능을 제공하는데 사용되고, 또한 페이징 메시지 수신 다음에 애크-백 응답을 송신하기 위한 송신기(334)에 결합되는데, 이것은 이후에 더 상세히 기술될 것이다.

편의상, POCsag 시그널링 형식이 사용되는데 이것은 본 기술 분야에 공지된 것이고, 또한 다른 시그널링 형식들이 사용될 수도 있음을 알 수 있다. 어드레스가 디코더/컨트롤러(306)에 의해 수신될 때, 수신된 어드레스는 코드 플러그(또는 코드 메모리:322)에 저장된 하나 또는 그 이상의 어드레스들과 비교되고, 매치(match)가 검출되면, 선택 호출 메시지 또는 페이징 수신됐음을 사용자에게 알려주기 위해 경보 신호가 발생된다. 경보 신호는 가청 경보(audible alert)를 발생시키기 위한 가청 경보 디바이스(314) 또는 소리 없는 진동 경보(silence vibrating alert)를 발생시키기 위한 촉각 경보(tactile alerting) 디바이스(316)에 관련된다. 무엇보다도 스위치들(320)은 선택 호출 수신기의 사용자가 본 기술 분야에 공지된 방식으로 가청 경보(314)와 촉각 경보(316) 사이에서 선택하게 한다.

그 다음 수신된 메시지 정보는 메모리(404:제4도)에 저장되고, 리셋, 판독 및 검출 등과 같은 추가 기능들을 제공하는 하나 또는 그 이상의 스위치들(320)을 사용하여 디스플레이하기 위해 사용자에게 의해 액세스될 수 있다. 특히, 스위치들(320)에 의해 제공된 적합한 기능들을 사용함으로써, 저장된 메시지는 메모리로부터 복구되고 디스플레이(308)에 의해 디스플레이되기 위해 디코더/컨트롤러(206)에 의해 처리되어 사용자가 메시지를 볼 수 있게 한다. 선택 호출 수신기(108)에 의한 메시지 수신은 메시지가 성공적으로 수신됐음을 알려주기 위해 선택 호출 기지국으로의 애크-백 응답을 자동적으로 발생시킬 수 있다. 양호하게, 사용자는 스위치들(320) 또는 본 기술 분야에 숙련된 자들에게 공지된 다른 입력 디바이스들을 사용함으로써 메시지를 입력시킨다. 메시지가 입력될 때, 디코더/컨트롤러(306)는 애크-백 응답을 발생시키기 위해 수신된 메시지에서 파생된 어드레스를 인코딩함으로써 메시지를 처리한다. 인코딩된 애크-백 응답은 그 후 본 기술 분야에 숙련된 자들에게 공지된 기술로서 페이징 메시지를 발신하는 선택 호출 기지국에 송신된다.

제3도의 컨트롤러/디코더(306)는 제4도에 도시된 마이크로컴퓨터를 이용하여 구현될 수 있다. 제4도는 제3도의 선택 호출 수신기에서 사용되기에 적합한 마이크로컴퓨터 기재 디코더/컨트롤러의 전기 블록도이다. 도시된 바와 같이, 마이크로컴퓨터(306)는 양호하게 모토롤라 인크.에 의해 제조된, 온-보드 디스플레이 구동기(414 : on-board display driver)를 포함하는 MC68HC05 시리즈 마이크로컴퓨터일 수 있다. 마이크로컴퓨터(306)는 마이크로컴퓨터(306)의 동작에 이용되는 타이밍 신호들을 발생시키는 발진기(418)를 포함한다. 크리스탈 또는 크리스탈 발진기(도시되지 않음)는 마이크로컴퓨터 타이밍을 설정하기 위해 기준 신호를 제공하도록 발진기(418)의 입력에 결합된다. 타이머/카운터(402)는 발진기(418)에 결합되고 수신기 또는 프로세서의 동작을 제어하는데 이용되는 프로그램 가능 타이밍 기능들을 제공한다. RAM(임의 액세스 메모리 : 404)은 프로세싱 중에 파생된 변수들을 저장할 뿐만 아니라 선택 호출 수신기로서 동작하는 동안 수신된 메시지 정보를 저장하는데 이용된다. ROM(판독 전용 메모리 : 406)는 수신기 또는 프로세서의 동작을 제어하는 서브루틴들을 저장하는데, 이것은 후에 더 기술될 것이다. 다수의 마이크로 컴퓨터 구현에서, 프로그램 가능-ROM(PROM) 메모리 영역이 프로그램 가능 판독 전용 메모리(PROM) 또는 EPROM(전기적 소거 가능 프로그램 가능 판독 전용 메모리)에 의해 제공될 수 있다. 발진기(418), 타이머/카운터(402), RAM(404) 및 ROM(406)은 명령들을 실행하고 마이크로컴퓨터(306)의 동작을 제어하는 중앙 처리 장치(CPU:410)에 어드레스/데이터/컨트롤 버스(408)를 통해 결합된다.

수신기에 의해 발생된 복조된 데이터는 입력/출력(I/O) 포트(412)를 통해 마이크로컴퓨터(306)내에 결합된다. 복조된 데이터는 CPU(410)에 의해 처리되고, 수신된 어드레스는 예를 들어 I/O 포트(413)를 통해 마이크로 컴퓨터내에 결합된 코드-플러그 메모리내에 저장된 것과 동일할 때, 메시지는 수신되어 RAM(404)에 저장된다. 저장된 메시지의 복구 및 선정된 수신기 어드레스의 선택은 I/O 포트(412)에 결합된 스위치들에 의해 제공된다. 그 후 마이크로컴퓨터(306)는 저장된 메시지를 복구하고 정보를 처리하는 디스플레이 구동기(414)에 데이터 버스(408)를 걸쳐 정보를 송신하고 LCD(액정 디스플레이)와 같은 디스플레이(308)에 의해 제공되는 정보를 포맷한다. 선택 호출 수신기의 어드레스가 수신될 때, 경보 신호는 발생되어 상술된 가청 경보 디바이스에 결합된 경보 인에이블 신호를 발생시키는 경보 발생기(416)에 데이터 버스(408)를 통해 루팅될 수 있다. 대안적으로, 진동기 경보가 선택될 때, 상술된 바와 같이, 마이크로 컴퓨터는 진동 또는 소리 없는 경보를 발생할 수 있게 하기 위해 I/O 포트(413)에 데이터 버스(408)를 통해

결합된 경보 인에이블 신호를 발생시킨다. 스위치 입력들은 데이터 버스(408)를 통해 I/O포트 (412)에 의해 수신된다. 스위치 입력들은 CPU(410)에 의해 처리된다. 특히, CPU(410)는 타이머 카운터(402) 및 발진기(418)와 함께 RAM(404)으로부터 선택 호출 기지국의 어드레스를 복구하고, CPU(410)는 데이터 버스(408)를 통해 송신기에 전달되는 애크-백 신호를 발생시킨다.

배터리 절약 동작은 전원 스위치(310)에 결합된 I/O포트(412)에 데이터 버스(408)를 통해 전달되는 배터리 절약 신호들과 함께 CPU(410)에 의해 제어된다. 수신된 선택 호출 수신기 어드레스 신호들 및 선택 호출 수신기에 전달된 임의의 메시지 정보의 디코딩을 가능하게 하기 위해 수신기에 전력이 정기적으로 공급된다. 특히, 선택 호출 수신기(108)가 페이징 신호를 디코딩하기 시작할 때, 수신기는 전원 스위치에 의해 파워된다. 페이징 메시지가 수신 및 저장될 때, 마이크로컴퓨터(306)는 수신기(304)로의 전력을 디스에이블하기 위해 전원 스위치(310)에 신호를 송신하고 애크-백 신호를 송신하기 위해 송신기에 전력을 인에이블한다.

제5도를 참조하면, 본 발명의 양호한 실시예에 따라 선택 호출 수신기들 그룹 중 하나의 응답(애크-백) 신호의 비트 패턴의 일례를 나타내는 타이밍도와 도시되어 있다. 기술된 바와 같이, 애크-백 신호는 선택 호출 기지국으로부터 페이징 신호보다 낮은 주파수이다. 예를 들어 애크-백 신호가 100bps의 범위 내에 있는 경우, 페이징 신호는 16내지 30Kbps의 범위 내에 있다. 비트 패턴(500)은, 예를 들어, 페이지된 선택 호출 수신기들 그룹의 한 서브채널에 대한, 선택 호출 수신기들 중 한 수신기의 애크-백 신호중 한 신호의 일례를 도시한 것이다. 비트패턴은 디지털 1s를 나타내는 비트들(502, 506, 510 및 516-518) 및 디지털 0s를 나타내는 비트들(504, 508 및 512-514)을 도시한 것이다. 양호하게, 애크-백 응답은 300 비트들을 갖는 배트 패턴을 포함하고, 비트들의 값들은 전달된 정보에 좌우된다. 예를 들어, N개의 또는 그 이하의 애크-백 응답들을 송신함으로써 대응하는 그룹 멤버들 다음에 N 멤버 그룹의 선택 호출 수신기들(108), 선택 호출 기지국은 각 비트 시간 내에 N개 또는 그 이하의 애크-백 응답들을 포함하는 합성 비트들을 수신하는데, 이것은 후에 더 상세히 기술될 것이다.

제6도를 참조하면, 본 발명의 양호한 실시예에 따라 응답 신호들의 주파수 도메인 도를 나타내는 예를 들어 10개의 서브채널들(10개의 애크-백 응답들)을 도시하는 30kHz의 채널의 주파수 도메인 도가 도시되어 있다. 상술된 바와 같이, 선택 호출 기지국에 의해 수신된 각 비트가 합성 비트를 포함하기 때문에, 합성 비트를 주파수 형태로 변환하여 예를 들어 서브 채널들의 10개의 애크-백 신호들을 도시하는 주파수 도메인 신호를 발생시킨다. 양호한 변조구조는 양호한 10개의 서브채널들(1-10) 중 하나의 서브채널에 지정된 그룹 내의 10개의 선택 호출 수신기들(108) 각각을 구별한 바이너리 주파수 시프트 키잉(FSK : Frequency Shift Keying)이다. 그룹 중 10개의 선택 호출 수신기들(108) 각각은 예를 들어 10개의 서브채널들 중 한 서브채널에 대응하는 상이한 서브주파수에 지정된다. 서브채널들(1-10)은 0s를 나타내는 톤들(602)과 0s를 나타내는 톤들(612) 사이의 300Hz의 인접거리(approximate separation)를 갖는다. 서브채널들(1-10) 각각은 10개의 서브채널들 각각의 1s 또는 0s를 디코딩하기 위한 각 서브채널들(1-10)의 중심을 표시하는 중심 축(650)에 배치된다. 본 분야에 숙련된 자들에게 공지된 바와 같이, 선택 호출 수신기의 발진기는 지정된 서브채널의 신호가 다른 선택 호출 수신기들 그룹에 지정된 인접 서브채널들로 시프트하는 것을 매우 정확하게 방지해야만 한다.

제7도를 참조하면, 선택 호출 기지국의 DSP의 디코딩 동작을 도시한 플로우차트가 본 발명의 양호한 실시예에 따라서 도시되어 있다. 동작 중에, 선택 호출 기지국(120-124:제2도)은 선택 호출 수신기의 선정된 그룹, 양호하게는 10개로 된 그룹된 지정된 메시지를 수신 및 인코딩한다. 이 인코딩된 페이징 메시지는 단계(702)에서 선택 호출 수신기들 그룹에 송신된다. 송신 후에, 선택 호출 기지국들(120-124)은 단계(704)에서 선택 호출 수신기들 그룹으로부터 애크-백 응답을 기다린다. 단계(706)에서는 애크-백 신호가 거의 동시에 도달한 선택 호출 수신기들 그룹으로부터 수신된 때를 검출한다. 따라서, 공지된 바와 같이, 각 선택 호출수신기의 선택 호출 기지국의 커버리지 영역의 어디에나 배치될 수 있기 때문에 예를 들어 그룹의 모든 선택 호출 수신기들이 거의 동시에 송신하는 것을 보장하기 위해 애크-백 신호를 송신하기 전에 위치와 무관하게 각 선택 호출 수신기는 지연된다. 각각의 선택 호출 수신기는 예를 들어 수신된 페이징 신호에 따라 지연값을 계산하고, 페이징 신호는 애크-백 신호를 송신하기 위해 지연 시간을 결정하는데 사용된 송신 시간을 나타내는 정보를 포함할 수 있다.

단계(708)에서, 애크-백 신호가 수신될 때, 애크-백 신호의 최고 주파수가 30kHz이기 때문에 A/D 컨버터는 양호하게 60kHz레이트로 비트들을 샘플하는 샘플-및-홀드 회로(S/H)를 포함한다. 애크-백 신호의 주파수가 100Hz이고 샘플링 주파수가 60Hz이기 때문에, 각 비트에는 600개의 샘플들이 있다. 이 샘플들은 단계(710)에서 대표 비트에 따라서 디지털화 되고, 구조화되고 저장된다. 예를 들어 애크-백 신호의 모든 비트들이 300개의 비트들이 될 때까지 단계들(708 및 710)은 반복된다. 각 비트를 대표하는 디지털화된 샘플들은 정의되고 메모리로부터 복구된다. 600개의 샘플들은 단계(712)에서 양호하게 신속 푸우리에 변환(FFT:Fast Fourier Transform)에 의해 요구된 2의 역승인 1024개의 샘플들을 야기하는 424개의 0s에 의해 증가(패드)된다. DSP는 단계(714)에서 애크-백 신호의 각 비트에 대해 FFT를 실행시킴으로써 애크-백 신호의 시간 형태를 주파수 형태(주파수 도메인 신호)로 변환한다. 주파수 샘플들은 단계(716)에서 저장된 후 다음 프로세싱을 위해 매트릭스 형태로 구조화된다.

제8도를 참조하면, 본 발명의 양호한 실시예에 따라 다수의 주파수 샘플들에 대응하는 다수의 비트들 및 열들에 대응하는 행들을 갖는 매트릭스 형태가 도시되어 있다. 매트릭스들(1-10)은 제6도에 도시된 서브채널들(1-10)에 대응한다. 매트릭스(1)의 행들을 애크-백 신호의 300개의 비트들에 대응하여 1-300으로 번호가 매겨진다. 매트릭스(1)의 열은 1-51로 번호가 매겨져서 각 서브채널의 다수의 주파수 샘플들을 나타낸다. 이전에 기술된 바와 같이, 각 비트는(패딩 후에) 1024개의 주파수 샘플들을 포함하고, 나타난 최고 주파수의 구성 성분은 30kHz이기 때문에 514개의 고차수(high-order) 주파수 샘플들은 스펙트럼 신호 형태의 원 상태(integrity)에 영향을 주지 않고 제거될 수 있다. 510개의 주파수 샘플들은 10개의 서브채널들(1-10)을 위해 남게 된다. 따라서, 각 서브채널을 51개의 샘플들에 의해 표현되고, 각 매트릭스를 처리함으로써, 각 서브채널의 유일한 매트릭스 형태 때문에 다른 서브채널들과 무관하게 처리될 수 있다.

제7도를 참조하면, 윈도우는 단계(718)에서 다수의 주파수(서브채널들) 각각에 대한 애크-백 응답의 정보를 디코딩하기 위해 발생된다. 윈도우는 단계(720)에서 서브채널(1)의 300개의 비트들을 가로지르는 서브

채널(1)의 주파수 도메인 신호의 피크의 위치를 정하기 위해 배치된다. 양호하게, 윈도우는 51개의 샘플 라인들의 샘플들의 8개의 라인들을 측정할 만큼 충분히 넓다. 윈도우가 300개의 비트들을 가로지르는 최저 8개의 샘플들에 양호하게 배치되면, 8개의 샘플 라인들은 단계(722)에서 누산된다. 누산된 8개의 샘플 라인들은 윈도우에서의 총 에너지를 나타낸다. 윈도우는 그 후 단계(724)에서 다음 위치로, 양호하게 한 샘플 라인 더 높게 시프트된다. 에너지는 단계(726)에서 새로운 윈도우 위치에 대한 다른 에너지 값을 구하기 위해 고유 7개의 샘플 라인들에 추가로 한 샘플 라인을 더함(누산함)으로써 다시 측정된다.

제9도를 참조하면, 제5도에 대응하는 서브채널(1)의 비트들의 주파수 도메인 형태가 본 발명의 양호한 실시예에 따라 도시되어 있다. 시간 도메인 비트 패턴(제5도)의 주파수 도메인 신호는 서브채널(1)의 스펙트럼 변환 후에 각 비트가 어떻게 나타나는지를 도시한 것이다. 비트들(502, 506, 501 및 516)은 라인(904)에 의해 정의된 1s로 표현되어 윈도우(902)의 제1절반을 나타낸다. 비트들(504, 508 및 512-514)은 라인(906)에 의해 정의된 0s로 표현되어 윈도우(902)의 제2절반을 나타낸다. 기술된 바와 같이 애크-백 신호는 디지털 FSK 변조되고, 여기에서 바이너리 1은 하부 주파수 톤(602 : 제6도 참조)에 지정되고, 바이너리 0은 상부 주파수 톤(612 : 제6도 참조)에 지정된다. 윈도우(902)는 각각의 서브채널의 모든 비트들 위해 배치되고, 비트들(502-516)은 첫 번째 8개의 비트들에 대응하고, 윈도우는 각각의 애크-백 신호(서브채널)의 300개의 비트들을 동봉하기 위해 다음 292개의 비트들에 걸쳐 계속된다.

이러한 방식으로, 윈도우의 위치는 최대 에너지가 배치될 때까지 시프트되어 서브채널(1)의 모든 300개의 비트들을 가로지르는 주파수 도메인 신호의 피크에 대응한다.

제10도를 참조하면, 주파수 도메인 형태는 본 발명의 양호한 실시예에 따라 윈도우를 발생시킴으로써 서브채널의 비트들의 디코딩을 도시한 것이다. 바이너리 1에 대응하는 톤(602)이 도시되고, 바이너리 0에 대응하는 톤(612)은 점선으로 도시된다. 윈도우(902)는 서브채널(1)의 중심(650)으로부터 오프셋에서 발생한 톤을 도시하기 위해 이상적으로 배치된다. 0톤의 점선 형태는 비트가 1 대신 0인 경우 제로 톤이 발생하는 위치를 도시한 것이다. 1 및 0은 서로 배타적으로 발생함을 알 수 있다.

제7도를 참조하면, 제2윈도우 위치의 에너지가 측정된 후에, 에너지 값들은 단계(728)에서 최대 에너지에 대응하는 윈도우의 위치를 결정하기 위해 서로 비교된다. 단계(730)에서는 모든 윈도우 위치들이 측정되었는지를 검사한다. 그렇지 않은 경우, DSP 프로세스는 다른 윈도우 위치로 시프트하기 위해 단계(724)로 진행한다. 모든 윈도우 위치들이 측정될 때, 단계(730)에서, 프로세스는 윈도우(902)를 절반으로 분할하는 단계(732)로 진행한다. 윈도우(902)의 에너지는 단계(734)에서 총 에너지가 임계값을 초과하는지를 결정하기 위해 검사된다. 임계값이 신호가 서브채널에 있는 때를 나타내어서, 에너지 값이 임계값 이하이면, 프로세스는 단계(736)에서 서브채널을 위해 종료된다. 그렇지 않은 경우, 프로세스는 윈도우(902)의 제2절반의 에너지와 윈도우(902)의 제1절반의 에너지를 비교하는 단계(738)로 진행한다. 단계(740)에서, 윈도우(902)의 제1절반의 에너지가 윈도우(902)의 제2절반의 에너지보다 큰 경우, 비트는 단계(744)에서 바이너리 1로 디코드된다. 다른 경우 비트가 단계(742)에서 바이너리 0으로 디코드된다.

이러한 방식으로, 본 발명은 다수의 선택 호출 수신기들로부터의 응답들을 나타내는 다수의 서브채널들을 디코드한다. 각 선택 호출 수신기는 선정된 서브채널들에 응답하고, 양호하게 거의 동시에 응답할 수 있는 최대 10개의 선택 호출 수신기들이 있더라도, 본 발명은 각 서브채널을 통해 각 애크-백 신호를 수신하기 위해 10개의 분리된 밴드패스 필터들을 필요로 하지 않는다. 각 서브채널의 필터는 다수의 애크-백 신호들을 디코딩하기 위해 저렴한 해결점을 제공하지 않는다. 또한, 필터의 응답이 애크-백 신호의 수신을 보장하기 위해 총 서브채널 보다 작기 때문에, 신호 대 노이즈 비율(SNR)은 적어도 51개 8의 비율로 감소되는데, 그 이유는 윈도우가 8개의 샘플들의 해상도 내에서 애크-백 신호의 피크를 검출할 수 있기 때문이고 필터의 응답은 신호가 손실되지 않았음을 증명하기 위해 적어도 51개의 샘플들만큼 넓어야만 한다.

각 서브채널의 밴드패스 필터의 응답이 SNR을 개선하기 위해 서브채널의 크기 이하로 감소되더라도, 이 감소는 필터가 필터의 응답의 외부에 있지만 할당된 서브채널 내부에 있는 애크-백 비트들을 검출할 수 없게 한다. 따라서, 합성 비트들을 FFT하고 주파수 도메인의 다수의 애크-백 신호들을 디코딩함으로써, 본 발명은 다수의 필터들을 필요로 하지 않기 때문에, 수신된 신호의 SNR을 최대화하면서 다수의 선택 호출 수신기들로부터의 다수의 애크-백 신호들을 검출하기 위한 저렴한 방법을 제공한다.

제11도는 본 발명의 양호한 실시예에 따라 선택 호출 수신기의 동작을 도시한 플로우차트이다. 선택 호출 수신기(108)는 단계(1102)에서 선택 호출 기지국으로부터 페이징 신호를 수신하고, 단계(1104)에서 그 어드레스 및 그 안에 포함된 메시지를 디코드 한다. 페이징 신호는 애크-백 응답을 송신함으로써 응답 전에 선택 호출 수신기(108)가 지연 시간을 계산할 수 있게 하기 위해 단계(1104)에서 또한 디코드되는 송신 시간을 포함한다. 선택 호출 기지국의 어드레스도 또한 단계(1106)에서 수신된 페이징 신호로부터 디코드된다. 선택 호출 수신기(108)는 단계(11108)에서 메시지가 입력될 때까지 또는 애크-백 응답을 송신할 때까지 지연된다. 양호하게, 선택 호출 수신기(108)는 본 기술 분야에 공지된 기술에 따라 사용자가 단계(1110)에서 애크-백 응답에 이용될 메시지를 입력할 수 있는 옵션을 제공한다. 메시지가 입력되지 않거나 송신 시간이 경과되지 않은 경우, 프로세스는 단계(1108)로 진행한다. 대안적으로 메시지가 입력되면, 메시지는 단계(1112)에서, 기지국의 어드레스에 따라 인코딩되고, 시간이 경과되면, 애크-백 신호가 디폴트 메시지에 따라 인코딩된다. 몇몇 사례에서, 선택 호출 수신기는 송신 선택 호출 기지국으로부터 어드레스를 수신할 필요가 없고, 단지 선택 호출 기지국으로 선정된 서브채널을 통해 메시지를 송신한다. 애크-백 메시지를 수신 및 인코딩 시에, 선택 호출 수신기는 단계(1114)에서 애크-백 응답을 송신하는 시간까지 지연된다. 애크-백 응답은 단계(1116)에서 선택 호출 기지국에 송신된다.

이러한 방식으로, 페이징 신호의 송신 시간을 디코딩함으로써 그룹의 다수수의 선택 호출 수신기는 페이지를 수신하기 위해 가장 시간을 인식하고 커버리지 영역을 외부 에지에서 임의의 선택 호출 수신기의 애크-백 메시지를 송신한다. 선택 호출 수신기는 현재 위치를 나타내는 적합한 시간만큼 지연하여서, 다수의 선택 호출 수신기들이 거의 동시에 응답하는 것을 보장할 수 있다.

요약하면, 선택 호출 기지국들은 다수의 통신 신호들을 포함하는 신호를 수신한다. 선택 호출 기지국은 신호를 다수의 디지털화된 비트들로 디지털화하기 위해 아날로그-디지털(A/D) 컨버터를 포함한다. A/D 컨

버터는 선정된 샘플링 레이트로 신호를 샘플링하기 위해 샘플링-홀딩(S/H) 회로를 더 포함해서 다수의 디지털화된 비트들 각각에 대한 다수의 디지털화된 샘플들을 발생시킨다. 메모리는 다수의 디지털화된 샘플들에 대응하는 신호를 저장하고, 디지털 신호 프로세서(DSP)는 다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 다수의 디지털화된 비트들 각각을 변환시킨다. DSP는 다수의 디지털화된 비트들 각각에 대응하는 다수의 디지털화된 샘플들을 식별하는 식별기(identifier)를 더 포함한다. 패딩 회로(padding circuit)는 다수의 디지털화된 비트들의 다수의 디지털화된 샘플들을 2의 멍승으로 증가시킨다. DSP는 다수의 주파수 샘플들의 발생시키기 위해 다수의 디지털화된 비트들 각각에 대응하는 다수의 디지털화된 샘플들에 대해 신속 푸우리에 변환(FFT)을 실행한다. 테이블 조직기(organizer)는 다수의 행들이 다수의 디지털화된 비트들을 포함하고 다수의 열들이 다수의 주파수 샘플들을 포함하는 매트릭스로 다수의 주파수 샘플들을 구조화한다. 메모리는 다수의 디지털화된 비트들 각각에 대응하는 다수의 주파수 샘플들을 저장하고, 디코더는 다수의 통신 신호들을 다수의 주파수 샘플들로부터 디코드한다. 디코더는 다수의 통신 신호들 각각의 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플을 에너지를 측정하기 위해 윈도우를 발생시키기 위한 발생기(generator)를 더 포함한다. 발생기는 주파수 도메인 신호들의 다수의 디지털화된 비트들의 대응하는 비트 상에 윈도우를 배치하기 위해 컨트롤러를 더 포함한다. 누산기(accumulator)는 윈도우의 에너지를 측정하기 위해 윈도우의 적어도 하나의 주파수 샘플을 누산한다. 컨트롤러는 다수의 주파수 샘플들 중 다른 하나를 측정하기 위해 윈도우를 시프트한다. 컨트롤러는 다수의 통신 신호들 중 한 신호의 다수의 주파수 샘플들이 측정될 때까지 윈도우를 계속해서 시프트한다. 결정기(determinator)는 최대 에너지를 갖는 다수의 통신 신호들 각각의 적어도 하나의 주파수 샘플을 결정한다. 결정기는 최대 에너지에 대응하는 윈도우의 위치를 결정하기 위해 윈도우의 각각의 위치의 에너지를 비교하기 위한 비교기를 더 포함한다. 분할기(divider)는 최대 에너지에 대응하는 윈도우를 제1부 및 제2부로 분할하고, 비교기(comparator)는 디지털화된 비트들 각각의 바이너리 형태를 결정하기 위해 제2부와 제1부를 비교한다.

이러한 방식으로, 본 발명은 다수의 선택 호출 수신기들로부터의 응답들을 나타내는 다수의 서브채널들을 디코드한다. 각각의 선택 호출 수신기는 선정된 서브채널들에 응답하고, 양호하게 거의 동시에 응답할 수 있는 최대 10개의 선택 호출 수신기들이 있더라도, 본 발명은 각 서브채널의 각 에크-백 신호를 수신하기 위해 10개의 분리된 밴드패스 필터들을 필요로 하지 않는다. 각 서브채널의 필터는 다수의 에크-백 신호들을 디코딩하기 위해 값싼 해결점을 제공하지 않는다. 또한, 필터의 응답이 에크-백 신호의 수신을 보장하기 위해 전체 서브채널보다 작지 않기 때문에, 신호-대-노이즈 비율(SNR)은 적어도 51대 8의 비율로 감소되는데 그 이유는 필터의 응답이 신호가 손실되지 않았음을 증명하기 위해 적어도 51 샘플들만큼 넓어야 하면서 8개의 샘플들의 해상도(resolution)내에서 에크-백 신호의 피크를 검출할 수 있기 때문이다.

각 서브채널의 밴드패스 필터의 응답이 SNR을 향상시키기 위해 서브채널의 크기 이하로 감소되더라도, 감소는 필터가 필터의 응답의 외부에 있지만 할당된 서브 채널의 내부에 있는 에크-백 비트들을 검출할 수 없게 한다. 따라서 본 발명은 수신된 신호의 SNR을 최대화하면서 다수의 선택 호출 수신기들로부터 다수의 에크-백 신호들을 검출하기 위한 값싼 방법을 제공한다.

## (57) 청구의 범위

### 청구항 1

다수의 통신 신호들을 포함하는 신호를 수신하기 위한 방법에 있어서, a)다수의 디지털화된 비트들(digitized bits)에 대응하는 신호를 디지털화하는 단계(digitizing); b)다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 다수의 디지털화된 비트들 각각을 변환하는 단계; c)다수의 디지털화된 비트들 각각에 대응하는 다수의 주파수 샘플들을 저장하는 단계; 및 d)다수의 주파수 샘플들로부터 다수의 통신 신호들을 디코딩하는 단계를 포함하는데, 상기 디코딩 단계는 e)다수의 통신 신호들 각각의 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키는 단계; 및 f)최대 에너지를 갖는 다수의 통신 신호들 각각의 적어도 하나의 주파수 샘플을 결정하는 단계를 더 포함하는 것을 특징으로 하는 신호 수신 방법.

### 청구항 2

제1항에 있어서, 상기 변환 단계는 다수의 디지털화된 비트들 각각에 대응하는 다수의 디지털화된 샘플들을 식별하는 단계; 2의 멍승으로 다수의 디지털화된 비트들의 다수의 디지털화된 샘플들을 증가시키는 단계; 및 다수의 주파수 샘플들을 발생시키기 위해 다수의 디지털화된 비트들 각각에 대응하는 다수의 디지털화된 샘플들에 대해 신속 푸우리에 변환(FFT:Fast Fourier Transform)을 실행하는 단계를 더 포함하는 것을 특징으로 하는 신호 수신 방법.

### 청구항 3

제1항에 있어서, 상기 발생단계가 다수의 통신 신호들 중 한 신호의 다수의 디지털화된 비트들을 가로지르는 적어도 하나의 주파수 샘플에 윈도우를 배치하는 단계; 상기 윈도우의 에너지를 측정하기 위해 상기 윈도우의 적어도 하나의 주파수 샘플을 누산하는 단계; 및 다수의 주파수 샘플들 중 다른 하나를 측정하기 위해 상기 윈도우를 시프트하는 단계를 더 포함하는데, 상기 시프트 단계는 상기 다수의 통신 신호들 중 한 신호의 다수의 주파수 샘플들이 측정될때까지 계속되는 것을 특징으로 하는 신호 수신방법.

### 청구항 4

제1항에 있어서, 상기 결정단계는 상기 최대 에너지에 대응하는 상기 윈도우의 위치를 결정하기 위해 상기 윈도우의 각 위치의 에너지를 비교하는 단계; 상기 최대 에너지에 대응하는 상기 윈도우를 제1부 및 제2부로 분할하는 단계; 및 다수의 디지털화된 비트들 각각의 바이너리 형태(binary representation)를 결정하기 위해 상기 제 1부를 상기 제2부와 비교하는 단계를 더 포함하는 것을 특징으로 하는 신호 수신 방법.

## 청구항 5

선택 호출 통신 시스템에서, 다수의 선택 호출 수신기들과 통신하기 위한 방법에 있어서, a)다수의 선택 호출 수신기들에 선택 호출 신호를 송신하는 단계; b)상기 선택 호출 신호를 수신하는 상기 다수의 선택 호출 수신기들 중 적어도 하나의 수신기로부터 응답 신호(acknowledgment signal)들을 포함하는 신호를 수신하는 단계; c)상기 신호를 디지털화하는 단계; d)다수의 디지털화된 비트들에 대응하는 신호를 저장하는 단계; e)다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 상기 다수의 디지털화된 비트들 각각을 변환하는 단계; f)상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 주파수 샘플들을 저장하는 단계; 및 g) 상기 다수의 주파수 샘플들로부터 상기 응답 신호들을 디코딩하는 단계를 포함하는데, 상기 디코딩 단계는 h)상기 응답 신호들의 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키는 단계; 및 i)최대 에너지를 갖는 상기 응답 신호들의 적어도 하나의 주파수 샘플의 결정하는 단계를 더 포함하는 것을 특징으로 하는 통신 방법.

## 청구항 6

제5항에 있어서, 상기 변환 단계가 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 디지털화된 샘플들을 식별하는 단계; 2의 역승으로 상기 다수의 디지털화된 비트들의 상기 다수의 디지털화된 샘플들을 증가시키는 단계; 및 상기 다수의 디지털화된 비트들 각각을 주파수 형태로 스펙트럴 변환(spectral transforming)하기 위해 상기 다수의 디지털화된 샘플들에 대해 신속 푸우리에 변환(FFT)을 실행하는 단계를 더 포함하는 것을 특징으로 하는 통신방법.

## 청구항 7

다수의 통신 신호들의 포함하는 신호를 수신하기 위한 선택 호출 기지국에 있어서, 상기 신호를 디지털화하기 위한 아날로그-디지털(A/D) 컨버터; 다수의 디지털화된 비트들로서 상기 신호를 저장하기 위한 메모리; 다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 상기 다수의 디지털화된 비트들 각각을 변환하기 위한 디지털 신호 프로세서(DSP:Digital Signal Processor); 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 주파수 샘플들을 저장하기 위한 상기 메모리; 및 상기 다수의 주파수 샘플들로부터 상기 다수의 통신 신호들을 디코딩하기 위한 디코더를 포함하는데, 상기 디코더는 상기 다수의 통신 신호들 각각의 상기 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키기 위한 발생기(generator); 및 최대 에너지를 갖는 상기 다수의 통신 신호들 중 각각의 적어도 하나의 주파수 샘플을 결정하기 위한 결정기(determinator)를 더 포함하는 것을 특징으로 하는 선택 호출 기지국.

## 청구항 8

다수의 선택 호출 수신기들과 통신하기 위한 선택호출 통신 시스템에 포함되어 있는 선택 호출 기지국에 있어서, 상기 다수의 선택 호출 수신기에 선택 호출 신호를 송신하기 위한 송신기; 상기 선택 호출 신호를 수신하는 상기 다수의 선택 호출 수신기들 중 적어도 하나의 수신기로부터 응답 신호들을 포함하는 신호를 수신하기 위한 수신기; 상기 신호를 디지털화하기 위한 아날로그-디지털(A/D) 컨버터; 다수의 디지털화된 비트들에 대응하는 상기 신호를 저장하기 위한 메모리; 다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 상기 다수의 디지털화된 비트들 각각을 변환하기 위한 디지털 신호 프로세서(DSP); 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 주파수 샘플들을 저장하기 위한 상기 메모리; 및 상기 다수의 주파수 샘플들로부터 상기 응답 신호를 디코딩하기 위한 디코더를 포함하는데, 상기 디코더는 상기 다수의 응답 신호들의 상기 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키기 위한 발생기; 및 최대 에너지를 갖는 상기 응답 신호들의 적어도 하나의 주파수 샘플을 결정하기 위한 결정기를 더 포함하는 것을 특징으로 하는 선택 호출 기지국.

## 청구항 9

제8항에 있어서, 상기 DSP는 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 디지털화된 샘플들을 식별하기 위한 식별기(identifier); 및 2의 역승으로 상기 다수의 디지털화된 비트들의 상기 다수의 디지털화된 샘플들을 증가시키기 위한 패딩 회로(padding circuit)를 더 포함하고, 상기 DSP는 상기 다수의 디지털화된 비트들 각각을 주파수 형태로 스펙트럴 변환하기 위해 상기 다수의 디지털화된 샘플들에 대해 신속 푸우리에 변환(FFT)을 실행하는 것을 특징으로 하는 선택 호출 기지국.

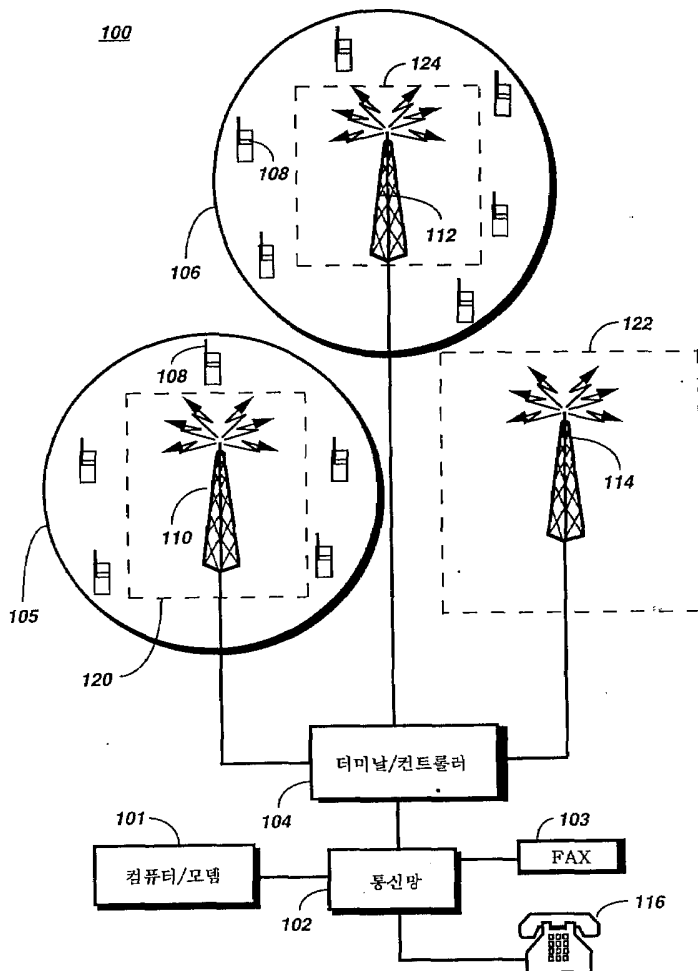
## 청구항 10

다수의 통신 신호들을 포함하는 신호를 수신하는 위한 선택 호출 기지국에 있어서, 선정된 샘플링 레이트로 상기 신호를 샘플링하여 상기 다수의 디지털화된 비트들 각각에 대한 다수의 디지털화된 샘플들을 발생시키기 위해 샘플링-홀드(S/H)회로를 더 포함하고, 상기 신호를 다수의 디지털화된 비트들로 디지털화하기 위한 아날로그-디지털(A/D) 컨버터; 상기 다수의 디지털화된 샘플들에 대응하는 상기 신호를 저장하기 위한 메모리; 다수의 주파수 샘플들을 포함하는 주파수 도메인 신호로 상기 다수의 디지털화된 비트들 각각을 변환하기 위한 디지털 신호 프로세서(DSP)로서, 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 디지털화된 샘플들을 식별하기 위한 식별기; 2인 역승으로 상기 다수의 디지털화된 비트들의 상기 다수의 디지털화된 샘플들을 증가시키기 위한 패딩 회로를 더 포함하고, 상기 다수의 주파수 샘플들을 발생시키기 위해 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 디지털화된 샘플들에 대해 신속 푸우리에 변환(FFT)을 실행하며, 상기 다수의 디지털화된 비트들을 포함하는 다수의 행들 및 상기 다수의 주파수 샘플들을 포함하는 다수의 열들을 갖는 매트릭스 형태로 상기 다수의 주파수 샘플들을 구조화하기 위한 테이블 조직기를 더 포함하는, DSP; 상기 다수의 디지털화된 비트들 각각에 대응하는 상기 다수의 주파수 샘플들을 저장하기 위한 상기 메모리; 및 상기 다수의 주파수 샘플들로부터 상기 다수의 통신 신호들을 디코딩하기 위한 디코더로서, 상기 다수의 통신 신호들 각각의 상기 다수의 디지털화된 비트들의 적어도 하나의 주파수 샘플의 에너지를 측정하기 위해 윈도우를 발생시키기 위한 발생기로서, 상기 주파수 도메인 신호들의 상기 다수의 디지털화된 비트들 중 대응 비트에 상기 윈도우를 배치하기 위한 컨트롤러와, 상기 윈도우의 에너지를 측정하기 위해 상기 윈도우의 적어도 하나의 주파수 샘플을 누산

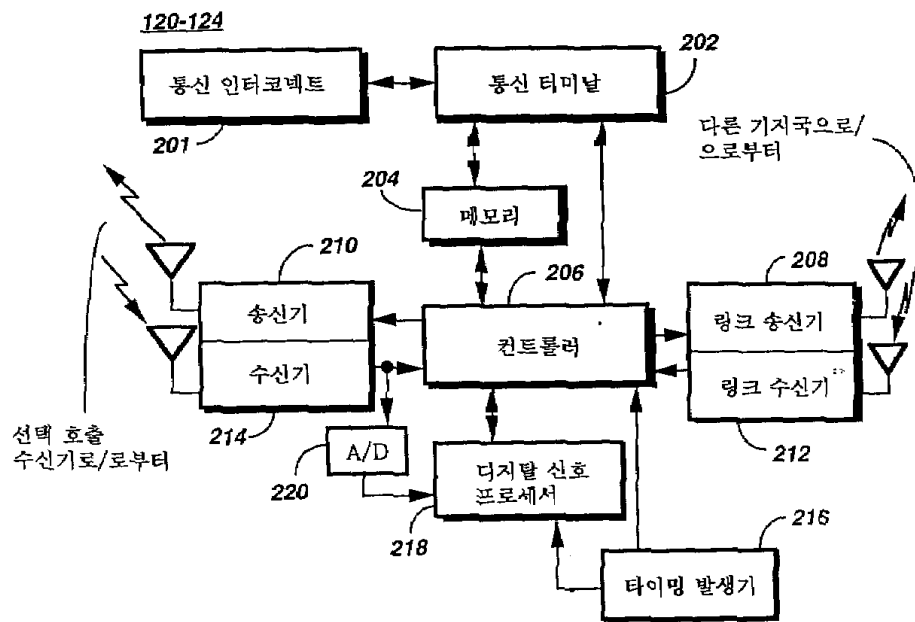
하기 위한 누산기를 더 포함하고, 상기 컨트롤러가 상기 다수의 주파수 샘플들 중 다른 하나를 측정하기 위해 상기 윈도우를 시프트하고, 상기 컨트롤러가 상기 다수의 통신 신호들중 한 신호의 상기 다수의 주파수 샘플들이 측정될 때까지 상기 윈도우를 계속 시프트하는, 발생기 및; 최대 에너지를 갖는 상기 다수의 통신 신호들 각각의 적어도 하나의 주파수 샘플을 결정하기 위한 결정기로서, 상기 최대 에너지에 대응하는 상기 윈도우의 위치를 결정하기 위해 상기 윈도우의 각 위치에 에너지를 비교하기 위한 비교기와, 상기 최대 에너지에 대응하는 상기 윈도우를 제1부 및 제2부로 분할하기 위한 분할기를 더 포함하고, 상기 비교기가 상기 디지털화된 비트들 각각의 바이너리 형태를 결정하기 위해 상기 제1부를 상기 제2부와 비교하는, 결정기를 더 포함하는, 디코더를 포함하는 것을 특징으로 하는 선택 호출 기지국.

## 도면

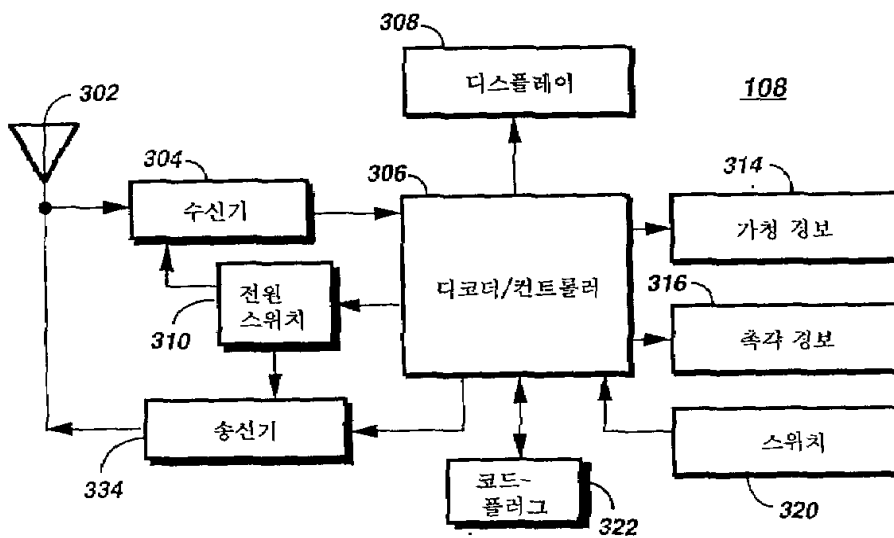
도면1



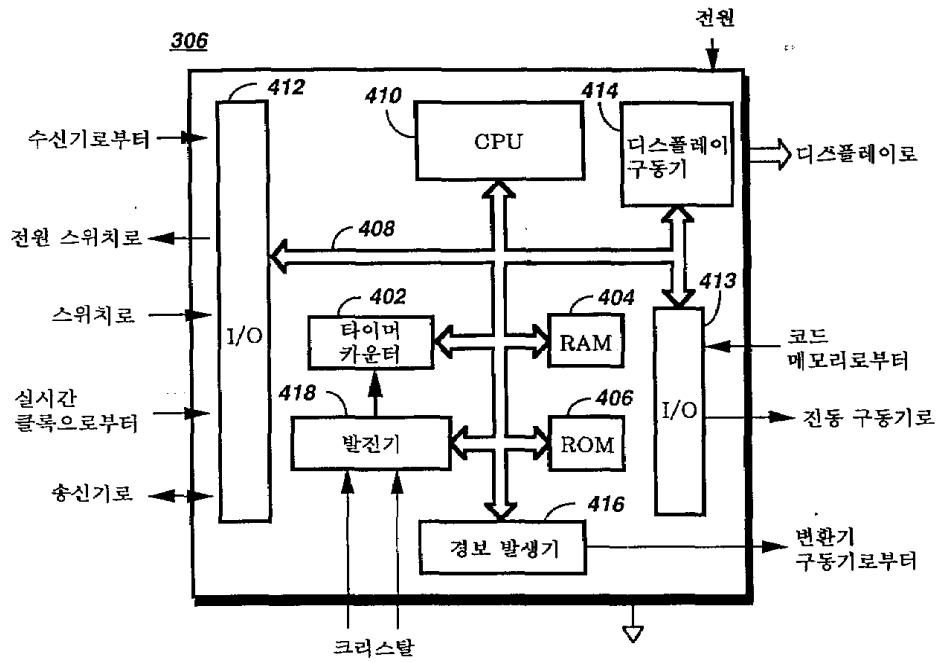
도면2



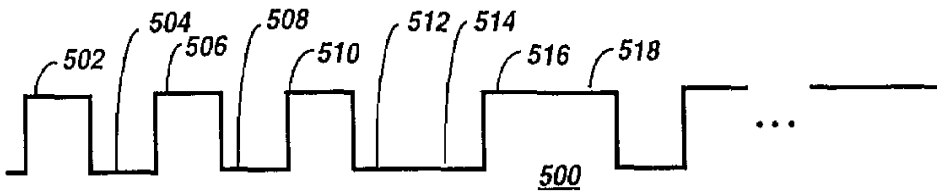
도면3



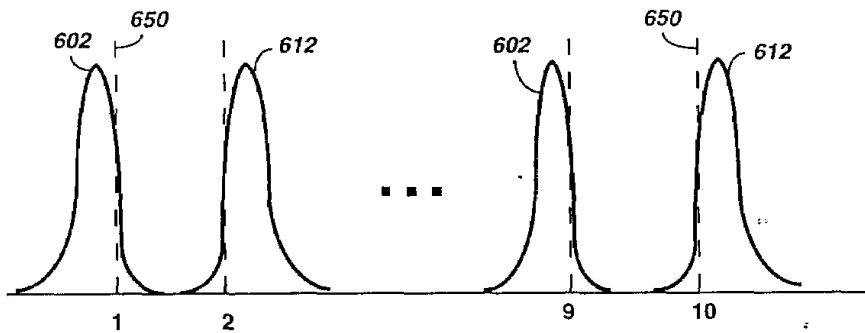
도면4



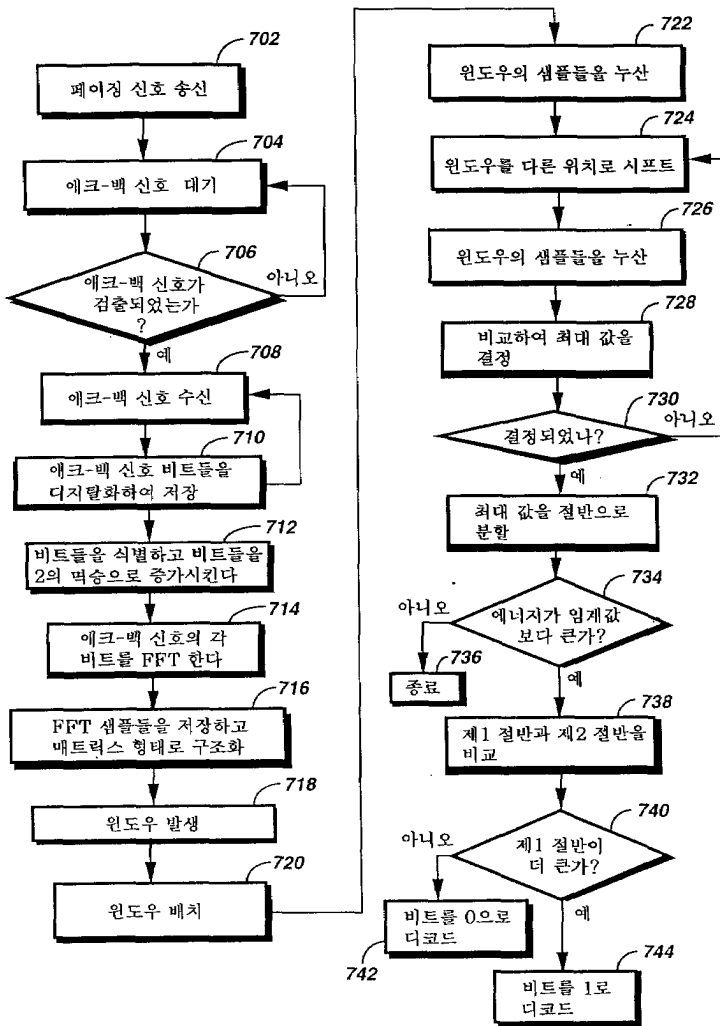
도면5



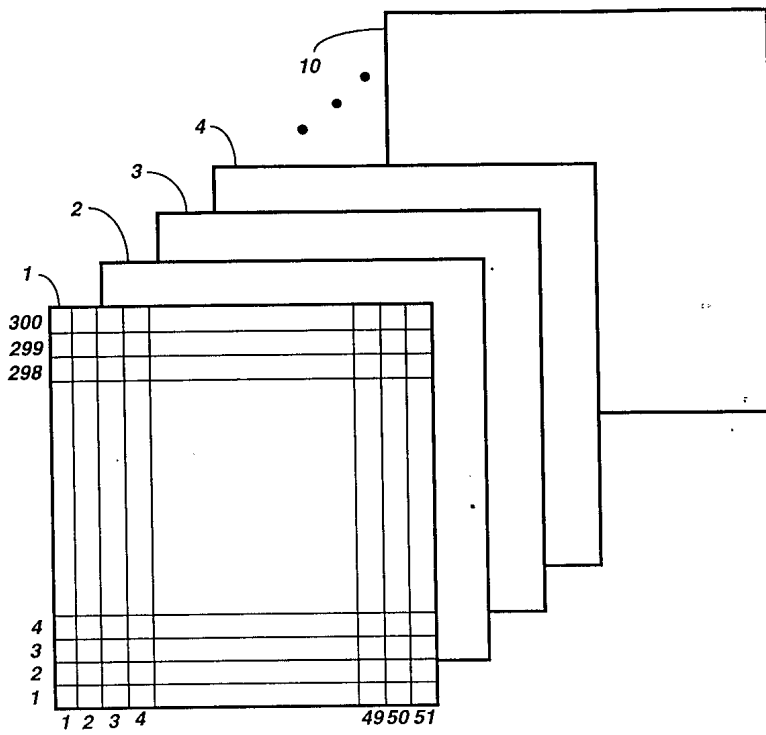
도면6



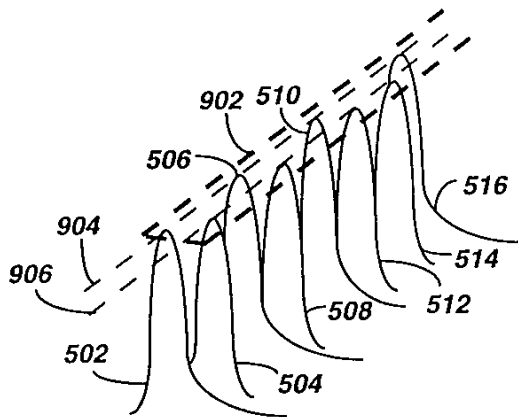
도면7



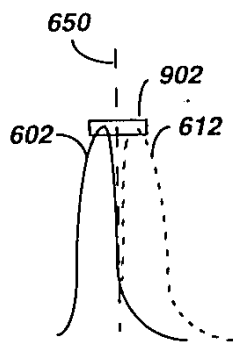
도면8



도면9



도면10



도면11

