



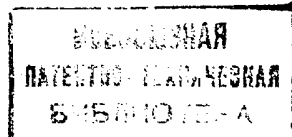
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1606972** **A1**

(51) **G 06 F 7/00**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4049759/24-63
(22) 03.04.86
(46) 15.11.90. Бюл. № 42
(72) В.С.Лупиков
(53) 681.325(088,8)
(56) Авторское свидетельство СССР
№ 1073770, кл. G 06 F 7/00, 1984.
Авторское свидетельство СССР
№ 1183956, кл. G 06 F 7/06, 1985.

(54) УСТРОЙСТВО ДЛЯ СОРТИРОВКИ ИН-
ФОРМАЦИИ
(57) Изобретение относится к вычис-
лительной технике и может быть ис-
пользовано в системах обработки дан-

ных. Цель изобретения - повышение
быстродействия за счет параллельного
выполнения процессов выдачи упорядо-
ченной последовательности и подготов-
ки устройства к приему последующей
сортируемой последовательности. Уст-
ройство имеет три режима работы:
очистка памяти, сортировка, считыва-
ние. Однако в отличие от устройства-
прототипа очистка памяти производится
в два раза быстрее и только для пер-
вой сортируемой последовательности.
Для последующих сортируемых последо-
вательностей режим очистки совмещает-
ся с режимом считывания, 2 ил.

Изобретение относится к вычисли-
тельной технике и может быть исполь-
зовано в системах обработки информа-
ции.

Цель изобретения - повышение бы-
стродействия устройства.

На фиг. 1 приведена структурная
схема устройства; на фиг. 2 - струк-
турная схема блока синхронизации.

Устройство для сортировки информа-
ции содержит блоки 1 и 2 памяти,
счетчики 3 и 4, блок 5 синхрониза-
ции, элемент ИЕ 6, информационные
входы 7 и 8, входы 9-11 управления,
информационные выходы 12 и 13, выхо-
ды 14 и 15 управления, элементы
ИЛИ 16-19, элементы 20 и 21 задержки,
элементы И 22-26, элемент И-ИЛИ 27,
триггеры 28 и 29, счетный триггер 30.

Блок 5 синхронизации содержит ге-
нератор 31 импульсов, регистр 32,

дешифратор 33, элементы И 34-36,
формирователь 37.

Устройство работает следующим об-
разом.

Режим "Очистка памяти". Режим за-
дается комбинацией "01" на входах
9 и 10 управления устройства. Кодовая
комбинация с входов 9 и 10 управления
сигналом с генератора 31 импульсов пе-
реписывается в регистр 32 и дешифри-
руется дешифратором 33. Высокий уро-
вень сигнала на выходе "Очистка" де-
шифратора 33 разрешает прохождение
синхронимпульсов через элемент И 34,
элементы ИЛИ 16 и 17 на тактовые
входы счетчиков 3 и 4 и через элемен-
ты ИЛИ 18 и 19 на входы управления
блоков 1 и 2 памяти. На информацион-
ных входах блоков 1 и 2 памяти при-
сутствует низкий уровень сигнала.
Производится запись нулевых битов ин-

(19) **SU** (11) **1606972** **A1**

формации по всем адресам блоков 1 и 2 памяти. Длительность T присутствия комбинации "01" на входах 9 и 10 управления должна удовлетворять условию

$$T \geq tN,$$

где t — период тактовых импульсов генератора 31;

N — информационная емкость блоков 1 и 2 памяти.

Режим очистки памяти используется только перед сортировкой первой последовательности чисел.

Режим "Сортировка". Режим задается комбинацией "10" на входах 9 и 10 управления устройства. При этом на выходе "Сортировка" дешифратора 33 присутствует высокий уровень сигнала, который поступает на информационные входы блоков 1 и 2 памяти и разрешает прохождение через элемент И 36 сигналов сопровождения данных сортируемой последовательности. Данные сортируемой последовательности поступают на входы 7 (младший разряд) и 8 устройства. В зависимости от значения младшего разряда данные с входа 8 сигналами с выходов элементов И 22 и 23 записываются в счетчик 3 или 4, а затем через элементы 20 и 21 задержки и элементы ИЛИ 18 и 19 производится запись в соответствующий блок 1 и 2 памяти единичного бита данных.

Режим "Считывание". Кодовая комбинация "11", которой на входах 9 и 10 управления задается режим считывания, вызывает появление на выходе "Считывание" дешифратора 33 высокого уровня сигнала. Одновременно с этим снижается высокий уровень сигнала с выхода "Сортировка" дешифратора 33, что приводит к срабатыванию формирователя 37, выходной сигнал которого устанавливает в нулевые состояния счетчики 3 и 4 и триггеры 28–30. Высокий уровень сигнала на выходе дешифратора 33 разрешает прохождение синхроимпульсов через элемент И 35 на входы триггеров 28 и 30 и элементов И 24 и 25. Триггер 28 устанавливается в единичное состояние по заднему фронту первого синхроимпульса. Триггер 30 изменяет свое состояние по заднему фронту каждого синхроимпульса. Сигналы с выходов элементов И 24 и 25 поступают на входы стробирования

элемента И-ИЛИ 27, на другие входы которых поступают выходные сигналы блоков 1 и 2 памяти. Сигналы с выходов элементов И 24 и 25 через элементы ИЛИ 16 и 17 поступают на счетные входы счетчиков 3 и 4 и через элементы ИЛИ на входы управления блоков 1 и 2 памяти. Триггер 28 блокирует прохождение первого синхроимпульса с выхода элемента И 25 через элемент И 26. Триггер 29 устанавливается в единичное состояние сигналом переполнения счетчика 3 и блокирует чтение данных из блока 1 памяти. В режиме "Считывание" производится поочередное чтение бита данных из блоков 1 и 2 памяти. Чтение производится по последовательно возрастающим адресам, формируемым на счетчиках 3 и 4. Если при чтении считывается единичный бит, то на выходе элемента И-ИЛИ 27 появляется сигнал, поступающий на выход 14 управления и свидетельствующий о необходимости считывания данных с выходов счетчика 3 и триггера 30, которые поступают на информационные выходы 12 (младший разряд) и 13 устройства. Одновременно с чтением данных из блоков 1 и 2 памяти производится и их очистка, т.е. запись нулевых битов данных по тем адресам (ячейкам) блоков памяти, данные из которых были перед этим считаны. Сигнал переполнения счетчика 4, т.е. сигнал на выходе 15 управления свидетельствует об окончании режима чтения и устанавливает регистр 32 в состояние "00".

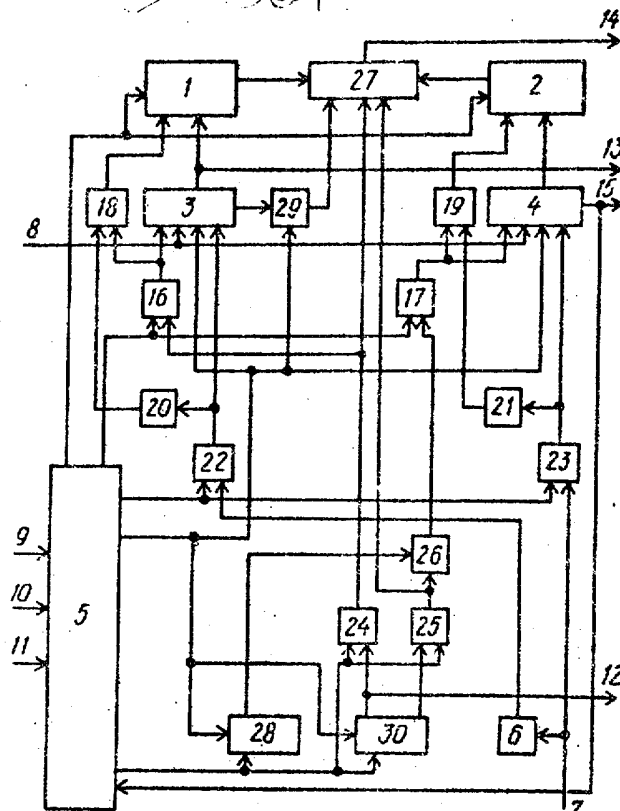
Таким образом, в режиме считывания на выходе устройства числа появляются в возрастающей последовательности.

Ф о р м у л а и з о б р е т е н и я

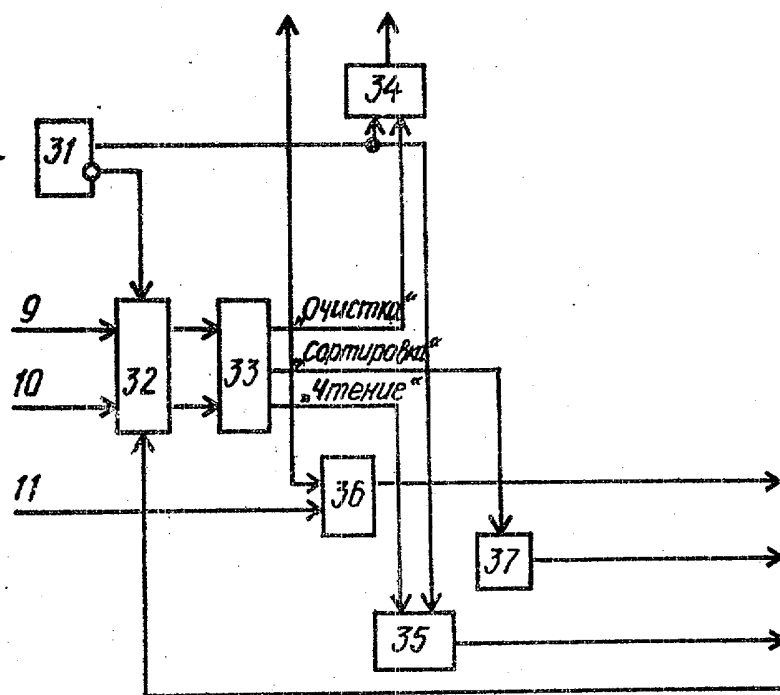
Устройство для сортировки информации, содержащее первый блок памяти, адресные входы которого соединены с выходом первого счетчика, элемент НЕ и блок синхронизации, первый, второй и третий входы которого являются входами управления устройства, отличающееся тем, что, с целью повышения быстродействия, в него введены второй счетчик и второй блок памяти, адресные входы которого соединены с выходом второго счетчика, последовательно соединенные первый

элемент И, первый элемент задержки и первый элемент ИЛИ, последовательно соединенные второй элемент И, второй элемент задержки и второй элемент ИЛИ, третий элемент ИЛИ и подключенный к его первому входу третий элемент И, последовательно соединенные четвертый и пятый элементы И и четвертый элемент ИЛИ, первый и второй триггеры, счетный триггер и элемент И-ИЛИ, первый и второй информационные входы которых соединены соответственно с информационными выходами первого и второго блоков памяти, информационные входы которых соединены с вторым выходом блока синхронизации, первый выход которого соединен с вторым входом третьего и четвертого элементов ИЛИ, третий выход блока синхронизации подключен к первым входам первого и второго элементов И, вторые входы которых соединены через элемент НЕ, четвертый выход блока синхронизации подключен к входам начальной установки первого и второго счетчиков, первого и второго триггеров и счетного триггера, а пятый выход блока синхронизации подключен к первым входам

третьего и четвертого элементов И, к входу первого триггера, выход которого соединен с вторым входом пятого элемента И, и к входу счетного триггера, первый и второй выходы которого соответственно через третий и четвертый элементы И подключены к соответствующим входам стробирования элемента И-ИЛИ, к блокирующему входу которого через второй триггер подключен управляющий выход первого счетчика, управляющий выход второго счетчика соединен с четвертым (дополнительным) входом блока синхронизации, выходы третьего и четвертого элементов ИЛИ подключены к тактовым входам соответственно первого и второго счетчиков и к управляющим входам первого и второго блоков памяти соответственно через первый и второй элементы ИЛИ, выходы первого и второго элемента И соединены с входами разрешения записи соответственно первого и второго счетчиков, при этом входы записи первого и второго счетчиков и второй вход второго элемента И являются входами данных сортируемой последовательности.



Фиг. 1



Фиг. 2

Редактор Е.Копча Составитель В.Харцхаев Техред Л.Олейник Корректор И.Муска

Заказ 3550

Тираж 562

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, «Раушская наб.», д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101