



[12] 发明专利说明书

[21] ZL 专利号 03106301.2

H04N 7/26 H04N 5/04

[45] 授权公告日 2005 年 3 月 2 日

[11] 授权公告号 CN 1191708C

[22] 申请日 1996.12.12 [21] 申请号 03106301.2
分案原申请号 96121603.4

[30] 优先权

[32] 1995.12.12 [33] US [31] 85/571, 040

[71] 专利权人 汤姆森消费电子有限公司

地址 美国印第安纳州

[72] 发明人 巴思·A·坎菲尔德

哈罗德·布拉特

审查员 戴惠英

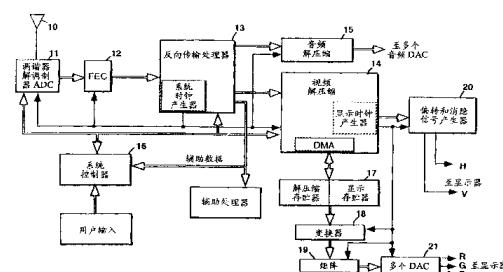
[74] 专利代理机构 北京市柳沈律师事务所
代理人 马 莹 邵亚丽

权利要求书 1 页 说明书 10 页 附图 6 页

[54] 发明名称 压缩视频信号处理装置

[57] 摘要

一种压缩视频信号处理装置，包括用于有选择地提供不同频率同步信号的可编程同步系统，该处理装置包括：压缩视频信号源(11)；反向传输处理器(13)，包括用于提供与包含在压缩视频信号中的时间标记同步的系统时钟的系统时钟产生器；解压缩装置(14)，所述解压缩装置连接到反向传输处理器；并包括与所述系统时钟产生器分开的象素时钟产生器，用于提供象素时钟；同步信号电路(18, 19, 20)，连接到所述象素时钟产生器，并响应所述解压缩装置而有选择地产生同步信号以在多个显示频率之间控制一个解压缩视频信号显示频率。



1、一种压缩视频信号处理装置，其特征在于：所述压缩视频信号处理装置包括：

5 压缩视频信号源(11)；

反向传输处理器(13)，包括用于提供与包含在压缩视频信号中的时间标记同步的系统时钟的系统时钟产生器；

解压缩装置(14)，所述解压缩装置连接到反向传输处理器，并包括与所述系统时钟产生器分开的象素时钟产生器，用于提供象素时钟；以及

10 同步信号电路(18, 19, 20)，所述同步信号电路连接到所述象素时钟产生器，并响应所述解压缩装置而有选择地产生同步信号以在多个显示频率之间控制一个解压缩视频信号显示频率。

2、如权利要求 1 所述的装置，其特征在于，所述装置还包括：

发送数据包源，所述发送数据包含有系统时钟基准；

15 系统时钟基准提取电路，用于从所述的数据包提取所述系统时钟基准；其中，所述象素时钟产生器包括：

第一受控振荡器，用于提供所述象素时钟信号；

第一模计数器，用于对所述象素时钟信号脉冲或其约数进行计数；

20 第一存贮器装置，用于存贮由所述第一模计数器在预定阶段提供的计数值，以产生第一本地时钟基准；

象素时钟控制电路，用于响应所述系统时钟基准和所述第一本地时钟基准而产生控制信号以控制所述第一受控振荡器；

所述系统时钟产生器包括：

第二受控振荡器，用于提供所述系统时钟信号；

25 第二模计数器，用于对所述系统时钟信号脉冲或其约数进行计数；

第二存贮器装置，用于存贮由所述第二模计数器在预定阶段提供的计数值，以产生第二本地时钟基准；以及

系统时钟控制电路，用于响应所述系统时钟基准和所述第二本地时钟基准而产生控制信号以控制所述第二受控振荡器。

压缩视频信号处理装置

5 本申请是申请日为 1996 年 12 月 12 日，申请号为 96121603.4，发明名称为“用于产生可变频率同步信号的方法和装置”的发明专利申请的分案申请。

技术领域

10 本发明涉及一种压缩视频信号处理装置，包括用于有选择地提供不同频率的同步信号的可编程同步系统，其中的一个特定实例是为显示以 MPEG 压缩形式传送的不同模式的视频信号而提供不同的帧同步频率。在本文中，MPEG 是指由国际标准化组织(ISO)的动态图象专家组(Motion Picture Experts Group)发起的压缩标准。

15

背景技术

这里将在 MPEG 视频信号接收机的环境中描述本发明，但是不应当认为本发明局限于视频信号的使用场合或局限于 MPEG 信号处理系统。

20 压缩的视频信号的 MPEG 标准的非常灵活之处在于可以压缩和传输具有不同显示模式的视频信号。例如，可以压缩帧频各不相同的源信号，而兼容的接收机可望有能力以适宜的帧频再现和显示相应的信号。特别要提及，当前正在由 FCC(美国联邦通信委员会)进行审查中的“大联盟高清晰度电视系统”(the Grand Alliance High Definition Television system)接纳了具有 29.97002997...Hz 或 30.000000Hz 帧频的 MPEG 压缩视频信号。该压缩的信号含有指示出接收信号帧频的数据字段，根据这个数据字段，服从大联盟系统的接收机自适应地重新配置以便以所指示的帧频来显示该收到的信号。

30 系统级别的 MPEG 压缩信号含有时间标记形式的同步信号。这些时间标记以 27MHz 的视频信号压缩系统时钟信号为基准。这些时间标记中的一个称作显现时间标记(Presentation Time Stamp)或 PTS，它出现在压缩信号的视频级别中、与进行压缩的源信号的帧的出现相同步、并且对于将要由各个接收机显示解压缩帧的精确时间起决定性作用。第二个称作系统时钟基

准(System Clock Reference)或 SCR 的时间标记包含在压缩信号的系统级别之中。在该系统级别内，将压缩的视频信号分割成一些精确设计的数据包。上述那些 SCR 就包含在这些数据包中，这些 SCR 表示出有关数据包形成/发送的精确时间。各个接收机利用这些 SCR 来使接收机中的系统时钟同步到压缩装置中的系统时钟。

将接收机系统时钟同步到压缩装置系统时钟，使得各个接收机分类缓存所接收的信号所需的存储器容量为最小。接收机系统时钟作为一种标准被解压缩装置利用来对压缩信号进行解码。因为接收机系统时钟与各 PTS 被作为基准的压缩装置系统时钟同步，所以解码后信号的显示也可以通过该接收机系统时钟来定时。然而，在广播信号接收机中使用信号时钟基准则有一些缺点。例如，发送次数不多的数据常常可能被丢失或不可靠，必须对解压缩信号作差错掩盖处理。这些处理势必打断解码数据的正常流动，并且可能妨碍与有关的 PTS 相应的帧的正常显示。还有，可能产生各种显示特点，例如停格(freeze frame)，这也打断了各 PTS 与系统时钟的适当联系。

15

发明内容

为克服现有技术的上述缺点，本发明的目的在于提供一种压缩视频信号处理装置，包括用于有选择地提供不同频率的同步信号的可编程同步系统。

20

本发明的压缩视频信号处理装置包括：压缩视频信号源(11)；反向传输处理器(13)，包括用于提供与包含在压缩视频信号中的时间标记同步的系统时钟的系统时钟产生器；解压缩装置(14)，所述解压缩装置连接到反向传输处理器；并包括与所述系统时钟产生器分开的象素时钟产生器，用于提供象素时钟；以及同步信号电路(18, 19, 20)，所述同步信号电路连接到所述象素时钟产生器，并响应所述解压缩装置而有选择地产生同步信号以在多个显示频率之间控制一个解压缩视频信号显示频率。

附图说明

图 1 是实施本发明的兼容 MPEG 的视频信号接收机的方框图；

图 2 是图 1 接收机的接收机系统时钟产生器的方框图；

图 3 是实施本发明的用于提供视频信号显示同步信号的可编程同步信号产生器的方框图；

图 4、7 和 8 是实施本发明的用于提供视频信号显示同步信号的其他形式的可编程同步信号产生器的方框图；

图 5 和 6 是可在图 4 装置中实现的另外两种可编程分频器的方框图；

图 9 是表示用于在图 8 装置中产生垂直同步信号的可编程计数器编程的流程图。

10 具体实施方式

参照图 1，发送的压缩视频信号，例如 MPEG 兼容的信号，在天线 10 被检测到并且被施加到调谐器 - 解调制器 11。调谐器 - 解调制器 11 可包含均衡电路和模数变换器。在系统控制器 16 的控制下，调谐器 - 解调制器 调谐到需要的频道，检测和解调制所需频率的载波并且将基带数字信号提供到前向纠错(FEC)电路 12。电路 12 可包括用于纠正正在接收信号中由发送引起的差错的里德 - 索洛蒙(Reed - Solomon)纠错和网格(trellis)解码电路。纠错后的信号加到反向传输处理器 13。

反向传输处理器执行多种功能，包括：从时分复用的数据包流中分离出需要的压缩信号数据包、从选出的数据包中提取数据包中的有效数据(payload)、对加密的信号有效数据进行解码、分类缓存选出的信号以及产生接收机系统时钟。一个示范性的反向传输处理器电路可以在美国专利第 5,459,789 号中找到。分离后的压缩音频信号加到音频信号解压缩器 15，分离后的压缩视频信号加到视频信号解压缩器 14，分离后的数据信号例如节目指南加到可包含微处理器的系统控制器 16。

视频信号解压缩器含有与解压缩存贮器 17 配合的电路以对接收的视频信号进行解压缩。解压缩的视频信号装入存贮器 17 的一部分，可用于以适当的帧频的显示。在本例中解压缩器 14 还包括根据本发明的显示器时钟产生器。显示器时钟产生器提供象素频率、水平行频和场/帧频信号。象素频率信号用于至少从显示存贮器读出解压缩的信号，也可用于解压缩处理自身。行频和场/帧频信号加到偏转电路 20 以产生施加到显示装置(未示出)的信号。

来自存贮器 17 的解压缩视频信号加到信号变换器 18, 该信号变换器含有对信号重新格式化以便显示的电路。例如, 信号变换器可以包括将 4: 2: 0 格式的视频信号变换成 4: 2: 2 格式的装置和将非隔行显示的信号变换成隔行显示信号的装置等等。

5 从单元 18 提供的变换后信号的格式是 Y、R-Y 和 B-Y。这些信号加到色矩阵 19 去产生数字的 R、G 和 B 信号, 这些信号还可包括对比度、亮度和颜色校正控制。数字 R、G 和 B 信号加到数模转换电路 21, 以将 R、G 和 B 信号各自变换成适用于显示器驱动器电路(未示出)的模拟形式。

图 2 表示举例的接收机系统时钟产生器 25。在本实施例中, 从前向纠错电路 12 来的数据耦合到反向传输处理器 32 和 SCR 数据包检测器 31。反向传输处理器 32 从各个传输数据包有效数据中分离出传输数据包头标数据。反向传输处理器 32 响应该传输头标数据将视频信号有效数据(这里称为服务数据 1)加到例如视频解压缩装置 14, 并将辅助数据(这里称为服务数据 2)加到适当的诸如系统控制器 16 之类的辅助数据处理单元。典型地包含在 15 辅助数据中的各个 SCR 经路经选择存贮到存贮器单元 34。

SCR 数据包检测器 31 可以是安排来识别传输数据包头标中适当标帜的匹配滤波器, 该 SCR 数据包检测器在出现含有一 SCR 的传输数据包时产生一控制脉冲。该控制脉冲加到锁存器 35, 锁存器 35 响应控制脉冲而存贮由本地计数器 36 当前表示出来的计数值。本地计数器 36 设置成对由例如电压控制振荡器(VCO)37 提供的脉冲进行计数。计数器 36 安排成与对应计数器对同一数目的模(modulo)计数, 该对应计数器位于信号编码器装置(未示出)中, 该信号编码器装置产生包含在传输数据包内的 SCR。

电压控制振荡器 37 产生典型值为 27MHz 的接收机系统时钟信号。由时钟控制器 39 提供的经低通滤波的误差信号控制该电压控制振荡器 37。该误差信号可以按以下方法产生。将时刻 n 来到的 SCR 称作 SCR_n, 将同时存贮在锁存器 35 中的计数值称作 L_n。时钟控制器读出相继的 SCR 和 L 值, 形成与下列差值成比例关系的误差信号:

$$E \Rightarrow | SCR_n - SCR_{n-1} | - | L_n - L_{n-1} |$$

误差信号 E 被利用来调节电压控制振荡器 37 使其表现的频率趋于消除该误差信号 E。由时钟控制器 39 产生的误差信号的形式可以是脉冲宽度调制的信号, 低通滤波器 38 可以用模拟元件实现。

在另一种配置的装置中，计数器 36 可以在启动时进行初始化，以表示与第一次检测的 SCR 相等的计数值。此后可以产生与差值($SCR_n - L_n$)成比例的误差信号。然而这种装置要求有复杂得多的计数器电路和将第一次接收的 SCR 加到计数器的路由电路。

5 以上两种装置中，电压控制振荡器的自由振荡频率必须相当接近编码器/压缩器中系统时钟的频率。

在图 2 中，有第二时钟产生器 26。该时钟产生器 26 与图 4 装置中所示的 VCXO 相结合以产生象素显示时钟。时钟产生器 26 的工作与时钟产生器 25 的工作相似，因此不予以细述。

10 参照图 3，该图表示包括在视频解压缩器 14 中的显示时钟产生器的第一个实例。虽然显示时钟产生器和系统时钟是分开的，但是最好是将显示时钟同步到系统时钟上。在图 3 中，同步是通过将显示时钟与 27MHz 的接收机系统时钟锁相来实现的。

15 在图 3 中，通过将显示时钟产生器锁相到其上的系统时钟除以不同的因子来产生不同的同步(帧)频率。用可编程分频器 301 来实现这一除法，可编程分频器 301 在解压缩器控制器的控制下将系统时钟除以数值 N。数值 N 根据需要的帧频来选择。例如，如果需要的显示帧频为 30.000000Hz，则选择的数值 N 为 1000。另外，如果需要的显示帧频为 29.97002997...Hz，则选择的数值为 1001。

20 倍除后的系统时钟信号加到包含在锁相环中的相位比较器 302 的第一输入端，该锁相环由环路滤波器 303、压控振荡器(VCO)304 和 M 倍除电路 305 组成。该锁相环属于常规设计，信号处理领域的技术人员能够理解它的操作。VCO 304 的输出频率和 M 倍除电路 305 中因子 M 的数值要由所希望的象素时钟频率来决定。例如，如果象素时钟频率选择在 74.25MHz，则值 25 M 必须是 2750。

为了产生合适的帧同步信号，象素时钟频率加到电路 306 中另外的分频器。假定每行有 2200 个象素，则 74.25MHz 时钟用 2200 来除以便产生 33.750KHz 的行频信号。最后，假定每帧有 1125 行，则行频信号加到在电路 306 中的第二个分频电路，将行频信号除 1125 以产生帧频信号。

30 图 3 的电路产生出可接受的象素时钟和可选择的帧频信号。然而，相位检测器 302 - 环路滤波器 303 的组合却用比象素时钟频率相对低的频率的

误差信号，这是所不希望的。克服这一缺点的更好的实施例示于图 4 中。

图 4 的系统产生不受显著的 VCO 误差信号支配的象素时钟信号。在图 4 中，象素时钟由压控晶体振荡器 VCXO 401 产生。VCXO 的输出频率(在图中未出为 81MHz)可以是 81MHz、74.25MHz、27MHz 等等，这取决于系统的应用场合。由于振荡器的基础是晶体，所以象素时钟频率十分稳定，频率偏差相当地小。例如，“大联盟”接收机对系统的要求是象素时钟频率的变化不超过千分之一，不管帧频是 29.97002997...Hz 还是 30.00Hz。这样的稳定度用例如 VCXO 401 的 VCXO 就可轻易达到。

在图 4 装置中，显示时钟是间接锁相到系统时钟。即，VCXO 401 的输出通过 SCR 锁相到编码器或压缩器的系统时钟，其方式与接收机系统时钟装置锁相到压缩器系统时钟相类似。在包括 3 倍除电路 403 和(图 2 的)SCR 处理器 26 的环路中实现所述的锁相。

VCXO 401 的象素频率时钟输出耦合到倍除电路 404。假定每行的有效象素是 1920 个或每行的总象素是 2400 个，则安排倍除器 404 使得将象素频率时钟除以 1200 以提供二倍行频的信号。此信号加到 2 倍除电路 406 以产生水平同步信号。

二倍行频信号也耦合到可编程除法器 405。假定每帧有 1125 行，为了产生 60Hz 的垂直频率即场频信号，可编程除法器 405 调整到将二倍行频信号除以例如 1125。除法器 405 的输出耦合到 2 倍除电路 407 以产生帧频同步信号。

不可能将二倍行频信号(或行频信号)除以整数来产生对应于 59.94005994...Hz 垂直频率信号的 29.97002997...Hz 帧频信号。为了产生 59.94005994...Hz 垂直频率信号，加到可编程除法器 405 的除法因子周期性地在每帧 1125 行和 1127 行之间变换。假若除数 1125 用“0”表示，除数 1127 用“1”表示，并且加到可编程除法器 405 的除数按照 0000000111111111 的模式以 16 帧序列反复出现，则平均场频(垂直频率)将刚好是 59.95005994...Hz。可以按照模式 1010101101010101 来安排反复的 16 帧序列，即，10101011010101.10101011010101.10101011010101(其中加入“.”仅仅是为了指示序列之间的分界)以产生有效的瞬时 59.94005994...Hz 垂直频率。当该交替的除数模式加到计数器 405 时，二倍除电路 407 就提供 29.97002997...Hz 的帧频同步信号。

如要产生隔行扫描信号，就需要上述产生的垂直或场频信号。注意，在以上说明中，加到除法器 405 的除数是以帧频而不是以场频连接(toggle)的。以帧频连接除数保证了除以 1127 时在帧中出现的额外行被分配到奇数场和偶数场这两种场中。

5 如果安排相应的解压缩器仅输出逐行扫描信号，则可以将除法器 404 调节到以 2400 分频而不是以 1200 分频。这时，两个二倍除电路 406 和 407 都不必要了。可编程除法器 405 将直接提供帧频信号。

图 5 表示可以选接不同除数的示范性可编程分频器电路。二进制计数器 501 以二倍行频信号为时钟，并用帧频信号复位。(为简单起见，假定图 10 5 的所有电路均由边沿触发。)由二进制计数器提供的并行输出信号加到多个解码器 502 - 504。当计数器 501 到达相应的与有关解码器有关的除数的计数值时，有关的解码器就提供一输出脉冲。例如，解码器 1 可以响应于除 1125，此时，在计数器 501 输出表示出现了 1125 个 2H 时钟信号脉冲的计数值 1125 的情况下，解码器 1 将输出一脉冲。有关的解码器 502 - 504 15 的输出加到多路转换器(MUX)505 的有关输入端。多路转换器 505 的输出就是垂直频率信号。

使多路转换器 505 调整得能按照除数选接模式一次将不同解码器中的一个连接到它的输出。选接模式由解压缩控制器(或系统控制器)通过另外的多路转换器 507 来选择。

20 多个选接模式被装入多个移位寄存器 508 - 510 中，其中的每个寄存器含有专用模式。有关移位寄存器中的选接模式是一用于控制多路转换器 505 的控制信号的序列。这些控制信号由输出的帧频信号从所选的移位寄存器中移出并加到多路转换器 507 的有关输入端。这些模式通过反馈连接在各自的寄存器中重复循环以产生重复的选接模式。多路转换器 507 根据需 25 要的帧频(选接模式)选择一个移位寄存器。选接模式可以向多路转换器 505 提供控制信号以持续地将一个解码器连接到该多路转换器的输出上，或者顺序地(以帧频的速度)将二个或更多个解码器的输出端选接到多路转换器 505 的输出。对于用图 4 描述的系统，图 5 的装置可以将多个解码器减少到二个，其中一个表示除数 1125，另一个表示除数 1127。此外，只需一个 30 选接模式寄存器。

如果要求有大量的除数和大量的选接模式，图 5 所示形式的可编程计

数器就变得不实用了。图 6 表示具有较多方面适应性的另一种形式的可编程计数器。在图 6 中，可编程分频计数器 606 通过多路转换器 604 用对应于各有关的除数的各种数值来编程。多路转换器 604 由装载在选接寄存器 605 中的选接模式以帧频的速度选接。各有关的编程数值包含在有关锁存器 5 601 - 603 中，这些有关的锁存器有连接到多路转换器 604 的有关输出接头。由系统控制器和解压缩控制器中的任一个控制器来将要求的编程数值和选接模式分别装入锁存器 601 - 603 和寄存器 605 中。解压缩控制器响应压缩视频信号而检测当前视频信号的帧频。系统响应检测的帧频而选取存贮在系统存贮器(未示出)中合适的选接模式和除数，然后将它们加到合适的锁存器 10 601 - 603 和寄存器 605。接着，寄存器被激励以操作多路转换器 604 使计数器 606 调节到按照要求的交替除数顺序来计数的状态。

图 7 表示的可编程同步信号产生器是图 3 和图 4 电路的混合电路。该电路包括 VCXO，该 VCXO 直接地而不是如图 4 电路那样间接地同步到 27MHz 接收机系统时钟上。图 7 实施例其余部分的操作与图 4 电路中相同 15 标号的单元的操作相同。

交替计数值或交替除数的概念可以扩展，以提供其他不能用整数除法产生的帧频。然而为了产生隔行扫描帧同步信号的视频信号，由于每个隔行扫描的帧的行数为奇数，所以除数最好都是奇数。可以使用除数 1121 和 1131 之间的选接而不使用 1125 和 1127 之间的选接。通过除数之间适当的 20 选接可以支持在 30.107Hz 和 29.84Hz 之间的任一帧频。

在整个帧的序列上在大量除数之间进行选接，使大量帧频的产生成为可能。可以应用不同序列的交替除数来产生不同的帧频。此外，可对诸如微处理器之类的控制器编程，以自适应地施加不以重复序列出现的不同除数。例如，设想有需要产生跟踪非标准来源信号的帧同步信号，而该来源 25 信号提供一帧同步信号。这样的系统在图 8 中示出。

在图 8 中，象素时钟由振荡器 800 产生，该振荡器可以是自由振荡器的晶体振荡器或是在其他实施例表示的锁相或锁频环中的受控振荡器。象素时钟信号加到第一可编程计数器 804。在这种情况下，计数器 804 是可编程的，使得系统(如图 1 那样的系统)能容纳许多种每行不同象素数的格式。 30 可以是微处理器系统控制器的处理器 816 使计数器 804 处于这样的状态，即，将象素时钟信号除以适当的因子以提供所要求的水平频率或二倍水平

频率(2H)信号。就是说，一旦系统进行了初始化，处理器 816 就给锁存器 802 加上对应于该除数的数值，于是该数值接着响应也是由处理器 816 提供的止动脉冲(jam pulse)JP，而被装入计数器 804。当象素时钟脉冲数等于 2H 信号的全部水平行象素周期数的一半(或等于 1H 信号的全部水平行总象素 5 周期数，如果是这样编程的话)时，计数器 804 就提供输出脉冲。计数器 804 被每个由此输出的各脉冲复位，于是有效地实现了对模 W 计数，其中 W 由设置在锁存器 802 中的数值来建立。

2H 信号在除法器 806 中 2 倍除以提供水平频率信号。该 2H 信号也作为时钟加到第二可编程计数器 810。计数器 810 由设置在锁存器 808 中的数据调节，以对 2H 信号分频而提供垂直频率信号。该垂直频率信号在电路 10 812 中 2 倍除以产生帧同步信号。该帧同步信号加到计数器 810 的输入控制端 Jp 以便在每个帧周期将对应于所要求的除数的值加到计数器 810 的止动输入端(JAM INPUT)。对应于所要求的除数的值可以是常数或可以是变数。

帧同步信号加到比较器 814 的一个输入端，该比较器在本例中表示为 15 相位检测器。基准帧频信号 REF SYNC 加到比较器的第二输入端。比较器的输出加到处理器 816。该处理器响应由比较器提供的数值而产生对应于必需的一个或多个除数的数值，并将其加到锁存器 808。注意，新除数只在完成整个帧计数之后才加到计数器 810。即，计数器 810 在帧周期期间不被中断来更新新计算出来的除数值。应当理解，由于不允许在各帧周期期间更 20 新与除数对应的数值，所以除了最慢的处理器几乎各种处理器都有足够的时间在各个帧周期期间产生必要的除数值序列并将其加到锁存器 808。

图 9 的流程图来表示产生除数值(或与除数值对应的数值)序列的一示范性算法。在每个帧周期，该算法将对应于六个不同除数的六个不同数值 N1 - N6 之一加到锁存器 808。帧频数离所要求的帧频数越大/越小，所施加的值也越大/越小，以实现较快的作用时间。假定象素时钟为 81MHz，每帧约为 1125 行，则示范性数值(N1 - N6)可以是 N1 = 1121; N2 = 1123; N3 = 25 1125; N4 = 1127; N5 = 1129; N6 = 1131。该算法假定系统与图 8 相类似，在图 8 中，相位差值 Φ 从相位检测器 814 加到控制器 816。在本算法的过程中，对当前的相位差值 Φ 取样 {900}，并测试 {901}。如果 Φ 小于第一阈值 TH1(表示轻微偏离 REF SYNC)，则测试其极性 {902}。如果极性为正，30 则从处理器存贮器取出对应于除数 N3 的数值{904}并将其加到锁存器 808，

否则将对应于除数 N4 的数值加到锁存器 808 {903}。然后系统返回步骤 {900} 以等待下一个相位差信号。

如果在步骤 {901} Φ 大于第一阀值 TH1，则进一步对照第二个更大的阀值 TH2 对 Φ 进行测试 {905}。如果 Φ 小于第二阀值 TH2(表示偏离 REF SYNC 稍远)，则测试其极性 {906}。如果极性为正，则从处理器存贮器取出对应于除数 N2 的数值 {908} 并将其加到锁存器 808，否则将对应于除数 N5 的数值加到锁存器 808 {907}。然后系统返回步骤 {900} 以等待下一个相位差信号。

如果在步骤 {905} Φ 大于第二阀值 TH2(表示偏离 REF SYNC 更远)，
10 则测试其极性 {909}。如果极性为正，则从处理器存贮器取出对应于除数 N1 的数值 {911} 并将其加到锁存器 808，否则将对应于除数 N6 的数值加到锁存器 808 {910}。然后系统返回步骤 {900} 以等待下一个相位差信号。

可以轻易地推导出该算法的各种变型。例如，相位差信号在对照各种阀值测试之前先进行滤波或积分。此外还可以对加到锁存器的数值序列设置一些约束。例如，较大值 N1(N6) 的施加可以限制为不会二次出现在连续的帧中。作为另一种情况，一旦系统已基本上同步，则可以强制使数值 N1 - N3 中的一个数值与数值 N4 - N5 中的一个数值交替，等等。另一种变型可以包括偶数和奇数除数的使用。

图 8 的实施例是在视频信号处理系统的环境下描述的，然而电路技术
20 领域的技术人员能够理解，该实施例可以在需要产生相位或频率跟踪同步信号的种种系统中被实现。

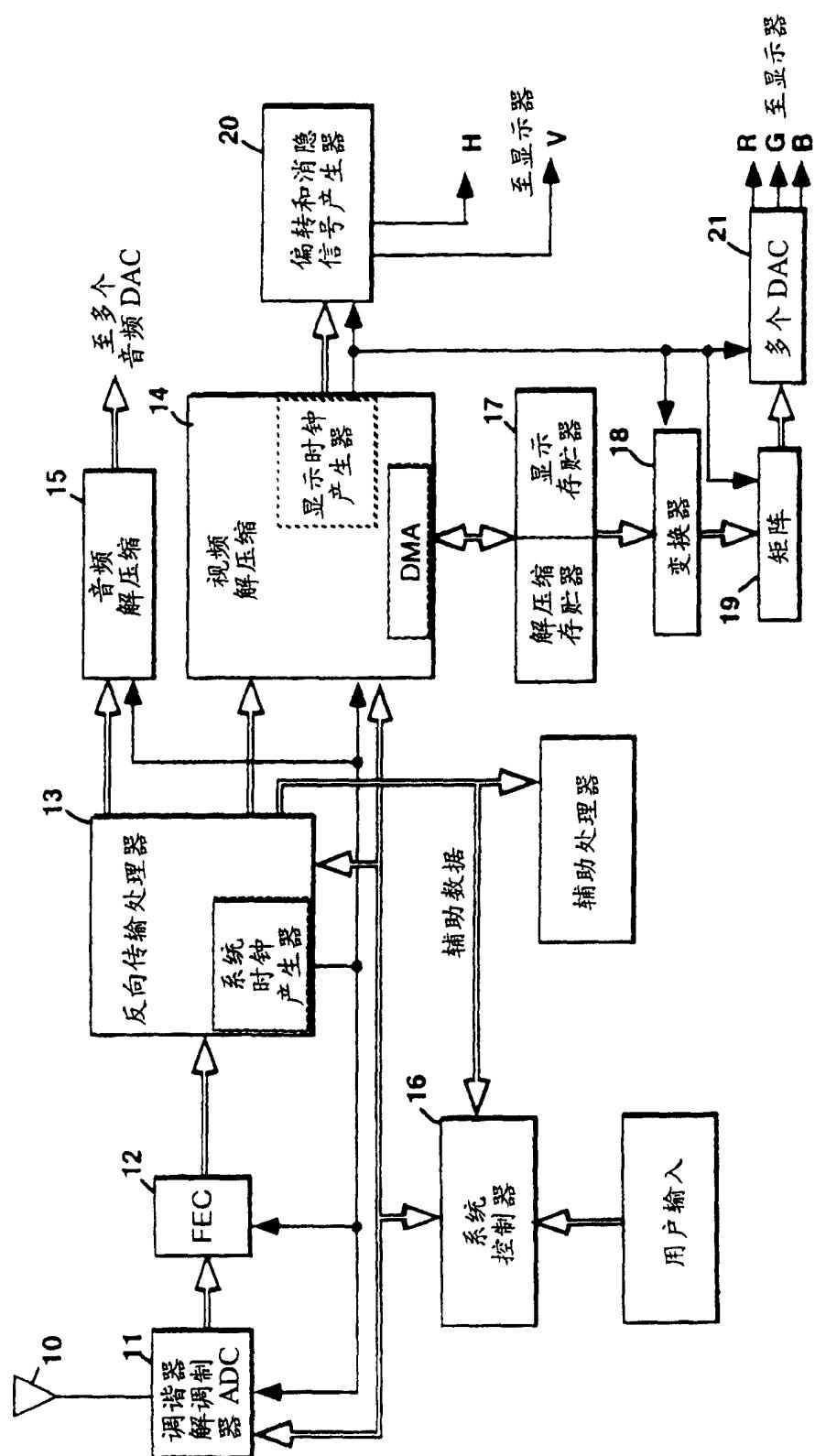


图 1

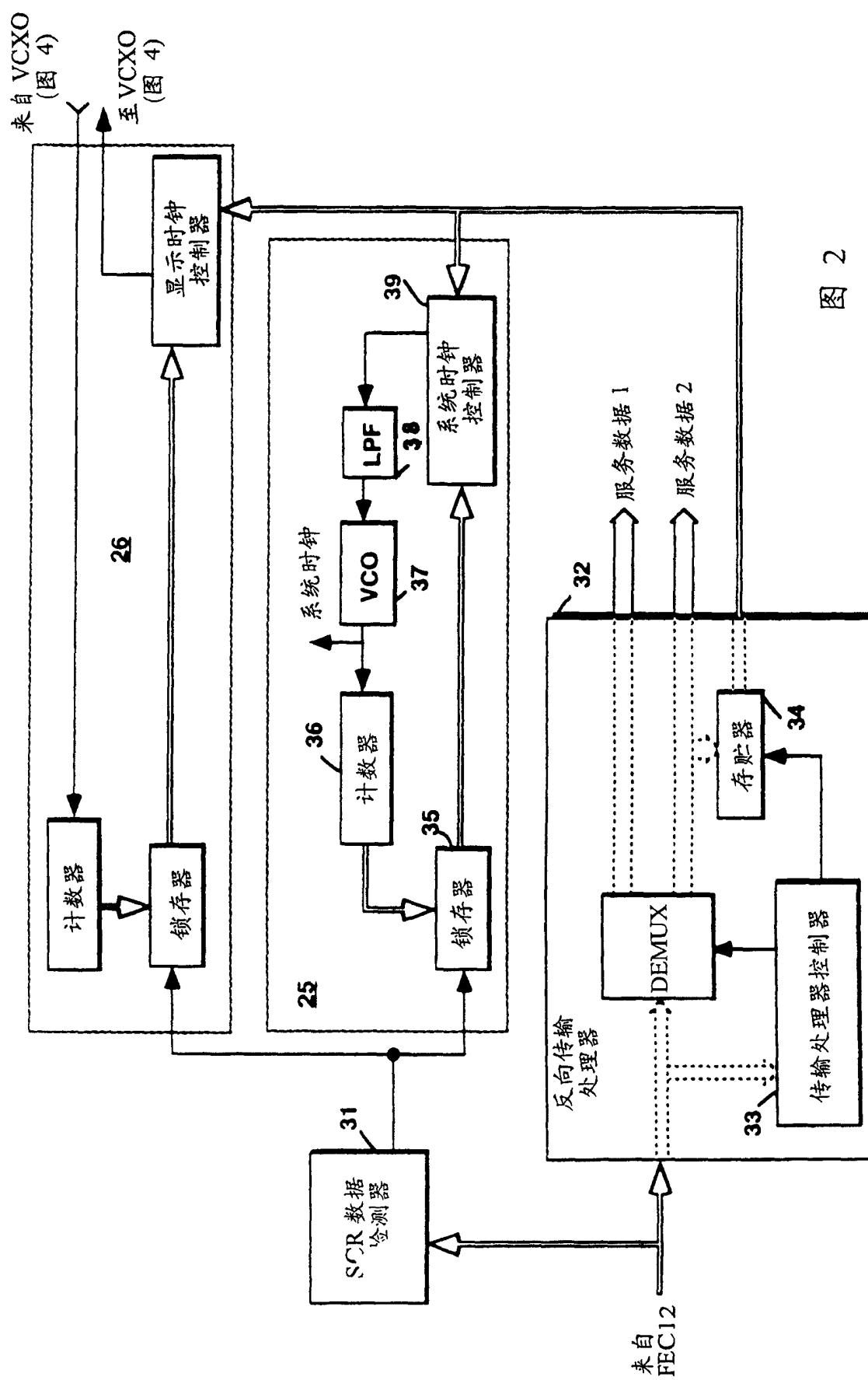
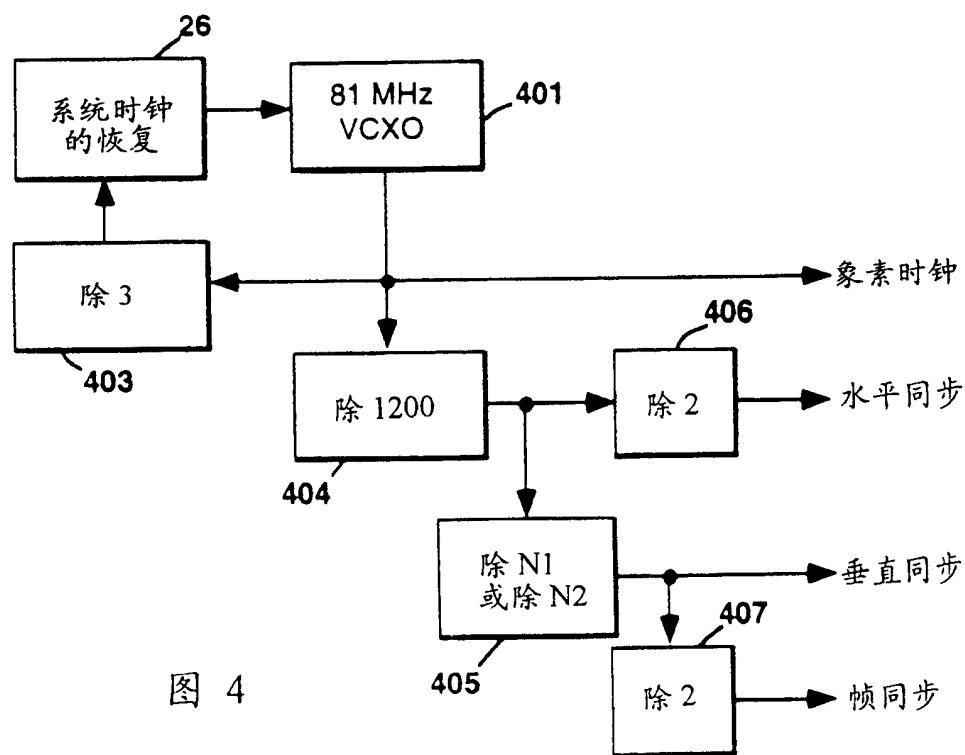
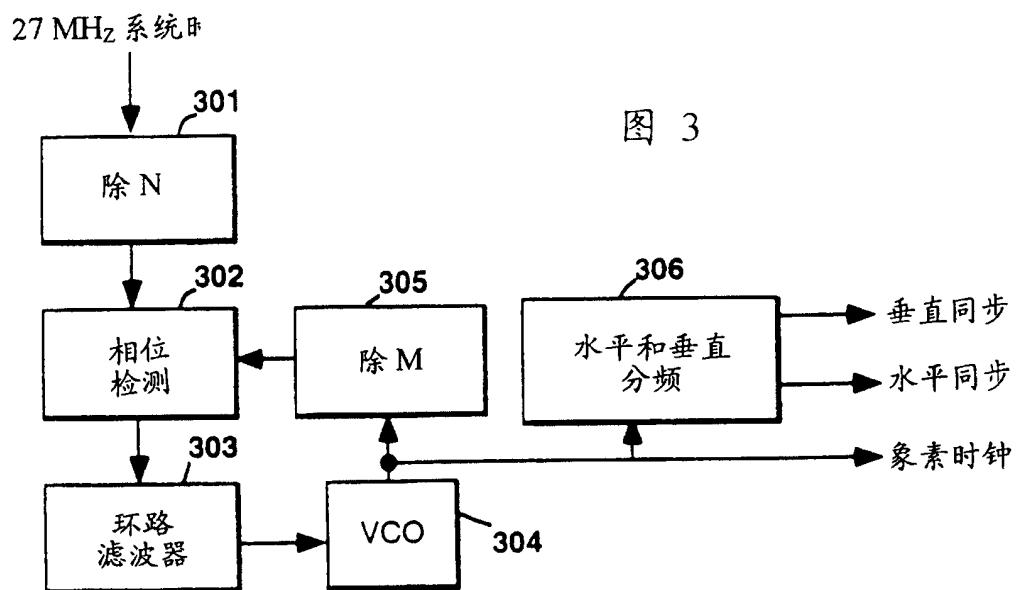
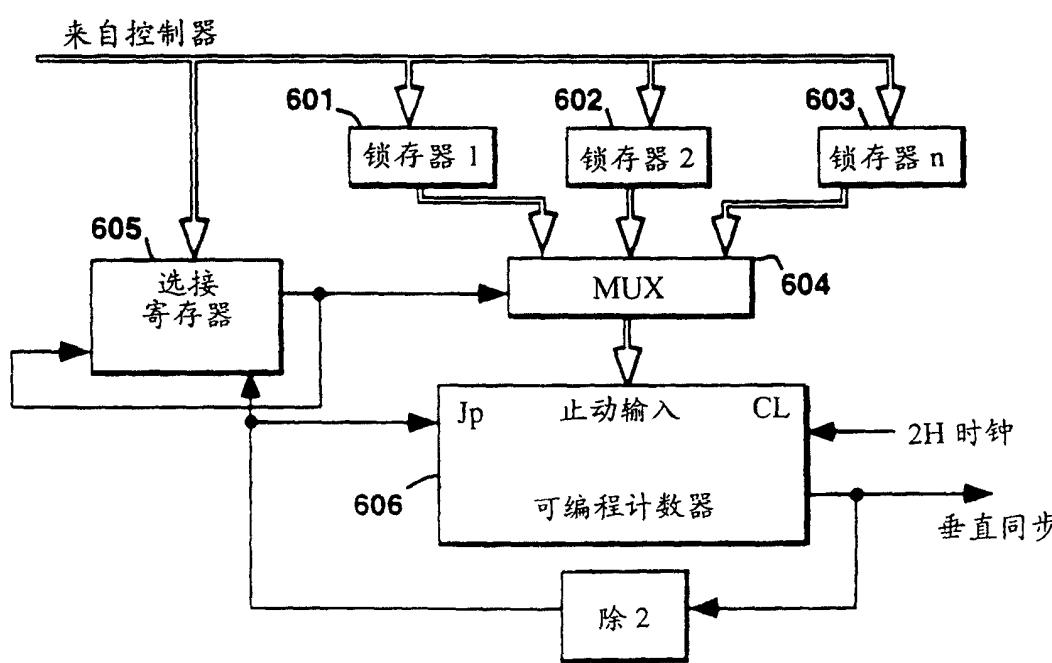
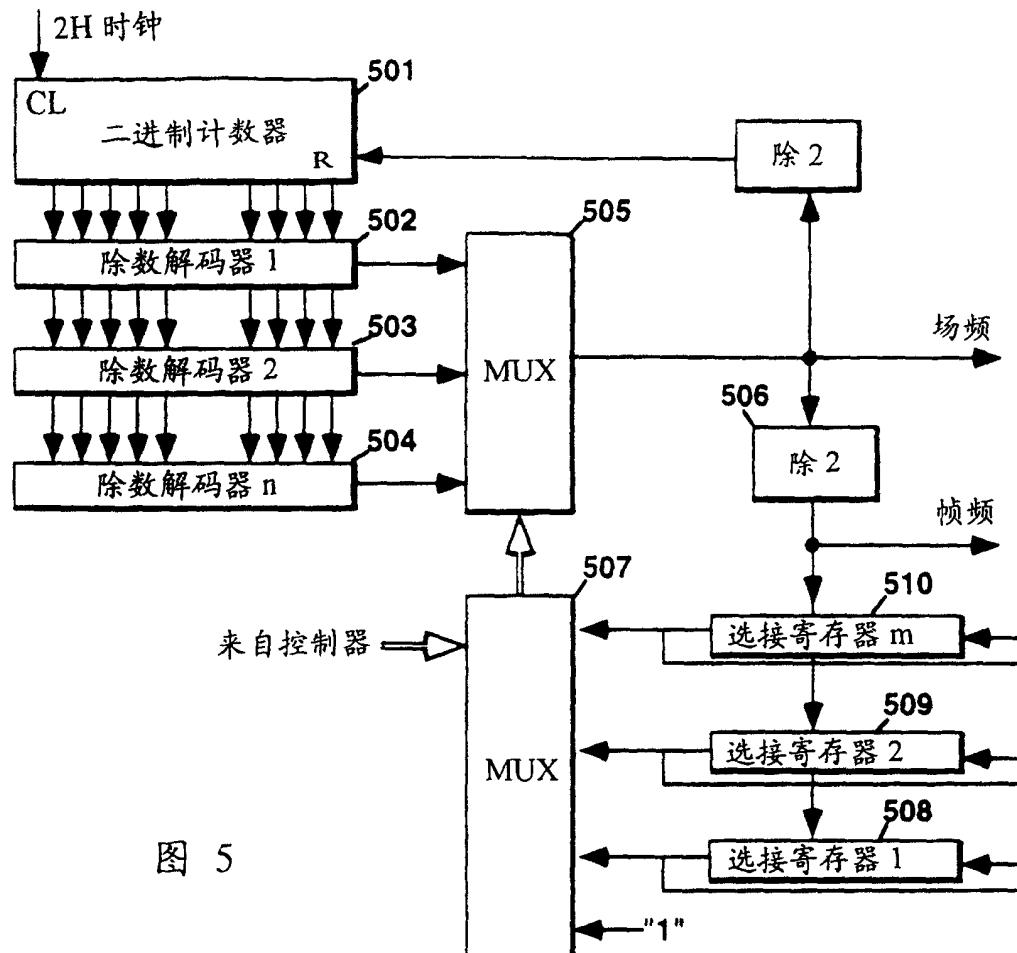


图 2





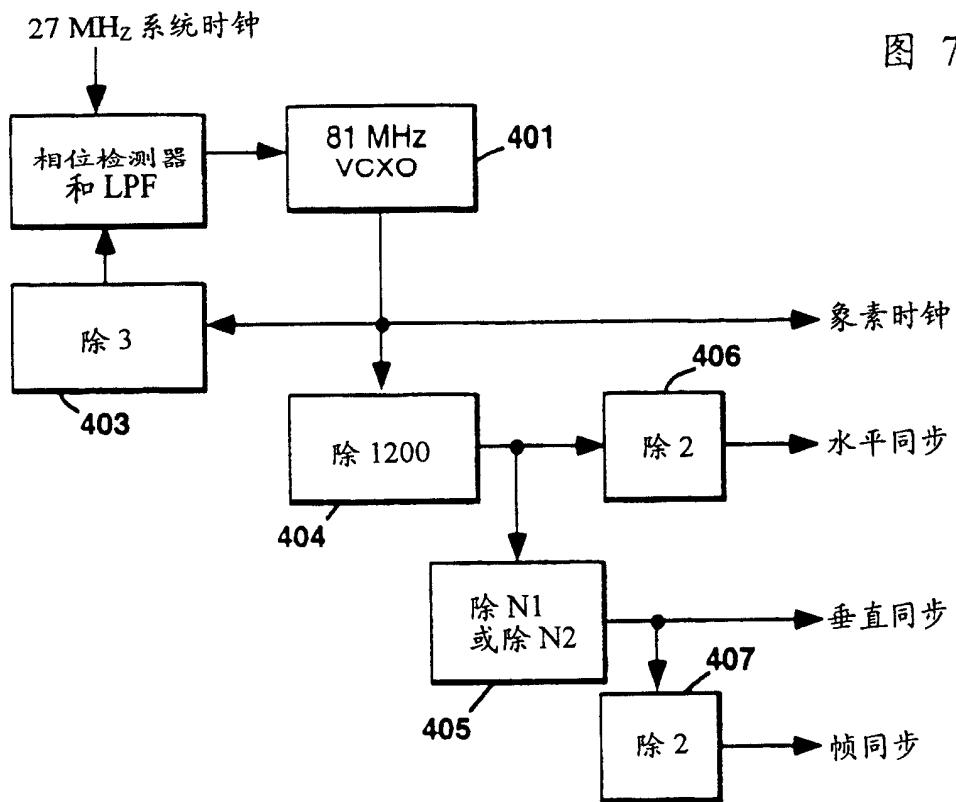


图 8

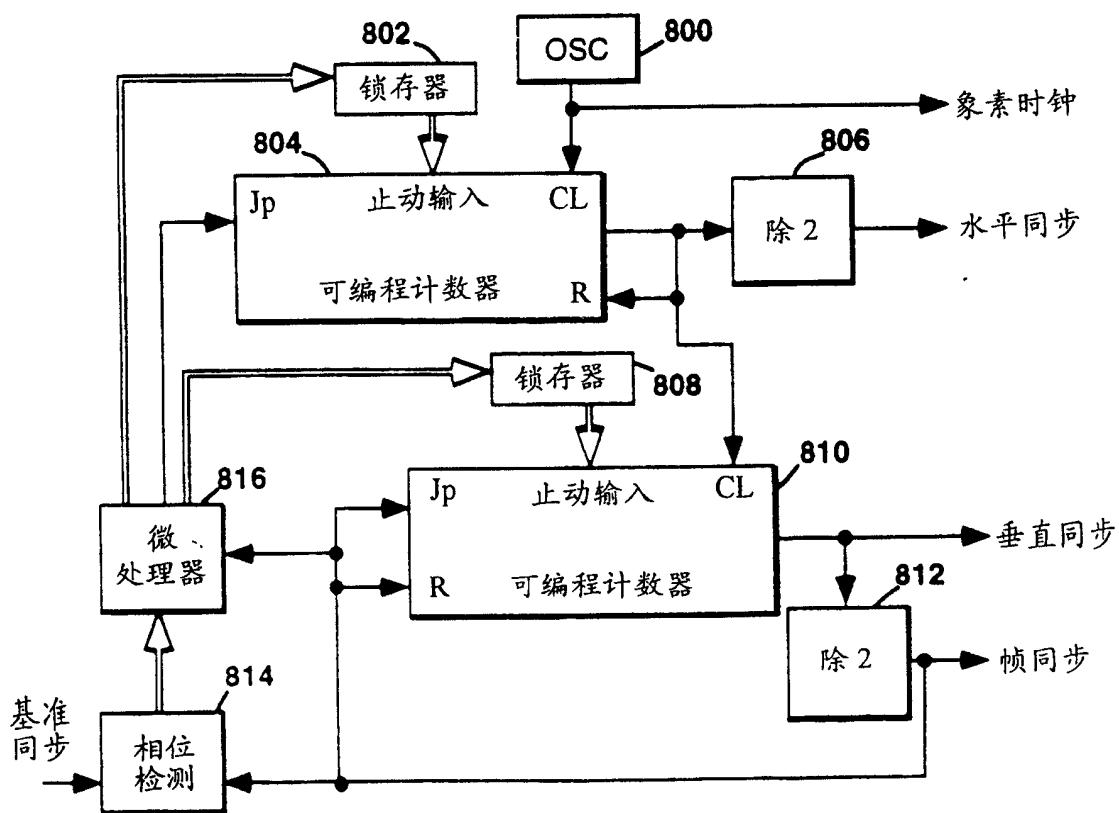
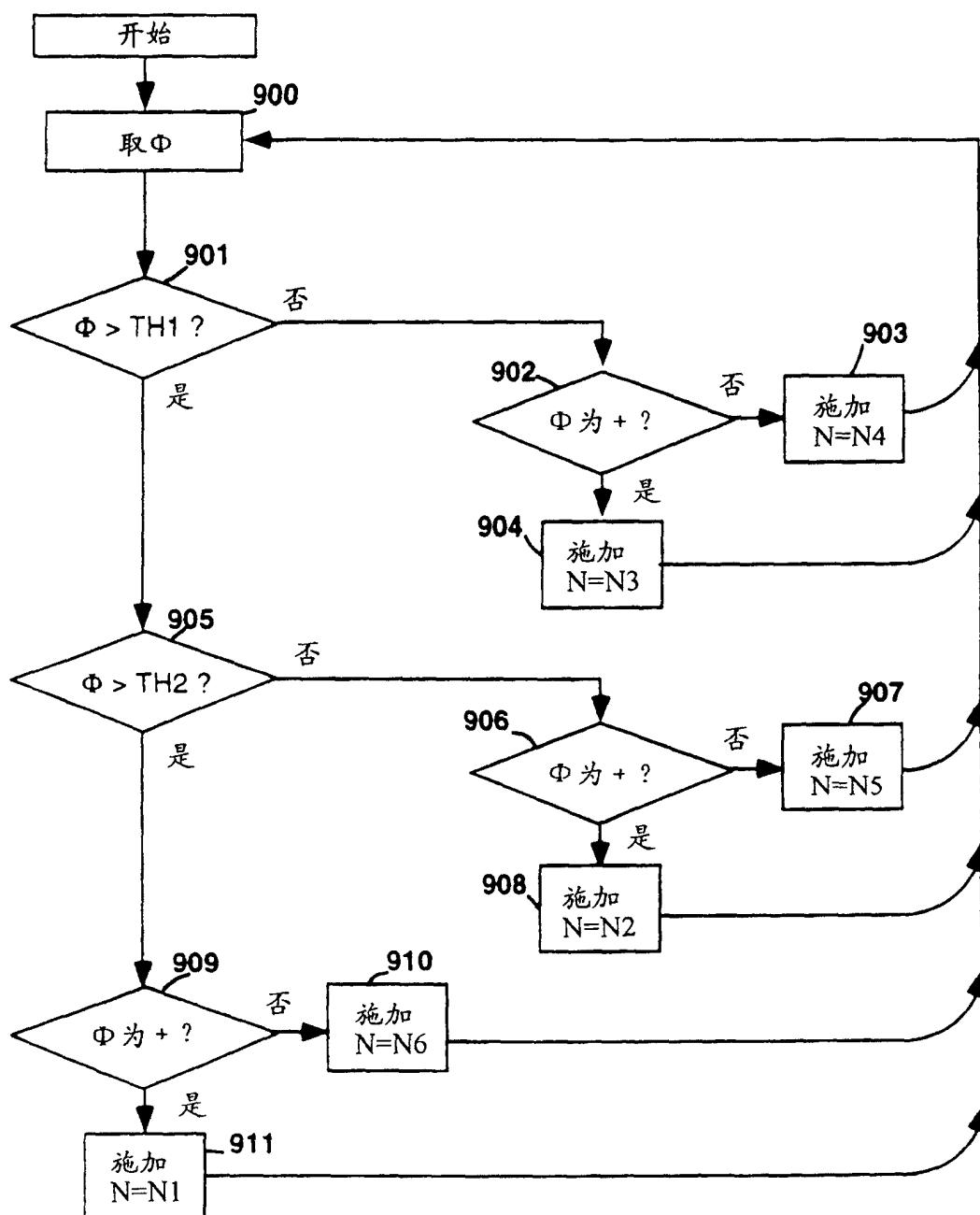


图 9



图例 $N_1 = 1121$; $N_2 = 1123$; $N_3 = 1125$; $N_4 = 1127$; $N_5 = 1129$; $N_6 = 1131$