

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6929643号
(P6929643)

(45) 発行日 令和3年9月1日(2021.9.1)

(24) 登録日 令和3年8月13日(2021.8.13)

(51) Int.Cl.

F I

HO 4 N 5/3745 (2011.01)

HO 4 N 5/363 (2011.01)

HO 1 L 27/146 (2006.01)

HO 4 N 5/3745

HO 4 N 5/363

HO 1 L 27/146

E

請求項の数 17 (全 33 頁)

(21) 出願番号	特願2016-254362 (P2016-254362)	(73) 特許権者	000001007
(22) 出願日	平成28年12月27日 (2016.12.27)		キヤノン株式会社
(65) 公開番号	特開2018-107724 (P2018-107724A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成30年7月5日 (2018.7.5)	(74) 代理人	100126240
審査請求日	令和1年12月13日 (2019.12.13)		弁理士 阿部 琢磨
		(74) 代理人	100124442
			弁理士 黒岩 創吾
		(72) 発明者	郷田 達人
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		(72) 発明者	高橋 秀和
			東京都大田区下丸子3丁目30番2号キヤノン株式会社内
		審査官	橘 高志
			最終頁に続く

(54) 【発明の名称】 撮像装置および撮像システム

(57) 【特許請求の範囲】

【請求項1】

基板に配された画素回路と、
前記基板の上部に、前記基板の表面に沿った方向である第1方向に順に配された第1電極および第2電極と、
前記第1電極および前記第2電極の上部に配された上部電極と、
前記第1電極および前記第2電極と、前記上部電極との間に配された光電変換層と、
前記第1電極と前記光電変換層との間に配された絶縁層と、
を備えた画素を複数有する撮像装置であって、
前記画素回路は、
前記第1電極に接続した入力ノードを有する第1増幅部を含む第1信号出力回路と、
前記第2電極に接続した入力ノードを有する第2増幅部を含む第2信号出力回路と、
前記第1電極および前記第1増幅部の入力ノードに接続された第1容量と、
前記第1容量を介して、前記第1電極の電位を制御する第1電位制御部と、を備え、
前記第1電位制御部は、前記光電変換層で生じた信号電荷を収集する第1電位、または、
前記信号電荷を前記第1方向に転送する第2電位を前記第1電極に供給し、
第1差動回路を備え、
前記第1信号出力回路の出力ノードと前記第1差動回路の非反転入力端子が電氣的に接続し、前記第2信号出力回路の出力ノードと前記第1差動回路の反転入力端子が電氣的に接続することを特徴とする撮像装置。

【請求項 2】

前記第 1 差動回路の出力ノードに電氣的に接続された第 1 信号線および第 2 信号線と、
前記第 1 信号線が非反転入力端子に電氣的に接続され、前記第 2 信号線が反転入力端子
に電氣的に接続された第 2 差動回路と、
を有することを特徴とする請求項 1 に記載の撮像装置。

【請求項 3】

前記第 1 信号出力回路から出力される光信号とノイズ信号を含む第 1 信号と、ノイズ信
号である第 2 信号とが入力され、前記第 1 信号と前記第 2 信号の第 1 差分信号を出力する
第 3 差動回路と、

前記第 2 信号出力回路から出力される光信号とノイズ信号を含む第 3 信号と、ノイズ信
号である第 4 信号とが入力され、前記第 3 信号と前記第 4 信号の第 2 差分信号を出力する
第 4 差動回路と、を備え、

前記第 3 差動回路の出力ノードと前記第 1 差動回路の非反転入力端子が電氣的に接続し
、前記第 4 差動回路の出力ノードと前記第 1 差動回路の反転入力端子が電氣的に接続する
ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 4】

前記第 2 電極と前記光電変換層との間の少なくとも一部の領域に、前記絶縁層が配され
ないことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 1 電極と前記光電変換層の間から前記第 2 電極と前記光電変換層との間まで前記
絶縁層が延在して配されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の
撮像装置。

【請求項 6】

前記光電変換層は、前記第 1 電極と前記上部電極との間に配された第 1 領域と、前記第
2 電極と前記上部電極との間に配された第 2 領域とを含み、

前記第 1 領域の電荷を前記第 1 領域から前記第 2 領域へ前記第 1 方向に転送することを
特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

平面視で、前記第 2 電極が前記第 1 電極を囲むように配されていることを特徴とする請
求項 1 乃至 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

前記光電変換層は、前記第 1 領域と前記第 2 領域との間に配された第 3 領域を含み、前
記第 3 領域のポテンシャルを制御する第 3 電極が設けられることを特徴とする請求項 6 に
記載の撮像装置。

【請求項 9】

平面視で、前記第 3 電極が前記第 1 電極を囲むように配され、前記第 2 電極が前記第 3
電極を囲むように配されていることを特徴とする請求項 8 に記載の撮像装置。

【請求項 10】

基板に配された画素回路と、
前記基板の上部に、前記基板の表面に沿った方向である第 1 方向に順に配された第 1 電
極および第 2 電極と、

前記第 1 電極および前記第 2 電極の上部に配された上部電極と、

前記第 1 電極および前記第 2 電極と、前記上部電極との間に配された光電変換層と、

前記第 1 電極と前記光電変換層との間に配された絶縁層と、

を備えた画素を複数有する撮像装置であって、

前記画素回路は、

前記第 1 電極に接続した入力ノードを有する第 1 増幅部を含む第 1 信号出力回路と、

前記第 2 電極に接続した入力ノードを有する第 2 増幅部を含む第 2 信号出力回路と、

前記第 1 電極および前記第 1 増幅部の入力ノードに接続された第 1 容量と、

前記第 1 容量を介して、前記第 1 電極の電位を制御する第 1 電位制御部と、を備え、

10

20

30

40

50

前記第 1 電位制御部は、前記光電変換層で生じた信号電荷を収集する第 1 電位、または、前記信号電荷を前記第 1 方向に転送する第 2 電位を前記第 1 電極に供給し、

平面視で、前記第 2 電極が前記第 1 電極を囲むように配されており、

前記光電変換層は、前記第 1 電極と前記上部電極との間に配された第 1 領域と、前記第 2 電極と前記上部電極との間に配された第 2 領域とを含み、

前記光電変換層は、前記第 1 領域と前記第 2 領域との間に配された第 3 領域を含み、前記第 3 領域のポテンシャルを制御する第 3 電極が設けられ、

平面視で、前記第 3 電極が前記第 1 電極を囲むように配され、前記第 2 電極が前記第 3 電極を囲むように配されていることを特徴とする撮像装置。

【請求項 1 1】

10

前記画素回路は、

前記第 3 電極の電位を制御する第 2 電位制御部を備え、

前記第 2 電位制御部は、前記第 3 領域にポテンシャル障壁を形成する第 3 電位とポテンシャル障壁を形成しない第 4 電位を前記第 3 電極に供給し、

前記第 1 電位制御部から前記第 1 電極に前記第 1 電位が供給されるときに、前記第 2 電位制御部は、前記第 3 電極に前記第 3 電位を供給し、

前記第 1 電位制御部から前記第 1 電極に前記第 2 電位が供給されるときに、前記第 2 電位制御部は、前記第 3 電極に前記第 4 電位を供給することを特徴とする請求項 8 乃至 10 のいずれか 1 項に記載の撮像装置。

【請求項 1 2】

20

前記画素回路は、

前記第 2 電極および前記第 2 増幅部の入力ノードに接続された第 2 容量と、

前記第 2 容量を介して、前記第 2 電極の電位を制御する第 3 電位制御部と、を備え、

前記第 3 電位制御部は、前記信号電荷を収集する第 5 電位、または、前記信号電荷を前記第 1 方向と反対方向に転送する第 6 電位を前記第 2 電極に供給することを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の撮像装置。

【請求項 1 3】

前記第 1 電位制御部から前記第 1 電極に前記第 1 電位が供給されるときに、前記第 3 電位制御部は、前記第 2 電極に前記第 6 電位を供給し、

前記第 1 電位制御部から前記第 1 電極に前記第 2 電位が供給されるときに、前記第 3 電位制御部は、前記第 2 電極に前記第 5 電位を供給することを特徴とする請求項 1 2 に記載の撮像装置。

30

【請求項 1 4】

前記光電変換層と前記上部電極との間に配されたブロッキング層を有することを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の撮像装置。

【請求項 1 5】

前記第 1 信号出力回路の出力ノードが、前記第 1 信号出力回路の信号を増幅する第 1 列アンプに接続され、前記第 2 信号出力回路の出力ノードが、前記第 2 信号出力回路の信号を増幅する第 2 列アンプに接続されることを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の撮像装置。

40

【請求項 1 6】

前記第 1 信号出力回路は、前記第 1 電極の電位をリセット電位にリセットする第 1 リセット部と、前記第 1 増幅部の出力ノードと第 1 信号線との電気的な接続を切り替える第 1 選択部と、を備え、

前記第 2 信号出力回路は、前記第 2 電極の電位をリセット電位にリセットする第 2 リセット部と、前記第 2 増幅部の出力ノードと第 2 信号線との電気的な接続を切り替える第 2 選択部と、を備え、

前記第 1 リセット部および前記第 2 リセット部が共通の信号で制御され、前記第 1 選択部と前記第 2 選択部が共通の信号で制御されることを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の撮像装置。

50

【請求項 17】

請求項 1 乃至 16 のいずれか 1 項に記載の撮像装置と、
前記撮像装置から出力される信号を処理する信号処理装置と、を備えることを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置および撮像システムに関する。

【背景技術】

【0002】

カメラのイメージセンサ等に用いられる撮像装置として、積層型の撮像装置が提案されている。

【0003】

特許文献 1 の Fig 1 に記載の撮像装置では、半導体基板 20 の上に光電変換層 43 が配される。そして、光電変換層 43 の上には電極 49 が配され、光電変換層 43 と半導体基板 20 との間には電極 35 とコンタクト 31b が配される。光電変換層 43 と電極 35 との間には、絶縁膜 41 が配され、光電変換層 43 とコンタクト 31b との間には、絶縁膜 41 が配されない。

【0004】

また、電極 35 には、電極 49 と電極 35 の間の光電変換層 43 にて電荷を蓄積する電位 V1 と、蓄積した電荷をコンタクト 31b に転送する電位 V2 とが供給される。コンタクト 31b は、画素回路 21 に接続され、コンタクト 31b に転送された電荷に基づく信号が画素回路 21 から出力される。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】米国特許第 8836839 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献 1 は、電荷の蓄積および電荷の転送を制御するために電極を配する構成について検討されている。しかし、このような電極を用いて、光電変換層で蓄積した電荷に基づく信号の利用効率を向上する方法については検討がされていない。

【0007】

本発明の撮像装置は、電荷の蓄積および電荷の転送を制御するために配された電極を用いて、光電変換層で蓄積した電荷に基づく信号の利用効率を向上することを目的とする。

【課題を解決するための手段】

【0008】

本発明は、基板に配された画素回路と、前記基板の上部に、前記基板の表面に沿った方向である第 1 方向に順に配された第 1 電極および第 2 電極と、前記第 1 電極および前記第 2 電極の上部に配された上部電極と、前記第 1 電極および前記第 2 電極と、前記上部電極との間に配された光電変換層と、前記第 1 電極と前記光電変換層との間に配された絶縁層と、を備えた画素を複数有する撮像装置であって、前記画素回路は、前記第 1 電極に接続した入力ノードを有する第 1 増幅部を含む第 1 信号出力回路と、前記第 2 電極に接続した入力ノードを有する第 2 増幅部を含む第 2 信号出力回路と、前記第 1 電極および前記第 1 増幅部の入力ノードに接続された第 1 容量と、前記第 1 容量を介して、前記第 1 電極の電位を制御する第 1 電位制御部と、を備え、前記第 1 電位制御部は、前記光電変換層で生じた信号電荷を収集する第 1 電位、または、前記信号電荷を前記第 1 方向に転送する第 2 電位を前記第 1 電極に供給し、第 1 差動回路を備え、前記第 1 信号出力回路の出力ノードと前記第 1 差動回路の非反転入力端子が電氣的に接続し、前記第 2 信号出力回路の出力ノード

10

20

30

40

50

ドと前記第 1 差動回路の反転入力端子が電氣的に接続することを特徴とする撮像装置である。

【発明の効果】

【0009】

本発明の撮像装置によれば、電荷の蓄積および電荷の転送を制御するために配された電極を用いて、蓄積した電荷に基づく信号の利用効率を向上することが可能である。

【図面の簡単な説明】

【0010】

【図 1】撮像装置の画素構成の模式図

【図 2】撮像装置の全体構成の模式図

10

【図 3】撮像装置の列回路の等価回路図

【図 4】撮像装置の列回路の等価回路図

【図 5】画素の平面模式図および断面模式図

【図 6】画素の動作原理とポテンシャル模式図

【図 7】光電変換部のエネルギーバンド構造図

【図 8】撮像装置の駆動信号図

【図 9】撮像装置の駆動信号図

【図 10】撮像装置の画素構成の模式図

【図 11】画素の動作原理とポテンシャル模式図

【図 12】光電変換部のエネルギーバンド構造図

20

【図 13】撮像装置の駆動信号図

【図 14】撮像装置の画素構成の模式図

【図 15】撮像装置の列回路の等価回路図

【図 16】撮像装置の列回路の等価回路図

【図 17】撮像装置の画素構成の模式図

【図 18】光電変換システムの実施例のブロック図

【発明を実施するための形態】

【0011】

本発明に係る 1 つの実施形態は、複数の画素を含む撮像装置である。本実施形態の撮像装置が有する画素は、基板に配された画素回路と、基板の上部に、基板の表面に沿った方向である第 1 方向に順に配された第 1 電極および第 2 電極と、第 1 電極および第 2 電極の上部に配された上部電極を有する。さらに画素は、第 1 電極および第 2 電極と上部電極の間に配された光電変換層と、第 1 電極と光電変換層との間に配された絶縁層と、を備える。

30

【0012】

半導体層は、第 1 電極と上部電極との間に配された第 1 領域、および、第 2 電極と上部電極との間に配された第 2 領域を含む。

【0013】

画素回路は、第 1 信号出力回路と第 2 信号出力回路を備える。第 1 信号出力回路は、第 1 電極に接続した入力ノードを有し、光電変換層で生じた電荷に基づく信号を出力する第 1 増幅部を含む。第 2 信号出力回路は、第 2 電極に接続した入力ノードを有し、光電変換層で生じた電荷に基づく信号を出力する第 2 増幅部を含む。さらに、画素回路は、第 1 増幅部の入力ノードに接続された第 1 容量と、第 1 容量を介して、第 1 電極の電位を制御する電位制御部と、を備える。

40

【0014】

電位制御部は、信号電荷を収集する第 1 電位、または、信号電荷を第 1 方向に転送する第 2 電位を第 1 電極に供給する。

【0015】

本実施形態の構成によれば、電位制御部が第 1 電極に第 1 電位を供給したとき、半導体層で生じた電荷が、半導体層の第 1 領域に蓄積される。そして、電位制御部が第 1 電極に

50

第2電位を供給したとき、第1領域に蓄積された電荷が、第1領域から第2領域に向かって基板の表面に沿った第1方向に転送される。そのため、第1電極および第2電極の電位が変化する。

【0016】

このときの第1電極の電位変化によって、第1増幅部の入力ノードの電位が変化する。第1増幅部の入力ノードの電位変化分が信号として第1信号出力回路から出力される。同様に第2電極の電位変化によって、入力ノードの電位が変化する。そして第2増幅部の入力ノードの電位変化分が信号として第2信号出力回路から出力される。つまり、第2電極の電位変化に基づく信号だけでなく、第2電極の電位変化に基づく信号を出力することが可能となり、光電変換層で蓄積した電荷に基づく信号の利用効率を向上することが可能となる。

10

【0017】

また、第1信号出力回路から出力される信号と、第2信号出力回路から出力される信号の極性は逆となる。そこで、本実施形態の構成において、第1信号出力回路の出力ノードは、第1差動増幅回路の非反転入力端子に電氣的に接続し、第2信号出力回路の出力ノードは、第1差動増幅回路の反転入力端子に電氣的に接続する。つまり、第1差動増幅回路にて、第1信号出力回路から出力された信号と、第1信号出力回路から出力された信号と異なる極性の信号である第2信号出力回路から出力された信号の差を取る。このような構成によれば、光電変換層で蓄積した電荷に基づく信号の利用効率をさらに向上することが可能となる。なお、ここでは差動増幅回路としたが、差動回路であればよい。

20

【0018】

本実施形態において、基板の表面は、例えば、半導体領域と当該半導体領域の上に配された絶縁体領域との界面である。STI(Shallow Trench Isolation)やLOCOS(Local Oxidation of Silicon)による絶縁体分離構造が用いられた場合、半導体領域と絶縁体領域との界面は平坦ではない。この場合、例えば、基板に配されたトランジスタのチャネルにおける半導体領域と絶縁体領域との界面が、基板の表面である。

【0019】

なお、第1増幅部および第2増幅部にMOSトランジスタを使用すると等価ゲート面積も大きくなる。そのため、RTN(Random Telegraph Noise)も低減可能であり、また差動増幅をおこなうことで信号線に発生する同相ノイズもキャンセル可能となる。

30

【0020】

以下では、本発明の実施例について図面を用いて詳細に説明する。本発明は以下に説明される実施例のみに限定されない。本発明の趣旨を超えない範囲で以下に説明される実施例の一部の構成が変更された変形例も、本発明の実施例である。また、以下のいずれかの実施例の一部の構成を、他の実施例に追加した例、あるいは他の実施例の一部の構成と置換した例も本発明の実施例である。

【実施例1】

【0021】

40

図1から図9を用いて、本実施例の撮像装置を説明する。各図面において同じ符号が付されている部分は、同じ素子または同じ領域を指す。本実施例において信号電荷は正孔(ホール)として説明し、白抜きの丸を正孔とする。ただし、信号電荷を電子としてもよい。

【0022】

図1(a)に本実施例の撮像装置の画素100の概略図を示す。撮像装置は、画素100に含まれる画素回路が配された基板(不図示)と、基板の上に配された光電変換層108を備える。図1(a)は例として1つの画素100だけを示す。

【0023】

画素100は、光電変換層108を有する。光電変換層108は、シリコンなどの無機

50

半導体（無機光電変換層）で構成されうる。あるいは、光電変換層１０８は有機半導体（有機光電変換層）により構成されうる。光電変換層１０８は、第１領域１０１、第２領域１０３、および、第３領域１０２を有する。

【００２４】

光電変換層１０８の上には、第１領域１０１、第３領域１０２、および、第２領域１０３に対してバイアス電位を供給する上部電極Ｓ１０６が配される。上部電極Ｓ１０６は電源ＶＳ１０４に接続される。電源ＶＳ１０４は、電位Ｖ_sを供給する。

【００２５】

本実施例では、上部電極Ｓ１０６が第１領域１０１および第２領域１０３の両方にバイアス電位を供給する。そのため、上部電極Ｓ１０６は、第１領域１０１の上、および、第２領域１０３の上に連続して延在した導電層によって構成される。別の観点で言えば、上部電極Ｓ１０６の第１部分が第１領域１０１にバイアス電位を供給し、上部電極Ｓ１０６の第２部分が、第２領域１０３にバイアス電位を供給する。なお、上部電極Ｓ１０６の第１部分と第２部分とは互いに分離されていてもよい。

【００２６】

画素１００は、第１領域１０１にバイアス電位を供給する電極Ｐ１１０（第１電極）と、第２領域１０３にバイアス電位を供給する電極Ｄ１１２（第２電極）と、第３領域１０２にバイアス電位を供給する転送電極Ｔ１１１（第３電極）と、を有する。

【００２７】

第１領域１０１は、電極Ｐ１１０と上部電極Ｓ１０６との間に配される領域であり、第２領域１０３は、電極Ｄ１１２と上部電極Ｓ１０６との間に配される領域であり、第３領域１０２は、転送電極Ｔ１１１と上部電極Ｓ１０６との間に配される領域である。なお、本実施例において、電極Ｄ１１２と半導体層の第２領域１０３とは互いに接している。

【００２８】

なお、電極Ｐ１１０と電極Ｄ１１２は、互いに電氣的に分離されている。このような構成により、第１領域１０１と第２領域１０３に互いに独立してバイアス電位を供給することが可能となる。

【００２９】

上部電極Ｓ１０６は所定の量の光を透過させるように構成される。例えば、透明な導電材料であるITO（Indium Tin Oxide）層や薄膜化された金属層が上部電極Ｓ１０６に用いられる。

【００３０】

上部電極Ｓ１０６と光電変換層１０８との間には、上部電極Ｓ１０６から光電変換層１０８への電荷の注入を低減するためのブロッキング層１０７が配されている。本実施例のブロッキング層１０７は、正孔が光電変換層１０８へ侵入することを防ぐように構成される。そのため、正孔ブロッキング層と呼んでもよい。ブロッキング層１０７は、光電変換層１０８とは異なるバンドギャップを持つ材料で構成されうる。あるいは、ブロッキング層１０７は、光電変換層１０８とは異なる不純物濃度を持つ材料で構成されうる。

【００３１】

電極Ｐ１１０と光電変換層１０８との間には、絶縁層１０９が配される。絶縁層１０９は、電極Ｄ１１２の少なくとも一部には絶縁層が延在しないように配されている。なお、本実施例の変形例では、ブロッキング層１０７が省略されてもよい。

【００３２】

第１領域１０１と第２領域１０３との間には、第３領域１０２が配される。転送電極Ｔ１１１は、第３領域１０２に供給するバイアス電位を制御する。なお、本実施例の変形例では、第３領域１０２および転送電極Ｔ１１１が省略される。

【００３３】

図１（ｂ）、（ｃ）は、第１領域１０１を含む光電変換部の等価回路図の例を示している。本実施例において、光電変換部は、光電変換層１０８と絶縁層１０９とを含む。したがって、光電変換部は、上部電極Ｓ１０６と電極Ｐ１１０との間の容量成分を含む。

10

20

30

40

50

【0034】

図1(b)、(c)の等価回路は、この容量成分を上部電極S106および電極P110の間に配された容量111として示している。なお、図1(b)は、光電変換部がブロッキング層107を含む実施例を示している。そのため、ブロッキング層107および光電変換層108がダイオードの回路記号112で示されている。図1(c)は、光電変換部がブロッキング層を含まない実施例を示している。そのため、光電変換層108が抵抗の回路記号140で示されている。

【0035】

次に光電変換層108の構造について説明する。本実施例において、第1領域101、および、第2領域103は、光電変換層108の連続する領域に配されている。光電変換層108の連続する領域は、例えば、光電変換層108のうちほぼ均質な材料により構成された領域である。撮像装置の製造時には製造誤差が生じる。そのため、光電変換層108の連続する領域は、製造誤差に起因した材質の違いを含んでもよい。つまり、別の観点では、光電変換層108の連続する領域は、光電変換層108のうち同時に形成される領域である。光電変換層108の連続する領域が同時に形成された後に、その一部のみに加工が行われてもよい。したがって、光電変換層108の連続する領域は、互いに異なる厚さあるいは互いに異なる幅を有する複数の領域を含んでいてもよい。

【0036】

画素100の各部の機能について説明する。光電変換層108の第1領域101、上部電極S106の第1領域101の上に配された第1部分、電極P110、および、光電変換層108と電極P110との間に配された絶縁層109が、光電変換部を構成する。光電変換部は、入射光に応じて信号電荷を生成し、また、入射光によって生成された電荷を信号電荷として蓄積する。上部電極S106と電極P110との間に供給される電位に応じて、光電変換部における信号電荷の蓄積、および、光電変換部からの信号電荷の排出または転送を制御することができる。

【0037】

光電変換層108の第2領域103が、電荷授受部を構成する。電荷授受部に光電変換部の電荷が転送される。第2領域103と電極D112とが接しているため、第2領域103に転送された電荷は電極D112に移動する。

【0038】

光電変換層108の第3領域102、上部電極S106、転送電極T111、および、光電変換層108と転送電極T111との間に配された絶縁層109が、電荷転送部を構成する。本実施例では、第1領域101と第2領域103とが、第3領域102を介して、光電変換層108の連続する領域に配されている。このような構成により、電荷転送部は、第1領域101に蓄積された電荷を、第2領域103に転送しやすくすることができる。電荷の転送は、電源VTによって転送電極T111に供給されるバイアス電位によって制御される。

【0039】

本実施例においては、連続して形成された光電変換層108の異なる部分に、第1領域101、第3領域102、第2領域103が配される。そして、それぞれの領域を互いに独立に制御している。これにより、第1領域101、第3領域102、および、第2領域103は、互いに異なる機能を実現している。第1領域101は、光電変換による電荷の生成の機能と電荷蓄積および電荷転送の機能とを有する。第3領域102は、第1領域101から第2領域103への電荷転送を補助する機能を有する。第2領域103は、第1領域101から転送された電荷を授受する機能を有する。

【0040】

次に、図1(a)の画素100の画素回路の構成について説明する。不図示の基板には画素回路が配される。そして、画素回路の配された基板の上には、光電変換層108が配される。別の観点で言えば、光電変換層108は画素回路の配された不図示の基板に積層されている。基板は例えばシリコン基板である。

【 0 0 4 1 】

画素回路は、第 1 信号出力回路 1 3 0 および第 2 信号出力回路 1 3 1 を有する。第 1 信号出力回路 1 3 0 は、第 1 リセットトランジスタ（第 1 リセット部）1 1 7、第 1 増幅トランジスタ（第 1 増幅部）1 1 8 および第 1 選択トランジスタ（第 1 選択部）1 1 9 を含む。第 2 信号出力回路 1 3 1 は、第 2 リセットトランジスタ（第 2 リセット部）1 2 2、第 2 増幅トランジスタ（第 2 増幅部）1 2 3 および第 2 選択トランジスタ（第 2 選択部）1 2 4 を含む。ただし、第 1 選択トランジスタ 1 1 9 および第 2 選択トランジスタ 1 2 4 は、配されなくてもよい。

【 0 0 4 2 】

第 1 増幅トランジスタ 1 1 8 の入力ノードは、電極 P 1 1 0 に接続される。第 1 増幅トランジスタ 1 1 8 の入力ノードは、ノード B として示されている。ノード B は、電氣的にフローティングとすることが可能である。ノード B が電氣的にフローティングになることにより、ノード B の電位が、第 1 領域 1 0 1 に蓄積された電荷に応じて変化しうる。

10

【 0 0 4 3 】

そして第 1 増幅トランジスタ 1 1 8 は、第 1 領域 1 0 1 で生じた電荷に基づく信号を出力する。

【 0 0 4 4 】

第 2 増幅トランジスタ 1 2 3 の入力ノードは電極 D 1 1 2 に接続される。第 2 増幅トランジスタ 1 2 3 の入力ノードは、ノード D として示されている。ノード D においても、電氣的にフローティングとすることが可能である。ノード D が電氣的にフローティングになることにより、ノード D の電位が、第 1 領域 1 0 1 から第 2 領域 1 0 3 に転送された電荷に応じて変化しうる。そして第 2 増幅トランジスタ 1 2 3 は、第 1 領域 1 0 1 から転送された電荷に基づく信号を出力する。

20

【 0 0 4 5 】

なお、電極 P 1 1 0 と第 1 増幅トランジスタ 1 1 8 の入力ノードとが短絡されてもよい。あるいは、電極 P 1 1 0 と第 1 増幅トランジスタ 1 1 8 との間の電気経路にスイッチが配されてもよい。これらは電極 D 1 1 2 と第 2 増幅トランジスタ 1 2 3 においても同様である。

【 0 0 4 6 】

第 1 リセットトランジスタ 1 1 7 のゲートには駆動信号 p R E S 1 が供給され、オンとオフとが切り替えられるように制御される。第 1 リセットトランジスタ 1 1 7 は、第 1 増幅トランジスタ 1 1 8 の入力ノード B の電位をリセットする。

30

【 0 0 4 7 】

第 2 リセットトランジスタ 1 2 2 のゲートには駆動信号 p R E S 2 が供給され、オンとオフとが切り替えられるように制御される。第 2 リセットトランジスタ 1 2 2 は、リセットトランジスタ 1 2 2 は第 2 増幅トランジスタ 1 2 3 の入力ノード D の電位をリセットする。

【 0 0 4 8 】

第 1 選択トランジスタ 1 1 9 のゲートには駆動信号 p S E L 1 が供給され、オンとオフとが切り替えられるように制御される。第 1 選択トランジスタ 1 1 9 は、第 1 増幅トランジスタ 1 1 8 と第 1 信号線 1 2 0 の間の電氣的な接続を切り替える。

40

【 0 0 4 9 】

第 2 選択トランジスタ 1 2 4 のゲートには駆動信号 p S E L 2 が供給され、オンとオフとが切り替えられるように制御される。第 2 選択トランジスタ 1 2 4 は、第 2 増幅トランジスタ 1 2 3 と第 2 信号線 1 2 5 との電氣的な接続を切り替える。

【 0 0 5 0 】

なお、1 つの第 1 信号線 1 2 0 および第 2 信号線 1 2 5 には、複数の画素 1 0 0 が接続される。第 1 信号線 1 2 0 には、第 1 電流源 1 2 1 が接続され、第 1 増幅トランジスタ 1 1 8 および第 1 電流源 1 2 1 はソースフォロア回路を構成する。

【 0 0 5 1 】

50

第2信号線125には、第2電流源126が接続され、第2増幅トランジスタ123および第2電流源126はソースフォロア回路を構成する。

【0052】

さらに、画素回路は、第1容量CM116、電位制御部VP113、電源VT114を備える。第1容量CM116は、第1増幅トランジスタ118の入力ノードおよび電極P110に接続される。電極P110と第1の容量CM116とが短絡されてもよい。あるいは、電極P110と第1の容量CM116との間の電気経路にスイッチが配されてもよい。

【0053】

第1容量CM116は、例えば、絶縁体を間に挟んで対向する2つの電極により構成される。2つの電極はポリシリコンや金属などの導電材料で構成される。あるいは、第1容量CM116は、半導体領域と、当該半導体領域の上にゲート絶縁膜を介して配されたゲート電極とを含んで構成される。第1容量CM116に含まれる半導体領域は、トランジスタのソース領域やドレイン領域よりも高い不純物濃度を有することが好ましい。ゲート電極は、ポリシリコンや金属などの導電材料で構成される。

10

【0054】

第1容量CM116は、電極P110に電氣的に接続された第1端子と、第1端子とは別の第2端子とを含む。それぞれの端子は、金属、ポリシリコンなどの導電材料、あるいは、半導体領域で構成されうる。第2端子には、所定の電位が供給される。なお、図1(a)において、ノードBが第1端子を含み、ノードCが第2端子を含む。

20

【0055】

本実施例では、第2端子が電位制御部VP113に接続される。つまり、電位制御部VP113は、第1容量CM116を介して第1増幅トランジスタ118の入力ノードおよび電極P110に接続される。電位制御部VP113は、第1電位および第1電位とは異なる第2電位を含む複数の電位を第1容量CM116を介して電極P110に供給する。なお、ノードBに電位VMが供給され、ノードCに電位VPが供給される。電位VMと電位VPとは、第1容量CM116の容量値に応じた関係を有する。

【0056】

電源VT114は、転送電極T111に接続され、転送電極T111に電位VTとして、第3電位と第4電位が供給される。電位VTとして第3電位が供給されることで第3領域にポテンシャル障壁が形成される。また、電位VTとして第4電位が供給されることで第3領域にポテンシャル障壁が形成されない。

30

【0057】

電極P110に第1電位が供給されることで、第1領域101に電荷を蓄積する。このとき、転送電極T111に第3電位が供給されることで電荷の蓄積を行いやすくする。また、電極P110に第2電位が供給されることで、第1領域101に蓄積した電荷を第2領域103に転送する。このとき、転送電極T111に第4電位が供給されることで電荷の転送を行いやすくする。

【0058】

そして、第1信号出力回路130は、第1信号線120を介して差動増幅回路301の非反転入力端子に接続され、第2信号出力回路131は、第2信号線125を介して差動増幅回路301の反転入力端子に接続される。第1信号出力回路130から出力される信号と第2信号出力回路131から出力される信号は、逆極性となる。そのため、差動増幅回路301が、第1信号出力回路130および信号出力回路131から出力された信号の差分を差分信号として出力することで、二つの信号の絶対値を加算した信号を出力することが可能となる。

40

【0059】

続いて、画素100の制御について説明する。まず、露光期間においては、第1領域101に逆バイアスがかかるように、上部電極S106と電極P110の電位を制御する。これにより、第1領域101に発生した信号電荷は、露光期間中、第1領域101に蓄積

50

される。次に、第1領域101に保持された電荷を第2領域103に転送するために、電極P110、転送電極T111、および、電極D112の電位を制御する。

【0060】

例えば、第2領域103のポテンシャルを、第1領域101のポテンシャルより低くすることで電荷を転送することができる。蓄積された信号電荷を転送することにより、蓄積された信号電荷の量に応じた電位変化がノードB、およびノードDに生じる。したがって、画素100のノードBおよびノードDの電位変化量を信号電荷に基づく信号として、第1信号出力回路130および第2信号出力回路131から出力することができる。別の観点で言えば、本実施例では、第1領域101の電荷を転送することで、第1領域101に蓄積された電荷に基づく信号を第1信号出力回路130から出力している。さらに、第1

10

【0061】

電極P110の電位VMを制御するために、第1容量CM116の第2端子の電位VPを制御している。電位制御部VP113が、第1電位と、第2電位とを、電位VPとして第1容量CM116の第2端子へ供給している。

【0062】

本実施例においては、光電変換層108において、第1領域101から第2領域103へ第1方向に電荷が転送される。第1方向は、画素回路の配された基板の表面に平行な方向である。このような構成によれば、転送された電荷に応じて変化したノードBの電位と、排出された電荷に応じて変化したノードDの電位の両方の電位変化を信号として得ることが可能である。そして、2つの信号を1つの信号として用いるため光電変換層で蓄積した電荷に基づく信号の利用効率を向上することが可能となる。

20

【0063】

次に画素100の各部に供給される電位について説明する。本実施例では、光電変換により生成した電荷のうち、正孔を信号電荷として利用する場合を説明する。なお、信号電荷が電子の場合、電位の大きさの関係は逆になる。本明細書では、特に断りがない限り、接地されたノードの電位を基準の0Vとする。

【0064】

上部電極S106には電源VS104から所定の電位Vs（本実施例では6V）の電位が供給される。電位制御部VP113は電位VP（本実施例では3V～5V）が供給される。電位Vsと電位VPとは、第1領域101の正孔に対して逆バイアスが供給されるような関係を持っている。光電変換により生成した正孔は、第1領域101と絶縁層109の界面付近に蓄積される。

30

【0065】

本実施例では、信号電荷が正孔であるため、信号電荷の蓄積時に電極P110の電位VMは転送電極T111の電位VTよりも低い。後述の図5の説明で述べるように、基板の表面と平行な面において、転送電極T111は、電極P110の周囲を囲うように配されている。よって電位VM<電位VTと設定することにより、電極P110の近傍に配された第1領域101にポテンシャルの井戸が形成される。このとき、光電変換で生成された正孔は、第1領域101のポテンシャル井戸に効率的に収集される。また転送電極T111の電位VTによって第3領域102にポテンシャル障壁を形成するため、第1領域101に蓄積された電荷の漏れ出しを低減することができる。

40

【0066】

本実施例では、電位制御部VP113が、第1容量CM116の第2端子に、少なくとも第1電位VP1と、第1電位VP1とは異なる第2電位VP2とを供給する。本実施例では信号電荷が正孔であるから、第2電位VP2は第1電位VP1より高い電位である。本実施例では、例えば、第1電位VP1は3Vであり、第2電位VP2は5Vである。信号電荷が電子の場合、例えば、第1電位VP1が5Vであり、第2電位VP2が3Vである。

50

【 0 0 6 7 】

本実施例において、第 1 リセット電位 V_{res1} は、例えば、上部電極 $S106$ に供給される電位 V_s よりも低い電位である。本実施例では、例えば、上部電極 $S106$ に供給される電位 V_s は $6V$ 、第 1 リセット電位 V_{res1} は $3V$ である。信号電荷が電子の場合、例えば、上部電極 $S106$ に供給される電位 V_s は $3V$ 、第 1 リセット電位 V_{res1} は $6V$ である。

【 0 0 6 8 】

本実施例では、ノード C に複数の電位を含む電位 V_P を供給することで、第 1 の容量 C_{M116} を介してノード C と容量結合しているノード B の電位 V_M を電位制御部 V_{P113} が制御する。そのため、ノード C に供給される電位 V_P と、第 1 リセット電位 V_{res1} あるいは上部電極 $S106$ に供給される電位 V_s との直流的な大小関係は特に制限されない。

10

【 0 0 6 9 】

本実施例では、電極 $P110$ に供給される電位 V_M と、転送電極 $T111$ に供給される電位 V_T と、電極 $D112$ の電位 V_D を制御することで、第 1 領域 101 に蓄積された信号電荷を第 2 領域 103 へ転送する。ここで、電極 $D112$ に供給される電位は第 2 リセット電位 V_{res2} で決定される。信号電荷が正孔の場合、電位 $V_M > 電位 V_T > 電位 V_D$ という関係により、電荷を転送することができる。

【 0 0 7 0 】

図 2 は、本実施例の撮像装置のブロック図である。図 2 では、異なる行に供給される駆動信号を区別するために、 (n) 、 $(n+1)$ などの行を表す符号を付している。また、異なる列に供給される駆動信号を区別するために、 (m) 、 $(m+1)$ などの列を表す符号を付している。

20

【 0 0 7 1 】

図 2 には、例として 4 行 4 列の行列状に配された 16 個の画素 100 が示されている。1 つの列に含まれる複数の画素 100 が、信号線 120 、信号線 125 の各々に接続される。行駆動回路 250 は、画素 100 に駆動信号 $pRES$ ($pRES1$ 、 $pRES2$)、駆動信号 pVP (ノード C の電位 V_P)、および、駆動信号 $pSEL$ ($pSEL1$ 、 $pSEL2$) を供給する。

【 0 0 7 2 】

図 1 (a) の第 1 リセットトランジスタ 117 および第 2 リセットトランジスタ 122 のゲートに駆動信号 $pRES$ が供給される。第 1 選択トランジスタ 119 および第 2 選択トランジスタ 124 のゲートに駆動信号 $pSEL$ が供給される。第 1 リセットトランジスタ 117 および第 2 リセットトランジスタ 122 に共通の駆動信号 $pRES$ を、第 1 選択トランジスタ 119 および第 2 選択トランジスタ 124 に共通の駆動信号 $pSEL$ を供給しているが、必ずしも共通にする必要はない。別々に駆動信号を用意してもよいが、共通にした方がレイアウト面積を低減できる。

30

【 0 0 7 3 】

1 つの行に含まれる複数の画素 100 は共通の駆動信号線に接続される。駆動信号線は、上述の駆動信号 $pRES$ 、駆動信号 $pSEL$ などを伝達する配線である。

40

【 0 0 7 4 】

本実施例では、第 1 容量 C_{M116} の第 2 端子 (ノード C) に供給される電位 V_P は、行ごとに独立して制御される。そのため、行駆動回路 250 が電位供給部 203 から電位 V_P の供給される行を選択する。なお、グローバル電子シャッタ動作を行う場合、各駆動信号は、全行で一括駆動される。ローリングシャッタ動作を行う場合は、行ごとに各駆動信号が制御される。

【 0 0 7 5 】

次に図 3 を用いて撮像装置の列回路の等価回路図について説明する。図 3 は、 m 列目および $m+1$ 列目の列回路 204 の等価回路を示している。他の列の列回路 204 の図示は省略されている。

50

【 0 0 7 6 】

第 1 信号線 1 2 0 および第 2 信号線 1 2 5 は、対応する列回路 2 0 4 に接続される。図 1 に示された差動増幅回路 3 0 1 は、列回路 2 0 4 に含まれる。列駆動回路 2 0 2 は、列回路 2 0 4 を列ごとに駆動する。具体的には、列駆動回路 2 0 2 は、駆動信号 C S E L を複数の列回路 2 0 4 に供給している。他の図面でも同様である。このような構成により、行ごとに並列に読み出された信号を、順次、出力部に出力することができる。

【 0 0 7 7 】

第 1 信号線 1 2 0 および第 2 信号線 1 2 5 の信号は、差動増幅回路 3 0 1 によって差分信号となって出力される。このとき出力される差動信号は、信号出力回路 1 3 0 および信号出力回路 1 3 1 の信号の絶対値を加算した信号となる。

10

【 0 0 7 8 】

差動増幅回路 3 0 1 の出力ノードは、S / H スイッチ 3 0 2 を介して容量 C T S に接続される。また、列アンプ 3 0 1 の出力ノードは、S / H スイッチ 3 0 3 を介して容量 C T N に接続される。S / H スイッチ 3 0 2 および S / H スイッチ 3 0 3 は、それぞれ、駆動信号 p T S および駆動信号 p T N によって制御される。このような構成により、画素 1 0 0 からのリセットノイズを含むノイズ信号 N と、光信号 S とノイズ信号 N を含む信号とを保持することができる。したがって、本実施例の撮像装置は相関二重サンプリングを行うことが可能である。つまりリセットノイズを除去した光信号 S を出力することができる。

【 0 0 7 9 】

容量 C T S は、転送スイッチ 3 0 4 を介して信号線 3 0 6 に接続される。容量 C T N は、転送スイッチ 3 0 5 を介して信号線 3 0 7 に接続される。転送スイッチ 3 0 4 および 3 0 5 は、列駆動回路からの駆動信号 C S E L によって制御される。

20

【 0 0 8 0 】

信号線 3 0 6 は第 2 差動増幅回路 1 2 7 の非反転入力端子に接続され、信号線 3 0 7 は第 2 差動増幅回路 1 2 7 の反転入力端子に接続される。第 2 差動増幅回路 1 2 7 は、信号線 3 0 6 の信号と信号線 3 0 7 の信号との差分信号を増幅して出力する。増幅された信号は、アナログデジタル変換部 2 0 5 に入力され、アナログ信号からデジタル信号へ変換され、それから、撮像装置の外部へ出力される。

【 0 0 8 1 】

なお、列回路 2 0 4 にアナログデジタル変換回路を用いてもよい。例えば、図 4 は差動増幅回路 3 0 1 の出力信号をアナログデジタル変換する列回路 2 0 6 の例である。差動増幅回路 3 0 1 の出力はアナログデジタル変換部 3 0 8 に接続している。アナログデジタル変換部 3 0 8 の出力はメモリ 3 0 9 に接続される。メモリ 3 0 9 はデジタル信号出力回路 3 1 0 に接続される。アナログデジタル変換部 3 0 8 で差動増幅回路 3 0 1 から出力されるノイズ信号 N と光信号 S 信号がデジタル信号に変換されてメモリ 3 0 9 で信号が保持される。デジタル信号出力回路によって、各列のノイズ信号 N と光信号 S の差分信号が生成され、撮像装置の外部へ出力される。このように、列回路でアナログデジタル変換するため画素回路で発生するノイズが低減可能である。

30

【 0 0 8 2 】

次に、図 5 を用いて本実施例の画素 1 0 0 の平面模式図および断面模式図について説明する。図 5 (a) は 2 行 2 列の画素 1 0 0 を示している。図 5 (a) は、画素回路の配された基板の表面と平行な面における電極 P 1 1 0、転送電極 T 1 1 1、および、電極 D 1 1 2 の配置を模式的に示している。

40

【 0 0 8 3 】

図 5 (a) に示すように、平面視において、転送電極 T 1 1 1 は、電極 P 1 1 0 を囲うように配され、且つ電極 D 1 1 2 は、転送電極 T 1 1 1 を囲うように配されている。

【 0 0 8 4 】

またこのような配置により、第 1 領域 1 0 1 に蓄積された電荷を、素早く第 2 領域 1 0 3 に転送することができる。結果として、撮像装置の駆動を高速化することができる。また、転送電極 T 1 1 1 に供給されるバイアス電位により第 1 領域 1 0 1 と第 2 領域 1 0 3

50

の間に信号電荷からみたポテンシャル障壁を形成することができる。これにより、生成された電荷を効率よく第1領域101に収集することができる。さらに、収集された電荷が第2領域103や隣接する画素にもれることを抑制できる。電荷転送中には、速やかにかつ完全に電荷転送できるようになっている。なお、転送電極T111が配されない場合には、電極D112は、電極P110を囲うように配される。

【0085】

図5(b)に示された断面は、図5(a)における線分ABに沿った断面に対応する。図5(b)は、マイクロレンズ401、平坦化層402、カラーフィルタ403、光電変換層108と基板との間に配される層間膜404が示されている。光電変換層108には、第1領域101、第3領域102、および、第2領域103が示されている。なお、層間膜404には電極と画素回路とを接続する不図示の導電部材が配されている。

10

【0086】

上部電極S106は、所定の量の光を透過させる導電部材で構成される。例えば、ITO(Indium Tin Oxide)などのインジウム、および/または、スズを含む化合物や、ZnOなどの化合物が、上部電極S106の材料として用いられる。このような構成によれば、多くの光を第1領域101に入射させることができる。そのため、感度を向上させることができる。他の例として、所定の量の光が透過する程度の薄さを有するポリシリコンや金属を、上部電極S106として用いてもよい。金属は抵抗が低いため、金属を上部電極S106の材料に用いた実施例は、低消費電力化あるいは駆動の高速化に有利である。なお、上部電極S106の光の透過率は、ゼロでなければ、特に限定されない。

20

【0087】

光電変換層108は、真性のアモルファスシリコン(以下、a-Si)、低濃度のP型のa-Si、低濃度のN型のa-Siなどで形成される。あるいは、光電変換層108は、化合物半導体で形成されてもよい。例えば、BN、GaAs、GaP、AlSb、GaAlAsPなどのIII-V族化合物半導体、CdSe、ZnS、HdTeなどのII-VI族化合物半導体、PbS、PbTe、CuOなどのIV-VI族化合物半導体が挙げられる。

【0088】

あるいは、光電変換層108は、有機材料で形成されてもよい。例えば、フラーレン、クマリン6(C6)、ローダミン6G(R6G)、亜鉛フタロシアニン(ZnPc)、キナクリドン、フタロシアニン系化合物、ナフタロシアニン系化合物などを用いることができる。さらに、上述の化合物半導体で構成された量子ドット膜を光電変換層108に用いることができる。光電変換層108の不純物濃度が低い、あるいは、光電変換層108は真性であるとよい。このような構成によれば、光電変換層108に空乏層を十分に広げることができるため、高感度化、ノイズ低減などの効果を得ることができる。

30

【0089】

ブロッキング層107は、上部電極S106から光電変換層108へ信号電荷と同じ導電型の電荷が注入されることを阻止する。上部電極S106をITOとした場合、光電変換層108を形成する半導体との組み合わせによっては、上部電極S106をブロッキング層107として兼用することできる。つまり上部電極S106から光電変換層108に信号電荷と同じ導電型の電荷が注入されないような、ポテンシャル障壁が形成されればよい。

40

【0090】

ブロッキング層107には、光電変換層108に用いられる半導体と同じ種類であって、光電変換層108に用いられる半導体よりも不純物濃度の高いN型あるいはP型の半導体を用いることができる。例えば、光電変換層108にa-Siが用いられる場合、ブロッキング層107に不純物濃度の高いN型のa-Si、あるいは、不純物濃度の高いP型のa-Siが用いられる。不純物濃度の違いによりフェルミ準位の位置が異なるため、電子および正孔のうち一方に対してのみ、ポテンシャルバリアを形成することができる。ブ

50

ロッキング層 107 の導電型は、信号電荷と反対の導電型の電荷が多数キャリアとなる導電型である。

【0091】

もしくは、光電変換層 108 とは異なる材料でブロック層 107 を構成することができる。このような構成によれば、ヘテロ接合が形成される。材料の違いによりバンドギャップが異なるため、電子および正孔のうち一方に対してのみ、ポテンシャルバリアを形成することができる。

【0092】

光電変換層 108 と、電極 P 110、転送電極 T 111、および、電極 D 112 のそれぞれとの間には、絶縁層 109 が配される。絶縁層 109 には、絶縁性の材料が用いられる。例えば絶縁層 109 の材料として、酸化シリコン、アモルファス酸化シリコン（以下、 $a-SiO$ ）、窒化シリコン、アモルファス窒化シリコン（ $a-SiN$ ）などの無機材料、あるいは、有機材料が用いられる。絶縁層 109 の厚さは、トンネル効果により電荷が透過しない程度の厚さとするといよい。このような構成にすることで、リーク電流を低減できるため、ノイズを低減することができる。具体的には、絶縁層 109 の厚さは 50 nm 以上とするといよい。

【0093】

ブロック層 107、光電変換層 108、および、絶縁層 109 に $a-Si$ 、 $a-SiO$ 、 $a-SiN$ を用いる場合は、水素化処理を行い、水素でダングリングボンドを終端してもよい。このような構成により、ノイズを低減することができる。

【0094】

電極 P 110、転送電極 T 111、および、電極 D 112 は、それぞれ、金属などの導電部材で構成される。電極 P 110、転送電極 T 111、および、電極 D 112 には、配線を構成する導電部材、あるいは、外部との接続用のパッド電極を構成する導電部材と同じ材料が用いられる。このような構成によれば、電極 P 110、転送電極 T 111、電極 D 112、配線、および、パッド電極の一部または全部を同時に形成することができる。

【0095】

なお、電極 P 110、転送電極 T 111、および、電極 D 112 は、それらの重心が一致するように配されたほうがよい。このような構成によれば、マイクロレンズ 401 が光電変換部（第 1 領域 101 および電極 P 110）に効率的に入射光をフォーカスすることができる。光電変換部の電界分布と光入射分布とが揃うため、光電変換によって発生した電荷が効率的に第 1 領域 101 に収集される。

【0096】

図 6 を用いて本実施例の動作について説明する。図 6 (a) ~ (c) は、光電変換層 108 における信号電荷（正孔）の動作を模式的に示している。図 6 (d) ~ (f) は、光電変換層 108 と絶縁層 109 との界面におけるポテンシャルを模式的に示す。図 6 (d) ~ (f) のそれぞれにおいて、横軸は基板表面と平行な第 1 方向における光電変換層 108 の位置を示し、縦軸は正孔に対するポテンシャルを示す。縦軸の上に行くほど、正孔に対するポテンシャルが低い。したがって、縦軸の上に行くほど、電位は低くなる。

【0097】

図 6 (a) は、光電変換によって生成した正孔が第 1 領域 101 に蓄積された状態を示す。図 6 (d) は、図 6 (a) に対応する第 1 領域 101、第 3 領域 102、第 2 領域 103 における正孔に対するポテンシャルの模式図を示す。

【0098】

この場合、電極 P 110 の電位 V_M 、転送電極 T 111 の電位 V_T 、電極 D 112 の電位 V_D は、 $V_D = V_M < V_T$ の関係、または、 $V_D < V_M < V_T$ の関係、または、 $V_M < V_D < V_T$ の関係を満たしている。

【0099】

このとき転送電極 T 111 に供給される電位 V_T によって、第 1 領域 101 と第 2 領域 103 の間のポテンシャル障壁を制御し電氣的な接続を切り替えている。つまり転送電極

10

20

30

40

50

T 1 1 1 は、第 1 領域 1 0 1 と第 2 領域 1 0 3 の分離を行う分離電極として働いている。

【 0 1 0 0 】

上部電極 S 1 0 6 の電位を V_s としたとき、好適には $V_s = V_T$ とすることで、電氣的な分離性能が向上する。なお、電極 P 1 1 0 の電位 V_M は、電位制御部 V P 1 1 3 の供給する電位 V_P および第 1 容量 C M 1 1 6 の容量値に基づいて制御される。

【 0 1 0 1 】

図 6 (b) は、第 1 領域 1 0 1 に蓄積された正孔を、第 2 領域 1 0 3 に転送している状態を示す。図 6 (e) は、図 6 (b) に対応する第 1 領域 1 0 1、第 3 領域 1 0 2、第 2 領域 1 0 3 における正孔に対するポテンシャルの模式図を示す。この場合、電極 P 1 1 0 の電位 V_M 、転送電極 T 1 1 1 の電位 V_T 、電極 D 1 1 2 の電位 V_D は、 $V_D = V_T < V_M$ の関係または $V_D < V_T < V_M$ の関係を満たしている。

10

【 0 1 0 2 】

この関係により、第 1 領域 1 0 1 から第 2 領域 1 0 3 の間にはポテンシャルのスロープが形成される。そのため、第 1 領域 1 0 1 に蓄積された正孔は、光電変換層 1 0 8 と絶縁層 1 0 9 界面に沿って、第 2 領域 1 0 3 へ転送される。第 2 領域 1 0 3 は電極 D 1 1 2 と電氣的に接続され、入力ノード D の電位を変化させる。

【 0 1 0 3 】

図 6 (c) は、第 2 領域 1 0 3 に信号電荷が転送された後の状態を示す。図 6 (f) は、図 6 (c) に対応する第 1 領域 1 0 1、第 3 領域 1 0 2、第 2 領域 1 0 3 における正孔に対するポテンシャル模式図を示す。電極 P 1 1 0 の電位 V_M 、転送電極 T 1 1 1 の電位 V_T 、電極 D 1 1 2 の電位 V_D は、信号電荷を転送する前の状態、すなわち、図 6 (d) に示される状態と同じである。具体的には、 $V_D = V_M < V_T$ の関係、または、 $V_D < V_M < V_T$ の関係、または、 $V_M < V_D < V_T$ の関係が満たされている。このとき、第 1 領域 1 0 1 においては転送動作により蓄積した信号電荷がなくなる。

20

【 0 1 0 4 】

そのため、絶縁層 1 0 9 による容量結合を介して、第 2 領域 1 0 3 へ転送された電荷の量に応じた電位変化が、電極 P 1 1 0 に接続された第 1 増幅トランジスタ 1 1 8 の入力ノード B に生じる。また、電荷が第 2 領域 1 0 3 へ転送された分だけ電極 D 1 1 2 に接続された第 2 増幅トランジスタ 1 2 3 の入力ノード D に電位変化が生じる。換言すると、露光期間に第 1 領域 1 0 1 に蓄積された信号電荷の量に応じた信号が、第 1 信号出力回路 1 3 0 および第 2 信号出力回路 1 3 1 から出力される。

30

【 0 1 0 5 】

なお、本実施例において、第 1 領域 1 0 1 から第 3 領域 1 0 2 を介して第 2 領域 1 0 3 まで、光電変換層 1 0 8 が、基板の表面に平行な方向に沿って連続している。したがって、図 6 (b) に示されるように、光電変換層 1 0 8 で生じた信号電荷は、画素回路が配された基板の表面と平行な方向に沿って転送される。このような構成によれば、光電変換層 1 0 8 と絶縁層 1 0 9 との界面に沿った方向への電荷転送が可能になる。これらの界面は、欠陥準位が少ないため、電荷の転送が高速に行われる。このように、本実施形態の撮像装置によれば、電荷を効率的に転送することができる。そのため、残留電荷による残像などのノイズを低減することができる。

40

【 0 1 0 6 】

なお、本実施例では、電位制御部 V P 1 1 3 の供給する電位 V_P を変化させることによって、電極 P 1 1 0 の電位 V_M を制御している。しかし、ノード B の第 1 リセット電位 V_{res1} が電極 D 1 1 2 の電位 V_D をより低い実施例では、電位制御部 V P 1 1 3 の供給する電位 V_P は固定されていてもよい。転送電極 T 1 1 1 の電位 V_T を制御するだけで、電荷を転送することができるからである。さらに、第 1 容量 C M 1 1 6 を省略できる。ただし、第 1 容量 C M 1 1 6 が省略されても、ノード B は寄生容量を有しうる。

【 0 1 0 7 】

次に、図 7 を用いて、第 2 領域 1 0 3 へ信号電荷を転送することによって信号が出力される動作について説明する。図 7 は、基板の表面に垂直な方向に沿った光電変換層 1 0 8

50

のエネルギーバンドを模式的に示す。図7において、縦軸は正孔に対するポテンシャルを表している。縦軸の上に行くほど、正孔に対するポテンシャルが低い。したがって、縦軸の上に行くほど、電位は低くなる。

【0108】

上部電極S106、および、電極P110、電極D112については、自由電子のエネルギー準位が示されている。ブロッキング層107、および、光電変換層108については、伝導帯のエネルギー準位と価電子帯のエネルギー準位との間のバンドギャップが示されている。なお、光電変換層108と絶縁層109との界面における光電変換層108のポテンシャルを、便宜的に、光電変換層108の表面ポテンシャル、あるいは、単に表面ポテンシャルと呼ぶ。

10

【0109】

図7の右側には、第1領域101におけるエネルギーバンドが示されている。図7の左側には第2領域103におけるエネルギーバンドが示されている。第1領域101については、上部電極S106、ブロッキング層107、光電変換層108、絶縁層109、および、電極P110のエネルギーバンドが示されている。第2領域103については、上部電極S106、ブロッキング層107、光電変換層108、電極D112のエネルギーバンドが示されている。

【0110】

第1領域101の動作としては、電荷転送(ステップp1)、および、入射光の光電変換により生じた信号電荷の蓄積を行う(ステップp2)、信号電荷が蓄積した状態(ステップp3)である。以下各ステップについて説明する。

20

【0111】

ステップp1において、図6で説明した通りに、第1領域101に蓄積された信号電荷を、第3領域102を介して、第2領域103に転送する。第1領域101は、正孔が蓄積された状態から正孔がなくなった状態に変化する。一方で、第2領域103は正孔が存在しない状態から正孔が保持された状態に変化する。

【0112】

信号電荷が転送される前の状態、つまり、信号電荷を蓄積するための露光期間においては、電極P110には第1リセット電位 V_{res1} が供給され、電極D112には第2リセット電位 V_{res2} が供給される。本実施例では、第1リセット電位 V_{res1} は3Vであり、第2リセット電位 V_{res2} は4Vである。なお、この時の電極P110、および電極D112の電位は、リセット時のノイズkTCを含みうる。上部電極S106に供給される電位 V_s は6Vに固定されている。

30

【0113】

本実施例では、電位制御部VP113は第1の電位 V_{P1} (=3V)および第2の電位 V_{P2} (=5V)を供給する。

【0114】

ステップp1において、露光期間に生じた信号電荷(正孔)を第1領域101に蓄積するときは、電位制御部VP113は、上部電極S106の電位 V_s (=6V)よりも低い第1電位 V_{P1} (=3V)を供給する。

40

【0115】

ステップp1では、電荷の転送を行うために、電位制御部VP113が第2電位 V_{P2} (=5V)を供給する。

【0116】

電位制御部VP113の供給する電位 V_P が変化すると、電極P110(図1のノードB)の電位は、電位 V_P の変化と同じ方向に向かって変化する。電極P110の電位の変化量 dV_M は、電極P110に接続された第1容量 C_{M116} の容量値 C_1 と、第1領域101が有する第2容量の容量値 C_2 との比に応じて決まる。

【0117】

ノードCの電位の変化量 dV_P (= $V_{P2} - V_{P1}$)に対して、電極P110の電位の

50

変化量 dV_M は、 $dV_M = dV_P \times C_1 / (C_1 + C_2)$ と表される。なお、電極 P 1 1 0 を含むノード B は他の容量成分を含みうる。しかし、他の容量成分は第 1 容量 C_{M116} の容量値 C_1 に比べて十分に小さい。そのため、ノード B の容量値は、第 1 容量 C_{M116} の容量値 C_1 と等しいとみなしてよい。

【0118】

本実施例では、電極 P 1 1 0 の電位が変化量 dV_M だけ変化することにより、第 1 領域 1 0 1 の表面ポテンシャルが、電極 D 1 1 2 の電位 V_D よりも高くなる。結果として、第 1 領域 1 0 1 の電荷が第 2 領域 1 0 3 に転送される。

【0119】

次に、ノード B に再び第 1 の電位 V_{P1} ($= 3V$) が供給される。これにより、光電変換層 1 0 8 のポテンシャルの傾きが再び反転する。そのため、光電変換層 1 0 8 に注入されていた電子は、光電変換層 1 0 8 から排出される。一方、ブロッキング層 1 0 7 が、上部電極 S 1 0 6 から光電変換層 1 0 8 への正孔の注入を阻止する。したがって、光電変換層 1 0 8 の表面ポテンシャルは、保持されていた正孔の量に応じて変化する。

【0120】

信号電荷の転送が行われる時には、電極 P 1 1 0 を含むノード (図 1 のノード B) は電氣的にフローティングになっている。したがって、表面ポテンシャルの変化に対応して、電極 P 1 1 0 の電位は、リセットされた状態から、消滅した正孔の量に応じた電位 V_{sig1} だけ変化する。つまり、信号電荷として保持された正孔の量に応じた電位 V_{sig1} がノード B に現れる。保持された正孔の量に応じた電位 V_{sig1} を、光信号成分と呼ぶ。この光信号成分 V_{sig1} は、光電変換によって生じた信号電荷に基づく信号である。

【0121】

また、電極 D 1 1 2 を含むノード (図 1 のノード D) も電氣的にフローティングになっている。したがって、電極 D 1 1 2 の電位は、リセットされた状態から、第 2 領域 1 0 3 に転送された信号電荷 (正孔) に応じた電位 $-V_{sig2}$ だけ変化する (V_{sig1} とは変化が逆なのでマイナス符号を付加している)。

【0122】

つまり、信号電荷として保持された正孔の量に応じた電位 $-V_{sig2}$ がノード C に現れる。電位 $-V_{sig2}$ も光信号成分であり、光電変換によって生じた信号電荷に基づく信号である。

【0123】

そして、信号出力回路 1 3 0 から光信号成分 V_{sig1} を含む信号を出力し、信号出力回路 1 3 1 から光信号成分 $-V_{sig2}$ を含む信号を出力した後、電極 P 1 1 0、および電極 D 1 1 2 の電位をリセットし、そして、光電変換を開始する。

【0124】

第 1 領域 1 0 1 においては、入射した光によって生じた電子正孔対のうち正孔が信号電荷として蓄積される。電子は上部電極 S 1 0 6 に排出される。その結果、入射した光の量に応じた量の正孔が、第 1 領域 1 0 1 と絶縁層 1 0 9 との界面に蓄積される。

【0125】

次に画素回路の動作を説明する。画素回路の動作としては、以下のステップ m 1 ~ m 3 が繰り返し行われる。

【0126】

ステップ m 1 は第 1 増幅トランジスタ 1 1 8、および第 2 増幅トランジスタ 1 2 3 の入力ノードのリセットである。ステップ m 2 はノイズ信号 N の読み出し (N 読み) である。ステップ m 3 は光信号 S の読み出し (S 読み) である。以下、それぞれのステップについて説明する。

【0127】

ステップ m 1 において、第 1 リセットトランジスタ 1 1 7、および第 2 リセットトランジスタ 1 2 2 をオンにする。電極 P 1 1 0 を含む入力ノード B、つまり、図 1 (a) の入力ノード B の電位が第 1 リセット電位 V_{res1} にリセットされる。また、電極 D 1 1 2

10

20

30

40

50

を含む入力ノードD、つまり、図1(a)の入力ノードDの電位が第2リセット電位 V_{res2} にリセットされる。なお、露光期間中は常に第1リセットトランジスタ117、および第2リセットトランジスタ122をオンにしてもよい。あるいは、第1リセットトランジスタ117、および第2リセットトランジスタ122はノイズ信号Nの読み出しの直前にだけオンしてもよい。

【0128】

その後、ステップm2において、第1リセットトランジスタ117、および第2リセットトランジスタ122をオフする。これにより、ノードB、およびノードDが電氣的にフローティングになる。このとき第1リセットトランジスタ117、および第2リセットトランジスタ122によるリセットノイズ(ノイズkTC)が発生しうる。

10

【0129】

第1選択トランジスタ119および第2選択トランジスタ124がオンする。そして、第1増幅トランジスタ118がリセットノイズを含むノイズ信号N1($V_{res1} + kTC1$)を画素100から出力する。そして第2増幅トランジスタ124がリセットノイズを含むノイズ信号N2($V_{res2} + kTC2$)を画素100から出力する(N読み)。

【0130】

そして、差動増幅回路301より、ノイズ差動信号N($V_{res1} + kTC1 - V_{res2} - kTC2$)が出力され、列回路204の容量CTNに保持される。

【0131】

その後、上述の通り、第1領域101から第2領域103へ信号電荷の転送が行われる。信号電荷の転送が行われた後、ステップm3において、第1選択トランジスタ119、および第2選択トランジスタ124がオンする。これにより、第1増幅トランジスタ118が光信号S($V_{sig1} + V_{res1} + kTC1$)を画素100から出力し、第2増幅トランジスタ123が光信号S($-V_{sig2} + V_{res2} + kTC2$)を画素100から出力する。そして、差動増幅回路301より、光差動信号S($V_{sig1} + V_{res1} + kTC1 + V_{sig2} - V_{res2} - kTC2$)は、列回路204の容量CTSに保持される。

20

【0132】

ステップm2で読み出されたノイズ差動信号Nと、ステップm3で読み出された光差動信号Sとの差分($V_{sig1} + V_{sig2}$)が、保持された信号電荷に応じた電位に基づく信号(光信号成分)となる。つまり、光電変換層で蓄積した電荷に基づく信号の利用効率を向上することが可能となる。

30

【0133】

なお、光信号成分 V_{sig1} 、 V_{sig2} はどちらも第1領域101に蓄積された電荷に基づくため、ここでノードB、およびノードDにおける容量成分が等しいならば、 $V_{sig1} = V_{sig2}$ となり、光信号は2倍に増大することになる。また、光ショットノイズや回路ノイズなどの諸々のノイズは多くて2倍であり、S/Nとしては2倍に改善する。

【0134】

一方で、信号電荷が電子の場合、第2の電位 V_{P2} は第1の電位 V_{P1} より低い電位である。また、第1リセット電位 V_{res1} は上部電極S106の電位 V_s より低く設定される。

40

【0135】

本実施例では、光電変換層108のポテンシャルを制御することで、第1領域101に蓄積した正孔を第2領域103に転送している。このとき、第1領域101から第2領域103までポテンシャルのスロープを容易に形成するためには、電極P110(ノードB)の電位の変化量 dVM が大きいことが好ましい。第1領域101に残留する電荷の量を低減できるため電位変化量が大きくなり、信号の利用効率を向上することができる。

【0136】

次に画素回路の動作について図8および図9に示す撮像装置の駆動信号図を用いて説明

50

する。図 8 および図 9 には、それぞれ、1 行分の信号の出力動作に対応した駆動信号が示されている。

【 0 1 3 7 】

まず出力動作を行う行において駆動信号 p S E L がハイレベルとなり、画素が選択される。次に駆動信号 p R E S は第 1 リセットトランジスタ 1 1 7、第 2 リセットトランジスタ 1 2 2 のゲートに供給される。駆動信号 p V T は転送電極 T 1 1 1 に供給される。駆動信号 p T S は S / H スイッチ 3 0 2 に供給される。駆動信号 p T N は S / H スイッチ 3 0 3 に供給される。駆動信号 H S C A N は列駆動回路 2 0 2 に供給される。

【 0 1 3 8 】

駆動信号 p R E S、駆動信号 p T N、駆動信号 p T S がハイレベル (H レベル) の時に、対応するトランジスタまたはスイッチがオンする。駆動信号 p R E S、駆動信号 p T N、駆動信号 p T S がローレベル (L レベル) の時に、対応するトランジスタまたはスイッチがオフする。これらの駆動信号のハイレベルおよびローレベルは、トランジスタまたはスイッチの閾値電位に応じて設定される。図 8 および図 9 には、駆動信号 p V P のタイミングチャートが示されている。駆動信号 p V P は、電位制御部 V P 1 1 3 が、電極 P 1 1 0 に供給する電位を示し、第 1 電位 V P 1 と第 1 電位 V P 1 よりも大きい第 2 電位 V P 2 を含む。

10

【 0 1 3 9 】

図 8 に示された駆動信号を用いた動作について説明する。まず駆動信号 p R E S がハイレベルであるため、電極 P 1 1 0 の電位が第 1 リセット電位 V r e s 1 にリセットされ、電極 D 1 1 2 の電位が第 2 リセット電位 V r e s 2 にリセットされる。

20

【 0 1 4 0 】

その後、駆動信号 p R E S がローレベルになることで、リセットトランジスタ 1 1 7 がオフし、電極 P 1 1 0 を含むノード (ノード B) がフローティングになる。

【 0 1 4 1 】

駆動信号 p T N がハイレベルになることで、S / H スイッチ 3 0 3 がオンする。これにより、先述したように差動増幅回路 3 0 1 より出力されたノイズ差動信号 N が保持される。そして、駆動信号 p T N がローレベルになることで、S / H スイッチ 3 0 3 がオフする。

【 0 1 4 2 】

続いて、駆動信号 p V T がローレベルに遷移し、第 1 領域 1 0 1 と第 2 領域 1 0 3 との間のポテンシャル障壁が除去される。さらに、電位制御部 V P 1 1 3 が第 2 電位 V P 2 を電極 P 1 1 0 に供給する。これにより第 1 領域 1 0 1 から第 2 領域 1 0 3 への信号電荷の転送が行われる。信号電荷の転送が終了したら、電位制御部 V P 1 1 3 は第 1 電位 V P 1 を電極 P 1 1 0 に供給する。そして、駆動信号 p V T がハイレベルの電位に遷移し、第 1 領域 1 0 1 と第 2 領域 1 0 3 との間にポテンシャル障壁が生じる。

30

【 0 1 4 3 】

その後、駆動信号 p T S がハイレベルに遷移し、S / H スイッチ 3 0 2 がオンする。これにより、先述した差動増幅回路 3 0 1 より出力された光差動信号 S が保持される。駆動信号 p R E S がハイレベルに遷移し、再び、電極 P 1 1 0、電極 D 1 1 2 の電位がリセットされる。

40

【 0 1 4 4 】

駆動信号 H S C A N は、列駆動回路 2 0 2 に供給されるクロック信号であり、列駆動回路 2 0 2 に含まれる不図示のシフトレジスタを動作させる。クロック信号の周期に従ってパルスシフト動作が行われ、複数の列回路 2 0 4 からの信号を 1 列ずつ順に出力させるように各列に対応した駆動信号 C S E L が順次、列回路 2 0 4 に供給される。

【 0 1 4 5 】

図 9 に示された駆動信号を用いた動作においては、信号電荷の蓄積を開始する前に、膜リセットを行っている。具体的には、駆動信号 p T S がローレベルに遷移した後に、駆動信号 p R E S をローレベルからハイレベルとし、ハイレベルからローレベルとする。そし

50

て、駆動信号 V_T をハイレベルからローレベルとし、駆動信号 V_P をローレベルからハイレベル、ハイレベルからローレベルとし、駆動信号 V_T をローレベルからハイレベルとする。

【0146】

このように、図8で説明した信号電荷の転送のために行った動作と同様の動作を行う。このような駆動によれば、次のフレームの露光の開始前に残留している電荷を減らすことが可能となる。結果として、残像などのノイズを低減することが可能である。

【0147】

以上に説明した通り、本実施例においては、光電変換層108の第1領域101から光電変換層108の第2領域103へ、画素回路の配された基板の表面と平行な方向に沿って電荷が転送される。そして、電極P110の電位変化分を信号出力回路130から出力された信号として得られ、電極D112の電位変化分を信号出力回路131から出力された信号として得られる。そして、信号出力回路130から出力された信号と信号出力回路131から出力された信号との差分を取ることで、2つの信号の絶対値の加算した信号を得ることが可能となる。その結果、光電変換層で蓄積した電荷に基づく信号の利用効率を向上することが可能となる。

【0148】

なお、電極P110の電位変化分を信号出力回路130に含まれる第1増幅トランジスタ118から出力し、電極D112の電位変化分を信号出力回路131に含まれる第2増幅トランジスタ124から出力させている。そのため各信号出力回路の各々に増幅トランジスタを配することで、二つの信号出力回路で増幅トランジスタを共通とする場合よりも等価ゲート面積が大きくなるためRTNの低減することが可能である。また、電極P110の電位変化分と電極D112の電位変化分を差動増幅するため、信号線に発生する同相ノイズもキャンセルできるのでノイズを低減することが可能である。

【実施例2】

【0149】

図10から図13を用いて、本実施例の撮像装置を説明する。各図面において同じ符号が付されている部分は、同じ素子または同じ領域を指す。図1～9と同様の機能を有する部分には同様の符号を付し、詳細な説明を省略する。なお、実施例2において図2～5は実施例1と共通の構成である。

【0150】

本実施例は、電極D112と光電変換層108の間に絶縁層409が配されている点で実施例1と異なる。

【0151】

図10において、電極P110と光電変換層108との間には、絶縁層409が配される。絶縁層409は、電極P110と光電変換層108との間から、電極D112と光電変換層108との間に延在する。そして図10において、上部電極の電位 V_S は固定電位ではない。

【0152】

次に図11を用いて本実施例の動作について説明する。ここでは、図6との差異について説明する。図11(a)は、光電変換によって生成した正孔が第1領域101に蓄積された状態を示す。図11(d)は、図11(a)に対応する第1領域101、第3領域102、第2領域103における正孔に対するポテンシャルの模式図を示す。

【0153】

この場合、電極P110の電位 V_M 、転送電極T111の電位 V_T 、電極D112の電位 V_D は、 $V_D = V_M < V_T$ の関係、または、 $V_D < V_M < V_T$ の関係、または、 $V_M < V_D < V_T$ 、または、 $V_M < V_T = V_D$ の関係を満たしている。

【0154】

この場合にも実施例1と同様に、転送電極T111に供給される電位 V_T によって、第1領域101と第2領域103の間のポテンシャル障壁を制御し電氣的な接続を切り替え

10

20

30

40

50

ている。

【 0 1 5 5 】

図 1 1 (b) は、第 1 領域 1 0 1 に蓄積された正孔を、第 2 領域 1 0 3 に転送している状態を示す。図 1 1 (e) は、図 1 1 (b) に対応する第 1 領域 1 0 1、第 3 領域 1 0 2、第 2 領域 1 0 3 における正孔に対するポテンシャルの模式図を示す。この場合、電極 P 1 1 0 の電位 V_M 、転送電極 T 1 1 1 の電位 V_T 、電極 D 1 1 2 の電位 V_D は、 $V_D = V_T < V_M$ の関係または $V_D < V_T < V_M$ の関係を満たしている。

【 0 1 5 6 】

この関係により、第 1 領域 1 0 1 から第 2 領域 1 0 3 の間にはポテンシャルのスロープが形成される。そのため、第 1 領域 1 0 1 に蓄積された正孔は、光電変換層 1 0 8 と絶縁層 1 0 9 界面に沿って、第 2 領域 1 0 3 へ転送される。そして、第 2 領域 1 0 3 に転送された電荷は第 2 領域 1 0 3 において蓄積される。

10

【 0 1 5 7 】

図 1 1 (c) は、第 2 領域 1 0 3 に信号電荷が転送された後の状態を示す。図 1 1 (f) は、図 1 1 (c) に対応する第 1 領域 1 0 1、第 3 領域 1 0 2、第 2 領域 1 0 3 における正孔に対するポテンシャル模式図を示す。このとき、 $V_M < V_D < V_T$ の関係が満たされ、電荷は第 2 領域 1 0 3 において信号電荷が蓄積される。

【 0 1 5 8 】

図 1 1 (a) の状態から図 1 1 (c) の状態になると、入力ノード B の電位変化を信号出力回路 1 3 0 の信号として出力し、入力ノード D の電位変化を信号出力回路 1 3 1 の信号として出力する。そして、実施例 1 で説明したように差動増幅回路 3 0 1 を介して、信号出力回路 1 3 0 から出力された信号の絶対値と信号出力回路 1 3 1 から出力された信号の絶対値の加算信号を差動信号として取得する。

20

【 0 1 5 9 】

そして、各信号出力回路から信号を出力した後は、第 2 領域 1 0 3 に蓄積された信号電荷を上部電極 S 1 0 6 へ排出してリセットする。

【 0 1 6 0 】

次に、図 1 2 を用いて、第 2 領域 1 0 3 へ信号電荷を転送することによって信号が出力される動作について説明する。図 1 2 において、第 1 領域 1 0 1 におけるエネルギーバンド構造は図 7 と同様である。

30

【 0 1 6 1 】

第 2 領域 1 0 3 におけるエネルギーバンド構造において、ステップ d 2 は、図 1 2 のステップ p 3 と同様のエネルギーバンド構造となる。ステップ d 2 は、第 1 領域 1 0 1 から転送された信号電荷が蓄積されるステップである。

【 0 1 6 2 】

次にステップ d 3 は、第 2 領域 1 0 3 で蓄積した信号電荷を、上部電極 S 1 0 6 に排出するステップである。そしてステップ d 1 に示すように、第 2 領域 1 0 3 には信号電荷が蓄積されていない状態となる。

【 0 1 6 3 】

次に本実施例の画素回路の動作を説明する。画素回路の動作は、実施例 1 で説明したステップ m 1 ~ m 3 と同様である。

40

【 0 1 6 4 】

次に本実施例の画素回路の動作について図 1 3 に示す撮像装置の駆動信号図を用いて具体的に説明する。図 1 3 では、それぞれ、1 行分の信号の読み出し動作に対応した駆動信号が示されている。

【 0 1 6 5 】

まず出力動作を行う行において駆動信号 p S E L がハイレベルとなり、画素が選択される。駆動信号 p R E S がハイレベルであるため、電極 P 1 1 0 の電位が第 1 リセット電位 V_{res1} にリセットされ、電極 D 1 1 2 の電位が第 2 リセット電位 V_{res2} にリセットされる。

50

【 0 1 6 6 】

その後、駆動信号 p R E S がローレベルになることで、リセットトランジスタ 1 1 7 がオフし、電極 P 1 1 0 を含む入力ノード（ノード B）がフローティングになる。また、リセットトランジスタ 1 2 2 がオフし、電極 D 1 1 2 を含む入力ノード（ノード D）がフローティングになる。

【 0 1 6 7 】

駆動信号 p T N がハイレベルになることで、S / H スイッチ 3 0 3 がオンする。これにより、先述したように差動増幅回路 3 0 1 より出力されたノイズ差動信号 N が保持される。そして、駆動信号 p T N がローレベルになることで、S / H スイッチ 3 0 3 がオフする。

10

【 0 1 6 8 】

次に電位制御部 V P 1 1 3 が第 2 電位 V P 2 を電極 P 1 1 0 に供給する。これにより第 1 領域 1 0 1 から第 2 領域 1 0 3 への信号電荷の転送が行われる。信号電荷の転送が終了したら、電位制御部 V P 1 1 3 は、第 1 電位 V P 1 を電極 P 1 1 0 に供給する。

【 0 1 6 9 】

続いて、駆動信号 p V T がハイレベルに遷移し、第 1 領域 1 0 1 と第 2 領域 1 0 3 との間のポテンシャル障壁が除去される。

【 0 1 7 0 】

また、駆動信号 p T S がハイレベルに遷移し、S / H スイッチ 3 0 2 がオンする。これにより、先述した差動増幅回路 3 0 1 より出力された光差動信号 S が保持される。駆動信号 p R E S がハイレベルに遷移し、再び、電極 P 1 1 0、電極 D 1 1 2 の電位がリセットされる。

20

【 0 1 7 1 】

そして、駆動信号 p T S および駆動信号 p V T が高い電位に遷移し、第 1 領域 1 0 1 と第 2 領域 1 0 3 との間にポテンシャル障壁が生じる。

【 0 1 7 2 】

続いて、電位 V S をハイレベルからローレベルとする。これにより、第 2 領域 1 0 3 に転送した電荷を上部電極 S 1 0 6 側に排出することが可能となる。ただし、上部電極 S 1 0 6 は行単位で共通になっており、行ごとに順次電圧を切り替える。

【 0 1 7 3 】

駆動信号 H S C A N は、列駆動回路 2 0 2 に供給されるクロック信号であり、列駆動回路 2 0 2 に含まれる不図示のシフトレジスタを動作させる。クロック信号の周期に従ってパルスシフト動作が行われ、複数の列回路 2 0 4 からの信号を 1 列ずつ順に出力させるように各列に対応した駆動信号 C S E L が順次、列回路 2 0 4 に供給される。

30

【 0 1 7 4 】

本実施例の構成においても、光電変換層で蓄積した電荷に基づく信号の利用効率を向上することが可能となる。

【実施例 3】

【 0 1 7 5 】

図 1 4 から図 1 6 を用いて、本実施例の撮像装置を説明する。各図面において同じ符号が付されている部分は、同じ素子または同じ領域を指す。図 1 ~ 1 3 と同様の機能を有する部分には同様の符号を付し、詳細な説明を省略する。

40

【 0 1 7 6 】

本実施例は、電位制御部 V J 1 1 5 および第 2 容量 C M 1 1 7 を備える点で実施例 1 と異なる。

【 0 1 7 7 】

さらに本実施例は、差動増幅回路によって第 1 信号出力回路から出力された信号と第 2 信号出力回路から出力された信号との差を取る。これにより差分信号を取得する前に、各信号出力回路から出力される信号からノイズ信号を除去する作業を行う点で実施例 1 と異なる。具体的には、第 1 信号出力回路から出力されたノイズ信号 N 1 + 光信号 S 1 とノイ

50

ズ信号 N 1 の差を取ることで光信号 S 1 を取得し、第 2 信号出力回路から出力されたノイズ信号 N 2 + 光信号 S 2 からノイズ信号 N 2 の差を取ることで光信号 S 2 を取得する。そして、取得した信号を用いて差動増幅回路によって差分信号を取得する。

【 0 1 7 8 】

図 1 4 は本実施例の撮像装置の画素構成の模式図である。図 1 4 において、電位制御部 V J 1 1 5 は、第 2 容量 C M 1 1 7 を介して第 2 増幅トランジスタ 1 2 3 の入力ノード D および電極 D 1 1 2 に接続される。電位制御部 V J 1 1 5 は、第 5 電位および第 6 電位を含む複数の電位を第 2 容量 C M 1 1 7 を介して電極 D 1 1 2 に供給する。第 5 電位は、第 2 領域 1 0 3 に電荷を収集する電位であり、第 6 電位は、電荷を第 1 方向と反対方向に転送する電位である。なお、ノード D に電位 V D が供給され、ノード E に電位 V J が供給される。電位 V J と電位 V D とは、第 1 の容量 C M 1 1 6 の容量値に応じた関係を有する。

10

【 0 1 7 9 】

このような構成によれば、第 1 領域 1 0 1 に電荷を蓄積する際に、電位制御部 V P 1 1 3 が電極 P 1 1 0 に第 1 電位を供給し、電位制御部 V J 1 1 5 が電極 D 1 1 2 に第 4 電位を供給する。このような電位関係により、第 2 領域 1 0 3 から第 1 領域 1 0 1 に電荷が移動しやすくなるポテンシャル勾配を形成することが可能となる。結果として、第 1 領域に電荷が蓄積されやすくなる。

【 0 1 8 0 】

また、第 1 領域 1 0 1 に蓄積された電荷を、第 2 領域 1 0 3 に電荷を転送する際に、電位制御部 V P 1 1 3 が電極 P 1 1 0 に第 2 電位を供給する。そして電位制御部 V J 1 1 5 が電極 D 1 1 2 に第 3 電位を供給することで、素早く電荷を第 2 領域 1 0 3 に転送することが可能となる。このような電位関係により、第 1 領域 1 0 1 から第 2 領域 1 0 3 に電荷が移動しやすくなるポテンシャル勾配を形成することが可能となる。結果として、撮像装置の駆動を高速化することができる。

20

【 0 1 8 1 】

また、図 1 4 は、図 1 と異なり、第 1 信号線 1 2 0 と第 2 信号線 1 2 5 が、実施例 1 の差動増幅回路 3 0 1 に対応する差動増幅回路に直結していない。

【 0 1 8 2 】

次に図 1 5 を用いて本実施例の列回路の等価回路図について説明する。ここでは、図 3 と比べて異なる点についてのみ説明する。図 1 5 は、m 列目の列回路 2 0 7 の等価回路を示している。他の列の列回路 2 0 7 は省略する。

30

【 0 1 8 3 】

第 1 信号線 1 2 0 および第 2 信号線 1 2 5 は、対応する列回路 2 0 7 に接続される。列駆動回路 2 0 2 は、列回路 2 0 7 を列ごとに駆動し、行ごとに出力された信号を、順次、出力部に出力することができる。

【 0 1 8 4 】

列回路 2 0 7 は、第 1 列アンプ 3 1 1 および第 2 列アンプ 3 1 2 を含み、第 1 信号線 1 2 0 は、第 1 列アンプ 3 1 1 に接続し、第 2 信号線 1 2 5 は第 2 列アンプ 3 1 2 に接続される。

【 0 1 8 5 】

40

第 1 信号線 1 2 0 の信号は、第 1 列アンプ 3 1 1 によって増幅され、第 2 信号線 1 2 5 の信号は、第 2 列アンプ 3 1 2 によって増幅される。ただし、第 1 列アンプ 3 1 1 および第 2 列アンプ 3 1 2 は配さなくてもよい。また、第 1 列アンプ 3 1 1 および第 2 列アンプ 3 1 2 は、各実施例の構成に配してもよい。

【 0 1 8 6 】

第 1 列アンプ 3 1 1 の出力ノードは、S / H スイッチ 3 1 3 を介して容量 C T S 1 に接続される。また、第 1 列アンプ 3 1 1 の出力ノードは、S / H スイッチ 3 1 4 を介して容量 C T N 1 に接続される。S / H スイッチ 3 1 3 および S / H スイッチ 3 1 4 は、それぞれ、駆動信号 p T S および駆動信号 p T N によって制御される。容量 C T S 1 と容量 C T N 1 はさらに第 3 差動増幅回路 3 1 7 に接続される。

50

【0187】

第2列アンプ312の出力ノードは、S/Hスイッチ315を介して容量CTS2に接続される。また、第2列アンプ312の出力ノードは、S/Hスイッチ316を介して容量CTN2に接続される。S/Hスイッチ315およびS/Hスイッチ316は、それぞれ、駆動信号pTSおよび駆動信号pTNによって制御される。容量CTS2と容量CTN2はさらに第4差動増幅回路318に接続される。

【0188】

容量CTS1に保持された光信号S1 + ノイズ信号Nと容量CTN1に保持されたノイズ信号Nの差分信号となる光信号S1が第3差動増幅回路317から出力される。容量CTS2に保持された光信号S2 + ノイズ信号Nと容量CTN2に保持されたノイズ信号Nの差分信号となる光信号S1が第4差動増幅回路318から出力される。

10

【0189】

第3差動増幅回路317の出力ノードは転送スイッチ319を介して信号線306に接続される。第2差動増幅回路318の出力部は転送スイッチ320を介して信号線307に接続される。転送スイッチ319および320は、列駆動回路からの駆動信号CSLによって制御される。

【0190】

信号線306と信号線307とはいずれも差動増幅回路327に接続される。差動増幅回路327は、実施例1の差動増幅回路301に対応する。差動増幅回路327は、信号線306の信号と信号線307の信号との差分信号を増幅して出力する。

20

【0191】

このとき、信号線306の信号は信号出力回路130と電氣的に接続し、信号出力回路130から出力された信号に対応する。信号線307の信号は信号出力回路131に電氣的に接続し、信号出力回路131から出力された信号に対応する。そのため、信号線306の信号と信号線307の信号は極性が逆となる。そして差動増幅回路327から出力される差分信号は、信号線307の信号の絶対値と信号線306の信号の絶対値の加算値となる。

【0192】

差動増幅回路327から出力された信号は、アナログデジタル変換部205に入力され、アナログ信号からデジタル信号へ変換され、それから、撮像装置の外部へ出力される。このような構成によれば、列回路でアナログデジタル変換することで画素回路から発生するノイズを低減することができる。

30

【0193】

なお、列回路207にアナログデジタル変換回路を用いてもよく、そのときの列回路は、例えば図16の列回路208である。列回路208は第1列アンプ311の出力信号、および第2列アンプ312の出力信号をアナログデジタル変換する。第1列アンプ311の出力はアナログデジタル変換部321に接続している。第2列アンプ312の出力はアナログデジタル変換部322に接続している。アナログデジタル変換部321の出力はメモリ323に接続される。アナログデジタル変換部322の出力はメモリ324に接続される。メモリ323、メモリ324はデジタル信号処理回路325に接続される。

40

【0194】

アナログデジタル変換部321で第1出力線120から出力されるノイズ信号N1と光信号S1信号がデジタル信号に変換されてメモリ323で信号が保持される。アナログデジタル変換部322で第2出力線125から出力されるノイズ信号N2と光信号S2信号がデジタル信号に変換されてメモリ324で信号が保持される。デジタル信号処理回路によって、ノイズ信号N1と光信号S1信号のデジタル化された差分信号D1(=S1-N1)が生成され、またノイズ信号N2と光信号S2信号のデジタル化された差分信号D2(=S2-N2)を生成される。さらに差分信号D1と差分信号D2の差分信号が生成される。このように、列回路でアナログデジタル変換回路することで回路から発生するノイズを低減することができる。

50

【 0 1 9 5 】

そのため、本実施例の構成においても、光電変換層で蓄積した電荷に基づく信号の利用効率を向上することが可能である。本実施例において、2つの差異について説明したが、どちらの差異もすべての実施例に適用可能である。

【 実施例 4 】

【 0 1 9 6 】

図17を用いて、本実施例の撮像装置を説明する。各図面において同じ符号が付されている部分は、同じ素子または同じ領域を指す。図1～16と同様の機能を有する部分には同様の符号を付し、詳細な説明を省略する。

【 0 1 9 7 】

実施例1と本実施例の差異は、第3領域102、転送電極T111、および、電源VT114が配されていない点である。

【 0 1 9 8 】

図17に本実施例の撮像装置の画素構成を示す。図13に示すように、画素100は、第3領域102、転送電極T111、および、電源VT114を含まない。

【 0 1 9 9 】

本実施例においては、電位制御部VP113の供給する電位VPを制御することで、第1領域101から第2領域103への電荷の転送を行う。

【 0 2 0 0 】

信号電荷が正孔の場合、電極P110の電位VMと電極D112の電位VDの関係を、 $VD < VM$ とすることで、第1領域101から第2領域103へ、電荷を転送する。なお、第1領域101が電荷を蓄積している期間には、電極P110の電位VMと電極D112の電位VDの関係を、 $VD > VM$ とする。信号電荷が電子の場合、電極P110の電位VMと電極D112の電位VDの関係を、 $VD > VM$ とすることで、第1領域101から第2領域103へ、電荷を転送する。なお、第1領域101が電荷を蓄積している期間には、電極P110の電位VMと電極D112の電位VDの関係が、 $VM > VD$ に設定される。

【 0 2 0 1 】

本実施例においては、画素100が第3領域102を含まない。このような構成によれば、画素サイズを小さくすることができる。

【 0 2 0 2 】

そのため、本実施例の構成においても、蓄積した電荷に基づく信号の利用効率を向上することが可能である。なお、本実施例はすべての実施例に適用可能である。

【 実施例 5 】

【 0 2 0 3 】

本発明に係る撮像システムの実施例について説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、車載カメラ、観測衛星などがあげられる。図18に、撮像システムの例としてデジタルスチルカメラのブロック図を示す。

【 0 2 0 4 】

図18において、1001はレンズの保護のためのバリア、1002は被写体の光学像を撮像装置1004に結像させるレンズ、1003はレンズ1002を通った光量を可変するための絞りである。1004は上述の各実施例で説明した撮像装置であって、レンズ1002により結像された光学像を画像データとして変換する。ここで、撮像装置1004の半導体基板にはAD変換部が形成されているものとする。1007は撮像装置1004より出力された撮像データに各種の補正やデータを圧縮する信号処理部である。そして、図18において、1008は撮像装置1004および信号処理部1007に、各種タイミング信号を出力するタイミング発生部、1009はデジタルスチルカメラ全体を制御する全体制御部である。1010は画像データを一時的に記憶する為のフレームメモリ部、1011は記録媒体に記録または読み出しを行うためのインターフェース部、1012は

10

20

30

40

50

撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。そして、1013は外部コンピュータ等と通信する為のインターフェース部である。ここで、タイミング信号などは撮像システムの外部から入力されてもよく、撮像システムは少なくとも撮像装置1004と、撮像装置1004から出力された撮像信号を処理する信号処理部1007とを有すればよい。

【0205】

本実施例では、撮像装置1004とAD変換部とが別の半導体基板に設けられた構成を説明した。しかし、撮像装置1004とAD変換部とが同一の半導体基板に形成されていてもよい。また、撮像装置1004と信号処理部1007とが同一の半導体基板に形成されていてもよい。

10

【0206】

また、それぞれの画素100が第1光電変換部と、第2光電変換部を含むように構成されてもよい。信号処理部1007は、第1光電変換部で生じた電荷に基づく信号と、第2光電変換部で生じた電荷に基づく信号とを処理し、撮像装置1004から被写体までの距離情報を取得するように構成されてもよい。

【0207】

撮像システムの実施例において、撮像装置1004には、実施例1の撮像装置が用いられる。このように、撮像システムにおいて本発明に係る実施例を適用することにより、ノイズの低減された画像を取得することができる。

【符号の説明】

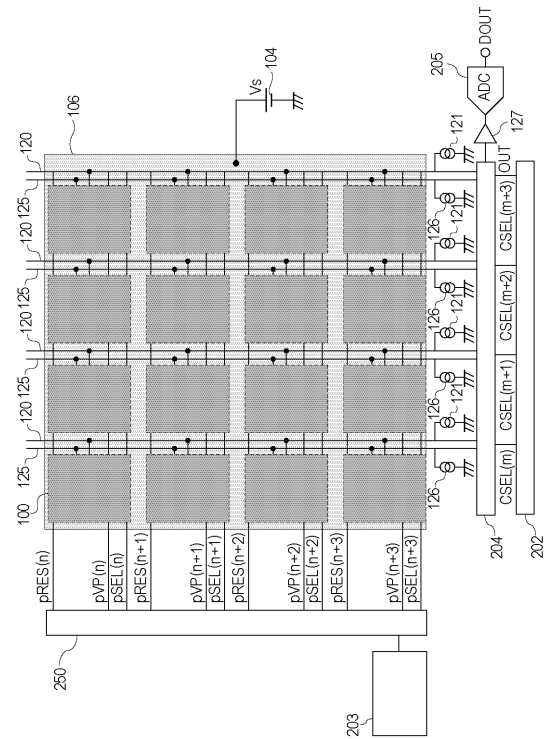
20

【0208】

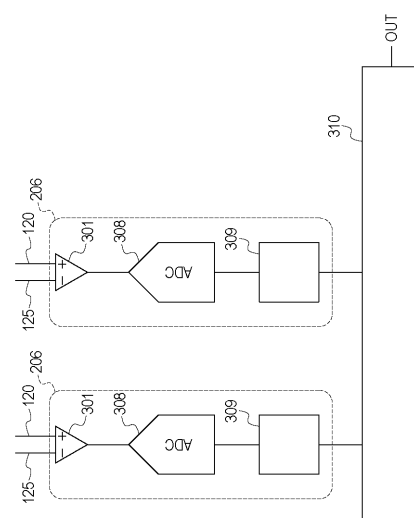
- 100 画素
- 101 第1領域
- 102 第3領域
- 103 第2領域
- 106 上部電極S
- 108 光電変換層
- 109 絶縁層
- 110 電極P
- 111 電極T
- 112 電極D
- 113 第1電位制御部
- 301、327 第1差動増幅回路

30

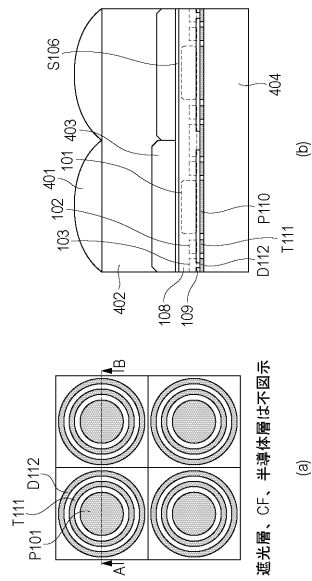
【圖 2】



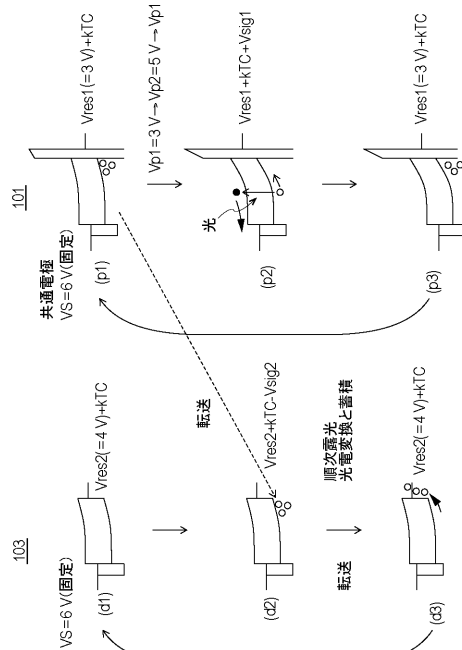
【 図 4 】



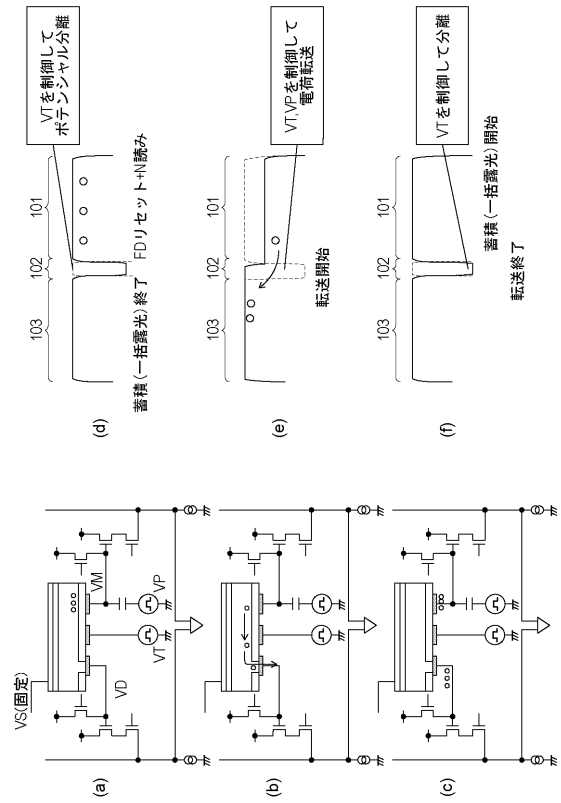
【図 5】



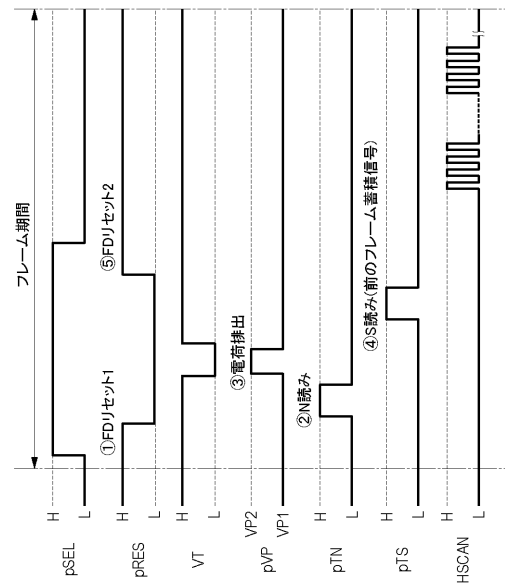
【図 7】



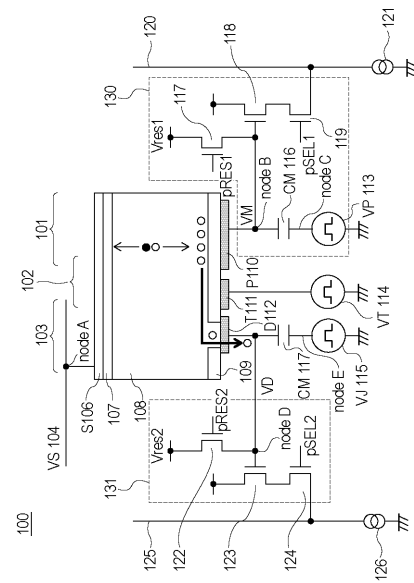
【図 6】



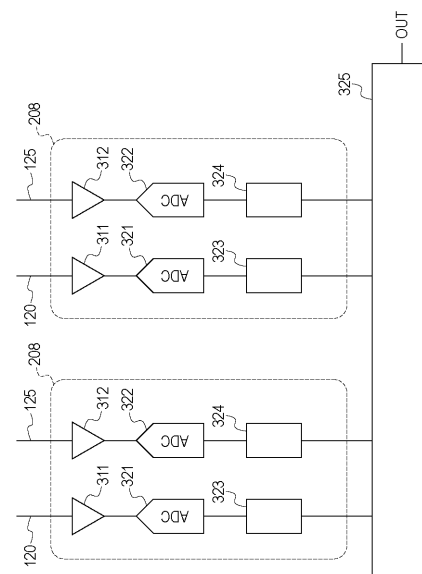
【図 8】



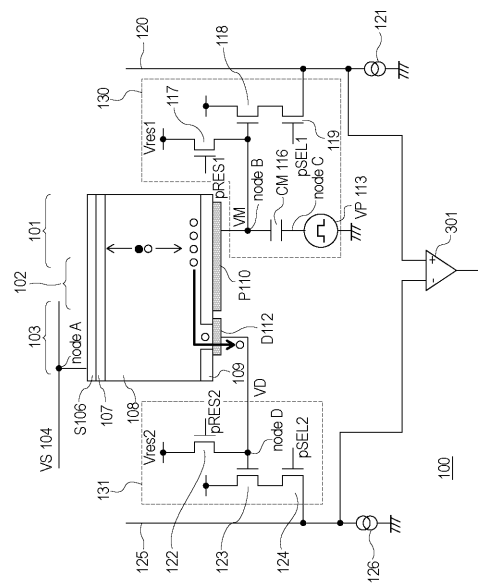
【 図 1 4 】



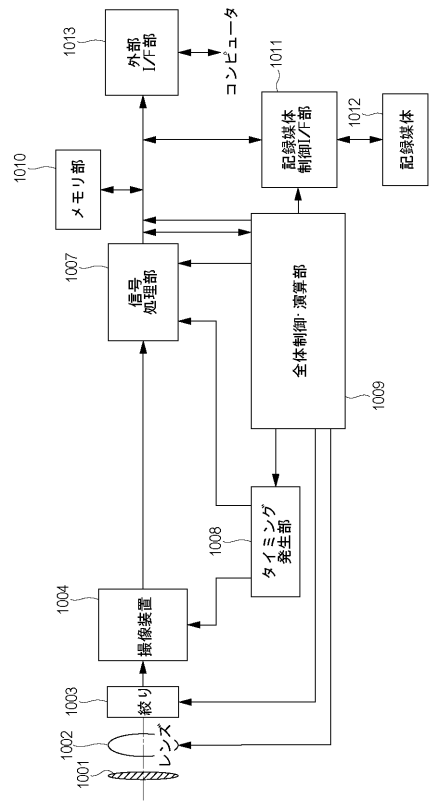
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

- (56)参考文献 特開 2 0 1 6 - 0 3 3 9 8 1 (J P , A)
米国特許出願公開第 2 0 1 3 / 0 0 9 3 9 3 2 (U S , A 1)
特開 2 0 1 6 - 0 7 6 9 2 1 (J P , A)
特開 2 0 1 6 - 1 2 7 2 6 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 4 N 5 / 3 7 4 5
H 0 1 L 2 7 / 1 4 6
H 0 4 N 5 / 3 6 3