(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1998년12월01일
(11) 등록번호 특0154602
(24) 등록일자 1998년07월10일

(21) 출원번호 특1995-012135
(22) 출원일자 1995년05월16일
(65) 공개번호 특1996-015568
(43) 공개일자 1996년05월22일
(30) 우선권주장 94-241308 1994년10월05일 일본(JP)

(73) 특허권자 미쓰비시 덴끼 가부시끼가이샤 기다오까 다까시
일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3
(72) 발명자 토미시마 시게키
일본국 효고 이따미시 미즈하라 4쪼메 1반찌 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이 카이하쓰 켄큐쇼
(74) 대리인 이화익, 김영길

심사관 : 김용주

# (54) 승압전위 발생회로

## 요약

[목적]

DRAM 반도체기억장치의 워드선의 전위를 전원전위에 대해서 승압한 전위로서 제공하기 위해서, 충분한 승압전위가 얻어지는 승압전위발생회로를 얻는다.

[구성]

노드(105)는 프리차지전위발생부(111)로 전원전위 Vcc에 프리차지되어, 노드(106)은 프리차지전위발생부(112)로서 Vcc에 프리차지되어서 용량성소자(110)에 의해 2Vcc로 되어, 승압전위노드(102)의 전위도 Vcc에 프리차지된다.

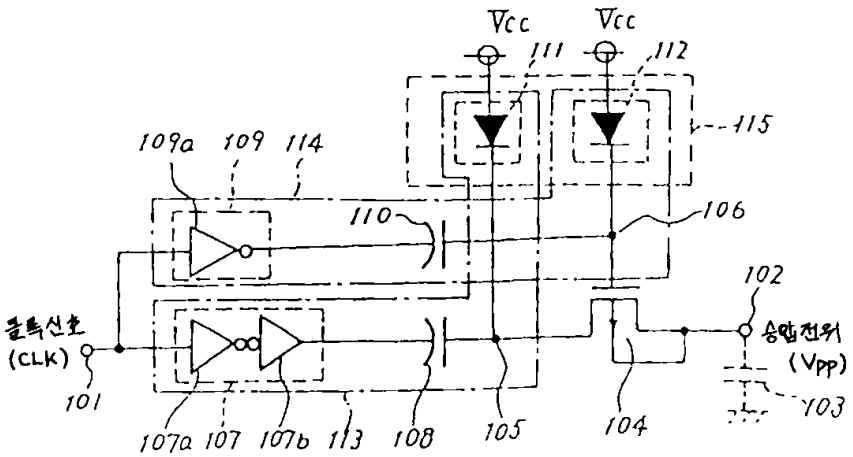
클록신호의 전위가 Vcc가 되면, 버퍼수단(107)의 출력도 Vcc에 상승하여 용량성소자(108)를 올려, 노드(105)의 전위를 Vcc로부터 2Vcc까지 상승시킨다.

한편, 버퍼수단(109)의 출력은 접지전위로 하강하고, 노드(106)의 전위는 용량성소자(110)에 의해 Vcc에 하강하고, P채널형 MOS 트랜지스터(104)는 도통상태가 된다.

소자(108)의 전하가 트랜지스터(104)를 통해서 노드(102)에 흘러들어가, 부하용량(103)에 축적된다.

노드(102)의 전위는 Vcc로부터 상승하고, 클록신호가 Vcc에 상승할때마다 계단식으로 상승하고, 최종적으로 2Vcc가 된다.

## 대표도




## 명세서

[발명의 명칭]

승압전위 발생회로

[도면의 간단한 설명]

제1도는 이 발명의 실시예 1을 표시하는 회로도.

제2도는 이 발명의 실시예 1에서의 인버터소자를 표시하는 회로도.

제3도는 이 발명의 실시예 1에 있어서의 각부의 전위를 표시하는 파형도.

제4도는 이 발명의 실시예 2를 표시하는 회로도.

제5도는 이 발명의 실시예 3을 표시하는 회로도.

제6도는 종래의 승압전위 발생회로를 표시하는 회로도.

제7도는 트윈웰구조로 제조되는 N채널형 MOS 트랜지스터 및 P채널형 MOS 트랜지스터를 개략적으로 표시하는 단면도.

제8도는 제6도에 표시한 승압전위발생회로에 있어서의 각부의 전위를 표시하는 파형도.

제9도는 제6도에 표시한 승압전위발생회로의 드라이버트랜지스터가 되는 N채널형 MOS 트랜지스터의 각전극에 있어서의 전위의 관계를 표시하는 도면.

제10도는 승압전위발생회로의 제안예를 표시하는 회로도.

제11도는 트리플웰구조로 제조되는 N채널형 MOS 트랜지스터 및 P채널형 MOS 트랜지스터를 개략적으로 표시하는 단면도.

제12도는 제10도에 표시한 승압전위를 발생회로에 있어서의 각부의 전위를 표시하는 파형도.

제13도는 승압전위발생회로의 타의 제안예를 표시하는 회로도.

제14도는 제13도에 표시한 레벨변환회로를 표시하는 회로도.

제15도는 제13도에 표시한 승압전위발생회로에서 각부의 전위를 표시하는 파형도.

* 도면의 주요부분에 대한 부호의 설명

101 : 클록입력노드 102 : 승압전위노드

104 : P채널형 MOS 트랜지스터 105 : 제1의 노드

106 : 제2의 노드 107 : 제1의 버퍼수단

108 : 제1의 용량성소자 109 : 제2의 버퍼수단

110 : 제2의 용량성소자 111 : 제1의 프리차지전위발생부

112 : 제2의 프리차지전위발생부 113 : 제1의 반복전위발생수단

114 : 제2의 반복전위발생수단 115 : 프리차지전위발생수단

[발명의 상세한 설명]

[산업상의 이용분야]

이 발명은, 예를들면 DRAM 등의 반도체기억장치에 짜넣어 예를들면 워드선의 전위를 전원전위에 대해서 승압한 전위로서 제공하기 위한 승압전위발생회로에 관한 것이다.

[종래의 기술]

제6도 내지 제9도는 종래의 승압전위발생회로를 표시하는 것이며, 제6도에 있어서, 클록입력노드(1)의 제8도의 (a)에 표시하는 접지전위(0)와 전원전위(Vcc)와의 2치(binary) 레벨이 있는 클록(CLK)신호를 받고, 승압전위노드(2)는 승압전위를 출력하고, 부하용량(3)은 이 승압전위노드와 접지전위노드의 사이에 존재하고, 상기 승압전위노드(2)에 공급되는 승압전위로 구동되며, 일반적으로는 기생용량이다.

N채널형 MOS 트랜지스터(4)는 상기 승압전위노드(2)와 제1의 노드(5)와의 사이에 접속되어, 게이트전극이 제2의 노드(6)에 접속된, 승압전위발생회로의 드라이버 트랜지스터로서 쓰이며, 백게이트(P웰)이 부의 전위 Vbb를 발생하는 전위발생수단의 출력노드에 접속되어 있다.

제1의 버퍼수단(7)는 상기 클록입력노드(1)로부터의 클록신호를 받아, 이 클록신호와 위상이 같은 제1의 신호를 출력하고, 짝수 단, 이 종래예에 있어서는 2단의 인버터소자(7a,7b)에 의해 구성되어 있다.

제1의 용량성소자(8)는 한쌍의 전극을 가지며, 한 전극은 이 제1의 버퍼수단으로부터 제1의 신호를 받고, 다른 전극은 상기 제1의 노드(5)에 접속되고, 제2의 버퍼수단(9)은 상기 클록입력노드(1)로부터의 클럭신호를 받아, 이 클록신호와 위상이 같은 제2의 신호를 출력하는 짝수 단, 이 종래예에 있어서는 2단의 인버터소자(9a),(9b)에 의해 구성되어 있다.

제2의 용량성소자(10)는 한쌍의 전극을 가지며, 한 전극은 이 제2의 버퍼수단으로부터 제2의 신호를 한편의 전극에 받고, 다른 전극은 제2의 노드에 접속된다.

또한, 상기 N채널형 MOS 트랜지스터(4)는, 이 승압전위발생회로가 예를들면 DRAM 등의 반도체기억장치에 짜넣어진 경우, 제7도에 표시하듯이, 반도체기판(11)의 일 주면에 형성된 P웰(12)내에 형성된 한쌍의 소스/드레인영역(13,14)와 게이트전극(15)에 의해 구성되어 있다.

반도체기판에는 부의 전위 Vbb가 제공되므로, 부의 전위 Vbb가 N채널형 MOS 트랜지스터(4)의 백게이트로

서 제공된다.

제7도에는, 참고로 N채널형 MOS 트랜지스터와 일체로 형성되는 P채널형 MOS 트랜지스터도 표시하고 있다.

이 P채널형 트랜지스터는 반도체기판(11)의 주면에 형성된 N웰(16)내에 형성된 한쌍의 소스/드레인영역(17,18)과 게이트전극(19)에 의해 구성되어 있다.

이와같은 구조를 일반적으로 트윈 웰 구조라고 부른다.

제7도에 있어서 부호 20으로 표시하는 부분은, 소자형성영역을 에워싸서 형성되고, 소자간 전기적으로 절연하기 위한 소자분리용 산화막이다.

또, 제6도의 제1의 노드(5) 및 제2의 노드(6)는, 도시하지 않았지만, 프리차지수단에 의해, 승압전위노드(2)에 승압전위를 공급하기 전에, 전원전위 Vcc(혹은 전원전위에서 MOS 트랜지스터의 한계치 전압 만큼 낮은 전위)로 프리차지된다.

다음에, 이와같이 구성된 승압전위발생회로의 동작은, 제8도에 표시한 파형도를 참조하여 설명한다.

우선, 승압전위노드(2)에 승압전위를 공급하기 전(제8도에 표시하는 시점 T0 이전)에, 제1의 노드(5) 및 제2의 노드(6)는 프리차지수단(도시하지 않음)에 의해 전원전위 Vcc로 프리차지되어 있다.

그 결과, 승압전위노드(2)의 전위는, N채널형 MOS 트랜지스터(4)의 도통 상태에 의해 Vcc-Vth4로 된다.

또한, Vth4는 N채널형 MOS 트랜지스터(4)의 한계치전압이다.

그리고, 시점 T0에 있어서, 제8도의 (a)에 표시하는 클록신호가 클록입력노드(1)에 입력되어, 제1 및 제2의 버퍼수단(7) 및 (9)의 입력이 전원전위로 되면 출력도 접지전위(0V)에서 전원전위 Vcc에 상승하고, 제1 및 제2의 용량성소자 8 및 10의 전위를 올린다.

요컨데, 제1 및 제2의 용량성소자(8) 및 (10)의 한편의 전극이 접지전위(0V)로부터 전원전위 Vcc에 상승시키므로서, 제1 및 제2의 노드(5) 및 (6)의 전위는 제1 및 제2의 용량성소자(8) 및 (10)의 용량결합에 의해 프리차지전위인 Vcc로부터 2배의 Vcc로 상승한다.

그렇다면, N채널형 MOS 트랜지스터(4)는, 그 드레인전위가 2Vcc, 게이트전위가 2Vcc, 소스전위가 Vcc-Vth4가 되기 때문에 도통상태가 된다.

그 결과, 제1의 용량성소자(8)의 전하가 N채널 MOS 트랜지스터(4)를 통해서 승압전위노드(2)에 흘러들어, 부하용량(3)에 축적되기 때문에, 승압전위노드(2)의 전위의 상승분 α는, 제1의 용량성소자(8)의 용량치와 부하용량(3)의 용량치와의 용량분할에 의해 결정되는 것이다.

그후, 시점 T1에 있어서, 클록신호가 접지전위에 하강하면, 제1 및 제2의 버퍼수단(7) 및 (9)의 전위도 접지전위로 하강하고, 제1 및 제2의 노드(5) 및 (6)의 전위는 제1 및 제2의 용량성소자(8) 및 (10)의 용량결합에 의해 프리차지전위인 Vcc로 하강한다.

이때, N채널형 MOS 트랜지스터(4)는, 그 드레인전위가 Vcc, 게이트전위가 Vcc, 소스전위가 Vcc-Vth4+α로 되기 때문에 비도통상태이며, 승압전위노드(2)에서 제1의 노드(5)에의 전하의 흐름도 전혀 생기지 않는다.

다음에, 클록신호가 다시 전원전위 Vcc에 상승하면, 제1 및 제2의 버퍼수단(7) 및 (9)의 출력도 접지전위로부터 전원전위 Vcc 상승하고, 상기와 마찬가지로 제1 및 제2의 용량성소자(8 및 10) 전위를 올려, 제1 및 제2의 노드(5) 및 (6)의 전위를 2배의 Vcc까지 상승시킨다.

그 결과, N채널형 MOS 트랜지스터(4)는 도통상태가 되며, 제1의 용량성소자(8)의 전하가 N채널 MOS 트랜지스터(4)를 통해서 승압전위노드(2)에 흘러들어, 승압전위노드(2)의 전위를 또한 상승시킨다.

이와같이, 클록신호가 접지전위로부터 전원전위 Vcc로 상승할때마다 승압전위노드(2)의 전위는 계단식으로 상승되어, 최종적으로 2Vcc-Vth4의 승압전위 Vpp가 승압전위노드(2)에 얻어지게 된다.

그런데, 이와같이 구성된 승압발생회로에 있어서는, 백게이트에 인가되는 전위가 부의 전위 Vbb인 N채널형 MOS 트랜지스터(4)를 드라이버 트랜지스터로서 사용하고 있기 때문에, 제9도에 표시하듯이, 소스전극(이 경우, 승압전위노드(2)에 접속되는 전극)에서 본 기판전위(P웰 12의 전위)(실효적인 기판전위)는 대단히 깊고, 한계치전압 Vth4는 더 높게 되는 것이다.

따라서, 승압전위노드(2)에서 얻어지는 승압전위 Vpp는, 그렇게 높은 전위까지 얻을 수 없다.

이와같은 관점에서, 한계치전압 Vth4의 영향을 받지 않고, 승압전위노드(2)에서 얻어지는 승압전위 Vpp를 제법 높게 할 수 있는 것으로서 제10 내지 제12도에 표시한 승압전위발생회로를 생각할 수 있다.

또한, 제10도～제12도중, 제6도～제9도에 표시한 부호와 동일부는, 동일 또는 상당부분을 표시한다.

이 제10도에 표시한 승압전위발생회로는, 제6도에 표시한 승압전위발생회로에 대해서, N채널형 MOS 트랜지스터(4)를, 그 백게이트(P웰)에 전위를 독립으로 인가할 수 있는 구조로 하고, 백게이트를 드레인전극에 전기적으로 접속한 것이다.

요컨데, N채널형 MOS 트랜지스터(4)는, 이 승압전위발생회로가 예를들면 DRAM 등의 반도체기억장치에 짜넣을 경우, 제11도에 표시하듯이, 반도체기판(11)의 일 주면에 형성된 N웰(21)내에 P웰(12)를 형성하고, 이 P웰(12)내에 형성된 한쌍의 소스/드레인영역(13,14)와 게이트전극(15)에 의해 구성되어 있다.

이와같이, P웰(12)를 N웰(21)에 에워싸므로서, P웰(12)는 반도체기판(11)과 전기적으로 절연할 수 있어서, P웰(12)에 독립으로 전위를 제공할 수 있게 된다.

따라서, 이 P웰(12), 결국 백게이트를 드레인전극과 전기적으로 접속하므로서 제10도에 표시한 회로가 얻

어지게 된다.

이와같은 구조를 보통 트리플 웰 구조라 칭하고 있다.

또한, P채널형 MOS 트랜지스터는 제7도에 표시한 것과 마찬가지로 구성되는 것이다.

다음에, 이와같이 구성된 승압전위발생회로의 동작을, 제12도에 표시한 파형도를 참조하여 설명한다.

우선, 승압전위노드(2)에 승압전위를 공급하기 전(제12도에 표시하는 시점 T0이전)에, 제1의 노드(5) 및 제2의 노드(6)은 프리차지수단(도시하지 않음)에 의해 전원전위 Vcc로 프리차지되어 있다.

그 결과, 승압전위노드(2)의 전위는, N채널형 MOS 트랜지스터(4)의 도통에 의해 Vcc-Vth4로 된다.

그리고, 시점 T0에 있어서, 제12도의 (s)에 표시하는 클록신호가 클록입력노드(1)에 입력되어, 제1 및 제2의 버퍼수단(7) 및 (9)의 입력이 전원전위로 되면 출력도 접지전위에서 전원전위 Vcc로 상승하여, 제1 및 제2의 용량성소자(8 및 10)의 전위를 올려, 제1 및 제2의 노드(5) 및 (6)의 전위를 제1 및 제2의 용량성소자(8) 및 (10)의 용량결합에 의해 프리차지 전위인 Vcc로부터 2배의 Vcc까지 상승시킨다.

그렇다면, N채널형 MOS 트랜지스터(4)는 도통상태가 되고, 제1의 용량성소자(8)의 전하가 N채널 MOS 트랜지스터(4)를 통해서 승압전위노드(2)에 흘러들어, 승압전위노드(2)의 전위를 Vcc-Vth4+α로 상승시킨다.

그후, 시점 T1에 있어서, 클록신호가 접지전위로 하강하면, 제1 및 제2의 버퍼수단(7) 및 (9)의 전위도 접지전위로 하강하고, 제1 및 제2의 노드(5) 및 (6)의 전위는 제1 및 제2의 용량성소자(8) 및 (10)의 용량결합에 의해 프리차지 전위인 Vcc로 하강한다.

이때, N채널형 MOS 트랜지스터(4)는 비도통상태이며, 승압전위노드(2)에서 제1의 노드(5)에의 전하의 흐름도 전혀 생기지 않는다.

다음에, 클록신호가 다시 전원전위 Vcc에 상승하면, 제1 및 제2의 버퍼수단(7) 및 (9)의 출력도 접지전위에서 전원전위 Vcc로 상승하고, 상기와 마찬가지로 제1 및 제2의 용량성소자(8 및 10)의 전위를 올려, 제1 및 제2의 노드(5) 및 (6)의 전위를 2배의 Vcc까지 상승시킨다.

그 결과, N채널형 MOS 트랜지스터(4)는 도통상태가 되며, 제1의 용량성소자(8)의 전하가 N채널형 MOS 트랜지스터(4)를 통해서 승압전위노드(2)에 흘러들어가, 승압전위노드(2)의 전위를 더욱 상승시킨다.

이와같이, 클록신호가 접지전위로부터 전원전위 Vcc로 상승할 때마다 승압전위노드(2)의 전위는 계단식으로 상승시켜, 최종적으로 2Vcc-Vjv의 승압전위 Vpp가 승압전위노드(2)에서 얻어지게 된다.

또한, Vjv는 P웰(12)와 소스를 구성하는 N+확산영역과의 PN접합전압이며, 일반적으로 약 0.6V다.

요컨데, N채널형 MOS 트랜지스터(4)의 P웰(12)와 드레인이 전기적으로 접속되어 있어서, P웰(12)에서 소스영역(N형 확산영역으로 구성되어 있다)에 PN접합으로 전위가 전달되므로, 승압전위노드(2)에는 최종적으로 2Vcc-Vjv의 승압전위 Vpp가 얻어지게 되는 것이다.

따라서, 이와같이 구성된 승압전위발생회로로 얻어진 승압전위 Vpp는, 2Vcc-Vjv이며, 제6도로 표시한 승압전위발생회로로 얻어진 승압전위 Vpp(=2Vcc-Vth4, Vth4>Vjv)보다 높은 승압전위가 얻어지게 되는 것이다.

그러나, 이와같이 구성된 승압전위발생회로에 있어서는, 트리플 웰 구조에 의해 형성되는 N채널형 MOS 트랜지스터(4)를 드라이버 트랜지스터로서 사용하기 때문에, 제조공정이 증대하고, 제조코스트가 높아진다.

한편, 소스전위를 그대로 드레인전위로서 제공되는 P채널형 MOS 트랜지스터를 승압전위발생회로의 드라이버 트랜지스터로서 사용하는 것도 고려될 수 있다.

이 P채널형 MOS 트랜지스터를 드라이버 트랜지스터로서 사용한 제안예를 제13도 내지 제15도에 표시한다.

제13도에 있어서, 제6도에 표시한 종래예와 동일부호 또는 상당부분을 표시하는 것이며, (22)는 상기 승압전위노드(2)와 제1의 노드(5)와의 사이에 접속되어, 게이트전극이 제2의 노드(6)에 접속된, 승압전위발생회로의 드라이버 트랜지스터로서의 P채널형 MOS 트랜지스터로, 제7도에 표시한 트윈 웰 구조에 있어서의 P채널형 MOS 트랜지스터 또는 제11도에 표시한 트리플 웰 구조에 있어서의 P채널형 MOS 트랜지스터의 어느 트랜지스터 구조에 의해 구성되어도 좋고, 백게이트(N웰 16)이 드레인전극과 전기적으로 접속되어 있다.

(23)은 클록입력노드(1)로부터 Vcc진폭의 클록신호를 받아, 승압전압노드(2)의 승압전위 Vpp에 근거해서 클록신호와 위상이 반전된 Vpp진폭의 제2의 신호를 제2의 노드(6)으로 출력하는 레벨변환회로로, 예를들면 제14도에 표시하는 회로로서 구성되어 있다.

제14도에 있어서, (24)는 게이트전극이 클록입력노드(1)에 접속되어, 소스전극이 접지전위노드에 접속되는 N채널형 MOS 트랜지스터, (25)는 클록입력노드(1)에 입력된 클록신호의 위상을 반전하여 출력하는 인버터회로, (26)은 이 인버터회로(25)로서 반전된 클록신호를 게이트전극에 받아, 소스전극이 접지전위노드에 접속되는 N채널형 MOS 트랜지스터이다.

(27)은 소스전극이 승압전위노드(2)에 접속되고, 드레인전극이 N채널형 MOS 트랜지스터(24)의 드레인전극에 접속되고, 게이트전극이 N채널형 MOS 트랜지스터(26)의 드레인전극에 접속되고, 백게이크가 승압전위노드(2)에 접속되는 P채널형 MOS 트랜지스터이고, (28)은 소스전극이 승압전위노드(2)에 접속되어, 드레인전극이 N채널형 MOS 트랜지스터(26)의 드레인전극에 접속되고, 게이트전극이 N채널형 MOS 트랜지스터(24)의 드레인전극에 접속되고, 백게이트가 승압전위노드(2)에 접속되는 P채널형 MOS 트랜지스터로, 상기 P채널형 MOS 트랜지스터(27)과 크로스커플 되어 있다.

(29)는 게이트전극이 상기 P채널형 MOS 트랜지스터(28)의 드레인전극과 N채널형 MOS 트랜지스터(26)의 드레인전극과의 접속점에 접속되고, 드레인전극이 제2의 노드(6)에 접속되고, 소스전극이 접지전위노드에

접속되는 N채널 MOS 트랜지스터이고, (30)은 게이트전극이 상기 P채널형 MOS 트랜지스터(28)의 드레인전극과 N채널형 MOS 트랜지스터(26)의 드레인전극과의 접속점에 접속되고, 드레인전극이 제2의 노드(6)에 접속되고, 백게이트가 승압전위노드(2)에 접속되는 P채널 MOS 트랜지스터로, 상기 N채널형 MOS 트랜지스터(29)와 더불어 인버터회로를 구성하고, Vcc진폭의 클록신호와 위상이 반전된한 Vpp진폭의 제2의 신호를 제2의 노드(6)에 출력한다.

또한, 이 승압전위발생회로를 예를 들면 DRAM 등의 반도체기억장치에 짜넣었을 경우, 상기 N채널형 MOS 트랜지스터(24,26,29) 및 인버터회로(25)의 N채널형 MOS 트랜지스터는, 제7도에 표시하는 트윈 웰 구조에 있어서의 N채널형 MOS 트랜지스터 또는 제11도에 표시하는 트리플 웰 구조에 있어서의 N채널형 MOS 트랜지스터의 어느 MOS 트랜지스터를 사용해도 좋고, 상기 P채널형 MOS 트랜지스터(27,28,30) 및 인버터회로(25)의 P채널형 MOS 트랜지스터는, 제7도에 표시하는 트윈 웰 구조에 있어서의 N채널형 MOS 트랜지스터 또는 제11도에 표시하는 트리플 웰 구조에 있어서의 N채널형 MOS 트랜지스터의 어느 MOS 트랜지스터를 사용해도 좋은 것이다.

또 상기 제1의 노드(5) 및 제2의 노드(6)와 승압전위노드(2)는, 도시하지 않았지만, 프리차지수단에 의해, 승압전위노드(2)에 승압전위를 공급하기 전에, 전원전위 Vcc(혹은 전원전위보다 MOS 트랜지스터의 한계치 전압만큼 낮은 전압)으로 프리차지된다.

다음에, 이와같이 구성된 승압전위발생회로의 동작을, 제15도에 표시한 파형도를 참조하여 설명한다.

우선, 승압전위노드(2)에 승압전위를 공급하기 전(제8도에 표시하는 시점 T0 이전은, 제1의 노드(5) 및 제2의 노드(6)과 승압전위노드(2)는 프리차지수단(도시하지 않음)으로 전원전위 Vcc에 프리차지되어 있다.

그리고, 시점 T0에 있어서, 제15도의 (a)에 표시하는 클록신호가 클록입력노드(1)에 입력되어, 제1의 버퍼수단(7)의 입력이 전원전위로 되면 출력도 접지전위로부터 전원전위 Vcc로 상승하고, 제1의 용량성소자(8)을 올린다.

결국, 제1의 용량성소자(8)의 한 전극이 접지전위에서 전원전위 Vcc로 상승되므로서, 제1의 노드(5)의 전위는 제1의 용량성소자(8)의 용량결합에의 프리차지전위인 Vcc로부터 2배의 Vcc까지 상승한다.

한편, 레벨변환회로(23)의 입력이 클록입력노드(1)에 입력된 클록신호에 근거해서 접지전위로부터 전원전위로 변환하면, 그 출력노드는 승압전위 Vpp(초기상태에 있어서는 프리차지전위인 Vcc의 전위)에서 접지전위로 변화하여, 제2의 노드(6)로 출력한다.

요컨데, 제14도에 표시하는 레벨변환회로(23)에 있어서, N채널형 트랜지스터(24)는 도통상태, N채널형 트랜지스터(26)은 비도통상태로 되고, P채널형 트랜지스터(28)은 도통상태, P채널형 트랜지스터(27)은 비도통상태가 된다.

그결과, P채널형 MOS 트랜지스터(27)은 비도통상태가 된다.

그결과, P채널형 MOS 트랜지스터(28)의 드레인전극과 N채널형 MOS 트랜지스터(26)의 드레인전극과의 접속점의 전위는, 승압전위노드(2)의 승압전위 Vpp가 된다.

이때의 승압전위 Vpp는 프리차지전위인 Vcc다.

따라서, N채널형 트랜지스터(29)는 도통상태, P채널형 트랜지스터(30)은 비도통상태가 되어, 제2의 노드(6)을 접지전위로 한다.

그렇다면, P채널형 MOS 트랜지스터(22)는, 그 소스전위가 2Vcc, 게이트전위가 접지전위(0V), 드레인전위가 Vcc가 되기 때문에 도통상태가 된다.

그결과, 제1의 용량성소자(8)의 전하가 P채널 MOS 트랜지스터(22)를 통해서 승압전위노드(2)에 흘러들어, 부하용량(3)에 축적되므로, 승압전위노드(2)의 전위는 Vcc+α로 상승한다.

이 승압전위노드(2)의 전위의 상승분 α는, 제1의 용량성소자(8)의 용량치와 부하용량의 용량치와의 용량분할에 의해 결정되는 것이다.

그후, 시점 T1에 있어서, 클록신호가 접지전위로 하강하면, 제1의 버퍼수단(7)의 전위도 접지전위로 하강하고, 제1의 노드(5)의 전위는 제1의 용량성소자(8)의 용량결합에 의해 프리차지전위인 Vcc로 하강한다.

한편, 레벨변환회로(23)의 입력이 접지전위로 변화하면, 그 출력노드는 승압전위 Vpp로 변화하여, 제2의 노드(6)에 출력한다.

요컨데, 제14도에 표시하는 레벨변환회로(23)에 있어서, N채널형 트랜지스터(24)는 비도통상태, N채널형 트랜지스터(26)은 도통상태로 되고, P채널형 트랜지스터(27)은 도통상태, P채널형 트랜지스터(28)은 비도통상태가 된다.

그결과, P채널형 MOS 트랜지스터(28)의 드레인전극과 N채널형 MOS 트랜지스터(26)의 드레인전극과의 접속점의 전위는 접지전위가 된다.

따라서, N채널형 트랜지스터(29)는 비도통상태, P채널형 트랜지스터(30)은 도통상태로 되고, 제2의 노드(6)을 승압전위노드(2)의 승압전위 Vpp로 한다. 이때의 승압전위노드(2)의 승압전위 Vpp는 Vcc+α다.

그러므로, P채널형 MOS 트랜지스터(22)는, 소스전압이 Vcc; 게이트 전압이 Vpp이고; 드레인 전압이 Vcc+α이기 때문에 비도통 상태로 된다.

그 승압전위 노드(2)로부터 제1의 노드(5)에의 전하의 흐름도 전혀 생기지 않는다.

다음에, 클록신호가 다시 전원전위 Vcc 상승하면, 제1의 버퍼수단(7)의 출력도 접지전위에서 전원전위 Vcc로 상승하고, 상기와 마찬가지로 제1의 용량성소자(8) 및 (10)을 올려, 제1의 노드(5)의 전위를 2배의

Vcc까지 상승시켜, 또, 레벨변환회로(23)로 부터의 출력이 승압전위 Vpp로부터 접지전위로 하강한다.

그 결과, P채널형 MOS 트랜지스터(22)는 도통상태가 되고, 제1의 용량성소자(8)의 전하가 P채널 MOS 트랜지스터(22)를 통해서 승압전위노드(2)에 흘러들어, 승압전위노드(2)의 전위를 또한 상승시킨다.

이와같이, 클록신호가 접지전위에서 전원전위 Vcc로 상승할때마다 승압전위노드(2)의 전위는 계단식으로 상승되어, 최종적으로 2Vcc의 승압전위 Vpp가 승압전위노드(2)에서 얻어지게 된다.

그런데, 이와같이 구성된 승압전위발생회로에 있어서는, 레벨변환회로(23)에서 출력이, Vcc진폭의 클록신호에 근거해서, 승압전위노드(2)로부터 공급되는 승압전위 Vpp(최종적으로 2Vcc)에 근거한 Vpp진폭의 신호이기 때문에, 소비전력이 크게 되는 것이다.

[발명이 해결하고자 하는 과제]

이상에 기술한것 같이, 제6도에 표시한 종래의 승압전위발생회로에 있어서는, 승압전위발생회로의 드라이버 트랜지스터가 되는 N채널형 MOS 트랜지스터(4)의 한계치전압 Vth4가 크게 영향을 미쳐, 승압전위노드(2)로 얻어지는 승압전위 Vpp가, 프리차지전위가 Vcc인 경우는 2배의 Vcc(전원전위)레벨에서 N채널형 MOS 트랜지스터(4)의 한계치전압 Vth4 만큼 떨어진 레벨이 되고, 프리차지전위가 Vcc보다 한계치전압 만큼 낮으면 더욱 낮은 레벨이 되고, 충분한 승압전위 Vpp를 얻을 수 없다.

또, 제10도에 표시한 제안예인 승압전위발생회로에 있어서는, 승압전위노드(2)에 얻어지는 승압전위 Vpp는, 프리차지전위가 Vcc인 경우에는 2배의 Vcc(전원전위)레벨에서 N채널형 MOS 트랜지스터(4)의 PN접합전위 Vjv 만큼 떨어진 레벨이 되고, 프리차지전위가 Vcc보다 한계치전압 Vth4 만큼 더 낮게 될 때에도, 어느 정도의 승압전위 Vpp가 얻어질 수 있는 트리플 웰 구조로 제조하지 않으면 안되며, 프로세스공정이 증가하게 되어, 제조코스트가 높게 된다.

또한, 제13도에 표시한 제안예인 승압전위발생회로에 있어서는, 승압전위노드(2)에서 얻어지는 승압전위 Vpp가, 프리차지전위가 Vcc인 경우는 2배의 Vcc(전원전위)레벨이 되며, 그결과 충분한 승압전위 Vpp가 얻어지게 되지만, 드라이버 트랜지스터로서의 P채널형 MOS 트랜지스터(22)의 게이트전극에서의 진폭레벨이 접지전위(0)에서 승압전위 Vpp이기 때문에 그 승압전위발생회로는 소비전력을 증대한다.

이 발명은, 상기한 점을 감안해서 이루어진 것으로서, 충분한 승압전위가 얻어지는 승압전위발생회로를 얻는 것을 목적으로 하는 것이다.

이 발명의 제2의 목적은, 트윈 웰 구조로 제조해도 충분한 승압전위가 얻어지는 승압전위발생회로를 얻는 일이다.

이 발명의 제3의 목적은, 소비전력을 억제한 후에, 충분한 승압전위가 얻어지는 승압전위발생회로를 얻는 일이다.

[과제를 해결하기 위한 수단]

제1의 발명에 관한 승압전위발생회로는, 승압전위를 출력하기 위한 승압전위노드와 제1의 노드의 사이에 접속되어, 게이트전극이 제2의 노드에 접속된 P채널형 MOS 트랜지스터와, 제1의 노드의 전위를 정의 프리차지전위와 이 프리차지전위보다 높은 전위와를 소정의 주기로 반복하는 전위를 이루는 제1의 반복전위발생수단과, 제2의 노드의 전위를, 제1의 반복전위발생수단의 반복전위와는 위상이 반전되어 있고, 정의 프리차지전위와 프리차지전위보다 높은 전위를 소정의 주기로서 반복전위를 이루는 제2의 반복전위발생수단과를 설치한 것이다.

제2의 발명에 관한 승압전위발생회로는, 승압전위를 출력하기 위한 승압전위노드와 제1의 노드와의 사이에 접속되어, 게이트전극이 제2의 노드에 접속된 P채널형 MOS 트랜지스터와, 클록신호를 받아, 이 클록신호와 위상이 같은 제1의 신호를 출력하는 제1의 버퍼수단과, 이 제1의 버퍼수단으로 부터의 제1의 신호를 한 전극에 받아, 다른 전극이 제1의 노드에 접속된 제1의 용량성소자와, 클록신호를 받아 이 클록신호와 위상이 반전된 제2의 신호를 출력하는 제2의 버퍼수단과, 이 제2의 버퍼수단으로 부터의 제2의 신호를 한 전극에 받아, 다른 전극이 제2의 노드에 접속된 제2의 용량성소자와, 제1의 노드 및 제2의 노드에 각각 프리차지전위를 공급하기 위한 프리차지전위발생수단과를 설치한 것이다.

[작용]

제1의 발명에 있어서는, 제1의 반복전위발생수단이, P채널형 MOS 트랜지스터의 소스전극에 정의 프리차지전위와 이 정의 프리차지전위보다 높은 전위와를 소정의 주기로 반복하는 전위를 제공하고, 제2의 반복전위발생수단이, P채널형 MOS 트랜지스터의 게이트전극에 제1의 반복전위발생수단의 반복전위와는 위상이 반전되어 있고, 정의 프리차지전위와 이 프리차지전위보다 높은 전위를 소정의 주기로서 반복하는 전위를 제공하기 때문에, P채널형 MOS 트랜지스터가 제1의 반복전위발생수단으로부터 프리차지전위 보다 높은 전위와 같은 레벨의 전위를 승압전위로서 승압전위노드에 공급시킨다.

제2의 발명에 있어서는, 제1의 버퍼수단 및 제1의 용량성소자가, P채널형 MOS 트랜지스터의 소스전극에 클록신호와 위상이 같으므로 프리차지전위와 이 프리차지전위를 용량결합으로 승압한 전위와를 반복전위로 제공하고, 제2의 버퍼수단 및 제2의 용량성소자가, P채널형 MOS 트랜지스터의 게이트전극에 클록신호와 위상이 반전하고, 프리차지전위와 이 프리차지전위를 용량결합으로 승압한 전위와를 반복전위로 제공하기 때문에, P채널형 MOS 트랜지스터가 프리차지전위를 용량결합에 의해 승압한 전위와 같은 레벨의 전위를 승압전압으로서 승압전압노드에 공급시킨다.

[실시예]

[실시예 1]

제1도 내지 제3도는 이 발명의 실시예 1을 표시하는 것이며, 제1도에 있어서, (101)은 제3도의 (a)에 표시하는 접지전위(0)와 전원전위(Vcc)와의 2치레벨을 가진 클록(CLK)신호가 입력되는 클록입력노드, (10

2)는 승압전위를 출력하기 위한 승압전위노드, (103)은 이 승압전위노드와 접지전위노드와의 사이에 존재하고, 상기 승압전위노드(102)에 공급되는 승압전위로서 구동되는 부하용량으로, 일반적으로는 기생용량이다.

P채널형 MOS 트랜지스터(104)는 상기 승압전위노드(102)와 제1의 노드(105)와의 사이에 접속되어, 게이트전극이 제2의 노드(106)에 접속된, 승압전위발생회로의 드라이버 트랜지스터로서, 제7도에 표시한 트윈웰 구조의 P채널형 MOS 트랜지스터 또는 제11도에 표시한 트리플 웰 구조의 P채널형 MOS 트랜지스터 중의 어느 한 트랜지스터구조로 구성될 수 있으며, 백게이트 N웰(16)이 드레인전극과 전기적으로 접속되어 있다.

(107)은 상기 클록입력노드(1)에서 클록신호를 받아, 이 클록신호와 위상이 같은 제1의 신호를 출력하는 제1의 버퍼수단으로, 짝수 단, 일 실시예(1)에 있어서는 2단의 인버터소자(7a,7b)에 의해 구성되어 있다.

또한, 이 인버터소자(107a) 및 (107b)는, 예를 들면, 제2도에 표시하듯이 전원전위노드 Vcc와 출력노드 OUT와의 사이에 접속되어, 게이트전극이 입력노드 IN에 접속된 P채널형 MOS 트랜지스터와, 출력노드 OUT와 접지전위노드의 사이에 접속되어, 게이트전극이 입력노드 IN에 접속된 N채널형 MOS 트랜지스터에 의해 구성되어 있는 것이다.

(108)은 상기 제1의 버퍼수단(107)로부터 제1의 신호를 한 전극에 받고, 다른 전극이 상기 제1의 노드(105)에 접속된 제1의 용량성소자, (109)는 상기 클록입력노드(1)에서 클록신호를 받아, 이 클록신호와 위상이 반전한 제2의 신호를 출력하는 제2의 버퍼수단으로, 홀수 단, 이 실시예 1에 있어서는 1단의 인버터소자(109a)에 의해 구성되어 있다.

또한, 이 인버터소자(109a)는, 예를 들면, 제2도에 표시한 것에 의해 구성되어 있는 것이다.

(110)은 상기 제2의 버퍼수단(109)로 부터의 제2의 신호를 한편의 전극에 받아, 타편의 전극이 상기 제2의 노드(105)에 접속된 제2의 용량성소자다.

(111)은 상기 제1의 노드(105)를 정의 프리차지전위에 프리차지하기 위한 제1의 프리차지전위발생부로, 이 실시예 1에서는, 전원전위노드 Vcc와 상기 제1의 노드(105)와의 사이에 전원전위노드 Vcc로부터 상기 제1의 노드(105)에 수방향에 접속된 제1의 다이오드소자에 의해 구성되어 있는 것이다.

(112)는 상기 제2의 노드(106)을 정의 프리차지전위 프리차지하기 위한 제2의 프리차지 전위발생부에서, 이 실시예(1)에서는, 전원전위노드 Vcc와 상기 제2의 노드(106)과의 사이에 전원전위노드 Vcc로부터 상기 제2의 노드(106)에 순방향으로 접속된 제2의 다이오드소자에 의해 구성되어 있는 것이다.

또한, 상기 제1의 버퍼수단(107), 제1의 용량성소자(108) 및 제1의 프리차지전위발생부(111)에 의해, 상기 제1의 노드(105)의 전위를, 정의 프리차지전위와 이 프리차지전위보다 높은 전위(승압전위)를 소정의 주기로 반복하는 전위(제3도의 (b)로 표시함)를 이룬 제1의 반복전위발생수단(113)을 구성하고, 상기 제2의 버퍼수단(109), 제2의 용량성소자(110) 및 제2의 프리차지전위발생부(112)에 의해, 상기 제2의 노드(106)의 전위를, 상기 제1의 반복전위발생수단(113)의 반복전위와는 반전해 있고, 정의 프리차지전위와 이 프리차지전위보다 높은 전위(승압전위)와를 소정의 주기로 반복전위(제3도의 (c)로 표시한다)를 이룬 제2의 반복전위발생수단(114)을 구성하고 있다.

또, 제1의 프리차지전위발생부(111) 및 제2의 프리차지전위발생부(112)에 의해, 상기 제1의 노드(105) 및 상기 제2의 노드(106)에 각각 프리차지전위를 공급하기 위한 프리차지전위발생수단(115)를 구성하고 있는 것이며, 이들 제1도에 표시된 회로소자는 제7도 또는 제11도에 표시되는 것과 같이, 단일 반도체기판상에 일체적으로 형성된 것이다.

다음에, 이와같이 구성된 승압전위발생회로의 동작을, 제3도에 표시한 파형도를 참조하여 설명한다.

우선, 승압전위노드(102)에 승압전위를 공급하기 전(제3도에 표기하는 시점 T0이전)은, 제1의 노드(105)는 제1의 프리차지전위발생부(111)에 의해 대략 전원전위 Vcc(정확히 전원전위 Vcc보다 다이오드소자의 PN접합전위 Vjv 만큼 낮은 전위)에 프리차지되어, 제2의 노드(106)은 제2의 프리차지전위발생부(112)에 의해 대략 전원전위 Vcc(정확하게는 Vcc-Vjv)에 프리차지되어서 제2의 용량성소자(110)의 용량결합에 의해 2배의 Vcc(정확하게는 2Vcc-Vjv)로 되어 있는 동시에, 승압전위노드(102)의 전위도, 예를 들면 제1 및 제2의 프리차지전위발생부(111) 및 (112)와 마찬가지인 프리차지전위발생부로서 대략 전원전위 Vcc에 프리차지되어 있다.

그리고, 시점 T0에 있어서, 제3도의 (a)에 표시하는 클록신호가 클록입력노드(101)에 입력되어, 제1의 버퍼수단(107)의 입력이 전원전위로 되면 출력도 접지전위로부터 전원전위 Vcc에 상승하고, 제1의 용량성소자(108)을 올린다.

요컨데, 제1의 용량성소자(108)의 한편의 전극이 접지전위에서 전원전위 Vcc에 상승시키므로서, 제1의 노드(105)의 전위는 제1의 용량성소자(8)의 용량결합에 의해 프리차지전위인 Vcc(정확하게는 Vcc-Vjv)에서 2배의 Vcc(정확히 2Vcc-Vjv)까지 상승한다.

한편, 클록입력노드(101)에 입력된 클록신호를 받는 제2의 버퍼수단(109)의 출력은 전원전위 Vcc로부터 접지전위로 하강하고, 제2의 노드(106)의 전위는 제2의 용량성소자(110)의 용량결합에 의해 프리차지전위인 대략 Vcc로 하강한다.

그렇다면, P채널형 MOS 트랜지스터(104)는, 그 소스전위가 대략 2Vcc, 게이트전위가 대략 Vcc, 드레인전위가 대략 Vcc로 되기 위해서 도통상태가 된다.

그 결과, 제1의 용량성소자(108)의 전하가 P채널형 MOS 트랜지스터(104)를 통해서 승압전위노드(102)에 흘러들어, 부하용량(103)에 축적되기 때문에, 승압전위노드(102)의 전위는 Vcc+α로 상승한다.

이 승압전위노드(102)의 전위의 상승분 α는, 제1의 용량성소자(108)의 용량치와 부하용량(103)의 용량치와의 용량분할에 의해 결정되는 것이다.

그후, 시점 T1에 있어서, 클록신호가 접지전위로 하강하면, 제1의 버퍼수단(107)의 출력전위도 접지전위로 하강하고, 제1의 노드(105)의 전위는 제1의 용량성소자(108)의 용량결합에 의해 프리차지전위인 대략 Vcc로 하강한다.

한편, 제2의 버퍼수단(109)의 출력전위는 전원전위로 상승하고, 제1의 노드(106)의 전위는 제2의 용량성소자(110)의 용량결합에 의해 2배의 Vcc(정확히 2Vcc-Vjv)까지 상승한다.

이때, P채널형 MOS 트랜지스터(104)는, 그 소스전위가 거의 Vcc, 게이트전위가 대략 2Vcc, 드레인전위가 Vcc+α로 되기 때문에 비도통상태이며, 승압전위노드(102)에서 제1의 노드(105)에의 전하의 흐름도 전혀 생기지 않는다.

다음에, 클록신호가 다시 전원전위 Vcc로 상승하면, 제1의 버퍼수단(107)의 출력도 접지전위에서 전원전위 Vcc에 상승하고, 제2의 버퍼수단(109)의 출력은 접지전위에서 전원전위 Vcc에 상승하고, 상기와 마찬가지로 제1 및 제2의 용량성소자(108 및 110)의 전위를 높게 하여, 제1의 노드(105)의 전위를 대략 2배의 Vcc까지 상승시켜, 제2의 노드(106)의 전위를 대략 Vcc까지 하강시킨다.

그 결과, P채널형 MOS 트랜지스터(104)는 도통상태가 되어, 제1의 용량성소자(108)의 전하가 P채널형 MOS 트랜지스터(104)를 통해서 승압전위노드(102)에 흘러들어, 승압전위노드(102)의 전위를 더욱 상승시킨다.

이와같이, 클록신호가 접지전위로부터 전원전위 Vcc에 상승할때마다 승압전위노드(102)의 전위는 계단식으로 상승되어, 최종적으로 대략 2Vcc(정확히 2Vcc-Vjv)의 승압전위 Vpp가 승압전위노드(102)에 얻어진다.

이와같이 구성된 승압전위발생회로에 있어서는, 승압전위노드(102)에 대략 2Vcc(정확하게는 2Vcc-Vjv)의 전위가 얻어져, 충분한 승압전위 Vpp가 얻어지는 동시에, 제2의 노드(106)의 전위의 진폭은 대략 Vcc인 프리차지전위와 거의 2Vcc의 승압전위의 사이로 되어서, 소비전력의 증대가 억제되어, 저소비전력화가 도모되는 것이다.

또, 이와같이 구성된 승압전위발생회로를 구성하는 N채널형 MOS 트랜지스터 및 P채널형 MOS 트랜지스터를, 제7도에 표시한 트윈 웰 구조에 있어서의 N채널형 MOS 트랜지스터 및 P채널형 MOS 트랜지스터 또는 제11도에 표시한 트리플 웰 구조에서의 N채널형 MOS 트랜지스터 및 P채널형 MOS 트랜지스터의 어느 트랜지스터 구조에 의해서도 구성할 수가 있고, 제7도에 표시한 트윈 웰 구조에 있어서의 N채널형 MOS 트랜지스터 및 P채널형 MOS 트랜지스터에 의해 구성했을 경우는, 프로세스공정을 적게 할 수 있고, 제조코스트를 싸게 할 수 있는 것이다.

또한, 프리차지전위에서 승압전위로 되는 제2의 노드(106)에 부가되는 용량은, 프리차지전위에서 승압전위로 되는 제1의 노드(105)에 부가되는 부수하는 용량보다 대단히 작기 때문에, 제2의 버퍼수단(109)의 구동능력은 제1의 버퍼수단(109)의 구동능력보다 작아질 수 있고, 구체적으로는, 적어도 제2의 버퍼수단(109)의 최종단의 인버터소자(109a)의 구동능력은 적어도 제1의 버퍼수단(107)의 최종단의 인버터소자(107b)의 구동능력보다 작아질 수 있고, 그 결과 제2의 버퍼수단(109) 및 제2의 용량성소자(110)의 반도체기판에 있어서의 점유면적을 작게 할 수 있고, 또한, 여기서 소비되는 전력도 대단히 작게 할 수가 있는 것이다.

[실시예 2]

제4도는 이 발명의 실시예 2를 표시하는 것으로, 제1도에 표시한 실시예 1의 것에 대해서 제1 및 제2의 프리차지전위발생부(111) 및 (112)로서 다이오드소자대신에 N채널형 MOS 트랜지스터를 사용한 것이다.

요컨데, 제1의 프리차지전위발생부(111)를 구성하는 제1의 N채널형 MOS 트랜지스터는, 그 소스전극 및 게이트전극이 전원전위노드 Vcc에 접속되어, 드레인전극이 제1의 노드(105)에 접속되어 있고, 제2의 프리차지전위발생부(112)를 구성하는 제2의 N채널형 MOS 트랜지스터는, 그 소스전극 및 게이트전극이 전원전위노드 Vcc에 접속되고, 드레인전극이 제2의 노드(106)에 접속되어 있는 것이다.

기타의 점에 대해서는 실시예 1과 마찬가지다.

이와같이 구성된 실시예 2의 승압전위발생회로에 있어서도 제1 및 제2의 N채널형 MOS 트랜지스터에 의해 제1 및 제2의 노드(105) 및 (106)에 공급하는 프리차지전위가, 전원전위 Vcc로부터 N채널형 MOS 트랜지스터의 한계치 전압분 낮인 값이 되고, 결과로서 승압전위노드(102)에 공급되는 승압전위 Vpp도 2Vcc에서 N채널형 MOS 트랜지스터의 한계치전압 만큼 낮은 값이 되는 것으로, 충분한 승압전위가 승압전원노드(102)로 얻어지는 것이며, 기타의 점에 대해서는 실시예 1과 마찬가지인 효과를 나타내는 것이다.

[실시예 3]

제5도는 이 발명의 실시예 3을 표시하는 것이며, 제1도에 표시한 실시예 1의 것에 대해서 제1 및 제2의 프리차지전위발생부(111 및 112)를 변경했을 뿐이며, 기타의 점에 대해서는 실시예 1과 마찬가지이다.

요컨데, 제1의 프리차지전위발생부(111)은, 전원전위노드 Vcc와 제1의 노드(105)와의 사이에 접속된 제3의 N채널형 MOS트랜지스터(116)과, 전원전위 노드 Vcc와 제3의 N채널형 MOS 트랜지스터(116)의 게이트전극과의 사이에 접속되어, 게이트전극이 전원전위노드 Vcc에 접속된 제4의 N채널형 MOS 트랜지스터(118)과, 클록입력노드(101)에 입력된 클럭신호와 위상이 반전한 신호, 이 실시예 3에 있어서는 제3의 N채널형 MOS 트랜지스터(116)의 게이트전극에 접속된 용량성소자(117)에 의해 구성되어 있다.

제2의 프리차지전위발생부(112)는, 전원전위노드 Vcc와 제2의 노드(106)와의 사이에 접속된 제5의 N채널 MOS 트랜지스터(119)와, 전원전위노드 Vcc와 제5의 N채널형 MOS 트랜지스터(119)의 게이트전극과의 사이에 접속되어, 게이트전극이 전원전위노드 Vcc에 접속된 제6의 N채널형 MOS 트랜지스터(121)과, 클록입력노드(101)에 입력된 클록신호와 위상이 같은 신호, 이 실시예 3에 있어서는 제1의 버퍼수단(107)으로 부터의 제1의 신호를 한편의 전극에 받아, 타편의 전극이 제5의 N채널형 MOS 트랜지스터(119)의 게이트전극에 접속된 용량성소자(120)로 구성되어 있다.

이와같이 구성된 승압발생회로에 있어서는, 제1의 프리차지전위발생부(111) 및 제2의 프리차지전위발생부(112)가 다음과 같이 동작하는 것이다.

우선, 제1의 프리차지전위발생부(111)의 동작에 대해서 설명한다.

프리차지 기간에 있어서, 제2의 버퍼수단(109)으로 부터의 출력이 접지전위이면, 제3의 N채널형 MOS 트랜지스터(116)의 게이트전극의 게이트전위는, 제4의 N채널형 MOS 트랜지스터(118)에 의해 전원전위 Vcc로부터 제4의 N채널형 MOS 트랜지스터(118)의 한계치전압분 낮인 전위로 되어 있어, 제1의 노드(105)는, 제3의 N채널형 MOS 트랜지스터(116)을 통해서 전원전위노드에서 {전원전위 Vcc-제4의 N채널형 MOS 트랜지스터(118)의 한계치전압-제3의 N채널형 MOS 트랜지스터(116)의 한계치 전압}의 전위로 된다.

그리고, 제2의 버퍼수단(109)로부터 출력이 접지전위에서 전원전위 Vcc로 변화하면은, 용량성소자(117)의 용량결합에 의해, 제3의 N채널형 MOS 트랜지스터(116)의 게이트전극의 게이트전위는, 2베의 Vcc로부터 제4의 N채널형 MOS 트랜지스터(118)의 한계치전압 만큼 낮은 전위가 된다.

그 결과, 제1의 노드(105)의 전위는 제3의 N채널형 MOS 트랜지스터(116)을 통해서 전원전위노드 Vcc와 같은 치가 된다.

한편, 승압전위노드(102)를 승압시킬때는, 제1의 버퍼수단(107)로부터의 출력이 전원전위 Vcc가 되어, 제1의 용량성소자(108)의 용량결합에 의해 2Vcc에 제1의 노드(105)의 전위를 상승시키지만, 이때, 제2의 버퍼수단(109)로 부터의 출력이 접지전위이기 때문에, 제3의 N채널형 MOS 트랜지스터(116)의 게이트(116)의 게이트전위는 전원전위 Vcc로부터 제4의 N채널형 MOS 트랜지스터(118)의 한계치전압 만큼 낮은 전위로 되므로, 제3의 N채널형 MOS트랜지스터(116)은 비도통상태로 되어, 제1의 노드(105)로부터 제3의 N채널형 MOS 트랜지스터(116)을 통해서 전원전위노드에 전하가 흐르는 일은 없다.

따라서, 제1의 버퍼수단(107)로 부터의 출력이 접지전위인때, 결국 클록입력노드(101)에 입력되는 클록신호가 접지전위인때는, 제1의 노드(105)의 전위를 Vcc로, 제1의 버퍼수단(107)로 부터의 출력이 전원전위인때, 결국 클록입력노드(101)에 입력되는 클록신호가 전원전위인때는, 제1의 노드(105)의 전위를 2배의 Vcc로 유지하고 있는 것이다.

또, 제2의 프리차지전위발생부(112)는, 제1의 프리차지전위발생부(111)과 같은 구성으로 되어 있는 것이므로, 마찬가지로 동작하여, 제2의 버퍼수단(109)로 부터의 출력이 접지전위인때, 요컨데 클록입력노드(101)에 입력되는 클록신호가 전원전위인때는, 제2의 노드(106)의 전위를 Vcc로, 제2의 버퍼수단(109)로부터의 출력이 전원전위인때, 요컨데 클록입력노드(101)에 입력되는 클록신호가 접지전위인때는, 제2의 노드(106)의 전위를 2배의 Vcc로 유지하고 있는 것이다.

고로, 이 실시예 3의 승압발생회로는, 제1의 노드(105)의 전위가 전원전위 Vcc와 2배의 Vcc를 소정의 주기로 반복하여, 또한, 제2의 노드(106)의 전위가 제1의 노드(105)의 반복에 대한 반전된 위상을 가지고, 전원전위 Vcc와 2배의 Vcc를 소정의 주기로 반복해 있기 때문에, 승압전위노드(102)에는 2배의 Vcc가 얻어지는 것이다.

또, 기타의 점에 대해서는 실시예 1과 같은 효과를 나타내는 것이다.

[발명의 효과]

제1의 발명은, 승압전위를 출력하기 위한 승압전위노드와 제1의 노드와의 사이에 유지되어, 게이트전극이 제2의 노드에 유지된 P채널형 MOS 트랜지스터와, 제1의 노드의 전위를, 정의 프리차지전위와 이 프리차지전위보다 낮은 전위와를 소정의 주기로 반복전위로 이룬 제1의 반복전위발생수단을, 제2의 노드의 전위를, 제1의 반복전위발생수단의 반복전위와는 위상이 반전되어 있고, 정의 프리차지전위와 이 프리차지전위보다 높은 전위를 소정의 주기로 반복전위가 되는 제2의 반복전위발생수단을 설치했으므로, P채널형 MOS 트랜지스터가 제1의 반복전위발생수단으로부터 프리차지전위보다 높은 전위와 같은 레벨의 전위를 승압전위로서 승압전위노드에 공급할 수 있어서, 충분한 승압전위가 얻어질 수 있다는 효과가 있다.

제2의 발명은, 승압전위를 출력하기 위한 승압전위의 노드와 제1의 노드의 사이에 접속되어, 게이트전극의 제2의 노드에 접속된 P채널형 MOS 트랜지스터와, 클록신호를 받아, 이 클록신호와 위상이 같은 제1의 신호를 출력하는 제1의 버퍼수단과, 한 전극은 이 제1의 버퍼수단으로부터 제1의 신호를 받고, 다른 전극은 제1의 노드에 접속된 제1의 용량성소자와, 클록신호를 받아, 이 클록신호와 위상이 반전된 제2의 신호를 출력하는 제2의 버퍼수단과, 한 전극은 이 제2의 버퍼수단으로 부터의 제2의 신호를 받고, 다른 전극은 제2의 노드에 접속된 제2의 용량성소자와, 제1의 노드 및 제2의 노드에 각각 프리차지전위를 공급하기 위한 프리차지전위발생수단을 설치했으므로, P채널형 MOS 트랜지스터가 프리차지전위를, 용량결합으로 승압한 전위와 같은 레벨의 전위를, 승압전위로 하여, 승압전위노드에 공급할 수 있고, 그 결과 충분한 승압전위가 얻어질 수 있다는 효과가 있다.

## *(57) 청구의 범위*

### 청구항 1

승압전위를 출력하기 위한 승압전위노드와 제1의 노드와의 사이에 접속되고 게이트전극이 제2의 노드에 접속된 P채널형 MOS 트랜지스터와, 상기 제1의 노드의 전위가, 정의 프리차지전위와 상기 프리차지전위보다 높은 전위 사이를 소정의 주기로 반복하는 전위가 되게 하는 제1의 반복전위발생수단과, 상기 제2의 노드의 전위가, 상기 제1의 반복전위발생수단의 반복전위와는 위상이 반전해 있고, 정의 프리차지전위와 이 프리차지전위보다 높은 전위를 소정의 주기로 반복하는 전위가 되게 하는 제2의 반복전위발생수단을 포함하는 것을 특징으로 하는 승압전위발생회로.

### 청구항 2

제1항에 있어서, 상기 제1의 반복전위발생수단은, 클록신호를 받아서, 이 클록신호와 위상이 같은 제1의

신호를 출력하는 제1의 버퍼수단과, 한 전극은 이 제1의 버퍼수단으로부터 제1의 신호를 받고, 다른 전극은 제1의 노드에 접속된 제1의 용량성소자와, 제1의 노드를 프리차지전위로 프리차지하기 위한 제1의 프리차지전원발생부가 있고, 상기의 제2의 반복전위발생수단은, 상기 클록신호를 받아서, 이 클록신호에 대해 위상이 반전된 제2의 신호를 출력하는 제2의 버퍼수단과, 한 전극이 이 제2의 버퍼수단으로 부터의 제2의 신호를 받고, 다른 전극은 제2의 노드에 접속된 제2의 용량성소자와, 제2의 노드를 프리차지전위에 프리차지하기 위한 제2의 프리차지전위발생부를 포함하는 것을 특징으로 하는 승압전위발생회로.

**청구항 3**

제2항에 있어서, 상기 승압전위발생회로는 단일 반도체기판상에 형성되어 있는 것을 특징으로 하는 승압전위발생회로.

**청구항 4**

승압전위를 출력하기 위한 승압전위노드와 제1의 노드와의 사이에 접속되고 게이트전극은 제2의 노드에 접속된 P채널형 MOS 트랜지스터와, 클록신호를 받아서, 이 클록신호와 위상이 같은 제1의 신호를 출력하는 제1의 버퍼수단과, 한 전극은 이 제1의 버퍼수단으로 부터의 제1의 신호를 받고, 다른 전극은 상기 제1의 노드에 접속된 제1의 용량성소자와, 상기 클록신호를 받아서, 이 클록신호에 대해 위상이 반전된 제2의 신호를 출력하는 제2의 버퍼수단과, 한 전극은 이 제2의 버퍼수단으로 부터의 제2의 신호를 받고, 다른 전극은 제2의 노드에 접속된 제2의 용량성소자와, 상기 제1의 노드 및 상기 제2의 노드 각각에 프리차지전위를 공급하기 위한 프리차지전위발생수단을 구비한 것을 특징으로 하는 승압전위발생회로.

**청구항 5**

제4항에 있어서, 상기 P채널형 MOS 트랜지스터는, 그 백게이트가 승압전위노드에 접속되어 있는 것을 특징으로 하는 승압전위발생회로.

**청구항 6**

제4항에 있어서, 상기 제1의 버퍼수단은 짝수 단의 인버터소자로 구성되고, 상기 제2의 버퍼수단은 홀수 단의 인버터소자로 구성되어 있는 것을 특징으로하는 승압전위발생회로.

**청구항 7**

제4항에 있어서, 상기 프리차지전위발생수단은, 전원전위노드와 상기 제1의 노드와의 사이에 접속되어서 상기 전원전위노드로부터 상기 제1의 노드로 향하여 순방향으로 된 제1의 다이오드소자와, 상기 전원전위노드와 상기 제2의 노드와의 사이에 접속되어서, 상기 전원전위노드로부터 상기 제2의 노드로 향하여 순방향으로 된 제2의 다이오드를 포함하는 것을 특징으로 하는 승압전위발생회로.

**청구항 8**

제4항에 있어서, 상기 프리차지전위발생수단은, 소스 및 게이트전극이 전원전위노드에 접속되고, 드레인전극은 상기 제1의 노드에 접속된 제1의 N채널형 MOS 트랜지스터와, 소스 및 게이크전극이 상기 전원전위노드에 접속되고, 드레인전극은 상기 제2의 노드에 접속된 제2의 N채널형 MOS 트랜지스터로 구성됨을 특징으로 하는 승압전위발생회로.

**청구항 9**

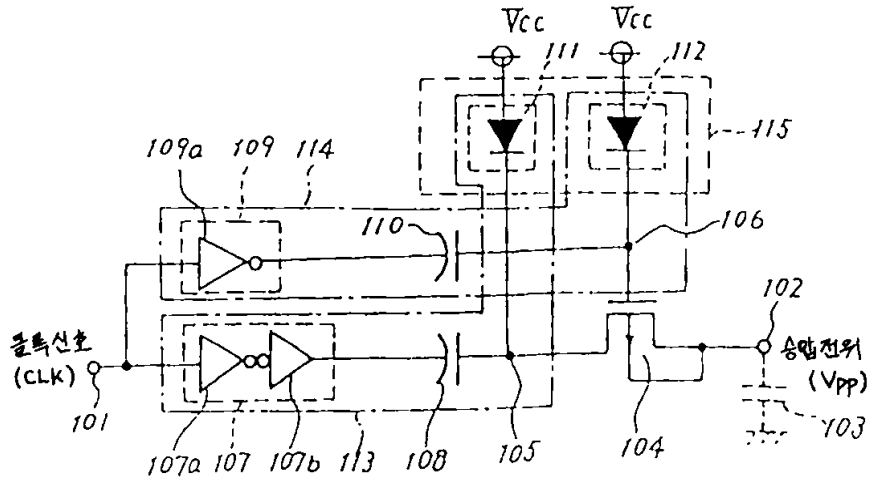
제4항에 있어서, 상기 프리차지전위발생수단은, 전원전위노드와 상기 제1의 노드와의 사이에 접속된 제3의 N채널형 MOS 트랜지스터와, 상기 전원전위노드와 상기 제3의 N채널형 MOS 트랜지스터 사이에 접속되고, 게이트전극은 상기 전원전위노드에 접속된 제4의 N채널형 MOS 트랜지스터와, 한 전극은 상기 클록신호에 대해 위상이 반전된 신호를 받고, 다른 전극은 상기 제4의 N채널형 MOS 트랜지스터의 게이트전극에 접속된 제3의 용량성소자를 가진 제1의 프리차지전위발생부와, 전원전위노드와 상기 제2의 노드와의 사이에 접속된 제5의 N채널형 MOS 트랜지스터와, 상기 전원전위노드와 상기 제5의 N채널형 MOS 트랜지스터 사이에 접속되고, 게이트전극은 상기 전원전위노드에 접속된 제6의 N채널형 MOS 트랜지스터와, 한 전극은 상기 클록신호와 위상이 같은 신호를 받고, 다른 전극은 상기 제6의 N채널형 MOS 트랜지스터의 게이트전극에 접속된 제4의 용량성소자를 가진 제2의 프리차지전위발생부를 포함하는 것을 특징으로 하는 승압전위발생회로.

**청구항 10**

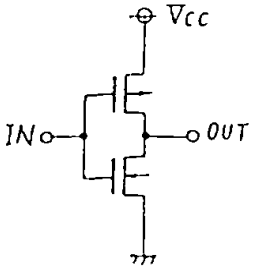
제4항에 있어서, 상기 승압전위를 출력하기 위한 상기 승압전위노드는, 부하용량으로 형성되고 이 부하용량은, 기생용량(Parasitic capacity)인 것을 특징으로 하는 승압전위발생회로.

*도면*

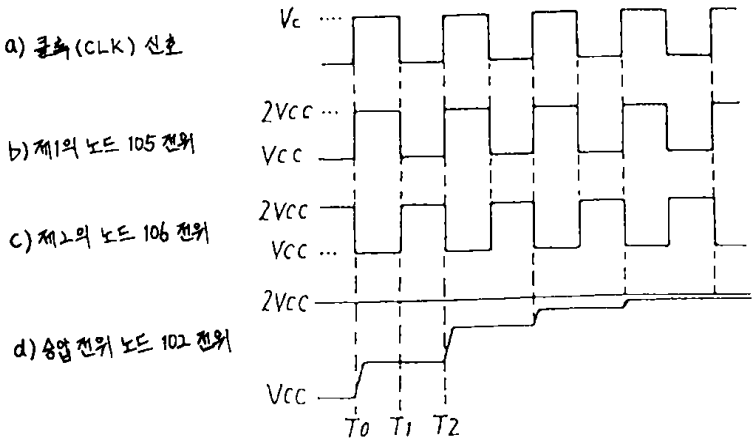
도면1


Vcc
Vcc
111
112
115
109a
109
114
110
106
102
클록신호
(CLK)
승압전위
(Vpp)
101
103
107a
107
107b
113
108
105
104

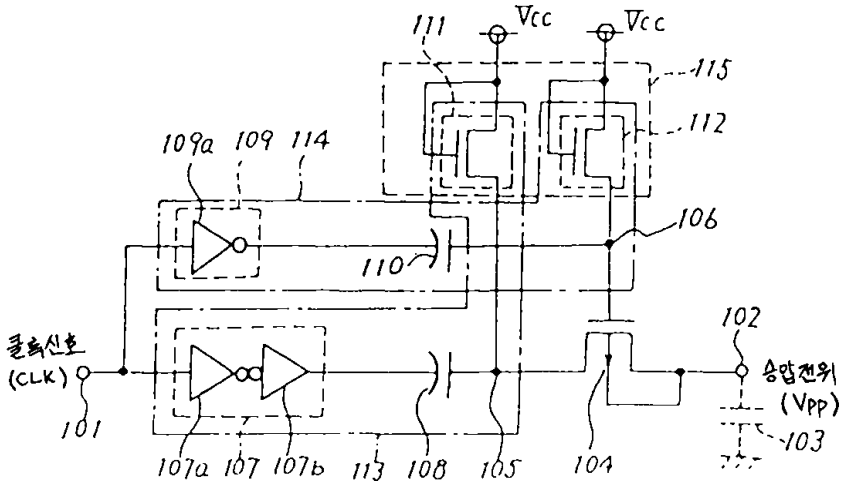
도면2


Vcc
IN
OUT

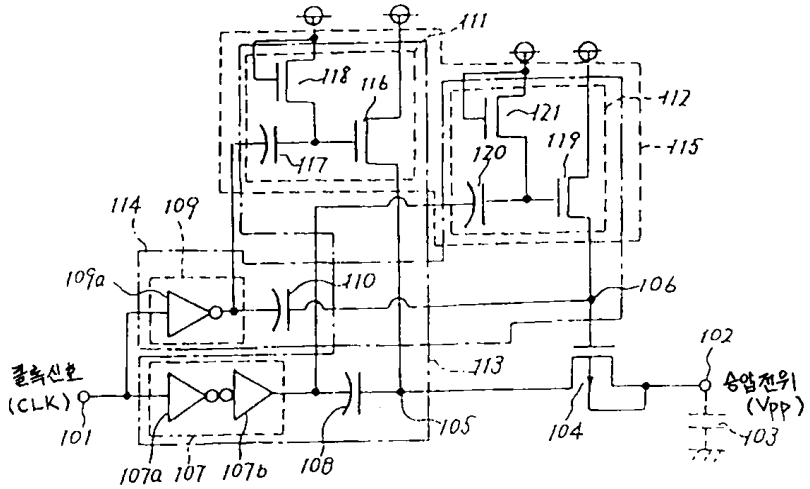
도면3


a) 클록(CLK) 신호
b) 제1의 노드 105 전위
c) 제2의 노드 106 전위
d) 승압 전위 노드 102 전위
Vc
2Vcc
Vcc
2Vcc
Vcc
2Vcc
Vcc
T0
T1
T2

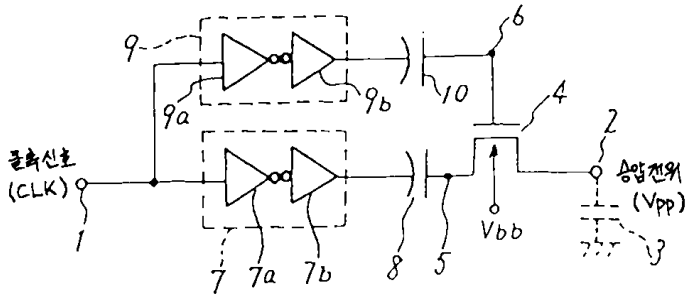
도면4


111
Vcc
Vcc
115
112
109a
109
114
106
110
102
클록신호
(CLK)
승압전위
(Vpp)
101
103
107a
107
107b
113
108
105
104

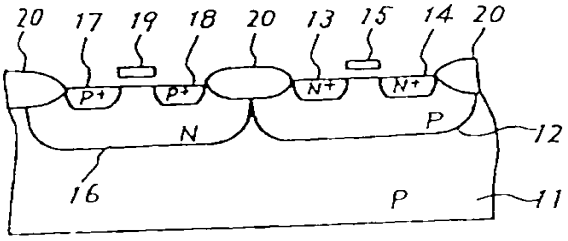
도면5


111
118
116
112
121
119
115
117
120
114
109
109a
110
106
102
클록신호
(CLK)
승압전위
(Vpp)
101
103
113
105
104
107a
107
107b
108

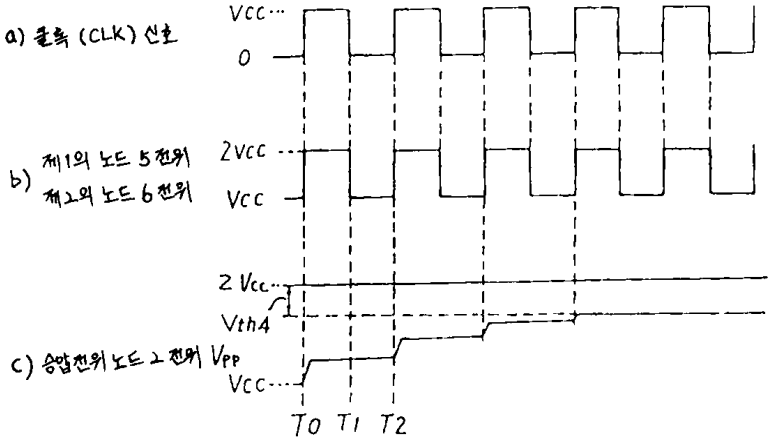
도면6


9
6
9a
9b
10
4
2
클록신호
(CLK)
승압전위
(Vpp)
1
3
Vbb
7
7a
7b
8
5

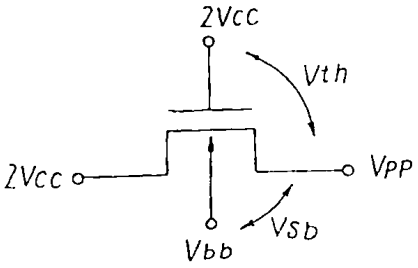
도면7



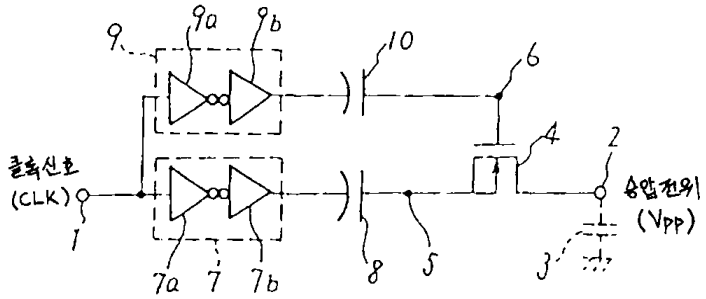

도면8



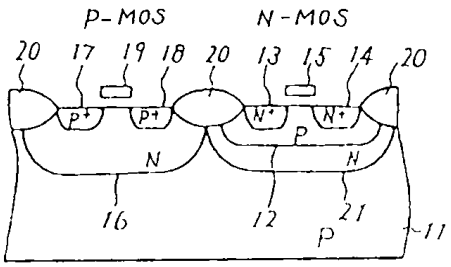

도면9



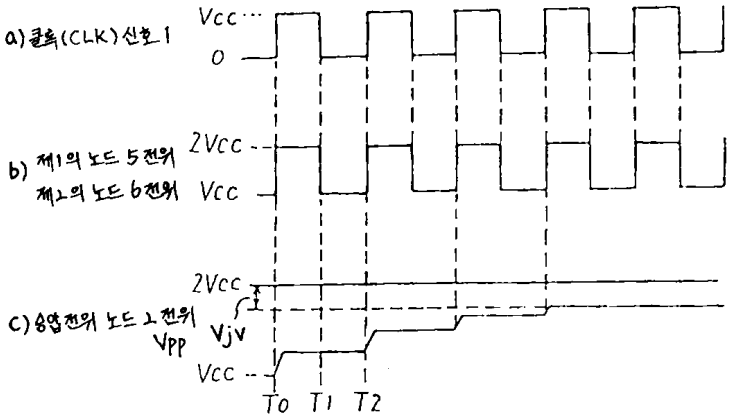

도면10



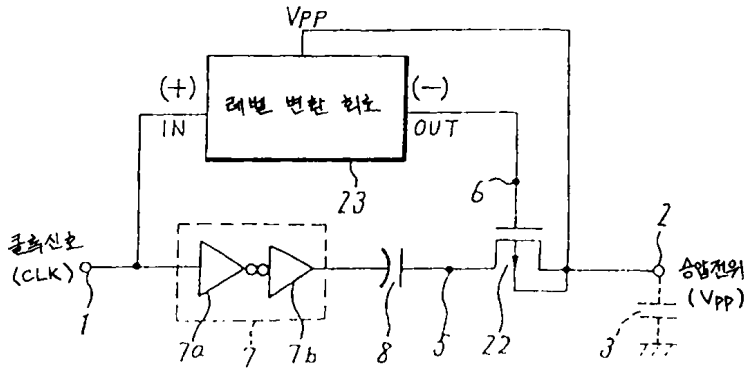
도면11



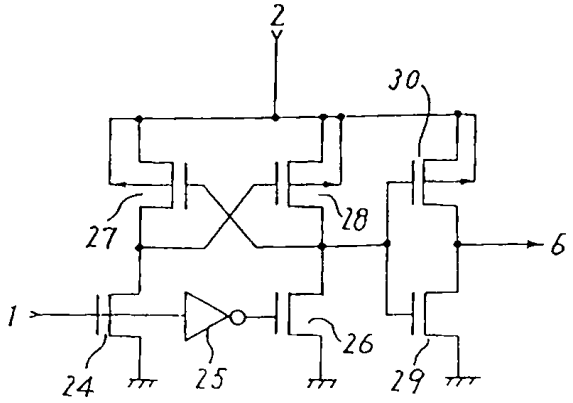

도면12



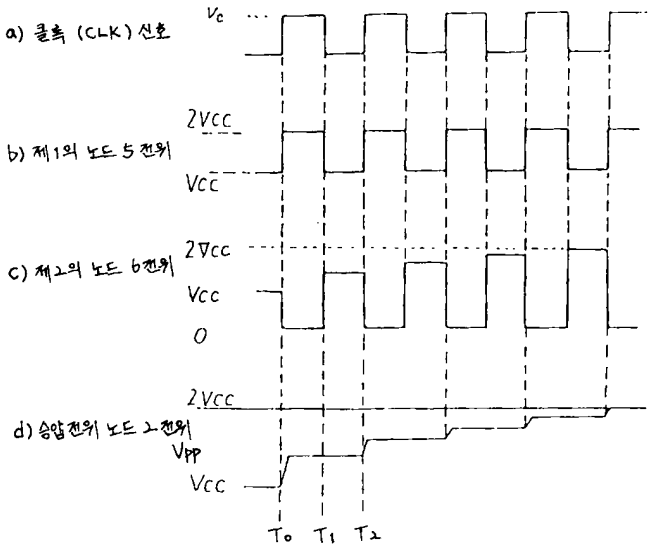

도면13




도면14



도면15


a) 클록 (CLK) 신호
Vc
b) 제1의 노드 5 전위
2Vcc
Vcc
c) 제2의 노드 6전위
2Vcc
Vcc
0
d) 승압전위 노드 7전위
2Vcc
Vpp
Vcc
T0
T1
T2