



등록특허 10-2369549



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년03월04일  
(11) 등록번호 10-2369549  
(24) 등록일자 2022년02월25일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/84* (2006.01) *H01L 21/02* (2006.01)  
*H01L 21/762* (2006.01) *H01L 27/12* (2006.01)
- (52) CPC특허분류  
*H01L 21/84* (2013.01)  
*H01L 21/02002* (2013.01)
- (21) 출원번호 10-2018-7034754
- (22) 출원일자(국제) 2017년06월06일  
심사청구일자 2020년04월20일
- (85) 번역문제출일자 2018년11월29일
- (65) 공개번호 10-2019-0017762
- (43) 공개일자 2019년02월20일
- (86) 국제출원번호 PCT/FR2017/051418
- (87) 국제공개번호 WO 2017/212160  
국제공개일자 2017년12월14일

(30) 우선권주장  
1655266 2016년06월08일 프랑스(FR)

(56) 선행기술조사문현  
US20140175598 A1\*  
(뒷면에 계속)

전체 청구항 수 : 총 18 항

심사관 : 오순영

(54) 발명의 명칭 무선 주파수 애플리케이션들을 위한 구조

**(57) 요 약**

본 발명은 무선 주파수 마이크로전자 디바이스들을 위한 기판에 관한 것으로:

500 ohms.cm 초파의 비저항을 갖는 제1 반도체 재료(10')로 제조된 지지 기판(10);

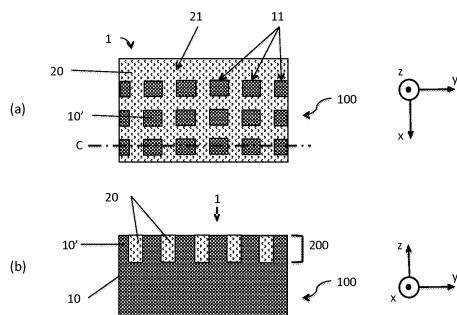
제2 재료(20)로 충전되고, 제1 재료(10')로 제조된 지지 기판(10)의 제1 측면(1) 상의 복수의 제1 구역들(11) 및 제2 재료(20)의 적어도 하나의 제2 구역(21)을 정의하는 상기 지지 기판(10)의 복수의 트렌치들을 포함하고;

기판은,

제2 재료(20)가 10 kohms.cm 초파의 비저항을 갖고;

제1 구역들(11)은 10 마이크론 미만의 최대 치수를 갖고 제2 구역(21)에 의해 서로 격리된다는 점에서 현저하다.

**대 표 도**



(52) CPC특허분류

*H01L 21/76264* (2013.01)

*H01L 27/1203* (2013.01)

(72) 발명자

**코논추크 올레그**

프랑스 38570 테이 몽고예

**라스킨 장-피에르**

벨기에 1348 루뱅-라-네브 쌍띠에 두 비에루오 19

(56) 선행기술조사문현

비특허문현 1, 9TH IEEE WORKSHOP ON SIGNAL PROPAGATION ON INTERCONNECTS, 2005.,  
2005.08.29\*

JP2013537715 A

US20120266116 A1

비특허문현 2, 2013 IEEE BIPOLAR/BICMOS CIRCUITS AND TECHNOLOGY MEETING (BCTM),  
2014.04.17

2005IEEE\*

\*는 심사관에 의하여 인용된 문현

## 명세서

### 청구범위

#### 청구항 1

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102)으로서,

500 ohms.cm 초파의 비저항을 갖는 제1 반도체 재료( $10'$ )로 제조된 지지 기판(10);

제2 재료(20)로 충전되고, 제1 재료( $10'$ )의 제1 면(1) 상의 복수의 제1 구역들(11) 및 제2 재료(20)의 적어도 하나의 제2 구역(21)을 정의하는 상기 지지 기판(10) 내의 복수의 트렌치들(2);을 포함하고

상기 제2 재료(20)는 10 kohms.cm 초파의 비저항을 갖고,

상기 제1 구역들(11)은 10 마이크론 미만의 최대 치수를 갖고 상기 제2 구역(21)에 의해 서로 격리되며,

상기 제1 구역들(11) 및 상기 제2 구역(21)의 표면 밀도는 상기 지지 기판(10)의 상기 제1 면(1)으로부터 상기 트렌치들(2)의 깊이까지 연장되는 상기 기판의 상부 부분(200) 상에서 20W/m.K 초파의 평균 열 전도율, 상기 제1 재료( $10'$ )의 유전율보다 작은 평균 유전율 및 상기 제1 재료( $10'$ )의 비저항보다 높은 비저항을 제공하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 2

삭제

#### 청구항 3

제1항에 있어서,

상기 제2 구역(21)은 상기 지지 기판(10)의 상기 제1 면(1) 상에 메시를 형성하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 4

제1항 또는 제3항에 있어서,

상기 트렌치들(2)의 깊이는 1 마이크론 내지 100 마이크론인,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 5

제1항 또는 제3항에 있어서,

상기 지지 기판(10)을 구성하는 상기 제1 재료( $10'$ )는 실리콘인,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 6

제1항 또는 제3항에 있어서,

상기 트렌치들(2)을 충전하는 상기 제2 재료(20)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 질화물, 비정질 또는 다결정 실리콘, 탄소가 풍부한 실리콘(carbon-rich silicon), 중합체 또는 가스 중에서 선택되는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 7

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102)으로서,

500 ohms.cm 초과의 비저항을 갖는 제1 반도체 재료(10')로 제조된 지지 기판(10);

제2 재료(20)로 충전되고, 제1 재료(10')의 제1 면(1) 상의 복수의 제1 구역들(11) 및 제2 재료(20)의 적어도 하나의 제2 구역(21)을 정의하는 상기 지지 기판(10) 내의 복수의 트렌치들(2);을 포함하고

상기 제2 재료(20)는 10 kohms.cm 초과의 비저항을 갖고,

상기 제1 구역들(11)은 10 마이크론 미만의 최대 치수를 갖고 상기 제2 구역(21)에 의해 서로 격리되며,

상기 복수의 트렌치들(2)은 부분적으로는 상기 제2 재료(20)로 충전되고, 부분적으로는 상기 제2 재료(20)와 상이한 조성의 제3 재료로 충전되는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### **청구항 8**

제7항에 있어서,

상기 제3 재료는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 질화물, 비정질 또는 다결정 실리콘, 탄소가 풍부한 실리콘(carbon-rich silicon), 중합체 또는 가스 중에서 선택되는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### **청구항 9**

제1항 또는 제3항에 있어서,

상기 지지 기판(10)의 상기 제1 면(1) 상에 레이아웃된 유전체 층(30)을 포함하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### **청구항 10**

제7항 또는 제8항에 있어서,

상기 지지 기판(10)의 상기 제1 면(1) 상에 레이아웃된 유전체 층(30); 및

상기 유전체 층(30)과 상기 지지 기판(10)의 상기 제1 면(1) 사이에 상기 제3 재료로 구성된 추가 층(24);을 포함하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### **청구항 11**

제9항에 있어서,

상기 유전체 층(30)은 실리콘 산화물, 실리콘 질화물, 실리콘의 산질화물, 알루미늄 질화물 중에서 선택되는 재료로 제조되는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### **청구항 12**

제9항에 있어서,

상기 유전체 층(30)은 상기 제2 재료(20)로 구성되는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### **청구항 13**

제9항에 있어서,

상기 지지 기판(10)의 상기 제1 면(1) 상에 레이아웃된 유용한 층(40)을 포함하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 14

제9항에 있어서,

상기 기판(100, 101, 102)은 상기 지지 기판(10)의 상기 제1 면(1) 상에 레이아웃된 유용한 층(40)을 포함하며, 상기 유전체 층(30)은 상기 유용한 층(40)과 상기 지지 기판(10)의 상기 제1 면(1) 사이에 개재되는, 마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 15

제13항에 있어서,

상기 유용한 층(40)은 반도체성, 절연성 또는 전도성 재료들 또는 심지어 압전 재료들 중에서 선택된 재료로 구성되는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102).

#### 청구항 16

마이크로전자 무선 주파수 디바이스들을 위한 구조(110, 111)로서,

제1항 또는 제3항에 따른 기판(100, 101, 102);

상기 기판(100, 101, 102) 상에 레이아웃된 마이크로전자 디바이스들(50)의 층;을 포함하는,

마이크로전자 무선 주파수 디바이스들을 위한 구조(110, 111).

#### 청구항 17

제16항에 있어서,

상기 마이크로전자 디바이스는 안테나 스위치 또는 어댑터 또는 전력 증폭기 또는 저잡음 증폭기 또는 수동 컴포넌트 또는 고주파수에서 동작하는 다른 회로 또는 무선 주파수 MEMS 컴포넌트 또는 무선 주파수 필터인,

마이크로전자 무선 주파수 디바이스들의 구조(110, 111).

#### 청구항 18

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102)을 제조하기 위한 방법으로서,

제1 면(1)을 갖는, 500 ohms.cm 초과의 비저항을 갖는 제1 반도체 재료로 제조된 지지 기판(10)을 제공하는 단계;

상기 지지 기판(10)의 상기 제1 면(1)으로부터 결정된 깊이까지 연장되는 복수의 트렌치들(2)을 마스크에 따라 에칭하는 단계;

제2 재료(20)의 상기 제1 면(1) 상에 제1 재료(10')의 제1 구역들(11) 및 적어도 하나의 제2 구역(21)을 형성하기 위해 상기 제2 재료(20)로 상기 복수의 트렌치들(2)을 충전하는 단계;를 포함하고,

상기 방법은, 10 마이크론 미만인 최대 치수를 갖는 상기 제1 구역들(11)이, 제2 재료(20)가 10 kohms.cm 초과의 비저항을 갖는 상기 제2 구역(21)에 의해 서로 절연되는 것을 특징으로 하며, 상기 제1 구역들(11) 및 상기 제2 구역(21)의 표면 밀도는 상기 지지 기판(10)의 상기 제1 면(1)으로부터 상기 결정된 깊이까지 연장되는 상기 기판의 상부 부분(200) 상에서 20W/m.K 초과의 평균 열 전도율, 상기 제1 재료(10')의 유전율보다 작은 평균 유전율 및 상기 제1 재료(10')의 비저항보다 높은 비저항을 제공하는 것을 특징으로 하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102)을 제조하기 위한 방법.

#### 청구항 19

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102)을 제조하기 위한 방법으로서,

500 ohms.cm 초과의 비저항을 갖는 제1 반도체 재료(10')로 제조된 지지 기판(10)을 제공하는 단계;

상기 지지 기판(10) 상에 제1 재료(10') 및 결정된 높이로 제조된 복수의 기둥들을 마스크에 따라 국부적으로 증착하는 단계 - 상기 기둥들의 상부 표면은 상기 지지 기판(10)의 제1 면(1)을 정의하고, 상기 기둥들은 상기 기둥들의 결정된 높이에 의해 정의된 깊이까지 상기 지지 기판(10)의 상기 제1 면(1)으로부터 연장되는 복수의 트렌치(2)에 의해 서로 절연됨 -;

제2 재료(20)의 상기 제1 면(1) 상에 상기 제1 재료(10')의 제1 구역들(11) 및 적어도 하나의 제2 구역(21)을 형성하기 위해 상기 제2 재료(20)로 상기 복수의 트렌치들(2)을 충전하는 단계를 포함하고,

상기 방법은, 10 마이크론 미만인 최대 치수를 갖는 상기 제1 구역들(11)이, 제2 재료(20)가 10 kohms.cm 초과의 비저항을 갖는 상기 제2 구역(21)에 의해 서로 절연되는 것을 특징으로 하며, 상기 제1 구역들(11) 및 상기 제2 구역(21)의 표면 밀도는 상기 지지 기판(10)의 상기 제1 면(1)으로부터 상기 결정된 높이에 의해 정의된 상기 깊이까지 연장되는 상기 기판의 상부 부분(200) 상에서 20W/m.K 초과의 평균 열 전도율, 상기 제1 재료(10')의 유전율보다 작은 평균 유전율 및 상기 제1 재료(10')의 비저항보다 높은 비저항을 제공하는 것을 특징으로 하는,

마이크로전자 무선 주파수 디바이스들을 위한 기판(100, 101, 102)을 제조하기 위한 방법.

## 발명의 설명

### 기술 분야

[0001]

본 발명은 집적된 무선 주파수 디바이스들의 분야에 관한 것이다.

### 배경 기술

[0002]

무선 주파수 신호들(10 MHz 내지 100 GHz)의 송신 또는 수신을 수반하는 대부분의 애플리케이션들의 경우, 디바이스들은 특히 변하는 모바일 전화 표준들(2G, 3G, LTE, LTE 어드밴스드, LTE 어드밴스드 프로, 5G 등)에 의해 도출되는 점점 더 요구되는 규격들을 충족시키는 기판을 요구한다. 기판 재료들의 특성들은 구체적으로 다음을 보장해야 한다:

[0003]

일반적으로 1000 ohms/cm 초과의 주파수들의 낮은 범위에서 유효 비저항을 나타냄으로써 낮은 삽입 손실들(낮은 신호 감쇠) 및 우수한 선형성(고조파를 유발하는 낮은 신호 왜곡);

[0004]

특히 디바이스들의 사용 범위 [-40 °C; 150 °C] 내에서 이러한 온도 성능들의 안정성;

[0005]

일반적으로 20 W/mK 초과의 열 전도도로 인한 충분한 열 소산 용량;

[0006]

일반적으로 실리콘의 유전율( $\epsilon_{\text{silicon}} = 11$ )과 동일하거나 그보다 낮은 유전율로 인해 활성 층과 지지 기판 사이의 약한 용량성 결합.

[0007]

또한, 높은 체적 요건들을 충족시키기 위해서 기판은 반도체 산업, 특히 CMOS 실리콘 제조 라인들과 호환가능해야 한다. 물론, 이는, 특히 전기통신들(전화 및 셀룰러 네트워크, WiFi 접속, 블루투스)의 분야에서 소비자 애플리케이션들에 의해 채택되도록 경쟁력있는 비용을 가져야 한다. 우주 및 군용 애플리케이션들은 성능 및 온도 저항에 특히 민감하다.

[0008]

안테나 스위치들 및 어댑터들, 전력 증폭기들, 저잡음 증폭기들 또는 심지어 수동 커모넌트들(R, L, C)과 같은 무선 주파수(RF) 디바이스들이 상이한 유형들의 기판들 상에 전개될 수 있다.

[0009]

예를 들어, 실리콘의 표면 층에서 마이크로전자 기술들을 사용하여 생성된 커모넌트들이 온도와 무관하게 사파이어 기판 재료들의 절연 특성들, 20 W/m.K 보다 큰 전도도 및 11 미만의 유전율로부터 이익을 얻도록 허용하는 SOS(silicon on sapphire)로 공지된 실리콘-온-사파이어 기판들이 공지되어 있다. 예를 들어, 이러한 유형의 기판 상에 제조되는 안테나 스위치들 및 전력 증폭기들은 매우 양호한 표준 감도(factors of merit)를 나타내지만, 솔루션의 매우 높은 전반적 비용으로 인해 틈새 애플리케이션들에 대해 주로 사용된다.

[0010]

또한, 지지 기판, 지지 기판 상에 레이아웃된 트래핑 층(수 백 나노미터 내지 수 마이크론 두께), 트래핑 층 상에 레이아웃된 유전체 층, 및 유전체 층 상에 레이아웃된 반도체 층을 포함하는 고 비저항 실리콘 기판들이 공지되어 있다. 지지 기판은 통상적으로 1 kohm.cm 초과의 비저항을 갖는다. 트래핑 층은 도핑되지 않은 다결정

실리콘을 포함할 수 있다. 종래 기술에 기초한 고 비저항 실리콘 지지 기판과 트래핑 층의 결합은 통상적으로 SOI HR(고 비저항 실리콘 지지 기판을 갖는 실리콘 온 절연체)에 매립된 산화물 층 하에 존재하는 기생 전도성 층을 제거하는 것을 가능하게 한다. 당업자는, Woodhead Publishing으로부터 Oleg Kononchuk 및 Bich-Yen Nguyen의 "Silicon-on-insulator (SOI) Technology, Manufacture and Applications", points 10.7 및 10.8에서, 발명의 배경기술에서 공지된 고 비저항 반도체 기판 상에 제조되는 RF 디바이스들의 성능에 대한 검토를 발견할 것이다.

[0011] 그럼에도 불구하고, 폴리-실리콘 트래핑 층은 고온 열 처리 단계들 동안 부분적 재결정화를 겪는 단점을 가지며, 이는 층 내의 트랩들의 밀도를 감소시키는데 기여한다. 트랩들의 밀도의 이러한 감소와 관련된 RF 디바이스 성능의 저하는 특정 애플리케이션들의 경우 금지될 수 있다. 또한, 이러한 기판들은 특히 100 °C 초과의 동작 온도들의 전체 범위에 걸쳐 RF 성능들의 안정성을 보장하기 위해 노력한다. 이들의 비저항은 지지 기판에서의 열 캐리어들의 생성을 고려하여 떨어지고, 결합 디바이스/기판은 신호 감쇠 및 왜곡에 대한 주요한 원인이 된다. 성능 저하는 온도가 0 °C 미만으로 떨어질 때 또한 관찰되었다. 마지막으로, 유전율은 실리콘의 유전율(약 11)에 매우 가깝게 유지될 것이다.

[0012] 알루미늄 질화물 또는 실리콘 탄화물과 같은 다른 지지 기판들은 RF 특성 규격들을 충족할 것이지만, 표준 반도체 산업과는 호환가능하지 않다. 디바이스들의 최종 층을 전사하기 위한 지지 기판으로서의 이들의 용도가 인식가능하다. 그럼에도 불구하고 회로 전사 기술들의 비용과 결합된 이러한 특정 재료들의 비용은 이러한 솔루션들의 대량 채택에 대해서는 여전히 너무 높다.

## 발명의 내용

### 해결하려는 과제

[0013] 따라서, 본 발명의 목적은 종래 기술의 단점들의 전부 또는 일부를 개선하여, 무선 주파수 애플리케이션들에 적합한 기판을 제안하는 것이다.

### 과제의 해결 수단

[0014] 본 발명은 먼저, 무선 주파수 마이크로전자 디바이스들을 위한 기판에 관한 것으로:

[0015] 500 ohm.cm 초과의 비저항을 갖는 제1 반도체 재료로 제조된 지지 기판,

[0016] 제2 재료로 충전되고, 지지 기판의 제1 측면 상에 제1 재료의 복수의 제1 구역들 및 제2 재료의 적어도 하나의 제2 구역을 정의하는, 지지 기판 내의 복수의 트렌치들을 포함한다.

[0017] 기판은

[0018] 제2 재료가 10 kohms.cm 초과의 비저항을 갖고;

[0019] 제1 구역들이 10 마이크론 미만의 최대 치수를 갖고 제2 구역에 의해 서로 격리된다는 점에서 현저하다.

[0020] 제2 재료로 충전된 트렌치들을 포함하는 본 발명에 따른 기판의 상부 부분의 역할은 지지 기판의 제1 측면 인근에서 생성될 수 있는 이동가능한 전하들의 이동을 차단하여, 지지 기판이 높고 안정된 비저항 레벨을 유지하는 것이다.

[0021] 제1 구역들의 최대 치수에 대한 제한 및 고 저항성 재료로 제조된 적어도 하나의 제2 구역에 의한 이러한 제1 구역들의 서로로부터의 절연은, 상부 부분에서 지지 기판을 구성하는 제1 구역 반도체 재료에서 전위 이동 전하들의 이동을 차단하는 것을 가능하게 한다. 이러한 상부 부분에서, 전하들은 제2 재료로 충전된 트렌치들을 우회함으로써 제1 구역으로부터 다른 제1 이웃 구역으로 통과하기 위해 더 먼 거리를 이동해야 한다. 따라서, 기판의 유효 비저항이 증가된다.

[0022] 이는, RF 디바이스들이 제조되는 기판에서 기생 전도의 유해한 영향들을 특히 제거하는 것을 가능하게 한다.

[0023] 단독으로 또는 조합하여 취해진 본 발명의 유리한 특징들에 따르면:

[0024] 제1 구역들 및 제2 구역의 표면 밀도는 지지 기판의 제1 측면으로부터 트렌치들의 깊이까지 연장되는 기판의 상부 부분 상에서 20W/m.K 초과의 평균 열 전도율, 제1 재료의 유전율보다 작은 평균 유전율 및 제1 재료의 비저항보다 높은 비저항을 제공한다:

- [0025] 제2 구역은 지지 기판의 제1 측면 상에 메시(mesh)를 형성한다;
- [0026] 트렌치 깊이는 1 마이크론 내지 100 마이크론이다;
- [0027] 지지 기판을 구성하는 제1 재료는 실리콘이다;
- [0028] 트렌치들을 충전하는 제2 재료는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 질화물, 비정질 또는 다결정 실리콘, 탄소가 풍부한 실리콘(carbon-rich silicon), 중합체 또는 심지어 가스 중에서 선택된다;
- [0029] 복수의 트렌치들은 제2 재료로 부분적으로 충전되고, 제2 재료와 상이한 성질 또는 조성을 갖는 제3 재료로 부분적으로 충전된다;
- [0030] 제3 재료는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 질화물, 비정질 또는 다결정 실리콘, 탄소가 풍부한 실리콘(carbon-rich silicon), 중합체 또는 심지어 가스 중에서 선택된다;
- [0031] 제2 또는 제3 재료는 제1 재료에서 생성될 수 있는 이동가능한 전하들을 트래핑하는 특성을 갖는다;
- [0032] 기판은 지지 기판의 제1 측면 상에 레이아웃된 유전체 층을 포함한다;
- [0033] 기판은 유전체 층과 지지 기판의 제1 측면 사이에 제3 재료로 구성된 추가 층을 포함한다;
- [0034] 유전체 층은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 질화물로부터 선택된 재료로 제조된다;
- [0035] 유전체 층은 제2 재료로 구성된다;
- [0036] 기판은 지지 기판의 제1 측면 상에 레이아웃된 유용한 층을 포함한다;
- [0037] 유전체 층은 유용한 층과 지지 기판의 제1 측면 사이에 개재된다;
- [0038] 유용한 층은 반도체성, 절연성 또는 전도성 재료들 또는 압전 재료들로부터 선택된 재료로 구성된다.
- [0039] 본 발명은 또한 무선 주파수 마이크로전자 디바이스들의 구조와 관련되며:
- [0040] 상기와 같은 기판;
- [0041] 기판 상에 레이아웃된 마이크로전자 디바이스들의 층을 포함한다.
- [0042] 단독으로 또는 조합하여 취해진 본 발명의 유리한 특징들에 따르면, 마이크로전자 디바이스는 안테나 스위치 또는 어댑터 또는 전력 증폭기 또는 저잡음 증폭기 또는 수동 컴포넌트 또는 무선 주파수 MEMS 컴포넌트 또는 무선 주파수 필터 또는 고주파수들에서 동작하는 다른 회로이다.
- [0043] 본 발명은 추가로 무선 주파수 마이크로전자 디바이스들을 위한 기판에 관한 것으로:
- [0044] 500 ohm.cm 초과의 비저항을 갖는 제1 반도체 재료로 제조된 지지 기판을 제공하는 단계,
- [0045] 지지 기판의 제1 측면으로부터 결정된 깊이까지 연장되는 복수의 트렌치들을 마스크에 따라 에칭하는 단계;
- [0046] 제1 측면 상에서, 제1 재료의 제1 영역들 및 제2 재료의 적어도 하나의 제2 구역을 형성하기 위해 제2 재료로 복수의 트렌치들을 충전하는 단계를 포함한다.
- [0047] 방법은, 10 마이크론 미만인 최대 치수를 갖는 제1 구역들이, 제2 재료가 10 kohms.cm 초과의 비저항을 갖는 제2 구역에 의해 서로 절연된다는 점에서 현저하다.
- [0048] 마지막으로, 본 발명은 무선 주파수 마이크로전자 디바이스들을 위한 기판에 관한 것으로:
- [0049] 500 ohms.cm 초과의 비저항을 갖는 제1 반도체 재료로 제조된 지지 기판을 제공하는 단계;
- [0050] 지지 기판 상에 제1 재료 및 소정의 높이로 형성된 복수의 기둥들을 마스크에 따라 국부적으로 코팅하는 단계 - 기둥들의 상부 표면은 기판의 제1 측면을 정의하고, 기둥들은 기둥들의 결정된 높이에 의해 정의된 깊이까지 기판의 제1 측면으로부터 연장되는 복수의 트렌치에 의해 서로 절연됨 -;
- [0051] 제1 측면 상에 제1 재료의 제1 영역들 및 제2 재료의 적어도 하나의 제2 구역을 형성하기 위해 제2 재료로 복수의 트렌치들을 충전하는 단계를 포함한다.
- [0052] 방법은, 10 마이크론 미만인 최대 치수를 갖는 제1 구역들이, 제2 재료가 10 kohms.cm 초과의 비저항을 갖는 제2 구역에 의해 서로 절연된다는 점에서 현저하다.

## 도면의 간단한 설명

[0053]

본 발명의 다른 특성들 및 이점들은 첨부된 도면들을 참조하여 후속하는 본 발명의 상세한 설명으로부터 나타날 것이다:

도 1a 내지 도 1d는 본 발명에 따른 기판을 제조하는 방법의 단계들을 도시한다.

도 2 및 도 3은 본 발명에 따른 기판들의 2개의 변형들을 평면도 및 단면도로 도시한다.

도 4a 및 도 4b는 본 발명에 따른 기판들의 다른 변형들을 단면도로 도시한다.

도 5a, 도 5b, 도 6a 내지 도 6d 및 도 9는 본 발명에 따른 기판들을 도시한다.

도 7 및 도 8은 본 발명에 따른 무선 주파수 마이크로전자 디바이스들의 구조들을 도시한다.

도 10은 본 발명에 따른 구조들에서, 무선 주파수 마이크로전자 디바이스들의 동작 주파수에 따라 기판의 유효 비저항을 표현하는 그래프를 도시한다.

## 발명을 실시하기 위한 구체적인 내용

[0054]

설명 부분에서, 도면들에서 동일한 참조들은 동일한 유형의 엘리먼트들에 대해 사용될 수 있다. 도면들은 명료성을 위해 스케일링하지 않은 개략도들이다. 특히, Z 축을 따른 층들의 두께들은 X 축 및 Y 축을 따른 측방향 치수들에 대하여 스케일링되지 않고; 이를 사이의 층들의 상대적 두께들은 반드시 도면들에서 고려되지 않는다.

[0055]

본 발명은 도 1a 내지 도 1c에 도시된 무선 주파수 마이크로전자 디바이스들에 적합한 기판을 생성하는 방법에 관한 것이다. 이 방법은 500 ohms.cm 초과의 비저항을 갖는 제1 반도체 재료( $10^1$ )를 지지 기판(10)에 제공하는 단계를 포함한다(도 1a). 유리하게는, 제1 재료의 비저항은 심지어 1,000 ohms.cm 초과, 또는 심지어 3,000 ohms.cm 초과로 선택될 것이다. 예시로서, 제1 재료( $10^1$ )는 단결정 실리콘일 수 있다.

[0056]

본 발명에 따르면, 방법은 또한 지지 기판(10)의 제1 측면(1)으로부터 결정된 깊이까지 연장되는 복수의 트렌치들(2)을 갖는 기판(10)의 제1 측면(1)을 마스크에 따라 에칭하는 단계를 포함한다. 이러한 에칭 단계 이전에, 상기 마스크에 따라 에칭될 패턴들을 정의하고 마스킹 층에 의해 에칭되지 않는 패턴들을 보호하기 위해 통상적으로 구현되는 포토리소그래피 단계가 선행될 수 있다. 에칭하는 단계는 습식 또는 건식 화학적 에칭의 공지된 기술들에 의해 수행될 수 있다. 그 다음, 지지 기판(10)의 제1 측면(1) 상에 증착된 마스킹 층이 제거되어, 도 1b에 예시된 트렌치들(2)을 포함하는 기판(10)을 획득할 수 있다.

[0057]

변화에 따르면, 트렌치들(2)은 지지 기판(10) 상에 제1 재료 및 소정의 높이로 제조된 복수의 기둥들을 마스크에 따라 국부적으로 코팅함으로써 생성될 수 있다. 코팅 후에, 기둥들의 상부 표면은 기판(10)의 제1 측면을 정의하고, 기둥들은 상기 제1 측면으로부터 기둥들의 높이에 의해 정의되는 깊이까지 연장되는 복수의 트렌치들에 의해 서로 절연된다. 이러한 국부적 코팅은, 예를 들어, 선택적 에피택시에 의해 수행될 수 있고: 이러한 경우, 코팅이 없는 영역들은 마스킹 층(특히, 실리콘 산화물 또는 질화물)에 의해 커버된다. 그 다음, 에피택시는 마스킹되지 않은 영역들 상에서 국부적으로 발생한다. 에피택시 후에, 트렌치들의 바닥에 존재하는 마스킹 층은 습식 또는 건식 에칭에 의해 유지되거나 제거될 수 있다.

[0058]

제조 공정은 복수의 트렌치들(2)을 제2 재료(20)로 충전하는 단계를 더 포함한다. 제2 재료(20)는 그 전기적 특성들 때문에 선택될 것이고: 특히 10 kohms.cm 초과의 비저항을 가질 것이다. 제2 재료(20)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 알루미늄 질화물과 같은 전기 절연체들로부터 선택될 수 있다. 대안적으로, 비정질, 다결정, 진성 실리콘과 같은 고 저항성 반도체들로부터 또는 예를 들어 온도 비저항을 안정화시키기 위한 선택된 조성들로 선택될 수 있다(특히 탄소 도핑된 또는 탄소가 풍부한 실리콘인 경우). 마지막으로, 제2 재료(20)는 절연성 중합체들로부터 또한 선택될 수 있다.

[0059]

예시로서, 트렌치들(2)을 충전하는 단계는 화학적, 증기 또는 액체 코팅에 의해 또는 열 처리에 의해(예를 들어, 실리콘 산화물로 충전하는 경우의 열 산화에 의해) 수행될 수 있다. 바람직하게는, 제2 재료(20)는 특정 RF 디바이스들의 후속 제조에 요구되는 높은 열 처리들(특히 1000°C 또는 심지어 1200°C까지)을 견딜 수 있다. 몇몇 경우들에서, 기판(100) 상의 디바이스들을 제조하는 후속 단계들 동안 제2 재료(20)는 중간 온도 또는 저온 처리들(500°C 또는 심지어 350°C 미만)을 겪어야 할 것이고; 이는 예를 들어 "졸-겔" 유형 기술들(스핀-코팅)에 의해 증착된 중합체들과 같은 제2 재료(20)에 대한 다른 옵션들을 허용할 것이다.

- [0060] 제조 공정의 이러한 단계에서 획득된 기판(100)은 도 1c에 예시되어 있다.
- [0061] 도 1d에 예시된 변형에 따르면, 트렌치들(2)은 부분적으로는 제2 재료(20)에 의해 그리고 부분적으로는 제2 재료(20)와 상이한 성질 및/또는 조성의 제3 재료(23)에 의해 충전될 수 있다. 제3 재료(23)는 제2 재료(20)로 구성될 수 있는 것으로 언급된 재료들로부터 선택될 수 있다. 유리하게는, 제3 재료(23)는 먼저 트렌치들(2)의 내부 벽들 상에 증착되고; 그 다음, 제2 재료(20)는 제3 재료(23) 상에 증착되어 트렌치들(2)을 충전한다. 일례로서 그리고 제한하는 것으로 고려되지 않고, 제1 다결정 실리콘 코팅은 트렌치들(2)의 내부 벽들 상에 제조될 수 있으며; 그 다음, 제2 실리콘 질화물 코팅이 다결정 실리콘 상에 형성되어 트렌치들(2)을 충전할 수 있다. 이러한 예에서, 제3 재료(23)는 다결정 실리콘으로 제조되고, 제2 재료(20)는 실리콘 질화물로 제조된다.
- [0062] 다른 변형에 따르면, 트렌치들(2)은 캐비티들의 상태로, 즉, 어떠한 고체 재료로 충전함이 없이 유지될 수 있다. 제2 재료(20)는 이러한 경우 가스 또는 가스성 혼합물, 예를 들어 본 발명에 따른 제조 공정 동안 추후에 도입될 수 있는 공기 또는 다른 가스들로 구성된다.
- [0063] 이러한 변형에 따르면, 제3 재료(23)가 또한 트렌치들(2)의 내부 벽들 상에 증착될 수 있으며, 그렇지 않으면 트렌치(2)의 대부분은 가스 또는 가스성 혼합물로만 충전된다.
- [0064] 도 2a는 평면도, 즉 제1 측면(1)에 따른 기판(100)을 예시한다. 도 2a에 예시된 단면도 C를 따른 동일한 기판(100)의 단면도가 도 2b에 제시되어 있음을 주목한다.
- [0065] 트렌치들(2)은 제1 측면(1) 상에 제1 재료(10')의 제1 영역들(11) 및 제2 재료(20)의 적어도 하나의 제2 구역(21)을 형성하기 위해 제2 재료(20)로 충전된다. 기판(100)은 제1 구역들(11)이 10 마이크론 미만의 최대 치수를 갖는다는 점에서 현저하다. 다른 유리한 실시예들에 따르면, 제1 구역들(11)의 최대 치수는 심지어 8 마이크론, 5 마이크론 또는 심지어 2 마이크론 미만일 것이다.
- [0066] 기판(100)은 또한 제1 구역들(11)이 제2 재료(20)로 제조된 제2 구역(21)에 의해 서로 격리되어 있다는, 즉, 이들이 서로 접촉하지 않는다는 점에서 현저하다. 유리하게는, 이들은 서로 전기적으로 절연되며, 제2 재료(20)는 10 kohms.cm 초과의 비저항을 갖는다. 유리하게는, 제2 재료(20) 또는 제3 재료(23)는 사용되는 경우 제1 재료(10')에서 생성될 수 있는 이동가능한 전하들을 트래핑하는 특성을 갖는다.
- [0067] 도 2a 및 도 3a에 도시된 예들에 따르면, 적어도 하나의 제2 구역(21)은 제1 구역들(11) 각각을 분리하는 지지 기판(10)의 제1 측면(1) 상에 메시를 형성한다. 이러한 메시의 형상 및 구역들(11, 21)의 치수들에 따라, 제1 구역들(11)의 표면 밀도는 상이할 수 있다. 유리하게는, 제1 구역들(11)의 표면 밀도는, 지지 기판(10)의 제1 측면(1)으로부터 트렌치들(2)의 깊이까지 연장되는 기판(100)의 상부 부분(200) 상에서 20 W/m.K 초과의 평균 열 전도율, 제1 재료(10')의 유전율보다 작은 평균 유전율 및 제1 재료(10')의 비저항보다 큰 또는 적어도 1000 ohms.cm 초과의 유효 비저항을 제공하도록 선택될 것이다.
- [0068] 예시하자면, 제1 구역들(11)은 지지 기판(10)의 제1 측면(1)의 표면의 20 내지 70%를 커버할 수 있고, 제2 구역(21)은 추가 표면을 커버한다.
- [0069] 트렌치들(2)은 1 마이크론 내지 100 마이크론의 깊이를 갖는다. (기판(100)의 상부 부분(200) 위에 측방향으로 레이아웃될) 측방향 치수 a의 마이크로전자 디바이스의 경우, 전계가 기판(100)에서 대략 a/3의 깊이까지 침투할 것으로 간주될 수 있다. 따라서, 100 마이크론의 전형적인 측방향 치수를 갖는 RF 안테나 스위칭 유형 디바이스의 경우, 전계가 기판(100)의 상부 부분(200)만을 보도록 트렌치들(2)의 깊이는 약 30-40 마이크론이어야 한다. 그 다음, 상부 부분(200)의 전기적 특징들(유효 비저항, 유전율)은 위에 레이아웃된 마이크로전자 무선 주파수 디바이스들의 성능을 조절할 것이다.
- [0070] 공지된 예청 기술들은 통상적으로 1/5 내지 1/30인 폼 팩터(측방향 치수 대 깊이의 비)를 갖는 트렌치들을 생성하는 것을 가능하게 한다. 예를 들어, 본 발명에 따른 트렌치들(2)의 형상 팩터는 통상적으로 1/5 내지 1/30 사이일 것이고: 10 마이크론의 최대 측방향 치수에 대해, 트렌치들(2)의 깊이는 50 내지 100 마이크론일 수 있고; 1 마이크론의 최대 측방향 치수인 경우, 깊이는 5 마이크론 내지 30 마이크론일 수 있다.
- [0071] 도 4a 및 도 4b는 본 발명에 따른 기판(100)의 대안적 실시예를 도시한다. 기판(100)의 상부 부분(200)에서, 제1 재료(10')로 제조된 부분들은 깊이 방향으로 (즉, 도면들에서 Z 축을 따라) 세그먼트화될 수 있다. 이러한 목적을 위해, 제2 재료(20)의 적어도 하나의 세그먼트화 층(25)은 트렌치들(2)을 충전한 후 지지 기판(10)의 제1 측면(1)의 전체 표면 위에 증착될 수 있다. 이러한 세그먼트화 층(25)은 위에서 참조된 제2 재료들(20) 중

하나에서, 트렌치들(2)을 충전하기 위해 사용된 것과 동일하거나 상이할 수 있다.

[0072] 그 다음, 제1 구역들(11)에 대향하는 제1 재료(10') 및 제2 구역들(21)에 대향하는 제2 재료(20)의 국부적인 코팅의 후속 단계들이 수행될 것이다. 이러한 단계들은 상부 부분(200)의 두께에서 몇몇 세그먼트화들을 달성하는데 필요한 만큼 여러번 반복될 수 있다.

[0073] 대안적으로, 상부 부분(200) 내의 제1 재료(10')에 의해 구성된 부분들의 세그먼트화는 기판(100) 내의 이온 주입에 의해 수행될 수 있다. 예시하자면, 상부(200)의 제1 재료 부분들(10')을 깊이에서 세그먼트화하는 층(25)을 구성하기 위해, 산소, 질소, 수소, 헬륨 등으로부터 선택된 종이 주어진 깊이에 도입될 수 있다.

[0074] 본 발명에 따른 무선 주파수 마이크로전자 디바이스들을 위한 기판을 제조하는 방법은 지지 기판(10)의 제1 측면(1) 상에 유전체 층(30)의 형성 단계(도 5a)를 더 포함할 수 있다. 예시하자면, 그 두께는 수 나노미터 내지 3  $\mu\text{m}$ 에서 변할 수 있다. 바람직하게는, 유전체 층(30)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 또는 알루미늄 질화물로부터 선택되는 재료로부터 제조된다. 이는 다양한 공지된 화학 증착 기술들에 의해 증착될 수 있다. 유전체 층(30)은 선택적으로 제2 재료(20)와 동일한 성질일 수 있다.

[0075] 도 5b에 예시된 변형에 따르면, 유전체 층(30) 아래에 제2 재료의 층이 존재한다. 실제로, 본 발명에 따른 방법의 트렌치 충전 단계(2) 동안, 제2 재료(20)의 층은 지지 기판(10)의 제1 측면(1) 상에 및 트렌치들(2) 내에 증착될 수 있다. 그 다음, 지지 기판(10)의 제1 측면(1) 상의 제2 재료(20)에 잔여 층(22)을 남기고 표면 토플로지를 감소시키기 위해 이러한 층의 평탄화 단계(예를 들어, 기계 화학적 연마)가 수행될 수 있다.

[0076] 다른 변형(미도시)에 따르면, 잔여 층(22)은 유전체 층(30)의 전부 또는 일부를 구성할 수 있다.

[0077] 제조 공정은 또한 유전체 층(30)의 형성 전에 지지 기판(10)의 제1 측면(1) 상에 추가 층(24)의 형성 단계를 포함할 수 있다(도 9). 바람직하게는, 이러한 추가 층(24)은 제3 재료(23)로 구성되고, 제3 재료는 제1 재료(10')에서 생성될 수 있는 이동 전하들(자유 캐리어들)를 트래핑하는 특성들을 갖는다.

[0078] 본 발명에 따른 무선 주파수 마이크로전자 디바이스들을 위한 기판 제조 방법은 또한 본 발명에 따른 기판(100 또는 101) 상에 레이아웃된 유용한 층(40)의 형성 단계를 포함할 수 있다.

[0079] 예시하자면, 유용한 층(40)은 다음을 포함하는, 당업자들에게 널리 공지된 박막 전사 방법들 중 하나에 의해 전사된다:

[0080] 도우너 기판에 가벼운 수소 및/또는 헬륨 이온들의 주입 및 결합에 기초하는, 예를 들어, 이러한 도우너 기판의 기판(100 또는 101)에의 분자 결합에 의한 스마트 Cut™ 공정; 그 다음, 분리 단계는 이온들의 주입 깊이에 의해 정의되는 취화(embrittlement) 레벨에서, 도우너 기판(유용한 층)으로부터 박막을 분리시키는 것을 가능하게 한다. 고온에서의 열 처리를 포함할 수 있는 마감 단계들은 마지막으로 유용한 층(40)에 요구되는 결정질 및 표면 품질을 제공한다. 이러한 공정은 특히, 예를 들어, 실리콘 층들에 대해 수 나노미터 내지 약 1.5  $\mu\text{m}$ 의 두께를 갖는 매우 얇은 유용한 층들의 제조에 특히 적합하다.

[0081] 특히 예를 들어, 수십 nm 내지 20  $\mu\text{m}$ 의 더 두꺼운 유용한 층들(40)을 획득하는 것을 가능하게 하는 스마트 컷 공정 및 후속하는 에피택셜 단계.

[0082] 직접 결합 및 기계적, 화학적 및/또는 화학 기계적 박형화 공정; 이들은 기판(100 또는 101) 상에 직접 분자 결합에 의해 도우너 기판을 조립하는 것, 그 다음, 예를 들어 그라인딩 및 CMP("화학 기계적 연마"를 나타냄)에 의해 유용한 층(40)의 원하는 두께까지 도우너 기판을 박형화하는 것으로 이루어진다. 이러한 공정들은 예를 들어, 수 마이크론 내지 수십 마이크론 및 최대 수백 마이크론의 두꺼운 층들을 전사하는데 특히 적합하다.

[0083] 전술한 층 전사 공정들은 유리하게는 (이로부터 활성 층이 유도될) 도우너 기판 및 지지 기판(100, 101)의 분자 접착 결합 상태에 기초한다. 트렌치들(2)을 충전하는 제2 재료(20)가 가스 또는 가스성 혼합물인 특정 경우에, 결합 인클로저 내의 분위기(가스의 조성, 압력 등)가 제어되어, 2개의 기판들의 조립 이후 트렌치들(2)에 트래핑된 가스는 예상되는 제2 재료(20)에 대응한다. 특히, 결합 챔버 내의 분위기는 트렌치들(2)에서 준-진공 구성을 달성하기 위해 매우 낮은 압력이 될 수 있으며, 이러한 유형의 구성은 일부 경우들에서 표면의 유용한 층(40)의 기계적 강도에 우호적이다.

[0084] 유용한 층(40)은 재료 또는 재료들의 스택으로 구성되어 아날로그 또는 디지털인 RF 디바이스들을 구현하는 것을 가능하게 한다. 따라서, 이는 타겟팅된 RF 디바이스들의 유형에 따라 반도체, 전도성 또는 절연 재료들 중에서 선택될 수 있고, 보다 구체적으로는 압전 재료들 중에서 선택된 재료로 구성될 수 있다.

- [0085] 유용한 층(40)은 예를 들어, 실리콘, 게르마늄 실리콘, 게르마늄, III-V 재료, 리튬 니오베이트, 리튬 탄탈레이트, 알루미늄 질화물, PZT 등으로 제조될 수 있다.
- [0086] 도 6a, 도 6b 및 도 6c는 본 발명에 따른 기판들(102)을 예시하며:
- [0087] 유용한 층(40),
- [0088] 유전체 층(30),
- [0089] 제1 재료(10')로 제조된 지지 기판(10)을 포함하는 기판(100), 및
- [0090] 제2 재료(20)로 충전된 트렌치들(2)(도 6a);
- [0091] 그 벽들이 제3 재료(23)로 라이닝되고, 제2 재료(20)로 충전되는 트렌치들(2)(도 6b);
- [0092] 그 벽들이 제3 재료(23)에 의해 라이닝되고, 제2 재료(20)로 충전되는 트렌치들(2)을 포함하고; 추가 층(24)은 지지 기판(10)의 제1 측면과 유전체 층(30) 사이에 개재된다(도 6c).
- [0093] 무선 주파수 애플리케이션들을 위한 SOI 기판들의 분야에서 널리 공지된 바와 같이, 예를 들어 실리콘 캐리어 기판 상의 실리콘 산화물에 의해 형성된 유전체 층은 양전하들을 갖는다. 이러한 전하들은 유전체 층과의 계면에서 지지 기판으로부터 오는 음전하들에 의해 보상된다. 이러한 전하들은 유전체 층 아래의 지지 기판 내에 표면 기생 전도성 층을 생성하며: 그 다음, 이러한 전도성 층에서의 지지 기판의 비저항은 약 10~100 ohm.cm로 떨어진다. 따라서, 지지 기판의 비저항(예를 들어, 신호의 선형성, 삽입 손실들의 레벨, 수동 컴포넌트들의 품질 팩터들 등)에 민감한 전기적 성능들은 이러한 전도성 층의 존재에 의해 심각하게 저하된다.
- [0094] 기판(102)의 상부 부분(200)의 역할은 특히 지지 기판(10)의 제1 측면 인근에서 생성된 이동 전하들의 이동을 차단하여 높고 안정한 비저항 레벨을 유지하는 것이다.
- [0095] 실제로, 제1 구역들(11)의 최대 치수에 대한 제한은 지지 기판(10)을 구성하는 제1 반도체 재료(10')에서의 잠재적인 이동 전하들의 이동을 차단하는 것을 가능하게 한다. 전하들은 제2 재료(20)로 충전된 트렌치들(2)을 우회함으로써 제1 구역(11)으로부터 다른 제1 이웃 구역(11)으로 통과하기 위해 더 먼 거리를 이동해야 한다. 따라서, 기판(102)의 상부 부분(200)의 유효 비저항이 증가된다. 이는 RF 디바이스들을 포함하는 기판(102) 내의 유전체 층 아래에 나타나는 기생 전도의 유해한 영향들 전부 또는 일부를 제거하는 것을 가능하게 한다.
- [0096] 예시하자면, 8 kohms.cm의 공칭 비저항을 갖는 단결정 실리콘 기판(10), 제3 재료(23)로서 중착된 다결정 실리콘, 제2 재료로서 중착된 실리콘 이산화물로 형성된 도 6b에 예시된 바와 같은 기판(102)의 경우를 고려하며, 트렌치들(2)은 20 마이크론의 깊이를 갖고; 유전체 층(30)은 또한 실리콘 이산화물로 제조되고, 유용한 층(40)은 단결정 실리콘으로 제조된다. 도 10은 유용한 층(40) 내에 및/또는 상에 존재하는 무선 주파수 디바이스들의 동작 주파수의 함수로서 지지 기판(10)의 상부 부분(200)의 유효 비저항의 전개의 시뮬레이션을 도시한다. 도 10의 변형들 A, B 및 C는 제1 구역들(11)의 3개의 상이한 최대 치수들, 즉 10 마이크론(A), 5 마이크론(B) 및 2 마이크론(C)에 대응한다. 변형 A는 상부 부분(200)의 유효 비저항이 약 2.5 GHz 미만의 주파수들에 대해 1,000 ohms.cm 초과로 유지됨을 보여준다. 변형 B는 5GHz 미만의 모든 주파수들에 대해 1,000 ohms.cm 초과의 유효 비저항이 유지되도록 허용한다. 마지막으로, 변형 C는 5 GHz 미만의 주파수들에 대해 지지 기판(10)의 공칭 비저항 초과인 상부 부분(200)의 유효 비저항을 획득하는 것을 가능하게 하며; 또한 15 GHz 미만의 모든 주파수들에 대해 1,000 ohms.cm 초과의 유효 비저항을 유지하는 것을 가능하게 한다. 따라서, 실리콘 산화물의 유전체 층(30) 아래의 제1 재료(10')(실리콘)에서 생성된 이동 전하들의 제1 구역들(11)에서의 한정은 지지 기판(10)의 상부 부분(200)의 유효 비저항을 증가시키는 것을 가능하게 하며: 제1 구역들(11)의 치수들은 유효 비저항이 증가함에 따라 감소되고 넓은 주파수 범위에 걸쳐 높게 유지된다.
- [0097] 상부 부분(200)의 유전율은 또한 트렌치들(2) 내에 제2 재료(실리콘 이산화물)의 존재로 인해 초기 지지체(10) 기판(실리콘)의 유전율에 비해 개선된다.
- [0098] 제1 구역(11) 및 제2 구역(21)의 밀도는 20 W/m.K 초과의 지지 기판(11)의 평균 열 전도율을 유지하도록 선택되며, 이는 제2 구역(21)의 (X, Y 평면에서의) 치수들을 변경함으로써 달성된다.
- [0099] 마지막으로, 100 °C 초과의 RF 성능들의 안정성은 트렌치들(2)의 내부 벽들 상에 제3 재료(23)(다결정 실리콘)의 존재로 인해 기판(10)의 상부 부분(200)에서 개선될 수 있으며, 제3 재료(23)는 유리하게는, 트렌치들(2) 사이의 제1 재료(10')에서 생성된 열 캐리어들의 적어도 일부가 트렌치들(2)의 전체 깊이에 걸쳐 제3 재료(23)의 레벨로 트래핑될 것이기 때문에 이동가능한 전하들을 트래핑하는 특성들을 가져서 넓은 범위의 온도들에 걸쳐

더 안정된 유효 비저항을 상부 부분(200)에 제공한다.

[0100] 실온의 유효 비저항, 유전율 및 열 전도도의 실질적으로 유사한 성능들은, 예를 들어 제2 재료(20)로서 가스 또는 가스성 혼합물(대기압 또는 더 낮게 제어된 압력에서의 공기 또는 질소)의 8 kohms.cm에서 공칭 비저항을 갖는 단결정 실리콘으로 제조된 지지 기판(10)으로 형성된 도 6a에 예시된 바와 같은 기판(102)으로 예상되며, 트렌치들(2)은 20 마이크론의 깊이를 갖고; 유전체 층(30)은 또한 실리콘 이산화물로 제조되고 유용한 층(40)은 단결정 실리콘으로 제조된다.

[0101] 다른 예에 따르면, 고 저항성 폴리-실리콘으로 제조된 (트렌치들(2)을 충전하는) 제2 재료(20)를 갖는 도 6A에 기초한 기판(102)은 넓은 범위의 온도들에 걸친 유효 비저항 및 상부 부분(200)의 열 전도도의 안정성에 비해 개선된 성능들을 가져야 하며; 한편, 상부 부분(200)의 유전율은 지지 기판(10)(실리콘)의 유전율에 근접하게 유지될 것이다.

[0102] 또 다른 예에 따르면, 증착된 실리콘 이산화물 또는 실리콘 질화물의 제2 재료(23)로서 증착된 단결정 실리콘의 8 kohms.cm의 공칭 비저항을 갖는 단결정 실리콘 지지 기판(10)으로부터 형성된 도 6c에 예시된 바와 같은 기판(102)의 경우를 고려하며, 트렌치들(2)은 20 마이크론의 깊이를 갖고; 추가 층(24)은 폴리-실리콘으로 제조되고, 유전체 층(30)은 또한 실리콘 이산화물로 제조되고, 유용한 층(40)은 단결정 실리콘으로 제조된다.

[0103] 고주파수 범위들(전형적으로 50 GHz까지)에 걸쳐 상부 부분(200)의 유효 비저항에 관한 성능들은 이전 예들에 비해 여전히 현저하게 개선되며: 유효 비저항은 30 kohms.cm까지의 값들에 도달한다. 이러한 예에서, 유전체 층(30) 아래의 제3 재료(23)(폴리-실리콘)의 추가 층(24)이 존재는, 제1 구역들(11)에서 생성된 자유 캐리어들을 효과적으로 트래핑하는 것을 가능하게 한다. 제1 재료(10')에 존재하는 잔여 이동 전하들의 (제1 구역들(11)에서의) 제한은 지지 기판(10)의 상부 부분(200)의 유효 비저항을 추가로 증가시키는 것을 가능하게 한다.

[0104] 제1 구역들(11)의 최대 크기는 유리하게는 기판(102) 상에 생성될 디바이스들에 따라 그리고 특히 그 크기에 따라 선택되는데: 예를 들어 0.3 마이크론 미만의 채널 길이 및 500 마이크론 초과의 채널 폭을 특징으로 하는 트랜지스터들을 포함하는 안테나 스위치-유형 디바이스의 경우, 제1 구역들(11)의 (도면들에서 X, Y 평면들에서의) 최대 치수는 약 1마이크론으로부터 선택될 것이다.

[0105] 일반적으로, 제1 구역들(11)의 최대 치수 및 제2 구역(21)의 치수들은, 각각의 구성 요소가 기판(102)을 실질적으로 균질한 기판으로서 "인식"하도록, 즉, 디바이스가 오직 제1 구역(11) 또는 오직 제2 구역(21) 위에 레이아웃되지 않도록 선택된다. 컴포넌트(이 경우, 트랜지스터)가 복수의 제1 구역들(11) 위로 연장되는 적어도 하나의 치수를 갖는 것이 유리하다. 이는, 상기 컴포넌트들의 레벨에서의 불균질한 기계적 제약들을 특히 제한하는 것을 가능하게 하여, 컴포넌트들의 전기적 특징들에서 더 큰 분산을 생성할 수 있다.

[0106] 트렌치들(2)의 깊이 및 그에 따른 기판(101)의 상부 부분(200)의 두께는 또한 기판(102)(또는 기판(100 또는 101)) 상에 생성될 RF 디바이스들의 유형에 따라 정의된다. 구체적으로, 이러한 깊이는 디바이스들에 의해 생성된 전력 및 기판(102) 내의 전자기장의 침투 깊이에 기초하여 선택된다. 예를 들어, 1 와트의 전력을 스위칭하고, 필드의 침투가 약 50 마이크론인 안테나 스위치 유형 디바이스의 경우, 트렌치들(2)의 깊이는 50 마이크론 정도로 선택될 것이며, 통상적으로는 30 내지 70 마이크론이다.

[0107] 100 MHz 초과의 주파수들에서 동작하는 RF 디바이스들의 경우, 제2 재료(20) 또는 제3 재료가 사용될 때 기판들(102)의 일부 예들에서 이전에 나타낸 바와 같이, 제1 재료(10')에서 생성될 수 있는 이동가능한 전하들을 트래핑하기 위한 특성들을 갖는 것이 유리하다.

[0108] 본 발명은 또한 (도 7에 예시된) 무선 주파수 마이크로전자 디바이스들의 구조(110)와 관련되며:

[0109] 이전에 설명된 바와 같은 기판(100 또는 101 또는 102);

[0110] 마이크로전자 디바이스들(50)의 층은 기판(100, 101) 상에 직접 또는 그 자체가 기판(100, 101) 상에 레이아웃된 유전체 층(30) 상에 레이아웃된다.

[0111] 본 발명의 실시예에 따르면, 구조(110)의 마이크로전자 디바이스(50)는 안테나 스위치 또는 어댑터 또는 전력 증폭기 또는 저잡음 증폭기 또는 수동 컴포넌트(R, L, C)일 수 있다.

[0112] 이러한 유형의 디바이스의 제조를 위한 예시로서, 10 nm 내지 1.5 마이크론, 예를 들어, 145 nm의 두께를 갖는 실리콘으로 제조된 유용한 층(40), 및 20 nm 내지 2 마이크론, 예를 들어, 400 nm의 두께를 갖는 실리콘 산화물

로 제조된 하부 유전체 층(30)을 갖는 기판(102)을 사용하는 것이 가능할 것이고; 제1 구역들(11)은 2 마이크론 간격으로 이격되고 1 마이크론 떨어진 사각형들의 형상을 갖고, 상부 부분(200)은 50 마이크론의 두께(제2 재료(20))에 의해 충전된 트렌치들(2)의 깊이)에 걸쳐 연장된다. 제1 재료(10')는 단결정 실리콘이고, 제2 재료(20)는 실리콘 질화물이다. 선택적으로, 타겟팅된 캠포넌트들의 사용 빈도에 따라, 제3 재료(23)에 대응하는 탄소가 풍부한 다결정 실리콘 층은 제1 재료(10')와 제2 재료들 사이에 개재된 트렌치들(2)의 벽들을 라이닝할 수 있으며; 수십 nm 내지 200 nm의 두께를 가질 수 있다. 또 다른 옵션에 따르면, 추가의 다결정 실리콘 층(24)이 지지 기판(10)의 제1 측면과 유전체 층(30) 사이에 개재될 수 있고; 추가 층(24)은 통상적으로 100 nm 내지 1 마이크론 범위의 두께를 가질 수 있다.

[0113] 유용한 층(40) 내에 및 그 상에 전개된 디바이스들(50)의 층은 (MOS 유형, 바이폴라 유형 등의) 복수의 능동 캠포넌트들 및 (커패시터들, 인덕터들, 저항기들 등의) 복수의 수동 캠포넌트들을 포함한다.

[0114] 마이크로전자 캠포넌트들의 제조는 고온, 통상적으로 950-1100 °C 또는 심지어는 그 이상의 온도에서의 열 처리들을 포함하여 여러 단계들의 구현을 요구한다. 실리콘(제1 재료(10')), 실리콘 질화물(제2 재료(20)) 및 선택적으로 탄소가 풍부한 폴리-실리콘(제3 재료)으로 이루어진 기판(110)의 상부 부분(200)은 이의 RF 특성들에 영향을 미치기 쉬운 임의의 열화를 겪지 않으면서 이러한 유형의 처리를 견딜 수 있다.

[0115] 변화에 따르면, 디바이스들(50)의 층은 SOI 유형의 기판 상에 먼저 전개될 수 있고, 그 다음, 당업자들에게 공지된 층 전사 기술에 의해 본 발명에 따른 기판(100 또는 101) 상으로 전사되어 도 8에 예시된 구조(111)를 형성할 수 있다.

[0116] 도 8에서 구조(111)는 한편으로는 제2 재료(20)로 충전된 복수의 트렌치들(2)을 포함하는 지지 기판(10)을 포함하며, 그 위에 유전체 층으로 동작하는 제2 재료(20)로 제조된 잔여 층(22)이 선택적으로 레이아웃된다. 잔여 층의 상부에, 디바이스들(50)의 층이 있고; 소위 금속 상호연결부들의 층들의 "백 엔드(back end)" 부분 및 유전체들이 잔여 층(22) 위에 레이아웃되고, 유용한 층(40)에 부분적으로 전개되는 소위 "프론트 엔드(front end)" 부분(실리콘) 자체가 백-엔드 부분 위에 있다. 마지막으로, 유용한 층(40) 위에 선택적으로 유전체 층(31)이 있다.

[0117] 상술한 두 경우 모두에서, 디바이스들(50)에 확산되도록 의도되는 고주파수 신호들로부터 얻어지고 기판(100, 101, 102)으로 침투할 전자기장들은 지지 기판(10)의 제1 재료(10')의 공칭 비저항보다 큰 또는 적어도 1,000 ohms.cm 초과의 유효 비저항으로 인해 오직 약간의 손실들(삽입 손실들) 및 왜곡들(고조파)만을 겪을 것이고, 기판(110, 111)의 상부 부분(200)의 전체 동작 온도 범위 [-40 °C; 150 °C]에 걸쳐 안정되며: 실제로, 본 발명에 따른 상부 부분(200)의 구성은 (기생 전도성 층 또는 열 도우너들로부터 오는) 반도체 기판에서의 이동 전하들의 이동을 차단한다. 바람직하게는, 구조(110, 111)는 우호적인 열 소산 특성들을 가질 것이고, 제1 재료는 실리콘이다. 또한 유리하게는, 디바이스들(50)의 층과 지지 기판(10) 사이의 용량성 결합은 제2 재료(고 저항성 또는 절연성)로 충전된 트렌치들의 존재로 인해 실리콘의 유전율에 비해 감소된 상부 부분(200)의 평균 유전율로 인해 크게 감소될 것이다.

[0118] 본 발명의 다른 실시예에 따르면, 구조(110, 111)의 마이크로전자 디바이스(50)는 예를 들어, 적어도 하나의 제어 엘리먼트 및 예를 들어, 오믹 접촉을 갖는 마이크로스위치 또는 용량성 마이크로스위치로 이루어진 MEMS(Micro Electro-Mechanical Systems) 스위칭 엘리먼트를 포함하는 무선 주파수 MEMS 캠포넌트로 이루어질 수 있다.

[0119] 기판들(100, 101, 102) 중 하나는 MEMS 캠포넌트에 대한 지지 기판으로서 사용될 수 있다; 그 다음, MEMS 부품의 제조는 복수의 층들(전극, 유전체, 회생 층, 활성 층을 포함함)의 연속적인 코팅들에 기초하고 이러한 상이한 층들 상에 패턴들을 형성함으로써 이루어진다.

[0120] 제1 구역들(11)은 예를 들어 10 마이크론 간격으로 이격된 10 마이크론 떨어진 육각형들의 형태이며, 상부 부분(200)은 50 마이크론 두께(제2 재료(20)로 충전된 트렌치들(2)의 깊이)에 걸쳐 연장될 것이다. 제1 재료(10')는 단결정 실리콘일 수 있고, 제2 재료(20)는 실리콘 질화물로 제조된다.

[0121] MEMS 부분 전에 통상적으로 수행되는 제어 엘리먼트(들)(예를 들어 CMOS)를 제조하기 위한 마이크로전자 공정들은 이전 실시예에서와 같이 고온에서의 열 처리들의 적용을 요구한다.

[0122] 설명된 모든 실시예들에 적용될 수 있는 본 발명의 변형에 따르면, 기판(100)의 제1 측면(1) 상의 제2 구역(21)에 의해 형성된 메시는 제1 측면의 특정 영역들에 위치될 수 있다. 따라서, 기판(100)의 제1 측면(1) 상에 분포된 복수의 제2 구역들(21)을 갖는 것이 가능할 것이다. 따라서, 이러한 제2 구역들(21)이 결여된 제1 측면

(1)의 영역들에는 지지 기판(10)의 제1 재료(10')만이 발견된다. 디바이스의 제어 엘리먼트들(CMOS)은 비저항을 갖는 하부 기판, 즉 RF 엘리먼트들과 같은 제한적 유전율 특성들을 요구하지 않는 경우, 제2 구역들(21)이 없는(즉, 트렌치들(2)이 없는) 영역들에서 전개될 수 있다.

[0123] 전술한 바와 같이, 이러한 디바이스(50)에서 전파하는 고주파수 신호들은 지지 기판(10) 내로 침투하는 전자기장을 (특히, MEMS 스위칭 엘리먼트들의 레벨에서) 생성한다. 제2 재료(20)로 충전된 트렌치들을 포함하는 지지 기판(10)의 상부 부분(200)의 높고 안정된 유효 비저항 때문에 손실들(삽입 손실들), 왜곡들(고조파) 및 붕괴들이 적을 것이다.

[0124] 바람직하게는, 구조(110, 111)는 우호적인 열 소산 특성들을 가질 것이고, 제1 재료는 실리콘이다. 또한 유리하게는, 디바이스들(50)의 층과 지지 기판(10) 사이의 용량성 결합은 제2 재료(고 저항성 또는 절연성)로 충전된 트렌치들의 존재로 인해 실리콘의 유전율에 비해 감소된 상부 부분(200)의 평균 유전율로 인해 크게 감소될 것이다.

[0125] 본 발명의 또 다른 실시예에 따르면, 구조(110, 111)의 마이크로전자 디바이스(50)는 벌크 음향파 전파("Bulk Acoustic Wave"를 나타내는 "BAW"로 지칭됨)에 의해 또는 음향 전파("Surface Acoustic Wave"를 나타내는 "SAW"로 공지됨) 또는 임의의 다른 음향 전파 모드에 의해 동작하는 무선 주파수 필터로 이루어질 수 있다.

[0126] SAW 필터의 제조는 예를 들어 압전 재료로 제조된 유용한 층(40)을 요구하며, 그 표면 상에 전극 콤(comb)이 전개될 것이고: 음향파는 이들 전극들 사이에 확산되도록 의도된다. 따라서, 본 발명에 따른 구조(110)는 예시로서 200 nm 내지 20 μm의 두께를 갖는 리튬 탄탈레이트의 유용한 층(40)을 포함할 수 있다.

[0127] 제1 구역들(11)은 5 마이크론 이격된 직경 5 마이크론의 원형 형상을 가질 수 있고 상부 부분(200)는 두께 100 마이크론(트렌치 깊이(2))에 걸쳐 연장될 수 있다. 제1 재료(10')는 단결정 실리콘이고 제2 재료(20)는 공기 또는 비정질 또는 다결정 실리콘일 수 있다. 유전체 층(30)은 선택적으로 유용한 층(40)과 지지 기판(10)의 제1 측면(1) 사이에 추가될 수 있다.

[0128] 구조(110)는 고체 압전 기판보다 자연적으로 온도에서 더 안정된 것에 추가로, 특히 삽입 손실들 및 선형성의 관점에서 더 우수한 필터 성능을 획득하는 것을 가능하게 한다.

[0129] 본 발명에 따른 무선 주파수 애플리케이션들을 위한 기판들(100, 101, 102) 및 구조들(110, 111)은 앞서 언급된 실시예들로 제한되지 않는다. 이들은, 고주파수 신호들이 확산되고 지지 기판에서 바람직하지 않은 손실들 또는 교란들을 겪기 쉬운 임의의 애플리케이션에 적합하여: 실제로, 기판의 상부 부분(200)의 물리적 및 전기적 특징들은 전체 동작 온도 범위에 비해 안정된 양호한 RF 특성들(손실들, 비선성형들 및 다른 교란들을 제한함)을 조립체에 부여한다. 이들은 또한 우수한 열 전도성 특성들 및 11 미만의 상대 유전율을 부여하여 활성 층과 지지 기판(10) 사이의 약한 용량성 결합을 허용한다. 제1의 11 및 제2의 21 구역들의 치수들 및 제1의 10', 제2의 20 및 잠재적으로 제3의 재료들의 성질을 선택함으로써, 다른 것들에 비해 우선순위를 특정 성능들(유효 비저항, 온도에서의 안정성, 열 전도성, 유전율)에 부여하는 것이 가능하며; 한편, 애플리케이션들에 따라, 전개될 마이크로전자 디바이스들의 규격들을 충족시킬 뿐만 아니라 기판(100, 101, 102)의 제조 비용을 충족시켜 대량 채택을 가능하게 하는 절충안들이 그에 따라 발견될 수 있다.

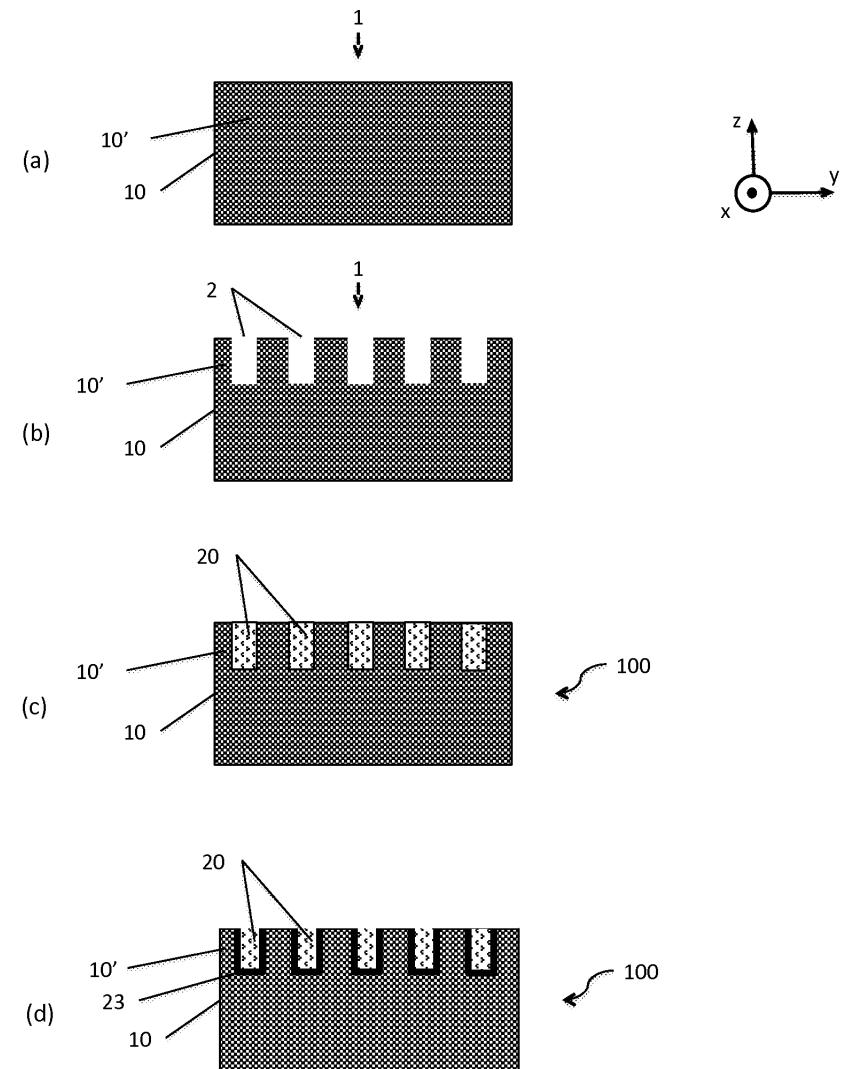
[0130] 본 발명에 따른 기판들(100, 101, 102) 및 구조들(110, 111)은 특히 RF 기능들을 고성능 디지털 또는 아날로그 기능들(즉, 높은 동작 주파수들  $f_T$ ,  $f_{max}$ 를 가짐)과 결합시키는 디바이스들에 관심의 대상이 될 수 있다.

[0131] 일부 경우들에서, 디지털 및/또는 아날로그 기능들은 본 발명에 따른 특성들을 갖는 저항성 기판을 요구하지 않는데: 제2 재료(20)로 충전된 트렌치들을 포함하는 본 발명에 따른 기판의 상부 부분(200)은 국부적일 수 있고 전체 기판(100, 101, 102) 상에 존재하지 않을 수 있다. 따라서, 기판의 제1 측면(1) 상에 제1 측면의 상이한 영역들에 위치되는 복수의 제2 구역들(21)이 있다. 따라서, 이러한 제2 구역들(21)이 결여된 제1 측면(1)의 영역들에는 지지 기판(10)의 제1 재료(10')만이 발견된다. 디바이스의 디지털 및/또는 아날로그 기능들은 비저항을 갖는 하부 기판, 즉 RF 컴포넌트들과 같은 제한적 유전율 특성들을 요구하지 않는 경우, 제2 구역들(21)이 없는(즉, 트렌치들(2)이 없는) 영역들에서 전개될 수 있다.

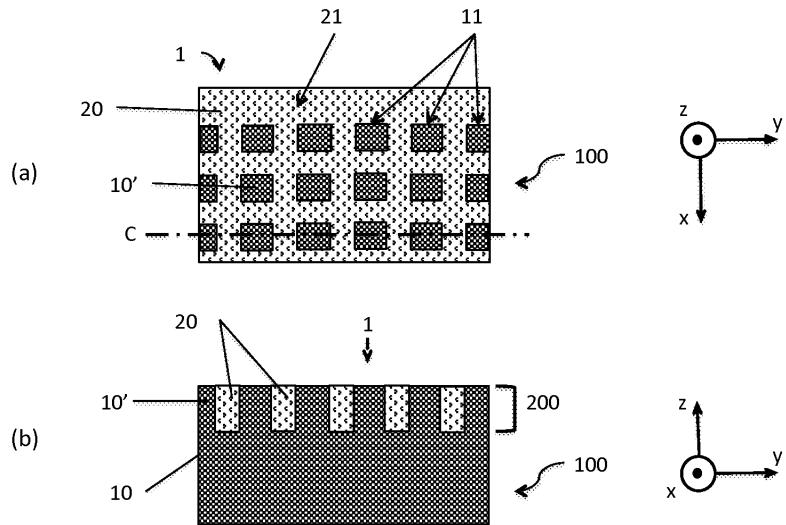
[0132] 물론, 본 발명은 설명된 실시예들 및 예시들로 제한되지 않으며, 청구항들에 의해 정의된 바와 같은 본 발명의 범위를 벗어남이 없이 변형들이 제공될 수 있다.

## 도면

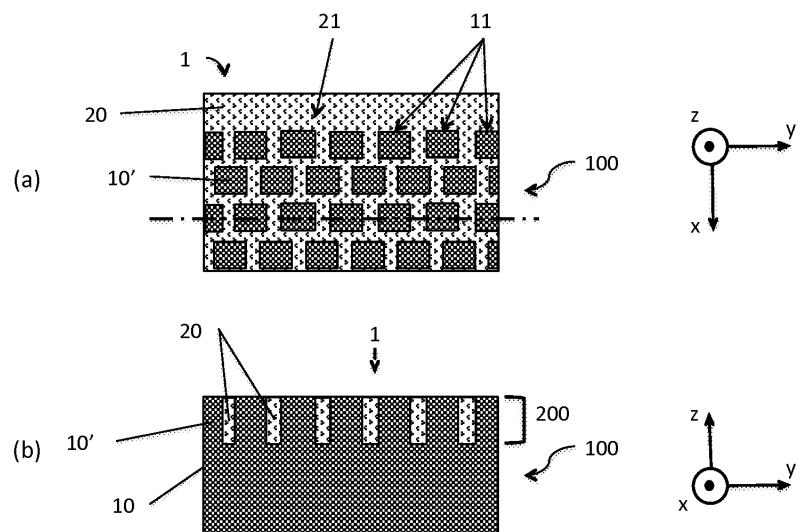
## 도면1



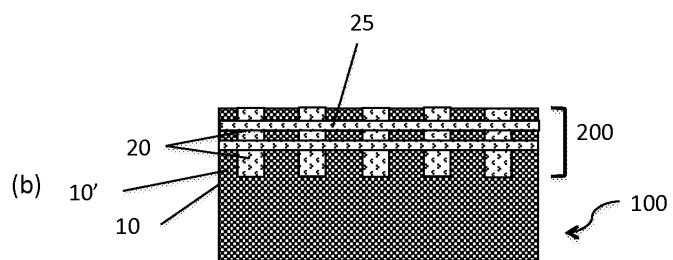
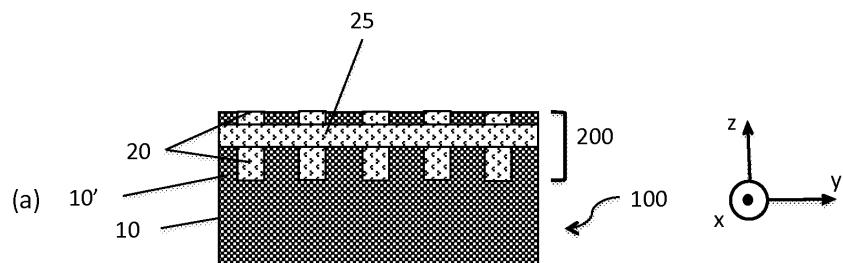
## 도면2



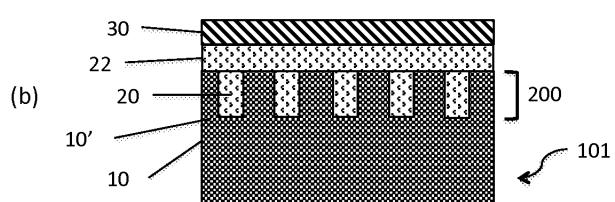
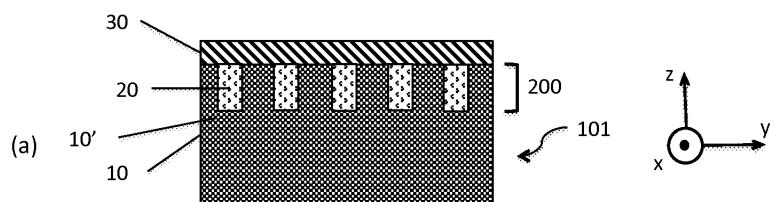
## 도면3



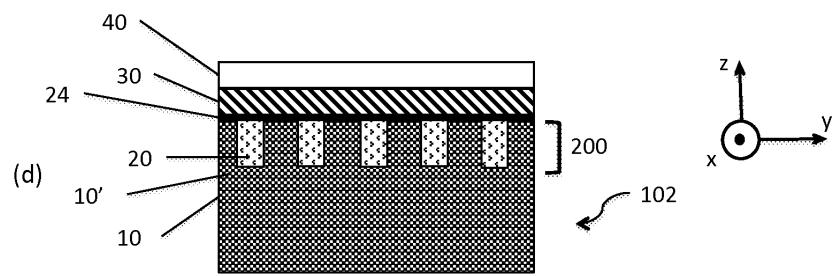
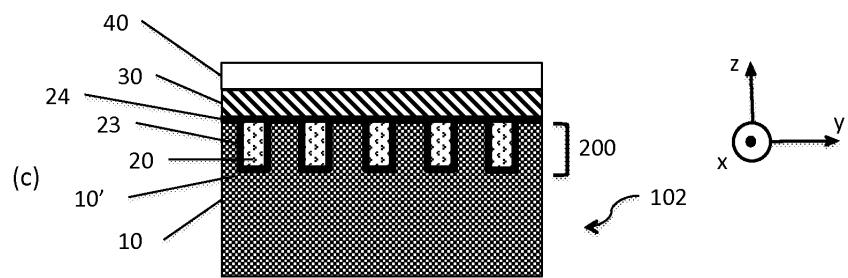
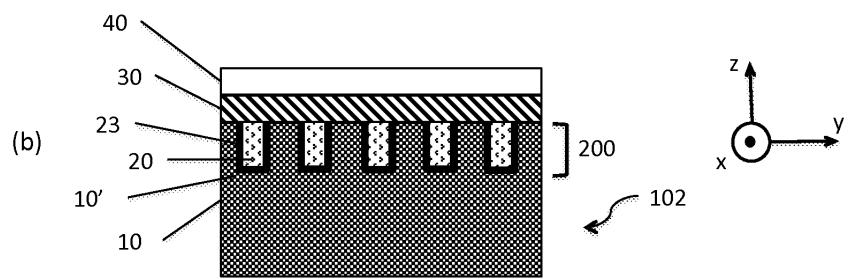
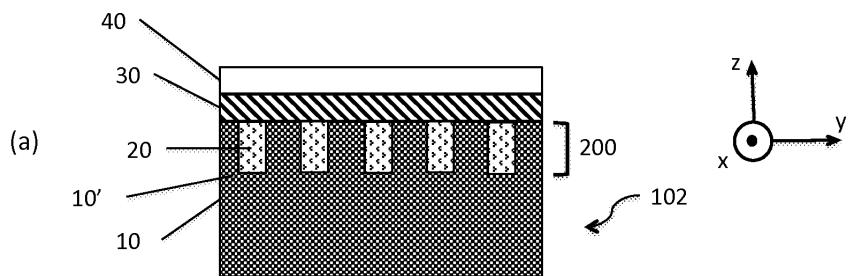
## 도면4



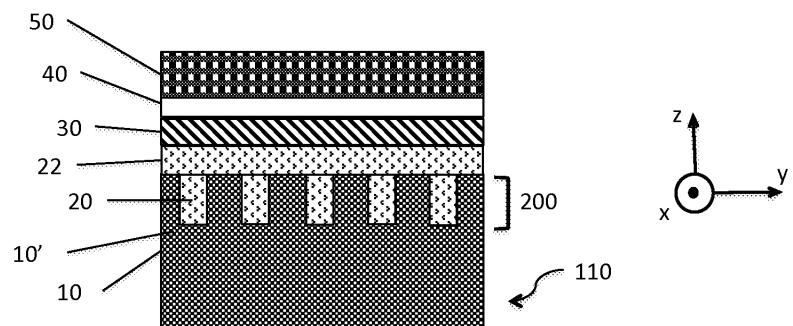
## 도면5



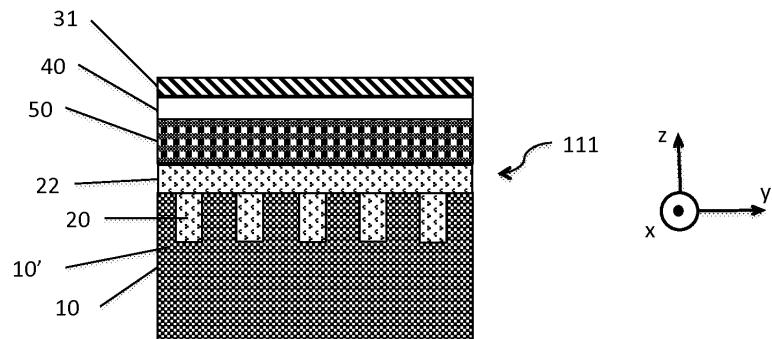
## 도면6



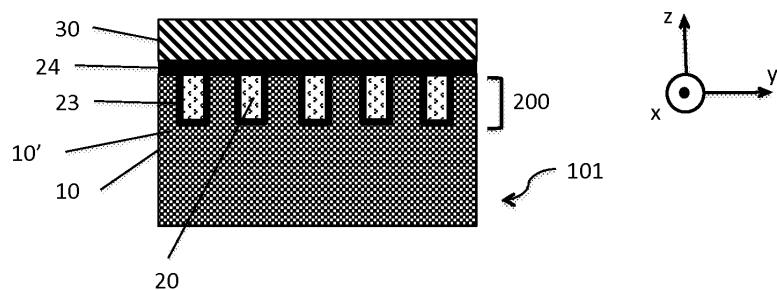
## 도면7



도면8



도면9



도면10

