

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 23026

(54) Procédé collectif de fabrication de circuits logiques comportant au moins un transistor à effet de champ du type à faible tension de seuil et une résistance saturable, et circuit logique réalisé par un tel procédé.

(51) Classification internationale (Int. Cl. ³). H 01 L 21/80; H 03 K.19/094.

(22) Date de dépôt..... 9 décembre 1981.

(33) (32) (31) Priorité revendiquée :

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 23 du 10-6-1983.

(71) Déposant : Société dite : THOMSON-CSF, société anonyme. — FR.

(72) Invention de : Christian Arnodo et Gérard Nuzillat.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Guilguet, Thomson-CSF, SCPI,
173, bd Haussmann, 75360 Paris Cedex 08.

PROCEDE COLLECTIF DE FABRICATION DE CIRCUITS LOGIQUES
COMPORTANT AU MOINS UN TRANSISTOR A EFFET DE CHAMP
DU TYPE A FAIBLE TENSION DE SEUIL ET UNE
RESISTANCE SATURABLE, ET CIRCUIT
LOGIQUE REALISE PAR UN TEL PROCEDE

L'invention concerne un procédé collectif de fabrication de circuits logiques comportant chacun au moins un transistor à effet de champ du type quasi-normalement bloqué ou à faible tension de seuil, et au moins une résistance saturable intégrée sur le même substrat semiconducteur que le
5 transistor.

On connaît de façon classique les transistors à effet de champ dits normalement conducteurs ("normally on" en anglais) et les transistors normalement bloqués ("normally off" en anglais). Les premiers sont bloqués par déplétion, nécessitant une alimentation à double polarité et présentant
10 en outre l'inconvénient d'une consommation de courant électrique à l'état de repos. Les seconds laissent passer le courant quand on applique une tension appropriée à la grille de commande : ils ne nécessitent pas une alimentation à double polarité et sont plus économiques, mais par contre difficiles à réaliser, à cause de la très faible épaisseur du canal de conduction en
15 donnant lieu à un grand nombre de déchets de fabrication.

Une troisième catégorie de transistors à effet de champ, qui est intermédiaire entre les deux précédentes tout en se rapprochant de la deuxième, est constituée par les transistors quasi-normalement bloqués ou à faible tension de seuil ils sont bloqués pour une tension de seuil V_T qui peut
20 être positive ou négative, ce qui signifie que l'on admet une certaine dispersion dans la fabrication collective de ces transistors qui est par exemple la suivante :

$$\begin{aligned} & -0,2 \text{ V} \leq V_T \leq +0,2 \text{ V} \\ & \text{ou } -0,3 \text{ V} \leq V_T \leq +0,3 \text{ V} \end{aligned}$$

25 Les transistors quasi-normalement bloqués ou à faible tension de seuil, que l'on désignera ci-après par l'abréviation T.F.S., sont plus faciles à fabriquer que les transistors normalement bloqués, mais moins faciles à fabriquer que les transistors normalement conducteurs. Ils sont situés entre

ces deux catégories en ce qui concerne la consommation de courant. On sait réaliser de tels transistors T.F.S., et des circuits logiques les utilisant, par la technique exposée dans la demande de brevet de la Demanderesse publiée sous le N° 2.449.369 le 12 Septembre 1980, dans laquelle le transistor à effet de champ du type T.F.S. comporte une tranchée creusée par érosion ionique entre source et drain, la grille étant déposée au fond de cette tranchée. En outre les circuits logiques qui les utilisent comportent des résistances saturables constitués par deux contacts ohmiques déposés sur la couche active du transistor à effet de champ et séparés par une tranchée creusée par érosion ionique dans la couche active à une profondeur telle que, dans l'épaisseur restante de la couche active, il puisse se former, pour un champ électrique donné, de l'ordre du volt, un domaine dipolaire analogue à celui qui circule dans une structure à effet Gunn, mais qui est ici stationnaire, par suite de la très faible largeur de la tranchée (de l'ordre du micron), ce domaine apparaissant pour une valeur très faible de la tension existant aux bornes de la résistance saturable, tension de l'ordre du volt.

Un exemple de circuit logique comportant deux transistors T.F.S. et deux résistances saturables du type décrit ci-avant est représenté à la figure 1.

Sur la figure 1, on a représenté un inverseur logique dont l'entrée A est connectée à la grille d'un transistor T_1 qui est un TFS. Ce transistor a sa source à la masse, son drain connecté au point I connecté lui-même au point chaud correspondant à un pôle (positif dans cet exemple) d'une source V_{DD} à travers une charge résistive CS_1 . L'exemple choisi correspond au cas du transistor à canal n. Pour un canal p les polarités doivent être inversées.

Le point I est connecté à la grille d'un transistor T_2 qui est un TFS. Le transistor T_2 a son drain connecté au pôle $+V_{DD}$, sa source à une diode D, passante dans le sens allant de $+V_{DD}$ à la masse. Le retour à la masse s'effectue à travers une charge résistive CS_2 du même type que CS_1 . La sortie \bar{A} de l'inverseur est prise entre D et CS_2 .

On rappelle brièvement les règles de fonctionnement de l'inverseur. Lorsque l'entrée A est à l'état "0" (potentiel nul ou légèrement positif), le transistor T_1 est bloqué ou quasi-bloqué. Le potentiel au point I est voisin de celui du pôle $+V_{DD}$. La jonction grille-source du transistor T_2 étant

polarisée en direct, le potentiel de la source tend à monter, de même que la sortie A, mais avec un décalage de tension dû à la diode. On a l'état "1" de la sortie, dont le potentiel est positif grâce à la présence de la charge résistive CS_2 .

5 Lorsque l'entrée A est à l'état "1" (par exemple au voisinage de 0,8 volt), le potentiel du point I est bas, de l'ordre de la tension de déchet du transistor T_1 , et le transistor T_2 est par conséquent bloqué par sa grille. On montre que, grâce à la présence de la diode D, le potentiel de la sortie A est voisin de la masse (état "0").

10 Un tel circuit logique pourrait fonctionner avec des résistances intégrées, même non saturables. Toutefois, les avantages suivants découlent de l'utilisation de résistances saturables :

1° diminution d'encombrement de la résistance pour une même valeur ohmique réalisée, d'où une diminution de la surface du circuit intégré et une
15 économie de matériau semiconducteur ;

2° une diminution de la puissance fournie par la source d'alimentation électrique du circuit ;

3° une amélioration du gain du transistor de la branche d'entrée du circuit logique (étage comportant le transistor T_1 et la résistance saturable CS_1) ;
20

4° meilleure protection contre le bruit et la dispersion des caractéristiques des transistors fabriqués collectivement sur une même rondelle de matériau semiconducteur, due à l'amélioration de la caractéristique de transfert du circuit (caractéristique d'inversion dans le cas du circuit de la
25 figure 1).

Toutefois, la réalisation de résistances saturables de valeur précise, comportant une tranchée, représente une assez lourde sujétion technologique.

L'invention vise à s'affranchir d'une telle sujétion.

30 Le procédé de fabrication selon l'invention a pour but la fabrication collective de circuits logiques comportant chacun au moins un transistor à effet de champ à T.F.S. et une résistance saturable.

Il comporte les étapes suivantes :

a) Fabrication d'une plaquette semiconductrice comprenant, sur un

substrat semi-isolant, une couche active d'épaisseur au moins égale à une valeur prédéterminée ;

b) Erosion de la couche active, par un procédé d'attaque électrochimique ou ionique, afin de diminuer l'épaisseur de celle-ci jusqu'à une
5 valeur a_1 mesurée à l'aide de moyens électroniques ;

c) Isolement des zones de la plaquette destinées à recevoir respectivement chaque composant de circuit logique, en procédant par attaque méso ou par implantation ionique de barrières isolantes ;

d) Dépôt des contacts ohmiques des transistors et des résistances
10 saturables ;

e) Formation simultanée de contacts Schottky déposés entre les contacts ohmiques des résistances saturables et de dépôts métalliques recouvrant les contacts ohmiques pour faciliter les prises de contact électrique.

15 f) Dépôt de métallisations raccordant l'un des contacts ohmiques de chaque résistance saturable et le contact Schottky réalisé à l'étape (e) ;

g) Réalisation de la tranchée de chaque transistor à T.F.S. par érosion ionique à une profondeur a_0 calculée en fonction de l'épaisseur a_1 mesurée à l'étape (b) ;

20 h) Dépôt des contacts Schottky dans le fond des tranchées réalisées à l'étape (g).

i) Réalisation des interconnexions et connexions propres à chaque circuit logique.

L'invention sera mieux comprise, et d'autres caractéristiques apparaîtront, au moyen de la description qui suit, et des dessins qui l'accompagnent,
25 parmi lesquels :

Les figures 1 et 9 représentent schématiquement des exemples de circuit logique (inverseur) dont celui de la figure 9 est réalisé à l'aide du procédé selon l'invention ;

30 Les figures 2 à 8 représentent, en coupes schématiques, différentes étapes du procédé selon l'invention.

La figure 1, déjà décrite ci-avant, représente un inverseur logique d'entrée A et de sortie \bar{A} , présentant un premier étage comportant un transistor T_1 et une résistance saturable CS_1 , et un étage de sortie

comportant, outre un transistor T_2 et une résistance saturable CS_2 , une diode redresseuse D.

La figure 9 représente le même type d'inverseur qu'à la figure 1 ; mais dans lequel les résistances saturables sont réalisées sous la forme de 5 transistors normalement passants TS_1 et TS_2 à grille reliée à la source.

Sur la figure 2, on a représenté le stade obtenu à la fin de l'étape (a) du procédé selon l'invention. Une plaquette semiconductrice en arséniure de gallium (représentée en coupe partielle transversale) comporte un substrat 1 et une couche active 2. Le substrat 1 est en arséniure de gallium isolant de 10 dopage résiduel inférieur à 10^3 atomes/cm³ (ou encore de résistivité supérieure à 10^7 Ohms-cm). La couche active 2, obtenue par exemple par épitaxie, et d'une épaisseur a supérieure à 2500 angströms avec une variation maximale d'épaisseur de l'ordre de 100 angströms sur 1 cm². Elle est dopée dans le type de conductivité n avec un taux de dopage de 15 10^{17} at/cm³ environ.

Sur la figure 3, on a représenté le résultat obtenu à la fin de l'étape (b) au cours de laquelle on a procédé alternativement à l'attaque de la surface libre de la couche 2 pour diminuer l'épaisseur de celle-ci. Le résultat recherché est une épaisseur a_1 de l'ordre de 2 000 angströms avec un profil 20 de dopage prédéterminé contrôlé à l'aide d'un appareil appelé couramment "profilomètre". L'attaque en surface est effectuée soit par oxydation anodique, soit par érosion ionique, soit par action d'un plasma spécifique du matériau. Le profilomètre permet de déterminer, par une mesure de capacité électrique, la profondeur de la zone déserte sous une tension 25 continue de valeur prédéterminée. L'appareil de mesure permet de tracer la courbe (ou profil) de l'épaisseur de la zone déserte en fonction de cette tension.

Sur la figure 4 on a représenté le résultat obtenu à l'issue de l'étape (c) dans le cas d'implantation d'ions tels que H^+ , B^+ et O^+ ayant pour effet de 30 créer des défauts de très grande densité dans le réseau cristallin, formant ainsi des barrières isolantes 41, 42 et 43 prévues ici pour isoler les deux composants du premier étage d'un circuit tel que celui de la figure 1 ou 9.

Sur la figure 5 on a représenté le résultat obtenu à l'étape (d) du procédé, dans laquelle, par exemple à l'aide de résine photosensible on a

procédé à un masquage préalable de manière à effectuer des dépôts susceptibles de réaliser avec l'arséniure de gallium des contacts ohmiques, (alliage or-germanium par exemple), formant ainsi les contacts 51 et 52 pour la résistance saturable, 53 et 54 pour le transistor à T.F.S.

- 5 On peut aussi procéder par implantation d'impuretés dopantes de manière à obtenir un dopage n^+ dans la couche superficielle d'arséniure de gallium destinée à former les contacts ohmiques, puis par dépôt d'un métal tel que le platine.

10 Sur la figure 6, on a représenté le résultat obtenu à l'étape (e) par dépôts successifs de métaux tels que le titane, le platine et l'or. On obtient ainsi un contact Schottky 62 situé entre les contacts 51 et 52. Simultanément les contacts ohmiques de l'étape précédente reçoivent les mêmes dépôts métalliques d'où la formation de métallisations complémentaires 61, 63 sur les contacts 51 et 52, 64 et 65 sur les contacts 53 et 54.

- 15 A ce stade du procédé, on peut intercaler une étape supplémentaire de détermination plus précise par rapport à celle de l'étape (b), de l'épaisseur a_1 de la couche active. A cet effet on réalise sur un transistor de la plaquette dont le canal utilise l'épaisseur a_1 pris comme témoin, le montage représenté à la figure 7. Un traceur de caractéristiques 71 est
20 branché sur les contacts 61, 62 et 63 du transistor. Des caractéristiques obtenues on déduit la tension de seuil V_T de ce transistor, laquelle est, comme il est connu, fonction de l'épaisseur a_1 et du profil de dopage. En effet la tension V_T est donnée en fonction de a_1 par la formule :

$$V_T = \phi_B - \frac{q N a_1^2}{2 \epsilon_{sc} \epsilon_0}$$

- 25 dans laquelle ϕ_B représente : la hauteur de barrière ;

N : le nombre de porteurs de charge ;

q : la charge de l'électron ;

et où ϵ_{sc} et ϵ_0 sont les constantes diélectriques relatives et absolues du semiconducteur et de l'air.

- 30 Sur la figure 8, on a représenté l'ensemble des résultats obtenus à l'issue des étapes (f), à (i). On trouve donc la tranchée 81 creusée par érosion

ionique jusqu'à ce que l'épaisseur restante a_0 de la couche active soit telle que le transistor à effet de champ obtenu ultérieurement en déposant un contact Schottky soit du type à faible tension de seuil, c'est-à-dire que la tension de seuil V_T , mesurée par des moyens électriques connus, soit telle
5 que l'on ait par exemple :

- $0,3 \text{ V} \leq V_T \leq 0,3 \text{ V}$. La valeur a_0 est déterminée en tenant compte des résultats des mesures effectuées à l'étape (b), et éventuellement à l'étape supplémentaire, intercalée après l'étape (e).

A l'étape (h) on dépose, par exemple par un procédé analogue à celui
10 de l'étape (e), un contact Schottky 82 dans la tranchée 81.

Enfin les connexions du circuit logique sont réalisées à l'étape (i) sous la forme de métallisations 83 (joignant le drain 61 au pôle $+V_{DD}$ du circuit logique 84 reliant les contacts 62, 63 et 64, enfin 85 allant du contact 65 vers la masse.

REVENDICATIONS

1. Procédé de fabrication collective de circuits logiques comportant chacun au moins un transistor à effet de champ à faible tension de seuil et une résistance saturable, caractérisé en ce qu'il comporte les étapes suivantes :

- 5 a) Fabrication d'une plaquette semiconductrice comprenant, sur un substrat isolant (1), une couche active (2) d'épaisseur au moins égale à une valeur prédéterminée ;
- b) Erosion de la couche active (2), par un procédé d'attaque électrochimique ou ionique, afin de diminuer l'épaisseur de cette couche jusqu'à une
- 10 valeur a_1 déterminée à l'aide de moyens électroniques ;
- c) Isolement des zones de la plaquette destinées à recevoir respectivement chaque composant de circuit logique, en procédant par attaque méso ou par implantation ionique de barrières isolantes (41, 42 et 43) ;
- d) Dépôt des contacts ohmiques des transistors (53 et 54) et des
- 15 résistances saturables (51 et 52) ;
- e) Formation simultanée de contacts Schottky (62) déposés entre les contacts ohmiques des résistances saturables et de dépôts métalliques (61, 63, 64 et 65) recouvrant les contacts ohmiques ;
- f) Dépôt de métallisations (84) raccordant l'un des contacts ohmiques
- 20 de chaque résistance saturable avec le contact Schottky réalisé à l'étape (e) ;
- g) Réalisation de la tranchée (81) de chaque transistor à effet de champ à faible tension de seuil par érosion ionique à une profondeur a_0 calculée en fonction de l'épaisseur a_1 mesurée à l'étape (g) ;
- 25 h) Dépôt des contacts Schottky (82) dans le fond des tranchées creusées à l'étape (g) ;
- i) Réalisation des interconnexions et connexions (83 et 85) propres à chaque circuit logique.

30 2. Procédé selon la revendication 1, caractérisé en ce qu'à l'étape (b) on procède alternativement à l'attaque de la surface libre de la couche active et au contrôle de l'épaisseur de cette couche active, ce dernier étant

effectué en déterminant par une mesure de capacité électrique la profondeur de la zone déserte sous une tension de valeur prédéterminée.

3. Procédé selon la revendication 1, caractérisé en ce qu'il comporte une étape supplémentaire intercalée entre les étapes (e) et (f), au cours de laquelle on trace le réseau des caractéristiques de fonctionnement d'un transistor témoin du type à effet de champ dont l'épaisseur du canal est égale à l'épaisseur a_1 , afin d'en déduire par l'intermédiaire de la tension de seuil, une valeur précise de l'épaisseur a_1 .

4. Procédé selon la revendication 1, caractérisé en ce que, à l'étape (g), on creuse la tranchée (81) jusqu'à ce que l'épaisseur restante a_0 de la couche active soit telle que le transistor à effet de champ présente une tension de seuil V_T telle que l'on ait les inégalités suivantes :

$$-0,3 \text{ V} \leq V_T \leq +0,3 \text{ V}$$

5. Circuit logique fabriqué par un procédé selon l'une des revendications 1 à 4, caractérisé en ce que la ou les résistances saturables qu'il comporte est (ou sont) réalisée(s) sous la forme de transistor à effet de champ (TS_1 , TS_2) dont la grille est directement connectée à la source.

6. Circuit logique selon la revendication 5, caractérisé en ce qu'il comporte un premier étage comprenant un transistor (T_1) dont la grille est reliée à l'entrée du circuit logique, en série avec une résistance saturable (TS_1), et un deuxième étage comprenant un transistor (T_2) dont la grille est reliée au point d'interconnexion du transistor et de la résistance du premier étage, en série avec une résistance saturable (TS_2), la sortie du circuit logique étant reliée au point d'interconnexion du transistor et de la résistance du deuxième étage.

1/3

FIG. 1

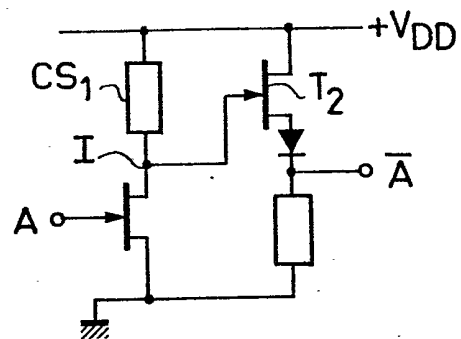


FIG. 2

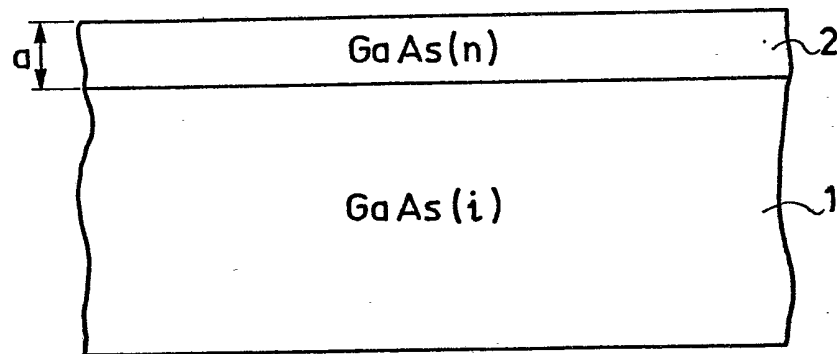


FIG. 3

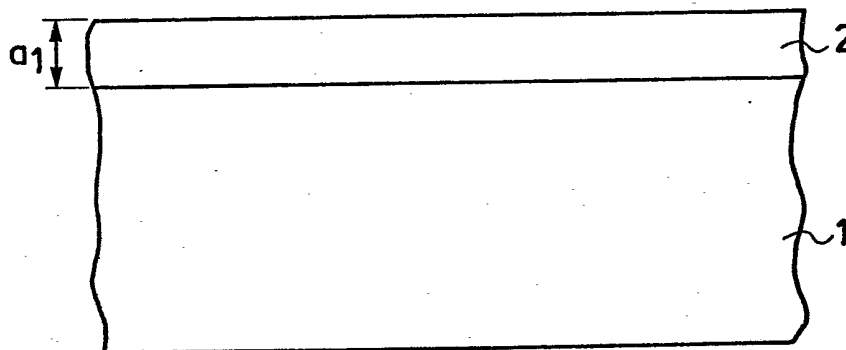
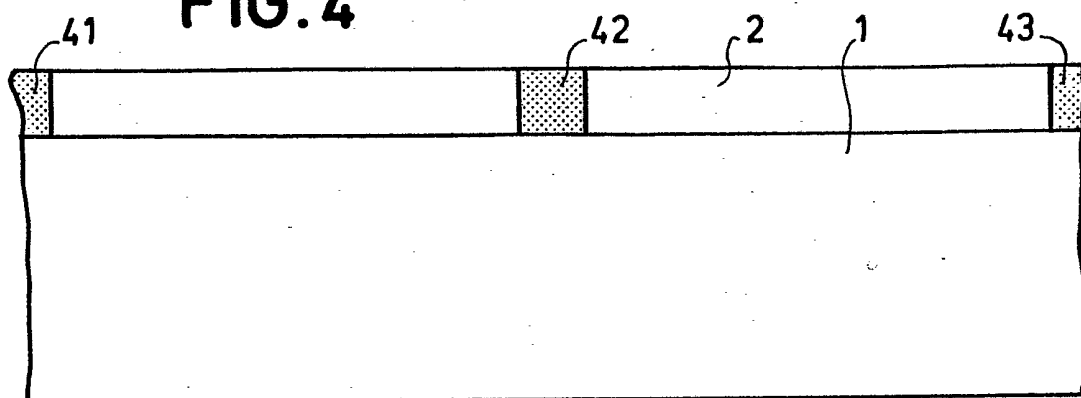
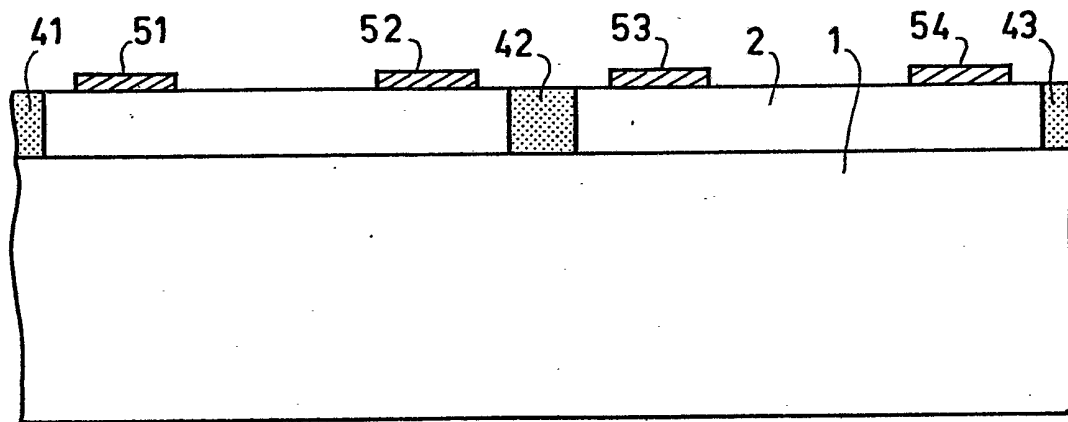


FIG. 4

2/3

**FIG. 5****FIG. 6**