



(21)申請案號：104140313

(22)申請日：中華民國 104 (2015) 年 12 月 02 日

(51)Int. Cl. :

*H01L29/78 (2006.01)**H01L21/336 (2006.01)*

(30)優先權：2014/12/23

世界智慧財產權組織

PCT/US14/72089

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：瑞奇曼第 威利 RACHMADY, WILLY (ID)；梅茲 馬修 METZ, MATTHEW (US)；莫哈帕拉 錢德拉 MOHAPATRA, CHANDRA (IN)；狄威 吉伯特 DEWEY, GILBERT (US)；卡瓦李耶羅 傑克 KAVALIEROS, JACK (US)；莫希 安拿 MURTHY, ANAND (US)；雷奧洛比 納迪亞 RAHHAL-ORABI, NADIA (US)；甘尼 塔何 GHANI, TAHIR (US)；葛雷斯 葛蘭 GLASS, GLENN (US)

(74)代理人：林志剛

申請實體審查：無 申請專利範圍項數：25 項 圖式數：5 共 41 頁

(54)名稱

以側壁襯墊形成鰭狀結構之裝置與方法

APPARATUS AND METHODS OF FORMING FIN STRUCTURES WITH SIDEWALL LINER

(57)摘要

一種設置在基板上包括磊晶的子鰭狀結構，其中該子鰭狀結構的第一部分係設置在該基板的一部分內，並且該子鰭狀結構的第二部分係設置相鄰於介電材料。鰭狀裝置結構係設置在該子鰭狀結構上，其中該鰭狀裝置結構包含該磊晶材料。襯墊係設在該子鰭狀結構的該第二部分和該介電材料之間。在本文中描述其它實施例。

An includes an epitaxial sub-fin structure disposed on a substrate, wherein a first portion of the sub-fin structure is disposed within a portion of the substrate, and a second portion of the sub-fin structure is disposed adjacent a dielectric material. A fin device structure is disposed on the sub-fin structure, wherein the fin device structure comprises the epitaxial material. A liner is disposed between the second portion of the sub-fin structure and the dielectric material. Other embodiments are described herein.

指定代表圖：

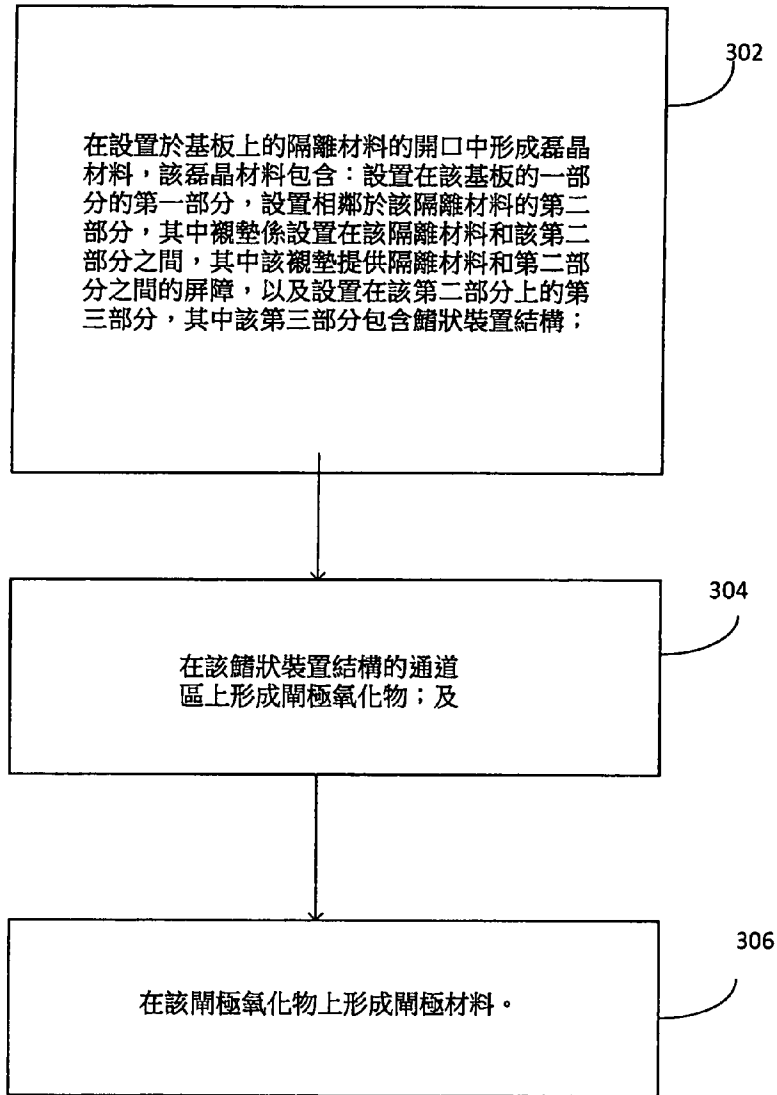


圖 3

201635549

發明摘要

※申請案號：104140313

※申請日：104年12月02日

※IPC分類：H01L 29/78 (2006.1)
H01L 21/336 (2006.1)

【發明名稱】(中文/英文)

以側壁襯墊形成鰭狀結構之裝置與方法

Apparatus and methods of forming fin structures with sidewall liner

● 【中文】

一種設置在基板上包括磊晶的子鰭狀結構，其中該子鰭狀結構的第一部分係設置在該基板的一部分內，並且該子鰭狀結構的第二部分係設置相鄰於介電材料。鰭狀裝置結構係設置在該子鰭狀結構上，其中該鰭狀裝置結構包含該磊晶材料。襯墊係設在該子鰭狀結構的該第二部分和該介電材料之間。在本文中描述其它實施例。

● 【英文】

An includes an epitaxial sub-fin structure disposed on a substrate, wherein a first portion of the sub-fin structure is disposed within a portion of the substrate, and a second portion of the sub-fin structure is disposed adjacent a dielectric material. A fin device structure is disposed on the sub-fin structure, wherein the fin device structure comprises the epitaxial material. A liner is disposed between the second portion of the sub-fin structure and the dielectric material. Other embodiments are described herein.

【代表圖】

【本案指定代表圖】：第(3)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

以側壁襯墊形成鰭狀結構之裝置與方法

Apparatus and methods of forming fin structures with sidewall liner

【技術領域】

[0001] 本發明關於形成和利用微電子結構的方法和相關結構。

【先前技術】

[0002] 磊晶材料如磷化鋁銻的整合，例如，到基板如矽基板之上在微電子裝置的應用是非常需要的。高品質的磊晶材料提高這種應用如系統單晶片 (SoC)、高電壓和 RF 裝置，以及用於互補式金屬氧化物矽 (CMOS) 應用的性能。這種整合關於可能由於在這兩種材料之間的晶格特性中的不匹配引起的製造挑戰。

【圖式簡單說明】

[0003] 雖然本說明書以特別指出和清楚地請求某些實施例的申請專利範圍總結，這些實施例的優點，可在與附圖一起閱讀時，從以下實施例的描述更容易地確定，其中：

[0004] 圖 1a~1i 根據各種實施例表示結構的橫截面

圖。

[0005] 圖 2a~2c 根據實施例表示結構的橫截面圖。

[0006] 圖 3 根據實施例表示方法的流程圖。

[0007] 圖 4 是實現一或多個實施例的中介層。

[0008] 圖 5 是根據實施例建立的計算裝置。

【發明內容與實施方式】

[0009] 在以下的詳細描述中，以說明的方式，參考附圖顯示，具體實施例中的方法和結構可以被實施。這些實施例被足夠詳細地描述以使本領域的技術人員能夠實施該實施例。但應該理解的是，各種實施例，儘管不同，但不一定是相互排斥的。例如，在此描述的特定特徵、結構或特性關於一個實施例，可以在其他實施例內實施而不脫離實施例的精神和範圍。此外，可以理解的是，每個揭露內各別元件的位置或排列可以在不脫離實施例的精神和範圍的情況下被修改。在附圖中，類似的標號表示遍及數個視圖的相同或類似的元件或功能。

[0010] 各種操作將被描述為多個獨立的操作，接著，以最有助於理解本文中實施例的方式，然而，描述的順序不應被解釋為暗示這些操作一定是順序相關的。特別是，這些操作不需要以呈現的順序來執行。

[0011] 實施例之實現可以形成或執行在基板上，諸如半導體基板。在一種實現中，半導體基板可以是使用本體矽或絕緣層上覆矽子結構形成的晶體基板。在其他實現

中，半導體基板可以使用其他材料形成，其可以或可以不與矽結合，其包括但不限於銻、銻化銻、碲化鉛、砷化銻、磷化銻、砷化鎵、砷化銻鎵、銻化鎵或 III-V 族或 IV 族材料的其它組合。雖然可以形成基板材料的幾個例子在本文中描述，可以用作建立半導體裝置基礎的任何材料落入本文中實施例的精神和範圍之內。

[0012] 形成和利用微電子結構的方法和相關結構，如形成在基板上的磊晶鰭狀結構被描述。那些方法/結構可以包括設置在基板上的磊晶子鰭狀結構，其中該子鰭狀結構的第一部分被設置在該基板的一部分內，且該子鰭狀結構的第二部分相鄰於隔離材料。鰭狀裝置結構被設置在該子鰭狀結構上，其中該鰭狀裝置結構包含該磊晶材料。襯墊被設置在該子鰭狀結構的第二部分和隔離材料之間，該襯墊包含在子鰭狀結構的第二部分和隔離材料之間的屏障。該襯墊在子鰭狀結構和隔離材料之間提供化學上穩定的、非反應性的屏障，使得缺陷的形成，如堆疊錯誤被減少。在實施例中，缺陷的量可以包含小於每百萬分之一 (ppm)。

[0013] 圖 1a~1i 顯示形成微電子結構，諸如設置在基板上的磊晶鰭狀結構的實施例的橫截面圖。在實施例中，微電子裝置 100 可包含基板 102 (圖 1a)。在實施例中，例如，基板 102 可以包含矽基板，並且可以是具有 p 型材料/元素，如硼的 p 摻雜。在另一個實施例中，例如，基板 102 可以包含電路元件，如電晶體和被動元件。

在實施例中，基板 102 可以包含 CMOS 基板 102 的一部分，並且可以包含 p 型金屬氧化物半導體（PMOS）和 n 型金屬氧化物半導體（NMOS）電晶體。在實施例中，微電子裝置 100 可包含三閘極電晶體的一部分、環繞式閘極（GAA）電晶體，或任何其它類型的多閘極電晶體。在實施例中，微電子裝置 100 可以包含的複合（包括 III-V 族材料）電晶體的一部分。

[0014] 在實施例中，可包含矽的犧牲鰭 104 可以被設置在基板 102 上。在實施例中，犧牲鰭 104 可定向成使得它被正交地設置在基板 102 上。襯墊 106 可被形成在犧牲鰭 104 和基板 102 的表面 103 上（圖 1b）。在其它實施例中，襯墊可以不形成在基板表面 103 上，並且在一些實施例中，襯墊 106 可以僅在犧牲鰭 104 上形成。在實施例中，襯墊 106 可以包含不與 III 族到 V 族材料化學反應的材料。在實施例中，襯墊 106 可以包含小於約 100 埃的厚度。在實施例中，襯墊材料可以包含氮化矽、氮氧化矽、氧化鉛和氧化鋁中的至少一種。在實施例中，襯墊 106 不包含二氧化矽。例如，襯墊 106 可以利用沉積程序形成，如物理氣相沉積（PVD）、原子層沉積（ALD）和/或化學氣相沉積（CVD）程序。

[0015] 在實施例中，隔離材料 108 可以形成在襯墊 106 上（圖 1c）。隔離材料 108 可包含介電材料，諸如二氧化矽，並且在某些情況下可以包含淺溝槽隔離（STI）材料。在實施例中，隔離材料 108 可包含這樣的材料如摻

雜碳的氧化物 (CDO)、氮化矽、氮氧化矽、碳化矽，有機聚合物如全氟環丁烷或聚四氟乙烯、氟矽酸鹽玻璃 (FSG) 和/或 ganosilicates，如倍半矽氧烷、矽氧烷，或有機矽酸鹽玻璃。在實施例中，隔離材料 108 可以包含多個不同材料層。在實施例中，隔離材料 108 可包含化學氣相沉積 (CVD) 沉積的材料。

[0016] 襯墊 106 的一部分可以被設置在基板 102 和隔離材料 108 之間。在實施例中，襯墊 106 可以用連續的層從基板 102 的頂部表面延伸至犧牲矽 104 的頂部。在實施例中，隔離材料 108 可藉由利用移除程序，如化學機械研磨 (CMP) 程序 110 被移除，以將絕緣材料 108 的頂表面隨著犧牲矽 104 的頂表面平面化 (圖 1d)。例如，在其它實施例中，其它移除程序可被利用，如各種蝕刻程序。在 CMP 程序 110 期間，襯墊 106 的一部分可從犧牲矽 104 的頂部表面移除。

[0017] 在實施例中，犧牲矽結構 104 可以利用合適的移除程序 112 被移除，以形成開口/溝槽 111，例如，其中犧牲矽 104 底層的基板 102 的一部分也被移除 (圖 1e)。在實施例中，例如，濕式蝕刻，如四甲基氫氧化銨 (TMAH) 蝕刻劑和/或包含氫氧化銨的蝕刻劑，可以用於移除犧牲矽結構 104，然而，根據具體的應用可以使用其它乾式和/或濕式蝕刻。在實施例中，移除程序 112 可以包含各向異性蝕刻程序，其中移除程序 112 的蝕刻劑可能會在基板 102 的底部部分 115 建立 (111) 切面。

[0018] 犧牲鰭結構 104 的移除可以暴露開口 111 中的襯墊 106。在實施例中，溝槽 111 的底部部分 115 可以被形成/蝕刻在基板 102 的一部分內。在實施例中，溝槽開口 111 的底部部分 115 可包含錐形形狀，其中該形狀類似於 V 字形。

[0019] 在實施例中，溝槽 111 的底部部分 115 可以包含側壁 117，其包含 (111) 基板 102 的矽平面。在實施例中，側壁 117 可包含角度 131，並且在一些實施例中，角度 131 可以包含相對於基板 102 介於大約 52 度和大約 57 度（圖 1i）之間。在其它實施例中，溝槽 111 的底部部分 115 可包含比 V 字形更圓潤的輪廓。在一些實施例中，取決於具體的應用，溝槽 111 的底部部分 115 可以包含其它形狀。在實施例中，溝槽開口 111 可以包含長寬比捕獲（ART）的溝槽，其中該溝槽開口 111 的深度 119 與溝槽開口 111 的寬度 121 的比率可以包含至少約為 2:1（返回到圖 1e）。例如，在其他實施例中，該比率可包含 1.5、1.7、1.9、2.1、2.3、2.5、2.7。

[0020] 在實施例中，磊晶材料 113，諸如 III-V 族磊晶材料 113，可以利用合適的磊晶程序 114 被形成在溝槽開口 111 內（圖 1f）。在實施例中，磊晶材料 113 可在基板 102 的表面 117 上 (111) 開始生長。在實施例中，磊晶材料 113 的第一部分可以形成/生長在基板 102 的一部分內的溝槽開口的底部，其中該磊晶材料 113 可以形成在矽基板 102 的平面 (111)。在實施例中，與磊晶材料

113 的第一部分介面的基板 102 可包含至少一個 (111) 矽平面。在實施例中，磊晶材料 113 的第二部分可以形成/生長在鄰近於隔離材料 108 的襯墊 106。

[0021] 在實施例中，磊晶材料 113 的額外部分可以形成/生長鄰近於隔離材料 108 的表面 109 上，並且可以在該隔離材料 108 的表面 109 上延伸。在實施例中，磊晶材料可以包含來自週期表中的 III 族、IV 族和/或 V 族的元素和其組合的任何材料。在實施例中，磊晶材料可以利用任何合適的磊晶程序生長，並且在一些實施例中，可包含約為 4 奈米和約為 80 奈米之間的寬度 122。

[0022] 在實施例中，磊晶材料 113 可包含 III-V 族材料，例如氮化鎵、氮化鎵銻、磷化銻或磷化鋁銻材料、砷化鎵、砷化鎵銻和砷化銻中的至少一個。在實施例中，磊晶材料 113 可包含可在彼此之上形成的多個磊晶材料層，其可以包含多個堆疊、異構磊晶層，其中各種層的晶格常數可以是彼此不同的。在實施例中，磊晶材料 113 可包含晶格不匹配的多個磊晶材料層。由於襯墊 106 被設置在磊晶材料 113 的第二部分和隔離材料 108 之間，在隔離材料 108 和磊晶材料 113 的第二部分之間沒有反應。

[0023] 在本文中的實施例包括襯墊 106，防止在隔離材料 108 和磊晶材料 113 之間的介面的反應和/或缺陷形成。在實施例中，襯墊 106 包含非反應性、化學上穩定的非矽氧化鈦層，其提供在隔離材料 108 和磊晶材料 113 之間的物理和/或化學屏障。襯墊 106 可改變磊晶材料 113

的生長條件，以使形成在磊晶材料 113 的缺陷被大幅減少或不存在。在本文中的實施例致使幾乎是無缺陷的磊晶層 113 的形成。

[0024] 在實施例中，設置在隔離材料 108 的表面 109 之上的磊晶材料 113 的額外部分可利用移除程序 116，如 CMP 程序被移除，例如，成為平坦的隔離材料 108 的表面 109（圖 1g）。

[0025] 在實施例中，隔離材料 108 的一部分和襯墊 106 可以利用移除程序 118，如 CMP 程序被凹陷，其中磊晶材料的暴露部分 113 形成/包含至少一個鰭狀裝置結構 123（圖 1h）。在實施例中，鰭狀裝置結構 123 可以缺少設置在側壁上的襯墊 106，並且可以延伸在隔離材料 108 的表面 109 之上，並且可以包含高度 125。在實施例中，鰭狀裝置結構 123 的一部分可以包含在側壁區的一部分上的襯墊 106 的一部分。

[0026] 在實施例中，鰭狀裝置結構 123 的高度 125 可包含約 4 奈米至約 80 奈米。在實施例中，鰭狀裝置結構 123 的一部分可包含多閘極裝置的一部分，如多閘極裝置的通道區，例如，並且可以與源極/汲極區耦接。在實施例中，磊晶材料 113 包含設置在基板 102 的一部分內的第一部分 130、設置在隔離材料 108 和襯墊 106 之間的第二部分 132，和設置在隔離材料 108 的表面 109 上並從第二部分 132 延伸的第三部分（包含鰭狀裝置結構 123）。在實施例中，第一、第二和第三部分 130、132、134 包含

磊晶材料 113，並且生長在磊晶生長程序中，如圖 1f 的磊晶生長程序 114。

[0027] 在實施例中，第一或第三部分 130、134 皆不包括設置在磊晶材料 113 的側壁上的襯墊 106，然而磊晶材料 113 的第二部分 132 包含磊晶材料 113 的側壁上的襯墊。在實施例中，襯墊 106 的一部分被設置在隔離材料 108 和相鄰於磊晶材料 113 的基板 102 之間。在實施例中，磊晶材料 113 的第一和第二部分 130、132 包含子鰭狀結構，其中鰭狀裝置結構 123 被設置在該子鰭狀結構上，其中該子鰭狀結構被設置在隔離材料 108 的表面 109 之下。

[0028] 在實施例中，複數個電晶體，如金屬氧化物半導體場效電晶體（MOSFET 或簡單的 MOS 電晶體），可以被製造在基板 102 上，並且通常可以包含磊晶材料 113，並且可以包括鰭狀裝置結構 123。在各種實施例的實現中，MOS 電晶體可以是平面電晶體、非平面電晶體或兩者的組合。非平面電晶體包括 FinFET 電晶體，如雙閘極電晶體和三閘極電晶體，以及環繞式或環繞式閘極（GAA）電晶體，如奈米帶和奈米線電晶體。本文中的實施例可以實行使用非平面和/或平面電晶體。

[0029] 包含磊晶材料/鰭狀裝置結構的各個 MOS 電晶體可以包括至少兩層所形成的閘極堆疊、閘極介質層和閘極電極層。閘極介質層可以包含一層或層的堆疊。一或多層可包含氧化矽、二氧化矽（ SiO_2 ）和/或高 k 介電材

料。高 k 介電材料可以包含元素，如鉛、矽、氧、鈦、鈮、釩、鋁、銻、銻、鋇、鉛、銦、銻和鋅。可用在閘極介電層的高 k 材料的範例包括但不限於氧化鉛、氧化鉛矽、氧化釩、氧化釩鋁、氧化銻、氧化銻矽、氧化鈮、氧化鈦、銻銻鈦、氧化銻鈦、氧化銻鈦、氧化鋇、氧化鋁、氧化鉛銦鈮和銻酸鉛鋅。在一些實施例中，退火程序可以在閘極介電層上進行，以在使用高 k 材料時，提高其品質。

[0030] 閘極電極層被形成在閘極介電層上，並且可以由至少一種 P 型功函數金屬或 N 型功函數金屬組成，其取決於電晶體是否為 PMOS 或 NMOS 電晶體。在一些實現中，閘極電極層可以由兩個或多個金屬層的堆疊組成，其中一或多個金屬層是功函數金屬層並且至少一個金屬層是填充金屬層。

[0031] 對於 PMOS 電晶體，可被用於閘極電極的金屬包含但不限於鈦、鈮、鈮、鈮、鎳，以及導電金屬氧化物，例如，氧化鈦。P 型金屬層將致使具有介於約 4.9 eV 至約 5.2 eV 之間的功函數的 PMOS 閘極電極的形成。對於 NMOS 電晶體，可被用於閘極電極的金屬包含但不限於鉛、銻、鈦、鈮、鋁、這些金屬的合金，以及這些金屬的碳化物，如碳化鉛、碳化銻、碳化鈦、碳化鈮和碳化鋁。N 型金屬層將致使具有介於約 3.9 eV 至約 4.2 eV 之間的功函數的 NMOS 閘極電極的形成。

[0032] 在一些實現中，閘極電極可以由“U”形結構組

成，其包括實質上平行於基板的表面的底部部分以及實質上垂直於基板的頂表面的兩個側壁部分。在另一實現中，形成閘極電極的金屬層中的至少一個可以簡單地是平面層，其實質上平行於基板的頂表面，並且不包含實質上垂直於基板的頂表面的側壁部分。在實施例的進一步實現中，閘極電極可包含 U 形結構和平面、非 U 形結構的組合。例如，閘極電極可包含形成在一或多個平面、非 U 形層之上的一或多個 U 形金屬層。

[0033] 在實施例的一些實現中，一對側壁間隔物可形成在托住閘極堆疊的閘極堆疊的相對側。側壁間隔物可以由材料，如氮化矽、氧化矽、碳化矽、摻雜有碳的氮化矽和氮氧化矽形成。用於形成側壁間隔物的程序是在所屬領域中眾所皆知的，並且通常包含沉積和蝕刻程序步驟。在替代的實現中，複數個間隔物對可以被使用，例如，二對、三對或四對的側壁間隔物可形成在閘極堆疊的相對側。

[0034] 正如所屬領域中眾所皆知的，源極和汲極區是形成在相鄰於各 MOS 電晶體的閘極堆疊的基板內。源極和汲極區通常使用佈植/擴散程序或者蝕刻/沉積程序形成。在前者的程序中，摻雜劑，如硼、鋁、銻、磷或砷可被離子佈植到基板以形成源極和汲極區。活化摻雜劑並導致它們進一步擴散到基板的退火程序通常接著離子佈植程序之後。在後者的程序中，基板可以先被蝕刻以在源極和汲極區的位置形成凹陷。

[0035] 磊晶沉積程序可以接著進行以用於製造源極和汲極區的材料來填充凹陷。在一些實現中，源極和汲極區可使用矽合金，如矽鍺或碳化矽來製造。在一些實現中，沉積矽合金的磊晶可以用摻雜劑如硼、砷，或磷就地摻雜。在進一步的實施例中，源極和汲極區可以使用一或多個替代的半導體材料，如鍺或 III-V 族材料或合金被形成。並且在進一步的實施例中，一或多個層的金屬和/或金屬合金可用於形成源極和汲極區。

[0036] 一或多個層間介電質 (ILD) 沉積在 MOS 電晶體上。ILD 層可以使用眾所周知的在積體電路結構的適用性的介電材料，如低 k 介電材料來形成。可使用的介電材料的範例包含但不限於二氧化矽 (SiO_2)、摻雜碳的氧化物 (CDO)、氮化矽、有機聚合物，如全氟環丁烷或聚四氟乙烯、氟矽酸鹽玻璃 (FSG)，和有機矽酸酯，如倍半矽氧烷、矽氧烷，或有機矽酸酯玻璃。ILD 層可以包括孔隙或空隙以進一步降低其介電常數。

[0037] 圖 2a 描繪微電子裝置 200，如三閘極或其他類型的多閘極裝置 200 的部分的橫截面。在實施例中，磊晶材料 213 包含至少部分設置在基板 202 內的第一部分 230。在實施例中，第一部分 230 包含有角度的底部側壁 217 (類似於圖 1h 的側壁)，其中在實施例中第一部分 230 可包含 V 形。根據特定的應用，底部側壁 217 的其他實施例可包含更圓的側壁或其它形狀。在實施例中，磊晶材料 213 的底部側壁 217 是鄰近於矽基板 202 的 (111)

平面。

[0038] 在實施例中，磊晶材料 213 可包含第二部分 232，其中襯墊材料 206 類似於圖 1h 的襯墊材料 106，其可以襯在磊晶材料 213 的側壁。在實施例中，襯墊材料 206 被設置在磊晶材料 213 的第二部分 232 和隔離材料 208 之間，並提供在磊晶層和隔離層 208 之間的物理屏障層。閘極氧化物 236 可被設置在磊晶材料 213 的第三部分 234 上，並且在襯墊 206 的一部分上並且在隔離材料 208 的表面 209 上。閘極氧化物 236 可以包含氧化物材料，如二氧化矽材料。在實施例中，閘極氧化物材料可以包含高 k 介電材料，其中該介電材料包含比二氧化矽更高的介電常數。

[0039] 例如，高 k 介電材料可以包括二氧化銦 (HfO_2)、氧化銦矽、氧化釧、氧化釧鋁、二氧化鋯 (ZrO_2)、氧化鋯矽、二氧化鈦 (TiO_2)、五氧化鉭 (Ta_2O_5)、氧化鋇鋇鈦、氧化鋇鈦、氧化鋇鈦、氧化鈮、氧化鋁、氧化鉛銦鉭和銻酸鉛鋅。在實施例中，閘極氧化物 236 可以是直接設置在襯墊 206 的一部分上。

[0040] 在實施例中，閘極材料 238 可設置在閘極氧化物 236 上。在實施例中，例如，閘極材料包括材料如鈦、鎢、鉭、鋁及其合金，和具有稀土元素如鈮、鎢或貴金屬如鉑，和氮化物如氮化鉭和氮化鈦的合金。在實施例中，襯墊 206 的部分也設置在隔離材料 208 和相鄰於磊晶材料 213 的基板 202 之間。在實施例中，磊晶材料 213 的

第三部分 234 包含鰭狀裝置結構 223，並且可以包含具有閘極氧化物 236 和閘極材料 238 設置在其上的通道區的一部分。

[0041] 圖 2b 描繪多閘極電晶體 200 的一部分，其中源極/汲極區 240 係與鰭狀裝置結構 223 的通道區 239 耦接。在實施例中，用於源極和/或汲極的材料可以包括，例如，矽、摻雜碳的矽、摻雜磷的矽，對於 NMOS，和摻雜硼的矽鍺、 $\text{Si}_x\text{Ge}_{1-x}$ 、摻雜硼的鍺、摻雜硼的鍺錫， $\text{Ge}_x\text{Sn}_{1-x}$ ，以及對於 PMOS 應用的 p 摻雜的 III-V 族複合物。在實施例中，閘極氧化物 236 被設置在鰭狀裝置結構 223 的通道區 239 上，並且閘極材料 238 被設置在閘極氧化物 236 上。

[0042] 圖 2c 描繪環繞式閘極結構 241，例如，其可以包含奈米帶和/或奈米線結構。在實施例中，閘極氧化物 236 可以環繞（四面）鰭狀裝置結構 223 設置，並在襯墊 206 上和隔離材料 208 上。磊晶材料 213 被設置在鰭狀裝置結構 223 之下，並且可以被設置在基板 202 上並相鄰於隔離材料 208。襯墊 206 被設置在磊晶材料 213 和隔離材料 208 之間。襯墊 206 的一部分可以被設置在基板 202 和隔離材料之間。

[0043] 圖 3 描繪根據實施例在基板上形成磊晶鰭狀結構的方法的流程圖。方塊 302 包括在設置於基板上的隔離材料的開口中形成磊晶材料，該磊晶材料包含：設置在該基板的一部分的第一部分，設置相鄰於該隔離材料的第

二部分，其中襯墊係設置在該隔離材料和該第二部分之間，其中該襯墊提供隔離材料和第二部分之間的屏障，以及設置在該第二部分上的第三部分，其中該第三部分包含鰭狀裝置結構。

[0044] 方塊 304 包括在該鰭狀裝置結構的通道區上形成閘極氧化物。方塊 306 包括在該閘極氧化物上形成閘極材料。在一些實施例中，在形成磊晶材料之前，在該隔離材料中的開口可藉由在基板上提供犧牲鰭被形成、在該犧牲鰭和該基板上形成襯墊、在該襯墊上形成該隔離材料，以及移除該犧牲鰭，其中該襯墊係設置在該隔離材料的該側壁和該基板上。

[0045] 在實施例中，本文中實施例的鰭狀裝置結構可以與任何適當類型的封裝結構耦接，該封裝結構能夠提供微電子裝置之間的電通訊，如晶粒和封裝設置可被耦接的下一級元件（例如，電路板）。在另一個實施例中，本文中的裝置可以與可包含任何適當類型的封裝結構耦接，該封裝結構能夠提供晶粒和本文中的裝置耦接的上層積體電路（IC）封裝之間的電通訊。

[0046] 本文中實施例的裝置可以包含電路元件，例如，如用於使用在處理器晶粒的邏輯電路。金屬化層和絕緣材料可以被包含在本文中的裝置，以及可耦接金屬層/互連到外部裝置/層的導電觸點/凸塊。本文中以各種圖式描述的裝置可以包含矽邏輯晶粒或記憶體晶粒的部分，例如，或任何類型的合適微電子裝置/晶粒。在一些實施例

中，裝置可以進一步包含可以被堆疊在彼此之上的複數個晶粒，其取決於特定的應用。在某些情況下，本文中裝置的晶粒可以被定位/附著/嵌入在前側、後側上或封裝結構的前側和後側的某種組合之上/中。在實施例中，晶粒可以是部分地或完全地嵌入的封裝結構。

[0047] 本文中包括的裝置結構的各種實施例可以用於可能需要積體電晶體的 SOC 產品，如智慧手機、筆記型電腦、平板電腦和其它電子行動裝置。裝置的製造，如包括具有襯墊結構的鰭狀結構的多閘極電晶體裝置被描述。磊晶相互混合和/或與二氧化矽絕緣材料的反應，例如，可以藉由使用隔離材料和磊晶材料之間的屏障襯墊來防止。子鰭狀側壁鈍化被提供。III-V 族材料的磊晶品質藉由在磊晶生長期間減少來自隔離材料側壁所產生的缺陷的數目來改善。致使防止磊晶摻雜向外擴散到 STI，以及藉由下游裝置程序防止鰭氧化。矽晶圓上的非矽 CMOS 的製造得以實現。

[0048] 圖 4 顯示包括本文所包括的一或多個實施例的中介層 400。中介層 400 是用於將第一基板 402 橋接到第二基板 404 的居間基板。第一基板 402 可以是，例如，積體電路晶粒，其中該晶粒可包含裝置結構，如本文中實施例的鰭狀裝置結構。第二基板 404 可以是，例如，記憶體模組、電腦主機板，或另一積體電路晶片，其中第二基板 404 可以結合裝置結構，如本文中實施例的鰭狀裝置結構。通常，中介層 404 的目的是散佈連接到更寬的間距和

/或重新路由到不同的連接的連接。例如，中介層 400 可以將積體電路晶粒耦接到可以隨後被耦接到第二基板 404 的球閘陣列 (BGA) 406。在一些實施例中，第一和第二基板 402、404 被附接到中介層 400 的相對側。在其它實施例中，第一和第二基板 402、404 被附接到中介層 400 的相同側。並且在進一步的實施例中，三個或更多的基板是藉由中介層 400 的方式被互連。

[0049] 中介層 400 可以由環氧樹脂、玻璃纖維增強環氧樹脂、陶瓷材料或聚合物材料，如聚酰亞胺形成。在進一步的實現中，中介層可以由替代的可以包括上述在半導體基板中使用的相同材料，如矽、鍺以及其它 III-V 族和 IV 族的材料的剛性或柔性材料來形成。

[0050] 中介層可以包括金屬互連 408 和通孔 410，其包含但不限於穿透矽通孔 (TSV) 412。中介層 400 可以進一步包括嵌入式裝置 414，其包括被動和主動裝置。這樣的裝置包括但不限於電容、去耦電容、電阻、電感、熔斷器、二極體、變壓器、感測器和靜電放電 (ESD) 裝置。更複雜的裝置，如射頻 (RF) 裝置、功率放大器、功率管理裝置、天線、陣列、感測器和 MEMS 裝置也可以在中介層 400 上形成。

[0051] 圖 5 顯示可包括本文中所描述的裝置結構的實施例的計算裝置 500。計算裝置 500 可以包括多個元件。在實施例中，這些元件被附接到一或多個主機板。在替代的實施例中，這些元件被製造到單一系統單晶片

(SoC) 晶粒上，而不是主機板。在計算裝置 500 的元件包括但不限於積體電路晶粒 502 以及至少一個通訊晶片 508。在一些實現中，通訊晶片 508 被製造成積體電路晶粒 502 的一部分。積體電路晶粒 502 可包括 CPU 504 以及晶粒上記憶體 506，經常被用作快取記憶體，其可以藉由如嵌入式 DRAM (eDRAM) 或自旋轉移力矩記憶體 (STTM 或 STTM-RAM) 的技術來提供。

[0052] 計算裝置 500 可包括可能會或可能不會物理地和電性地耦接到主機板或在 SoC 晶粒內製造的其他元件。這些其它元件包括但不限於揮發性記憶體 510 (例如，DRAM)、非揮發性記憶體 512 (例如，ROM 或快閃記憶體)、圖形處理單元 514 (GPU)、數位訊號處理器 516、加密處理器 542 (在硬體中的執行加密演算法的專用處理器)、晶片組 520、天線 522、顯示器或觸控螢幕顯示器 524、觸控螢幕控制器 526、電池 528 或其它電源、功率放大器 (未顯示)、全球定位系統 (GPS) 裝置 529、羅盤 530、運動協同處理器或感測器 532 (其可包括加速計、陀螺儀和羅盤)、揚聲器 534、相機 536、用戶輸入裝置 538 (如鍵盤、滑鼠、手寫筆和觸控板) 和大容量儲存裝置 540 (如硬碟、光碟 (CD)、數位多功能光碟 (DVD) 等)。

[0053] 通訊晶片 508 致使進行資料的轉移到和來自計算裝置 500 的無線通訊。用語“無線”及其衍生物可以用於描述電路、裝置、系統、方法、技術、通訊通道等，其

可以經由非固體介質藉由使用調變的電磁輻射進行資料通訊。該用語不暗示關聯的裝置不包含任何導線，儘管在一些情況中可能不包含。通訊晶片 508 可實現任何數目的無線標準或協定，其包括但不限於 Wi-Fi (IEEE 802.11 系列)、WiMAX (IEEE 802.16 系列)、IEEE 802.20、長期演進 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、藍芽，其衍生物以及那些被指定為 3G、4G、5G 和之後的任何其它無線協定。計算裝置 500 可以包括複數個通訊晶片 508。例如，第一通訊晶片 508 可專用於短範圍無線通訊，如 Wi-Fi 和藍芽，以及第二通訊晶片 508 可專用於長範圍無線通訊，如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO 和其它。

[0054] 計算裝置 500 的處理器 504 包括按照本文中實施例被形成的一或多個裝置，如電晶體或金屬互連。用語“處理器”可以指處理來自暫存器和/或記憶體電子資料，以轉換該電子資料成可儲存在暫存器和/或記憶體中的其他電子資料的任何裝置或裝置的一部分。

[0055] 通訊晶片 508 可以進一步包括按照本文中實施例被形成的一或多個裝置，如電晶體裝置結構和封裝結構。在進一步的實施例中，收容在計算裝置 500 內的另一種元件可含有一或多個裝置，如按照本文中實施例被形成的電晶體裝置結構和相關的封裝結構。

[0056] 在各種實施例中，計算裝置 500 可以是膝上

電腦、小筆電、筆記型電腦、超輕薄筆電、智慧手機、平板電腦、個人數位助理（PDA）、極致行動 PC、行動電話、桌上電腦、伺服器、列表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器或者數位錄影機。在另外的實現中，計算裝置 500 可以是處理資料的任何其它電子裝置。

[0057] 以上所示的實施例的說明，包括在摘要中所描述的，並非意在窮舉或限制實施例為所揭露的精確形式。雖然在本文中描述的實施例和實例的具體實現用於說明性目的，那些相關領域技術人員將理解各種等同修改是可能在本發明的範圍之內。

[0058] 可以根據上述詳細說明修飾本發明的實施例。在下面的申請專利範圍中使用的用語不應當被解釋為限制本發明的各種實施例在說明書和申請專利範圍中揭露的具體實現。相對的，根據申請專利範圍詮釋的既定原則解釋，範圍完全由下面的申請專利範圍來確定。

[0059] 儘管前面的描述已經指定某些步驟和材料可以在本文實施例的方法中被使用，本領域的技術人員將理解許多修改和替換可以被完成。因此，所有這樣的修改、改變、替換和添加意在被視為落入實施例的精神和範圍內，如由所附的申請專利範圍所限定的。此外，本文提供的圖式僅顯示範例性微電子裝置和關於實施例的實現的相關封裝結構的部分。因此實施例不限於本文所描述的結構。

【符號說明】

[0060]

- 100：微電子裝置
- 102：基板
- 103：表面
- 104：犧牲鰭
- 106：襯墊
- 108：隔離材料
- 110：化學機械研磨程序
- 111：開口/溝槽
- 112：移除程序
- 113：磊晶材料
- 114：磊晶程序
- 115：底部部分
- 116：移除程序
- 117：側壁
- 118：移除程序
- 119：深度
- 121：寬度
- 122：寬度
- 123：鰭狀裝置結構
- 125：高度
- 130：第一部分

- 131：角度
- 132：第二部分
- 134：第三部分
- 200：微電子裝置
- 202：基板
- 206：襯墊材料
- 208：隔離材料
- 209：表面
- 213：磊晶材料
- 217：底部側壁
- 223：鰭狀裝置結構
- 230：第一部分
- 232：第二部分
- 234：第三部分
- 236：閘極氧化物
- 238：閘極材料
- 239：通道區
- 240：源極/汲極區
- 241：環繞式閘極結構
- 302：方塊
- 304：方塊
- 306：方塊
- 400：中介層
- 402：基板

- 404 : 基板
- 406 : 球閘陣列 (BGA)
- 408 : 金屬互連
- 410 : 通孔
- 412 : 穿透矽通孔 (TSV)
- 414 : 嵌入式裝置
- 500 : 計算裝置
- 502 : 積體電路晶粒
- 504 : CPU
- 506 : 晶粒上記憶體
- 508 : 通訊晶片
- 510 : 揮發性記憶體
- 512 : 非揮發性記憶體
- 514 : 圖形處理單元
- 516 : 數位訊號處理器
- 520 : 晶片組
- 522 : 天線
- 524 : 顯示器或觸控螢幕顯示器
- 526 : 觸控螢幕控制器
- 528 : 電池
- 529 : 全球定位系統 (GPS) 裝置
- 530 : 羅盤
- 532 : 運動協同處理器或感測器
- 534 : 揚聲器

536 : 相機

538 : 用戶輸入裝置

540 : 大容量儲存裝置

542 : 加密處理器

申請專利範圍

- 1.一種微電子裝置結構，其包含：
磊晶材料的第一部分，其設置在基板的一部分內；
該磊晶材料的第二部分，其設置相鄰於介電材料，其中襯墊材料係設置在該介電材料和該第二部分之間；
該磊晶材料的第三部分，其設置在該第二部分上，其中該第三部分包含鰭狀裝置結構；
閘極氧化物，其設置在該鰭狀裝置結構上；以及
閘極材料，其設置在該閘極氧化物上。
- 2.如申請專利範圍第 1 項的結構，其中該襯墊的一部分係設置在相鄰於該磊晶材料的該矽基板上並且在該介電材料和該基板之間。
- 3.如申請專利範圍第 1 項的結構，其中該磊晶材料包含選自 III 族元素、IV 族元素和 V 族元素組成的群組中的材料。
- 4.如申請專利範圍第 1 項的結構，其中該微電子裝置包含選自多閘極電晶體和環繞式閘極電晶體的群組中的裝置。
- 5.如申請專利範圍第 1 項的結構，其中具有該磊晶材料的該第一部分的基板介面包含至少一個 (111) 矽平面。
- 6.如申請專利範圍第 1 項的結構，其中該襯墊係直接設置在該閘極氧化物上。
- 7.如申請專利範圍第 1 項的結構，其中該襯墊材料係

與該介電材料無化學反應。

8.如申請專利範圍第 1 項的結構，其中該鰭狀裝置結構在該介電材料的表面上延伸。

9.一種微電子裝置結構，其包含：

子鰭狀結構，其設置在基板上，其中該子鰭狀結構包含磊晶材料，且其中該子鰭狀結構的第一部分係設置在該基板的一部分內，且其中該子鰭狀結構的第二部分係設置相鄰於介電材料；

鰭狀裝置結構，其設置在該子鰭狀結構上，其中該鰭狀裝置結構包含該磊晶材料；以及

襯墊，其設置在該子鰭狀結構的該第二部分和該介電材料之間。

10.如申請專利範圍第 9 項的結構，進一步包含其中該磊晶材料包含選自氮化鎵、磷化銮、磷化銮鋁和氮化鎵銮組成的群組中的材料。

11.如申請專利範圍第 9 項的結構，進一步包含其中該襯墊材料係選自氮化矽、氮氧化矽、氧化鉛和氧化鋁組成的群組，並且不包含與該介電材料相同的材料。

12.如申請專利範圍第 9 項的結構，進一步包含其中該襯墊包含低於約 100 埃的厚度。

13.如申請專利範圍第 9 項的結構，其中該鰭狀裝置結構的一部分包含電晶體結構的通道區，以及其中源極/汲極區係與該通道區耦接。

14.如申請專利範圍第 13 項的結構，進一步包含其中

閘極氧化物係設置在該通道區上，以及其中閘極材料係設置在該閘極氧化物上。

15.如申請專利範圍第 9 項的結構，進一步包含其中該矽基板包含 p 型矽基板。

16.如申請專利範圍第 9 項的結構，進一步包含系統，其包含：

通訊晶片，其通訊地耦接到該微電子裝置；以及 eDRAM，其通訊地耦接到該通訊晶片。

17.如申請專利範圍第 9 項的結構，進一步包含其中該襯墊並非設置在該鰭狀裝置結構上。

18.如申請專利範圍第 9 項的結構，進一步包含其中該襯墊的一部分係設置在該基板和該隔離材料之間。

19.一種形成微電子裝置的方法，其包含：

在設置在基板的隔離材料的開口中形成磊晶材料，該磊晶材料包含：

第一部分，其設置在該基板的一部分；

第二部分，其設置相鄰於該隔離材料，其中襯墊材料係設置在該隔離材料和該第二部分之間；以及

第三部分，其設置在該第二部分上，其中該第三部分包含鰭狀裝置結構；

在該鰭狀裝置結構的通道區上形成閘極氧化物；以及在該閘極氧化物上形成閘極材料。

20.如申請專利範圍第 19 項的方法，進一步包含其中該微電子裝置包含選自多閘極電晶體和環繞式閘極電晶體

的群組中的裝置。

21.如申請專利範圍第 19 項的方法，進一步包含其中該開口係由下列步驟形成：

在該基板上提供犧牲鰭；

在該犧牲鰭和該基板上形成襯墊；

在該襯墊上形成該隔離材料；

移除該犧牲鰭，其中該襯墊係設置在該隔離材料的該側壁和該基板上。

22.如申請專利範圍第 19 項的方法，進一步包含其中該襯墊材料包含選自氮化矽、氮氧化矽、氧化鉛和氧化鋁組成的群組中的材料。

23.如申請專利範圍第 19 項的方法，進一步包含其中該襯墊的一部分係設置在該基板和該隔離材料之間。

24.如申請專利範圍第 19 項的方法，進一步包含其中該矽基板包含 p 型矽基板，以及其中具有該磊晶材料的基板介面的側壁包含 (111) 矽平面。

25.如申請專利範圍第 19 項的方法，進一步包含其中該襯墊係直接設置在該閘極氧化物上。

圖式

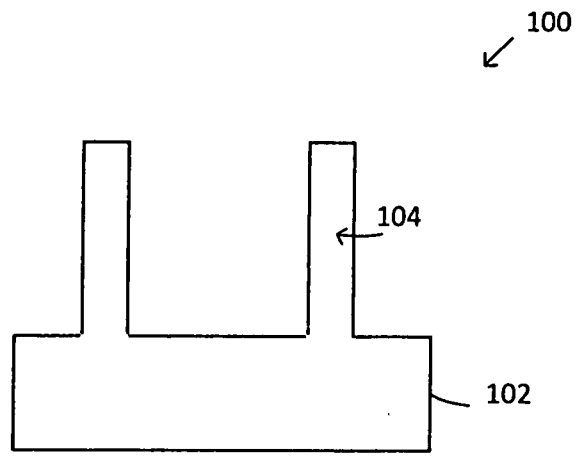


圖 1a

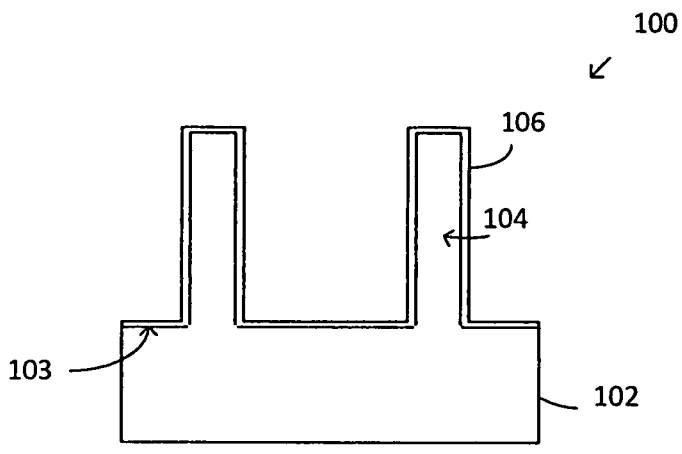


圖 1b

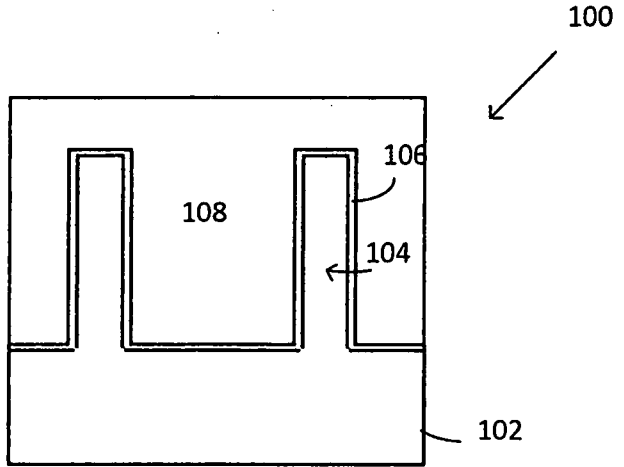


圖 1c

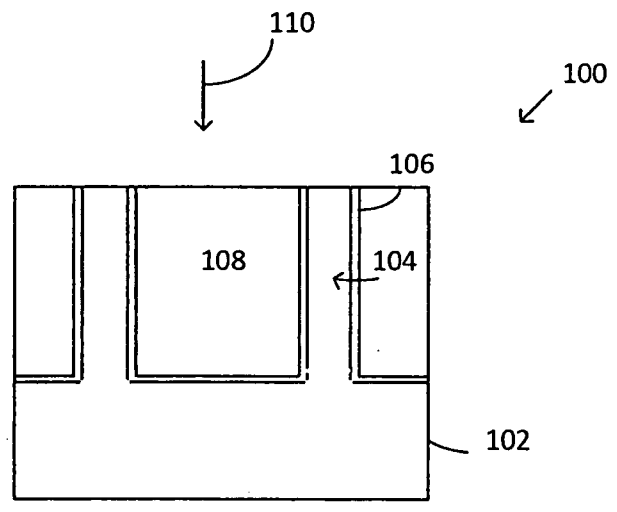


圖 1d

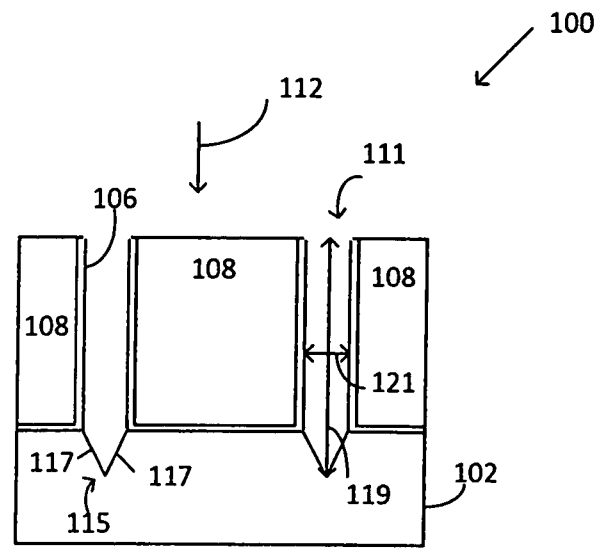


圖 1e

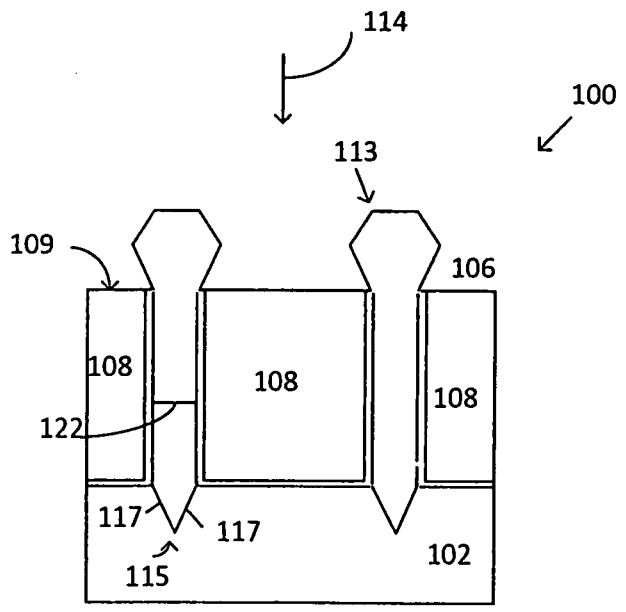


圖 1f

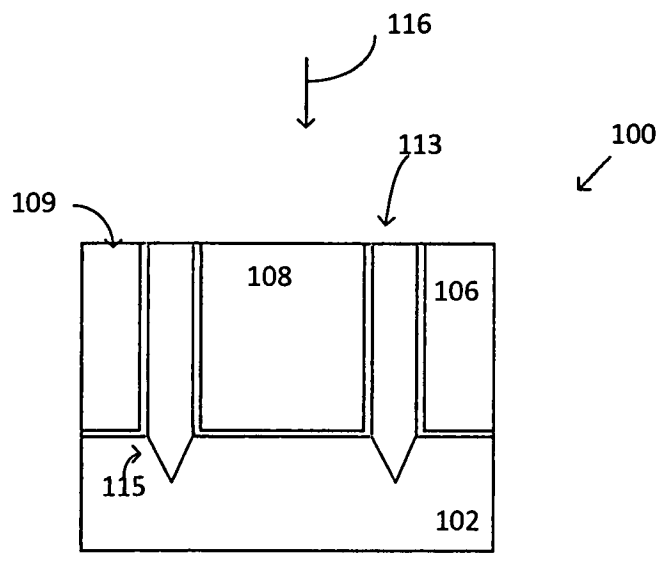


圖 1g

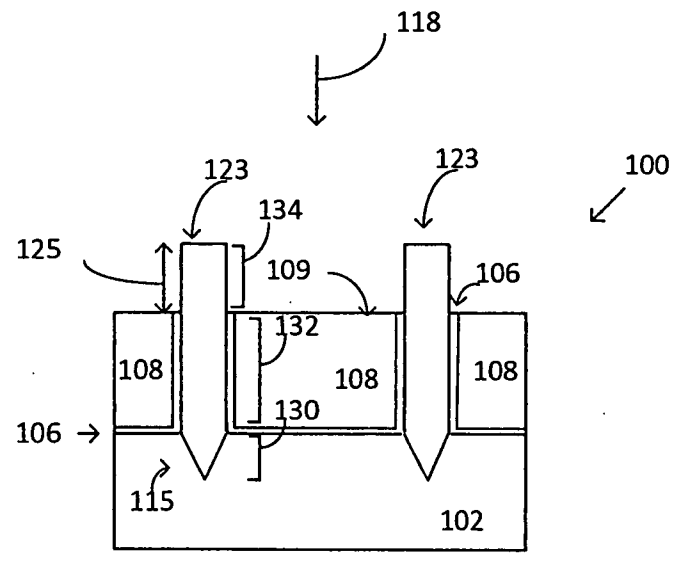


圖 1h

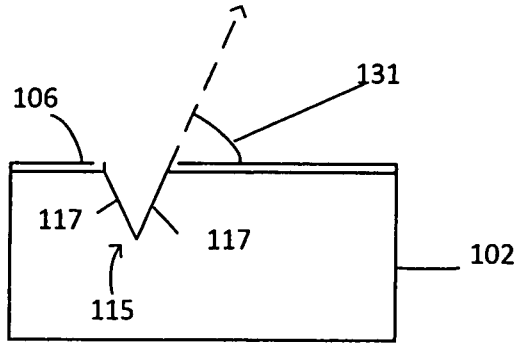


圖 1i

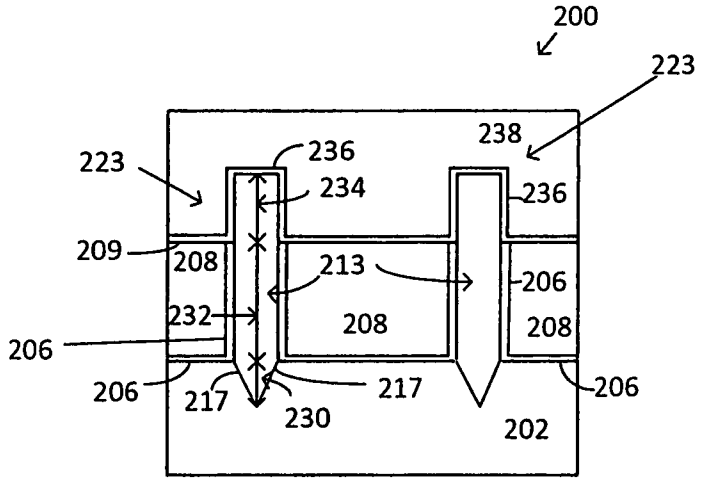


圖 2a

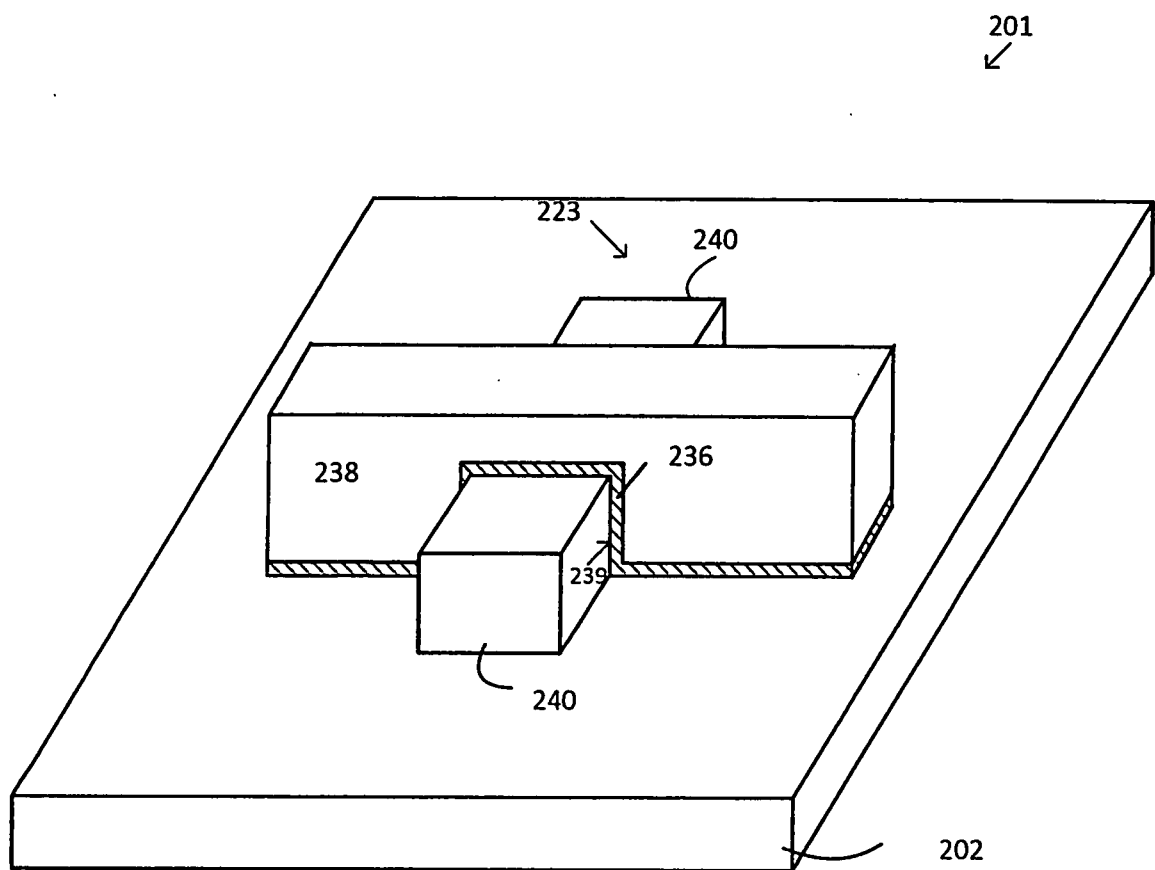


圖 2b

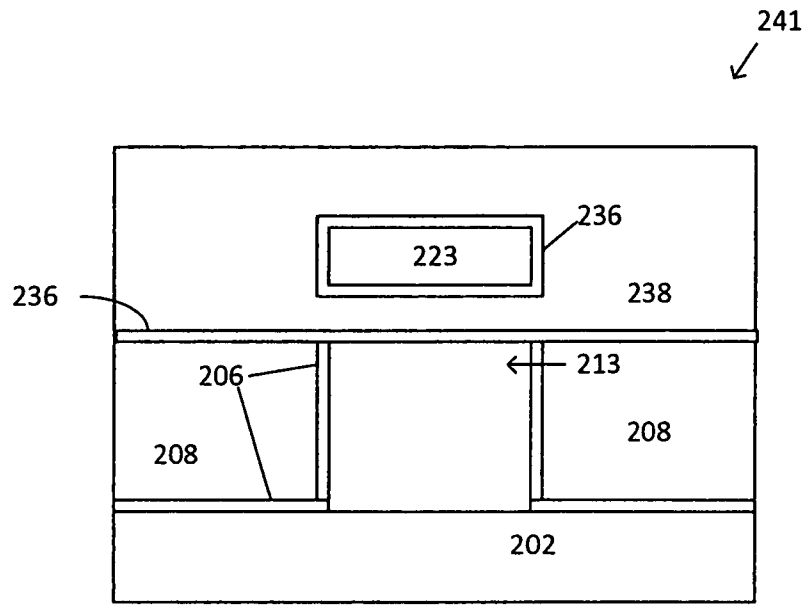


圖 2c

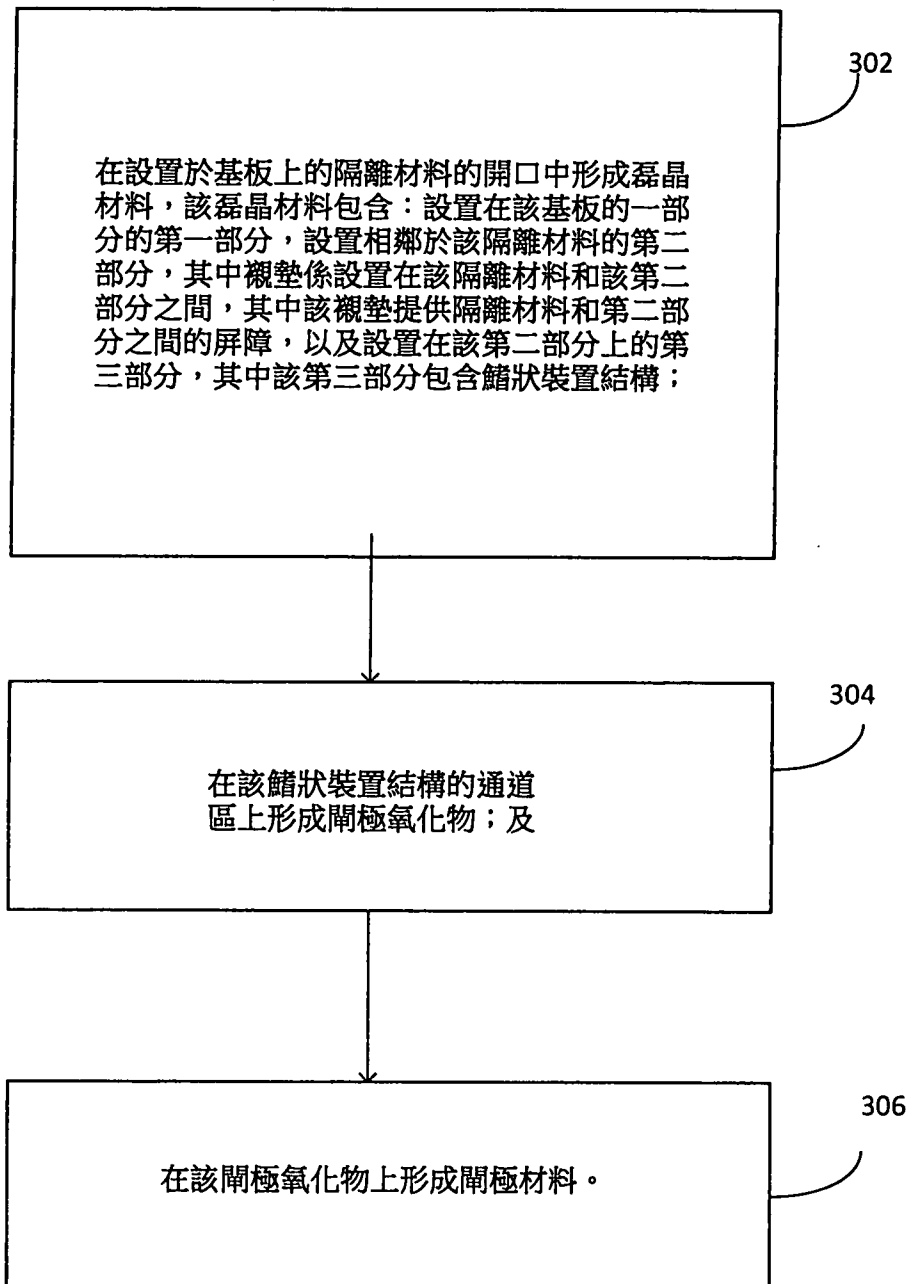


圖 3

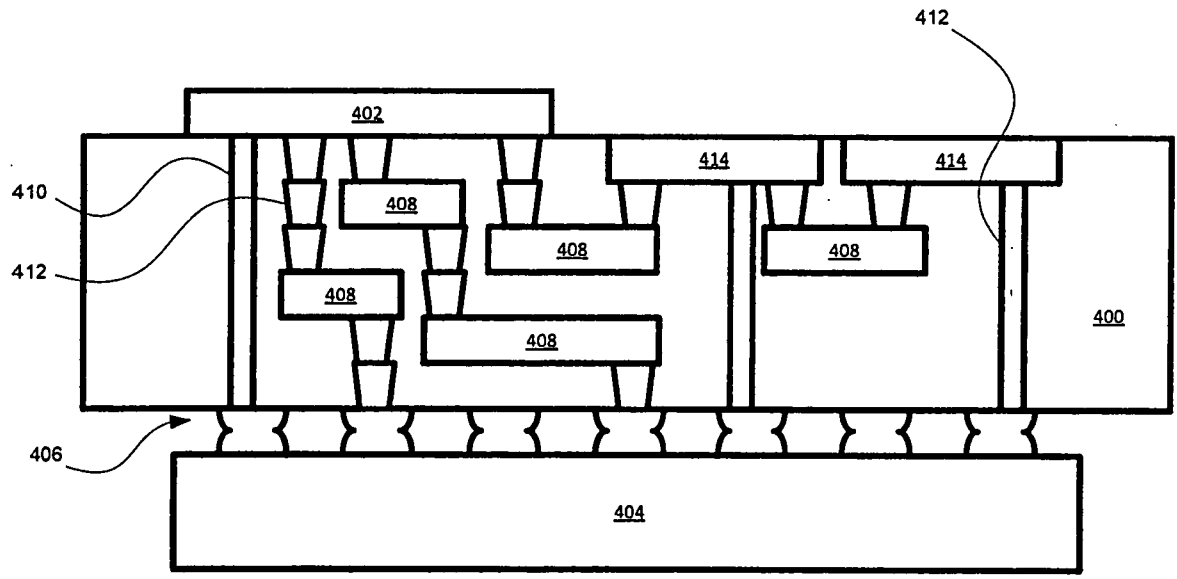


圖 4

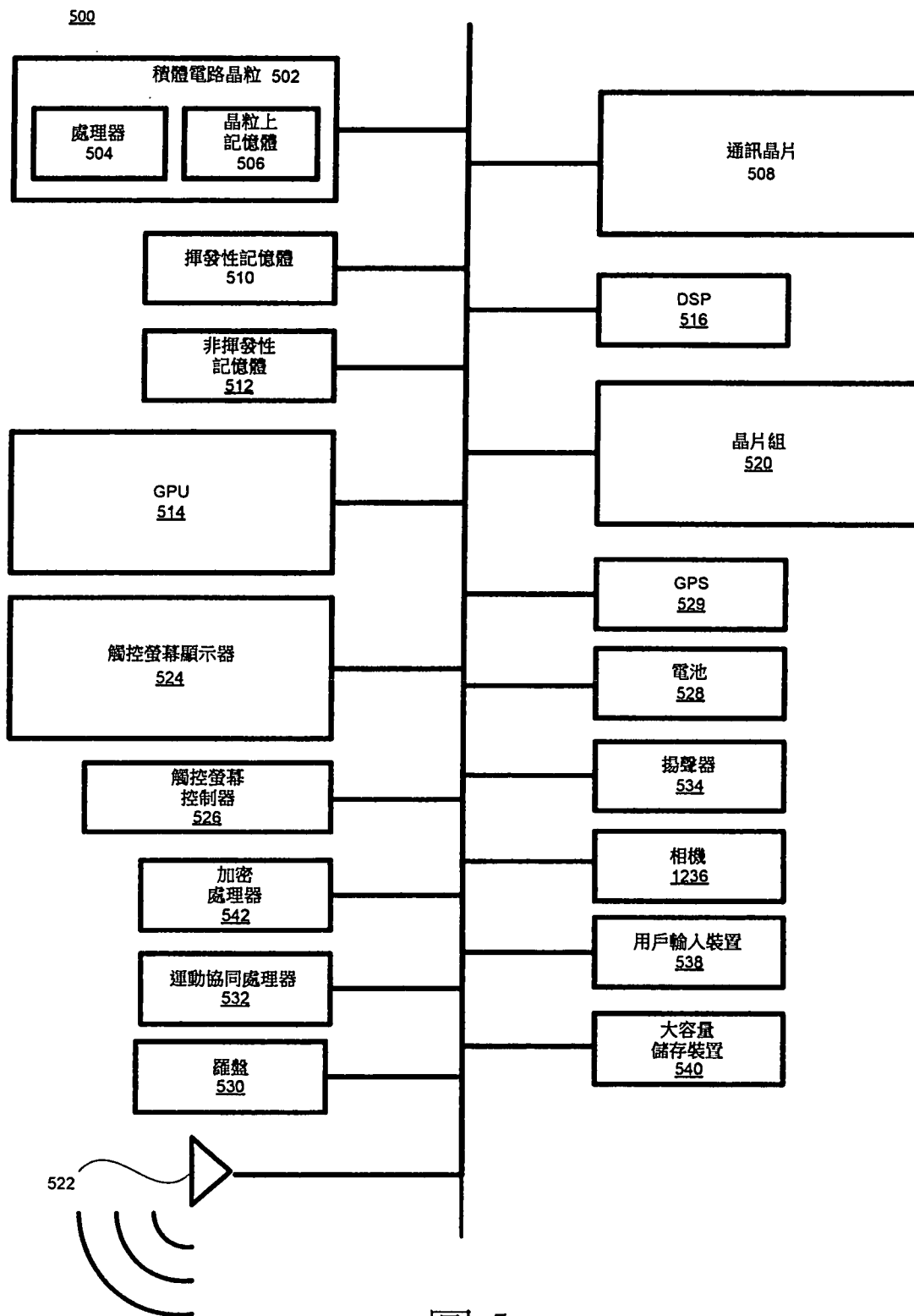


圖 5