公告本

申請日期	88 年 11 月 22 日
案號	88120352
類別	H01L 23/48

（以上各欄由本局填註）

A4
C4

452957

發明 新型 專利說明書

一、發明新型名稱	中文	半導體裝置及記憶系統
	英文	
二、發明創作人	姓名	(1) 佐久間一樹 (2) 高橋康 (3) 西澤裕孝
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル㈱日立製作所知的所有權本部內 (2) 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル㈱日立製作所知的所有權本部內 (3) 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル㈱日立製作所知的所有權本部內
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二二番一號
	代表人姓名	(1) 庄山悅彥 (2) 鈴木仁一郎

裝 訂 線

經濟部智慧財產局員工消費合作社印製

申請日期	88 年 11 月 22 日
案號	88120352
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 川村昌靖 ⑸ 增田正親 ⑹ 管野利夫
	國籍	⑷ 日本　⑸ 日本　⑹ 日本
	住、居所	⑷ 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル㈱日立製作所知的所有権本部内 ⑸ 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル㈱日立製作所知的所有権本部内 ⑹ 日本國東京都千代田區丸の内一丁目五番一號 新丸ビル㈱日立製作所知的所有権本部内
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人 姓名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

申請日期	88 年 11 月 22 日
案號	88120352
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	(7) 和田環 (8) 杉山道昭
	國籍	(7) 日本　　(8) 日本
	住、居所	(7) 日本國東京都小平市上水本町五丁目二二番一號㈱日立超エル・エス・アイ・システムズ内 (8) 日本國東京都小平市上水本町五丁目二二番一號㈱日立超エル・エス・アイ・システムズ内
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部智慧財產局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1998 年 11 月 26 日	10-335351	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（1）

（發明之背景）

近年來對於DRAM（Dynamic Random Access Memory）等之半導體裝置中，記憶體之大容量化係進行著。而對應於該大容量化而半導體晶片之尺寸也跟著大型化。

關於載置此被大型化之半導體晶片之技術有，例如在半導體晶片據位有引線框架之LOC（Lead on Chip）。

而在LOC上爲了求大容量化爲目的，疊層了同容量之DRAM所構成之二個半導體晶片，而採取以同一樹脂密封體來密封這些半導體晶片之構造之半導體裝置。

該半導體裝置（記憶系統）乃使二個半導體晶片之電路形成面互相面向狀態地予以疊層而成，引線係具有在樹脂密封體之內部而上下地予以分歧之二個分歧引線之構成者。

二個分歧引線中，一方之分歧引線乃介置了絕緣性薄膜而接著固定於一定之半導體晶片之電路形成面，而介著結合線而連接於該電路形成面之外部端子。

又二個分歧引線乃分別由個別之構件所構成，一方之分歧引線係導出於樹脂密封體之外部，而與被形成爲規定之形狀之外部引線予以成一體化。另一方之分歧引線即在樹脂密封體之內部而連接於一方之分歧引線，電氣的且機械的予以連接。

即延伸於樹脂密封體之內外部引線（外部端子）乃由：導出於樹脂密封體之外部之外部引線，及被一體化於此

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（２）

外部引線之一方之分歧引線，及連接於此一方之分歧引線之另一方之分歧引線所構成。

又關於此半導體裝置有詳細述說之例有，日本專利公報特開平７－５８２８１號者。

再者，本發明人等在完成本發明之後所實施之先前技術例調查，查出有下列之文獻。

即特開平９－２４６４６５號公報（對應美國發明專利ＳＵＰ５，８０４，８７４）係揭示，以控制訊號ＲＡＳ０及ＲＡＳ１而選擇被疊層之二個半導體晶片之一之疊層晶片封包者。

特開平７－８６５２６號公報係揭示係二個記憶體積體電路之封包，而藉由以ＣＥ端子而只將一方之記憶體積體電路使之成爲有源狀態而迴避Ｉ／Ｏ訊號與Ｉ／Ｏ訊號之衝突之技術者。

特開平４－３０２１６５號公報（對應美國發明專利，ＵＳＰ５，２１１，４８５）揭示。

在翼片之表面及背面固定具有同一機能之第１及第２之半導體記憶元件，此二個記憶元件係個別的備有賦予輸出阻抗控制訊號及資料輸出輸入動作活性化訊號之機構，而又具備共同的賦予上述以外之控制訊號，資料輸入輸出訊號電源之機械之半導體記憶裝置。

特開平３－１８１１６３號公報（對應美國發明專利ＵＳＰ５，５１２，７８３）係揭示，係在其內部膠囊密封在其內部具有一個或複數之半導體晶片之包含有外部殼

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（３）

體之半導體晶片封包，而半導體晶片封包乃包含有四個晶片選擇梢（ＣＯＳ乃至ＣＳ３），二個寫入許可梢（ＷＥ０乃至ＷＥ１），二個輸出許可梢（ＯＥ０乃至ＯＥ１）等之技術。

（發明之概說）

惟在上述之半導體裝置係由本發明尋出有下列之問題。

即，上述之二個分歧引線乃存在於被疊層之二個半導體晶片之間，分歧引線之互相面向之半導體晶片之結合面上分別連接有各結合線，所以相當於二個分歧引線之間隔地二個半導體晶圓之間隔也擴大，而樹脂密封體之厚度也增加半導體裝置之厚度也變厚。

又由於二個分歧引線之存在於二個半導體晶片之間，所以在各半導體晶圓上所發生之浮遊容量（晶片／引線間容量）即分別地附加於二個分歧引線上，而使各分歧引線之訊號之傳輸速度乃降低，使半導體裝置之電氣的特性降低也。

本發明之目的係提供一種使樹脂密封體薄型化，且可大幅度的提高電氣特性之半導體裝置。

本發明之上述及其他目的及新穎之特徵乃由本發明書之記述及附圖而更可以明瞭也。

本案所揭示之發明中，代表性之概要簡單的說明於下。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

即，本發明之半導體裝置乃具有：樹脂密封體，及據於上樹脂密封體之內部之位置，而於電路形成有外部端子之二個半導體記憶晶體，及延伸於樹脂密封體之內外之引線，該引線乃至少在樹脂密封體內部而使分歧爲二、而被分歧之一方之引線係固定於一方之半導體晶片之電路形成面，而連接於該電路形成面之外部端子，另一方之引線係固定於另一方之半導體晶片之電路形成面，而連接於該表面之外部端子，該二個半導體晶片乃分別將各背面與背面互相面向狀態地予以疊層，而二個半導體晶片乃分別設有個別的輸入可以成爲低消費電力模式之鐘啓動訊號（晶片控制訊號）之晶片控制引線者。

又本發明之半導體裝置乃，具有：樹脂密封體，及據位該樹脂密封體之內部，在電路形成面上形成了外部端子之二個半導體晶片，及延伸於樹脂密封體之內外之引線，而該引線係至少在樹脂密封體內部而被分歧爲二，所分歧之一方之引線係固定於一方之半導體晶片之電路形成面，而介著導電性之電線而連接於電路形成面之外部端子，另一方之引線係固定於另一方之半導體晶片之電路形成面上，介著導電性之電線而連接於該電路形成面之外部端子，該二個半導體晶片乃分別各背面與背面互相面向狀態地予以疊層，二個之半導體晶片係分別設有個別的輸入成爲低消費電力模式之鐘啓動訊號（晶片控制訊號）之晶片控制引線者。

再者，本發明之半導體裝置係，上述輸入於晶片控制

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

引線之晶片控制訊號係用於選擇半導體晶片之晶片選擇訊號者。

又，本發明之半導體裝置乃該輸入於上述晶片控制引線之晶片控制訊號係由許可鐘輸入之鐘啓動訊號所成者。

又，本發明之半導體裝置乃該輸入於上述晶片控制引線之晶片控制訊號係用於選擇半導體晶片之晶片選擇訊號，及許可鐘輸入之鐘啓動訊號所成者。

由於上述之情形而將二個半導體晶片以背對背的合而疊層，所以可以將二個半導體晶片之間隔變狹，可以使半導體裝置之厚度變薄也。

再者，不需要將各引線分別形成於半導體晶片之間，所以可以大幅度地減低引線之浮遊容量，可以提高半導體裝置之電氣特性也。

再者，對於一方之半導體晶片存取之間，可以將另一方之半導體晶片設定爲消費電力模式，因此大幅度的減低半導體裝置之消費電力也。

再者，在於上述之各習知文獻上並沒有揭示，對於具有複數之半導體記憶晶片之記憶系統中，鐘訊號係對於各半導體晶片上共同的賦予，同時控制各半導體記憶晶片之訊號係對於各半導體記憶晶片各一個個別的賦予之技術。

在本發明中，對於具有複數之半導體記憶晶片之記憶系統中，鐘訊號係共同的賦予各半導體晶片，同時，控制各半導體記憶晶片之訊號即對於各半導體記憶晶片個別的賦予，所以可以實施在藉鐘訊號而動作之記憶系統中對於

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（６）

沒有被存取之半導體記憶晶片可以使之以選擇的以低消費力動作之記憶系統之低消費電力化者。

（發明之詳細說明）

下面依附圖詳細的說明本發明之實施形態。

第１圖係依本發明之一實施形態之半導體裝置（或記憶系統或ＤＰＰ（Double Densify Package）之剖面圖。第２圖係本發明之一實施形態之半導體裝置之除了樹脂密封體狀態之概念斜視圖。第３圖係表示依本發明之一實施形態之半導體裝置之內部結線狀態之方塊圖以及可能動作之說明圖。第４圖係表示依本發明之一實施形態之疊層於半導體裝置之上部之半導體晶片側之內部構造之佈置之說明圖，第５圖係疊層於該半導體裝置之下部之半導體晶片側之內部構造之佈置之說明圖，第６圖係依ＪＥＤＥＣ所規定之位構成之１６位時之Ｓ　ＤＲＡＭ之標準梢腳配置之說明圖。

在本實施形態中，表面實裝封包之一種之ＴＳＯＰ（Thin Small Out-line Package）形之半導體裝置１係由Ｓ（Syncronous）ＤＲＡＭ所成其字Ｘ位（WORD X Bit）構成係例如８Ｍ×１６Ｂｉｔ。

半導體裝置１乃，如第１圖，第２圖所示，該字Ｘ位構成爲４Ｍ×１６位之字Ｘ位構成之二個半導體晶片２，３被疊層之構造。

半導體晶片２，３係以沒有電路形之面（背面）之全

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

面地分別疊合，例如以聚醯亞胺等之接著劑來接著，這些半導體晶片2，3乃以晶片之朝向上下方向同一朝向地疊層而成。

又於半導體晶片2，3之電路形成面之中央部，乃在該半導體晶片2，3之長過方向分別配置有電極（結合墊（外部端子）4，5）。

內引線（引線）6係介著絕緣薄膜8而接著於半導體晶片2之電路形成面，在半導體晶片2之結合墊4近傍毘據位有內引線6之先端部也。

同樣地，介著絕緣薄膜9而在半導體晶片3之電路形成面也接著有內引線（引線）7，內引線6之先端部係據於半導體晶片3之結合墊5之近傍之位置。

再者在結合墊4，5與內引線6，7之間同樣於半導體晶片2，3之長軸方向地分別設置供給半導體裝置之動作電壓之電源電壓之引線，以及供給基準電位之引線之迺電板B，B。

在內引線6上介著結合線（電線）10分別連接有形成於半導體晶片2之結合墊4。對於內引線7即介著結合線（電線）11而連接有形成於半導體晶片3之結合墊5。又用於供給電源電壓或基準電位之結合墊4，5上同樣介著結合線而連接於迺電板B，B。

內引線6，7係分別由別個之構件所構成，內引線7係在樹脂密封體12之內部而例如藉雷射熔接等接合法而電氣的且機械的連接於內引線6。並且連接於內引線7之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（８）

內引線６係被引出於樹脂密封體１２之外部而成爲被形成爲規定之形狀之外引線（引線）１３。

第３圖之方塊圖係表示半導體裝置１之半導體晶片２，３之結線狀態。

如第３圖所示，在半導體裝置１中，屬於資料之輸入、出訊號ＤＱ０～ＤＱ１５，地址訊號Ａ０～Ａ１３，鐘訊號ＣＬＫ，以及屬於控制訊號之低地址選通訊號／ＲＡＳ，列地址選通訊號／ＣＡＳ，讀、啓動訊號／ＷＥ，遮蔽罩訊號ＤＱＭＵ，ＤＱＭＬ乃對於兩者之半導體２，３均共同地輸入。而同樣屬於控制系訊號之鐘啓動訊號（晶片控制訊號）ＣＫＥ，晶片選擇訊號（晶片控制訊號）／ＣＳ即分別獨立地輸入於半導體晶片２，３。

下面說明本實施形態之作用。

首先在半導體裝置１中，介著外引線１３將輸入出訊號ＤＱ０～ＤＱ１５，地址訊號Ａ０～Ａ１３，鐘訊號ＣＬＫ，及控制系訊號之低地址選通訊號／ＲＡＳ，列地址選通訊號／ＣＡＳ，寫啓動訊號／ＷＥ，遮蔽罩訊號ＤＱＭＵ，ＤＱＭＬ分別共同地輸入於半導體晶片２，３之規定之結合墊４，５內引線６，７地以結合線１０，１１而予以連接。

另一方面該輸入屬於二個控制系訊之鐘啓動訊號ＣＫＥ，及晶片選擇訊號／ＣＳ之外引線１３即分別個別地設有專用之外引線１３。

例如鐘啓動訊號ＣＫＥ係具有，輸入於半導體晶片２

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（９）

之鐘啓動訊號ＵＣＫＥ，以及輸入於半導體晶片３之鐘啓動訊號ＬＣＫＥ。

而在半導體裝置１之外引線１３上設有，用於輸入鐘啓動訊號ＵＣＫＥ之鐘啓動用外引線（晶片控制引線）１３ＵＣＫＥ及用於輸入鐘啓動訊號ＬＣＫＥ之鐘啓動用外引線（晶片控制引線）１３ＬＣＫＥ。

鐘啓動用外引線１３ＵＣＫＥ乃如第４圖所示，設於半導體裝置之３８梢腳，鐘啓動用外引線１３ＬＣＫＥ即如第５圖所示據於半導體裝置之３７梢腳之位置地予以設置。

再者，晶片選擇訊號／ＣＳ係有輸入於半導體晶片２之晶片選擇訊號ＵＣＳ、及輸入於半導體晶片３之晶片選擇訊號ＬＣＳ，而在半導體裝置１之外引線１３設有用於輸入晶片選擇訊號ＵＣＳ之晶片選擇用外引線（晶片控制引線）１３ＵＣＳ、及用於輸入晶片選擇訊號ＬＣＳ之晶片選擇用外引線（晶片控制引線１３ＬＣＳ）。

晶片選擇用外引線１３ＵＣＳ係如第４圖所示，設於半導體裝置１之３６梢腳，晶片選擇用外引線１３ＬＣＳ即如第５圖所示，設於半導體裝置Ｌ之１９梢腳之立置。

於第６圖表示，在本案申請期間在ＪＥＤＥＣ（Joint Electron Device Engineeering Council）所規定之總梢腳數爲５４梢之半導體裝置之標準梢腳配置之一例。

依ＪＥＤＥＣ乃在第６圖中，３８梢腳係用於輸入鐘訊號ＣＬＫ之梢腳，惟如前述，半導體裝置１時即分派了

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10）

鐘啓動用外引線１３ＵＣＫＥ，所以在相鄰之梢腳３９梢腳分派輸入鐘訊號ＣＬＫ之梢腳。

又此３９梢腳係在ＪＥＤＥＣ係輸入遮蔽罩訊號ＤＱＭＵ之梢腳、惟半導體裝置１時即分派做爲輸入鐘訊號ＣＬＫ之梢腳，所以輸入遮蔽罩訊號ＤＱＭＵ之梢腳即改派至ＪＥＤＥＣ之４０梢腳之ＮＣ（ No Connection ）之梢腳位置上。

又依ＪＥＤＥＣ，３７梢腳係用於輸入鐘啓動鎖定號訊ＣＫＥ之梢腳，惟半導體裝置１時即分派被輸入鐘啓動訊號ＬＣＫＥ之鐘啓動用外引線１３ＬＣＫＥ者。

依ＪＥＤＥＣ，３６梢腳係ＮＣ梢腳、惟半導體裝置１時，即分派了輸入晶片選擇訊號ＵＣＳ之晶片選擇用外引線１３ＵＣＳ。

依ＪＥＤＥＤ，１９梢腳係用於輸入晶片選擇訊號／ＣＳ之梢腳、惟半導體裝置（或記憶系統，或ＤＤＰ（ Double Density Package ））１時即分派了晶片選擇訊號ＬＣＳ。所以３６梢腳、３８梢腳之晶片選擇用外引線１３ＵＣＳ，鐘啓動用外引線１３ＵＣＫＥ即從內引線６而介著結合線１０而只連接於半導體晶片２之規定之結合墊４，３７梢腳、１９梢腳之晶片選擇用外引線１３ＬＣＳ，鐘啓動用外引線１３ＬＣＫＥ即從內引線７而介著結合線１１只連接於半導體晶片３之規定之結合墊５。

又欲存取半導體晶片２時，即令輸入於該半導體晶片２設爲屬於晶片選擇訊號／ＣＳ之晶片選擇訊號ＵＣＳ爲

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 11）

低水平（啓動水平），而將屬於鐘啓動訊號ＣＫＥ之鐘啓動訊號ＵＣＫＥ定爲高水平（啓動水平）。

另一方面對於不存取之半導體晶片3即分別輸入晶片選擇訊號ＬＣＳ爲高水平（不啓動水平），鐘啓動訊號ＬＣＫＥ爲低水平（不啓動水平），由而如第3圖之右側使之成爲低消費電力模式之一之功率降低模式也。

再者如欲對半導體晶片3存取時，即令輸入於該半導體晶片3之晶片選擇訊號ＬＣＳ定爲低水平，鐘啓動訊號ＬＣＫＥ爲高水平。

對於不做存取之半導體晶片2乃，使晶片選擇訊號ＵＣＳ爲高水平，鐘啓動訊號ＵＣＫＥ爲低水平地分別輸入，由而使之成爲功率降低模式也。

由上述之構成，本實施之形態中令半導體晶片2，3之背面互相面向地使之疊層，所以可以使二個半導體晶片2，3之間隔變狹，由而可以使半導體裝置1之厚度變薄。

由而在半導體晶片2，3之間不須要分別形成內引線6，7所以大幅度地可以減低內引線6，7之浮遊容量，由而提高半導體裝置1之電氣特性。

又對於各半導體晶圓2，3獨立地可輸入晶片選擇訊號，鐘啓動訊號，因此可以只將不存取之一方之半導體晶片成爲功率降低模式，所以大幅度地可以減低半導體裝置1之消費電力也。

再者，在本實施之形態乃以分別個別的將晶片選擇訊

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（12）

號／ＣＳ及鐘啓動訊號ＣＫＥ之二個控制系統訊號分別個別輸入於半導體晶片２，３，惟也可以將二個控制訊號之其中一方之訊號個別的輸入於半導體晶片２，３，惟亦可以只將二個控制系訊號中之任一方之一之訊號個別地輸入於各半導體晶片２，３，而其他一方之訊號即共同的輸入也可以。

例如第７圖之方塊圖所示，將鐘啓動訊號ＣＫＥ做爲共通輸入、將晶片選擇訊號／ＣＳ，獨立個別地做爲輸入於半導體晶片２之晶片選擇訊號ＵＣＳ及輸入於半導體晶片３之晶片選擇訊號ＬＣＳ。

當對半導體晶片２存取，而半導體晶片３之不存取時，對於半導體晶片２輸入低水平（啓動水平）之晶片選擇訊號ＵＣＳ，高水平（啓動水平）之鐘啓動訊號ＣＫＥ，對於半導體晶片３即輸入高水平（不啓動水平）之晶片選擇訊號ＬＣＳ，同樣輸入高水平（啓動水平）之鐘啓動訊號ＣＫＥ。

由於半導體晶片３中輸入高水平（不啓動水平）之晶片啓動訊號ＬＣＳ，所以如第７圖之右側所示可以設置低消費電力模式之一之候命模式由而可以減低消費電力。

例如晶片選擇訊號（晶片啓動訊號）／ＣＳ乃如果是啓動水平時許可（允許）包含資料之輸入或輸出之各種動作予以活性化用之訊號，而晶片選擇訊號爲不啓動水平時，即使上述各種動作非活性化由而可設定可減低消費電力之候命模式。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 13）

再者如第８圖之方塊圖所示，將鐘啓動訊號ＣＫＥ獨立爲輸入於半導體晶片２之鐘啓動訊號ＵＣＫＥ，及輸入於半導體晶片３之鐘啓動訊號ＬＣＫＥ，而個別的輸入，而將晶片選擇訊號／ＣＳ做爲共同輸入。

當半導體晶片２被存取，半導體晶片３之不存取時，對於半導體晶片２輸入低水平（啓動水平）之晶片選擇訊號／ＣＳ。高水平（啓動水平）之鐘啓動訊號ＵＣＫＥ，對於半導體晶片３即被輸入低水平（啓動水平）之晶片選擇訊號／ＣＳ，低水平（不啓動水平）之鐘啓動訊號ＬＣＫＥ。

由於在半導體晶片３輸入低水平（不啓動水平）之鐘啓動訊號ＬＣＫＥ，所以如在第８圖右側所示，被設定低消費電力模式之一之功率降低模式，可減低消費電力。

例如鐘啓動訊號ＣＫＥ可以定義爲令鐘啓動訊號之訊號。又可做爲令半導體晶片（ＳＤＲＡＭ）做爲低功率狀態之訊號。當以鐘啓動訊號ＣＫＥ而半導體晶片被做爲低功率狀態時全部之內部儲存均被成爲預充電狀態（ＩＤＬＥ狀態），而全部之內部存儲之被成爲預充電狀態時，鐘啓動訊號ＣＫＥ乃被利用爲半導體晶片之輸入緩衝器之閘訊號，當半導體晶片之功率降低（低功率狀態）時，記憶體單元乃不實施更新，所以在功率降低之下可以適用取小之更新規格。

如將上述二個控制系訊號之中之只將其中之一方之訊號個別的輸入個別之半導體晶片２，３，而另一方的訊號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14）

乃共同的輸入時，即只將個別的輸入之一方之訊號之一分派於ＮＣ梢腳就可以，所以不必更改ＪＥＤＥＣ（第６圖）之標準梢腳之配置之地可以實施梢腳之分派也。

再者，如本實施形態地，將二個控制系訊號分別個別的輸入於半導體晶片２，３時，如果仍然將半導體晶片１之梢配置採用ＪＥＤＥＣ之標準梢腳配置時，即變更半導體晶片２，３之結合墊４，５之形成位置，設法使增加之二梢腳份分派於ＪＥＤＥＣ之ＮＣ梢腳位置也可以。

例如於半導體晶片２時，即如第９圖所示，在ＪＥＤＥＣ之４０梢腳之ＮＣ梢腳上分派鐘啓動訊號ＵＣＫＥ，在ＪＥＤＥＣ之３６梢腳之ＮＣ梢腳上可分派晶片選擇訊號ＵＣＳ地形戊結合墊４也。

又於半導體晶片３即，如第１０圖所示，在ＪＥＤＥＣ之３７梢腳之被分派了鐘啓動訊號ＣＫＥ之梢腳上分派鐘啓動訊號ＬＣＫＥ，而ＪＥＤＥＣ之１９梢腳之原分派之晶片選擇訊號／ＣＳ之梢腳上可以分派晶片選擇訊號ＬＣＳ地形成結合墊５也。

上面乃依據發明之實施形態具體的說明了本發明，惟本發明並不侷限於上述實施形態，當然在不逸脫其要旨之範圍內可以做種種之變更也。

又上述之實施形態乃以ＴＳＯＰ之半導體裝置爲例做說明惟半導體裝置之封包形狀也可以ＴＳＯＰ以外之形態，即亦可適用於：單向引線排列之ＳＩＰ（ Single In line Package ），ＺＩＰ（ Zigzag In line Package ）、雙方向引

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 15）

線排列之ＳＯＪ（ Small In-line Package ）、ＳＯＰ（ Small out line Package ）以及四方向引線排列之ＱＦＰ（ Quad Flat Package ）、ＱＦＪ（ Quad Flat J-lea dd Package ）等之半導體裝置也。

再者包含於記憶系統（半導體裝置）之各半導體晶片乃未經樹脂密封之構成亦可，而構成記憶系統（半導體裝置）之各半導體晶片係個別的樹脂密封也可以。

又替代於記憶系統（半導體裝置）之引線亦可以用隆起接點來使用。

簡單的說明由本發明所揭示之發明之中之代表性者可獲得之效果如下：

①依本發明時，可以使樹脂密封體之厚度薄化，所以可以使半導體裝置薄型化。

②依本發明時，可以大幅度地減低引線之浮遊容量，所以可以提高半導體裝置之電氣特性。

③再者，在本發明中，對於各半導體晶片獨立地輸入晶片控制訊號，所以可以只將不存取之半導體晶片設定爲低消費電力模式，由而大幅度的可以減低半導體裝置之消費電力也。

圖式之簡單說明

第１圖係本發明之一實施形態之半導體裝置之剖面圖。

第２圖係本發明之一實施形態之除去樹脂密封體狀態

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 16）

之概念斜視圖。

第３圖係本發明之一實施形態之半導體裝置之內部結線狀態之方塊圖及可能動作說明圖。

第４圖係表示本發明之一實施形態之半導體裝置之上面所疊層之半導體晶片側之內部構造佈置之說明圖。

第５圖係表示疊層於該半導體裝置之下部之半導體晶片側之內部構造之佈置之說明圖。

第６圖係由ＪＥＤＥＣ所決定之位構成爲１６位之ＳＤＲＡＭ之標準梢腳配置之說明圖。

第７圖係表示依本發明之其他實施形態之半導體裝置之內部結線狀態之方塊圖及可能動作之說明圖。

第８圖係表示依本發明之其他實施形態之半導體裝置之內部結線狀態之方塊圖及可動動作之說明圖。

第９圖表示依本發明之其他實施形態之疊層於半導體裝置之上部之半導體晶片側之內部構造之佈置之說明圖。

第１０圖表示依本發明之其他實施形態之疊層於半導體裝置之下部之半導體晶片側之內部構造之佈置之說明圖。

（標號說明）

１：半導體裝置

２，３：半導體晶片

４，５：結合墊（外部端子）

６，７：內引線（引線）

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 17）

8，9：絕緣薄片

10，11：結合線（電線）

12：樹脂密封體

13：外引線（引線）

13UKE：鐘啓動用外引線（晶片控制引線）

13LCKE：鐘啓動用外引線（晶片控制引線）

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：　半導體裝置及記憶系統　）

二個半導體晶片之背面係互相面向狀的疊合而被疊層，在各個半導體晶片分別設有個別輸入鐘啓動訊號，晶片選擇訊號之鐘啓動用外引線。當對於一方之半導體晶片存取時，將鐘啓動訊號，晶片選擇訊號使之爲非有源狀態，由而將另一方之半導體晶片設定爲低消費電力模式者。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1．一種半導體裝置，備有：樹脂密封體，及據於上述樹脂密封體之內部位置，而於電路形成面上形成外部端子之二個半導體晶片，及延伸於上述樹脂密封體之內外之第1引線，而上述第1引線乃至少在於上述樹脂密封體內部而被分岐爲二，被分岐之上述一方之第1引線係固定於上述一方之半導體晶片之電路形成面，而連接於該電路形成面之外部端子，上述另一方之第1引線係固定於上述另一方之半導體晶片之電路形成面，而固定於其表面之外部端子，上述二個半導體晶片乃以各背面及背面面向狀之狀態地予以疊層，而設置選擇上述二個半導體晶片之各個之一對輸入晶片選擇訊號之一對第2引線爲特徵者。

2．如申請專利範圍第1項所述之半導體裝置，其中上述外部端子與上述第1引線係介著導電性之電線而被連接者。

3．如申請專利範圍第1項所述之半導體裝置，其中再備有，對應於上述二個半導體晶片之一對鐘許可訊號之被輸入之一對第3引線者。

4．一種記憶系統，包含有：

接受鐘訊號之第1外部端子，及

接受第1訊號之第2外部端子，及

接受第2訊號之第3外部端子，及

包含有結合於上述第1外部端子之第1端子及結合於上述第2外部端子之第2端子之第1半導體記憶晶片，及

包含有結合於上述第1外部端子之第3端子及結合於

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述第3外部端子之第4端子之第2半導體記憶晶片而成爲其特徵者。

5．如申請專利範圍第4項所述之記憶系統，其中

上述第1訊號係第1鐘啓動訊號，

上述第2訊號係第2鐘啓動訊號者。

6．如申請專利範圍第5項所述之記憶系統，其中

上述第1半導體記憶晶片及上述第2半導體記憶晶片係以樹脂所密封，上述第1乃至第3外部端子係延伸於上述樹脂之內部及外部之引線者。

7．如申請專利範圍第4項所述之記憶系統，其中

上述第1訊號係第1晶片選擇訊號，

上述第2訊號係第2晶片選擇訊號者。

8．如申請專利範圍第7項所述之記憶系統，其中

上述第1半導體記憶晶片及上述第2半導體記憶晶片係以樹脂密封，上述第1乃至第3外部端子係延伸於上述樹脂之內部及外部之引線者。

9．如申請專利範圍第4項所述之記憶系統，其中

上述第1半導體記憶晶片及上述第2半導體記憶晶片係以樹脂密封，上述第1及第3外部端子係延伸於上述樹脂之內部及外部之引線者。

10．如申請專利範圍第4項所述之記憶系統，其中

上述第1半導體記憶晶片係包含形成於第1半導體基板之複數之第1記憶體單元，上述第2半導體記憶系統係包含形成於第2半導體基板之複數之第2記憶體單元者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

１１．一種記憶系統，包含：

接受第１鐘啓動訊號之第１外部端子，及

接受第２鐘啓動訊號之第２外部端子，及

接受第１晶片選擇訊號之第３外部端子，及

接受第２晶片選擇訊號之第４外部端子，及

包含結合於上述第１外部端子之第１端子，及結合於上述第２外部端子之第２端子之第１半導體記憶晶片，及

包含結合於上述第３外部端子之第３端子，及結合於上述第４外部端子之第４端子之第２半導體記憶晶片，爲其特徵者。

１２．如申請專利範圍第１１項所述之記憶系統，其中

上述第１半導體記憶晶片及上述第２半導體記憶晶片係以樹脂密封，上述第１乃至第４端子即延伸於上述樹脂之內部及外部者。

１３．如申請專利範圍第１１項所述之記憶系統，其中

上述記憶系統係再包含接受鐘訊號之第５外部端子，

上述第１半導體記憶晶片係再包含結合於上述第５外部端子之第５端子，

上述第２半導體記憶晶片係再包含結合於上述第５外部端子之第６端子者。

１４．如申請專利範圍第１３項所述之記憶系統，其中

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

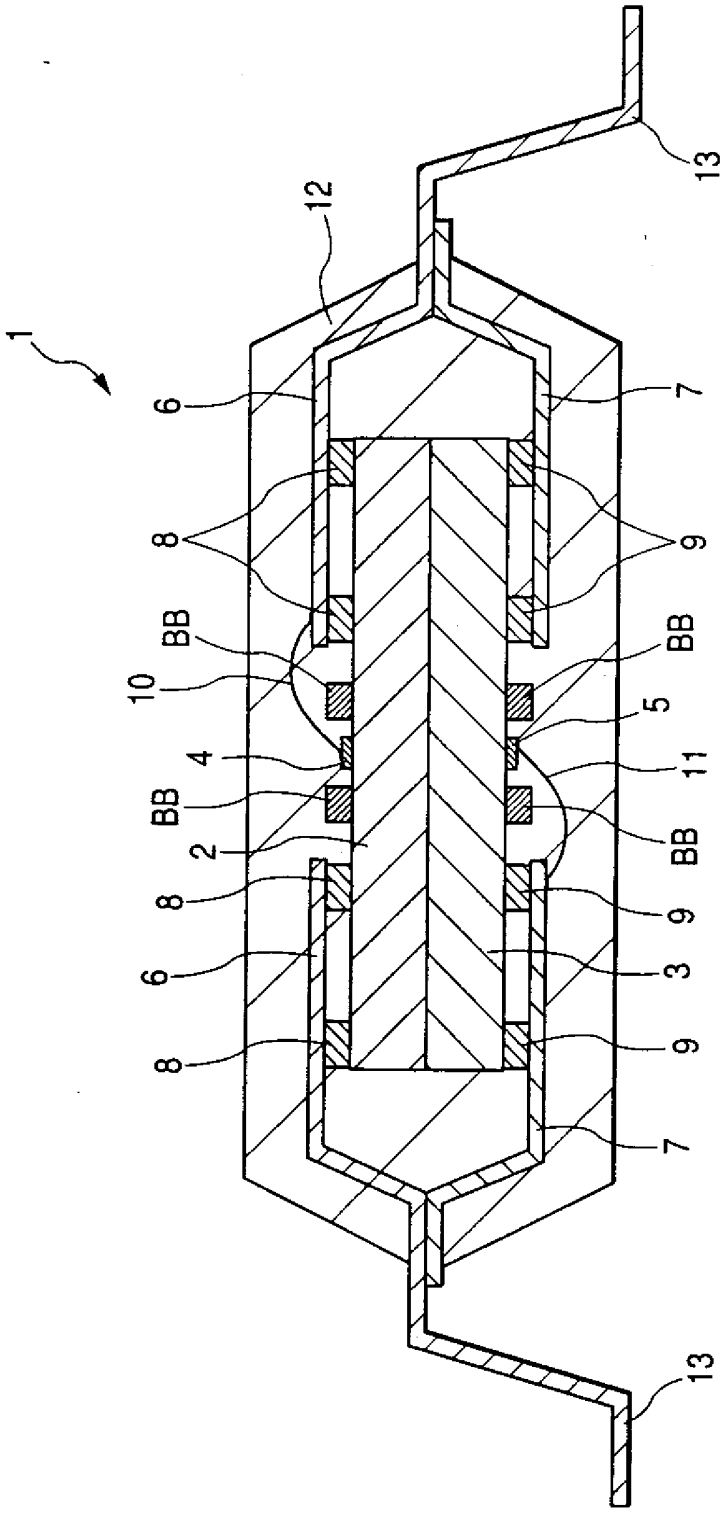
上述第1晶片及上述第2晶片係以樹脂密封，上述第1乃至第5外部端子係延伸於上述樹脂之內部及外部之引線者。

15．如申請專利範圍第11項所述之記憶系統，其中

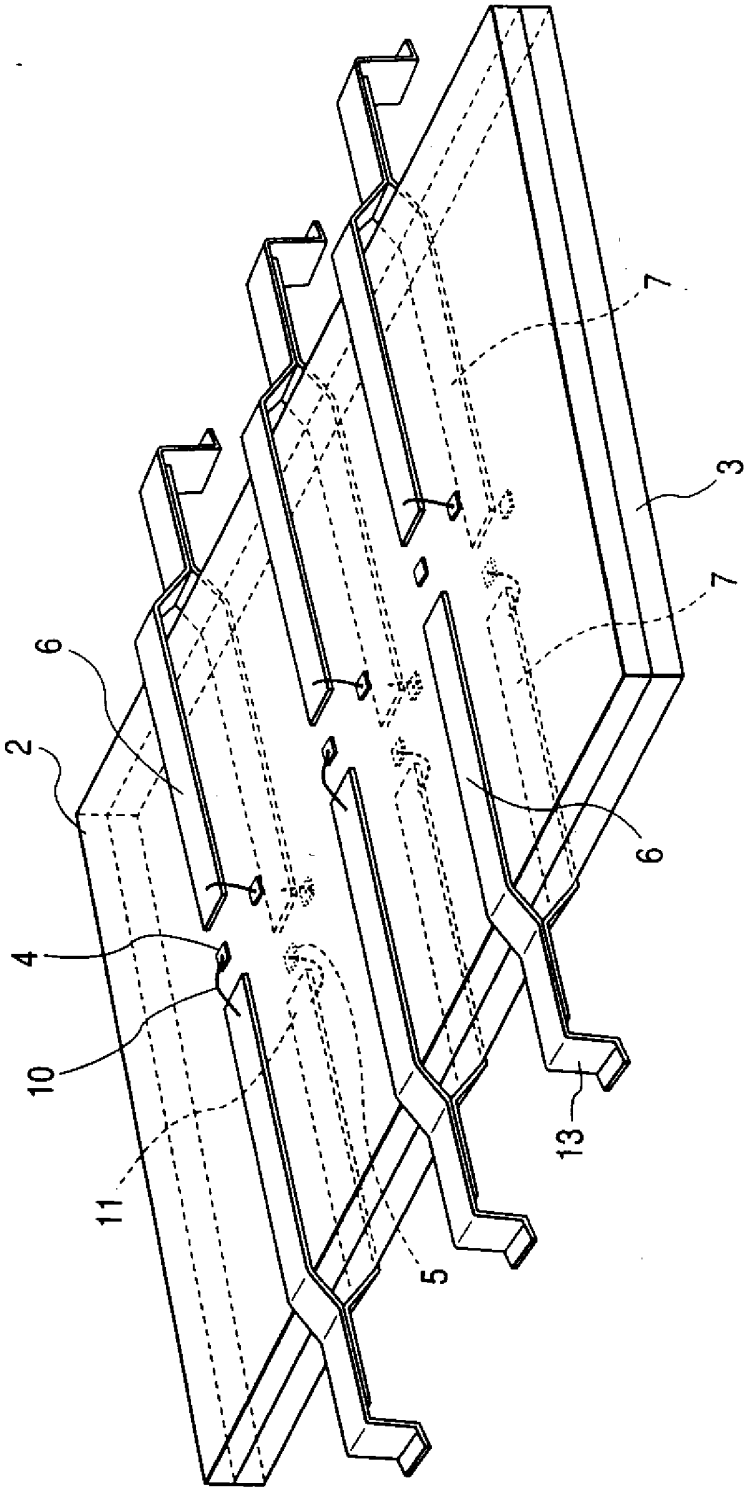
上述第1半導體記憶晶片係包含形成於第1半導體基板之複數之第1記憶體單元，而上述第2半導體記憶晶片係包含形成於第2半導體基板之複數之第2半導體單元者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

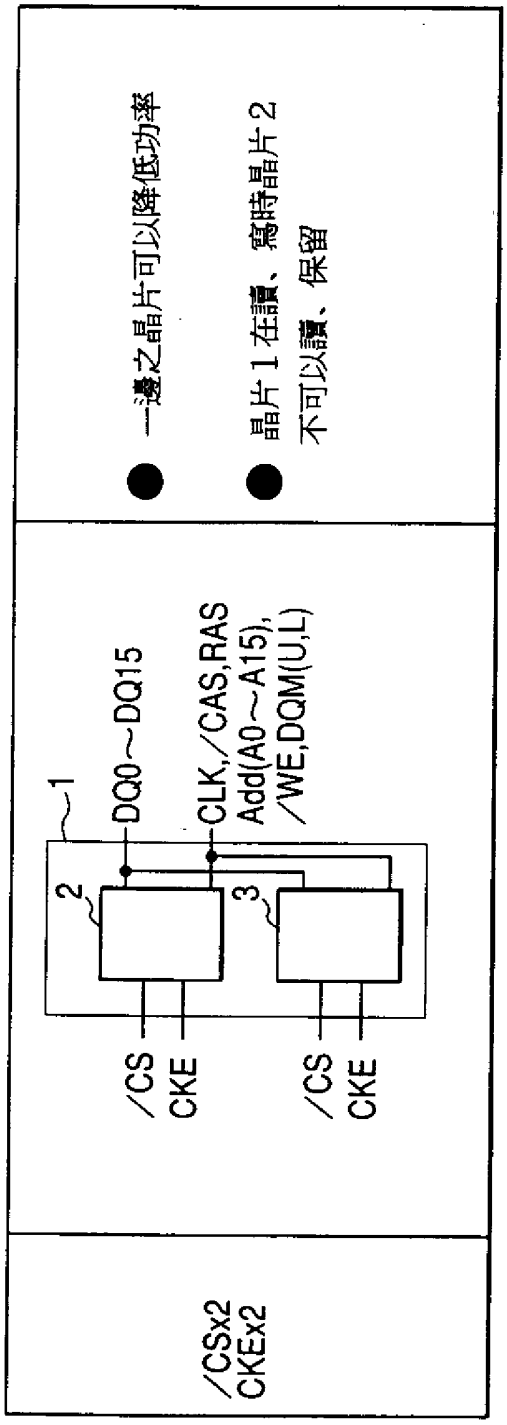
第1圖



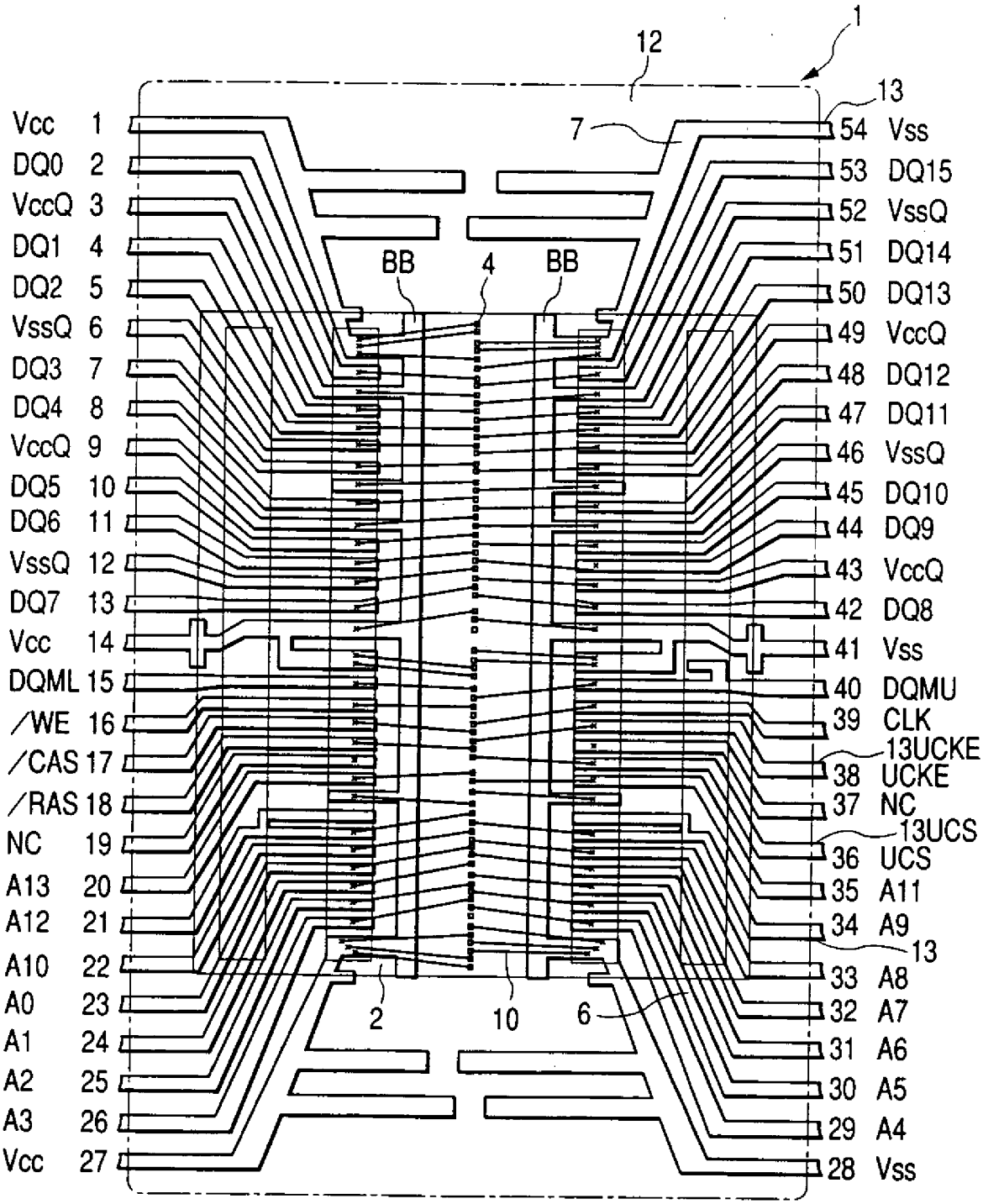
第２図



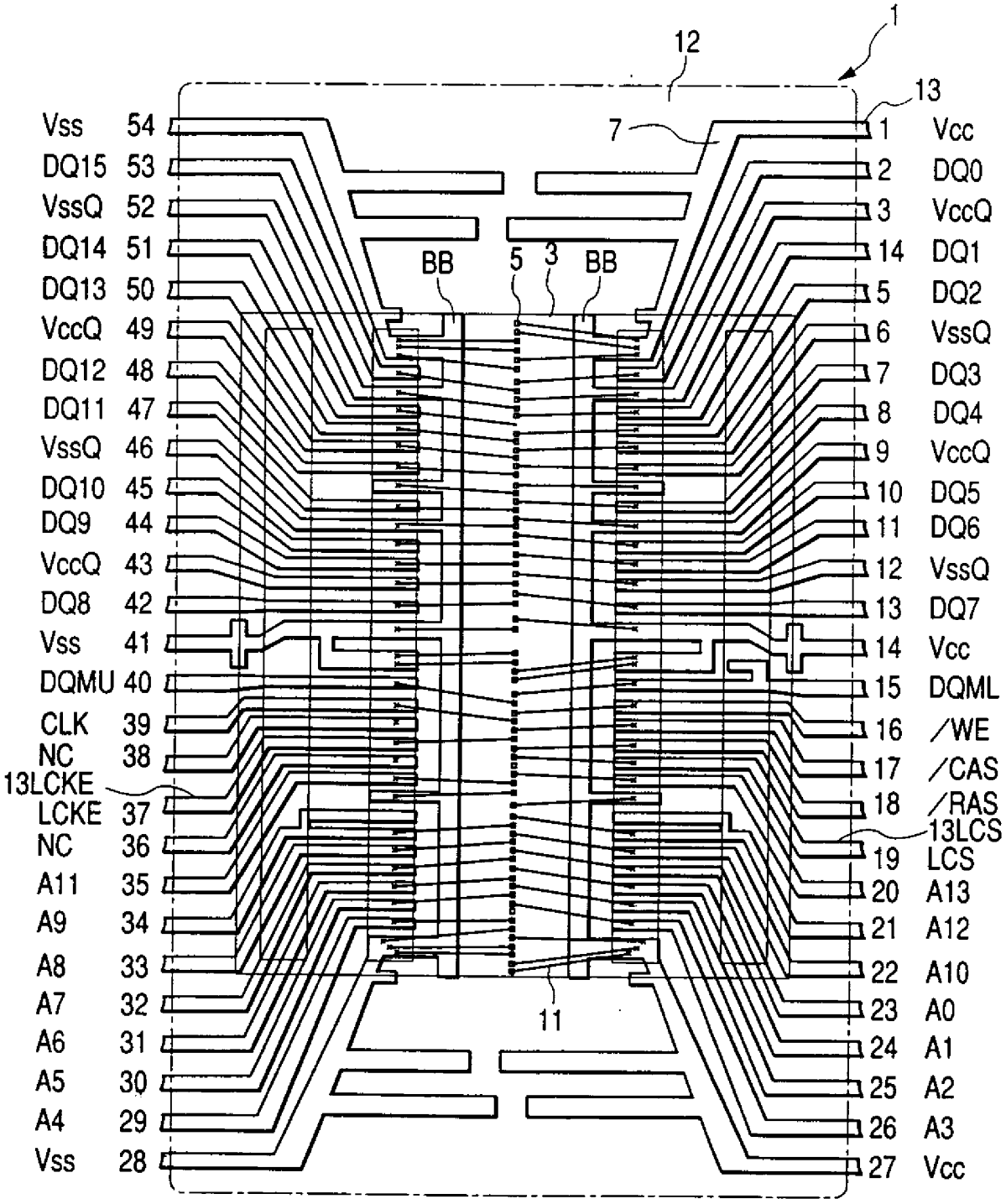
第 3 圖


一邊之晶片可以降低功率
晶片 1 在讀、寫時晶片 2
不可以讀、保留
1
DQ0～DQ15
CLK,/CAS,RAS
Add(A0～A15),
/WE,DQM(U,L)
2
3
/CS
CKE
/CS
CKE
/CSx2
CKEx2

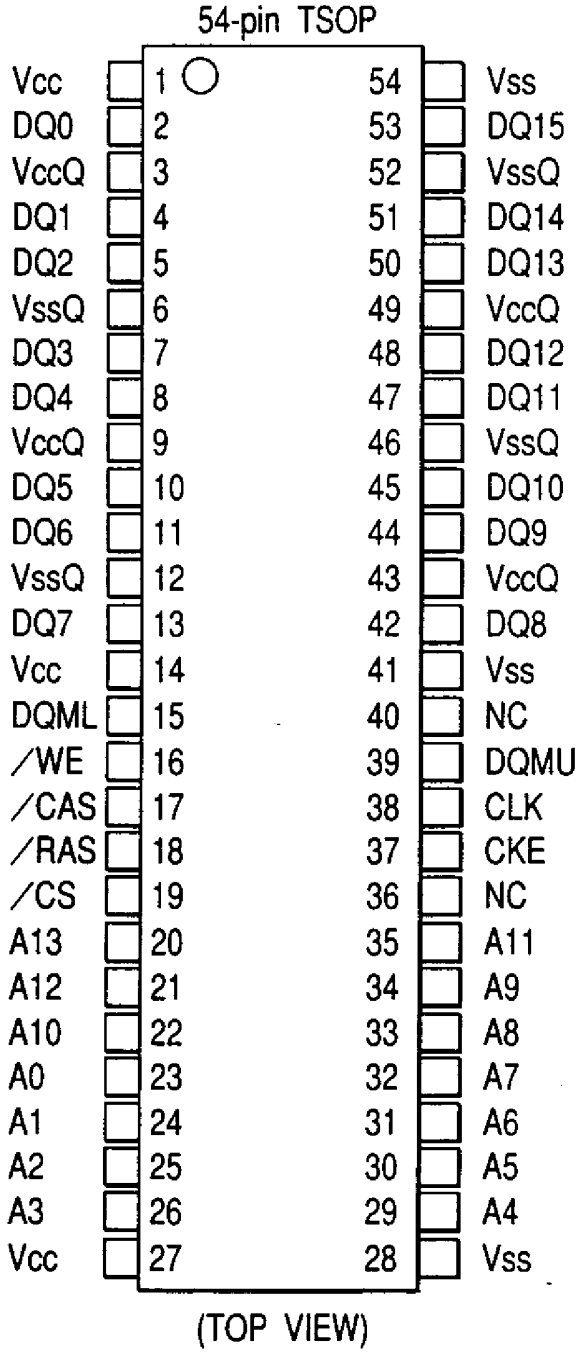
第 4 圖

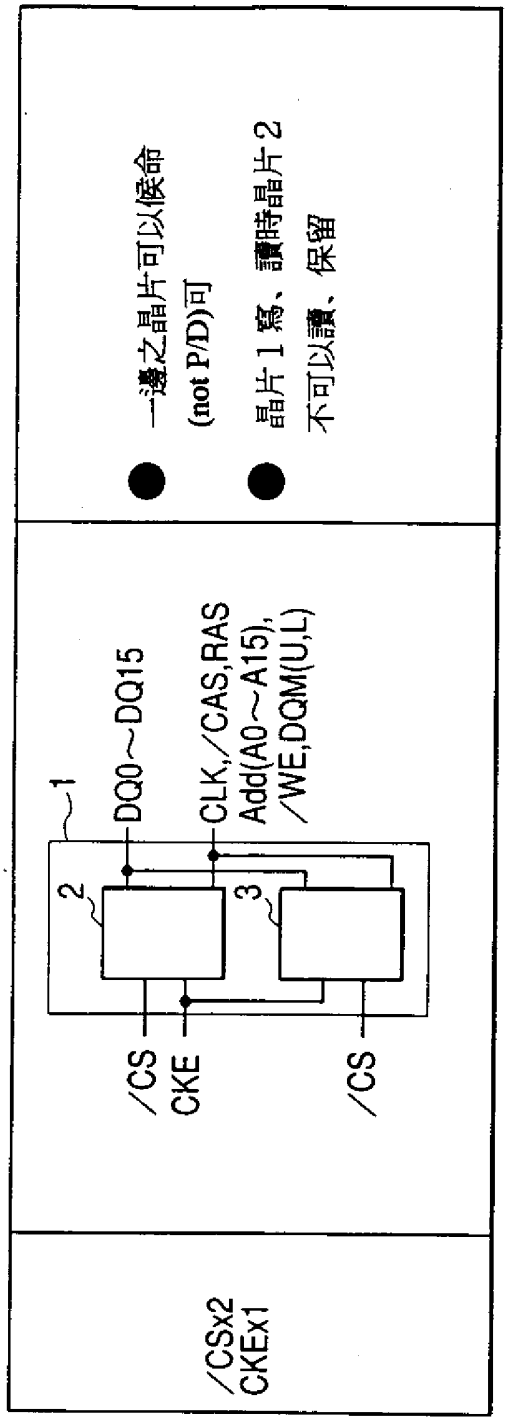

1
12
13
7
BB
4
BB
2
10
6
Vcc 1
DQ0 2
VccQ 3
DQ1 4
DQ2 5
VssQ 6
DQ3 7
DQ4 8
VccQ 9
DQ5 10
DQ6 11
VssQ 12
DQ7 13
Vcc 14
DQML 15
/WE 16
/CAS 17
/RAS 18
NC 19
A13 20
A12 21
A10 22
A0 23
A1 24
A2 25
A3 26
Vcc 27
54 Vss
53 DQ15
52 VssQ
51 DQ14
50 DQ13
49 VccQ
48 DQ12
47 DQ11
46 VssQ
45 DQ10
44 DQ9
43 VccQ
42 DQ8
41 Vss
40 DQMU
39 CLK
13UCKE
38 UCKE
37 NC
13UCS
36 UCS
35 A11
34 A9
13
33 A8
32 A7
31 A6
30 A5
29 A4
28 Vss

第 5 圖

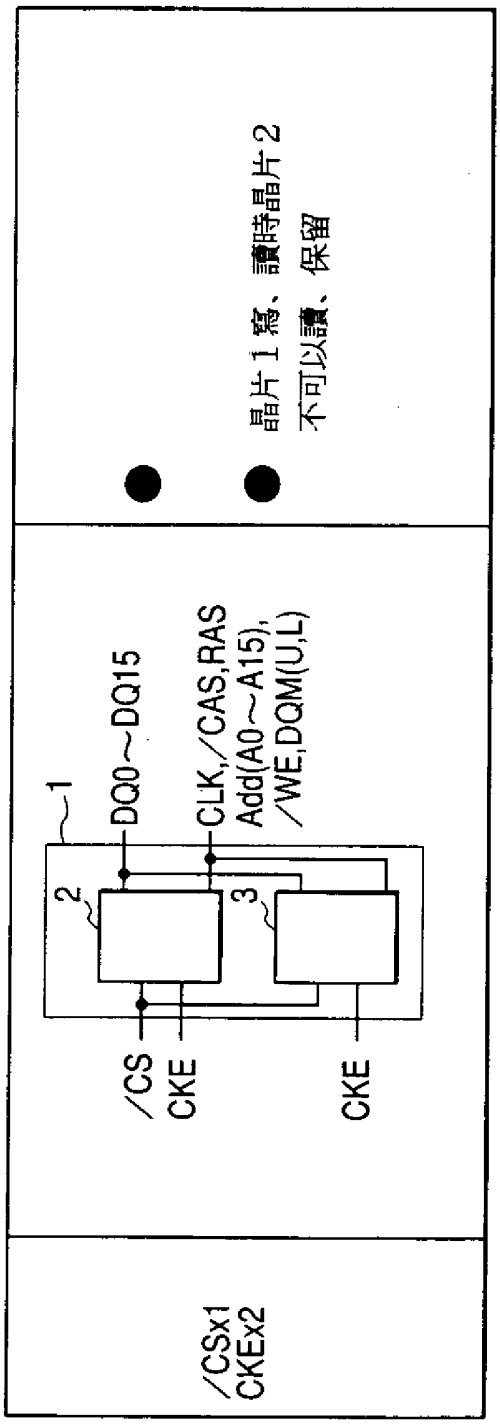

1
12
13
7
BB
5
3
BB
11
Vss 54
DQ15 53
VssQ 52
DQ14 51
DQ13 50
VccQ 49
DQ12 48
DQ11 47
VssQ 46
DQ10 45
DQ9 44
VccQ 43
DQ8 42
Vss 41
DQMU 40
CLK 39
NC 38
13LCKE
LCKE 37
NC 36
A11 35
A9 34
A8 33
A7 32
A6 31
A5 30
A4 29
Vss 28
1 Vcc
2 DQ0
3 VccQ
14 DQ1
5 DQ2
6 VssQ
7 DQ3
8 DQ4
9 VccQ
10 DQ5
11 DQ6
12 VssQ
13 DQ7
14 Vcc
15 DQML
16 /WE
17 /CAS
18 /RAS
13LCS
19 LCS
20 A13
21 A12
22 A10
23 A0
24 A1
25 A2
26 A3
27 Vcc

第 6 圖


54-pin TSOP
Vcc 1
DQ0 2
VccQ 3
DQ1 4
DQ2 5
VssQ 6
DQ3 7
DQ4 8
VccQ 9
DQ5 10
DQ6 11
VssQ 12
DQ7 13
Vcc 14
DQML 15
/WE 16
/CAS 17
/RAS 18
/CS 19
A13 20
A12 21
A10 22
A0 23
A1 24
A2 25
A3 26
Vcc 27
54 Vss
53 DQ15
52 VssQ
51 DQ14
50 DQ13
49 VccQ
48 DQ12
47 DQ11
46 VssQ
45 DQ10
44 DQ9
43 VccQ
42 DQ8
41 Vss
40 NC
39 DQMU
38 CLK
37 CKE
36 NC
35 A11
34 A9
33 A8
32 A7
31 A6
30 A5
29 A4
28 Vss
(TOP VIEW)

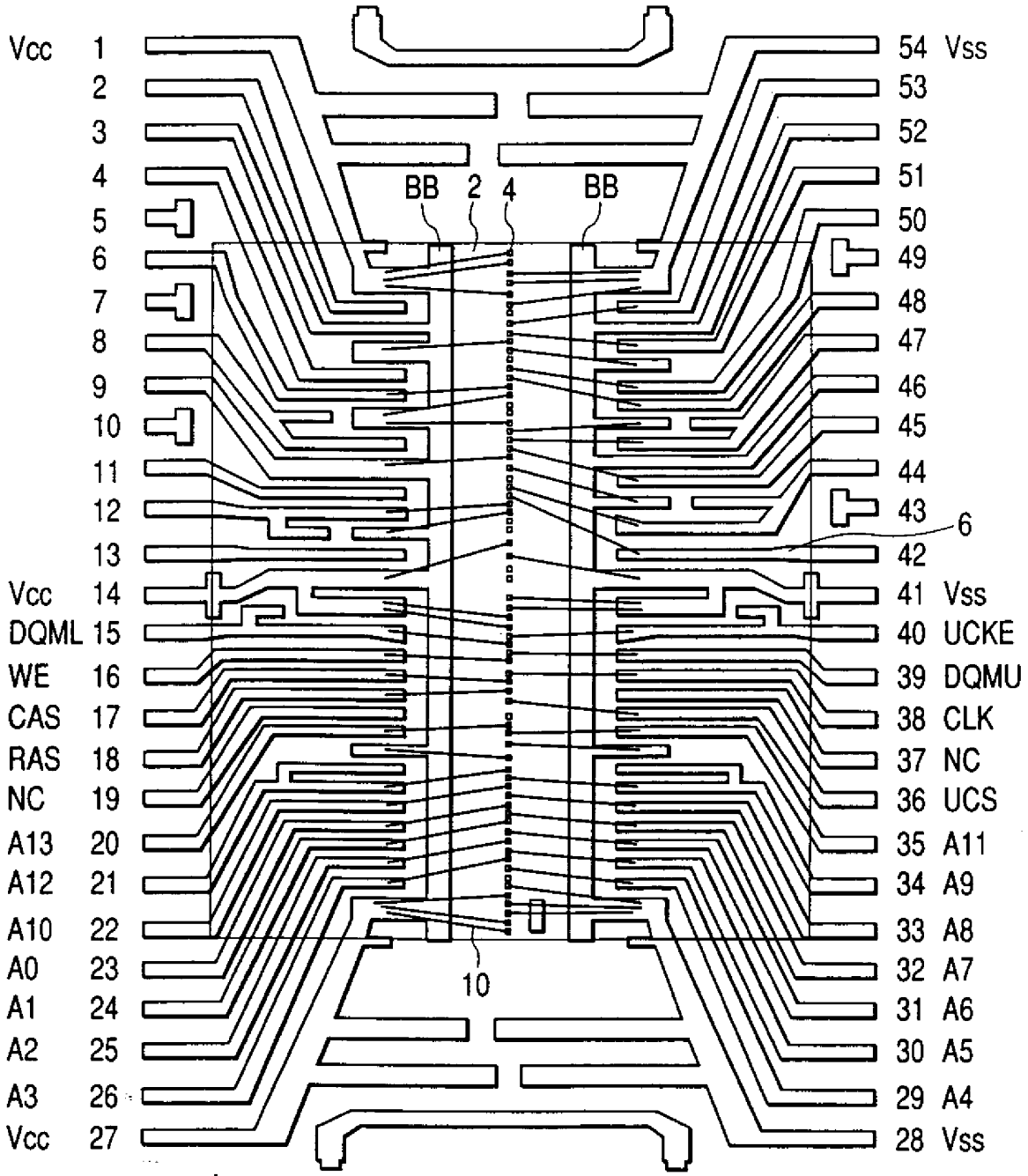

一邊之晶片可以候命
(not P/D)可
晶片1寫、讀時晶片2
不可以讀、保留
1
DQ0～DQ15
CLK,/CAS,RAS
Add(A0～A15),
/WE,DQM(U,L)
2
3
/CS
CKE
/CS
/CSx2
CKEx1

第7圖

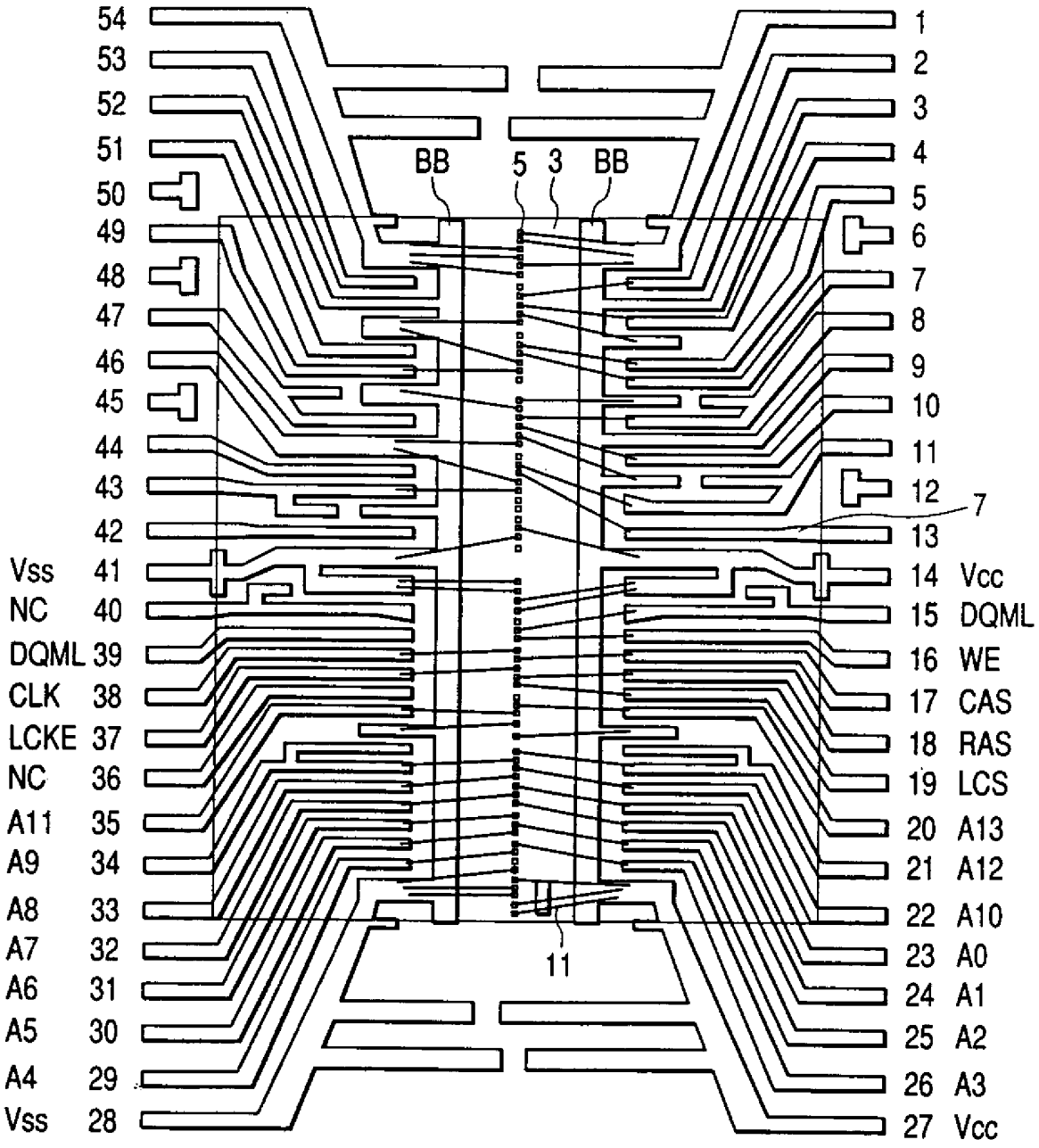

晶片1寫、讀時晶片2
不可以讀、保留
1
DQ0～DQ15
CLK,/CAS,RAS
Add(A0～A15),
/WE,DQM(U,L)
2
3
/CS
CKE
CKE
/CSx1
CKEx2

第8圖

第 9 圖


Vcc 1
2
3
4
5
6
7
8
9
10
11
12
13
Vcc 14
DQML 15
WE 16
CAS 17
RAS 18
NC 19
A13 20
A12 21
A10 22
A0 23
A1 24
A2 25
A3 26
Vcc 27
54 Vss
53
52
51
50
49
48
47
46
45
44
43
42
41 Vss
40 UCKE
39 DQMU
38 CLK
37 NC
36 UCS
35 A11
34 A9
33 A8
32 A7
31 A6
30 A5
29 A4
28 Vss
BB
2
4
BB
6
10

第 10 圖


54
53
52
51
50
49
48
47
46
45
44
43
42
Vss 41
NC 40
DQML 39
CLK 38
LCKE 37
NC 36
A11 35
A9 34
A8 33
A7 32
A6 31
A5 30
A4 29
Vss 28
1
2
3
4
5
6
7
8
9
10
11
12
13
14 Vcc
15 DQML
16 WE
17 CAS
18 RAS
19 LCS
20 A13
21 A12
22 A10
23 A0
24 A1
25 A2
26 A3
27 Vcc
BB
5
3
BB
7
11