

# [12] 发明专利申请公开说明书

[21] 申请号 98115629.0

[43]公开日 1999年2月24日

[11]公开号 CN 1208947A

[22]申请日 98.6.30 [21]申请号 98115629.0

[30]优先权

[32]97.6.30 [33]US[31]884,729

[71]申请人 西门子公司

地址 联邦德国慕尼黑

[72]发明人 马丁·古奇 德克·托本

[74]专利代理机构 柳沈知识产权律师事务所

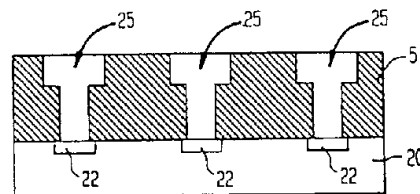
代理人 陶凤波

权利要求书 2 页 说明书 6 页 附图页数 2 页

[54]发明名称 双镶嵌结构

[57]摘要

一种制作双镶嵌结构的方法,包括:在包括至少一个导电区域的半导体基底上形成一牺牲材料层;对该牺牲材料层构图,以便在该导电区域上面形成至少一个柱;在半导体基底上面,环绕该至少一个柱形成一介电层;以及在金属间介电层中形成一导线开口,该至少一个柱的部分暴露在开口范围内。本发明利用牺牲性柱并在导线开口和通孔之间的界面处提供了一种改进了的界限明确的边缘。还涉及用来形成双镶嵌结构的结构。



# 权利要求书

1. 一种制作双镶嵌结构的方法, 包括:

a) 在包括至少一个导电区域的半导体基底上形成一牺牲材料层;

5 b) 对该牺牲材料层构图, 以便在该导电区域上面形成至少一个柱;

c) 在半导体基底上面, 环绕该至少一个柱形成一介电层; 以及

d) 在金属间介电层中形成一导线开口, 该至少一个柱的部分暴露在开口范围内。

2. 根据权利要求 1 所述的方法, 其中, 牺牲材料层具有比金属间介电层  
10 更高的蚀刻速率。

3. 根据权利要求 1 所述的方法, 其中, 牺牲材料层用从包括可流动氧化物、CVD 氧化物、BSG、SiN、聚对二甲基苯、聚酰亚胺及 PBO 的一组中所选出的材料制成。

4. 根据权利要求 1 所述的方法, 其中, 金属间介电层用从包括有机掺杂  
15 的 CVD 氧化物、CVD 氧化物以及含硅有机材料的一组中所选出的材料制成。

5. 根据权利要求 1 所述的方法, 进一步包括在形成导线开口之前使金属间介电层平面化的步骤。

6. 根据权利要求 1 所述的方法, 进一步包括以下步骤:

20 e) 从金属间介电层上除去该至少一个柱, 以便提供一个通孔; 以及

f) 在通孔里面沉积导电材料。

7. 根据权利要求 6 所述的方法, 其中, 导电材料选自包括 W 和 Al 的一  
组。

8. 根据权利要求 6 所述的方法, 其中, 除去步骤包括蚀刻该至少一个  
25 柱。

9. 根据权利要求 8 所述的方法, 其中, 一种选自包括 BHF 和氧的组的蚀刻剂用于蚀刻步骤。

10. 一种制造双镶嵌结构的方法, 它包括:

30 a) 在半导体基底的至少一部分上面形成牺牲材料层, 该牺牲材料层被构图成至少一个柱;

b) 在半导体基底的至少一部分上面形成金属间介电层, 以便围住并覆盖



该至少一个柱，金属间介电层具有平的表面；

c) 蚀刻金属间介电层，以便形成至少一个导线开口；以及

d) 从金属间介电层上除去该至少一个柱，以便形成通孔。

5 11. 根据权利要求 10 所述的方法，其中，牺牲材料层具有比金属间介电层更高的蚀刻速率。

12. 根据权利要求 10 所述的方法，其中，牺牲材料层用从包括可流动氧化物、CVD 氧化物、BSG、SiN、聚对二甲基苯、聚酰亚胺和 PBO 的一组中所选出的材料制成。

10 13. 根据权利要求 10 所述的方法，其中，金属间介电层用从包括有机掺杂的 CVD 氧化物、CVD 氧化物以及含硅有机材料的一组中所选出的材料制成。

14. 根据权利要求 10 所述的方法，其中，除去步骤包括蚀刻该至少一个柱。

15 15. 根据权利要求 14 所述的方法，其中，选自包括 BHF 和氧气的一组的蚀刻剂被用于蚀刻步骤中。

16. 根据权利要求 10 所述的方法，进一步包括用导电材料填满金属间介电层中的通孔的步骤。

17. 根据权利要求 16 所述的方法，其中，导电材料选自包括 W 和 Al 的一组。

20 18. 一种用来形成双镶嵌结构的结构，包括：

一个基底；

一个在所述基底上形成的具有第一蚀刻速率的牺牲材料的柱；

一个具有第二蚀刻速率并环绕柱的金属间介电层，第一蚀刻速率大于第二蚀刻速率；及

25 一个在金属间介电层中形成的露出柱的部分的导线开口。

19. 根据权利要求 18 所述的结构，其中，所述基底包括一个导体，而柱位于上述导体的一部分之上。

# 说明书

## 双镶嵌结构

5 本发明涉及一种半导体的制造技术，更具体地说，涉及一种双镶嵌结构 (dual damascene) 的形成。

通常，半导体器件包括构成集成电路的许多电路，集成电路可用于计算机和电子设备，并可包括能在单个硅晶体半导体器件即芯片上构造出的成百万个晶体管和其它电路元件。为了使器件工作，通常将信号路径的复杂网络  
10 构成一定路线，以便连接分布在器件表面上的电路元件。随着集成电路的复杂性增加，这些信号跨越器件的有效路径选择就变得更难。因此，称作双镶嵌结构的多级或多层设计由于它们能增加器件的密度，从而为人们所需，所以，允许稠密组装的半导体器件的堆叠互连层。

在制造具有双镶嵌结构的集成电路时，通常将使半导体器件的象氧化硅  
15 那样的绝缘或介电材料构图，使之具有，例如，几千个开口，以便形成导线开口和通孔。然后可用导电金属层，例如铝，填满导线开口和通孔，以便使集成电路的有源和/或无源元件互连。也可将双镶嵌结构用来在多层基底的绝缘层，例如，聚酰亚胺中形成金属，例如，铜的多层导线，可把晶体管器件安装在多层基底上。

20 已公知一些制作双镶嵌结构的方法。例如，可参看美国专利第 5,422,309; 5,529,953; 5,602,423; 以及 5,614,765 号。通常，标准的双镶嵌结构可以这样制作：首先在绝缘层上涂上抗反射涂层(ARC, antireflective coating)和光致抗蚀剂层。然后通过带有通孔图案的第一掩模使光致抗蚀剂曝光，可通过绝缘层各向异性地蚀刻图案，以便露出下面的导电层。在蚀刻通孔之后，除去剩  
25 余的抗反射涂层和光致抗蚀剂。然后沉积新的抗反射涂层和光致抗蚀剂层。通过带有导线开口图案的第二掩模使光致抗蚀剂层曝光。一般将使第二图案对准第一掩模图案，以使用导线开口环绕通孔。除去将要形成导线开口的光致抗蚀剂部分，露出通孔和绝缘层。然后把露出的绝缘层蚀刻到等于导线高度的所需深度。当蚀刻完成时，可把通孔和导线开口两者都填满导电金属  
30 层。

第二次沉积抗反射涂层和光致抗蚀剂层用抗反射涂层填满通孔，使聚合



物在后来形成导线通路的蚀刻过程中在通路内积累。由于基本图线尺寸(或最小图形尺寸, groundrule)变得越来越小, 这种聚合物积累导致在通孔和导线开口的界面处形成  $\text{SiO}_2$  篱笆(fence)。篱笆的出现使金属流入通路产生中断, 使得在那里形成空隙。这样的空隙导致增加通孔电阻, 在某些情况下, 还导致通孔故障。

从上述讨论中看出, 人们需要提供一种在通孔-导线开口处不致形成篱笆的双镶嵌结构。

本发明提出一种制造双镶嵌结构的新方法, 它包括以下步骤: 在半导体基底上形成牺牲材料层; 在半导体基底上形成金属间的介电层; 蚀刻金属间介电层中的导线开口并除去牺牲材料层。

在一个可以采用的具体实施例中, 该方法包括以下步骤:

- a)在半导体基底的至少一部分上面形成牺牲材料层;
- b)使牺牲材料层构图成至少一个柱;
- c)在半导体基底的至少一部分上面形成金属间的介电层;
- d)在金属间的介电层中蚀刻至少一个导线开口;
- e)从金属间的介电层中除去至少一个柱; 以及
- f)用导电材料取代金属间的介电层中的至少一个柱。

下面参照附图描述制作双镶嵌结构的方法的优选实施例, 附图中:

图 1 是表示在半导体基底上形成的牺牲材料层的截面图;

图 2 是表示在半导体基底上被构成柱的牺牲材料层的截面图;

图 3 是表示在半导体基底的表面上以及柱的上表面上形成的金属间介电层的截面图;

图 4 是表示蚀刻的导线开口的截面图;

图 5 是表示除去了柱的导线开口的截面图; 以及

图 6 是表示填满导电金属层的导线开口和通孔的截面图。

本发明涉及集成电路的制造。这种集成电路包括例如, 随机存取存储器(RAM)、动态 RAM(DRAM)、同步 DRAM(SDRAM)、静态 RAM(SRAM)以及只读存储器(ROM)等存储器电路。其它集成电路包括象可编程逻辑阵列(PLA)、专用集成电路(ASIC)那样的逻辑器件或任何电路器件。本发明提供了在导线开口和通孔的界面处实质上没有互连不良的边缘的双镶嵌结构。一般地说, 在象硅晶片那样的半导体基底上并列制造许多集成电路。在处理之



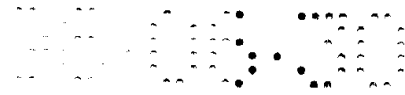
后，晶片被切割，以便把集成电路分成很多单个芯片。然后把芯片封装成最终产品，以用于，例如，象计算机系统、蜂窝电话、个人数字助理(PDA, personal digital assistants)等消费产品以及其它产品。

5 在一个实施例中，本发明包括和在其中形成双镶嵌结构的介电材料一起使用的牺牲材料。在其中形成双镶嵌结构的层在此处称为金属间介电层(IMD, intermetal dielectric)。通过选择与金属间介电层相比具有较高的湿法或干法蚀刻速率的牺牲材料可避免界限不良的边缘。

10 参看图 1，提供了半导体基底 20 的一部分。基底，例如，包括硅晶片。其它基底，如砷化镓、绝缘体外延硅(SOI)、锗、或其它半导体材料也是可用的。基底 20 包括在其上面形成的集成电路(未示出)。此集成电路可能处于制造工艺的任一阶段。在基底上面包括象金属化层之类的底层的导电区域 22。另一方面，导电区域可以是重掺杂的多晶硅层或象晶体管的源极或漏极区域之类的有源器件的任一部分。在一个实施例中，导电区域是 DRAM 芯片的位线。导电区域用，例如，介电材料隔离。一般地把上表面 30 做平面化处理，以提供平的上表面。上述集成电路可包括附加的器件、电路、以及其它互连层。

20 如图所示，在半导体基底 20 上表面 30 之上形成牺牲材料层 15。用于牺牲材料层 15 的合适材料包括本领域的技术人员所熟知的任何常规材料。在一个实施例中，用来形成层 15 的材料包括可流动的氧化物、化学气相沉积(CVD)氧化物、硼硅玻璃(BSG)、氮化硅(SiN)、象聚对二甲基苯(parylene)、聚酰亚胺(例如光敏性聚酰亚胺)和 PBO 之类的不含硅的材料以及其它类似材料。非常有利的是，在这里所描述的本方法中使用的牺牲材料比下面描述的在半导体基底 20 上面后来形成的金属间介电层具有更大的湿法和/或干法蚀刻速率。

25 为了实现适宜的厚度均匀性，通常将把牺牲材料层 15 做基本平面化的处理。如果需要时，可使用象，例如，CMP(化学机械抛光)这样的单独的平面化步骤。一般说来，在半导体基底 20 上形成的牺牲材料层 15 的厚度将大概至少等于或大于根据在这里描述的方法形成的通孔的预期高度。牺牲材料层 15 的厚度可从大约 1,000 埃到大约 10,000 埃，优选是从大约 1,000 埃到大约 8,000 埃，更优选是从大约 3,000 埃到大 6,000 埃。当然，厚度可依据设计参数而变化。



参看图 2，在将要形成通孔或开口的地方使牺牲层形成至少一个柱 12。在上述基底的作为例子的部分形成三个柱。但是，本领域的技术人员将会理解，在制造集成电路时，可形成许多柱，使之与下面的导电区域接触。使牺牲层构成图形包括，例如，沉积抗反射涂层和光致抗蚀剂层，并在除了将要形成柱的区域之外用曝光源有选择地使光致抗蚀剂曝光。使光致抗蚀剂层显影，除去曝光的部分。然后通过，例如，反应离子蚀刻(RIE)各向异性地蚀刻基底。除去来自光致抗蚀剂层未保护的牺牲层的部分，留下与导电区域 22 接触的通路位置相对应的柱。虽然描述了正性光致抗蚀剂，但是也可以利用负性光致抗蚀剂。

10 一般说来，导电层和柱的距离通常将根据给定导体(如下所述将取代每个柱 12 的导电材料)的载流要求而变化，从而可避免可靠性问题，例如，电迁移。但是，在预期有小电流的场合，将把导体的尺寸和间隔限制在对一定的半导体器件和/或半导体生产过程所特定的最小宽度。每个柱 12 之间的宽度大概将是大约 0.15 微米( $\mu\text{m}$ )到大约 1.0 微米，优选从大约 0.15  $\mu\text{m}$  到大约 0.35  $\mu\text{m}$ ，更优选是从大约 0.15  $\mu\text{m}$  到大约 0.25  $\mu\text{m}$ 。

在形成至少一个柱 12 之后，在半导体基底 20 的表面和柱 12 的上表面上形成金属间介电层 5(参看图 3)。在此处描述的方法中所使用的金属间介电层材料可包括本领域的技术人员所知的任何适当的介电材料。在一个实施例中，金属间介电层材料包括 A418 SOG(A418 旋涂玻璃)、HSG-R7 SOG(HSG-R7 旋涂玻璃)、有机掺杂的 CVD 氧化物、转换的 CVD 氧化物、含硅的未掺杂的硅酸盐玻璃、以及象环苯丁烯(BCB)之类的有机材料或其它类似材料。

通常可把金属间介电层 5 作为大体上平面化的层形成到半导体基底 20 的表面和柱 12 的上表面上。可直接通过成形过程，例如，在旋涂成膜的情况下，或者可在形成金属间介电层之后通过应用象化学机械抛光(CMP)那样的平面化处理技术，来实现大体上平面化的层。金属间介电层的厚度足以适应柱和上覆的导线。例如，金属间介电层具有比柱的高度大  $h$  的厚度，此处  $h$  大约等于导线的高度。当然， $h$  取决于设计参数。一般说来，金属间介电层 5 的厚度将从大约 2,000 埃到大约 20,000 埃，优选从大约 3,000 埃到大约 12,000 埃，更优选是从大约 4,000 埃到大约 9,000 埃。形成金属间介电层 5 的技术是本领域的技术人员熟知的。

5 另一种情况是，金属间介电层稍微小于或大约等于柱的厚度。在平面化之后，在其上面形成第二金属间介电层。第二金属间介电层的厚度一般大约等于导线的高度。第二金属间介电层包括相对于第一金属间介电层的材料能被选择性地蚀刻的材料。通过提供双金属间介电层，第一金属间介电层起到形成上覆导线的蚀刻的蚀刻中止层的作用。

10 参看图 4，使金属间介电层构图，以便产生导线开口 9。利用常规的光刻和腐蚀技术实现导线开口的构图。这样的技术包括，例如，沉积抗反射涂层和光致抗蚀剂层，并接着从曝光源用象深紫外线(DUV)或超紫外线(EUV)那样的照射有选择地使光致抗蚀剂曝光。其它波长的照射也是可以采用的。然后在显影过程中除去光致抗蚀剂的曝光区域，以便露出与导线开口 9 对应的金属间介电层表面。进行反应离子蚀刻，以便产生开口 9。反应离子蚀刻或者在确定的时间停止，以便蚀刻到能到达柱顶端的足够深度，或者在利用双金属间介电层时，用蚀刻中止技术停止。

表 I

牺牲材料	金属层间介电层	蚀刻剂
可流动氧化物(FOx)	A418 SOG(旋涂玻璃)	BHF
可流动氧化物	HSG-R7 SOG	BHF
可流动氧化物	有机掺杂 CVD 氧化物	BHF
可流动氧化物	CVD 氧化物	BHF
CVD 氧化物	A418 SOG	
CVD 氧化物	HSG-R7 SOG	BHF
BSG	A418 SOG	BHF
BSG	HSG-R7 SOG	
BSG	有机掺杂 CVD 氧化物	BHF
BSG	转变的 CVD 氧化物	BHF
SiN	CVD 氧化物	CDE
有机材料, 不含硅(聚对二甲基苯、PBO)	CVD 氧化物	氧气
有机材料, 不含硅(聚对二甲基苯、光敏聚酰亚胺、PBO)	含硅有机材料(BCB)	氧气





其次，通过湿法或干法蚀刻过程从导线开口 9 的范围内有选择地除去每个柱 12，以便产生如图 5 所示的通孔 11。根据本发明，柱相对于金属间介电层有选择性地被蚀刻。柱和金属间介电层之间的蚀刻选择性使得能够除去柱而不明显除去金属间介电层。在一个实施例中，在柱和金属间介电层之间的蚀刻选择性比是大约  $\geq 8:1$ ，优选是大约  $\geq 12:1$ ，更优选是  $\geq 20:1$ 。产生通孔 11 的参数(例如，蚀刻剂的类型、蚀刻剂的浓度、时间、温度等等)本领域的技术人员容易选择。蚀刻剂的选择取决于许多因素，包括柱的成分。适用的蚀刻剂包括 BHF、CDE 以及氧。表 I 列举了可用来除去柱的蚀刻剂的材料和类型的例示性组合。

10 在形成通孔 11 以后，把导电材料 25 沉积在里面并填满通孔 11 和导线开口 9，如图 6 所示。可用任何已知的或常规的工艺过程形成导电材料 25，例如，通过各种有选择的化学气相沉积(CVD)。这里可利用任何通用的导电材料。形成导电材料 25 的适用材料包括但不局限于 Ti、TiN、TiW、W、Al、Cu、Pd 及其它类似材料。优选的材料包括 W 和 Al。

15 尽管已经参照上述带有一定程度特殊性的说明性实施例描述了本发明，对于本领域的技术人员来说，在阅读上述说明之后，其中可能的改变和变化将显而易见。因而应该理解，在不脱离其精神和范围的情况下，可用与在此处具体描述的不同方式实现本发明。

图 1

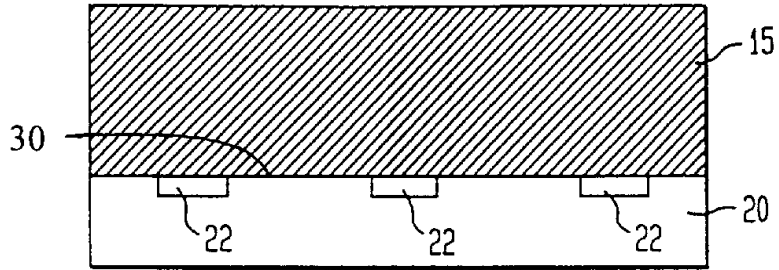


图 2

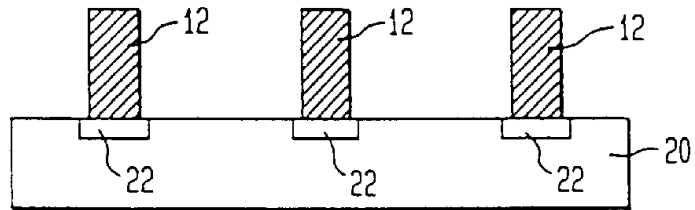


图 3

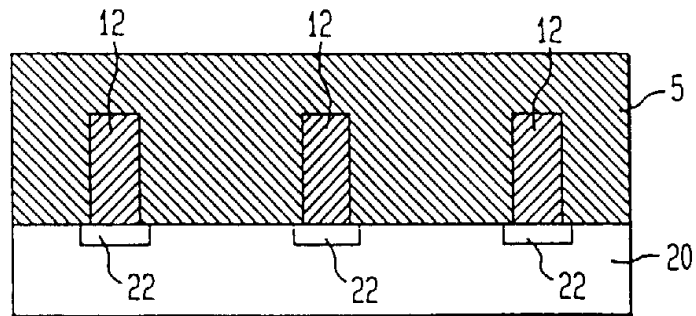


图 4

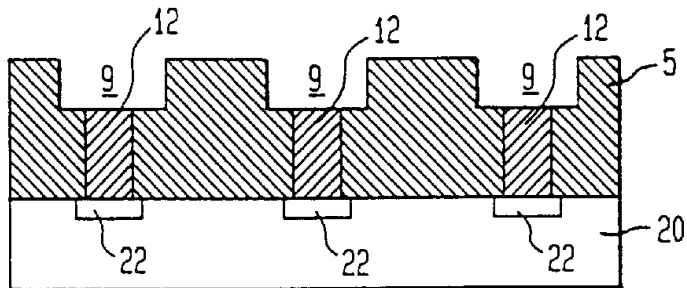


图 5

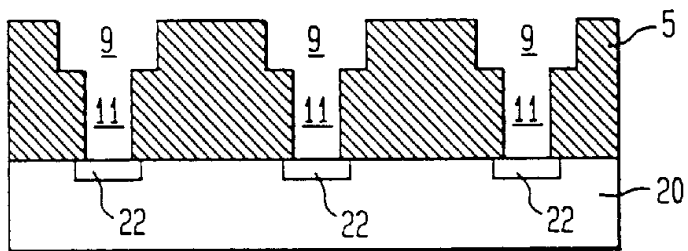


图 6

