

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2009-266945
(P2009-266945A)

(43) 公開日 平成21年11月12日(2009. 11. 12)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 27 頁)

(21) 出願番号	特願2008-112658 (P2008-112658)	(71) 出願人	000003078
(22) 出願日	平成20年4月23日 (2008. 4. 23)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

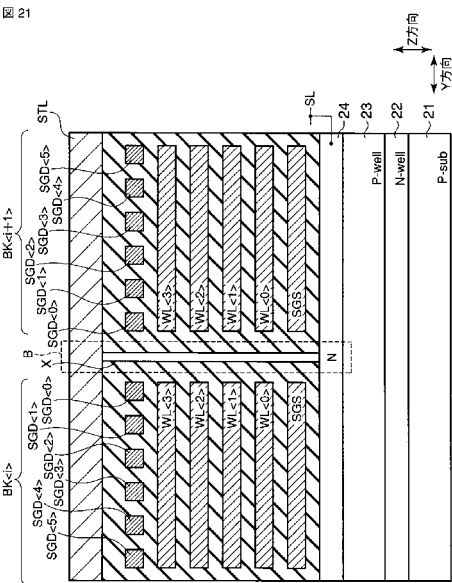
(54) 【発明の名称】 三次元積層不揮発性半導体メモリ

(57) 【要約】

【課題】 BiCSメモリのソース拡散層の電位を安定化する。

【解決手段】 本発明の例に係る三次元積層不揮発性半導体メモリは、第一方向に並んで配置される第一及び第二ブロックBK<i>, BK<i+1>から構成されるメモリセルアレイと、メモリセルアレイの第一方向に直交する第二方向の一端に配置されるドライバとを備える。半導体基板21内には、第一及び第二ブロックBK<i>, BK<i+1>に共通のソース拡散層24が配置され、第一及び第二ブロックBK<i>, BK<i+1>間には、下端がソース拡散層24に接続され、上端が3以上の導電層よりも上に配置されるソース線SLに接続されるコンタクトプラグXが配置される。

【選択図】 図 2 1



【特許請求の範囲】

【請求項 1】

半導体基板と、前記半導体基板上において第一方向に並んで配置される第一及び第二ブロックから構成されるメモリセルアレイと、前記メモリセルアレイの前記第一方向に直交する第二方向の一端に配置されるドライバとを具備し、

前記第一及び第二ブロックは、それぞれ、前記半導体基板上に互いに絶縁されてスタックされる 3 以上の導電層と、前記 3 以上の導電層上にこれらとは絶縁されて配置されるビット線と、下端が前記半導体基板に接続され、上端が前記ビット線に接続され、前記 3 以上の導電層を突き抜ける複数の半導体柱とから構成され、

前記 3 以上の導電層のうち最上層は、前記第二方向に延びる複数の第一セレクトゲート線から構成され、前記 3 以上の導電層のうち最下層は、第二セレクトゲート線であり、前記 3 以上の導電層のうち前記最上層及び前記最下層を除く残りの導電層は、ワード線であり、

前記 3 以上の導電層のうち前記最上層を除く残りの導電層は、前記第一方向の幅が前記複数の第一セレクトゲート線の前記第一方向の幅よりも広いプレート状を有し、

前記複数の第一セレクトゲート線の各々と前記複数の半導体柱及び前記第二セレクトゲート線と前記複数の半導体柱とによりそれぞれセレクトゲートトランジスタが構成され、前記ワード線と前記複数の半導体柱とによりそれぞれメモリセルが構成され、

前記半導体基板内には、前記第一及び第二ブロックに共通のソース拡散層が配置され、前記第一及び第二ブロック間には、下端が前記ソース拡散層に接続され、上端が前記 3 以上の導電層よりも上に配置されるソース線に接続されるコンタクトプラグが配置される

ことを特徴とする三次元積層不揮発性半導体メモリ。

【請求項 2】

前記コンタクトプラグは、前記複数の半導体柱と同じ構造を持つ半導体柱により構成されることを特徴とする請求項 1 に記載の三次元積層不揮発性半導体メモリ。

【請求項 3】

前記ビット線の横に配置されるダミービット線及び接続体を有し、前記ソース線は、前記ビット線よりも上に配置され、かつ、前記接続体を介して前記コンタクトプラグの上端に接続され、前記ダミービット線は、フローティング状態であることを特徴とする請求項 1 又は 2 に記載の三次元積層不揮発性半導体メモリ。

【請求項 4】

前記ソース線は、前記ビット線の横に配置され、前記ビット線及び前記ソース線は、共に、前記第一方向に延びることを特徴とする請求項 1 又は 2 に記載の三次元積層不揮発性半導体メモリ。

【請求項 5】

前記ソース線は、前記ビット線及び前記ソース線よりも上に配置される共通ソース線に接続されることを特徴とする請求項 4 に記載の三次元積層不揮発性半導体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三次元積層不揮発性半導体メモリ(3D-stacked nonvolatile semiconductor memory)に関する。

【背景技術】

【0002】

三次元構造により大容量化を図りビットコストを抑える技術としてBiCS (Bit Cost Scalable)技術が知られている(例えば、非特許文献 1 を参照)。

【0003】

BiCS技術が適用された不揮発性半導体メモリ(以下、BiCSメモリ)は、単なる三次元構造ではなく、デバイス構造及びプロセス技術の工夫により、積層数(number of stacked layers)の増加に比例してビットコストが低減するビットコストスケラビリティを可能に

10

20

30

40

50

することを特徴とする。

【0004】

例えば、BiCS技術が適用されたNAND型フラッシュメモリ（以下、BiCS-NANDフラッシュメモリ）の場合には、積層数の増加によりNAND列を構成するセル数を縦方向に増やすことで、二次元構造のNAND型フラッシュメモリのメモリ容量の限界を大幅に上回るメモリ容量を実現する。

【0005】

しかし、BiCS-NANDフラッシュメモリを代表とするBiCSメモリは、独特なデバイス構造を有するため、それを実用化するために解決しなければならない課題も多い。

【0006】

その一つに、ソース拡散層の電位の不安定化がある。

【0007】

BiCSメモリでは、メモリセルアレイを構成するセルユニットは、半導体基板に対して縦方向に延びる複数の半導体柱の側面上に形成される。このため、複数のブロック直下の半導体基板内には、これら複数のブロックに共通にソース拡散層が形成される。このソース拡散層に対するコンタクトエリアは、メモリセルアレイ内に設けることが難しいため、通常は、メモリセルアレイ外においてソース拡散層をソース線に接続するためのコンタクトエリアを設けている。

【0008】

しかし、この場合、メモリセルアレイ外にコンタクトエリアがあるために、ソース拡散層の抵抗に起因して、ソース拡散層内にソース電位の浮きなどの現象が発生し、ソース拡散層の電位を安定化することができなくなる。従って、これが、例えば、読み出し動作時の不安定要素となってしまう。

【非特許文献1】“Bit Cost Scalable Technology with Punch and Plug Process for Ultra High Density Flash Memory” 2007 Symposium on VLSI Technology Digest of Technical Papers.p14

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は、BiCS技術が適用された三次元積層不揮発性半導体メモリのソース拡散層の電位を安定化する技術について提案する。

【課題を解決するための手段】

【0010】

本発明の例に係る三次元積層不揮発性半導体メモリは、半導体基板と、前記半導体基板上において第一方向に並んで配置される第一及び第二ブロックから構成されるメモリセルアレイと、前記メモリセルアレイの前記第一方向に直交する第二方向の一端に配置される第一ドライバとを備える。前記第一及び第二ブロックは、それぞれ、前記半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、前記3以上の導電層上にこれらとは絶縁されて配置されるビット線と、下端が前記半導体基板に接続され、上端が前記ビット線に接続され、前記3以上の導電層を突き抜ける複数の半導体柱とから構成される。前記3以上の導電層のうち最上層は、前記第二方向に延びる複数の第一セレクトゲート線から構成され、前記3以上の導電層のうち最下層は、第二セレクトゲート線であり、前記3以上の導電層のうち前記最上層及び前記最下層を除く残りの導電層は、ワード線である。前記3以上の導電層のうち前記最上層を除く残りの導電層は、前記第一方向の幅が前記複数の第一セレクトゲート線の前記第一方向の幅よりも広いプレート状を有する。前記複数の第一セレクトゲート線の各々と前記複数の半導体柱及び前記第二セレクトゲート線と前記複数の半導体柱とによりそれぞれセレクトゲートランジスタが構成され、前記ワード線と前記複数の半導体柱とによりそれぞれメモリセルが構成される。前記半導体基板内には、前記第一及び第二ブロックに共通のソース拡散層が配置され、前記第一及び第二ブロック間には、下端が前記ソース拡散層に接続され、上端が前記3以上の導電層よりも上に配

10

20

30

40

50

置されるソース線に接続されるコンタクトプラグが配置される。

【発明の効果】

【0011】

本発明によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのソース拡散層の電位を安定化できる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0013】

10

1. 概要

本発明の例では、BiCSメモリ特有の構造を生かしたシャントエリアのレイアウトについて提案する。具体的には、メモリセルアレイ内の二つのブロック間に、下端がソース拡散層に接続され、上端が3以上の導電層よりも上に配置されるソース線に接続されるコンタクトプラグを配置する。

【0014】

BiCSメモリ特有の構造、即ち、複数のブロックからなるメモリセルアレイ直下にベタ状にソース拡散層が形成される構造に起因するソース拡散層の電位の不安定化を防止するためには、メモリセルアレイ内に、ソース拡散層に電位を供給するためのシャントエリアを設ければよい。しかし、メモリセルアレイ内にシャントエリアを設けるためには、そのレイアウトについて工夫する必要がある。

20

【0015】

そこで、本発明の例では、上述のようなBiCSメモリ特有の構造を生かしたシャントエリアのレイアウトについて提案する。

【0016】

メモリセルアレイ内の二つのブロック間にコンタクトプラグを設けることで、シャントエリアによるメモリセルアレイの横方向の面積増大を最小限に抑えられる。また、このようなレイアウトによれば、例えば、メモリセルアレイ内において、ソース拡散層に対して定期的にコンタクトエリアを配置することができ、メモリセルアレイ外のみコンタクトエリアを設ける場合に比べて、ソース拡散層の電位を安定化できる。

30

【0017】

2. BiCSメモリ

(1) 基本構造

まず、BiCSメモリの基本構造について説明する。

【0018】

図1は、BiCS-NANDフラッシュメモリの鳥瞰図を示している。

【0019】

NANDフラッシュメモリは、例えば、各々が消去の一単位となる複数のブロックから構成される。ここでは、二つのブロックBK<i>, BK<i+1>について図示する。

【0020】

40

半導体基板内に形成されるソース拡散層24は、例えば、全てのブロックに共通に1つ設けられる。ソース拡散層24は、コンタクトプラグP_{SL}を介して、ソース線SL・M1に接続される。また、ソース拡散層24上には、例えば、導電性ポリシリコンから構成される3以上の導電層が積層される（本例では6層構造）。

【0021】

最上層を除く残りの5つの導電層は、1つのブロックBK<i+1>内でそれぞれプレート状に形成され、かつ、そのX方向の端部は、各々の導電層にコンタクトをとるために階段状に形成される。最下層は、ソース線側セレクトゲート線SGSとなり、最下層及び最上層を除く残りの4つの導電層は、ワード線WL<0>, WL<1>, WL<2>, WL<3>となる。

【0022】

50

最上層は、X方向に延びるライン状の複数の導電線から構成される。1つのブロックBK<i+1>内には、例えば、6本の導電線が配置される。最上層の例えば6本の導電線は、ビット線側セレクトゲート線SGD<0>、…SGD<5>となる。

【0023】

そして、NANDセルユニットを構成するための複数の活性層（アクティブエリア）AAは、複数の導電層を突き抜けてソース拡散層24に達するように、Z方向（半導体基板の表面に対して垂直方向）に柱状に形成される。

【0024】

複数の活性層AAの上端は、Y方向に延びる複数のビット線BL<0>、…BL<m>に接続される。また、ソース線側セレクトゲート線SGSは、コンタクトプラグP_{SGS}を介して、X方向に延びる引き出し線SGS・M1に接続され、ワード線WL<0>、WL<1>、WL<2>、WL<3>は、それぞれ、コンタクトプラグをP_{WL<0>}、P_{WL<1>}、P_{WL<2>}、P_{WL<3>}を介して、X方向に延びる引き出し線WL<0>・M1、WL<1>・M1、WL<2>・M1、WL<3>・M1に接続される。

【0025】

さらに、ビット線側セレクトゲート線SGD<0>、…SGD<5>は、それぞれ、コンタクトプラグP_{SGD<0>}、…P_{SGD<5>}を介して、X方向に延びる引き出し線SGD<0>・M1、…SGD<5>・M1に接続される。

【0026】

複数のビット線BL<0>、…BL<m>及び引き出し線SGS・M1、WL<0>・M1、WL<1>・M1、WL<2>・M1、WL<3>・M1、SGD<0>・M1、…SGD<5>・M1は、例えば、金属から構成される。

【0027】

図2は、図1のBiCS-NANDフラッシュメモリの平面図を示している。

【0028】

柱状の複数の活性層AAは、半導体基板の上面から見た場合にアレイ状に配置され、メモリセルアレイ15を構成する。NANDセルユニットは、複数の活性層AAの各々に形成されるが、その詳細については後述する。

【0029】

WLドライバ11-i、11-(i+1)は、引き出し線WL<0>・M1、WL<1>・M1、WL<2>・M1、WL<3>・M1を介してワード線WL<0>、WL<1>、WL<2>、WL<3>に接続され、これらを書き込み／読み出し／消去時に駆動する。

【0030】

SGSドライバ12-i、12-(i+1)は、引き出し線SGS・M1を介してソース線側セレクトゲート線SGSに接続される。SGDドライバ13は、引き出し線SGD<0>・M1、…SGD<5>・M1を介してビット線側セレクトゲート線SGD<0>、…SGD<5>に接続される。

【0031】

SLドライバ14は、ソース線SL・M1を介してソース拡散層24に接続される。

【0032】

このレイアウトでは、周辺回路としてのドライバを構成するトランジスタ数の増加を考慮して、WLドライバ11-i、11-(i+1)及びSGSドライバ12-i、12-(i+1)は、メモリセルアレイ15のX方向の一端側に配置され、SGDドライバ13は、メモリセルアレイ15のX方向の他端側に配置される。

【0033】

図3は、図2のIII-III線に沿う断面図である。

【0034】

P型半導体基板(P-sub)21内には、N型ウェル領域(N-well)22及びP型ウェル領域(P-well)23が形成される。ソース拡散層24は、N型拡散層であり、P型ウェル領域23内に形成される。

【0035】

P型半導体基板21内には、Nチャネル型FET（例えば、Nチャネル型MOSFET）25が形成され、N型ウェル領域22内には、Pチャネル型FET（例えば、Pチャネル型MOSFET）26が形成され

10

20

30

40

50

る。これらトランジスタは、メモリセルアレイの周辺部に形成される周辺回路（例えば、ドライバ）を構成する。

【0036】

ソース線側セレクトゲート線SGS及びワード線WL<0>、WL<1>、WL<2>、WL<3>は、第一メタル層M1内の引き出し線及び第一メタル層M1上の第二メタル層M2内の引き出し線を介して、ドライバを構成するトランジスタに接続される。

【0037】

ワード線WL<3>を例にとると、ワード線WL<3>は、第一メタル層M1内の引き出し線WL<3>・M1及び第一メタル層M1上の第二メタル層M2内の引き出し線WL<3>・M2を介して、ワード線ドライバを構成するNチャネル型FET 25に接続される。

10

【0038】

ここで、Nチャネル型FET 25及びPチャネル型FET 26のゲート電極は、例えば、ソース線側セレクトゲート線SGSと同時に形成される。

【0039】

即ち、Nチャネル型FET 25及びPチャネル型FET 26のゲート電極は、ソース線側セレクトゲート線SGSと同じ構造及び同じ厚さを有する。

【0040】

図4は、図2のIV-IV線に沿う断面図である。

【0041】

複数の活性層（アクティブエリア）AAは、ソース線側セレクトゲート線SGS、ワード線WL<0>、WL<1>、WL<2>、WL<3>及びビット線側セレクトゲート線SGD<0>、…SGD<5>を突き抜けて、その一端（最下部）がソース拡散層24に接続され、その他端（最上部）がビット線BL<0>に接続される。

20

【0042】

複数の活性層AAは、Z方向（半導体基板の表面に対して垂直方向）に柱状に形成され、NANDセルユニット NANDは、複数の活性層AAの各々に形成される。

【0043】

NANDセルユニット NANDの構造例を図5に示す。

【0044】

メモリセルMCは、MONOS構造を有する。

30

【0045】

MONOS構造とは、電荷蓄積層が窒化物(nitride)などの絶縁体から構成されるメモリセル構造のことである。ここでは、電荷蓄積層は、多層構造(Charge trap layers)とし、ONO(oxide/nitride/oxide)の例を挙げる。

【0046】

セレクトゲートトランジスタSTは、例えば、メモリセルMCと同一構造を有する。

【0047】

但し、セレクトゲートトランジスタSTのゲート絶縁膜については、メモリセルMCと異なる構造、即ち、電荷蓄積層を有しない構造（例えば、シリコン酸化膜の単一膜）としてもよい。

40

【0048】

NANDセルユニットの鳥瞰図を図6に示す。

【0049】

三次元構造のNANDセルユニットの特徴の一つは、ソース線側セレクトゲート線SGS、ワード線WL<0>、WL<1>、WL<2>、WL<3>及びビット線側セレクトゲート線SGD<0>、…SGD<5>が、柱状の活性層AAの側面を取り囲む構造を有している点にある。

【0050】

このため、例えば、複数の活性層AAを細くして、半導体基板上により多くの活性層AAを形成し、大容量化を図っても、NANDセルユニットを構成するトランジスタの駆動力を十分に確保できることにある。

50

【0051】

図7は、メモリセルアレイの等価回路を示している。

【0052】

BiCS-NANDフラッシュメモリは、三次元構造を有するため、これに合わせて、等価回路も三次元的に記載している。

【0053】

NAND列を構成するメモリセルの数は、多ければ多いほど大容量化に貢献できるが、BiCS構造の特質から、NAND列を構成するメモリセルの数が多くなるに従い、製造プロセス上、メモリセルの特性にばらつきが生じる可能性がある。

【0054】

このような特性のばらつきを考慮する場合、NAND列を構成するメモリセルの数を少なめ（例えば、4個、8個など）とする。また、図7の等価回路で示される構造の上に、さらに同じ構造を積み重ねてもよい。

【0055】

図8は、BiCS-NANDと二次元NANDとを比較して示す図である。

【0056】

二次元構造のNAND型フラッシュメモリ(二次元NAND)では、1本のビット線BLに接続される1ブロック内のNANDセルユニットの数が1個であるのに対し、BiCS-NANDでは、1本のビット線BLに接続される1ブロック内のNANDセルユニットの数が複数個である。

【0057】

従って、以下で説明するように、書き込み動作及び読み出し動作においては、1本のビット線BLに接続される1ブロック内の複数個のセルユニットのうちの1つをビット線側セレクトゲート線SGD<0>, …SGD<5>により選択する。

【0058】

(2) 基本動作

図1乃至図8のBiCS-NANDフラッシュメモリの基本動作について説明する。

【0059】

書き込み／読み出し／消去の基本動作は、二次元構造のNAND型フラッシュメモリと同じであるため、ここでは、BiCS-NANDフラッシュメモリに特有な事項について説明する。

【0060】

BiCS-NANDフラッシュメモリは、1ブロックの概念が二次元構造のNAND型フラッシュメモリと異なる。

【0061】

二次元構造のNAND型フラッシュメモリでは、1本のビット線に接続される1ブロック内のNANDセルユニットの数は1個であるが、BiCS-NANDフラッシュメモリでは、1本のビット線に接続される1ブロック内のNANDセルユニットの数は複数個である。

【0062】

例えば、図2の平面図において、ビット線BL<0>に接続されるブロックBK<i+1>内のNANDセルユニットの数（図中、活性層AAの数に相当）は、6個である。

【0063】

従って、書き込み動作及び読み出し動作においては、ビット線BL<0>に接続されるブロックBK<i+1>内の6個のNANDセルユニットのうちの1つを選択する必要がある。

【0064】

この選択は、ビット線側セレクトゲート線SGD<0>, …SGD<5>により行う。ビット線側セレクトゲート線SGD<0>, …SGD<5>は、ブロックBK<i+1>内のY方向の6個のNANDセルユニットに個別に接続される。

【0065】

消去動作は、二次元構造のNAND型フラッシュメモリと同様に、例えば、1ブロック内の全てのメモリセルに対して一括して行われる。

【0066】

BiCS-NANDフラッシュメモリは、1つのメモリセルに2値データを記憶する2値メモリ、及び、1つのメモリセルに3値以上の多値データを記憶する多値メモリの両方に適用可能である。

【0067】

3. 実施形態

本発明の実施形態について説明する。

【0068】

(1) ブロックレイアウト

図9は、BiCSメモリのブロックレイアウトの第一例を示している。

【0069】

このブロックレイアウトは、例えば、図1のBiCS-NANDフラッシュメモリに対応し、ビット線側セレクトゲート線ドライバをメモリセルアレイの一端に配置し、ワード線ドライバ及びソース線側セレクトゲート線ドライバをメモリセルアレイの他端に配置した点に特徴を有する。

【0070】

メモリセルアレイ31のX方向の一端（左側）には、ドライバ33L、レベルシフタ34L及びアドレスデコーダ35Lが配置される。ドライバ33Lは、ビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0071】

メモリセルアレイ31のX方向の他端（右側）には、ドライバ33R、レベルシフタ34R及びアドレスデコーダ35Rが配置される。ドライバ33Rは、ワード線WL及びソース線側セレクトゲート線SGSを駆動するドライバであり、転送トランジスタを含む。

【0072】

また、メモリセルアレイ31のY方向の一端には、センスアンプ32が配置される。メモリセルアレイ31上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32に接続される。

【0073】

このブロックレイアウトは、図1のBiCS-NANDフラッシュメモリに対応するため、ブロックBK<0>, BL<1>, …BK<n>内にそれぞれ複数本のビット線側セレクトゲート線SGDが配置される。即ち、ビット線側セレクトゲート線SGDを駆動するドライバの面積が大きくなるため、メモリセルアレイ32の他端に配置されるワード線ドライバ及びソース線側セレクトゲート線ドライバとは別に、メモリセルアレイ32の一端にビット線側セレクトゲート線ドライバを配置する。

【0074】

図10は、BiCSメモリのブロックレイアウトの第二例を示している。

【0075】

第二例の特徴は、第一例と比べると、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33を、まとめて、メモリセルアレイ31の一端に配置した点にある。

【0076】

メモリセルアレイ31のX方向の一端（左側）には、ドライバ33、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33は、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0077】

また、メモリセルアレイ31のY方向の一端には、センスアンプ32が配置される。メモリセルアレイ31上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32に接続される。

【0078】

このように、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲ

10

20

30

40

50

ート線SGDを駆動するドライバ33をまとめることで、アドレスデコーダ34及びレベルシフタ35も一つにまとめることができ、周辺回路を効率的にレイアウトすることが可能になる。

【0079】

しかし、このブロックレイアウトでは、メモリセルアレイ31が巨大化され、さらに、メモリセルの微細化により、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDが狭ピッチ化されると、寄生容量による信号遅延が問題となる。

【0080】

特に、BiCSメモリでは、ワード線WL及びソース線側セレクトゲート線SGSがプレート状に形成される。このため、これら導電線間の寄生容量が大きく、カップリングノイズの原因となる。

【0081】

図11は、BiCSメモリのブロックレイアウトの第三例を示している。

【0082】

第三例の特徴は、第二例と比べると、二つのメモリセルアレイ31L, 31Rを設けた点に特徴を有する。二つのメモリセルアレイ31L, 31Rを設けることで、各メモリセルアレイ内のワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを短くできるため、信号遅延及びカップリングノイズを抑制できる。

【0083】

メモリセルアレイ31L, 31Rは、X方向に並んで配置される。メモリセルアレイ31L, 31Rの間には、ドライバ33L, 33R、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33L, 33Rは、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0084】

また、メモリセルアレイ31L, 31RのY方向の一端には、センスアンプ32L, 32Rが配置される。メモリセルアレイ31L, 31R上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32L, 32Rに接続される。

【0085】

このブロックレイアウトでは、レベルシフタ34及びアドレスデコーダ35は、二つのメモリセルアレイ31L, 31Rで共有化されるが、ドライバ33Lは、メモリセルアレイ31Lに対応して設けられ、ドライバ33Rは、メモリセルアレイ31Rに対応して設けられる。

【0086】

このように、二つのメモリセルアレイ31L, 31Rでドライバ33L, 33Rを共有化できない理由は、これらドライバを構成するトランジスタの数が多いため、共有化すると、メモリセルアレイ31L, 31Rとドライバ33L, 33Rとを接続する配線レイアウトが複雑になるからである。即ち、メモリセルアレイごとにドライバを設ければ、二つのメモリセルアレイでドライバを共有する場合よりも配線レイアウトが簡略化される。

【0087】

図12は、BiCSメモリのブロックレイアウトの第四例を示している。

【0088】

第四例の特徴は、第三例と比べると、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバ33を二つのメモリセルアレイ31L, 31Rで共有化した点に特徴を有する。

【0089】

このドライバ33の共有化は、ドライバ33の面積、即ち、ドライバ33を構成するトランジスタ数を削減することにより実現される。トランジスタ数が削減されれば、メモリセルアレイ31L, 31Rとドライバ33L, 33Rとを接続する配線レイアウトが複雑化しないからである。ドライバ33を構成するトランジスタ数の削減は、例えば、複数のブロックでビット線側セレクトゲート線を共有化することにより達成される。

【0090】

メモリセルアレイ31L, 31Rは、X方向に並んで配置される。メモリセルアレイ31L, 31Rの間には、ドライバ33、レベルシフタ34及びアドレスデコーダ35が配置される。ドライバ33は、ワード線WL、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGDを駆動するドライバであり、転送トランジスタを含む。

【0091】

また、メモリセルアレイ31L, 31RのY方向の一端には、センスアンプ32L, 32Rが配置される。メモリセルアレイ31L, 31R上には、Y方向に延びるビット線BL<0>, …BL<m>が配置され、ビット線BL<0>, …BL<m>は、センスアンプ32L, 32Rに接続される。

【0092】

このブロックレイアウトでは、ドライバ33、レベルシフタ34及びアドレスデコーダ35は、二つのメモリセルアレイ31L, 31Rで共有化される。

10

【0093】

尚、配線レイアウトの複雑化なく、ドライバ33を二つのメモリセルアレイ31L, 31Rで共有化できれば、第一例乃至第四例のなかで、この第四例のブロックレイアウトが最も好ましいブロックレイアウトとなる。

【0094】

(2) シェントエリアのレイアウト

本発明の例は、メモリセルアレイ内にシェントエリアを設ける点に特徴を有する。以下では、メモリセルアレイ内のソース線、ビット線及びビット線側セレクトゲート線のレイアウトを中心に説明する。

20

【0095】

A. 第一の実施形態

図13は、第一の実施形態のレイアウトの概念図を示している。図14は、図13の概念図を具体的にデバイスにした場合の平面レイアウトを示している。

【0096】

第一の実施形態は、図9のブロックレイアウトに対応する。即ち、ビット線側セレクトゲート線SGD<0>, …SGD<5>に接続されるドライバ33Lは、メモリセルアレイ31のX方向の一端（左側）に配置され、かつ、ワード線WL<0>, …WL<3>及びソース線側セレクトゲート線SGSに接続されるドライバ33Rとは独立に設けられる。

【0097】

30

二つのブロックBK<i>, BK<i+1>は、それぞれ、半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、3以上の導電層上にこれらとは絶縁されて配置されるビット線BL<0>, …BL<m>と、下端が半導体基板に接続され、上端がビット線BL<0>, …BL<m>に接続され、3以上の導電層を突き抜ける複数の活性層（半導体柱）AAとから構成される。

【0098】

3以上の導電層のうち最上層は、複数のビット線側セレクトゲート線SGD<0>, …SGD<5>から構成され、3以上の導電層のうち最下層は、ソース線側セレクトゲート線SGSであり、3以上の導電層のうち最上層及び最下層を除く残りの導電層は、ワード線WL<0>, …WL<3>である。

【0099】

40

本例では、1つのブロック内のビット線側セレクトゲート線SGD<0>, …SGD<5>の数が6本、ワード線WL<0>, …WL<3>の数が4本であるが、これに限られることはない。即ち、1つのブロック内のビット線側セレクトゲート線の数については、1本以上、ワード線の数についても、1本以上であればよい。

【0100】

また、3以上の導電層のうち最上層を除く残りの導電層は、Y方向の幅がビット線側セレクトゲート線SGD<0>, …SGD<5>のY方向の幅よりも広いプレート状を有する。

【0101】

そして、ビット線側セレクトゲート線SGD<0>, …SGD<5>と活性層AAとによりビット線側セレクトゲートトランジスタが構成され、ソース線側セレクトゲート線SGSと活性層AAと

50

によりソース線側セレクトゲートトランジスタが構成される。また、ワード線WL<0>, …WL<3>と活性層AAとによりメモリセルが構成される。

【0102】

また、メモリセルアレイ31とドライバ33Lとの間の領域は、両者を接続するための引き出し線（導電線）SGD<0>・M1, …SGD<5>・M1が配置される引き出し部36Lとなる。同様に、メモリセルアレイ31とドライバ33Rとの間の領域は、両者を接続するための引き出し線（導電線）WL<0>・M1, …WL<3>・M1, SGS・M1が配置される引き出し部36Rとなる。

【0103】

ここで、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とは、メモリセルアレイ31のX方向の一端において一対一に共通接続されたうえでドライバ33Lに接続される。 10

【0104】

具体的には、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i+1>側から i（i は自然数）番目のビット線側セレクトゲート線は、ブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i>側から i 番目のビット線側セレクトゲート線に共通接続される。

【0105】

従って、ビット線側セレクトゲート線SGD<0>, …SGD<5>は、全体として折り返しレイアウト(folded layout)を有する。

【0106】

このような折り返しレイアウトは、例えば、側壁(side wall)をマスクとして下地をエッチングする側壁マスク技術(side wall masking technology)を利用することにより容易に形成できる。 20

【0107】

ビット線BL<0>, …BL<m>の間には、シャントエリアSHが配置される。

【0108】

シャントエリアSHは、ビット線BL<0>, …BL<m>に沿って設けられる。シャントエリアSH内には、ビット線BL<0>, …BL<m>が延びる方向と同一方向に延びるソース線STLが配置される。ソース線STLは、ビット線BL<0>, …BL<m>の横に並んで配置される。

【0109】

二つのブロックBK<i>, BK<i+1>の直下の半導体基板内には、これらブロックに共通のソース拡散層が配置される。また、二つのブロックBK<i>, BK<i+1>間には、下端がソース拡散層に接続され、上端が3以上の導電層よりも上に配置されるソース線STLに接続されるコンタクトプラグXが配置される。 30

【0110】

コンタクトプラグXは、ソース拡散層の電位を安定化させるために、ソース拡散層に対してソース電位を供給する。

【0111】

コンタクトプラグXは、例えば、複数の活性層（半導体柱）AAと同じ構造を持つ半導体柱により構成される。また、コンタクトプラグXは、複数の活性層（半導体柱）AAと異なる構造、例えば、メタル又はそのスタック構造により構成されていてもよい。 40

【0112】

第一の実施形態では、シャントエリアSHをメモリセルアレイ内に配置しているため、ソース拡散層の電位の安定化に貢献できる。

【0113】

また、第一の実施形態では、Y方向に並んで配置される二つのブロック内のビット線側セレクトゲート線SGD<0>, …SGD<5>を一対一に共通接続しているため、それを駆動するドライバ33Lの面積も小さくなる。従って、周辺回路の面積が小さくなり、BiCSメモリの実用化に貢献できる。

【0114】

第一の実施形態では、二つのブロックBK<i>, BK<i+1>は互いに隣接しているが、両者の間に他のブロックが配置されていても構わない。また、二つのブロックBK<i>, BK<i+1>でビット線側セレクトゲート線を共有化しているが、三つ以上のブロック又はメモリセルアレイ内の全てのブロックでビット線側セレクトゲート線を共有化してもよい。

【0115】

B. 第二の実施形態

図15は、第二の実施形態のレイアウトの概念図を示している。図16は、図15の概念図を具体的にデバイスにした場合の平面レイアウトを示している。

【0116】

本例は、図10乃至図12のブロックレイアウトに対応する。即ち、メモリセルアレイ31のX方向の一端（右側）に配置されるドライバ33（33L, 33R）は、ワード線WL<0>, …WL<3>、ソース線側セレクトゲート線SGS及びビット線側セレクトゲート線SGD<0>, …SGD<5>に接続される。

【0117】

ここで注意しなければならない点は、図15及び図16のレイアウトがそのまま適用されるのは、図11のメモリセルアレイ31Lとドライバ33Lとの間、及び、図12のメモリセルアレイ31Lとドライバ33との間に限定されるということである。

【0118】

残りの図10のメモリセルアレイ31とドライバ33との間、図11のメモリセルアレイ31Rとドライバ33Rとの間、及び、図12のメモリセルアレイ31Rとドライバ33との間については、図15及び図16のレイアウトを左右反転させたレイアウトが適用される。

【0119】

二つのブロックBK<i>, BK<i+1>は、それぞれ、半導体基板上に互いに絶縁されてスタックされる3以上の導電層と、3以上の導電層上にこれらとは絶縁されて配置されるビット線BL<0>, …BL<m>と、下端が半導体基板に接続され、上端がビット線BL<0>, …BL<m>に接続され、3以上の導電層を突き抜ける複数の活性層（半導体柱）AAとから構成される。

【0120】

3以上の導電層のうち最上層は、複数のビット線側セレクトゲート線SGD<0>, …SGD<5>から構成され、3以上の導電層のうち最下層は、ソース線側セレクトゲート線SGSであり、3以上の導電層のうち最上層及び最下層を除く残りの導電層は、ワード線WL<0>, …WL<3>である。

【0121】

本例では、1つのブロック内のビット線側セレクトゲート線SGD<0>, …SGD<5>の数が6本、ワード線WL<0>, …WL<3>の数が4本であるが、これに限られることはない。即ち、1つのブロック内のビット線側セレクトゲート線の数については、1本以上、ワード線の数についても、1本以上であればよい。

【0122】

また、3以上の導電層のうち最上層を除く残りの導電層は、Y方向の幅がビット線側セレクトゲート線SGD<0>, …SGD<5>のY方向の幅よりも広いプレート状を有する。

【0123】

そして、ビット線側セレクトゲート線SGD<0>, …SGD<5>と活性層AAとによりビット線側セレクトゲートトランジスタが構成され、ソース線側セレクトゲート線SGSと活性層AAとによりソース線側セレクトゲートトランジスタが構成される。また、ワード線WL<0>, …WL<3>と活性層AAとによりメモリセルが構成される。

【0124】

また、メモリセルアレイ31（31L, 31R）とドライバ33（33L, 33R）との間の領域は、両者を接続するための引き出し線（導電線）WL<0>・M1, …WL<3>・M1, SGS・M1, SGD<0>・M1, …SGD<5>・M1が配置される引き出し部36となる。

【0125】

ここで、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とブロックB

10

20

30

40

50

K<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>とは、メモリセルアレイ31のX方向の一端（右側）において一対一に共通接続されたうえでドライバ33（33L, 33R）に接続される。

【0126】

具体的には、ブロックBK<i>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i+1>側から i（i は自然数）番目のビット線側セレクトゲート線は、ブロックBK<i+1>内のビット線側セレクトゲート線SGD<0>, …SGD<5>のうちブロックBK<i>側から i 番目のビット線側セレクトゲート線に共通接続される。

【0127】

従って、ビット線側セレクトゲート線SGD<0>, …SGD<5>は、全体として折り返しレイアウト(folded layout)を有する。

10

【0128】

このような折り返しレイアウトは、例えば、側壁をマスクとして下地をエッチングする側壁マスク技術を利用することにより容易に形成できる。

【0129】

ビット線BL<0>, …BL<m>の間には、シャントエリアSHが配置される。

【0130】

シャントエリアSHは、ビット線BL<0>, …BL<m>に沿って設けられる。シャントエリアSH内には、ビット線BL<0>, …BL<m>が延びる方向と同一方向に延びるソース線STLが配置される。ソース線STLは、ビット線BL<0>, …BL<m>の横に並んで配置される。

20

【0131】

二つのブロックBK<i>, BK<i+1>の直下の半導体基板内には、これらブロックに共通のソース拡散層が配置される。また、二つのブロックBK<i>, BK<i+1>間には、下端がソース拡散層に接続され、上端が3以上の導電層よりも上に配置されるソース線STLに接続されるコンタクトプラグXが配置される。

【0132】

コンタクトプラグXは、ソース拡散層の電位を安定化させるために、ソース拡散層に対してソース電位を供給する。

【0133】

コンタクトプラグXは、例えば、複数の活性層（半導体柱）AAと同じ構造を持つ半導体柱により構成される。また、コンタクトプラグXは、複数の活性層（半導体柱）AAと異なる構造、例えば、メタル又はそのスタック構造により構成されていてもよい。

30

【0134】

第二の実施形態でも、シャントエリアSHをメモリセルアレイ内に配置しているため、ソース拡散層の電位の安定化に貢献できる。

【0135】

また、第二の実施形態では、Y方向に並んで配置される二つのブロック内のビット線側セレクトゲート線SGD<0>, …SGD<5>を一対一に共通接続しているため、それを駆動するドライバ33（33L, 33R）の面積も小さくなる。従って、周辺回路の面積が小さくなり、BiCSメモリの実用化に貢献できる。

40

【0136】

また、第二の実施形態では、メモリセルアレイ31（31L, 31R）の一端に配置される引き出し線WL<0>・M1, …WL<3>・M1, SGS・M1, SGD<0>・M1, …SGD<5>・M1の数が増えるが、これらは、二つのブロックBK<i>, BK<i+1>のY方向のサイズの範囲内に収めれば足りるため、引き出し線WL<0>・M1, …WL<3>・M1, SGS・M1, SGD<0>・M1, …SGD<5>・M1のレイアウトが複雑化することはない。

【0137】

第二の実施形態では、二つのブロックBK<i>, BK<i+1>は互いに隣接しているが、両者の間に他のブロックが配置されていても構わない。また、二つのブロックBK<i>, BK<i+1>でビット線側セレクトゲート線を共有化しているが、三つ以上のブロック又はメモリセルア

50

レイ内の全てのブロックでビット線側セレクトゲート線を共有化してもよい。

【0138】

C. その他の実施形態

図17は、メモリセルアレイの両側にドライバを配置するレイアウトを示している。

【0139】

同図に示すように、メモリセルアレイ31の両側にドライバ33を配置すると、例えば、ブロック1個当りのドライバ33のY方向のサイズを広げることができる（トランジスタの個数を多くすることができる）ため、結果として、ドライバ33のX方向のサイズを狭めることができ（トランジスタの個数を少なくすることができる）、引き出し部36内の引き出し線（導電線） $WL<0> \cdot M1, \dots WL<3> \cdot M1, SGS \cdot M1, SGD<0> \cdot M1, \dots SGD<5> \cdot M1$ のレイアウトがさらに簡素化される。

10

【0140】

シャントエリアSHに関しては、上述の第一及び第二の実施形態と同じであるため、ここでは、その説明を省略する。

【0141】

この実施形態でも、シャントエリアSHをメモリセルアレイ内に配置しているため、ソース拡散層の電位の安定化に貢献できる。

【0142】

尚、図10乃至図12に示すように、メモリセルアレイ31 (31L, 31R)の片側にドライバ33 (33L, 33R)を配置するか、又は、図15に示すように、メモリセルアレイ31の両側にドライバ33を配置するかは、BiCSメモリ（チップ）の仕様や、周辺回路の面積効率などを考慮して決定する。

20

【0143】

(3) シャントエリア内のコンタクトプラグ構造

シャントエリア内のコンタクトプラグ構造について説明する。

【0144】

図18は、図16のXV I I I - XV I I I線に沿う断面図、図19は、図16のXI X - XI X線に沿う断面図、図20は、図16のXX - XX線に沿う断面図、図21は、図16のXX I - XX I線に沿う断面図である。

【0145】

30

まず、ブロック $BK<i>$ 、 $BK<i+1>$ 内のシャントエリアSH内では、活性層（半導体柱）AAが形成されない。即ち、シャントエリアSH内にセルユニット（メモリセル）が形成されることはない。ブロック $BK<i>$ 、 $BK<i+1>$ 内のシャントエリアSHを除くエリア内には、活性層AAが形成される。活性層AAの側面上には、セルユニットAが形成される。セルユニットAの構造は、例えば、図5に示すようになる。

【0146】

ブロック $BK<i>$ 、 $BK<i+1>$ 間のシャントエリアSH内には、コンタクトプラグXが形成される。コンタクトプラグXは、ブロック $BK<i>$ 、 $BK<i+1>$ 間に設けられるため、メモリセルアレイ31内の3以上の導電層を突き抜けることはない。

【0147】

40

図22は、図19及び図21のエリアB内のコンタクトプラグの構造例を示している。

【0148】

コンタクトプラグXは、同図（a）に示すように、メモリセルアレイ内の活性層（半導体柱）と同じ構造を持つ半導体柱により構成されていてもよいし、また、同図（b）に示すように、活性層と異なる構造、例えば、メタル又はそのスタック構造により構成されていてもよい。

【0149】

(4) シャントエリアの全体構造

図23は、シャントエリアの全体構造について示している。

本例は、図12のブロックレイアウトに対応する。

50

【0150】

セルソースデコーダ37は、メモリセルアレイ31L, 31RのY方向の一端に配置され、センスアンプ32L, 32Rは、メモリセルアレイ31L, 31RのY方向の他端に配置される。シャントエリアSHは、ビット線BL<0>, …BL<m>が延びるY方向に延び、シャントエリアSH内には、Y方向に延びるソース線STLが配置される。

【0151】

シャントエリアSHは、メモリセルアレイ31L, 31R内において、X方向に定期的に設けられる。また、下端がソース拡散層24に接続され、上端がソース線STLに接続されるコンタクトプラグXは、ブロックBK<0>, BK<1>, …BK<n>の間に定期的に設けられる。但し、シャントエリアSH及びコンタクトプラグXは、必ずしも定期的に設ける必要はない。

10

【0152】

また、本例では、コンタクトプラグXは、ブロックBK<0>, BK<1>, …BK<n>の間のエリアの全てに設けられているが、例えば、ブロックBK<0>, BK<1>, …BK<n>の間のエリアの一部にコンタクトプラグXが設けられていなくてもよい。

【0153】

(5) 変形例

シャントエリアのレイアウトの変形例について説明する。

【0154】

A. 第一の変形例

図24は、第一の変形例に係わるシャントエリアのレイアウトを示している。図25は、図24のXXV-XXV線に沿う断面図、図26は、図24のXXVI-XXVI線に沿う断面図である。

20

【0155】

この変形例は、ビット線BL<0>, …BL<m>上及びソース線STL上に、ソース線STLに接続される共通ソース線STL・commonを配置した点に特徴を有する。

【0156】

この変形例では、第二の実施形態（図15及び図16）を基本とするが、当然に、第一の実施形態（図13及び図14）に適用することも可能である。

【0157】

ビット線BL<0>, …BL<m>上及びソース線STL上には、ソース線STLに接続される共通ソース線STL・commonが配置される。共通ソース線STL・commonのレイアウトについては、特に限定されない。例えば、共通ソース線STL・commonは、メモリセルアレイ31上にベタ状に形成されていてもよいし、ソース線STLの幅よりも広い幅を有する導電線であってもよい。また、共通ソース線STL・commonは、格子レイアウトを有していてもよい。

30

【0158】

ビット線BL<0>, …BL<m>及びソース線STLは、例えば、第一のメタル層M1内に形成され、共通ソース線STL・commonは、例えば、第一のメタル層M1上の第二のメタル層M2内に形成される。

【0159】

その他の構成については、第二の実施形態と同じであるため、ここでは、その説明については、省略する。

40

【0160】

B. 第二の変形例

図27は、第二の変形例に係わるシャントエリアのレイアウトを示している。図28は、図27のXXVII-XXVII線に沿う断面図、図29は、図27のXIX-XIX線に沿う断面図、図30は、図27のXXX-XXX線に沿う断面図である。

【0161】

この変形例は、ビット線BL<0>, …BL<m>間のシャントエリアSH内に、電氣的にフローティング状態のダミービット線DMYを配置した点に特徴を有する。

【0162】

50

この変形例でも、第二の実施形態（図 1 5 及び図 1 6）を基本とするが、当然に、第一の実施形態（図 1 3 及び図 1 4）に適用することも可能である。

【0163】

ビット線BL<0>, …BL<m>間のシャントエリアSH内には、電氣的にフローティング状態のダミービット線DMYが配置される。また、コンタクトプラグX上のシャントエリアSH内には、接続体（導電体）CNNが配置される。

【0164】

ソース線STLは、ビット線BL<0>, …BL<m>上、ダミービット線DMY上及び接続体CNN上に配置され、かつ、接続体CNNを介してコンタクトプラグXの上端に接続される。

【0165】

ソース線STLのレイアウトについては、特に限定されない。例えば、ソース線STLは、メモリセルアレイ31上にベタ状に形成されていてもよいし、ビット線BL<0>, …BL<m>の幅よりも広い幅を有する導電線であってもよい。また、ソース線STLは、格子レイアウトを有していてもよい。

【0166】

ビット線BL<0>, …BL<m>、ダミービット線DMY及び接続体CNNは、例えば、第一のメタル層M1内に形成され、ソース線STLは、例えば、第一のメタル層M1上の第二のメタル層M2内に形成される。

【0167】

その他の構成については、第二の実施形態と同じであるため、ここでは、その説明については、省略する。

【0168】

C. 第三の変形例

図 3 1 及び図 3 2 は、第三の変形例に係わるシャントエリアのレイアウトを示している。図 3 1 は、ブロック内の構造、図 3 2 は、ブロック間の構造である。

【0169】

第三の変形例は、第一及び第二の変形例を基本とする。

以下では、第一の変形例を基本とした場合について示す。

【0170】

この変形例の特徴は、半導体基板21上に、二つのメモリセルアレイL1, L2を積み重ね、この場合に、二つのメモリセルアレイL1, L2で共通ソース線STL・commonを共有化した点にある。

【0171】

上側のメモリセルアレイL2の構造は、下側のメモリセルアレイL1の構造と同じである。ここでは、図面を簡略化するため、上側のメモリセルアレイL2の構造については省略している。また、上側のメモリセルアレイL2の活性層（半導体柱）及びコンタクトプラグXは、下側のメモリセルアレイL1内の共通ソース線STL・commonに接続される。

【0172】

このように、共通ソース線STL・commonを共有化することで、半導体基板21上に、二つ又はそれ以上のメモリセルアレイL1, L2を積み重ねることができる。

【0173】

メモリセルアレイL1, L2の積み重ね技術は、例えば、BiCS-NANDフラッシュメモリにおいて、活性層（半導体柱）AAの加工精度の問題からその高さを十分に高くできない場合、即ち、NANDセルユニット内のメモリセル数を多くできない場合に、非常に有効である。

【0174】

(6) まとめ

以上のように、本発明の実施形態によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのソース拡散層の電位を安定化することができる。

【0175】

4. 適用例

10

20

30

40

50

本発明の技術は、ビットコストスケラビリティを実現するため、1つのセルユニットが直列接続された複数のメモリセル(NAND列)から構成されるBiCS-NANDフラッシュメモリに有効であるが、それ以外にも、BiCS技術が適用された三次元積層不揮発性半導体メモリに適用可能である。

【0176】

また、BiCSメモリのメモリセル構造については、電荷蓄積層が絶縁体(例えば、窒化物)から構成されるいわゆるMONOS型が有効であると考えられているが、本発明の例は、これに限られず、電荷蓄積層が導電性ポリシリコンから構成されるフローティングゲート型に適用することも可能である。

【0177】

さらに、1つのメモリセルに記憶させるデータ値については、2値(two-level)であってもよいし、3値(three-level)以上の多値(multi-level)であってもよい。

【0178】

5. むすび

本発明によれば、BiCS技術が適用された三次元積層不揮発性半導体メモリのソース拡散層の電位を安定化することができる。

【0179】

本発明の例は、上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0180】

【図1】 BiCS-NANDフラッシュメモリの鳥瞰図。

【図2】 BiCS-NANDフラッシュメモリの平面図。

【図3】 図2のIII-III線に沿う断面図。

【図4】 図2のIV-IV線に沿う断面図。

【図5】 NANDセルユニットの構造図。

【図6】 NANDセルユニットの鳥瞰図。

【図7】 メモリセルアレイの等価回路図。

【図8】 BiCS-NANDと二次元NANDとの比較図。

【図9】 ブロックレイアウトの第一例を示す図。

【図10】 ブロックレイアウトの第二例を示す図。

【図11】 ブロックレイアウトの第三例を示す図。

【図12】 ブロックレイアウトの第四例を示す図。

【図13】 第一の実施形態のレイアウトの概念図。

【図14】 図13をデバイス化したときの平面図。

【図15】 第二の実施形態のレイアウトの概念図。

【図16】 図15をデバイス化したときの平面図。

【図17】 その他の実施形態のレイアウトの概念図。

【図18】 図16のXVI-XVI線に沿う断面図。

【図19】 図16のXIX-XIX線に沿う断面図。

【図20】 図16のXX-XX線に沿う断面図。

【図21】 図16のXXI-XXI線に沿う断面図。

【図22】 シェントエリア内のコンタクトプラグ構造を示す断面図。

【図23】 シェントエリアの全体構造を示す平面図。

【図24】 第一の変形例のレイアウトを示す平面図。

【図25】 図24のXXV-XXV線に沿う断面図。

【図26】 図24のXXVI-XXVI線に沿う断面図。

10

20

30

40

50

【図 27】 第二の変形例のレイアウトを示す平面図。

【図 28】 図 27 の $XXVI-XXVI$ 線に沿う断面図。

【図 29】 図 27 の $XIX-XIX$ 線に沿う断面図。

【図 30】 図 27 の $XXX-XXX$ 線に沿う断面図。

【図 31】 第三の変形例の構造を示す断面図。

【図 32】 第三の変形例の構造を示す断面図。

【符号の説明】

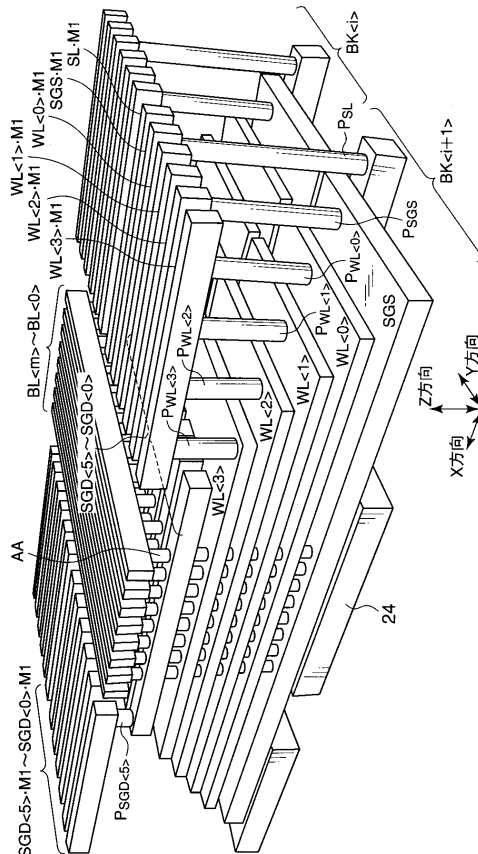
【0181】

WL<0>, ...WL<3>: ワード線、 BL<0>, ...BL<m>: ビット線、 SGS: ソース線側セレクトゲート線、 SGD<0>, ...SGD<5>: ビット線側セレクトゲート線、 AA: アクティブエリア。

10

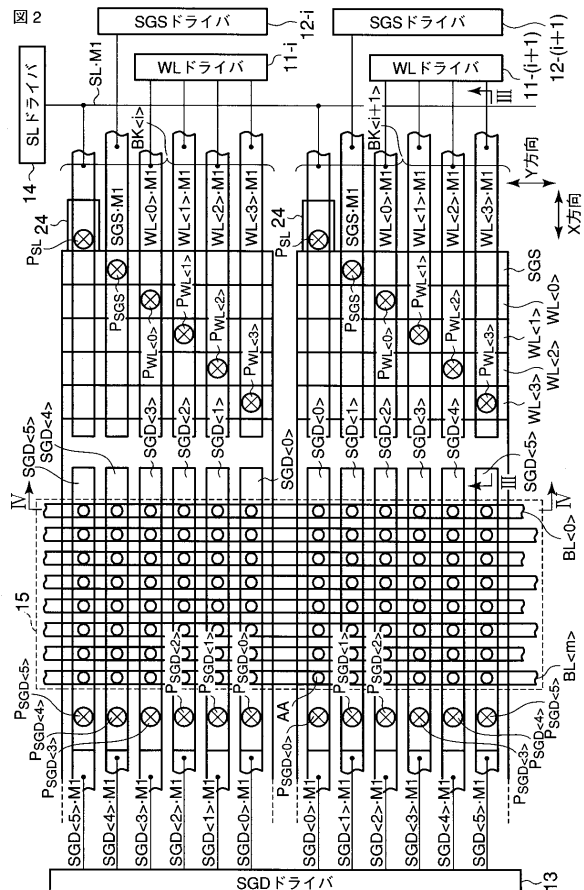
【図 1】

図 1



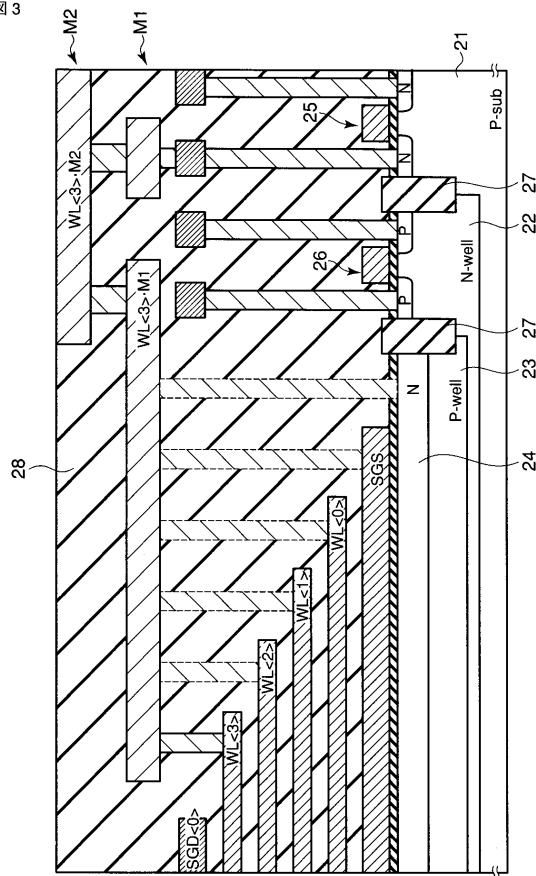
【図 2】

図 2



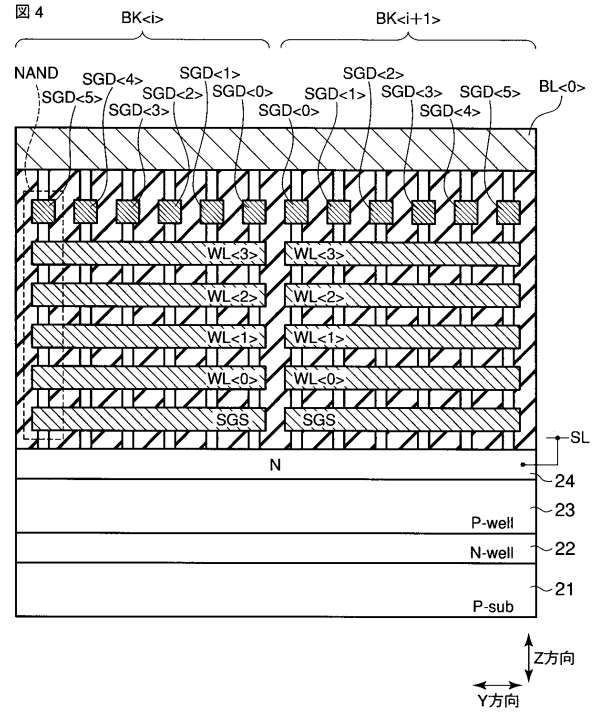
【図 3】

図 3



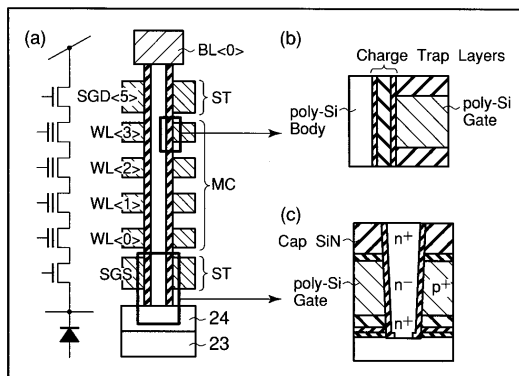
【図 4】

図 4



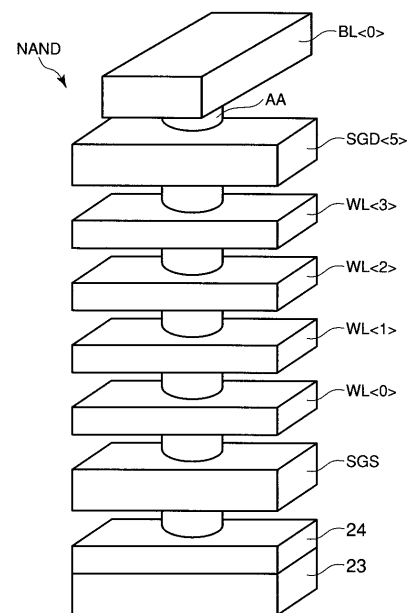
【図 5】

図 5



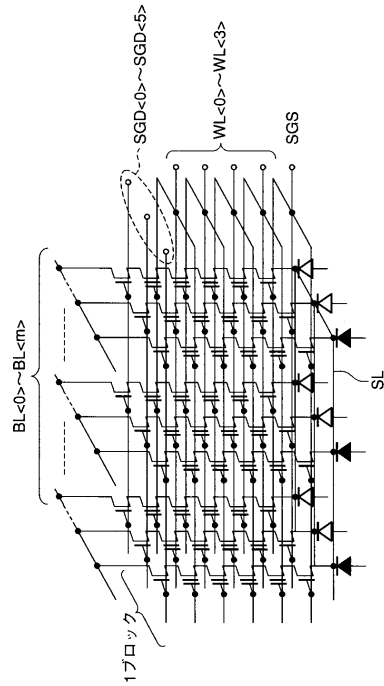
【図 6】

図 6



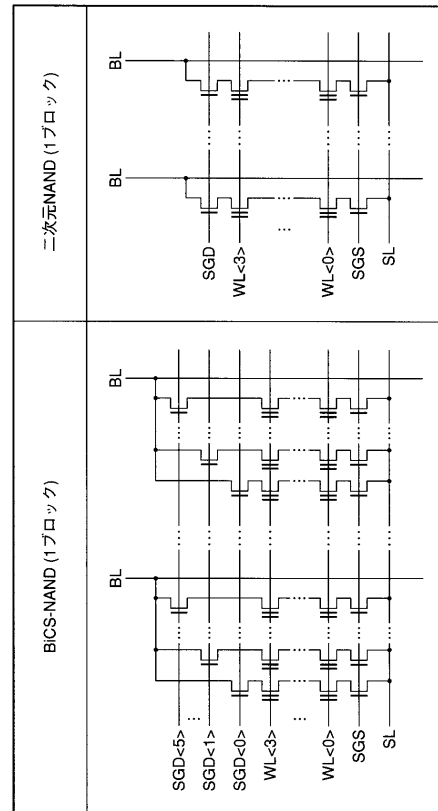
【図 7】

図 7



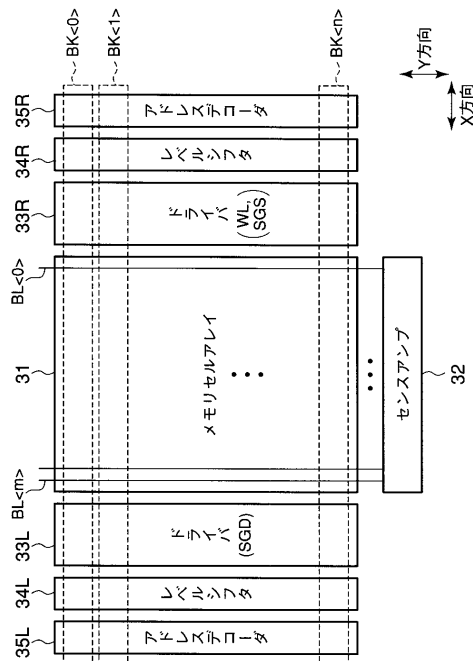
【図 8】

図 8



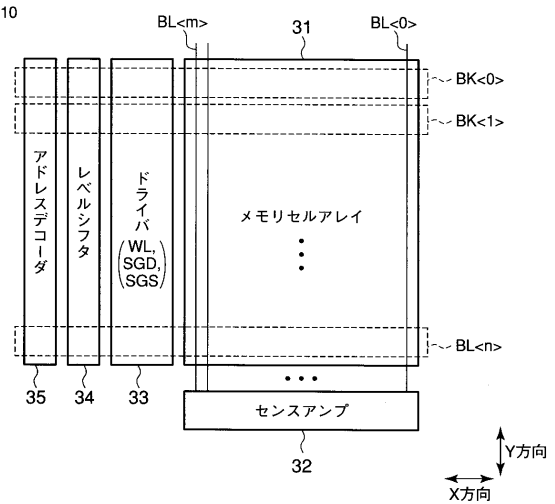
【図 9】

図 9



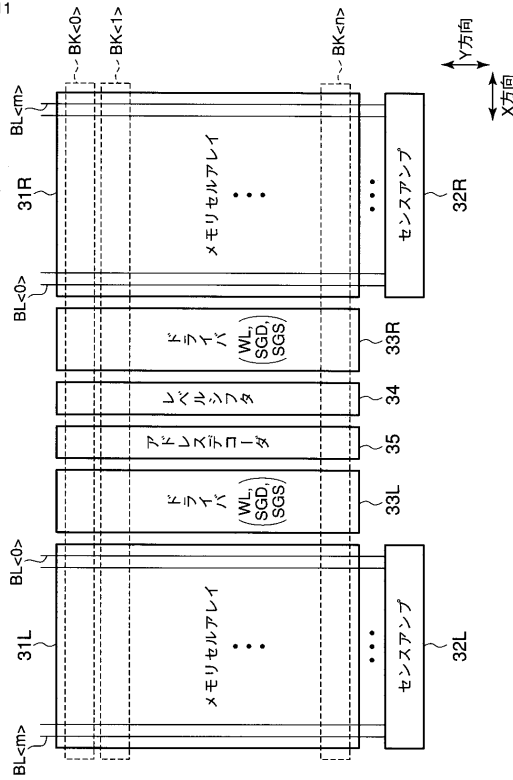
【図 10】

図 10



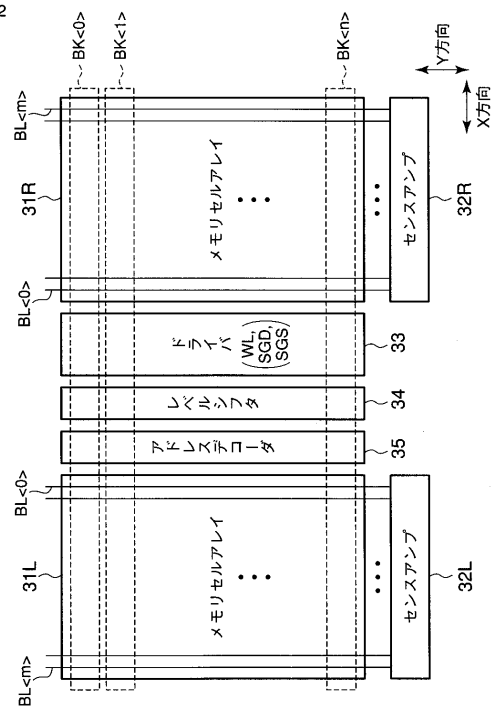
【図 1 1】

図 11



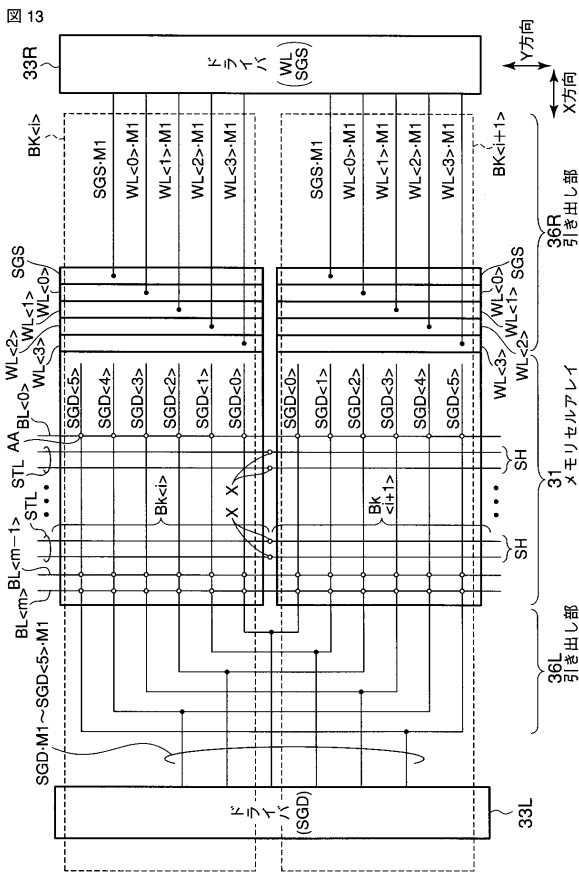
【図 1 2】

図 12



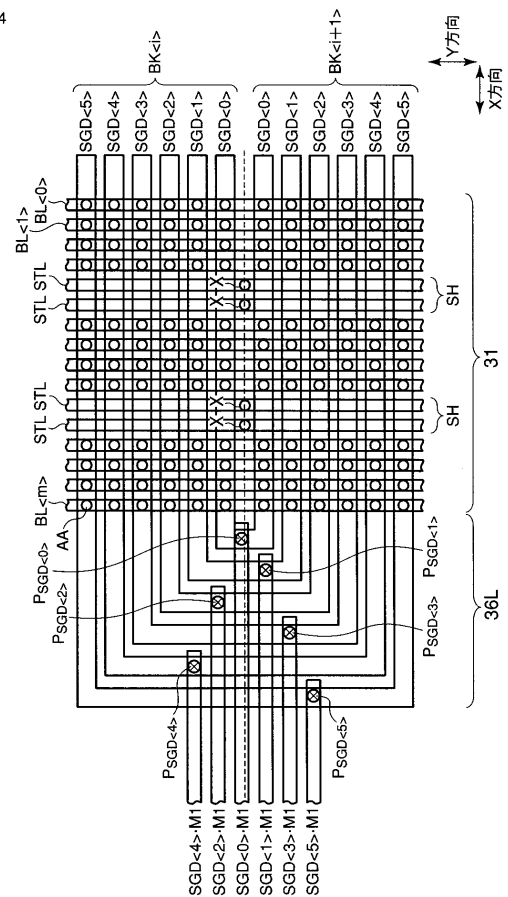
【図 1 3】

図 13



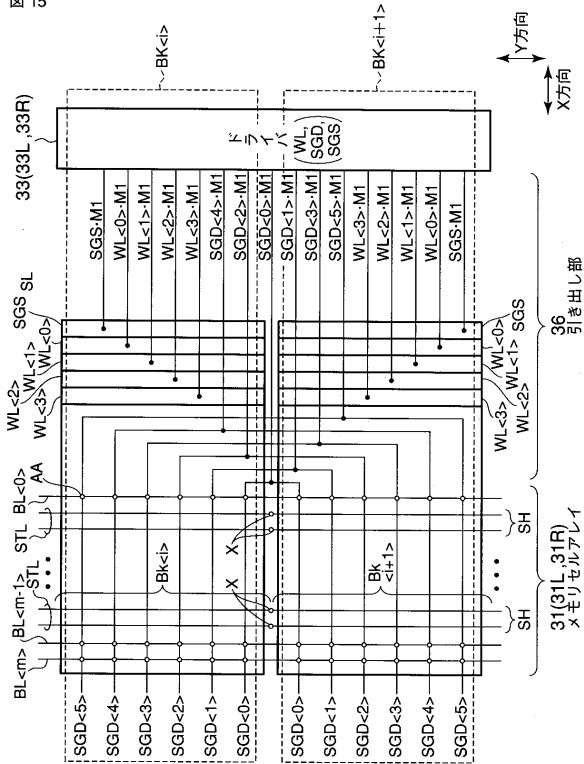
【図 1 4】

図 14



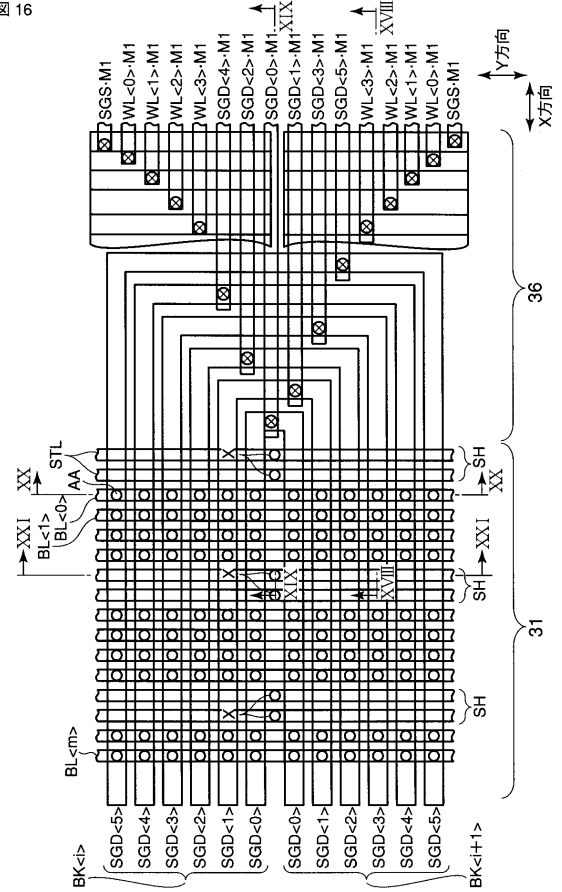
【図 15】

図 15



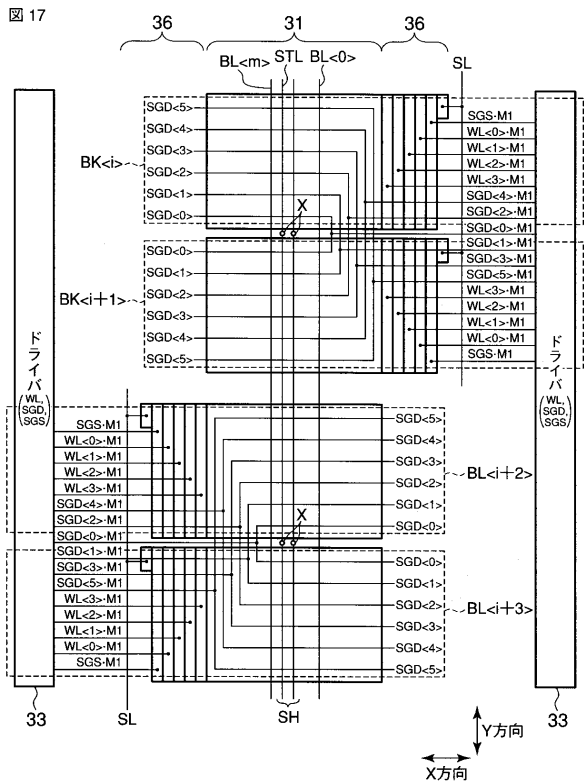
【図 16】

図 16



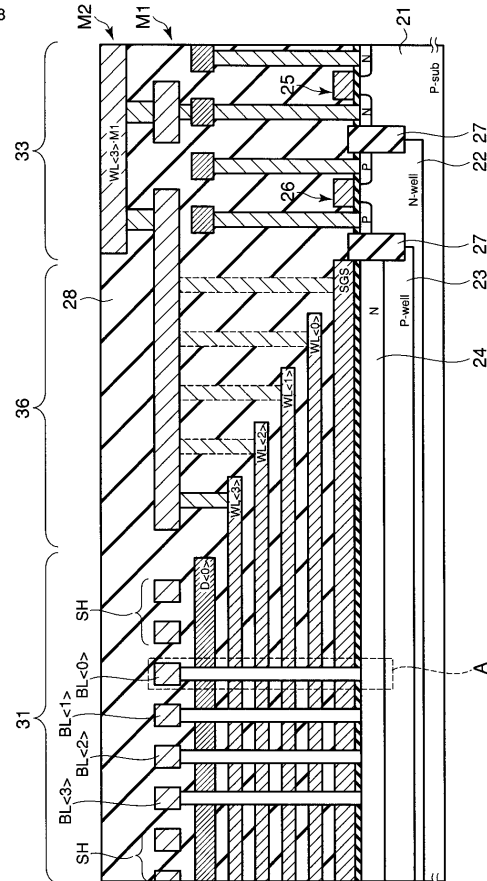
【図 17】

図 17

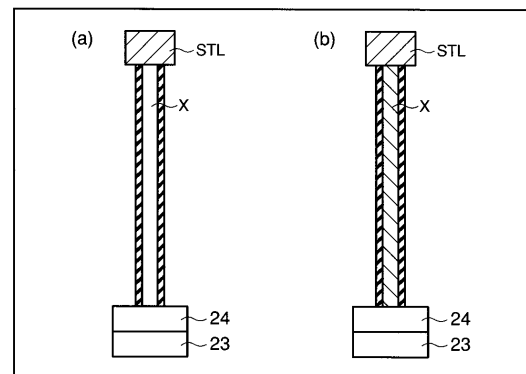


【図 18】

図 18

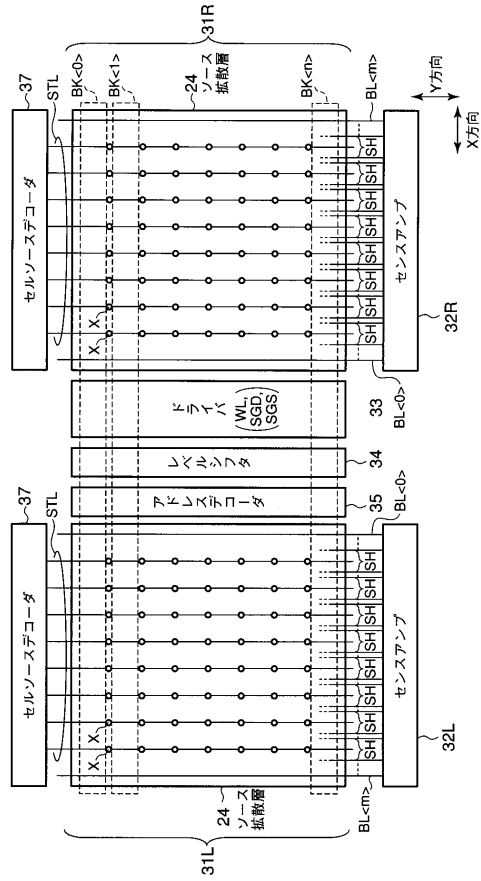


☒ 19



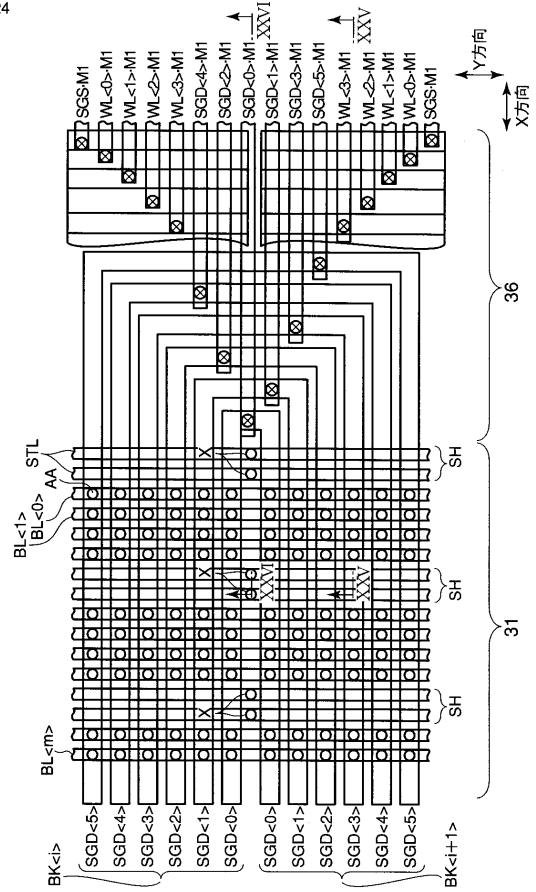
【図 23】

図 23



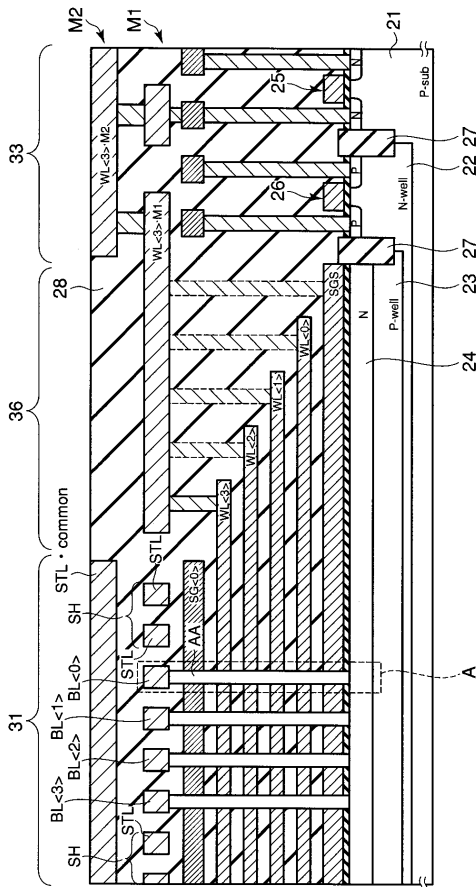
【図 24】

図 24



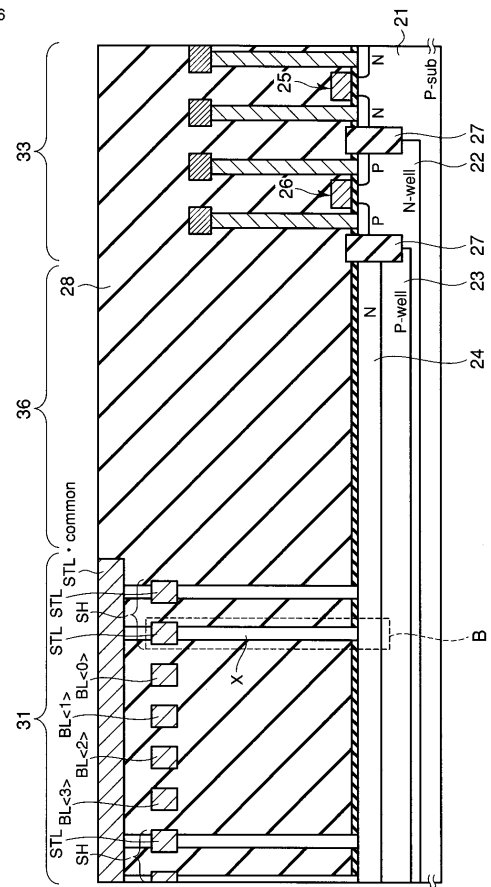
【図 25】

図 25

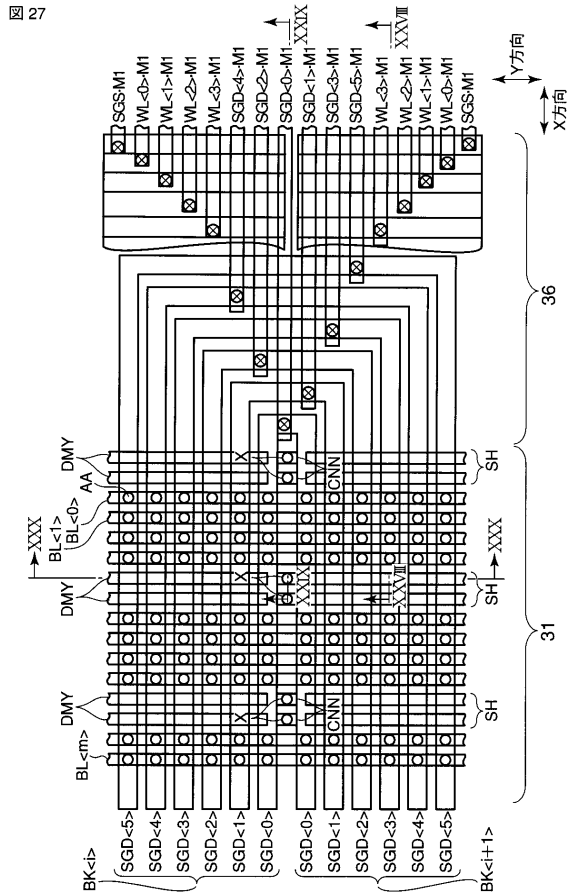


【図 26】

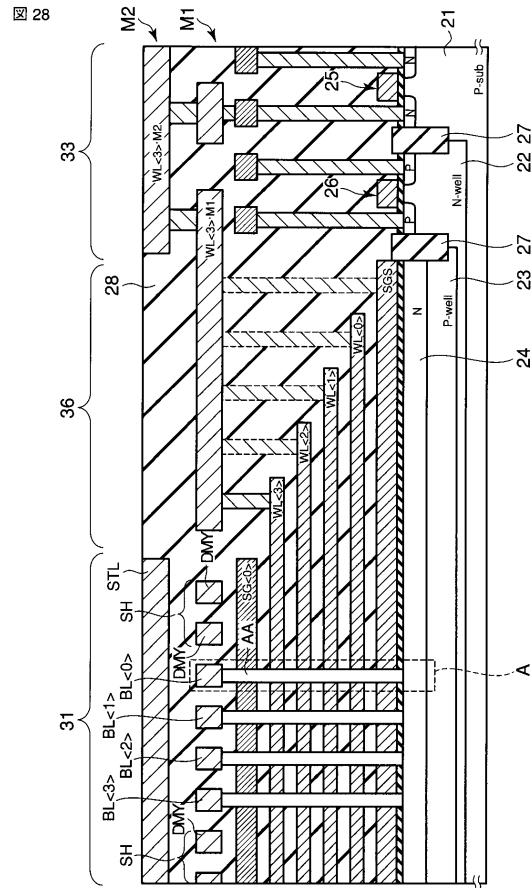
図 26



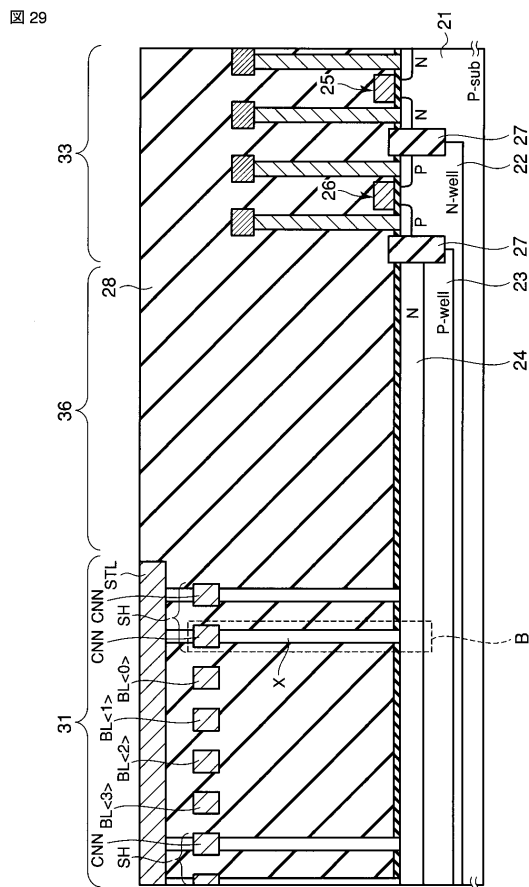
【図 27】



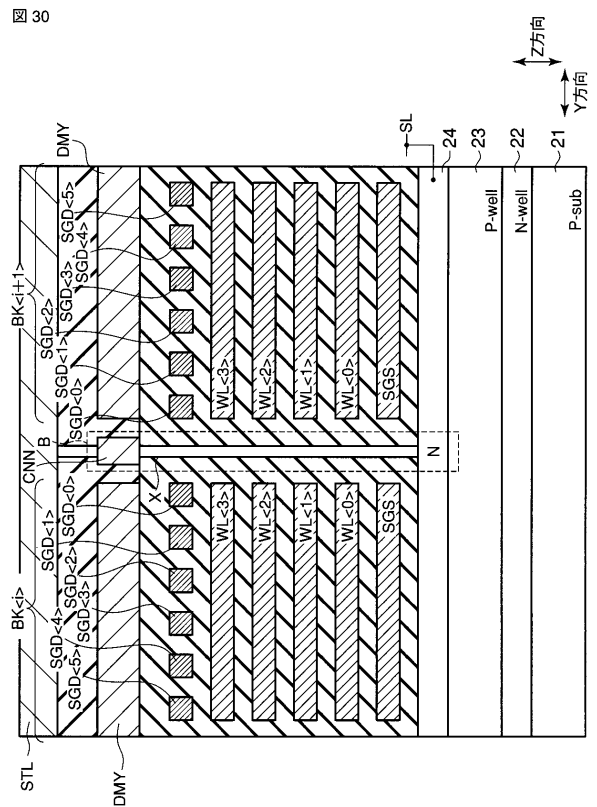
【図 28】



【图 2 9】

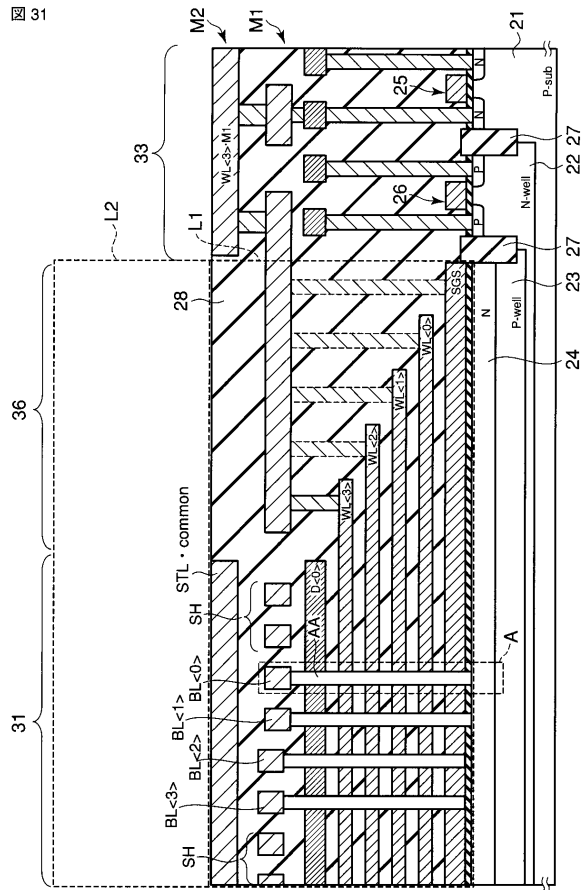


【图 30】



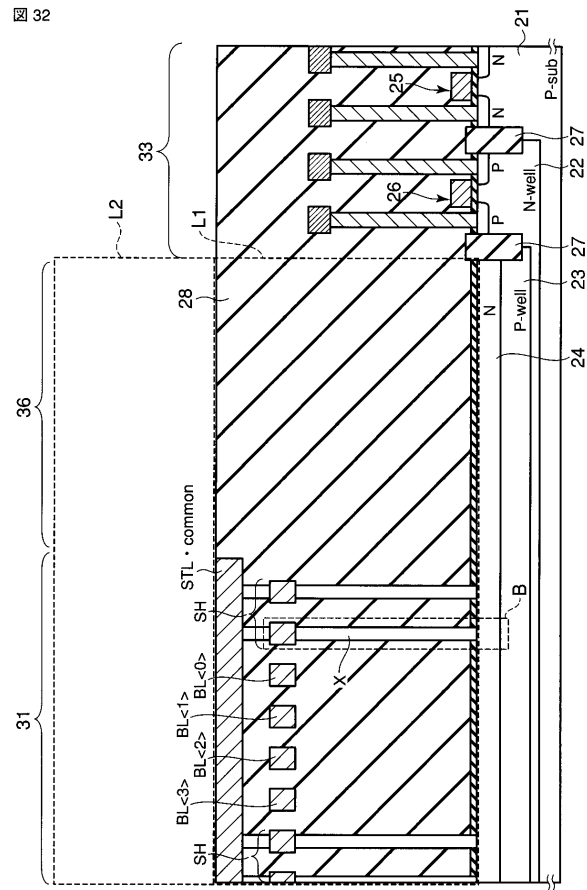
【図 3 1】

図 31



【図 3 2】

図 32



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100101812
弁理士 勝村 紘
(74)代理人 100092196
弁理士 橋本 良郎
(74)代理人 100100952
弁理士 風間 鉄也
(74)代理人 100070437
弁理士 河井 将次
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓
(74)代理人 100127144
弁理士 市原 卓三
(74)代理人 100141933
弁理士 山下 元

(72)発明者 前嶋 洋
東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP18 EP22 EP32 EP76 GA10 KA01 KA05 LA04 LA05 ZA21
5F101 BA45 BB02 BD16 BD22 BD30 BD34 BF05