



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

第 1 半導体結晶層に形成された第 1 チャネル型の第 1 MISFET の第 1 ソースおよび第 1 ドレインと、第 2 半導体結晶層に形成された第 2 チャネル型の第 2 MISFET の第 2 ソースおよび第 2 ドレインが、同一の導電性物質からなり、当該導電性物質の仕事関数 Φ_M が、数 1 および数 2 の少なくとも一方の関係を満たす。(数 1) $\varphi_1 < \Phi_M < \varphi_2 + E_{g2}$ (数 2) $|\Phi_M - \varphi_1| \leq 0.1 \text{ eV}$ 、かつ、 $|\varphi_2 + E_{g2} - \Phi_M| \leq 0.1 \text{ eV}$ ただし、 φ_1 は、N 型半導体結晶層の電子親和力、 φ_2 および E_{g2} は、P 型半導体結晶層の電子親和力および禁制帯幅。

明 細 書

発明の名称：

半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法

技術分野

[0001] 本発明は、半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法に関する。なお本願は、平成22年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 ―シリコンプラットフォーム上ⅢⅢⅢ-V族半導体チャネルトランジスタ技術の研究開発」、産業技術力強化法第19条の適用を受ける特許出願である。

背景技術

[0002] GaAs、InGaAs等のⅢⅢⅢ-V族化合物半導体は、高い電子移動度を有し、Ge、SiGe等のⅣ族半導体は、高い正孔移動度を有する。よって、ⅢⅢⅢ-V族化合物半導体でNチャネル型のMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を構成し、Ⅳ族半導体でPチャネル型のMOSFETを構成すれば、高い性能を備えたCMOSFET (Complementary Metal-Oxide-Semiconductor Field Effect Transistor) が実現できる。非特許文献1には、ⅢⅢⅢ-V族化合物半導体をチャネルとするNチャネル型MOSFETとGeをチャネルとするPチャネル型MOSFETが、単一基板に形成されたCMOSFET構造が開示されている。

非特許文献1 S. Takagi, et al., SSE, vol. 51, pp. 526-536, 2007.

発明の概要

発明が解決しようとする課題

[0003] ⅢⅢⅢ-V族化合物半導体をチャネルとするNチャネル型MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) (以下単に「nMISFET」という。)と、Ⅳ族半導体をチャネルとするPチャネル型

M I S F E T（以下単に「p M I S F E T」という。）とを、一つの基板上に形成するには、n M I S F E T用のⅢⅢⅢ－Ⅴ族化合物半導体と、p M I S F E T用のⅠⅤ族半導体を同一基板上に形成する技術が必要になる。L S I（Large Scale Integration）として製造することを考慮すれば、既存製造装置および既存工程の活用が可能なシリコン基板上にn M I S F E T用のⅢⅢⅢ－Ⅴ族化合物半導体結晶層およびp M I S F E T用のⅠⅤ族半導体結晶層を形成することが好ましい。

[0004] また、n M I S F E Tとp M I S F E Tとで構成されるC M I S F E T（Complementary Metal-Insulator-Semiconductor Field-Effect Transistor）を、L S Iとして安価に効率よく製造するには、n M I S F E Tおよびp M I S F E Tが同時に形成される製造プロセスを採用することが好ましい。特に、n M I S F E Tのソース・ドレインとp M I S F E Tのソース・ドレインが同時に形成できれば、工程を簡略化することができ、コスト削減とともに素子の微細化にも容易に対応できるようになる。

[0005] たとえばn M I S F E Tのソース・ドレイン形成領域とp M I S F E Tのソース・ドレイン形成領域とに、ソースおよびドレインとなる材料を薄膜として形成し、さらにフォトリソグラフィ等によりパターニングして形成することで、n M I S F E Tのソース・ドレインとp M I S F E Tのソース・ドレインとを同時に形成できる。しかし、n M I S F E Tが形成されるⅢⅢⅢ－Ⅴ族化合物半導体結晶層と、p M I S F E Tが形成されるⅠⅤ族半導体結晶層とでは、構成される材料が異なる。このため、n M I S F E Tまたはp M I S F E Tの一方または両方のソース・ドレイン領域の抵抗が大きくなり、あるいは、n M I S F E Tまたはp M I S F E Tの一方または両方のソース・ドレイン領域とソース・ドレイン電極との接触抵抗が大きくなる。従って、n M I S F E Tおよびp M I S F E Tの両方のソース・ドレイン領域の抵抗あるいはソース・ドレイン電極との接触抵抗を小さくすることが難しい。

[0006] 本発明の目的は、チャネルがⅢⅢⅢ－Ⅴ族化合物半導体であるn M I S F

ETと、チャネルがⅢⅤ族半導体であるpMISFETと、で構成されるCMISFETを、一つの基板上に形成する場合において、nMISFETおよびpMISFETの各ソースおよび各ドレインを同時に形成し、かつ、ソース・ドレイン領域の抵抗またはソース・ドレイン電極との接触抵抗が小さくなるような半導体デバイスおよびその製造方法を提供することにある。また、そのような技術に適した半導体基板を提供することにある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明の第1の態様においては、ベース基板と、ベース基板の上方に位置する第1半導体結晶層と、第1半導体結晶層における一部の領域の上方に位置する第2半導体結晶層と、第2半導体結晶層が上方に位置しない第1半導体結晶層の領域の一部をチャネルとし、第1ソースおよび第1ドレインを有する第1MISFETと、第2半導体結晶層の一部をチャネルとし、第2ソースおよび第2ドレインを有する第2MISFETと、を有し、第1MISFETが、第1チャネル型のMISFETであり、第2MISFETが、第1チャネル型とは相違する第2チャネル型のMISFETであり、第1ソース、第1ドレイン、第2ソースおよび第2ドレインが、同一の導電性物質からなり、導電性物質の仕事関数 ϕ_M が、数1および数2の少なくとも一方の関係を満たす半導体デバイスを提供する。

$$(\text{数1}) \quad \phi_1 < \phi_M < \phi_2 + E_{g2}$$

$$(\text{数2}) \quad |\phi_M - \phi_1| \leq 0.1 \text{ eV}, \text{ かつ, } |(\phi_2 + E_{g2}) - \phi_M| \leq 0.1 \text{ eV}$$

[0008] ただし、 ϕ_1 は、第1半導体結晶層および第2半導体結晶層のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、第1半導体結晶層および第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。

[0009] ベース基板と第1半導体結晶層との間に位置し、ベース基板と第1半導体結晶層とを電氣的に分離する第1分離層と、第1半導体結晶層と第2半導体

結晶層との間に位置し、第1半導体結晶層と第2半導体結晶層とを電氣的に分離する第2分離層と、をさらに有してもよい。

[0010] 第1半導体結晶層と第2半導体結晶層との間に位置し、第1半導体結晶層と第2半導体結晶層とを電氣的に分離する第2分離層をさらに有してもよく、この場合、ベース基板と第1半導体結晶層とが接合面で接し、接合面の近傍におけるベース基板の領域に、p型またはn型の伝導型を示す不純物原子を含有し、接合面の近傍における第1半導体結晶層の領域に、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有してもよい。

[0011] ベース基板と第1分離層とが接してもよく、この場合、ベース基板の第1分離層と接する領域が導電性であり、ベース基板の第1分離層と接する領域に印加した電圧が、第1MISFETへのバックゲート電圧として作用してもよい。第1半導体結晶層と第2分離層とが接してもよく、この場合、第1半導体結晶層の第2分離層と接する領域が導電性であり、第1半導体結晶層の第2分離層と接する領域に印加した電圧が、第2MISFETへのバックゲート電圧として作用してもよい。

[0012] 第1半導体結晶層がⅢⅤ族半導体結晶からなる場合、第1MISFETがPチャネル型MISFETであることが好ましく、第2半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなる場合、第2MISFETがNチャネル型MISFETであることが好ましい。第1半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなる場合、第1MISFETがNチャネル型MISFETであることが好ましく、第2半導体結晶層がⅢⅤ族半導体結晶からなる場合、第2MISFETがPチャネル型MISFETであることが好ましい。

[0013] 導電性物質として、TiN、TaN、グラフェン、HfNまたはWNが挙げられる。

[0014] 本発明の第2の態様においては、第1の態様の半導体デバイスに用いる半導体基板であって、ベース基板と、第1半導体結晶層と、第2半導体結晶層と、を有し、第1半導体結晶層が、ベース基板の上方に位置し、第2半導体

結晶層が、第1半導体結晶層の一部または全部の上方に位置する半導体基板を提供する。

[0015] ベース基板と第1半導体結晶層との間に位置し、ベース基板と第1半導体結晶層とを電氣的に分離する第1分離層と、第1半導体結晶層と第2半導体結晶層との間に位置し、第1半導体結晶層と第2半導体結晶層とを電氣的に分離する第2分離層と、をさらに有してもよい。この場合、第1分離層として、非晶質絶縁体からなるものが挙げられる。あるいは、第1分離層として、第1半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものが挙げられる。

[0016] 第1半導体結晶層と第2半導体結晶層との間に位置し、第1半導体結晶層と第2半導体結晶層とを電氣的に分離する第2分離層をさらに有してもよく、この場合、ベース基板と第1半導体結晶層とが接合面で接し、接合面の近傍におけるベース基板の領域に、p型またはn型の伝導型を示す不純物原子を含有し、接合面の近傍における第1半導体結晶層の領域に、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有してもよい。

[0017] 第2分離層として、非晶質絶縁体からなるものが挙げられる。あるいは、第2分離層として、第2半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものが挙げられる。第2半導体結晶層を複数有してもよく、この場合、複数の第2半導体結晶層のそれぞれが、ベース基板の上面と平行な面内で規則的に配列されていることが好ましい。

[0018] 本発明の第3の態様においては、第2の態様の半導体基板を製造する方法であって、ベース基板の上方に第1半導体結晶層を形成する第1半導体結晶層形成ステップと、第1半導体結晶層における一部の領域の上方に第2半導体結晶層を形成する第2半導体結晶層形成ステップと、を有し、第2半導体結晶層形成ステップが、半導体結晶層形成基板上に第2半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、第1

半導体結晶層の上、第2半導体結晶層の上、または、第1半導体結晶層および第2半導体結晶層の両方の上に、第1半導体結晶層と第2半導体結晶層とを電氣的に分離する第2分離層を形成するステップと、第1半導体結晶層上の第2分離層と第2半導体結晶層とが接合するように、第2半導体結晶層上の第2分離層と第1半導体結晶層とが接合するように、または、第1半導体結晶層上の第2分離層と第2半導体結晶層上の第2分離層とが接合するように、第1半導体結晶層を有するベース基板と、半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、を有する半導体基板の製造方法を提供する。

[0019] 第1半導体結晶層形成ステップが、半導体結晶層形成基板上に第1半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、ベース基板の上、第1半導体結晶層の上、または、ベース基板および第1半導体結晶層の両方の上に、ベース基板と第1半導体結晶層とを電氣的に分離する第1分離層を形成するステップと、ベース基板上の第1分離層と第1半導体結晶層とが接合するように、第1半導体結晶層上の第1分離層とベース基板とが接合するように、または、ベース基板上の第1分離層と第1半導体結晶層上の第1分離層とが接合するように、ベース基板と、半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、を有してもよい。

[0020] 第1半導体結晶層がS i G eからなり、第2半導体結晶層がI I I - V族化合物半導体結晶からなる場合、第1半導体結晶層形成ステップの前に、絶縁体からなる第1分離層をベース基板の上に形成するステップを有してもよく、第1半導体結晶層形成ステップが、第1分離層の上に、第1半導体結晶層の出発材料となるS i G e層を形成するステップと、S i G e層を酸化雰囲気中で加熱し、表面を酸化することでS i G e層中のG e原子の濃度を高めるステップと、を有してもよい。

[0021] 第1半導体結晶層がI V族半導体結晶からなり、第2半導体結晶層がI I I - V族化合物半導体結晶からなる場合、I V族半導体結晶からなる半導体層材料基板の表面に、絶縁体からなる第1分離層を形成するステップと、第

1 分離層を通して、陽イオンを半導体層材料基板の分離予定深さに注入するステップと、第1分離層の表面とベース基板の表面とが接合されるように、半導体層材料基板とベース基板とを貼り合わせるステップと、半導体層材料基板およびベース基板を加熱し、分離予定深さに注入した陽イオンと半導体層材料基板を構成するⅠⅤ族原子とを反応させることで、分離予定深さに位置するⅠⅤ族半導体結晶を変性するステップと、変性するステップで変性させたⅠⅤ族半導体結晶の変性部位よりベース基板側に位置するⅠⅤ族半導体結晶を、半導体層材料基板とベース基板とを分離することで半導体層材料基板から剥離するステップと、ベース基板に残留したⅠⅤ族半導体結晶からなる結晶層を研磨するステップと、を有してもよい。

[0022] 第1半導体結晶層形成ステップの前に、ベース基板の上に第1半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第1分離層をエピタキシャル成長法により形成するステップを有してもよく、この場合、第1半導体結晶層形成ステップとして、第1分離層の上に第1半導体結晶層をエピタキシャル成長法により形成するステップが挙げられる。

[0023] 第1半導体結晶層形成ステップとして、ベース基板の上に第1半導体結晶層をエピタキシャル成長法により形成するステップが挙げられる。この場合、ベース基板の表面近傍に、p型またはn型の伝導型を示す不純物原子を含有してもよく、第1半導体結晶層をエピタキシャル成長法により形成するステップにおいて、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で第1半導体結晶層をドーピングしてもよい。

[0024] 本発明の第4の態様においては、第2の態様の半導体基板を製造する方法であって、半導体結晶層形成基板の上に第2半導体結晶層をエピタキシャル結晶成長法により形成する第2半導体結晶層形成ステップと、第2半導体結晶層の上に、第2半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第2分離層をエピタキシャル結晶成長法により形成する第2分離層形成ステップと、第2分離層の上に第1半導体

結晶層をエピタキシャル結晶成長法により形成する第1半導体結晶層形成ステップと、ベース基板の上、第1半導体結晶層の上、または、ベース基板および第1半導体結晶層の両方の上に、ベース基板と第1半導体結晶層とを電氣的に分離する第1分離層を形成するステップと、ベース基板上の第1分離層と第1半導体結晶層とが接合するように、第1半導体結晶層上の第1分離層とベース基板とが接合するように、または、ベース基板上の第1分離層と第1半導体結晶層上の第1分離層とが接合するように、ベース基板と、半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、を有する半導体基板の製造方法を提供する。

[0025] 上記した第3態様および第4態様の半導体基板の製造方法において、半導体結晶層形成基板の上に半導体結晶層を形成する前に、半導体結晶層形成基板の表面に、結晶性犠牲層をエピタキシャル結晶成長法により形成するステップと、ベース基板と前導体結晶層形成基板とを貼り合わせた後に、結晶性犠牲層を除去することにより、半導体結晶層形成基板上にエピタキシャル結晶成長法により形成された半導体結晶層と半導体結晶層形成基板とを分離するステップと、をさらに有してもよい。第2半導体結晶層をエピタキシャル成長させた後に第2半導体結晶層を規則的な配列にパターニングするステップ、または第2半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップを有してもよい。

[0026] 本発明の第5の態様においては、第3の態様または第4の態様の半導体基板の製造方法を用いて、第1半導体結晶層および第2半導体結晶層を有する半導体基板を製造するステップと、第1半導体結晶層および第2半導体結晶層のそれぞれの上に、仕事関数 ϕ_M が、数1および数2の少なくとも一方の関係を満たす導電性物質を形成するステップと、ゲート電極が形成される領域の導電性物質を除去するステップと、導電性物質が除去された領域にゲート絶縁層およびゲート電極を形成するステップと、導電性物質をパターニングおよび加熱して、第1半導体結晶上のゲート電極の両側に第1ソースおよび第1ドレインを形成し、第2半導体結晶上のゲート電極の両側に第2ソース

および第2ドレインを形成するステップと、を有する半導体デバイスの製造方法を提供する。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV}, \text{ かつ, } |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

[0027] ただし、 ϕ_1 は、第1半導体結晶層および第2半導体結晶層のうち、一部がN型チャネルとして機能する半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、第1半導体結晶層および第2半導体結晶層のうち、一部がP型チャネルとして機能する半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。

図面の簡単な説明

[0028] [図1]半導体デバイス100の断面を示す。

[図2]半導体デバイス100の製造過程における断面を示す。

[図3]半導体デバイス100の製造過程における断面を示す。

[図4]半導体デバイス100の製造過程における断面を示す。

[図5]半導体デバイス100の製造過程における断面を示す。

[図6]半導体デバイス100の製造過程における断面を示す。

[図7]半導体デバイス100の製造過程における断面を示す。

[図8]半導体デバイス100の製造過程における断面を示す。

[図9]他の半導体デバイスの製造過程における断面を示す。

[図10]他の半導体デバイスの製造過程における断面を示す。

[図11]他の半導体デバイスの製造過程における断面を示す。

[図12]さらに他の半導体デバイスの製造過程における断面を示す。

[図13]さらに他の半導体デバイスの製造過程における断面を示す。

[図14]半導体デバイス200の断面を示す。

[図15]nMOSFETを上方から観察したSEM写真である。

[図16]nMOSFETのゲート部分の断面を観察したTEM写真である。

[図17]ゲート電圧対ソース電流特性を示すグラフである。

[図18]ゲート電圧対ソース電流特性を示すグラフである。

[図19]ゲート電圧対ソース電流特性を示すグラフである。

[図20]ゲート長に対するSS値を示したグラフである。

[図21]ゲート長に対するDIBLの値を示したグラフである。

発明を実施するための形態

[0029] 図1は、半導体デバイス100の断面を示す。半導体デバイス100は、ベース基板102と、第1半導体結晶層104と、第2半導体結晶層106とを有する。本例の半導体デバイス100は、ベース基板102と第1半導体結晶層104との間に第1分離層108を有し、第1半導体結晶層104と第2半導体結晶層106との間に第2分離層110を有する。なお、図1に示した実施例からは、ベース基板102と、第1半導体結晶層104と、第2半導体結晶層106とを構成要件とする半導体基板の発明と、ベース基板102、第1分離層108、第1半導体結晶層104、第2分離層110および第2半導体結晶層106を構成要件とする半導体基板の発明との少なくとも2つの発明が把握できる。第1半導体結晶層104には第1MISFET120が形成され、第2半導体結晶層106には第2MISFET130が形成されている。

[0030] ベース基板102として、表面がシリコン結晶である基板が挙げられる。表面がシリコン結晶である基板として、シリコン基板、または、SOI (Silicon on Insulator) 基板が挙げられ、シリコン基板が好ましい。ベース基板102に、表面がシリコン結晶である基板を用いることで、既存の製造装置および既存の製造プロセスが利用でき、研究開発および製造の効率を高めることができる。ベース基板102は、表面がシリコン結晶である基板に限られず、ガラス、セラミックス、プラスチック等の絶縁体基板、金属等の導電体基板、または、炭化シリコン等の半導体基板であってもよい。

[0031] 第1半導体結晶層104は、ベース基板102の上方に位置する。第1半導体結晶層104は、IV族半導体結晶またはIII-V族化合物半導体結晶からなる。第1半導体結晶層104の厚さは、20nm以下であることが

好ましい。第1半導体結晶層104の厚さを20nm以下とすることで、極薄膜ボディの第1MISFET120を構成できる。第1MISFET120のボディを極薄膜にすることで、短チャネル効果を抑制し、第1MISFET120のリーク電流を減少することができる。

[0032] 第2半導体結晶層106は、第1半導体結晶層104表面の一部の上方に位置する。すなわち、第2半導体結晶層106は、第1半導体結晶層104における一部の領域の上方に位置し、第1半導体結晶層104の領域のうち、第2半導体結晶層106が上方に位置しない領域の一部は、第1MISFET120のチャネルとして機能する。第2半導体結晶層106は、III-V族化合物半導体結晶またはIV族半導体結晶からなる。第2半導体結晶層106の厚さは、20nm以下であることが好ましい。第2半導体結晶層106の厚さを20nm以下とすることで、極薄膜ボディの第2MISFET130を構成できる。第2MISFET130のボディを極薄膜にすることで、短チャネル効果を抑制し、第2MISFET130のリーク電流を減少することができる。

[0033] III-V族化合物半導体結晶では電子移動度が高く、IV族半導体結晶、特にGeでは正孔移動度が高いので、III-V族化合物半導体結晶層にはNチャネル型MISFETを形成することが好ましく、IV族半導体結晶層にはPチャネル型MISFETを形成することが好ましい。つまり、第1半導体結晶層104がIV族半導体結晶からなり、第2半導体結晶層106がIII-V族化合物半導体結晶からなる場合、第1MISFET120がPチャネル型MISFETであり、第2MISFET130がNチャネル型MISFETであることが好ましい。

[0034] 逆に、第1半導体結晶層104がIII-V族化合物半導体結晶からなり、第2半導体結晶層106がIV族半導体結晶からなる場合、第1MISFET120がNチャネル型MISFETであり、第2MISFET130がPチャネル型MISFETであることが好ましい。これにより、第1MISFET120および第2MISFET130の各々の性能を高め、第1MISFET120の性能を第2MISFET130の性能よりも高くすることが可能である。

S F E T 1 2 0 および第 2 M I S F E T 1 3 0 からなる C M I S F E T の性能を最大化することができる。

[0035] I V 族半導体結晶として、G e 結晶、または、 $S i_x G e_{1-x}$ ($0 \leq x < 1$) 結晶、が挙げられる。I V 族半導体結晶が $S i_x G e_{1-x}$ 結晶である場合、 x は 0. 1 0 以下であることが好ましい。I I I - V 族化合物半導体結晶として、 $I n_x G a_{1-x} A s$ ($0 < x < 1$) 結晶、 $I n A s$ 結晶、 $G a A s$ 結晶、 $I n P$ 結晶が挙げられる。また、I I I - V 族化合物半導体結晶として、 $G a A s$ または $I n P$ に格子整合または擬格子整合する I I I - V 族化合物半導体の混晶が挙げられる。また、I I I - V 族化合物半導体結晶として、当該混晶と $I n_x G a_{1-x} A s$ ($0 < x < 1$) 結晶、 $I n A s$ 結晶、 $G a A s$ 結晶または $I n P$ 結晶との積層体が挙げられる。なお I I I - V 族化合物半導体結晶としては、 $I n_x G a_{1-x} A s$ ($0 < x < 1$) 結晶および $I n A s$ 結晶が好適であり、 $I n A s$ 結晶がより好適である。

[0036] 第 1 分離層 1 0 8 は、ベース基板 1 0 2 と第 1 半導体結晶層 1 0 4 との間に位置する。第 1 分離層 1 0 8 は、ベース基板 1 0 2 と第 1 半導体結晶層 1 0 4 とを電氣的に分離する。

[0037] 第 1 分離層 1 0 8 は、非晶質絶縁体からなるものであってもよい。第 1 半導体結晶層 1 0 4 および第 1 分離層 1 0 8 が、貼り合わせ法、酸化濃縮法またはスマートカット法により形成された場合、第 1 分離層 1 0 8 は非晶質絶縁体からなる。非晶質絶縁体からなる第 1 分離層 1 0 8 として、 $A l_2 O_3$ 、 $A l N$ 、 $T a_2 O_5$ 、 $Z r O_2$ 、 $H f O_2$ 、 $L a_2 O_3$ 、 $S i O_x$ (例えば $S i O_2$)、 $S i N_x$ (例えば $S i_3 N_4$) および $S i O_x N_y$ のうちの少なくとも 1 からなる層、またはこれらの中から選ばれた少なくとも 2 層の積層が挙げられる。

[0038] 第 1 分離層 1 0 8 は、第 1 半導体結晶層 1 0 4 を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものであってもよい。このような半導体結晶は、エピタキシャル結晶成長法により形成できる。第 1 半導体結晶層 1 0 4 が $I n G a A s$ 結晶層または $G a A s$ 結晶層である

場合、第1分離層108を構成する半導体結晶として、AlGaAs結晶、AlInGaP結晶、AlGaInAs結晶、InP結晶が挙げられる。第1半導体結晶層104がGe結晶層である場合、第1分離層108を構成する半導体結晶として、SiGe結晶、Si結晶、SiC結晶、または、C結晶が挙げられる。

[0039] 第2分離層110は、第1半導体結晶層104と第2半導体結晶層106との間に位置する。第2分離層110は、第1半導体結晶層104と第2半導体結晶層106とを電氣的に分離する。

[0040] 第2分離層110は、非晶質絶縁体からなるものであってもよい。第2半導体結晶層106および第2分離層110が貼り合わせ法により形成された場合、第2分離層110は、非晶質絶縁体になる。非晶質絶縁体からなる第2分離層110として、 Al_2O_3 、AlN、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x （例えば SiO_2 ）、 SiN_x （例えば Si_3N_4 ）および SiO_xN_y のうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

[0041] 第2分離層110は、第2半導体結晶層106を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものであってもよい。このような半導体結晶は、エピタキシャル結晶成長法により形成できる。第2半導体結晶層106がInGaAs結晶層またはGaAs結晶層である場合、当該半導体結晶として、AlGaAs結晶、AlInGaP結晶、AlGaInAs結晶、InP結晶が挙げられる。第2半導体結晶層106がGe結晶層である場合、当該半導体結晶として、SiGe結晶、Si結晶、SiC結晶、C結晶が挙げられる。

[0042] 第1MISFET120は、第2半導体結晶層106が上方に位置しない領域の第1半導体結晶層104に形成され、第1ゲート122、第1ソース124および第1ドレイン126を有する。第1ゲート122上には、第1ゲートメタル123が形成され、第1ソース124および第1ドレイン126のそれぞれの上には、第1ソース電極125、第1ドレイン電極127が

それぞれ形成されている。第1ゲートメタル123、第1ソース電極125および第1ドレイン電極127を構成する物質として、Ti、Ta、W、Al、Cu、Auまたはこれらの積層体が挙げられる。

[0043] 第1ソース124および第1ドレイン126は、第1半導体結晶層104上に形成された導電性物質からなり、レイズド・ソース・ドレインを成す。導電性物質として、TiN、Ta₂N、グラフェン、HfNまたはWNが挙げられる。第1ソース124および第1ドレイン126の間には、第1ゲート122が形成されている。第1ゲート122は、絶縁層114によって、第1ソース124、第1ドレイン126および第1半導体結晶層104から絶縁されている。第1ゲート122を構成する物質として、TiN、Ta₂N、グラフェン、HfNまたはWNが挙げられる。絶縁層114として、Al₂O₃、AlN、Ta₂O₅、ZrO₂、HfO₂、La₂O₃、SiO_x（例えばSiO₂）、SiN_x（例えばSi₃N₄）およびSiO_xN_yのうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

[0044] 第1ソース124と第1ドレイン126との間の、第1ゲート122が絶縁層114を介して対面している第1半導体結晶層104の一部104aは、第1MISFET120のチャネルとして機能する。当該チャネル領域である第1半導体結晶層104の一部104aと第1ゲート122とで挟まれた領域には、絶縁層114の一部114aが形成される。当該一部114aは、ゲート絶縁層として機能してもよい。

[0045] 第2MISFET130は、第2半導体結晶層106に形成され、第2ゲート132、第2ソース134および第2ドレイン136を有する。第2ゲート132上には、第2ゲートメタル133が形成され、第2ソース134および第2ドレイン136のそれぞれの上には、第2ソース電極135、第2ドレイン電極137がそれぞれ形成されている。第2ゲートメタル133、第2ソース電極135および第2ドレイン電極137を構成する物質として、Ti、Ta、W、Al、Cu、Auおよびこれらの積層体が挙げられる。

。

[0046] 第2ソース134および第2ドレイン136は、第2半導体結晶層106上に形成された導電性物質からなり、レイズド・ソース・ドレインを成す。導電性物質として、TiN、Ta₂N₅、グラフェン、HfNまたはWNが挙げられる。第2ソース134および第2ドレイン136の間には、第2ゲート132が形成されている。第2ゲート132は、第1MISFET120と同様の絶縁層114によって、第2ソース134、第2ドレイン136および第2半導体結晶層106から絶縁されている。第2ゲート132を構成する物質として、TiN、Ta₂N₅、グラフェン、HfNまたはWNが挙げられる。

[0047] 第2ソース134と第2ドレイン136との間の、第2ゲート132が絶縁層114を介して対面している第2半導体結晶層106の一部106aは、第2MISFET130のチャネルとして機能する。当該チャネル領域である第2半導体結晶層106の一部106aと第2ゲート132とで挟まれた領域には、絶縁層114の一部114aが形成される。当該一部114aは、ゲート絶縁層として機能してもよい。

[0048] 第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136は、同一の導電性物質からなり、導電性物質の仕事関数 Φ_M は、数1または数2の関係を満たす。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV}, \text{ かつ, } |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

[0049] ただし、 ϕ_1 は、第1半導体結晶層104および第2半導体結晶層106のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力を示す。 ϕ_2 および E_{g2} は、第1半導体結晶層104および第2半導体結晶層106のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。なお、導電性物質の仕事関数 Φ_M は、数1および数2の両方の関係を満たしてもよい。

[0050] 以上の通り、第1 MISFET 120のソース・ドレイン（第1ソース124および第1ドレイン126）と、第2 MISFET 130のソース・ドレイン（第2ソース134および第2ドレイン136）が、同一の導電性物質からなる。これは同一の材料膜を用いた当該部位の製造を可能にする構成であり、製造工程を簡略化できることを意味する。また、第1 MISFET 120および第2 MISFET 130において、ゲート幅は、ソース・ドレイン間のスペース（エッチング溝間隔）によって容易に制御できる。この結果、微細化が容易になる。また、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136を構成する導電物質の仕事関数を、上記数1または数2の関係を満たすものとするので、各ソース・ドレイン領域と半導体結晶層との接触抵抗を低減できる。例えば、導電性物質の仕事関数 Φ_M が、数1の関係を満たせば、 Φ_M と ϕ_1 との差分、および、 Φ_M と $\phi_2 + E_{g2}$ との差分は、最大でも ϕ_1 と $\phi_2 + E_{g2}$ との差分よりも小さくなる。各ソース・ドレイン領域と半導体結晶層との接触抵抗を低減できる。また、導電性物質の仕事関数 Φ_M が、数2の関係を満たせば、 Φ_M と ϕ_1 との差分、および、 Φ_M と $\phi_2 + E_{g2}$ との差分を、0.1 eV以下に抑制できる。このため、各ソース・ドレイン領域と半導体結晶層との接触抵抗を低減できる。この結果、CMISFETを製造する製造工程を簡略化し、微細化を容易にすると共に各FETの性能を高くすることができる。

[0051] 図2から図8は、半導体デバイス100の製造過程における断面を示す。まず、ベース基板102と半導体結晶層形成基板140を用意し、半導体結晶層形成基板140上に第1半導体結晶層104をエピタキシャル結晶成長法により形成する。その後、第1半導体結晶層104上に第1分離層108を形成する。第1分離層108は、たとえばALD（Atomic Layer Deposition）法、熱酸化法、蒸着法、CVD（Chemical Vapor Deposition）法、スパッタ法等の薄膜形成法により形成する。

[0052] 第1半導体結晶層104がIII-V族化合物半導体結晶からなる場合、半導体結晶層形成基板140としてInP基板、または、GaAs基板が選

択できる。第1半導体結晶層104がⅢⅤ族半導体結晶からなる場合、半導体結晶層形成基板140としてGe基板、Si基板、SiC基板、または、GaAs基板が選択できる。

[0053] 第1半導体結晶層104のエピタキシャル結晶成長には、MOCVD (Metal Organic Chemical Vapor Deposition) 法を利用することができる。ⅢⅤ族化合物半導体結晶層をMOCVD法で形成する場合、InソースにはTMIn (トリメチルインジウム) を、GaソースにはTMGa (トリメチルガリウム) を、AsソースにはAsH₃ (アルシン)、PソースにはPH₃ (ホスフィン) を用いることができる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。ⅢⅤ族半導体結晶層をCVD法で形成する場合、Geソースには、GeH₄ (ゲルマン) を、SiソースにはSiH₄ (シラン)、またはSi₂H₆ (ジシラン) を用いることができ、またそれらの複数の水素原子の一部を塩素原子または炭化水素基で置換した化合物を用いることもできる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。ソースガス供給量や反応時間を適宜選択することでエピタキシャル成長層の厚さを制御することができる。

[0054] 図2に示すように、第1分離層108の表面とベース基板102の表面をアルゴンビーム150で活性化する。その後、図3に示すように、アルゴンビーム150で活性化した第1分離層108の表面とベース基板102の表面を貼り合わせて接合する。貼り合わせは室温で行うことができる。なお、活性化はアルゴンビーム150である必要はなく、他の希ガス等のビームであっても良い。その後、半導体結晶層形成基板140をエッチングし、除去する。これにより、ベース基板102上に、第1分離層108および第1半導体結晶層104が形成される。なお、第1半導体結晶層104の形成と第1分離層108の形成との間に、第1半導体結晶層104の表面を硫黄原子で終端する硫黄終端処理を行っても良い。

[0055] 図2および図3に示す例では、第1分離層108を第1半導体結晶層104の上にのみ形成し、第1分離層108の表面とベース基板102の表面とを貼り合わせる例を説明したが、ベース基板102の上にも第1分離層108を形成し、第1半導体結晶層104上の第1分離層108の表面とベース基板102上の第1分離層108の表面とを貼り合わせてもよい。この場合、第1分離層108の貼り合わせる面を親水化処理することが好ましい。親水化処理した場合は、第1分離層108どうしを加熱して貼り合わせることが好ましい。あるいは、ベース基板102の上にのみ第1分離層108を形成し、第1半導体結晶層104の表面とベース基板102上の第1分離層108の表面とを貼り合わせてもよい。

[0056] 図2および図3に示す例では、第1分離層108および第1半導体結晶層104をベース基板102に貼り合わせた後に、第1分離層108および第1半導体結晶層104を半導体結晶層形成基板140から分離する例を説明したが、第1分離層108および第1半導体結晶層104を半導体結晶層形成基板140から分離した後に、第1分離層108および第1半導体結晶層104をベース基板102に貼り合わせてもよい。この場合、第1分離層108および第1半導体結晶層104を半導体結晶層形成基板140から分離した後、ベース基板102に貼り合わせるまでの間、適切な転写用基板に第1分離層108および第1半導体結晶層104を保持することが好ましい。

[0057] 次に、半導体結晶層形成基板160を用意し、半導体結晶層形成基板160上に第2半導体結晶層106をエピタキシャル結晶成長法により形成する。また、ベース基板102上の第1半導体結晶層104の上に、第2分離層110を形成する。第2分離層110は、たとえばALD法、熱酸化法、蒸着法、CVD法、スパッタ法等の薄膜形成法により形成する。なお、第2分離層110の形成前に、第1半導体結晶層104の表面を硫黄原子で終端する硫黄終端処理を行っても良い。

[0058] 第2半導体結晶層106がIII-V族化合物半導体結晶からなる場合、半導体結晶層形成基板160としてInP基板、または、GaAs基板が選

択できる。第2半導体結晶層106がⅢⅤ族半導体結晶からなる場合、半導体結晶層形成基板160としてGe基板、Si基板、SiC基板、または、GaAs基板が選択できる。

[0059] 第2半導体結晶層106のエピタキシャル結晶成長には、MOCVD法を利用することができる。MOCVD法で用いるガス、反応温度の条件等は、第1半導体結晶層104の場合と同様である。

[0060] 図4に示すように、第2半導体結晶層106の表面と第2分離層110の表面をアルゴンビーム150で活性化する。その後、図5に示すように、第2半導体結晶層106の表面を第2分離層110の表面の一部に貼り合わせて接合する。貼り合わせは室温で行うことができる。活性化はアルゴンビーム150である必要はなく、他の希ガス等のビームであっても良い。その後、半導体結晶層形成基板160をHCl溶液等でエッチングし、除去する。これにより、ベース基板102上の第1半導体結晶層104上に第2分離層110が形成され、第2分離層110表面の一部の上に第2半導体結晶層106が形成される。なお、第2分離層110と第1半導体結晶層104とを貼り合わせる前に、第2半導体結晶層106の表面を硫黄原子で終端する硫黄終端処理を行っても良い。

[0061] 図4に示す例では、第2分離層110を第1半導体結晶層104の上のみ形成し、第2分離層110の表面と第2半導体結晶層106の表面とを貼り合わせる例を説明したが、第2半導体結晶層106の上にも第2分離層110を形成し、第1半導体結晶層104上の第2分離層110の表面と第2半導体結晶層106上の第2分離層110の表面とを貼り合わせてもよい。この場合、第2分離層110の貼り合わせる面を親水化処理することが好ましい。親水化処理した場合は、第2分離層110どうしを加熱して貼り合わせることが好ましい。あるいは、第2半導体結晶層106の上にのみ第2分離層110を形成し、第1半導体結晶層104の表面と第2半導体結晶層106上の第2分離層110の表面とを貼り合わせてもよい。

[0062] 図4に示す例では、第2半導体結晶層106をベース基板102上の第2

分離層 110 に貼り合わせた後に、第 2 半導体結晶層 106 を半導体結晶層形成基板 160 から分離する例を説明したが、第 2 半導体結晶層 106 を半導体結晶層形成基板 160 から分離した後に、第 2 半導体結晶層 106 を第 2 分離層 110 に貼り合わせてもよい。この場合、第 2 半導体結晶層 106 を半導体結晶層形成基板 160 から分離した後、第 2 分離層 110 に貼り合わせるまでの間、適切な転写用基板に第 2 半導体結晶層 106 を保持することが好ましい。

[0063] 次に、図 6 に示すように、第 1 半導体結晶層 104 および第 2 半導体結晶層 106 の上に、導電性物質層 112 を形成する。導電性物質層 112 は、後に第 1 ソース 124、第 1 ドレイン 126、第 2 ソース 134 および第 2 ドレイン 136 となるものである。導電性物質層 112 は、たとえば蒸着法、CVD 法、スパッタ法等の薄膜形成法により形成する。なお、図 6 においては、第 2 分離層 110 および第 2 半導体結晶層 106 の厚みにより、第 1 MISFET 120 および第 2 MISFET 130 の領域における導電性物質層 112 が分離している。他の例では、導電性物質層 112 の一部をエッチングする等の方法で、導電性物質層 112 を、第 1 MISFET 120 および第 2 MISFET 130 の領域に分離させてもよい。

[0064] 図 7 に示すように、第 1 ゲート 122 および第 2 ゲート 132 が形成される領域の導電性物質層 112 を、エッチングにより除去して開口を形成する。その後、導電性物質層 112 および開口内部に絶縁層 114 を形成する。絶縁層 114 は、たとえば ALD 法、熱酸化法、蒸着法、CVD 法、スパッタ法等の薄膜形成法により形成する。

[0065] 図 8 に示すように、絶縁層 114 の上に、導電性薄膜を形成し、第 1 ゲート 122 および第 2 ゲート 132 となる領域以外の導電性薄膜を除去して、第 1 ゲート 122 および第 2 ゲート 132 を形成する。なお、第 1 ゲート 122 あるいは第 2 ゲート 132 で分離された導電性物質層 112 は、第 1 ソース 124、第 1 ドレイン 126、第 2 ソース 134 および第 2 ドレイン 136 となる。第 1 ソース 124、第 1 ドレイン 126、第 2 ソース 134 および第 2 ドレイン 136 となる。

よび第2ドレイン136となる導電性物質層112が露出するように絶縁層114に開口を形成し、導電性の薄膜形成およびパターニングにより第1ゲートメタル123、第1ソース電極125および第1ドレイン電極127、ならびに、第2ゲートメタル133、第2ソース電極135および第2ドレイン電極137を形成すれば、図1に示す半導体デバイス100が製造できる。なお、導電性薄膜として、金属膜を形成した場合には、ポストメタルアニール処理を行うことが好ましい。ポストメタルアニール処理は、RTA (rapid thermal annealing) 法により実施することが好ましい。

[0066] 以上説明した半導体デバイス100とその製造方法によれば、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136が、同一プロセスで同時に形成されるので、製造工程を簡略化できる。その結果、製造コストが低減され、微細化も容易になる。また、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136を構成する導電性物質の仕事関数が、数1または数2に示す関係を満足する。したがって第1ソース124および第1ドレイン126と第1半導体結晶層104とのコンタクトがオーミックコンタクトとなり、第2ソース134および第2ドレイン136と第2半導体結晶層106とのコンタクトがオーミックコンタクトとなる。この結果、第1MISFET120および第2MISFET130の各オン電流を大きくすることができる。また、各ソース・ドレイン間の抵抗が小さくなるから、各MISFETのチャネル抵抗を低くする必要がなく、チャネル層のドーピング不純物原子の濃度を少なくできる。この結果、チャネル層でのキャリアの移動度を大きくすることができる。

[0067] 上記した半導体デバイス100では、ベース基板102と第1分離層108とが接しているので、ベース基板102の第1分離層108と接する領域が導電性であるならば、ベース基板102の第1分離層108と接する領域に電圧を印加し、当該電圧を、第1MISFET120へのバックゲート電圧として作用させることができる。また、上記した半導体デバイス100では、第1半導体結晶層104と第2分離層110とが接しているので、第1

半導体結晶層 104 の第 2 分離層 110 と接する領域が導電性であるならば、第 1 半導体結晶層 104 の第 2 分離層 110 と接する領域に電圧を印加し、当該電圧を、第 2 MISFET 130 へのバックゲート電圧として作用させることができる。これらバックゲート電圧の作用は、第 1 MISFET 120 および第 2 MISFET 130 のオン電流を大きくし、オフ電流を小さくすることができる。

[0068] 上記した半導体デバイス 100 において、第 2 半導体結晶層 106 を複数有し、複数の第 2 半導体結晶層 106 のそれぞれが、ベース基板 102 の上面と平行な面内で規則的に配列されてもよい。規則的とは、例えば同一の配列パターンが繰り返されることを指す。また、半導体デバイス 100 は、第 1 半導体結晶層 104 を複数有してもよく、複数の第 1 半導体結晶層 104 のそれぞれがベース基板 102 の上面と平行な面内で規則的に配列されてもよい。この場合、第 1 半導体結晶層 104 毎に、単一または複数の第 2 半導体結晶層 106 を有してもよく、それぞれの第 2 半導体結晶層 106 は、第 1 半導体結晶層 104 の上面と平行な面内で規則的に配列されてもよい。このように、第 1 半導体結晶層 104 あるいは第 2 半導体結晶層 106 を規則的に配列することで、半導体デバイス 100 に使用する半導体基板の生産性を高めることができる。第 2 半導体結晶層 106 または第 1 半導体結晶層 104 の規則的な配列は、第 2 半導体結晶層 106 または第 1 半導体結晶層 104 をエピタキシャル成長させた後に第 2 半導体結晶層 106 若しくは第 1 半導体結晶層 104 を規則的な配列にパターニングする方法、第 2 半導体結晶層 106 若しくは第 1 半導体結晶層 104 を予め規則的な配列に選択的にエピタキシャル成長させる方法、または第 2 半導体結晶層 106 若しくは第 1 半導体結晶層 104 のいずれかあるいは両方を、半導体結晶層形成基板 160 上にエピタキシャル成長させた後、半導体結晶層形成基板 160 から分離し、所定の形状に整形した後、規則的な配列でベース基板 102 上に貼り合せる方法、のいずれかの方法により実施でき、また、いずれか複数の方法を組み合わせた方法により実施できる。

[0069] 上記した半導体デバイス100では、第1半導体結晶層104および第1分離層108を半導体結晶層形成基板140上に形成し、第1分離層108とベース基板102とを貼り合わせた後に半導体結晶層形成基板140を除去することで、第1半導体結晶層104および第1分離層108をベース基板102上に形成することを説明した。しかし、第1半導体結晶層104がSiGeからなり、第2半導体結晶層106がIII-V族化合物半導体結晶からなる場合、第1半導体結晶層104および第1分離層108は、酸化濃縮法により形成することもできる。すなわち、第1半導体結晶層104を形成する前に、絶縁体からなる第1分離層108をベース基板102の上に形成し、第1分離層108の上に、第1半導体結晶層104の出発材料となるSiGe層を形成する。SiGe層を酸化雰囲気中で加熱し、表面を酸化する。SiGe層を酸化することで、SiGe層中のGe原子の濃度を高め、Ge濃度が高い第1半導体結晶層104とすることができる。

[0070] あるいは、第1半導体結晶層104がIV族半導体結晶からなり、第2半導体結晶層106がIII-V族化合物半導体結晶からなる場合、第1半導体結晶層104および第1分離層108は、スマートカット法により形成できる。すなわち、IV族半導体結晶からなる半導体層材料基板の表面に、絶縁体からなる第1分離層108を形成し、第1分離層108を通して、陽イオンを半導体層材料基板の分離予定深さに注入する。第1分離層108の表面とベース基板102の表面とが接合されるように、半導体層材料基板とベース基板102とを貼り合わせ、半導体層材料基板およびベース基板102を加熱する。この加熱により、分離予定深さに注入した陽イオンと半導体層材料基板を構成するIV族原子とが反応し、分離予定深さに位置するIV族半導体結晶が変性する。この状態で半導体層材料基板とベース基板102とを分離すれば、IV族半導体結晶の変性部位よりベース基板102側に位置するIV族半導体結晶が、半導体層材料基板から剥離する。このベース基板102側に付着した半導体層材料に適切な研磨を施せば、研磨後の半導体結晶層を第1半導体結晶層104とすることができる。

[0071] 上記した半導体デバイス100において、第1分離層108を、第1半導体結晶層104を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶とする場合、ベース基板102の上に、第1分離層108をエピタキシャル成長法により形成し、第1分離層108の上に第1半導体結晶層104をエピタキシャル成長法により形成することができる。第1分離層108および第1半導体結晶層104を連続してエピタキシャル成長法により形成できるので、製造工程が簡単になる。

[0072] 上記した半導体デバイス100において、第2分離層110を、第2半導体結晶層106を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶とする場合、第2半導体結晶層106、第2分離層110および第1半導体結晶層104を連続してエピタキシャル成長法により形成できる。すなわち、図9に示すように、半導体結晶層形成基板180の上に第2半導体結晶層106をエピタキシャル結晶成長法により形成し、第2半導体結晶層106の上に、第2分離層110をエピタキシャル結晶成長法により形成し、第2分離層110の上に第1半導体結晶層104をエピタキシャル結晶成長法により形成する。これらエピタキシャル成長は連続して実施できる。第1半導体結晶層104の上に第1分離層108を形成し、第1分離層108の表面とベース基板102の表面をアルゴンビーム150で活性化する。その後、図10に示すように、第1分離層108の表面とベース基板102の表面を貼り合わせ、半導体結晶層形成基板180をHCl溶液等でエッチングし、除去する。さらに図11に示すように、マスク185を用いて第2半導体結晶層106の一部をエッチングし、図5と同様な半導体基板を得ることができる。当該方法であれば、第2半導体結晶層106、第2分離層110および第1半導体結晶層104を連続してエピタキシャル成長法により形成できるので、製造工程が簡単になる。

[0073] なお、図9および図10で説明した貼り合わせ工程において、図2および図3の場合と同様に、ベース基板102の上、および、第1半導体結晶層104の上の何れか一方または両方に第1分離層108を形成してもよい。ま

た、第1分離層108、第1半導体結晶層104、第2分離層110および第2半導体結晶層106を適切な転写用基板に転写し、その後、ベース基板102に貼り合わせてもよい。さらに、第2分離層110がエピタキシャル成長結晶である場合、第1半導体結晶層104、第2分離層110および第2半導体結晶層106をベース基板102に貼り合わせた後、第2分離層110を酸化して非晶質絶縁体層に転換してもよい。たとえば、第2分離層110がAlAs、あるいはAlInPである場合、選択酸化技術により、第2分離層110を絶縁性酸化物とすることができる。

[0074] 上記した半導体デバイス100の製造方法における貼り合わせ工程では、半導体結晶層形成基板をエッチングして除去する例を説明したが、図12に示すように、結晶性犠牲層190を用いて半導体結晶層形成基板を除去することもできる。すなわち、半導体結晶層形成基板140の上に第1半導体結晶層104を形成する前に、半導体結晶層形成基板140の表面に、結晶性犠牲層190をエピタキシャル結晶成長法により形成する。その後、結晶性犠牲層190の表面に第1半導体結晶層104および第1分離層108をエピタキシャル成長法により形成し、第1分離層108の表面とベース基板102の表面をアルゴンビーム150で活性化する。その後、第1分離層108の表面とベース基板102の表面を貼り合わせ、図13に示すように、結晶性犠牲層190を除去する。これにより、半導体結晶層形成基板140上の第1半導体結晶層104および第1分離層108と半導体結晶層形成基板140が分離される。当該方法によれば、半導体結晶層形成基板の再利用が可能になり、製造コストを低くすることができる。

[0075] 図14は、半導体デバイス200の断面を示す。半導体デバイス200は、半導体デバイス100における第1分離層108を有さず、第1半導体結晶層104がベース基板102に接して配置されている。なお、第1分離層108が無い他は半導体デバイス100と同じ構造を有するので、共通する部材等の説明は省略する。

[0076] すなわち、半導体デバイス200は、ベース基板102と第1半導体結晶

層 104 とが接合面 103 で接し、ベース基板 102 の接合面 103 の近傍に、p 型または n 型の伝導型を示す不純物原子を含有し、第 1 半導体結晶層 104 の接合面 103 の近傍に、ベース基板 102 に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する。つまり、半導体デバイス 200 は、接合面 103 の近傍に p n 接合を有する。第 1 分離層 108 が無い構造であっても、接合面 103 近傍に形成される p n 接合によって、ベース基板 102 と第 1 半導体結晶層 104 とを電氣的に分離することが可能であり、第 1 半導体結晶層 104 に形成される第 1 MISFET 120 をベース基板 102 から電氣的に分離することができる。

[0077] このような p n 接合による分離は、第 1 半導体結晶層 104 と第 2 半導体結晶層 106 との間においても適用できる。すなわち、第 2 分離層 110 が無く、第 1 半導体結晶層 104 と第 2 半導体結晶層 106 が接合面で接している構造において、第 1 半導体結晶層 104 の当該接合面の近傍に、p 型または n 型の伝導型を示す不純物原子を含有し、第 2 半導体結晶層 106 の当該接合面の近傍に、第 1 半導体結晶層 104 に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する。これにより第 1 半導体結晶層 104 と第 2 半導体結晶層 106 を電氣的に分離でき、第 1 半導体結晶層 104 に形成される第 1 MISFET 120 と第 2 半導体結晶層 106 に形成される第 2 MISFET 130 とを電氣的に分離することができる。

[0078] なお、半導体デバイス 200 は、ベース基板 102 の上に第 1 半導体結晶層 104 をエピタキシャル成長法により形成し、第 1 半導体結晶層 104 の上に第 2 分離層 110 を形成する工程以降の工程を、半導体デバイス 100 の場合と同様の工程にすることで製造できる。ただし、p n 接合の形成は、ベース基板 102 の表面近傍に、p 型または n 型の伝導型を示す不純物原子を含有させ、第 1 半導体結晶層 104 をエピタキシャル成長法により形成するステップにおいて、ベース基板 102 に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で第 1 半導体結晶層 104 をドープす

ることで実施できる。

[0079] 第1半導体結晶層104をベース基板102の上に直接形成する構造において、素子分離の必要性が低い場合には分離構造としてのpn接合は必須ではない。つまり、半導体デバイス200は、ベース基板102の接合面103の近傍にp型またはn型の伝導型を示す不純物原子を含有せず、第1半導体結晶層104の接合面103の近傍にp型またはn型の伝導型を示す不純物原子を含有しない構造であってもよい。

[0080] 第1半導体結晶層104をベース基板102の上に直接形成する場合、エピタキシャル成長の後、またはエピタキシャル成長の途中において、アニール処理を施してもよい。アニール処理により、第1半導体結晶層104中の転位が低減する。また、エピタキシャル成長法は、ベース基板102の表面全部に第1半導体結晶層104を一様に成長する方法、あるいは、SiO₂等の成長阻害層でベース基板102の表面を細かく分割し、選択的に成長する方法の何れのエピタキシャル成長法であってもよい。

[0081] (実施例)

以下の実施例は、ベース基板表面の一部上方にGe結晶層を有し、Ge結晶層が上方に位置しないベース基板表面の他部上方にInGaAs結晶層を有する半導体基板を用いたものである。つまり、当該実施例は、ベース基板102上に第1半導体結晶層104を有し、第1半導体結晶層104上に第2半導体結晶層106を有する本発明の半導体基板とは構成が相違する。しかし、複数のソース・ドレインの製造工程を簡略化し、ゲートの微細化を容易にすると共に、各FETの性能を高くすることができるという観点では、以下の実施例の構成でも、図1に関連して説明した半導体デバイス100の構成でも同様の結果が得られる。例えば、本発明における第1半導体結晶層104および第2半導体結晶層106のそれぞれが、Ge結晶層およびInGaAs結晶層である場合、上述した観点においては、下記実施例と同様の結果が得られると推定できる。よって、本発明で期待される効果の一例として以下の実施例を説明する。

[0082] ベース基板表面の一部の上に、Ge結晶層を形成し、ベース基板表面の他の上、つまりGe結晶層を形成していない領域のベース基板上にInGaAs結晶層を形成した。InGaAs結晶層およびGe結晶層の上に、30nm厚さのTa₂N層を堆積し、Ta₂N層をパターニングした。当該パターニングにより、InGaAs結晶層およびGe結晶層の各層上にソースおよびドレインを形成した。ソース・ドレインの間の溝を埋め込むよう、Al₂O₃、Ta₂Nの順にAl₂O₃/Ta₂N積層膜を堆積し、当該堆積層をパターニングしてゲート絶縁膜およびゲートを形成した。なお、ソース・ドレインの間の溝幅すなわちゲート長が、50nm、75nm、100nmおよび100μmの4種類のデバイスを形成した。以上のようにして、InGaAs結晶層上にnMOSFETを、Ge結晶層上にpMOSFETを、ソース・ドレインを同時形成するプロセスにより形成した。図15は、nMOSFETを上方から観察したSEM写真である。L_gで示すギャップ（ソース・ドレイン間の溝）をオーバーラップするようにゲート電極が形成されている。図16は、nMOSFETのゲート部分の断面を観察したTEM写真である。ゲート長L_gが50nmの場合でもソース・ドレイン間の溝が確実に埋め込まれていることが確認できる。

[0083] 以上のようにして形成したTa₂Nからなるソース・ドレインは、その仕事関数が約4.6eVである。一方InGaAsの電子親和力は4.5eVであり、Geの電子親和力は4.0eV、Geのバンドギャップは0.67eVである。よって、ソース・ドレインの仕事関数 Φ_M は、nMOSFET材料であるInGaAsの電子親和力 ϕ_1 とpMOSFET材料であるGeの電子親和力およびバンドギャップの和 $\phi_2 + E_{g2}$ とは、 $\phi_1 < \Phi_M < \phi_2 + E_{g2}$ の関係を満足する。また、ソース・ドレインの仕事関数 Φ_M とInGaAsの電子親和力 ϕ_1 との差 $|\Phi_M - \phi_1|$ は、0.1eV以下であり、ソース・ドレインの仕事関数 Φ_M とGeの電子親和力およびバンドギャップの和 $\phi_2 + E_{g2}$ と差 $|\phi_2 + E_{g2} - \Phi_M|$ も0.1eV以下である。このため、Ta₂Nとn型伝導する場合のInGaAsとの間の障壁は小さく、Ta₂Nとp型伝導する

場合のGeとの間の障壁もやはり小さい。すなわち、InGaAs結晶層上のnMOSFETとGe結晶層上のpMOSFETのソース・ドレインを共通電極材料としてTa₂N₅を採用することでソース・ドレインの接触抵抗を低減できる。

[0084] 図17および図18は、実施例1のデバイスに含まれるpMOSFETおよびnMOSFETにおけるゲート電圧対ソース電流特性を示すグラフであり、図17はゲート長 L_g が $100\mu\text{m}$ の場合を、図18はゲート長 L_g が 100nm の場合を示す。なお、各図において、ドレイン電圧 V_d が 1V の場合と 50mV の場合の二通りのデータを示す。 L_g が $100\mu\text{m}$ の場合は、Ge結晶層上のpMOSFETで4桁のオンオフ比が、InGaAs結晶層上のnMOSFETで6桁のオンオフ比が観測された。

[0085] 図19は、ゲート電圧対ソース電流特性を示すグラフであり、図18に示す場合よりさらにゲート長 L_g を小さくした場合のデータをInGaAs結晶層上のnMOSFETについて示したものである。短チャネル効果によりオフ電流が上がり、サブスレッショルド特性(SS値)も劣化するが、ゲート長が 50nm の場合でもスイッチング特性が観測された。

[0086] 図20は、ゲート長に対するSS値を示したグラフであり、図21はゲート長に対するDIBL (drain-induced barrier lowering) の値を示したグラフである。ゲート長が 100nm の場合に $SS = 200\text{mV/dec}$ 、 $DIBL = 150\text{mV/V}$ という良好の値が得られた。

[0087] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。また、第1層が第2層の「上方」にあるとは、第1層が第2層の上面に接して設けら

れる場合と、第1層の下面および第2層の上面の間に他の層が介在している場合とを含む。また、「上」、「下」等の方向を指す語句は、半導体基板および半導体デバイスにおける相対的な方向を示しており、地面等の外部の基準面に対する絶対的な方向を指すものではない。

符号の説明

[0088] 100 半導体デバイス、102 ベース基板、103 接合面、104 第1半導体結晶層、104a 第1半導体結晶層の一部、106 第2半導体結晶層、106a 第2半導体結晶層の一部、108 第1分離層、110 第2分離層、112 導電性物質層、114 絶縁層、114a 絶縁層の一部、120 第1MISFET、122 第1ゲート、123 第1ゲートメタル、124 第1ソース、125 第1ソース電極、126 第1ドレイン、127 第1ドレイン電極、130 第2MISFET、132 第2ゲート、133 第2ゲートメタル、134 第2ソース、135 第2ソース電極、136 第2ドレイン、137 第2ドレイン電極、140 半導体結晶層形成基板、150 アルゴンビーム、160 半導体結晶層形成基板、180 半導体結晶層形成基板、185 マスク、190 結晶性犠牲層、200 半導体デバイス

請求の範囲

[請求項1]

ベース基板と、

前記ベース基板の上方に位置する第1半導体結晶層と、

前記第1半導体結晶層における一部の領域の上方に位置する第2半導体結晶層と、

前記第2半導体結晶層が上方に位置しない前記第1半導体結晶層の領域の一部をチャネルとし、第1ソースおよび第1ドレインを有する第1MISFETと、

前記第2半導体結晶層の一部をチャネルとし、第2ソースおよび第2ドレインを有する第2MISFETと、を有し、

前記第1MISFETが、第1チャネル型のMISFETであり、前記第2MISFETが、前記第1チャネル型とは相違する第2チャネル型のMISFETであり、

前記第1ソース、前記第1ドレイン、前記第2ソースおよび前記第2ドレインが、同一の導電性物質からなり、

前記導電性物質の仕事関数 Φ_M が、数1および数2の少なくとも一方の関係を満たす

半導体デバイス。

$$(\text{数1}) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(\text{数2}) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV、かつ、} |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

(ただし、 ϕ_1 は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。)

[請求項2]

前記ベース基板と前記第1半導体結晶層との間に位置し、前記ベー

基板と前記第 1 半導体結晶層とを電氣的に分離する第 1 分離層と、
前記第 1 半導体結晶層と前記第 2 半導体結晶層との間に位置し、前記第 1 半導体結晶層と前記第 2 半導体結晶層とを電氣的に分離する第 2 分離層と、をさらに有する
請求項 1 に記載の半導体デバイス。

[請求項3] 前記第 1 半導体結晶層と前記第 2 半導体結晶層との間に位置し、前記第 1 半導体結晶層と前記第 2 半導体結晶層とを電氣的に分離する第 2 分離層をさらに有し、
前記ベース基板と前記第 1 半導体結晶層とが接合面で接し、
前記接合面の近傍における前記ベース基板の領域に、p 型または n 型の伝導型を示す不純物原子を含有し、
前記接合面の近傍における前記第 1 半導体結晶層の領域に、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する

請求項 1 に記載の半導体デバイス。

[請求項4] 前記ベース基板と前記第 1 分離層とが接し、
前記ベース基板の前記第 1 分離層と接する領域が導電性であり、
前記ベース基板の前記第 1 分離層と接する領域に印加した電圧が、前記第 1 M I S F E T へのバックゲート電圧として作用する
請求項 2 に記載の半導体デバイス。

[請求項5] 前記第 1 半導体結晶層と前記第 2 分離層とが接し、
前記第 1 半導体結晶層の前記第 2 分離層と接する領域が導電性であり、
前記第 1 半導体結晶層の前記第 2 分離層と接する領域に印加した電圧が、前記第 2 M I S F E T へのバックゲート電圧として作用する
請求項 2 に記載の半導体デバイス。

[請求項6] 前記第 1 半導体結晶層が I V 族半導体結晶からなり、前記第 1 M I S F E T が P チャネル型 M I S F E T であり、

前記第2半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなり、
前記第2MISFETがNチャネル型MISFETである

請求項1に記載の半導体デバイス。

[請求項7] 前記第1半導体結晶層がⅢⅢⅢ-Ⅴ族化合物半導体結晶からなり、
前記第1MISFETがNチャネル型MISFETであり、

前記第2半導体結晶層がⅢⅤ族半導体結晶からなり、前記第2MISFETがPチャネル型MISFETである

請求項1に記載の半導体デバイス。

[請求項8] 前記導電性物質が、TiN、Ta₂N、グラフェン、HfNまたはWNである

請求項1に記載の半導体デバイス。

[請求項9] 請求項1に記載の半導体デバイスに用いる半導体基板であって、
前記ベース基板と、前記第1半導体結晶層と、前記第2半導体結晶層と、を有し、

前記第1半導体結晶層が、前記ベース基板の上方に位置し、

前記第2半導体結晶層が、前記第1半導体結晶層の一部または全部の上方に位置する

半導体基板。

[請求項10] 前記ベース基板と前記第1半導体結晶層との間に位置し、前記ベース基板と前記第1半導体結晶層とを電氣的に分離する第1分離層と、

前記第1半導体結晶層と前記第2半導体結晶層との間に位置し、前記第1半導体結晶層と前記第2半導体結晶層とを電氣的に分離する第2分離層と、をさらに有する

請求項9に記載の半導体基板。

[請求項11] 前記第1分離層が、非晶質絶縁体からなる

請求項10に記載の半導体基板。

[請求項12] 前記第1分離層が、前記第1半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる

請求項 10 に記載の半導体基板。

[請求項13] 前記第 1 半導体結晶層と前記第 2 半導体結晶層との間に位置し、前記第 1 半導体結晶層と前記第 2 半導体結晶層とを電氣的に分離する第 2 分離層をさらに有し、

前記ベース基板と前記第 1 半導体結晶層とが接合面で接し、

前記接合面の近傍における前記ベース基板の領域に、p 型または n 型の伝導型を示す不純物原子を含有し、

前記接合面の近傍における前記第 1 半導体結晶層の領域に、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する

請求項 9 に記載の半導体基板。

[請求項14] 前記第 2 分離層が、非晶質絶縁体からなる

請求項 10 に記載の半導体基板。

[請求項15] 前記第 2 分離層が、前記第 2 半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる

請求項 10 に記載の半導体基板。

[請求項16] 前記第 2 半導体結晶層を複数有し、

複数の前記第 2 半導体結晶層のそれぞれが、前記ベース基板の上面と平行な面内で規則的に配列されている

請求項 9 に記載の半導体基板。

[請求項17] 請求項 9 に記載の半導体基板を製造する方法であって、

前記ベース基板の上方に前記第 1 半導体結晶層を形成する第 1 半導体結晶層形成ステップと、

前記第 1 半導体結晶層における一部の領域の上方に前記第 2 半導体結晶層を形成する第 2 半導体結晶層形成ステップと、を有し、

前記第 2 半導体結晶層形成ステップが、

半導体結晶層形成基板上に前記第 2 半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、

前記第 1 半導体結晶層の上、前記第 2 半導体結晶層の上、または、前記第 1 半導体結晶層および前記第 2 半導体結晶層の両方の上に、前記第 1 半導体結晶層と前記第 2 半導体結晶層とを電氣的に分離する第 2 分離層を形成するステップと、

前記第 1 半導体結晶層上の前記第 2 分離層と前記第 2 半導体結晶層とが接合するように、前記第 2 半導体結晶層上の前記第 2 分離層と前記第 1 半導体結晶層とが接合するように、または、前記第 1 半導体結晶層上の前記第 2 分離層と前記第 2 半導体結晶層上の前記第 2 分離層とが接合するように、前記第 1 半導体結晶層を有する前記ベース基板と、前記半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、

を有する半導体基板の製造方法。

[請求項18]

前記第 1 半導体結晶層形成ステップが、

半導体結晶層形成基板上に前記第 1 半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、

前記ベース基板の上、前記第 1 半導体結晶層の上、または、前記ベース基板および前記第 1 半導体結晶層の両方の上に、前記ベース基板と前記第 1 半導体結晶層とを電氣的に分離する第 1 分離層を形成するステップと、

前記ベース基板上の前記第 1 分離層と前記第 1 半導体結晶層とが接合するように、前記第 1 半導体結晶層上の前記第 1 分離層と前記ベース基板とが接合するように、または、前記ベース基板上の前記第 1 分離層と前記第 1 半導体結晶層上の前記第 1 分離層とが接合するように、前記ベース基板と、前記半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、

を有する請求項 17 に記載の半導体基板の製造方法。

[請求項19]

前記第 1 半導体結晶層が SiGe からなり、前記第 2 半導体結晶層が III-V 族化合物半導体結晶からなり、

前記第 1 半導体結晶層形成ステップの前に、絶縁体からなる第 1 分離層を前記ベース基板の上に形成するステップを有し、

前記第 1 半導体結晶層形成ステップが、

前記第 1 分離層の上に、前記第 1 半導体結晶層の出発材料となる SiGe 層を形成するステップと、

前記 SiGe 層を酸化雰囲気中で加熱し、表面を酸化することで前記 SiGe 層中の Ge 原子の濃度を高めるステップと、

を有する請求項 17 に記載の半導体基板の製造方法。

[請求項 20]

前記第 1 半導体結晶層が III-V 族半導体結晶からなり、前記第 2 半導体結晶層が III-V 族化合物半導体結晶からなり、

III-V 族半導体結晶からなる半導体層材料基板の表面に、絶縁体からなる第 1 分離層を形成するステップと、

前記第 1 分離層を通して、陽イオンを前記半導体層材料基板の分離予定深さに注入するステップと、

前記第 1 分離層の表面と前記ベース基板の表面とが接合されるように、前記半導体層材料基板と前記ベース基板とを貼り合わせるステップと、

前記半導体層材料基板および前記ベース基板を加熱し、前記分離予定深さに注入した前記陽イオンと、前記半導体層材料基板を構成する III-V 族原子とを反応させることで、前記分離予定深さに位置する前記 III-V 族半導体結晶を変性するステップと、

前記変性するステップで変性させた前記 III-V 族半導体結晶の変性部位より前記ベース基板側に位置する前記 III-V 族半導体結晶を、前記半導体層材料基板と前記ベース基板とを分離することで前記半導体層材料基板から剥離するステップと、

前記ベース基板に残留した前記 III-V 族半導体結晶からなる結晶層を研磨するステップと、

を有する請求項 17 に記載の半導体基板の製造方法。

[請求項21] 前記第1半導体結晶層形成ステップの前に、前記ベース基板の上に前記第1半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第1分離層をエピタキシャル成長法により形成するステップを有し、

前記第1半導体結晶層形成ステップが、前記第1分離層の上に前記第1半導体結晶層をエピタキシャル成長法により形成するステップである

請求項17に記載の半導体基板の製造方法。

[請求項22] 前記第1半導体結晶層形成ステップが、前記ベース基板の上に前記第1半導体結晶層をエピタキシャル成長法により形成するステップである

請求項17に記載の半導体基板の製造方法。

[請求項23] 前記ベース基板の表面近傍に、p型またはn型の伝導型を示す不純物原子を含有し、

前記第1半導体結晶層をエピタキシャル成長法により形成するステップにおいて、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で第1半導体結晶層をドーピングする

請求項22に記載の半導体基板の製造方法。

[請求項24] 請求項15に記載の半導体基板を製造する方法であって、半導体結晶層形成基板の上に前記第2半導体結晶層をエピタキシャル結晶成長法により形成する第2半導体結晶層形成ステップと、

前記第2半導体結晶層の上に、前記第2半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる第2分離層をエピタキシャル結晶成長法により形成する第2分離層形成ステップと、

前記第2分離層の上に前記第1半導体結晶層をエピタキシャル結晶成長法により形成する第1半導体結晶層形成ステップと、

前記ベース基板の上、前記第1半導体結晶層の上、または、前記ベ

ース基板および前記第 1 半導体結晶層の両方の上に、前記ベース基板と前記第 1 半導体結晶層とを電氣的に分離する第 1 分離層を形成するステップと、

前記ベース基板上の前記第 1 分離層と前記第 1 半導体結晶層とが接合するように、前記第 1 半導体結晶層上の前記第 1 分離層と前記ベース基板とが接合するように、または、前記ベース基板上の前記第 1 分離層と前記第 1 半導体結晶層上の前記第 1 分離層とが接合するように、前記ベース基板と、前記半導体結晶層形成基板とを貼り合わせる貼り合わせステップと、

を有する半導体基板の製造方法。

[請求項25] 前記半導体結晶層形成基板の上に半導体結晶層を形成する前に、前記半導体結晶層形成基板の表面に、結晶性犠牲層をエピタキシャル結晶成長法により形成するステップと、

前記ベース基板と前記半導体結晶層形成基板とを貼り合わせた後に、前記結晶性犠牲層を除去することにより、前記半導体結晶層形成基板上にエピタキシャル結晶成長法により形成された半導体結晶層と前記半導体結晶層形成基板とを分離するステップと、

をさらに有する請求項 17 に記載の半導体基板の製造方法。

[請求項26] 前記第 2 半導体結晶層をエピタキシャル成長させた後に前記第 2 半導体結晶層を規則的な配列にパターンニングするステップ、または前記第 2 半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップを有する

請求項 17 に記載の半導体基板の製造方法。

[請求項27] 請求項 17 に記載の半導体基板の製造方法を用いて、前記第 1 半導体結晶層および前記第 2 半導体結晶層を有する半導体基板を製造するステップと、

前記第 1 半導体結晶層および前記第 2 半導体結晶層のそれぞれの上に、仕事関数 Φ_M が、数 1 および数 2 の少なくとも一方の関係を満た

す導電性物質を形成するステップと、

ゲート電極が形成される領域の前記導電性物質を除去するステップと、

前記導電性物質が除去された領域にゲート絶縁層およびゲート電極を形成するステップと、

前記導電性物質をパターニングおよび加熱して、前記第1半導体結晶上の前記ゲート電極の両側に第1ソースおよび第1ドレインを形成し、前記第2半導体結晶上の前記ゲート電極の両側に第2ソースおよび第2ドレインを形成するステップと、

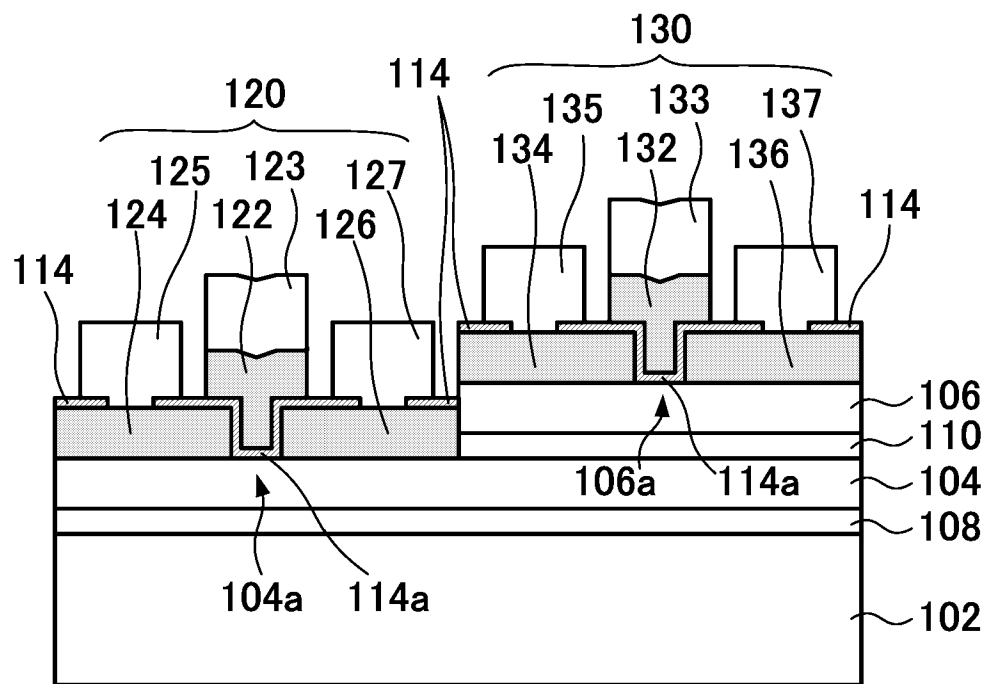
を有する半導体デバイスの製造方法。

$$(数1) \quad \phi_1 < \Phi_M < \phi_2 + E_{g2}$$

$$(数2) \quad |\Phi_M - \phi_1| \leq 0.1 \text{ eV、かつ、} |(\phi_2 + E_{g2}) - \Phi_M| \leq 0.1 \text{ eV}$$

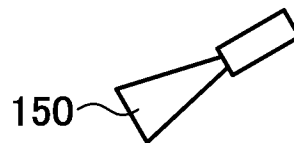
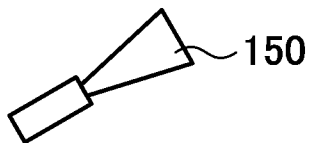
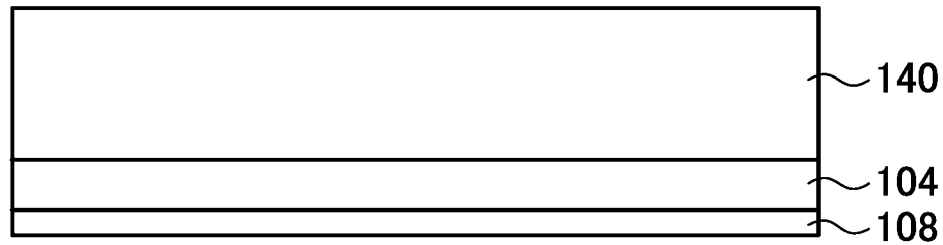
(ただし、 ϕ_1 は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がN型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力、 ϕ_2 および E_{g2} は、前記第1半導体結晶層および前記第2半導体結晶層のうち、一部がP型チャネルとして機能するほうの半導体結晶層を構成する結晶の電子親和力および禁制帯幅を示す。)

[図1]

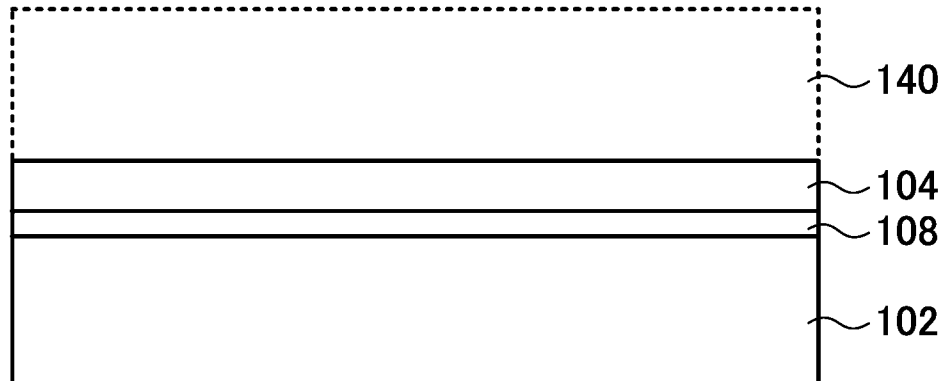


100

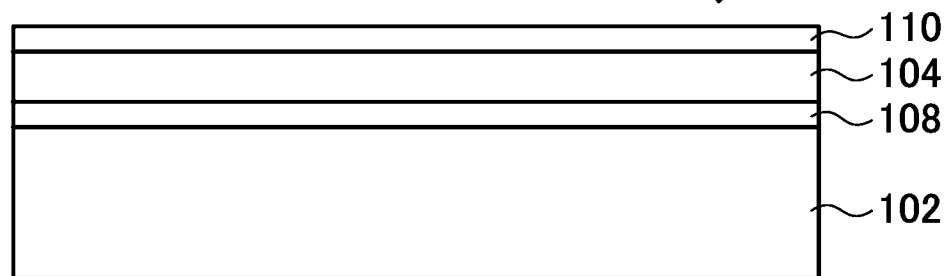
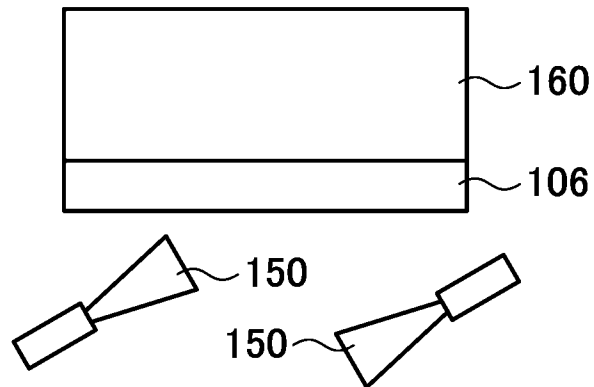
[図2]



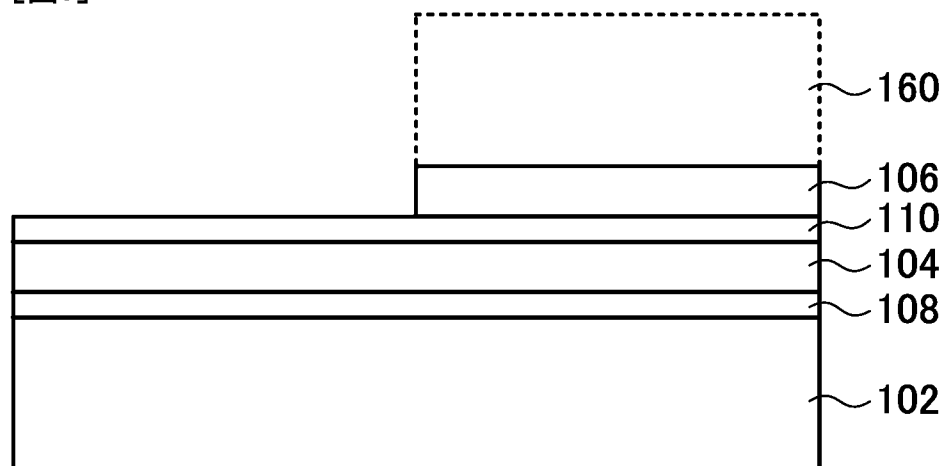
[図3]



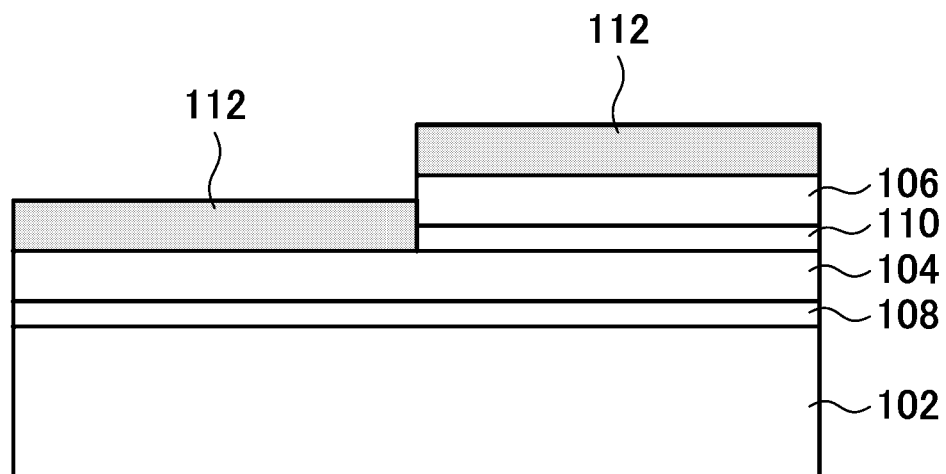
[図4]



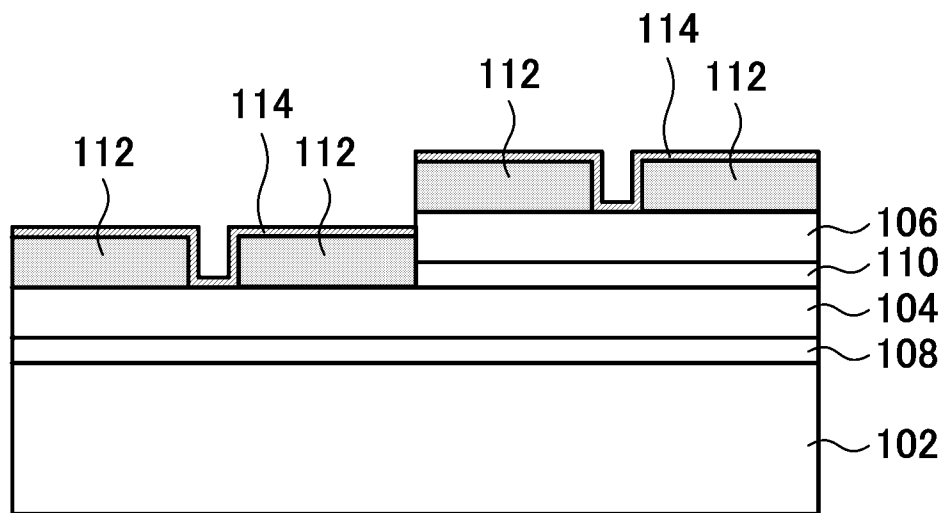
[図5]



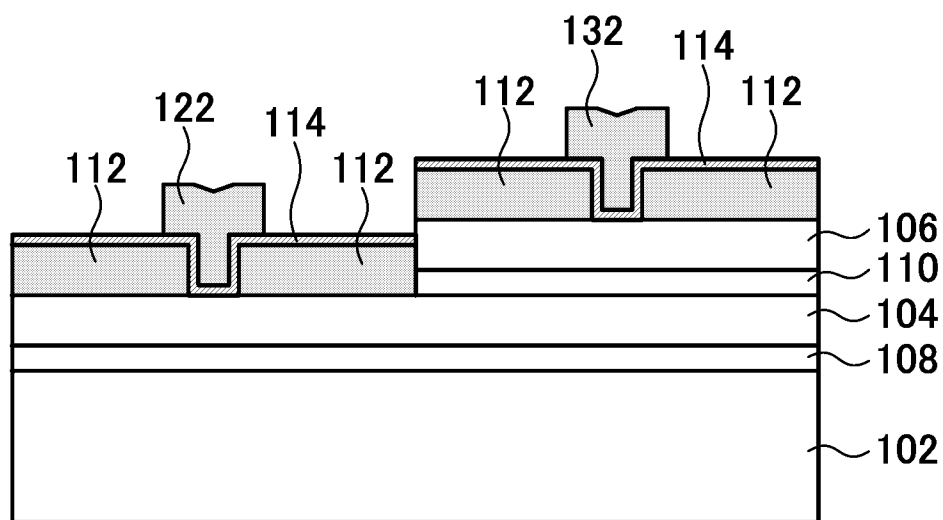
[図6]



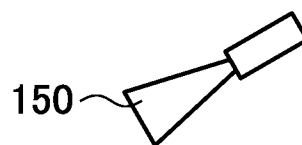
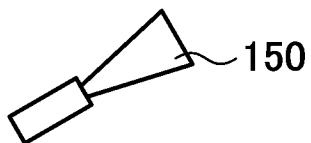
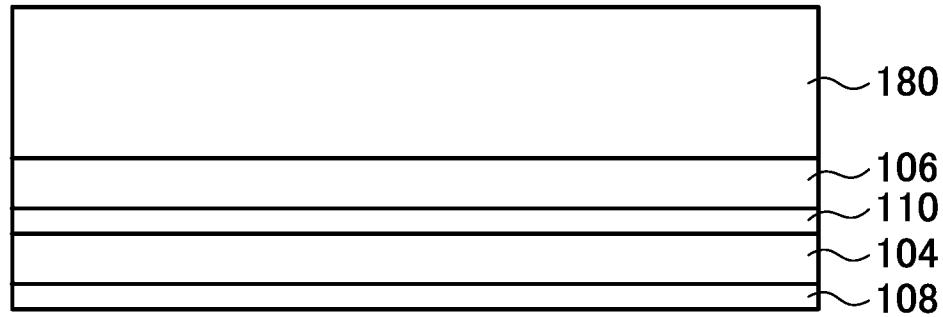
[図7]



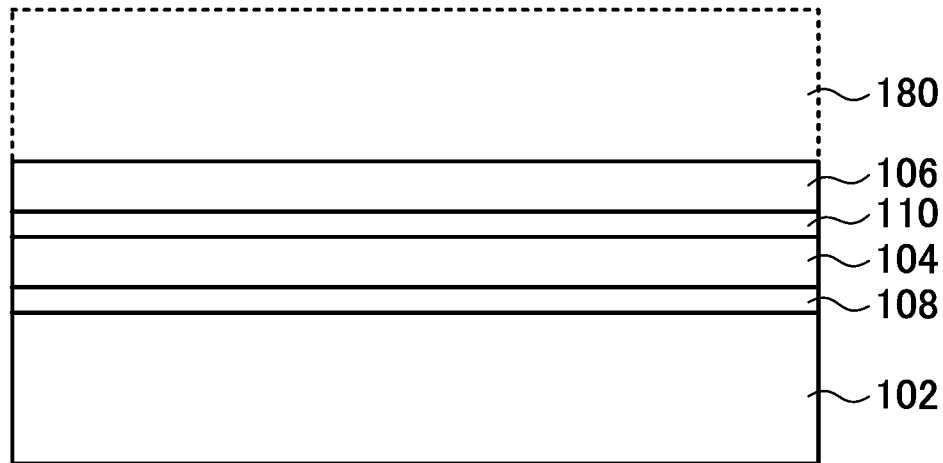
[図8]



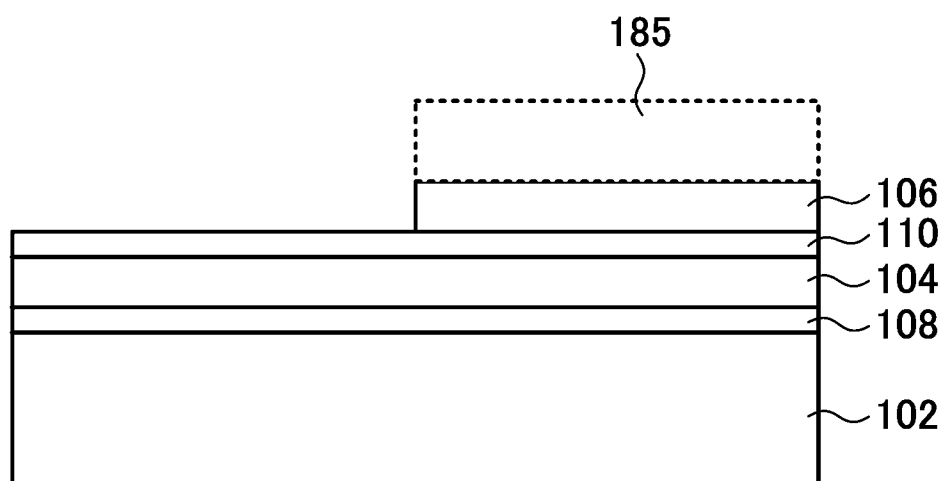
[図9]



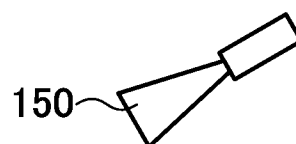
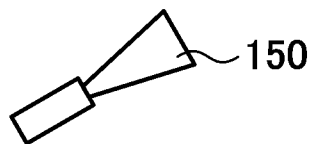
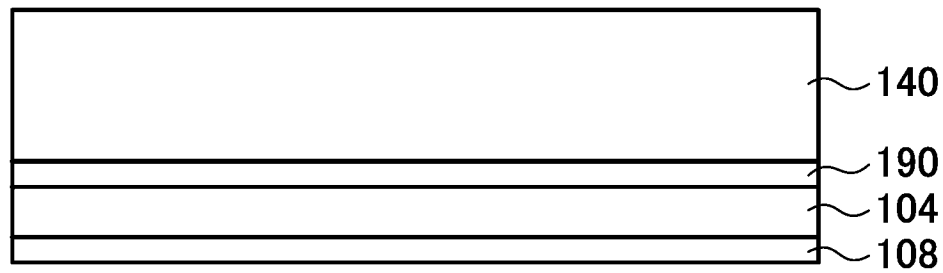
[図10]



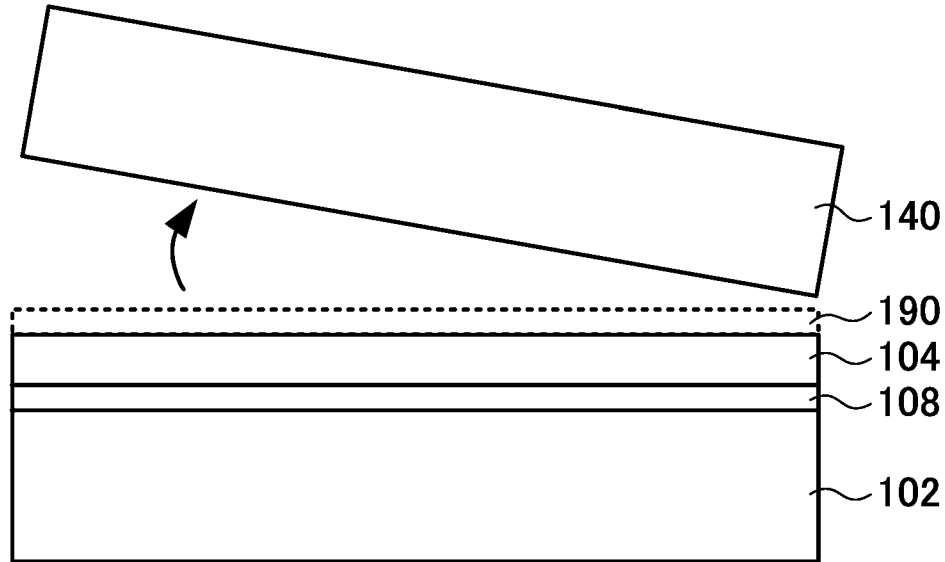
[図11]



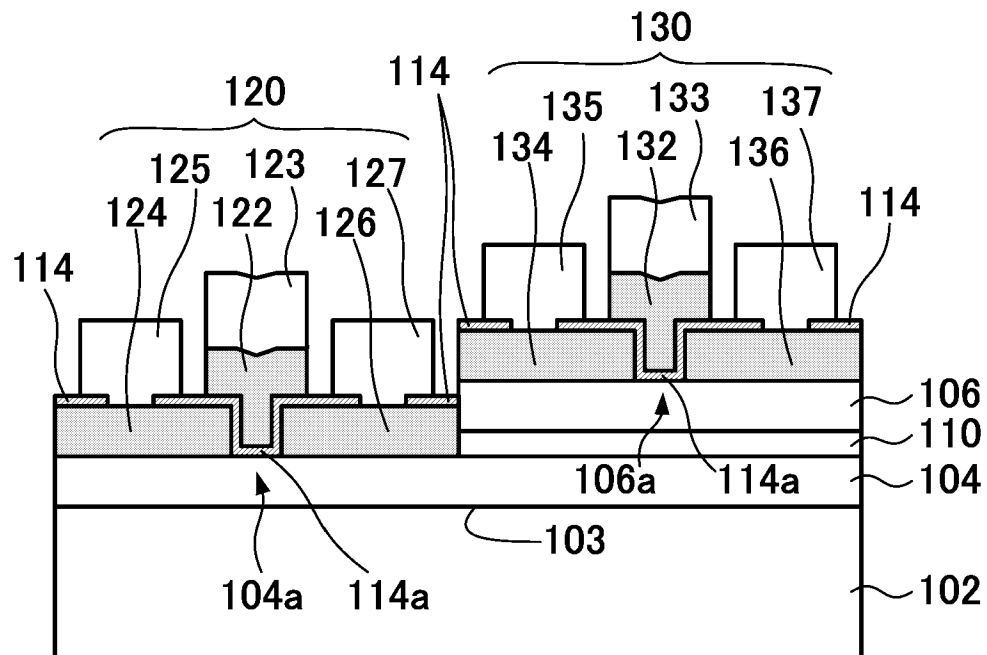
[図12]



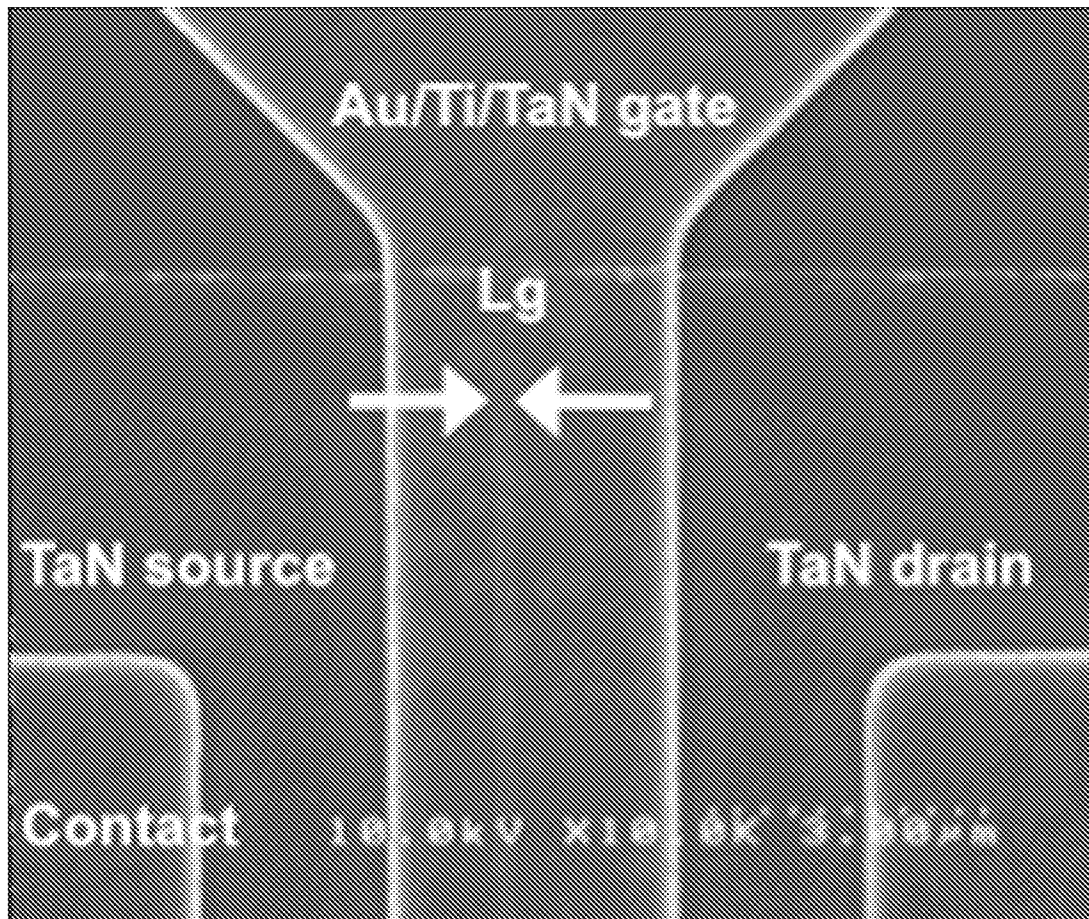
[図13]



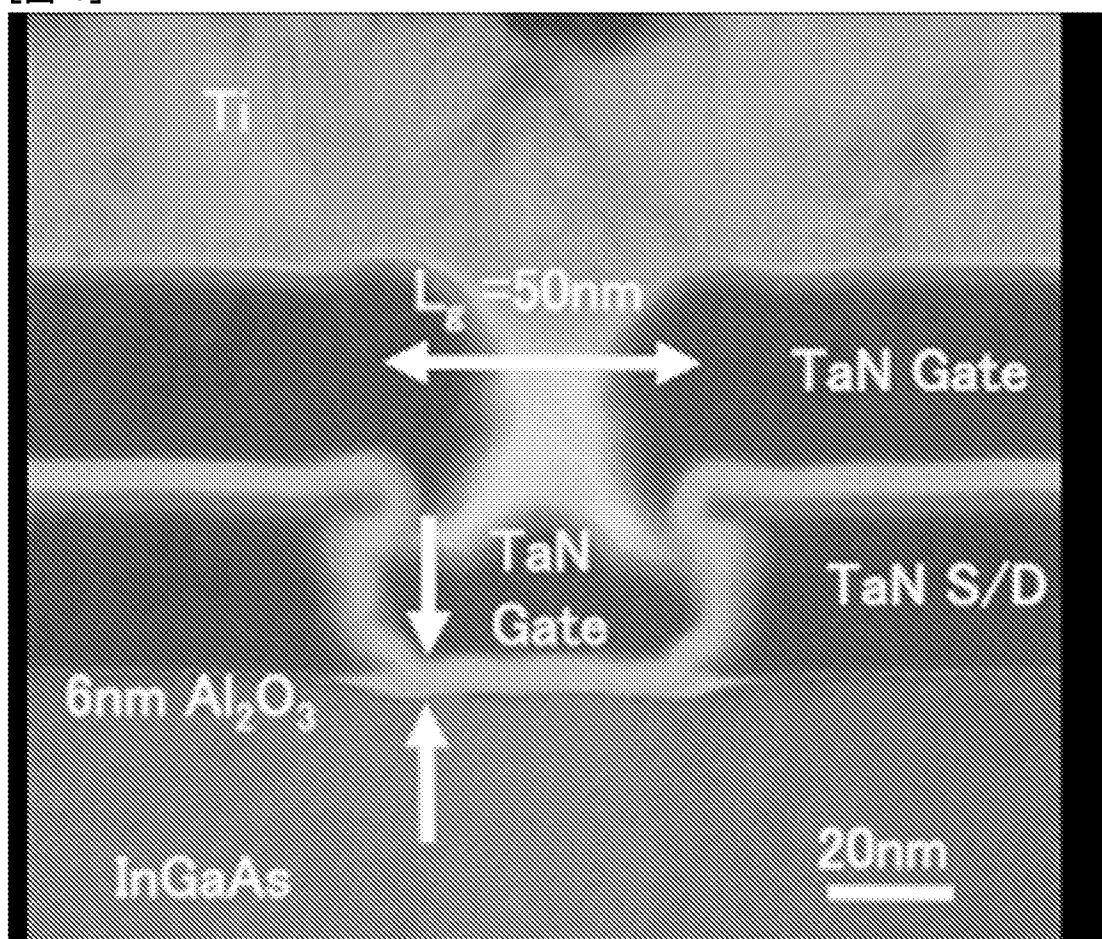
[図14]

200

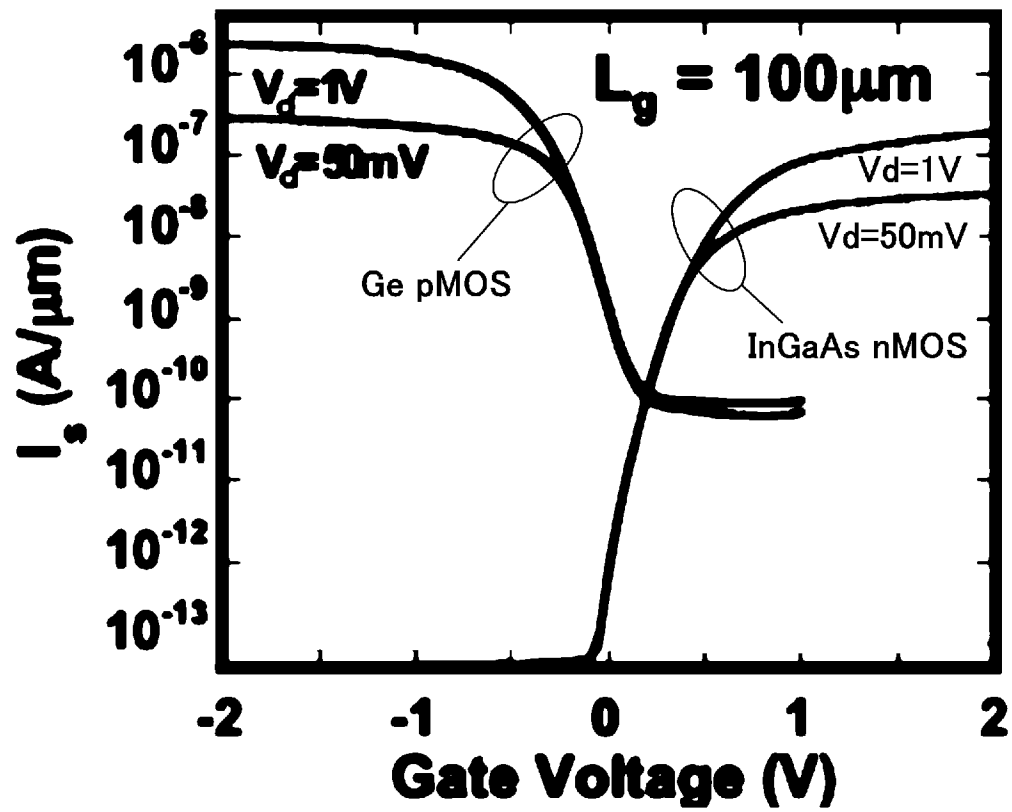
[図15]



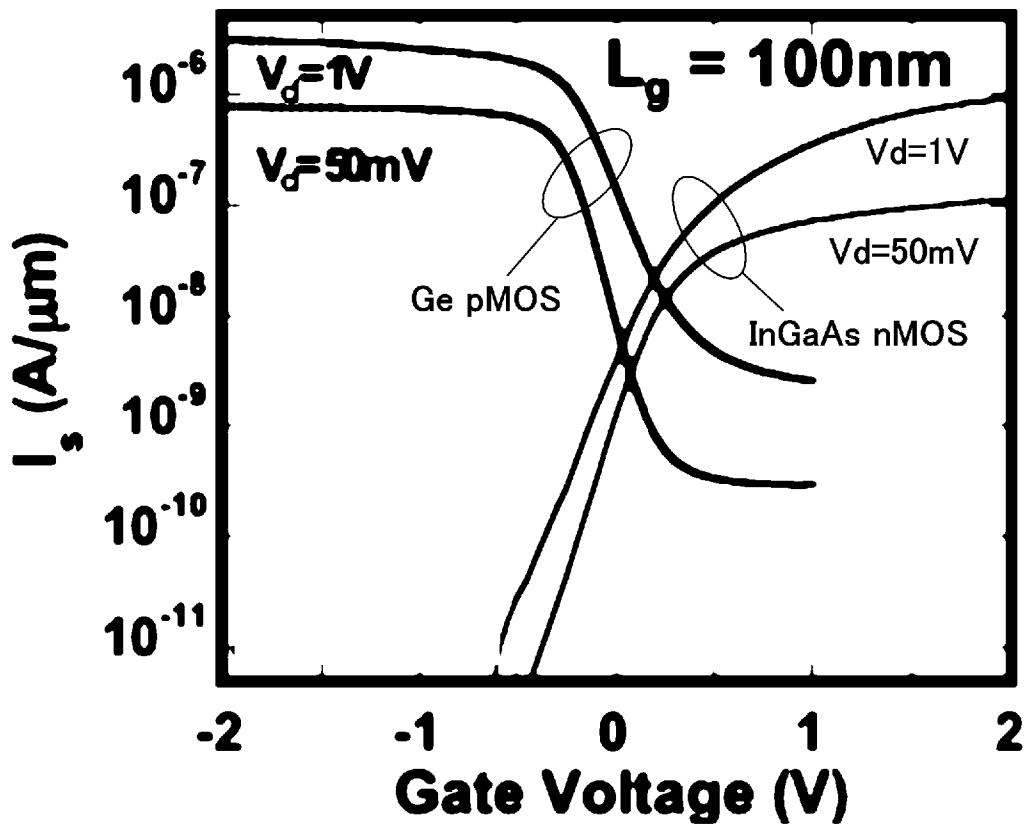
[図16]



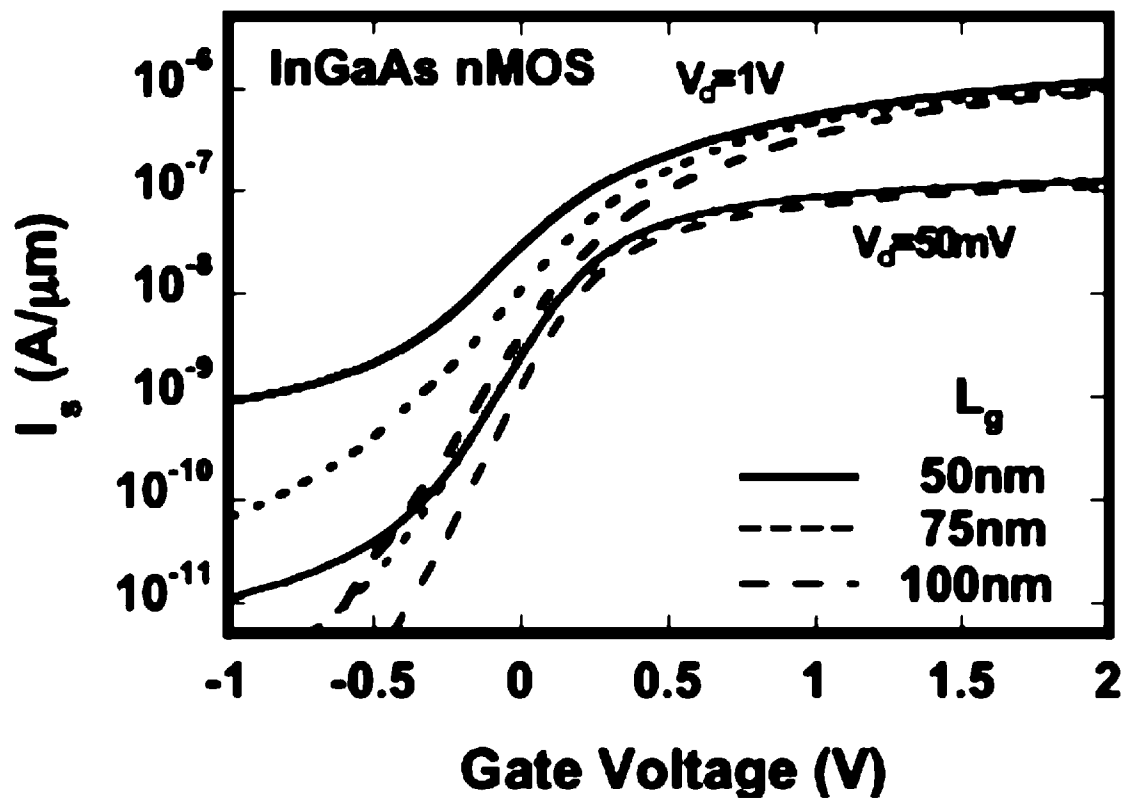
[図17]



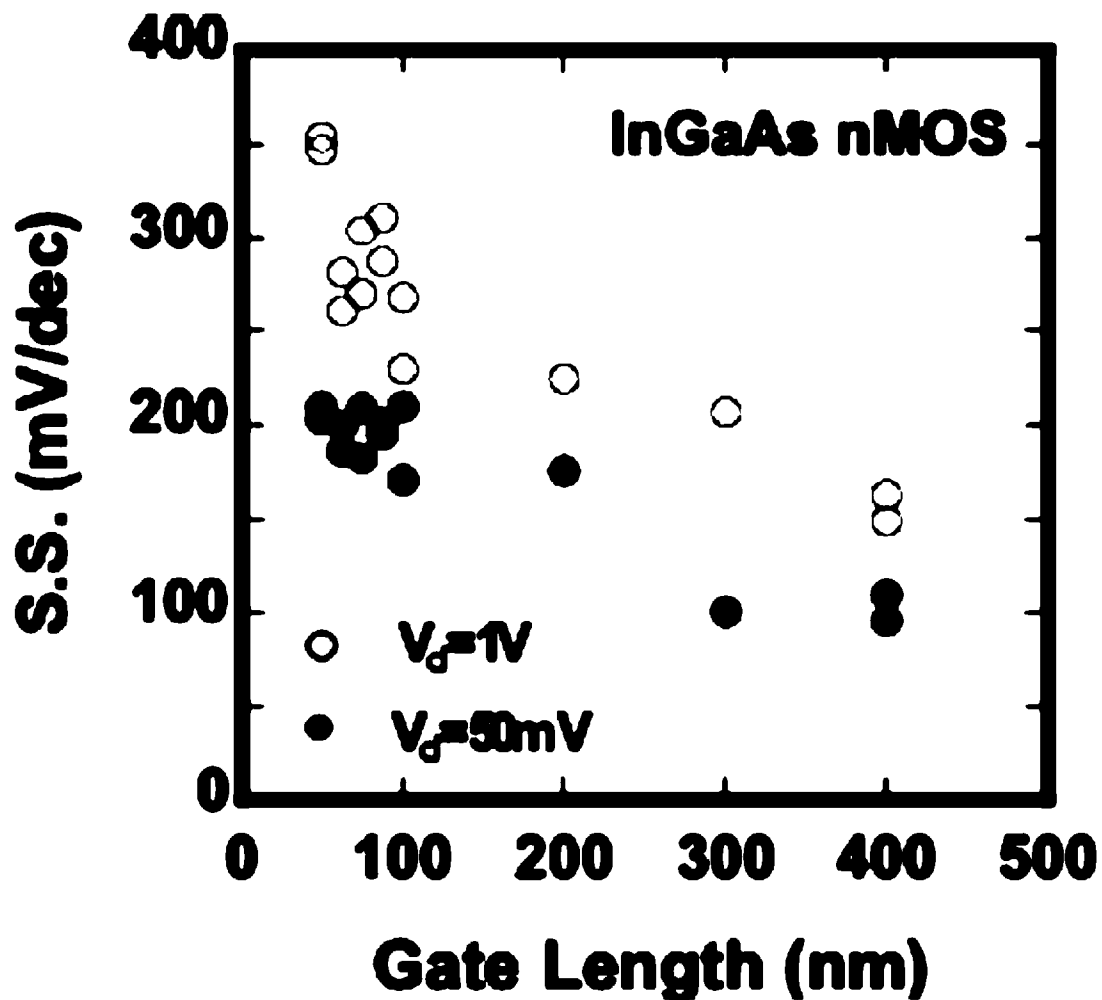
[図18]



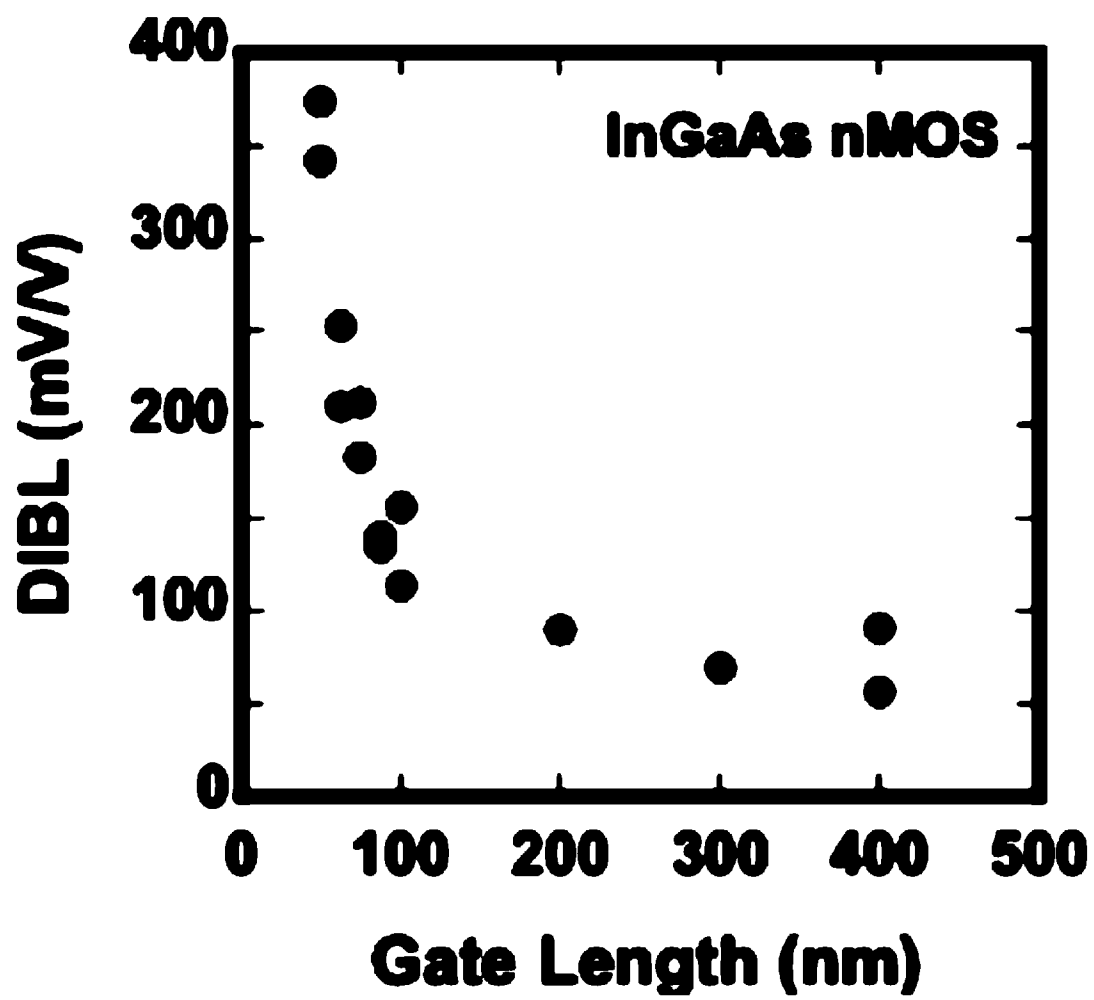
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003788

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8238(2006.01)i, H01L21/02(2006.01)i, H01L21/28(2006.01)i,
H01L21/762(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i,
H01L27/12(2006.01)i, H01L29/417(2006.01)i, H01L29/786(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8238, H01L21/02, H01L21/28, H01L21/336, H01L21/762, H01L27/08,
H01L27/092, H01L27/095, H01L27/12, H01L29/417, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-093987 A (ST Microelectronics, Inc.), 06 April 2001 (06.04.2001), entire text; all drawings & US 2002/0024094 A1 entire text; all drawings & US 2002/0125476 A1 & US 2003/0068849 A1 & EP 1089338 A3 & EP 1089338 A2	1-27
A	JP 03-109740 A (Hitachi, Ltd.), 09 May 1991 (09.05.1991), entire text; all drawings (Family: none)	1-27
A	JP 03-084960 A (NEC Corp.), 10 April 1991 (10.04.1991), entire text; all drawings (Family: none)	1-27



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search
21 August, 2012 (21.08.12)

Date of mailing of the international search report
04 September, 2012 (04.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/003788

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-311768 A (Fujitsu Ltd.), 20 December 1988 (20.12.1988), entire text; all drawings (Family: none)	1-27
A	JP 59-198750 A (Kabushiki Kaisha Suwa Seikosha), 10 November 1984 (10.11.1984), entire text; all drawings (Family: none)	1-27
A	JP 2009-503871 A (Amberwave Systems Corp.), 29 January 2009 (29.01.2009), entire text; all drawings & US 2007/0181977 A1 & EP 1911086 A & WO 2007/014294 A2 & KR 10-2008-0032234 A & CN 101268547 A	1-27
A	JP 2007-013025 A (Matsushita Electric Industrial Co., Ltd.), 18 January 2007 (18.01.2007), entire text; all drawings (Family: none)	1-27
A	JP 09-069611 A (Hitachi, Ltd.), 11 March 1997 (11.03.1997), entire text; all drawings (Family: none)	1-27

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/8238 (2006.01)i, H01L21/02 (2006.01)i, H01L21/28 (2006.01)i, H01L21/336 (2006.01)i,
H01L21/762 (2006.01)i, H01L27/08 (2006.01)i, H01L27/092 (2006.01)i, H01L27/095 (2006.01)i,
H01L27/12 (2006.01)i, H01L29/417 (2006.01)i, H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/8238, H01L21/02, H01L21/28, H01L21/336, H01L21/762, H01L27/08, H01L27/092, H01L27/095,
H01L27/12, H01L29/417, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-093987 A (エスティーマイクロエレクトロニクス, インコーポレイテッド) 2001.04.06, 全文, 全図 & US 2002/0024094 A1, 全文, 全図 & US 2002/0125476 A1 & US 2003/0068849 A1 & EP 1089338 A3 & EP 1089338 A2	1-27
A	JP 03-109740 A (株式会社日立製作所) 1991.05.09, 全文, 全図 (ファミリーなし)	1-27

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 1 . 0 8 . 2 0 1 2

国際調査報告の発送日

0 4 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宇多川 勉

5 F

3 1 2 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 03-084960 A (日本電気株式会社) 1991. 04. 10, 全文, 全図 (ファミリーなし)	1-27
A	JP 63-311768 A (富士通株式会社) 1988. 12. 20, 全文, 全図 (ファミリーなし)	1-27
A	JP 59-198750 A (株式会社諏訪精工舎) 1984. 11. 10, 全文, 全図 (ファミリーなし)	1-27
A	JP 2009-503871 A (アンバーウェーブ システムズ コーポレイション) 2009. 01. 29, 全文, 全図 & US 2007/0181977 A1 & EP 1911086 A & WO 2007/014294 A2 & KR 10-2008-0032234 A & CN 101268547 A	1-27
A	JP 2007-013025 A (松下電器産業株式会社) 2007. 01. 18, 全文, 全図 (ファミリーなし)	1-27
A	JP 09-069611 A (株式会社日立製作所) 1997. 03. 11, 全文, 全図 (ファミリーなし)	1-27