



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I564907 B

(45)公告日：中華民國 106 (2017) 年 01 月 01 日

(21)申請案號：100138466

(22)申請日：中華民國 100 (2011) 年 10 月 24 日

(51)Int. Cl. : G11C7/00 (2006.01)

(30)優先權：2010/10/29 日本

2010-243833

2011/05/19 日本

2011-112645

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：松林大介 MATSUBAYASHI, DAISUKE (JP)；大貫達也 OHNUKI, TATSUYA (JP)

(74)代理人：林志剛

(56)參考文獻：

CN 101499498A

EP 2226847A2

JP 2009-158663A

US 6950353B1

US 7189992B2

US 2010/0193785A1

審查人員：林宥榆

申請專利範圍項數：13 項 圖式數：18 共 79 頁

(54)名稱

儲存裝置

STORAGE DEVICE

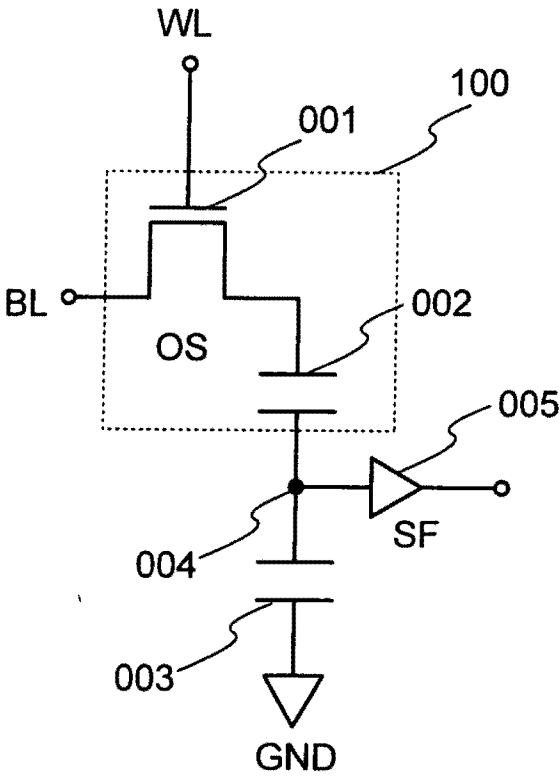
(57)摘要

本發明的一個方式提供一種儲存裝置，該儲存裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並能夠不使構成記憶元件的電晶體處於導通狀態地高速讀出所儲存的資料。在該儲存裝置中，藉由電連接包括將氧化物半導體層用作通道區的電晶體及儲存電容元件的儲存單元與電容元件來構成節點，該節點的壓力根據儲存資料由藉由儲存電容元件的電容耦合升高，藉由利用放大電路讀出該電位來可以辨別資料。

A storage device in which stored data can be held even when power is not supplied, and stored data can be read at high speed without turning on a transistor included in a storage element is provided. In the storage device, a memory cell having a transistor including an oxide semiconductor layer as a channel region and a storage capacitor is electrically connected to a capacitor to form a node. The voltage of the node is boosted up in accordance with stored data by capacitive coupling through a storage capacitor and the potential is read with an amplifier circuit to distinguish data.

指定代表圖：

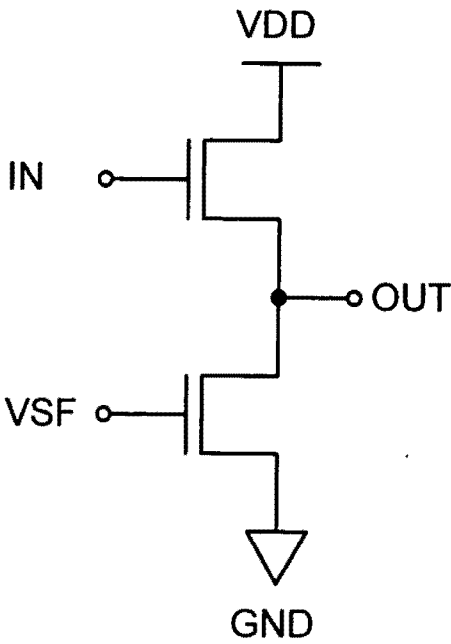
圖 1A



符號簡單說明：

- 001 . . . 電晶體
- 002 . . . 儲存電容元件
- 003 . . . 電容元件
- 004 . . . 節點
- 005 . . . 放大電路
- 100 . . . 儲存單元
- WL . . . 字線
- BL . . . 位元線

圖 1B



發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100138466

※申請日：100 年 10 月 24 日

※IPC 分類：G11C 7/00 (2006.01)

一、發明名稱：(中文／英文)

儲存裝置

Storage device

二、中文發明摘要：

本發明的一個方式提供一種儲存裝置，該儲存裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並能夠不使構成記憶元件的電晶體處於導通狀態地高速讀出所儲存的資料。在該儲存裝置中，藉由電連接包括將氧化物半導體層用作通道區的電晶體及儲存電容元件的儲存單元與電容元件來構成節點，該節點的壓力根據儲存資料由藉由儲存電容元件的電容耦合升高，藉由利用放大電路讀出該電位來可以辨別資料。

三、英文發明摘要：

A storage device in which stored data can be held even when power is not supplied, and stored data can be read at high speed without turning on a transistor included in a storage element is provided. In the storage device, a memory cell having a transistor including an oxide semiconductor layer as a channel region and a storage capacitor is electrically connected to a capacitor to form a node. The voltage of the node is boosted up in accordance with stored data by capacitive coupling through a storage capacitor and the potential is read with an amplifier circuit to distinguish data.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

001：電晶體

002：儲存電容元件

003：電容元件

004：節點

005：放大電路

100：儲存單元

WL：字線

BL：位元線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

所公開的發明係關於一種利用半導體元件的儲存裝置。

【先前技術】

利用半導體元件的儲存裝置大致分為揮發性儲存裝置和非揮發性儲存裝置，揮發性儲存裝置是如果遮斷電力供給，儲存內容就消失的儲存裝置，而非揮發性儲存裝置是即使遮斷電力供給也儲儲存存內容的儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM (Dynamic Random Access Memory: 動態隨機存取記憶體)。DRAM 藉由選擇構成記憶元件的電晶體並將電荷積蓄在電容元件內來儲存資訊。因此，因為當從 DRAM 讀出資訊時電容元件的電荷消失，所以每次讀出資訊都需要再次進行寫入工作。此外，在構成記憶元件的電晶體中，即使在電晶體未被選擇時，也由於截止狀態下的源極電極與汲極電極之間的洩汲極電流（截止電流）等，電荷流出或流入，所以資料保持期間較短。因此，需要按所定的週期再次進行寫入工作（刷新工作），而難以充分降低耗電量。此外，因為如果沒有電力供給，儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以長期保持儲存內容。

作為揮發性儲存裝置的另一例子，有 SRAM (Static

Random Access Memory：靜態隨機存取記憶體）。因為 SRAM 使用正反器等電路保持儲存內容，所以不需要進行刷新工作。在這一點上 SRAM 優越於 DRAM。但是，由於使用正反器等電路，所以有每儲存容量的單價高的問題。此外，在如果沒有電力供給儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。由於快閃記憶體在電晶體的閘極電極和通道形成區之間具有浮動閘極，並使該浮動閘極保持電荷來進行儲存，所以快閃儲存器具有其資料保持期間極長（幾乎永久）並且不需要進行揮發性儲存裝置需要進行的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時產生的穿隧電流導致構成記憶元件的閘極絕緣層劣化，從而產生記憶元件因進行所定次數的寫入而不能工作的使用壽命問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均等的方法，但是，為了採用該方法，需要複雜的週邊電路。另外，即使採用這種方法，也不能從根本上解決使用壽命問題。總之，快閃記憶體不適合於資訊的重寫頻度高的用途。

此外，為了對浮動閘極注入電荷或從浮動閘極去除該電荷，需要高電壓和用於該目的的電路。因此，有耗電量大的問題。再者，還存在當注入電荷或去除電荷時需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭第 57-105889 號
公報

【發明內容】

鑒於上述問題，所公開的發明的一個方式的課題之一是提供一種具有新的結構的儲存裝置，其中即使沒有電力供給也能夠保持儲存內容並且對寫入次數也沒有限制。

所公開的發明的一個方式的課題之一是使用新的結構可以不使構成記憶元件的電晶體處於導通狀態地高速讀出所儲存的資料，並且簡化儲存裝置來增加每單位面積的儲存容量。

在本發明的一個方式中，將作為通道區具有能夠使截止電流足夠小的半導體材料，例如寬頻隙半導體材料（氧化物半導體材料等）的電晶體用作用於儲存單元的電晶體。藉由電連接包括該電晶體及儲存電容元件的儲存單元與電容元件來構成節點，該節點的電壓根據儲存資料由藉由儲存電容元件的電容耦合升高，並且藉由利用放大電路讀出該電位來辨別資料。另外，該節點處於電浮動狀態。

在本發明的一個方式中，將作為通道區具有能夠使截止電流足夠小的半導體材料，例如寬頻隙半導體材料（氧化物半導體材料等）的電晶體用作用於儲存單元的電晶體。將多個儲存單元並聯連接到字線，將各儲存單元中的儲存電容元件與電容元件連接來構成節點。另外，因為多個儲存電容元件中的電容值彼此不同，所以藉由讀出該節

點的電位來可以一同讀出多個儲存單元的資料。

在本發明的一個方式中，用來將該節點的電位轉換為儲存單元的資料狀態的參考電路使用與該儲存單元相同的電路結構構成。

在本發明的一個方式中，藉由適當地設定一個塊（block）中的儲存單元的個數，並將多個塊排列，來可以以少數元件一同讀出資料。

在本說明書等中，“電極”或“佈線”不限定構成要素的功能。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成為一體的情況等。

另外，“源極電極”和“汲極電極”的功能在使用極性不同的電晶體的情況或電路工作的電流方向變化的情況等下，有時互相調換。因此，在本說明書中，“源極電極”和“汲極電極”可以互相調換。

另外，在本說明書等中，“電連接”也包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接物件間的電信號的授受，就對其沒有特別的限制。例如，“具有某種電作用的元件”不僅包括電極和佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容元件、其他具有各種功能的元件等。

因為在根據本發明的一個方式的儲存裝置中，使用寬頻隙半導體材料（尤其是氧化物半導體）的電晶體的截止

電流極小，所以可以在長期間保持施加到儲存電容元件的電荷。就是說，因為不需要進行刷新工作，或者，可以將刷新工作的頻度降低到極低，所以可以降低耗電量。另外，即使沒有電力供給（但是，較佳的是，固定電位），也可以在長期間儲儲存存內容。另外，因為藉由測量節點的電位來可以讀出資訊，而不需要切換電晶體的導通截止，所以可以進行高速工作。

如上所述，本發明的一個方式可以提供一種具有新的結構的儲存裝置，該儲存裝置即使在沒有電力供應的情況下也能夠儲儲存存內容，且對寫入次數也沒有限制。再者，可以不使構成記憶元件的電晶體處於導通狀態地高速讀出所儲存的資料。另外，也可以實現儲存裝置的簡化來增加每單位面積的儲存容量。

【實施方式】

下面，使用圖式對所公開的發明的實施方式的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

另外，圖式等所示的每個結構的位置、大小、範圍等為了容易理解而有時不表示為實際上的位置、大小、範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位

置、大小、範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等的序數詞是爲了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

實施方式 1

在本實施方式中，參照圖 1A 和 1B 對根據所公開的發明的一個方式的儲存裝置的電路結構及工作進行說明。另外，在電路圖中，爲了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

首先，參照圖 1A 對基本電路結構及其工作進行說明。在圖 1A 所示的儲存裝置中，字線（Word Line：WL）與電晶體 001 的閘極電極電連接，位元線（Bit Line：BL）與電晶體 001 的源極電極（或汲極電極）電連接，儲存電容元件 002 的一方的端子與電晶體 001 的汲極電極（或源極電極）電連接。再者，該儲存電容元件 002 的另一方的端子與電容元件 003 的一方的端子電連接而構成節點 004。該節點 004 與放大電路 005 電連接。

在此，作爲電晶體 001，例如，採用使用作爲寬頻隙半導體材料的氧化物半導體的電晶體。使用氧化物半導體的電晶體具有截止電流極少的特徵。由此，藉由使電晶體 001 成爲截止狀態，可以在極長時間儲存電晶體 001 的汲極電極的電位。再者，藉由具有儲存電容元件 002，容易保持施加到電晶體 001 的汲極電極的電荷。

在圖 1A 所示的電路結構中，電晶體 001 及儲存電容元件 002 寫入資料或儲存資料。將該部分稱為儲存單元 100。藉由測定儲存電容元件 002 與電容元件 003 連接的節點 004 中的電位（ V_N ）來讀出資料。另外，節點 004 處於電浮動狀態。作為測定電位的放大電路 005，例如可以使用如圖 1B 所示的源極電極跟隨（SF）電路。源極電極跟隨電路是並聯連接第一電晶體與第二電晶體的電路。作為第一電晶體，閘極與輸入端子（IN）連接，第一電極與 VDD 連接，第二電極與第二電晶體的第一電極連接。另外，作為第二電晶體，閘極與 VSF 連接，第二電極與 GND 連接。第一電晶體的第二電極與第二電晶體的第一電極的連接部連接有輸出端子（OUT）。與輸入到源極電極跟隨電路的輸入端子（IN）的電位相同的電位從輸出端子（OUT）輸出。注意，不侷限於使用源極電極跟隨電路，而也可以使用其他放大電路。

對本實施方式中的資訊的寫入和儲存進行說明。首先，將寫入字線的電位設定為使電晶體 001 成為導通狀態的電位，來使電晶體 001 成為導通狀態。由此，對電晶體 001 的汲極電極和儲存電容元件 002 施加位元線的電位 V1。也就是說，對儲存電容元件 002 施加所定的電荷（寫入）。然後，藉由將字線的電位設定為使電晶體 001 成為截止狀態的電位，來使電晶體 001 成為截止狀態，而保持對儲存電容元件 002 施加的電荷（儲存）。

當儲存單元 100 寫入有電位 V1 時，在將儲存電容元

件 002 的電容設定為 $C1$ 並將電容元件 003 的電容設定為 $C0$ 的情況下，可以由算式 (1) 表示節點 004 的電位 V_N 。

[算式 1]

$$V_N = \frac{C1 \times V1}{(C1 + C0)}$$

如算式 (1) 所示，因為節點 004 的電位 V_N 與寫入電位，即施加到位元線的電位 $V1$ 成比例，所以 V_N 以一比一對應於儲存單元的資料狀態。因此，藉由測定 V_N ，可以辨別儲存單元所儲存的資料（讀出）。例如，在 $V1=V$ 或 0 ($V>0$) 的二值的情況下，藉由將根據 V_N 的資料辨別臨界值設定為 $C1 \times V / (C1 + C0)$ 與 0 的中間，當 V_N 為前者時可知儲存單元的資料狀態為“1” ($V1=V$)，而當 V_N 為後者時可知儲存單元的資料狀態為“0” ($V1=0$)。可以容易將該方法擴張到 $V1$ 為兩個值以上的情況。

根據本實施方式，可以不進行使電晶體 001 處於導通狀態的工作地辨別儲存單元 100 的資料狀態。由此，可以最大限度地利用電晶體 001 的截止電流非常小的性質，從而可以實現半永久的資料儲存（即，非揮發性）。再者，因為在讀出資料時不需要驅動電晶體 001，所以可以進行非常高速的資料讀出。

接著，對資料的重寫進行說明。資料的重寫與上述資料的寫入及保持同樣進行。也就是說，將字線的電位設定為使電晶體 001 成為導通狀態的電位，而使電晶體 001 成為導通狀態。由此，對電晶體 001 的汲極電極及儲存電容

元件 002 施加位元線的電位（有關新的資料的電位）。然後，藉由將字線的電位設定為使電晶體 001 成為截止狀態的電位，使電晶體 001 成為截止狀態，而使儲存電容元件 002 成為施加有有關新的資料的電荷的狀態。

像這樣，根據所公開的發明的儲存裝置藉由再次進行資訊的寫入來可以直接重寫資訊。因此，不需要快閃記憶體等所需要的使用高電壓從浮動閘極抽出電荷的處理，不存在現有的浮動閘極型電晶體中被指出的閘極絕緣層（也稱為隧道絕緣層）的劣化的問題。也就是說，可以解決以往被視為問題的將電子注入到浮動閘極時的閘極絕緣層的劣化問題。這意味著在原理上不存在寫入次數的限制。另外，也不需要現在現有的浮動閘極型電晶體中當寫入或擦除數據時所需要的高電壓。

此外，因為使用氧化物半導體以外的材料的電晶體可以進行足夠的高速工作，所以藉由將該電晶體和使用氧化物半導體的電晶體組合而使用，可以充分地確保半導體裝置的工作（例如，資訊的讀出工作）的高速性。此外，藉由利用使用氧化物半導體以外的材料的電晶體，可以良好地實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

實施方式 2

在本實施方式中，對根據所公開的發明的一個方式的儲存裝置中的如下電路結構及寫入/讀出工作進行說明，

在該電路中，如圖 2 所示，包括進行資料的寫入及儲存的使用氧化物半導體的電晶體 201 以及儲存電容元件 C_i ($i=1, 2, \dots, m$) 的 m 個 (m 為自然數) 儲存單元 200 並聯。節點 204 為儲存電容元件 C_i ($i=1, 2, \dots, m$) 與電容元件 C_n 連接的部分， m 個儲存單元共同使用該節點 204。另外，節點 204 與放大電路 205 電連接。

在本實施方式中，藉由測定該節點的電位 V_N 來可以讀出儲存在 m 個儲存單元中的資料。例如，在 m 個儲存單元分別寫入有電位 V_i ($i=1, 2, \dots, m$) 時， V_N 由算式 (2) 計算。

[算式 2]

$$V_N = \frac{\sum C_i \times V_i}{C_{total} + C_n}$$

另外， $C_{total} = (C_1 + C_2 + \dots + C_m)$ 。藉由使如此求出的 V_N 值以一比一對應於 m 個儲存單元的資料狀態，可以測定 V_N 來一同讀出 m 個儲存單元的資料狀態。如下所述可以進行該一比一的對應。

在此，為了簡化起見，對 $V_i = V$ 或 0 ($V > 0$) 的二值的情況進行說明。將儲存單元寫入有電位 V 的狀態稱為“1”狀態，並且將儲存單元寫入有電位 0 的狀態稱為“0”狀態。在 m 個儲存單元的所有寫入狀態的組合為 $(0 \dots 000)$ 、 $(0 \dots 001)$ 、 $(0 \dots 010)$ 、 $(0 \dots 011)$ 、 $\dots$ 、 $(1 \dots 111)$ 的情況下，以此時的節點的電位 V_N 滿足算式 (3) 的不等式的方式設定儲存電容元件 C_i ($i=1, 2, \dots, m$) 的電容的大小，即可。

[算式 3]

$$V_N(0\cdots 000) < V_N(0\cdots 001) < V_N(0\cdots 010) < V_N(0\cdots 011) < \cdots < V_N(1\cdots 111)$$

以下具體地對 m 為 3 的情況進行說明。首先，三個儲存單元的寫入狀態的組合為 (000)、(001)、(010)、(011)、(100)、(101)、(110)、(111)。另外，作為節點電位 V_N ， $V_N(000)$ 為 0， $V_N(001)$ 與 $C1$ 成比例， $V_N(010)$ 與 $C2$ 成比例， $V_N(011)$ 與 $C2+C1$ 成比例， $V_N(100)$ 與 $C3$ 成比例， $V_N(101)$ 與 $C3+C1$ 成比例， $V_N(110)$ 與 $C3+C2$ 成比例，並且 $V_N(111)$ 與 $C3+C2+C1$ 成比例。但是，比例係數都彼此相同，即 $1/(C_{total}+C_n)$ 。藉由以上述值滿足算式 (3) 所示的不等式的方式設定電容值 $C1$ 、 $C2$ 及 $C3$ ，可以使三個儲存單元的資料狀態以一比一對應於 V_N 值。例如，如 $C1=2^0 \cdot C^*$ ， $C2=2^1 \cdot C^*$ ， $C3=2^2 \cdot C^*$ 的那樣，以電容的比率成為二進數的方式設定電容值 $C1$ 、 $C2$ 及 $C3$ ，即可。但是， C^* 為比例係數。

如上所述，在本發明的一個方式中，因為在多個儲存單元中每個儲存電容元件的電容值彼此不同，所以可以一同讀出多個儲存單元的資料，再者，藉由適當地設定一個塊中的儲存單元的個數並將該塊排列，可以以少數元件一同讀出資料。因此，可以簡化電路結構，從而可以增加每單位面積的儲存容量。另外，可以容易將該方法擴展到 V_i 為兩個值以上的情況。

接著，對將測定出來的 V_N 值轉換為 m 個儲存單元的資料狀態的方法進行說明。作為該方法，有如下一種方法，即：預先準備 V_N 會採用的所有值與資料狀態的對應表，並儲存該對應表。但是，在該方法中，在 V_i 為 2^x 個值時，需要鎖存 $2^x \cdot m$ 個對應關係。另外，作為將 V_N 值轉換為資料狀態的另一方法，也可以採用如下方法，即：作為參考電路對儲存裝置追加與圖 2 相同的電路，並且當將 V_N 轉換為資料狀態時使用該參考電路（參照圖 5）。圖 5 示出儲存裝置 300 藉由差動放大電路 210 與參考電路 400 連接的電路。使用差動放大電路 210 對 V_N 值與從參考電路的輸出 V_{N_REF} 值的大小關係進行比較，並每次比較都利用二分法刷新參考電路中的資料狀態。其結果，在 $x \times m$ 次的比較後，儲存在參考電路中的資料狀態與 m 個儲存單元中的所希望的資料狀態一致。換言之，參考電路也起到感測鎖存器的作用。接著，藉由對參考電路的字線（ WL_REF ）施加適當的電壓使所有電晶體處於導通狀態，可以將資料輸出到外部。如此，在本發明的一個方式中，不需要預先準備節點的電位會採用的所有值與資料狀態的對應表，並且也不需要用於該目的的電路。

實施方式 3

在本實施方式中，對根據所公開的發明的一個方式的儲存裝置中的以圖 2 所示的電路為一個塊的電路結構及工作進行說明（參照圖 6）。圖 6 所示的電路包括：字線

WL 及 WL_REF；寫入選擇閘極 SG_Wj ($j=1, 2, \dots, k$ ； k 為自然數)；讀出選擇閘極 SG_Rj ($j=1, 2, \dots, k$ ； k 為自然數)；位元線 BLi ($i=1, 2, \dots, m$ ； m 為自然數)及 BL_REFi ($i=1, 2, \dots, m$ ； m 為自然數)；差動放大電路 510；包括 m 個儲存單元的塊 Bj ($j=1, 2, \dots, k$ ； k 為自然數)；連接到各塊的寫入/讀出用選擇電晶體；以及參考電路 500。塊 Bj 並聯連接到字線，並藉由差動放大電路 510 連接到參考電路 500。當包括在一個塊中的儲存單元的個數 m 增加時，相對地需要製造具有各種電容的電容器，而製程變得複雜。於是，將每一塊中的儲存單元的個數抑制為適當的個數（例如， $m=8$ 左右），並且將多個塊 Bj 排列。按所選擇的每個塊 Bj 進行寫入/讀出。藉由採用上述結構，即使儲存單元的個數增大也可以將當寫入時連接到字線的儲存單元的個數抑制為少。因此，可以使字線所具有的寄生電容及寄生電阻小，從而可以防止輸入到字線的信號的脈衝延遲或字線的電位大幅度地下降。因此，可以將儲存裝置的錯誤工作發生率抑制為低。再者，只要有一個將電位 V_N 轉換為資料狀態的參考電路，即可。

實施方式 4

接著，參照圖 3A 至 3D 對圖 1A 和 1B 所示的儲存單元 100 的製造方法的一個例子進行說明。

首先，在絕緣膜 640 上形成氧化物半導體膜，加工該

氧化物半導體膜來形成氧化物半導體膜 644 (參照圖 3A) 。

絕緣膜 640 使用包含氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。絕緣膜 640 可以使用上述材料的單層結構或疊層結構形成。在此，對作為絕緣膜 640 使用氧化矽的情況進行說明。

另外，較佳的是，作為氧化物半導體，至少包含銦 (In) 或鋅 (Zn) 。特別佳的是，包含 In 和 Zn 。

另外，較佳的是，除了上述元素以外，還具有選自鎵 (Ga) 、錫 (Sn) 、鈪 (Hf) 、鋁 (Al) 和鑼系元素中的一種或多種作為穩定劑 (stabilizer) ，該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。

作為鑼系元素，有鑼 (La) 、鈰 (Ce) 、鐠 (Pr) 、釹 (Nd) 、釷 (Sm) 、鎔 (Eu) 、釷 (Gd) 、鉕 (Tb) 、鐳 (Dy) 、釹 (Ho) 、鉕 (Er) 、鐳 (Tm) 、鐳 (Yb) 、鐳 (Lu) 。

例如，作為單元金屬氧化物半導體，可以使用氧化銦、氧化錫、氧化鋅等。

另外，例如，作為二元金屬氧化物，可以使用 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

另外，例如，作為三元金屬氧化物，可以使用 In-Ga-Zn 類氧化物 (也稱為 IGZO) 、In-Sn-Zn 類氧化物 (也稱

爲 ITZO) 、 Sn-Ga-Zn 類氧化物、In-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物等。

另外，作爲四元金屬氧化物，可以使用 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物等。

這裏，例如 In-Ga-Zn 類氧化物是指作爲主要成分具有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。

例如，可以使用其原子比爲 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) 或 $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) 的 In-Ga-Zn 類氧化物或具有與其類似的組成的氧化物。

或者，也可以使用其原子比爲 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) 或 $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) 的 In-Sn-Zn 類氧化物或具有與其類似的組成的氧化物。

但是，不侷限於上述材料，根據所需要的半導體特性（遷移率、臨界值、偏差等）可以使用適當的組成的材

料。另外，爲了獲得所需要的半導體特性，較佳的是，適當地設定載子濃度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間接合距離、密度等的條件。

氧化物半導體既可以爲單晶又可以爲非單晶。

在氧化物半導體爲非單晶的情況下，可以爲非晶或多晶。另外，也可以利用在非晶體中含有具有結晶性的部分的結構。另外，因爲非晶有多個缺陷，所以使用非非晶較佳。

較佳的是，氧化物半導體膜使用氫、水、羥基或氫化物等的雜質不容易混入的方式製造。例如，可以藉由濺射法等製造氧化物半導體膜。

在此，藉由使用 In-Ga-Zn 類氧化物靶材的濺射法形成氧化物半導體膜。

作爲 In-Ga-Zn 類氧化物靶材，例如可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳數比] 的組成比的氧化物靶材。另外，靶材的材料及組成不侷限於上述記載。例如還可以使用具有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比] 的組成比的氧化物靶材。

氧化物靶材的填充率爲 90%以上且 100%以下，較佳地爲 95%以上且 99.9%以下。這是因爲如下緣故：藉由使用高填充率的金屬氧化物靶材，可以將氧化物半導體膜形成爲緻密的膜。

作爲成膜時的氣圍，採用稀有氣體（典型的是氬）氣圍、氧氣圍或稀有氣體和氧的混合氣圍等，即可。另外，

爲了防止氫、水、羥基、氫化物等混入到氧化物半導體膜中，較佳的是，採用使用充分地去除氫、水、羥基、氫化物等的雜質的高純度氣體的氣圍。

例如，可以採用如下方法形成氧化物半導體膜。

首先，在被保持爲減壓狀態的沉積室內保持基板，並對基板進行加熱以使基板溫度爲 200°C 以上且 500°C 以下，較佳地爲 300°C 以上且 500°C 以下。

接著，一邊去除沉積室中的殘留水分，一邊引入充分地去除了氫、水、羥基、氫化物等的雜質的高純度氣體，並使用上述靶材來在基板上形成氧化物半導體膜。爲了去除沉積室中的殘留水分，較佳的是，作爲排氣單元，使用低溫泵、離子泵、鈦昇華泵等的吸附型真空泵。另外，作爲排氣單元，也可以使用提供有冷阱的渦輪泵。由於在利用低溫泵進行了排氣的沉積室中，例如氫、水、羥基或氫化物等的雜質（還包括包含碳原子的化合物更佳）等被去除，因此可以降低在該沉積室中形成的氧化物半導體膜所含有的氫、水、羥基或氫化物等的雜質的濃度。

當成膜時的基板溫度低（例如， 100°C 以下）時，有含有氫原子的物質混入到氧化物半導體中的憂慮，所以較佳的是，在上述溫度下加熱基板。藉由在上述溫度下加熱基板形成氧化物半導體膜，基板溫度變高，從而氫鍵被熱切斷，含有氫原子的物質不容易被引入到氧化物半導體膜中。因此，藉由在上述溫度下加熱基板的狀態下形成氧化物半導體膜，可以充分地降低氧化物半導體膜所含有的

氫、水、羥基或氫化物等的雜質的濃度。另外，可以減輕由濺射導致的損傷。

作為成膜條件的一個例子，採用如下條件：基板與靶材之間的距離是 60mm；壓力是 0.4Pa；直流（DC）電源是 0.5kW；基板溫度是 400°C；成膜氣圍是氧（氧流量比率 100%）氣圍。另外，藉由使用脈衝直流電源，可以減輕在進行成膜時發生的粉狀物質（也稱為微粒或塵屑），並且膜厚度分佈也變得均勻，所以較佳的是，採用脈衝直流電源。

另外，較佳的是，在藉由濺射法形成氧化物半導體膜之前，進行引入氬氣體產生電漿的反濺射，來去除附著於氧化物半導體膜的被形成表面上的粉狀物質（也稱為微粒或塵屑）。反濺射是指如下一種方法，其中對基板施加電壓來在基板附近形成電漿，來對基板一側的表面進行改性。此外，也可以使用氮、氬、氧等的氣體代替氬。

另外，藉由加工氧化物半導體膜來形成氧化物半導體膜 644。作為氧化物半導體膜的加工，可以在氧化物半導體膜上形成所希望的形狀的掩模之後對該氧化物半導體膜進行蝕刻。可以藉由光刻製程等的方法形成上述掩模。或者，也可以藉由噴墨法等的方法形成掩模。此外，氧化物半導體膜的蝕刻可以採用乾蝕刻或濕蝕刻。當然，也可以組合乾蝕刻和濕蝕刻而使用。

然後，也可以對氧化物半導體膜 644 進行熱處理（第一熱處理）。藉由進行熱處理，可以進一步去除包含在氧

氧化物半導體膜 644 中的含有氫原子的物質，調整氧化物半導體膜 644 的結構，降低能隙中的缺陷能階。在惰性氣體氣圍下，熱處理的溫度為 250°C 以上且 700°C 以下，較佳地為 450°C 以上且 600°C 以下或者低於基板的應變點。較佳的是，作為惰性氣體氣圍，應用以氮或稀有氣體（氮、氬或氙等）為主要成分且不包含水或氫等的氣圍。例如，引入到熱處理裝置中的氮或氮、氬、氙等的稀有氣體的純度為 6N（99.9999%）以上，較佳地為 7N（99.99999%）以上（即，雜質濃度為 1ppm 以下，較佳地為 0.1ppm 以下）。

作為熱處理，例如，可以將被處理物放入使用電阻發熱體等的電爐中，並在氮氣圍下以 450°C 加熱 1 個小時。在此期間，不使氧化物半導體膜 644 接觸大氣以防止水或氫的混入。

藉由進行熱處理降低雜質來形成 i 型（本質半導體）或無限趨近於 i 型的氧化物半導體膜，可以實現特性極為優良的電晶體。

此外，由於上述熱處理具有去除氫或水等的效果，所以可以將該熱處理也稱為脫水化處理、脫氫化處理等。例如，該熱處理也可以在將氧化物半導體膜加工為島狀之前或在形成閘極絕緣層之後等進行。另外，上述脫水化處理、脫氫化處理不侷限於進行一次，而也可以進行多次。

一般地認為，由於氧化物半導體對雜質不敏感，因此即使在膜中包含多量金屬雜質也沒有問題，而也可以使用

包含多量的鹼金屬諸如鈉等的廉價的鈉鈣玻璃（神穀、野村以及細野，Carrier Transport Properties and Electronic Structures of Amorphous Oxide Semiconductors: The present status: 非晶氧化物半導體的物性及裝置開發的現狀，固體物理，2009年9月號，Vol.44，pp.621-633）。但是，這種意見不是適當的。因為鹼金屬不是構成氧化物半導體的元素，所以是雜質。在鹼土金屬不是構成氧化物半導體的元素的情況下，鹼土金屬也是雜質。尤其是，鹼金屬中的 Na 在與氧化物半導體膜接觸的絕緣膜為氧化物的情況下擴散到該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體膜內， Na^+ 斷裂構成氧化物半導體的金屬與氧的接合或擠進其接合之中。其結果是，例如，產生因臨界值電壓漂移到負方向而導致的常開啓化、遷移率的降低等的電晶體特性的劣化，而且還產生特性偏差。尤其是在氧化物半導體膜中的氫濃度充分低時，該雜質所導致的電晶體的特性劣化及特性偏差的問題變得明顯。因此，當氧化物半導體膜中的氫濃度為 $5 \times 10^{19} \text{cm}^{-3}$ 以下，尤其是 $5 \times 10^{18} \text{cm}^{-3}$ 以下時，較佳的是，降低上述雜質的濃度。明確而言，較佳的是，利用二次離子質譜分析法測量的 Na 濃度為 $5 \times 10^{16} / \text{cm}^3$ 以下，更佳地為 $1 \times 10^{16} / \text{cm}^3$ 以下，進一步佳地為 $1 \times 10^{15} / \text{cm}^3$ 以下。同樣地，Li 濃度的測定值較佳地為 $5 \times 10^{15} / \text{cm}^3$ 以下，更佳地為 $1 \times 10^{15} / \text{cm}^3$ 以下。同樣地，K 濃度的測定值較佳地為 $5 \times 10^{15} / \text{cm}^3$ 以下，更

佳地爲 $5 \times 10^{15} / \text{cm}^3$ 以下。

另外，爲了防止使用氧化物半導體膜 644 形成的電晶體成爲常開啓（即使在對閘極電極不施加電壓的狀態下汲極電極電流也流過的狀態）型，也可以在夾著氧化物半導體膜 644 相對於閘極電極的一側設置第二閘極電極，由此控制臨界值電壓。

另外，雖然氧化物半導體膜 644 也可以爲非晶，但是較佳的是，使用作爲電晶體的通道形成區具有結晶性的氧化物半導體膜。這是因爲如下緣故：藉由使用具有結晶性的氧化物半導體膜，可以提高電晶體的可靠性（閘極偏壓·應力耐性）。

作爲具有結晶性的氧化物半導體膜，理想的是採用單晶，但是較佳的是具有如下氧化物，該氧化物包含具有 c 軸取向的結晶（C Axis Aligned Crystal：也稱爲 CAAC）。

包括 CAAC 的氧化物半導體膜也可以藉由濺射法形成。爲了藉由濺射法得到包括 CAAC 的氧化物半導體膜，重要的是在氧化物半導體膜的沉積初期步驟中形成六方晶的結晶且以該結晶爲晶種使結晶生長。爲此，較佳的是，將靶材與基板之間的距離設定爲長（例如，150mm 至 200mm 左右），並且將加熱基板的溫度設定爲 100°C 至 500°C ，更佳地設定爲 200°C 至 400°C ，進一步佳地設定爲 250°C 至 300°C 。而且，藉由以比成膜時的加熱基板的溫度高的溫度對沉積的氧化物半導體膜進行熱處理，可以修

復包含在膜中的微小缺陷或叠层界面的缺陷。

接著，在氧化物半導體膜 644 等上形成用來形成源極電極及汲極電極（包括使用與該源極電極及汲極電極相同的層形成的佈線）的導電層，加工該導電層來形成源極電極 642a、汲極電極 642b（參照圖 3B）。

作為導電層，可以利用 PVD 法或 CVD 法來形成。另外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、鈹、釷、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，有易於將源極電極或汲極電極 642a、642b 加工為具有傾斜度的形狀的優點。

另外，導電層還可以使用導電金屬氧化物來形成。作為導電金屬氧化物，可以使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或含有矽或氧化矽的上述任何一種金屬氧化物材料。

較佳的是，以所形成的源極電極或汲極電極 642a、

642b 的端部成爲具有傾斜度的形狀的方式對導電層進行蝕刻。這裏，傾斜角例如爲 30° 以上且 60° 以下較佳。藉由以源極電極或汲極電極 642a、642b 的端部成爲具有傾斜度的形狀的方式進行蝕刻，可以提高後面形成的閘極絕緣層 646 的覆蓋性，並防止斷開。

電晶體的通道長度（L）由源極電極的下端部與汲極電極的下端部之間間隔決定。另外，在形成通道長度（L）短於 25nm 的電晶體的情況下，當進行用來形成掩模的曝光時，較佳的是，使用短波長即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）。利用超紫外線的曝光的解析度高且聚焦深度大。由此，後面形成的電晶體的通道長度（L）可以爲 10nm 以上且 1000nm（1 μ m）以下，而可以提高電路的工作速度。再者，藉由微型化可以降低儲存裝置的耗電量。

接著，以覆蓋源極電極或汲極電極 642a、642b 並與氧化物半導體膜 644 的一部分接觸的方式形成閘極絕緣層 646（參照圖 3C）。

閘極絕緣層 646 可以利用 CVD 法或濺射法等形成。另外，較佳的是，閘極絕緣層 646 以含有氧化矽、氮化矽、氧氮化矽、氧化鎵、氧化鋁、氧化鉭、氧化鉛、氧化釷、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的鋁酸鉛（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等的方式形成。閘極絕緣層 646 既可以採用單層結構，又可以採用組合上述材料的疊

層結構。另外，雖然對其厚度沒有特別的限定，但是當對儲存裝置進行微型化時，較佳的是，減薄其厚度，以確保電晶體的工作。例如，當使用氧化矽時，其厚度可以為 1nm 以上且 100nm 以下，較佳地為 10nm 以上且 50nm 以下。

當如上述那樣將閘極絕緣層形成為較薄時，存在由於隧道效應等而發生閘極洩漏的問題。為了解決閘極洩漏的問題，可以使用如氧化鉛、氧化鋇、氧化釷、矽酸鉛 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的矽酸鉛 (HfSi_xO_y ($x>0$ 、 $y>0$))、添加有氮的鋁酸鉛 (HfAl_xO_y ($x>0$ 、 $y>0$)) 等的高介電常數 (high-k) 材料作為閘極絕緣層 646。藉由將 high-k 材料用於閘極絕緣層 646，不但可以確保電特性，而且可以增大膜厚度，以抑制閘極洩漏電流。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽或氧化鋁等中的任一種膜的疊層結構。

另外，與氧化物半導體膜 644 接觸的絕緣層也可以使用包含第 13 族元素及氧的絕緣材料。較多氧化物半導體包含第 13 族元素，包含第 13 族元素的絕緣材料與氧化物半導體的搭配良好，並且藉由將它用於與氧化物半導體膜接觸的絕緣層，可以保持與氧化物半導體膜之間的界面的良好狀態。

在此，包含第 13 族元素的絕緣材料是指包含一種或多種第 13 族元素的絕緣材料。作為包含第 13 族元素的絕

緣材料，例如有氧化鎵、氧化鋁、氧化鋁鎵、氧化鎵鋁等。在此，氧化鋁鎵是指含鋁量（at.%）多於含鎵量（at.%）的物質，氧化鎵鋁是指含鎵量（at.%）等於或多於含鋁量（at.%）的物質。

例如，當以與包含鎵的氧化物半導體膜接觸的方式形成閘極絕緣層時，藉由將包含氧化鎵的材料用於閘極絕緣層，可以保持氧化物半導體膜和閘極絕緣層之間的良好介面特性。另外，藉由使氧化物半導體膜與包含氧化鎵的絕緣層接觸地設置，可以減少氧化物半導體膜與絕緣層的介面中的氫的聚積。另外，在將與氧化物半導體的成分元素同一族的元素用於絕緣層時，可以得到上述同樣的效果。例如，使用包含氧化鋁的材料形成絕緣層是有效的。另外，由於氧化鋁具有不容易透射水的特性，因此從防止水侵入到氧化物半導體膜中的角度來看，使用該材料是較佳的。

此外，較佳的是，作為與氧化物半導體膜 644 接觸的絕緣層，藉由進行氧氣圍下的熱處理或氧摻雜等使絕緣材料處於其含氧量超過化學計量比的狀態。氧摻雜是指對塊體（bulk）添加氧的處理。為了明確表示不僅對薄膜表面添加氧，而且對薄膜內部添加氧，使用該“塊體”。此外，氧摻雜包括將電漿化了的氧添加到塊體中的氧電漿摻雜。另外，也可以藉由離子植入法或離子摻雜法進行氧摻雜。

例如，當作為與氧化物半導體膜 644 接觸的絕緣層使用氧化鎵時，藉由進行氧氣圍下的熱處理或氧摻雜，可以

將氧化鎵的組成設定為 Ga_2O_x ($X=3+\alpha$, $0<\alpha<1$)。此外，作為與氧化物半導體膜 644 接觸的絕緣層使用氧化鋁時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鋁的組成設定為 Al_2O_x ($X=3+\alpha$, $0<\alpha<1$)。或者，作為與氧化物半導體膜 644 接觸的絕緣層使用氧化鎵鋁（氧化鋁鎵）時，藉由進行氧氣圍下的熱處理或氧摻雜，可以將氧化鎵鋁（氧化鋁鎵）的組成設定為 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ ($0<X<2$, $0<\alpha<1$)。

藉由進行氧摻雜處理等，可以形成包含其含氧量超過化學計量比的區域的絕緣層。藉由使具備這種區域的絕緣層與氧化物半導體膜接觸，絕緣層中的過剩的氧被供應到氧化物半導體膜中，降低氧化物半導體膜中或氧化物半導體膜與絕緣層之間的介面中的氧缺陷，從而可以將氧化物半導體膜形成為 i 型或無限趨近於 i 型的氧化物半導體。

另外，具有其含氧量超過化學計量組成比的區域的絕緣層既可應用於作為氧化物半導體膜 644 的基底膜形成的絕緣層代替閘極絕緣層 646 又可應用於閘極絕緣層 646 及基底絕緣層的兩者。

較佳的是，在形成閘極絕緣層 646 之後，在惰性氣體氣圍下或氧氣圍下進行第二熱處理。熱處理的溫度為 200°C 以上且 450°C 以下，較佳地為 250°C 以上且 350°C 以下。例如，可以在氮氣圍下以 250°C 進行 1 個小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的偏差。此外，當閘極絕緣層 646 含有氧時，向氧化物半導體

膜 644 供應氧而填補該氧化物半導體膜 644 的氧缺陷，從而可以形成 i 型（本質半導體）或無限接近於 i 型的氧化物半導體膜。

另外，在此，雖然在形成閘極絕緣層 646 之後進行第二熱處理，但是第二熱處理的時序不侷限於此。例如，也可以在形成閘極電極之後進行第二熱處理。另外，既可以在第一熱處理之後連續地進行第二熱處理，又可以在第一熱處理中兼併第二熱處理，或在第二熱處理中兼併第一熱處理。

如上所述，藉由採用第一熱處理和第二熱處理中的至少一方，可以以使氧化物半導體膜 644 儘量不包含含有氫原子的物質的方式使氧化物半導體膜 644 高純度化。

接著，形成用來形成閘極電極（包括使用與該閘極電極相同的層形成的佈線）的導電層，加工該導電層來形成閘極電極 648a 及導電膜 648b（參照圖 3D）。

作為閘極電極 648a 及導電膜 648b，可以使用鋁、鈦、鉭、鎢、鋁、銅、鈳、銦等金屬材料或以該金屬材料為主要成分的合金材料來形成。另外，閘極電極 648a 及導電膜 648b 可以採用單層結構或疊層結構。

藉由上述步驟完成使用被高純度化的氧化物半導體膜 644 的電晶體 662 以及電容元件 664（參照圖 3D）。

如此，藉由使用被高純度化而被本質化的氧化物半導體膜 644，容易充分地降低該電晶體的截止電流。並且，藉由使用這種電晶體，可以獲得能夠在極長期間保持儲存

內容的儲存裝置。

實施方式 5

對包括 CAAC (C Axis Aligned Crystal: c 軸取向結晶) 的氧化物半導體進行說明，該 CAAC 是具有結晶部分和非結晶部分且結晶部分的取向向 c 軸取向一致。

包括 CAAC 的氧化物半導體是從來未發現的新的氧化物半導體。

CAAC 進行 c 軸取向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列。

並且，在包括 CAAC 的氧化物半導體中，在 c 軸上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

再者，在 CAAC 中，在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心回轉）。

從更廣義來理解，CAAC 是指非單晶。

並且，CAAC 在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列。

再者，包括 CAAC 的氧化物半導體是指包括如下相的氧化物，在該相中從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶，但是也不只由非晶形成。

另外，雖然 CAAC 包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

也可以用氮取代構成包括 CAAC 的氧化物半導體的氧

的一部分。

另外，構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）一致。

或者，構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）。

包括 CAAC 的膜根據其組成等而成爲導體、半導體或絕緣體。另外，CAAC 根據其組成等而呈現對可見光的透明性或不透明性。

例如，在使用電子顯微鏡觀察形成爲膜狀的包括 CAAC 的氧化物半導體時，在從垂直於膜表面或所支撐的基板面的方向觀察時確認到三角形或六角形的原子排列。

並且，在使用電子顯微鏡觀察其膜剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

參照圖 7A 至圖 9C 詳細說明包括在 CAAC 中的結晶結構的一個例子。

另外，在圖 7A 至圖 9C 中，以垂直方向爲 c 軸方向，並以與 c 軸方向正交的面爲 ab 面。

在本實施方式中，“上一半”或“下一半”是指以 ab 面爲邊界時的上一半或下一半。

圖 7A 示出具有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱爲四配位 O）的結構 A。

這裏，將對於一個金屬原子只示出靠近其的氧原子的

結構稱為小組。

雖然結構 A 採用八面體結構，但是為了方便起見示出平面結構。

另外，在結構 A 的上一半及下一半分別具有三個四配位 O。結構 A 所示的小組的電荷為 0。

圖 7B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱為三配位 O）以及靠近 Ga 的兩個四配位 O 的結構 B。

三配位 O 都存在於 ab 面上。在結構 B 的上一半及下一半分別具有一個四配位 O。

另外，因為 In 也採用五配位，所以也有可能採用結構 B。結構 B 的小組的電荷為 0。

圖 7C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構 C。

在結構 C 的上一半具有一個四配位 O，並且在下一半具有三個四配位 O。結構 C 的小組的電荷為 0。

圖 7D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構 D。

在結構 D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。

結構 D 的小組的電荷為 +1。

圖 7E 示出包括兩個 Zn 的結構 E。

在結構 E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。結構 E 的小組的電荷為 -1。

在本實施方式中，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組（也稱為單元元件）。

這裏，說明這些小組彼此接合的規則。

圖 7A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In ，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In 。

圖 7B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga ，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga 。

圖 7C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn ，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn 。

像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。

因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。

因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。

以下示出其理由。例如，在六配位金屬原子（ In 或 Sn ）藉由下一半的四配位 O 接合時，因為四配位 O 的個

數為 3，所以其與五配位金屬原子（Ga 或 In）的上半的四配位 O、五配位金屬原子（Ga 或 In）的下半的四配位 O 和四配位金屬原子（Zn）的上半的四配位 O 中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。

另外，除此以外，以使層結構的總電荷成為 0 的方式使多個小組接合構成中組。

圖 8A 示出構成 In-Sn-Zn-O 類層結構的中組 A 的模型圖。

圖 8B 示出由三個中組構成的大組 B。

另外，圖 8C 示出從 c 軸方向上觀察圖 8B 的層結構時的原子排列。

在中組 A 中，省略三配位 O，關於四配位 O 只示出其個數。

例如，以 ③ 表示 Sn 的上半及下半分別具有三個四配位 O。

與此同樣，在中組 A 中，以 ① 表示 In 的上半及下半分別具有一個四配位 O。

另外，在中組 A 中示出：下半具有一個四配位 O 而上半具有三個四配位 O 的 Zn；以及上半具有一個四配位 O 而下半具有三個四配位 O 的 Zn。

在中組 A 中，在構成 In-Sn-Zn-O 類層結構的中組中，在從上面按順序說明時，上半及下半分別具有三

個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合。

該 In 與上一半具有三個四配位 O 的 Zn 接合。

藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。

該 In 與上一半具有一個四配位 O 的包括兩個 Zn 的小組接合。

藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。

多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5 。

例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別為 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷為 $+1$ 。

因此，為了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。

作為具有電荷 -1 的結構，可以舉出結構 E 所示的包含兩個 Zn 的小組。

例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0 。

明確而言，藉由反復大組 B 來可以得到 In-Sn-Zn-O 類結晶（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）。

可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，在使用 In-Sn-Zn-O 類以外的氧化物半導體時也與上述相同。

例如，圖 9A 示出構成 In-Ga-Zn-O 類的層結構的中組 L 的模型圖。

在中組 L 中，在構成 In-Ga-Zn-O 類的層結構的中組中，在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合。

藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合。

藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。

多個上述中組彼此接合而構成大組。

圖 9B 示出包括三個中組的大組 M。

另外，圖 9C 示出從 c 軸方向上觀察圖 9B 的層結構時的原子排列。

在此，因為 In (六配位或五配位)、Zn (四配位)、Ga (五配位) 的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。

因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類層結構的中組不侷限於中組 L，而有可能是組合 In、Ga、Zn 的排列不同的中組而

成的大組。

本實施方式的內容的一部分或全部可以與其他實施方式組合而實施。

實施方式 6

除了氧化物半導體之外，實際測量的絕緣閘極型電晶體的場效應遷移率因各種原因而比本來的遷移率低。

作為使遷移率降低的原因，有半導體內部的缺陷或半導體和絕緣膜之間的界面的缺陷，但是當使用 Levinson 模型時，可以理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以半導體本來的遷移率為 μ_0 ，以所測量的場效應遷移率為 μ ，且假定在半導體中存在某種位能障壁（晶界等）時，可以由圖 10A 的算式 A 表示其關係。

E 是位能障壁的高度， k 是玻爾茲曼常數， T 是絕對溫度。

此外，當假定位能障壁由於缺陷而發生時，在 Levinson 模型中可以由圖 10B 的算式 B 表示其關係。

e 是元電荷， N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數， n 是包括在每單位面積的通道中的載子數， C_{ox} 是每單位面積的電容， V_g 是閘極電壓， t 是通道的厚度。

注意，在採用厚度為 30nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。

線性區中的汲極電極電流 I_d 可以由圖 10C 的算式 C 表示。

在此， L 是通道長度， W 是通道寬度，並且 $L = W = 1.0 \mu m$ 。

此外， V_d 是汲極電極電壓。

當用 V_g 除算式 C 的兩邊，且對兩邊取對數時，成為圖 10D 的算式 D。

算式 D 的右邊是 V_g 的函數。

由上述算式可知，可以根據以縱軸為 $\ln(I_d/V_g)$ 且以橫軸為 $1/V_g$ 來得到的直線的傾斜度求得缺陷密度 N 。

也就是說，根據電晶體的 I_d-V_g 特性可以對缺陷密度進行評價。

在銦 (In)、錫 (Sn)、鋅 (Zn) 的比率為 $In:Sn:Zn=1:1:1$ 的氧化物半導體中，缺陷密度 N 是 $1 \times 10^{12}/cm^2$ 左右。

基於如上所述那樣求得的缺陷密度等可以導出 $\mu_0 = 120 cm^2/Vs$ 。

在有缺陷的 In-Sn-Zn 氧化物中測量出來的遷移率為 $35 cm^2/Vs$ 左右。

但是，可以預測到沒有半導體內部及半導體和絕緣膜之間的介面的缺陷的氧化物半導體的遷移率 μ_0 成為 $120 cm^2/Vs$ 。

然而，即使在半導體內部沒有缺陷，電晶體的傳輸特性也受通道和閘極絕緣層之間的介面中的散射的影響。換

言之，離閘極絕緣層介面有 x 的距離的位置上的遷移率 μ_1 可以由圖 10E 的算式 E 表示。

在此， D 是閘極方向上的電場，且 B 、 G 是常數。 B 及 G 可以根據實際的測量結果求得。根據上述測量結果， $B=4.75 \times 10^7 \text{ cm/s}$ ， $G=10 \text{ nm}$ （介面散射到達的深度）。

可知當 D 增加（即，閘極電壓增高）時，算式 E 的第二項也增加，所以遷移率 μ_1 降低。

圖 11 示出計算一種電晶體的遷移率 μ_2 而得到的結果 E，在該電晶體中將沒有半導體內部的缺陷的理想的氧化物半導體用於通道。

另外，在計算中，使用 Synopsys 公司製造的軟體 Sentaurs Device。

在計算中，作為氧化物半導體，將能隙設定為 2.8 電子伏特，將電子親和力設定為 4.7 電子伏特，將相對介電常數設定為 15，並將厚度設定為 15 nm。

上述值藉由測定以濺射法形成的薄膜來得到。

再者，將閘極的功函數設定為 5.5 電子伏特，將源極電極的功函數設定為 4.6 電子伏特，並且將汲極電極的功函數設定為 4.6 電子伏特。

另外，將閘極絕緣層的厚度設定為 100 nm，並將相對介電常數設定為 4.1。通道長度和通道幅度都為 10 μm ，而汲極電極電壓 V_d 為 0.1 V。

如計算結果 E 所示，雖然當閘極電壓為 1 V 多時遷移

率示出 $100\text{cm}^2/\text{Vs}$ 以上的峰值，但是當閘極電壓更高時，介面散射變大，並遷移率降低。

另外，爲了降低介面散射，較佳的是，在原子級上將半導體層表面設定爲平坦（Atomic Layer Flatness）。

對使用具有上述遷移率的氧化物半導體形成微型電晶體時的特性進行計算。

另外，用於計算的電晶體是如下電晶體，即在氧化物半導體膜中，通道形成區夾在一對 n 型半導體區之間。

在計算中，一對 n 型半導體區的電阻率爲 $2 \times 10^{-3} \Omega\text{cm}$ 。

另外，在計算中，通道長度爲 33nm ，通道寬度爲 40nm 。

另外，在閘極電極的側面上有側壁。

在計算中，將與側壁重疊的半導體區爲偏置（offset）區。

在計算中，使用 Synopsys 公司製造的軟體 Sentaurus Device。

圖 12A 至 12C 示出電晶體的汲極電極電流（ I_d ，實線）及遷移率（ μ ，虛線）的閘極電壓（ V_g ，閘極與源極電極的電位差）依賴性的計算結果。

將汲極電極電壓（汲極電極與源極電極的電位差）設定爲 $+1\text{V}$ 來計算汲極電極電流 I_d ，並且將汲極電極電壓設定爲 $+0.1\text{V}$ 來計算遷移率 μ 。

在圖 12A 的計算中，閘極絕緣層的厚度爲 15nm 。

在圖 12B 的計算中，閘極絕緣層的厚度為 10nm 。

在圖 12C 的計算中，閘極絕緣層的厚度為 5nm 。

閘極絕緣層越薄，尤其是截止狀態下的汲極電極電流 I_d （截止電流）越顯著降低。

另一方面，遷移率 μ 的峰值或導通狀態時的汲極電極電流 I_d （導通電流）沒有顯著的變化。

圖 13A 至 13C 示出當偏置長度（側壁長度） L_{off} 為 5nm 時的汲極電極電流 I_d （實線）及遷移率 μ （虛線）的閘極電壓 V_g 依賴性。

將汲極電極電壓設定為 $+1\text{V}$ 來計算汲極電極電流 I_d ，並且將汲極電極電壓設定為 $+0.1\text{V}$ 來計算遷移率 μ 。

在圖 13A 的計算中，閘極絕緣層的厚度為 15nm 。

在圖 13B 的計算中，閘極絕緣層的厚度為 10nm 。

在圖 13C 的計算中，閘極絕緣層的厚度為 5nm 。

另外，圖 14A 至 14C 示出當偏置長度（側壁長度） L_{off} 為 15nm 時的汲極電極電流 I_d （實線）及遷移率 μ （虛線）的閘極電壓 V_g 依賴性。

將汲極電極電壓設定為 $+1\text{V}$ 來計算汲極電極電流 I_d ，並且將汲極電極電壓設定為 $+0.1\text{V}$ 來計算遷移率 μ 。

在圖 14A 的計算中，閘極絕緣層的厚度為 15nm 。

在圖 14B 的計算中，閘極絕緣層的厚度為 10nm 。

在圖 14C 的計算中，閘極絕緣層的厚度為 5nm 。

無論在圖 13A 至 13C 中還是在圖 14A 至 14C 中，都是閘極絕緣層越薄，截止電流越顯著降低，但是遷移率 μ

的峰值或導通電流沒有顯著的變化。

另外，在圖 12A 至 12C 中遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$ 左右，而在圖 13A 至 13C 中遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，且在圖 14A 至 14C 中遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ 左右。偏置長度 L_{off} 越增加，遷移率 μ 的峰值越降低。

另外，截止電流也有同樣的趨勢。

另一方面，雖然導通電流也隨著偏置長度 L_{off} 的增加而減少，但是該減少與截止電流的降低相比則要平緩得多。

另外，可知當閘極電壓為 1V 前後時汲極電極電流超過記憶元件等所需要的 $10\mu\text{A}$ 。

本實施方式的內容的一部分或全部可以與其他實施方式組合而實施。

實施方式 7

使用含有 In、Sn、Zn 的氧化物半導體 (ITZO) 的電晶體藉由當形成該氧化物半導體時加熱基板進行成膜或在形成氧化物半導體膜之後進行熱處理來可以得到良好的特性。

另外，較佳的是，包含在組成比上分別占 5atomic% 以上的 In、Sn、Zn。

藉由在形成含有 In、Sn、Zn 的氧化物半導體膜之後意圖性地加熱基板，可以提高電晶體的場效應遷移率。

另外，可以使 n 通道型電晶體的臨界值電壓向正方向

漂移。

藉由使 n 通道型電晶體的臨界值電壓向正方向漂移，可以使用來維持 n 通道型電晶體的截止狀態的電壓絕對值低，從而可以實現低耗電量化。

再者，藉由使 n 通道型電晶體的臨界值電壓向正方向漂移而使臨界值電壓為 $0V$ 以上，可以形成常關閉型電晶體。

以下示出使用 ITZO 的電晶體的特性。

（樣品 A 至 C 的共同條件）

在如下條件下在基板上形成 $15nm$ 的氧化物半導體膜，該條件是：使用組成比為 $In:Sn:Zn=1:1:1$ 的靶材；氣體流量比為 $Ar/O_2=6/9sccm$ ；成膜壓力為 $0.4Pa$ ；並且成膜電力為 $100W$ 。

接著，以氧化物半導體膜成為島狀的方式對該氧化物半導體膜進行蝕刻加工。

然後，在氧化物半導體膜上形成 $50nm$ 的鎢層，對該鎢層進行蝕刻加工來形成源極電極及汲極電極。

接著，藉由電漿 CVD 法使用矽烷氣體（ SiH_4 ）和一氧化二氮（ N_2O ）來形成 $100nm$ 的氧氮化矽膜（ $SiON$ ），並且將其用作閘極絕緣層。

接著，形成 $15nm$ 的氮化鉬，形成 $135nm$ 的鎢，並且對它們進行蝕刻加工來形成閘極電極。

再者，使用電漿 CVD 法形成 $300nm$ 的氧氮化矽膜（ $SiON$ ），形成 $1.5\mu m$ 的聚醯亞胺膜，並且將其用作層

間絕緣膜。

接著，在層間絕緣膜中形成接觸孔，形成 50nm 的第一鈦膜，形成 100nm 的鋁膜，形成 50nm 的第二鈦膜，並且對它們進行蝕刻加工來形成用來測量的焊盤。

如上所述形成具有電晶體的半導體裝置。

(樣品 A)

在樣品 A 的形成製程中，在形成氧化物半導體膜時不對基板進行意圖性的加熱。

另外，在樣品 A 的形成製程中，在形成氧化物半導體膜之後且在對氧化物半導體膜進行蝕刻加工之前不進行加熱處理。

(樣品 B)

在樣品 B 的形成製程中，在以使基板溫度為 200℃ 的方式加熱基板的狀態下形成氧化物半導體膜。

另外，在樣品 B 的形成製程中，在形成氧化物半導體膜之後且在對氧化物半導體膜進行蝕刻加工之前不進行加熱處理。

爲了去除在氧化物半導體膜中成爲施體的氫，在加熱基板的狀態下形成膜。

(樣品 C)

在樣品 C 的形成製程中，在以使基板溫度為 200℃ 的方式加熱基板的狀態下形成氧化物半導體膜。

再者，在樣品 C 的形成製程中，在形成氧化物半導體膜之後且在對氧化物半導體膜進行蝕刻加工之前在氮氣圍

下以 650°C 進行 1 小時的加熱處理，然後在氧氣圍下以 650°C 進行 1 小時的加熱處理。

爲了去除在氧化物半導體膜中成爲施體的氫，在氮氣圍下進行 650°C 且 1 小時的加熱處理。

在此，在用來去除在氧化物半導體膜中成爲施體的氫的加熱處理中氧也脫離，並且也產生在氧化物半導體膜中成爲載子的氧缺陷。

於是，藉由在氧氣圍下以 650°C 進行 1 小時的加熱處理，降低氧缺陷。

(樣品 A 至 C 的電晶體的特性)

圖 15A 示出樣品 A 的電晶體的初期特性。

圖 15B 示出樣品 B 的電晶體的初期特性。

圖 15C 示出樣品 C 的電晶體的初期特性。

樣品 A 的電晶體的場效應遷移率爲 $18.8\text{cm}^2/\text{Vsec}$ 。

樣品 B 的電晶體的場效應遷移率爲 $32.2\text{cm}^2/\text{Vsec}$ 。

樣品 C 的電晶體的場效應遷移率爲 $34.5\text{cm}^2/\text{Vsec}$ 。

在此，當使用透射型電子顯微鏡 (TEM) 觀察使用與樣品 A 至 C 相同的形成方法形成的氧化物半導體膜的剖面時，在使用與樣品 B 及樣品 C 相同的形成方法形成的樣品中確認到結晶性，該樣品 B 及樣品 C 爲在成膜時加熱基板的樣品。

並且，在成膜時加熱基板的樣品具有結晶部分和非結晶部分，並且該結晶部分的取向在 c 軸取向上一致。

在通常的多晶中結晶部分的取向不一致，分別朝向不

同方向，因此在成膜時加熱基板的樣品可以說是從來沒有的新的結晶結構。

另外，當對圖 15A 至 15C 進行比較時，藉由在成膜時加熱基板或在成膜後進行加熱處理來可以去除成為施體的氫元素，因此可以使 n 通道型電晶體的臨界值電壓向正方向漂移。

即，與在成膜時不加熱基板的樣品 A 的臨界值電壓相比，在成膜時加熱基板的樣品 B 的臨界值電壓向正方向漂移。

另外，樣品 B 及樣品 C 是在成膜時加熱基板的樣品，在對樣品 B 和樣品 C 進行比較時，與在成膜後不進行成膜處理的樣品 B 相比，在成膜後進行加熱處理的樣品 C 的臨界值電壓向正方向漂移。

另外，因為加熱處理的溫度越高，輕元素如氫越容易脫離，所以加熱處理的溫度越高，氫越容易脫離。

因此可知，藉由進一步提高成膜時或成膜後的加熱處理的溫度，可以進一步使臨界值電壓向正方向漂移。

（樣品 B 和樣品 C 的閘極 BT 壓力測試結果）

對樣品 B（在成膜後不進行加熱處理）及樣品 C（在成膜後進行加熱處理）進行閘極 BT 壓力測試。

首先，將基板溫度設定為 25°C ，將 V_d 設定為 10V ，對電晶體的 V_g-I_d 特性進行測量，來測量在加熱並施加正的高電壓之前的電晶體的特性。

接著，將基板溫度設定為 150°C ，將 V_d 設定為

0.1 V。

然後，將 V_g 設定為 20V，一直保持該狀態 1 小時。

接著，將 V_g 設定為 0V。

接著，將基板溫度設定為 25°C，將 V_d 設定為 10V，而測量電晶體的 V_g-I_d ，以測量在加熱並施加正的高電壓之後的電晶體的特性。

將如上所述對在加熱並施加正的高電壓前後的電晶體的特性進行比較的測試稱為正 BT 測試。

另一方面，首先將基板溫度設定為 25°C，將 V_d 設定為 10V，測量電晶體的 V_g-I_d 特性，以測量在加熱並施加負的高電壓之前電晶體的特性。

接著，將基板溫度設定為 150°C，將 V_d 設定為 0.1V。

接著，將 V_g 設定為 -20V，一直保持該狀態 1 小時。

接著，將 V_g 設定為 0V。

接著，將基板溫度設定為 25°C，將 V_d 設定為 10V，測量電晶體的 V_g-I_d ，以測量在加熱並施加負的高電壓之後的電晶體的特性。

將如上所述對在加熱並施加負的高電壓前後的電晶體的特性進行比較的測試稱為負 BT 測試。

圖 16A 是樣品 B 的正 BT 測試的結果，而圖 16B 是樣品 B 的負 BT 測試的結果。

圖 17A 是樣品 C 的正 BT 測試的結果，而圖 17B 是樣品 C 的負 BT 測試的結果。

正 BT 測試及負 BT 測試為辨別電晶體的劣化程度的測試。藉由參照圖 16A 及圖 17A 可知，藉由至少進行正 BT 測試的處理，可以使臨界值電壓向正方向漂移。

尤其是，參照圖 16A 可知，藉由進行正 BT 測試的處理，電晶體變為常關閉型電晶體。

因此可知，除了形成電晶體時的加熱處理，還進行正 BT 測試的處理，來可以促進臨界值電壓向正方向漂移，從而可以形成常關閉型電晶體。

圖 18 示出樣品 A 的電晶體的截止電流與測量時的基板溫度（絕對溫度）的倒數的關係。

在此，橫軸表示測量時的基板溫度的倒數乘以 1000 而得到的數值（ $1000/T$ ）。

圖 18 示出通道寬度為 $1\mu\text{m}$ 時的電流量。

當基板溫度為 125°C （ $1000/T$ 為大約 2.51）時，截止電流為 $1\times 10^{-19}\text{A}$ 以下。

當基板溫度為 85°C （ $1000/T$ 為大約 2.79）時，截止電流為 $1\times 10^{-20}\text{A}$ 以下。

據此，可知其截止電流量比使用矽半導體的電晶體的截止電流極低。

另外，因為溫度越低，截止電流越降低，所以在常溫下截止電流更低。

本實施方式的內容的一部分或全部可以與其他所有實施方式組合而實施。

實施方式 8

在本實施方式中，使用圖 4A 至 4E 說明使用本發明的一個方式的儲存裝置的利用例子。在本實施方式中，對將上述儲存裝置應用於電腦、行動電話機（也稱為行動電話、行動電話裝置）、可攜式資訊終端（也包括可攜式遊戲機、聲音再現裝置等）、電子紙、電視裝置（也稱為電視、電視接收機）等電子裝置的情況進行說明。

圖 4A 示出筆記本型個人電腦，該筆記本型個人電腦包括外殼 701、外殼 702、顯示部 703、鍵盤 704 等。在外殼 701 和外殼 702 中的至少一方中設置有上述實施方式所示的儲存裝置。因此，可以實現以高速寫入及讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的筆記本型個人電腦。

圖 4B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 及操作按鈕 714 等。此外，它還包括用來操作可攜式資訊終端的觸摸筆 712 等。在主體 711 中設置有上述實施方式所示的儲存裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的可攜式資訊終端。

圖 4C 示出安裝有電子紙的電子書閱讀器 720，該電子書閱讀器 720 包括兩個外殼，即外殼 721 和外殼 723。外殼 721 設置有顯示部 725，並且外殼 723 設置有顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。此外，外殼 721 包括

電源開關 731、操作鍵 733 及揚聲器 735 等。在外殼 721 和外殼 723 中的至少一方中設置有上述實施方式所示的儲存裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的電子書閱讀器。

圖 4D 示出行動電話機，該行動電話機包括兩個外殼，即外殼 740 和外殼 741。再者，滑動外殼 740 和外殼 741 而可以從如圖 4D 所示那樣的展開狀態變成重疊狀態，因此可以實現適於攜帶的小型化。此外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括對行動電話機進行充電的太陽能電池單元 749 和外部記憶體插槽 750 等。此外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一方設置有上述實施方式所示的儲存裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的行動電話機。

圖 4E 示出電視裝置 770，該電視裝置 770 包括外殼 771、顯示部 773 以及支架 775 等。可以使用外殼 771 所具有的開關、遙控操作機 780 來進行電視裝置 770 的操作。外殼 771 及遙控操作機 780 設置有上述實施方式所示的儲存裝置。因此，可以實現以高速寫入和讀出資訊，能夠長期保持儲存內容，而且耗電量被充分降低了的電視裝置。

如上所述，根據本實施方式的電子裝置安裝有根據上述實施方式的儲存裝置。因此，可以實現耗電量被降低了的電子裝置。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是儲存裝置的電路圖；

圖 2 是儲存裝置的電路圖；

圖 3A 至 3D 是根據儲存裝置的製造製程的剖面圖；

圖 4A 至 4E 是用來對使用儲存裝置的電子裝置進行說明的圖；

圖 5 是儲存裝置的電路圖；

圖 6 是儲存裝置的電路圖；

圖 7A 至 7E 是氧化物半導體的一個例子；

圖 8A 至 8C 是氧化物半導體的一個例子；

圖 9A 至 9C 是氧化物半導體的一個例子；

圖 10A 至 10E 是用來計算遷移率的算式；

圖 11 是閘極電壓和場效應遷移率的關係；

圖 12A 至 12C 是閘極電壓與汲電流的關係；

圖 13A 至 13C 是閘極電壓與汲電流的關係；

圖 14A 至 14C 是閘極電壓與汲電流的關係；

圖 15A 至 15C 是電晶體的特性；

圖 16A 和 16B 是電晶體的特性；

圖 17A 和 17B 是電晶體的特性；

圖 18 是電晶體的截止電流的溫度依賴性。

【主要元件符號說明】

- 001：電晶體
- 002：儲存電容元件
- 003：電容元件
- 004：節點
- 005：放大電路
- 100：儲存單元
- 200：儲存單元
- 201：電晶體
- 204：節點
- 205：放大電路
- 210：差動放大電路
- 300：儲存裝置
- 400：參考電路
- 500：參考電路
- 510：差動放大電路
- 640：絕緣膜
- 642a：源極電極或汲極電極
- 642b：源極電極或汲極電極
- 644：氧化物半導體膜
- 646：閘極絕緣層
- 648a：閘極電極

648b：導電膜

662：電晶體

664：電容元件

701：外殼

702：外殼

703：顯示部

704：鍵盤

711：主體

712：觸摸筆

713：顯示部

714：操作按鈕

715：外部介面

720：電子書閱讀器

721：外殼

723：外殼

725：顯示部

727：顯示部

731：電源

733：操作鍵

735：揚聲器

737：軸部

740：外殼

741：外殼

742：顯示面板

- 743：揚聲器
- 744：麥克風
- 745：操作鍵
- 746：指向裝置
- 747：照相用透鏡
- 748：外部連接端子
- 749：太陽能電池單元
- 750：外部記憶體插槽
- 770：電視裝置
- 771：外殼
- 773：顯示部
- 775：支架
- 780：遙控操作機

七、申請專利範圍

1. 一種儲存裝置，包括：

字線；

位元線；

儲存單元，包括：

電晶體；和

儲存電容元件；

電容元件；以及

放大電路，

其中，該電晶體包括氧化物半導體，

其中，該電晶體的閘極電極電連接到該字線，

其中，該電晶體的源極電極和汲極電極其中一者電連接到該位元線，

其中，該儲存電容元件的第一端子電連接到該電晶體的該源極電極和該汲極電極中另一者，

其中，該儲存電容元件的第二端子電連接到該電容元件的第一端子，以及

其中，該放大電路電連接到該儲存電容元件的該第二端子和該電容元件的該第一端子。

2. 一種儲存裝置，包括：

字線；

多個位元線；

多個儲存單元；

電容元件；以及

放大電路，

其中，該多個儲存單元的每一者包括電晶體和儲存電容元件，

其中，該電晶體包括氧化物半導體，

其中，該電晶體的閘極電極電連接到該字線，

其中，該電晶體的源極電極和汲極電極其中一者電連接到該多個位元線中的一個，

其中，該儲存電容元件的第一端子電連接到該電晶體的該源極電極和該汲極電極中另一者，

其中，該儲存電容元件的第二端子電連接到該電容元件的第一端子，以及

其中，該放大電路電連接到該儲存電容元件的該第二端子和該電容元件的該第一端子。

3. 根據申請專利範圍第 1 或 2 項之儲存裝置，

其中該氧化物半導體包括具有 c 軸取向的結晶。

4. 根據申請專利範圍第 2 項之儲存裝置，

其中該多個儲存單元中的該儲存電容元件的電容值彼此不同。

5. 根據申請專利範圍第 2 項之儲存裝置，

其中該儲存裝置電連接到參考電路，以及

其中該參考電路包括與該多個儲存單元相同的電路結構。

6. 根據申請專利範圍第 2 項之儲存裝置，

其中該儲存裝置包括多個塊，以及

其中該多個塊的每一者包括該多個儲存單元。

7. 一種儲存裝置，包括：

字線；

第一位元線；

第二位元線；

第一儲存單元，包括

第一電晶體；和

第一儲存電容元件；

第二儲存單元，包括

第二電晶體；和

第二儲存電容元件；

電容元件；以及

放大電路，

其中，該第一電晶體包括第一氧化物半導體，

其中，該第二電晶體包括第二氧化物半導體，

其中，該第一電晶體的閘極電極電連接到該字線；

其中，該第二電晶體的閘極電極電連接到該字線，

其中，該第一電晶體的源極電極和汲極電極中其中一者電連接到該第一位元線，

其中，該第二電晶體的源極電極和汲極電極中其中一者電連接到該第二位元線，

其中，該第一儲存電容元件的第一端子電連接到該第一電晶體的該源極電極和該汲極電極中另一者，

其中，該第二儲存電容元件的第一端子電連接到該第

二電晶體的該源極電極和該汲極電極中另一者，

其中，該第一儲存電容元件的第二端子電連接到該電容元件的第一端子，

其中，該第二儲存電容元件的第二端子電連接到該電容元件的該第一端子，以及

其中，該放大電路電連接到該第一儲存電容元件的該第二端子、該第二儲存電容元件的該第二端子、和該電容元件的該第一端子。

8. 根據申請專利範圍第 1、2、和 7 項中任一項之儲存裝置，

其中該放大電路包括源極電極跟隨電路。

9. 根據申請專利範圍第 7 項之儲存裝置，

其中該第一氧化物半導體和該第二氧化物半導體各者包括具有 c 軸取向的結晶。

10. 根據申請專利範圍第 7 項之儲存裝置，

其中該第一儲存電容元件的電容值和該第二儲存電容元件的電容值彼此不同。

11. 根據申請專利範圍第 7 項之儲存裝置，

其中該儲存裝置電連接到參考電路，以及

其中該參考電路包括與該第一儲存單元及該第二儲存單元相同的電路結構。

12. 根據申請專利範圍第 7 項之儲存裝置，

其中該儲存裝置包括多個塊，以及

其中該多個塊的每一者包括該第一儲存單元和該第二

儲存單元。

13. 根據申請專利範圍第 1、2 和 7 項任一項之儲存裝置，其中接地電位供應至該電容元件的第二端子。

圖 1B

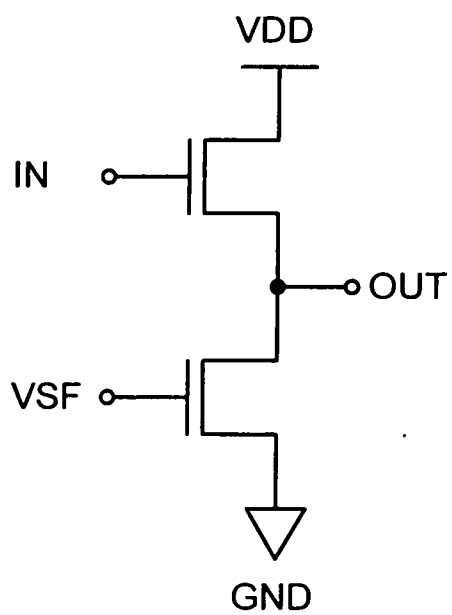


圖2

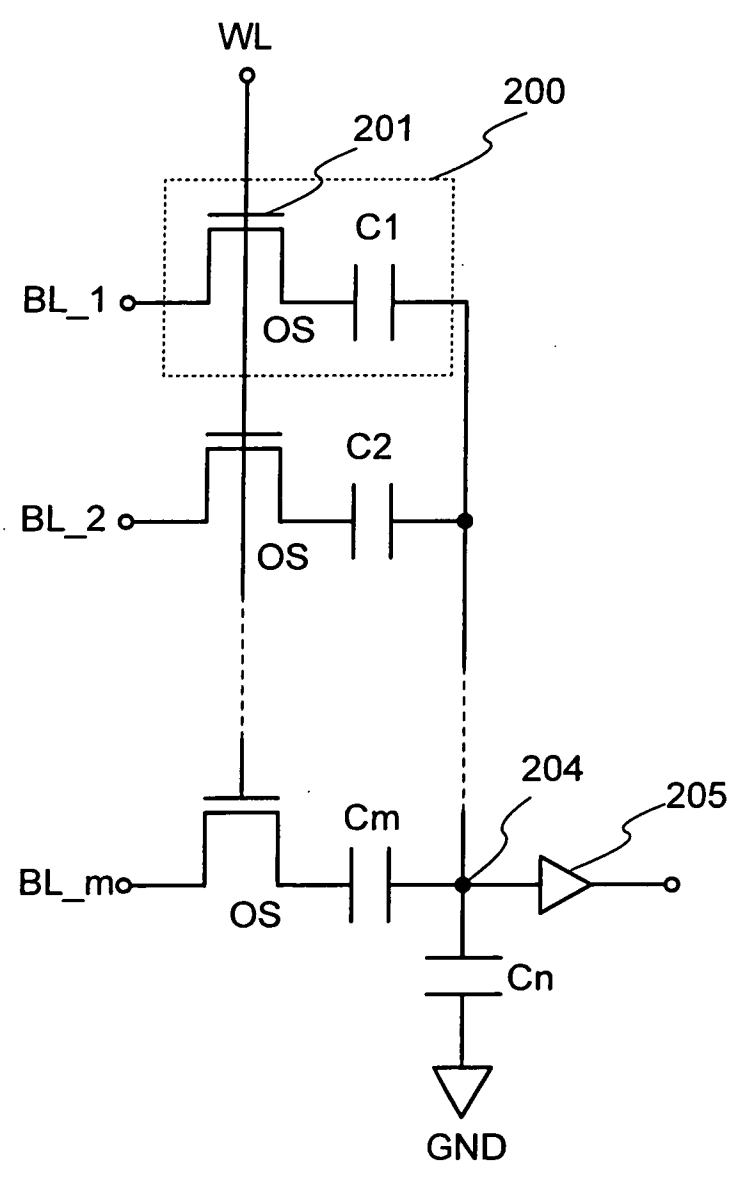


圖 3A

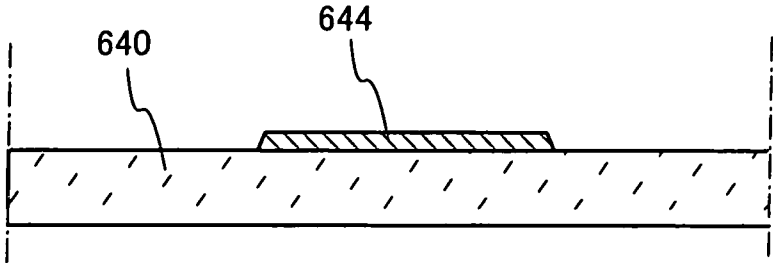


圖 3B

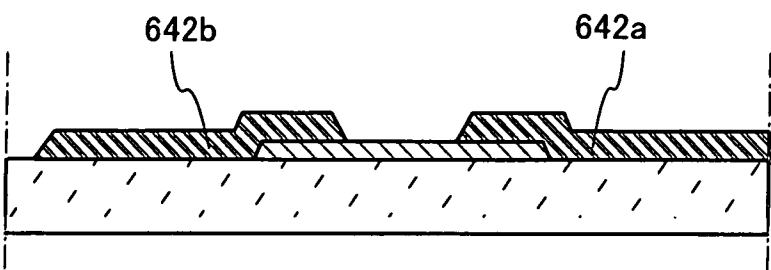


圖 3C

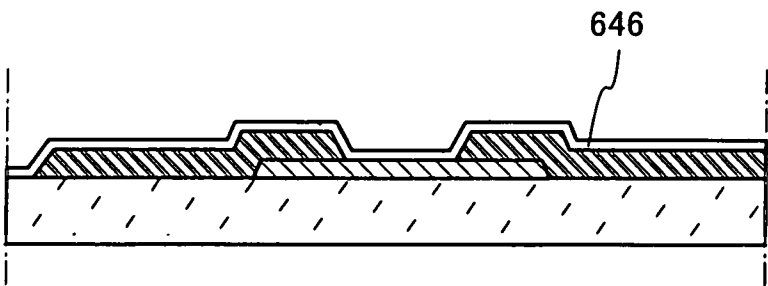


圖 3D

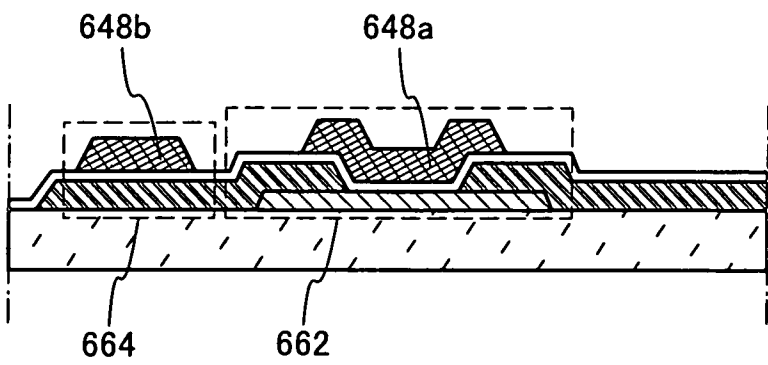


圖 4A

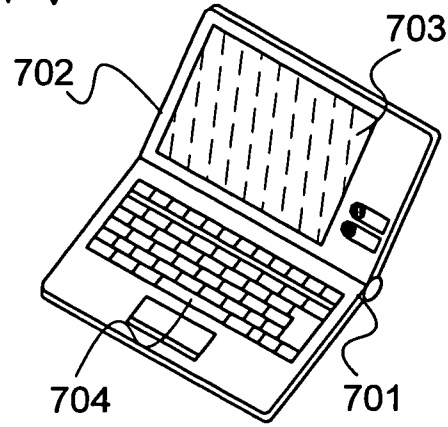


圖 4D

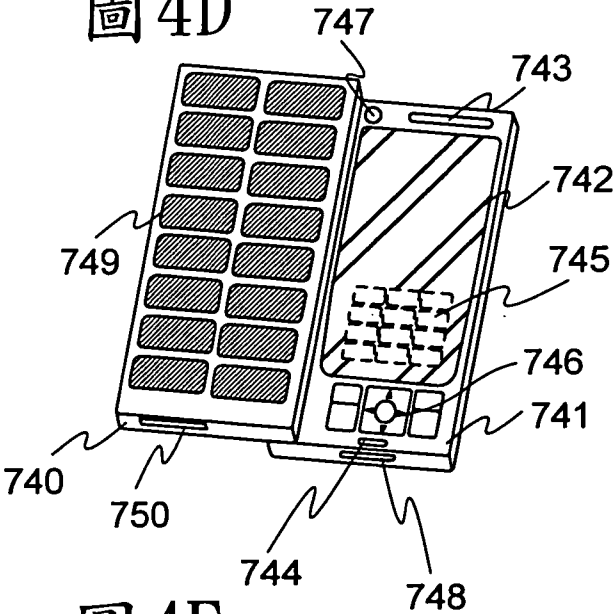


圖 4B

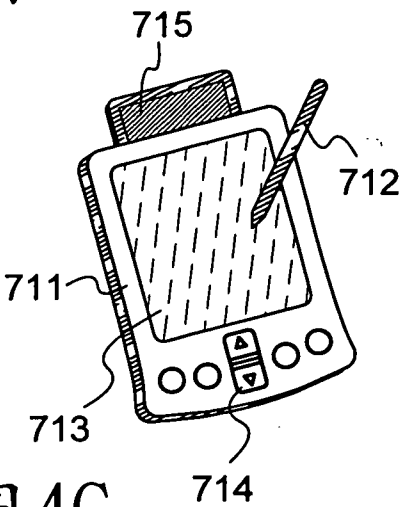


圖 4E

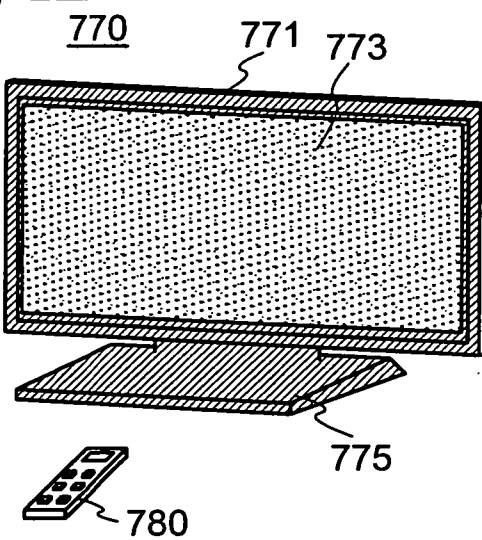


圖 4C

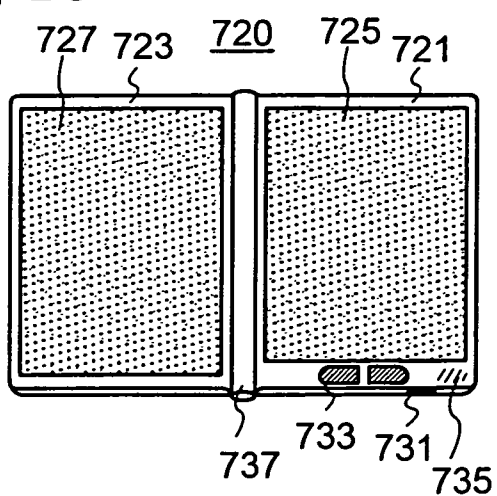


圖5

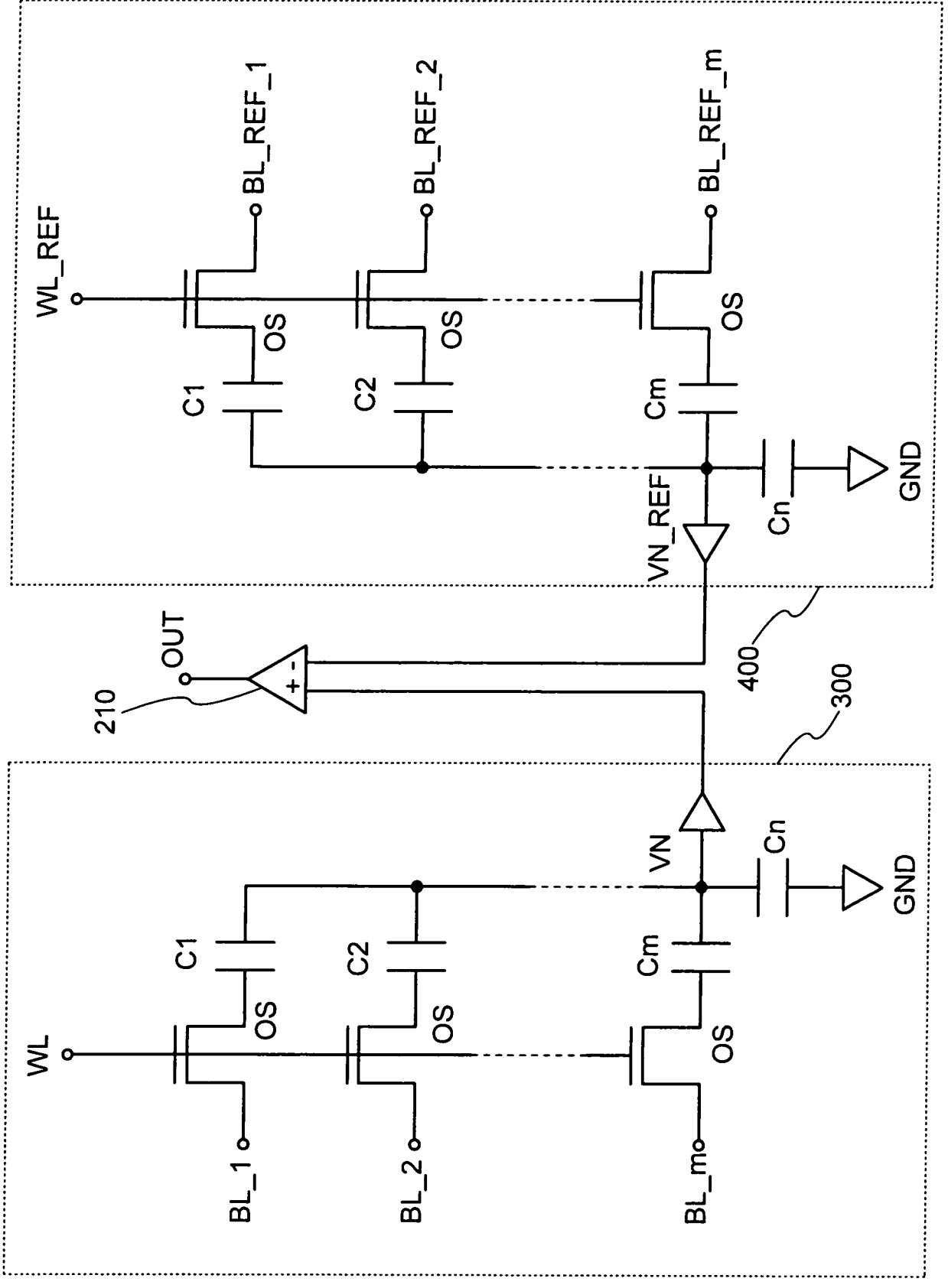


圖 6

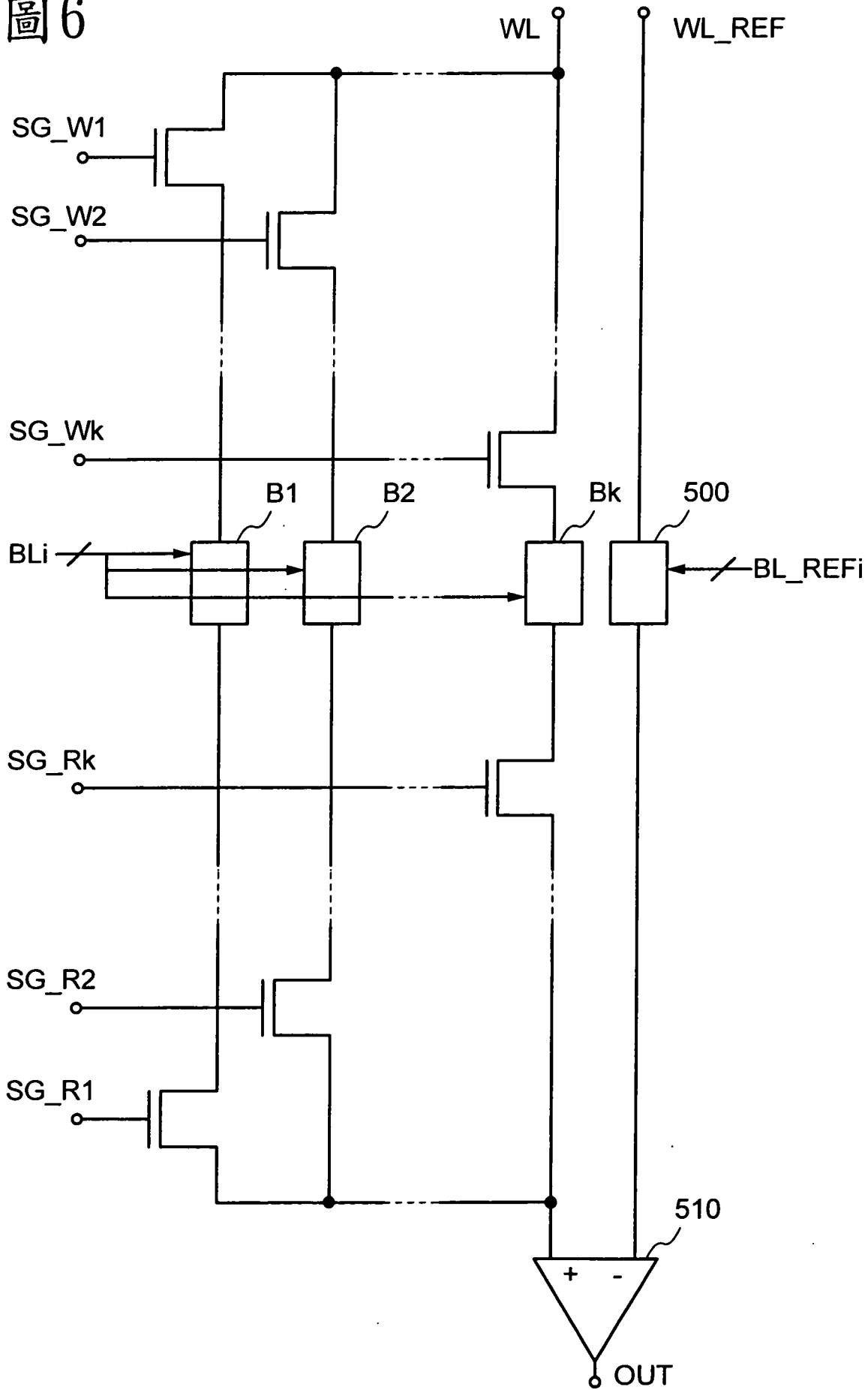
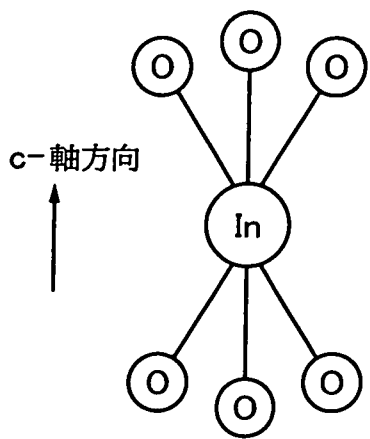
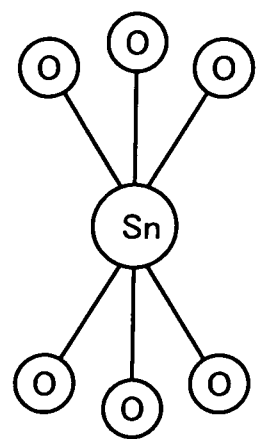


圖 7E



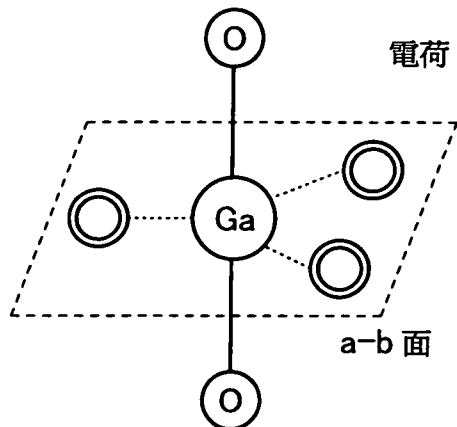
電荷 0

圖 7D



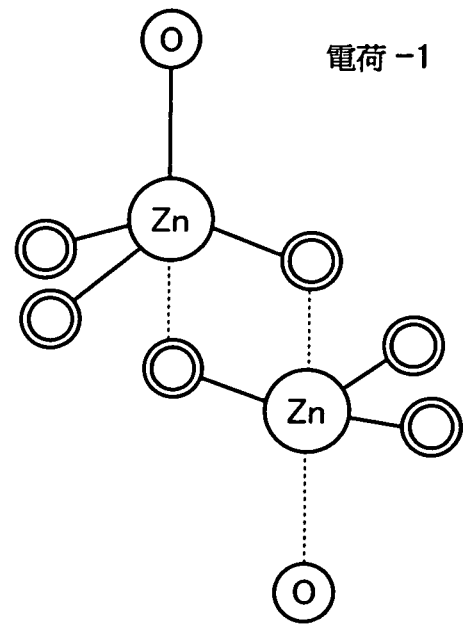
電荷 +1

圖 7B



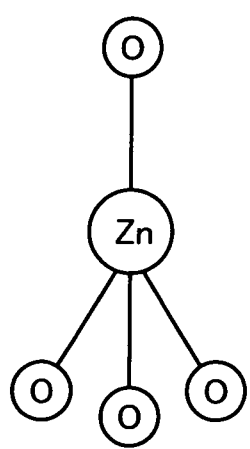
電荷 0

圖 7E



電荷 -1

圖 7C



電荷 0

圖 8A

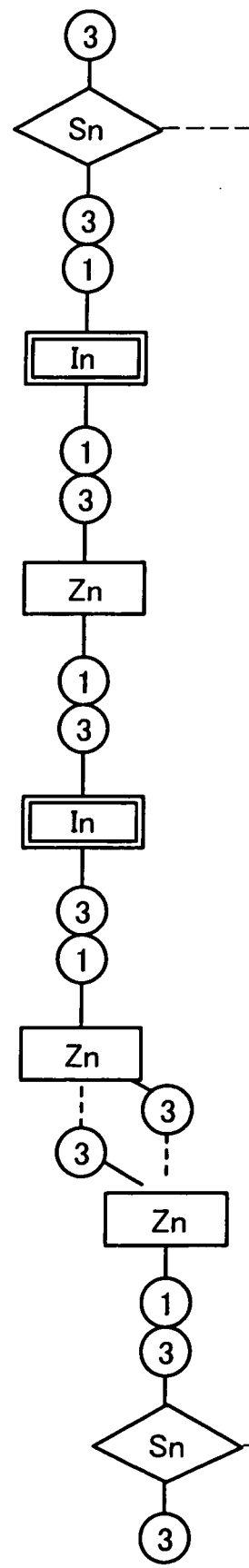
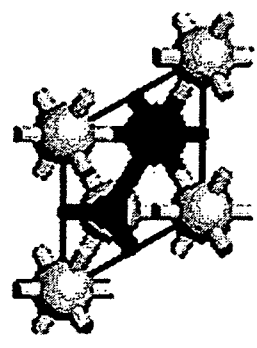


圖 8B



圖 8C



- In
- Sn
- Zn
- 0

圖 9A

圖 9B

圖 9C

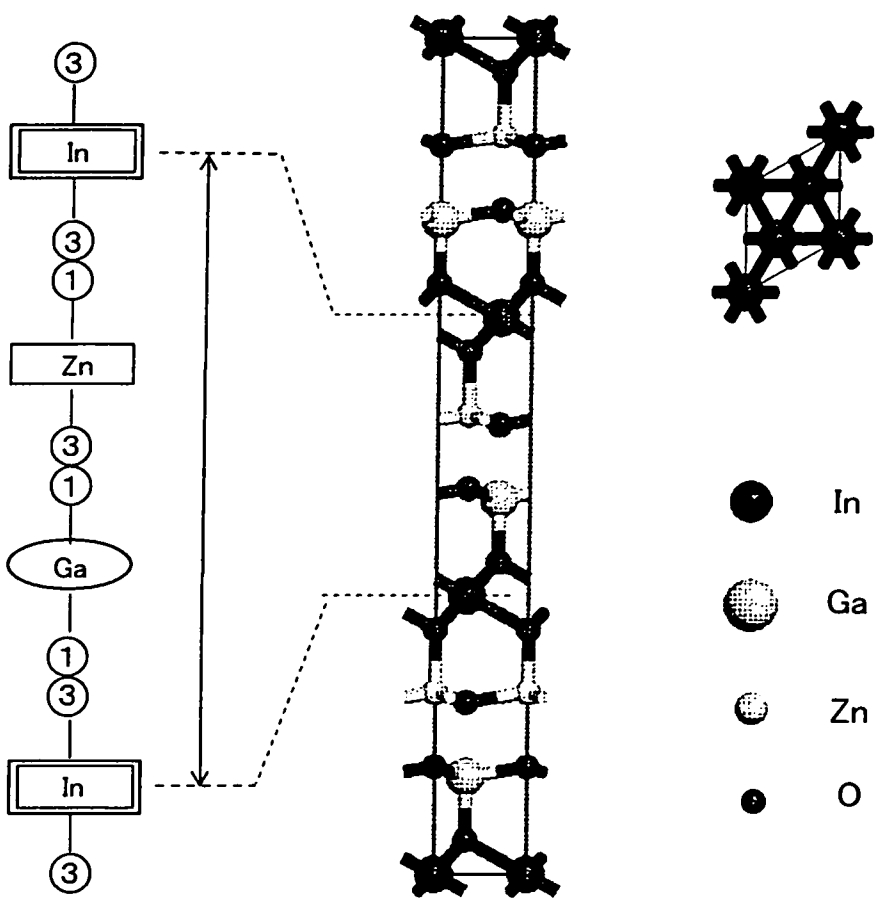


圖 10A

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

圖 10B

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

圖 10C

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

圖 10D

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_g}$$

圖 10E

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

圖 11

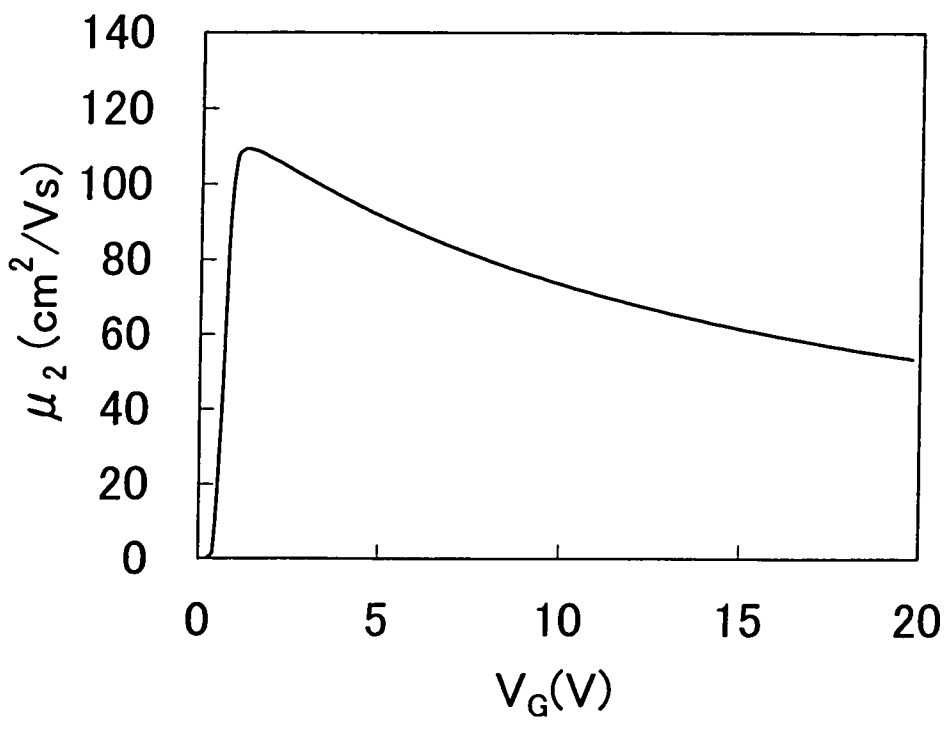


圖 12A

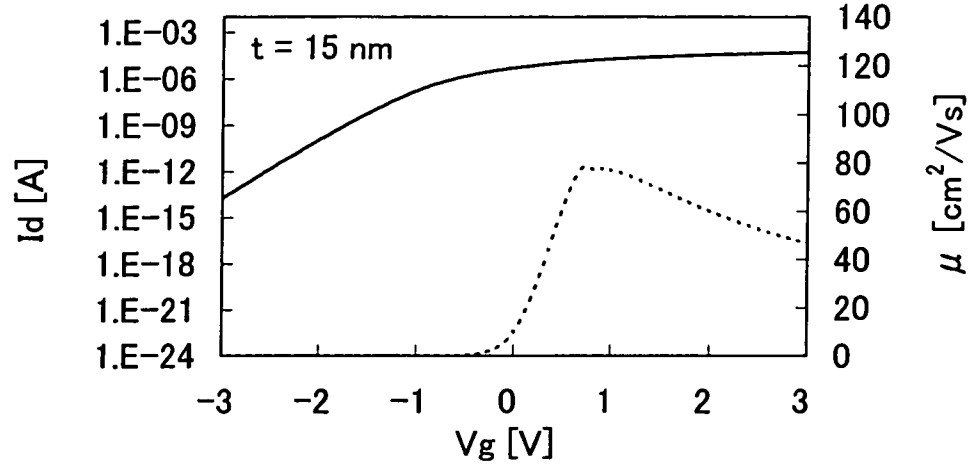


圖 12B

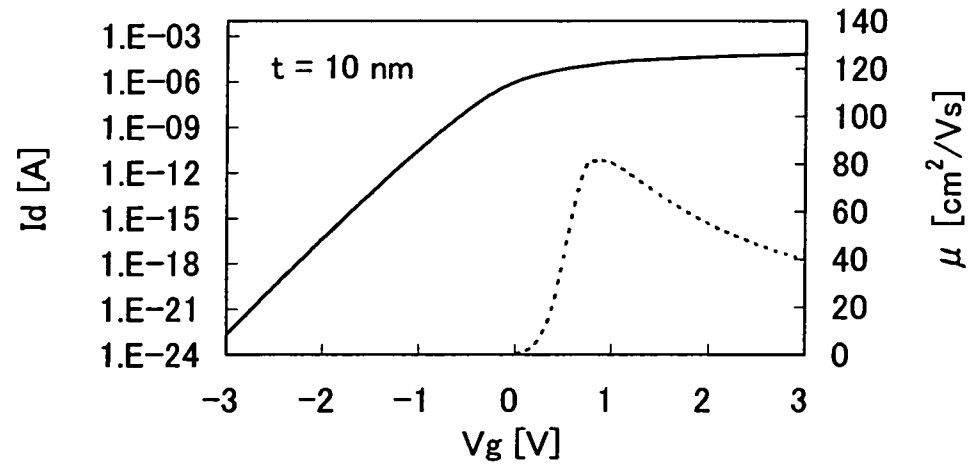


圖 12C

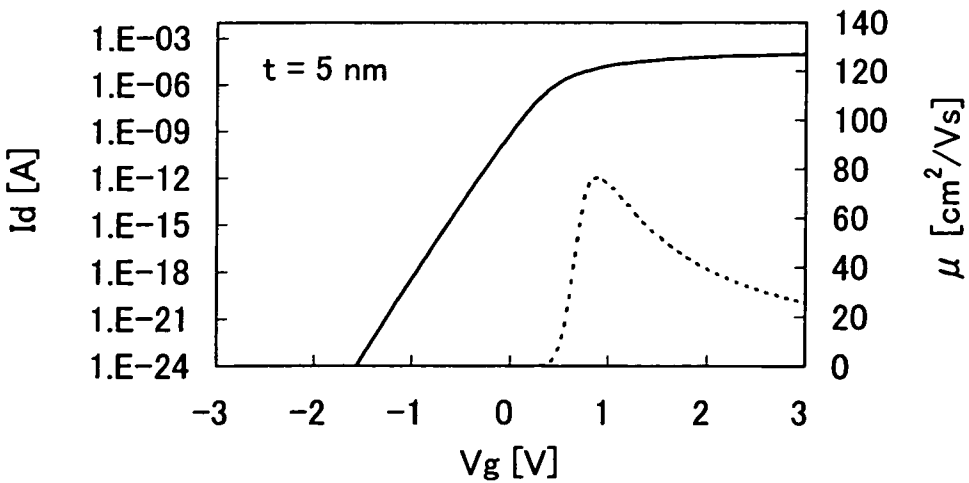


圖 13A

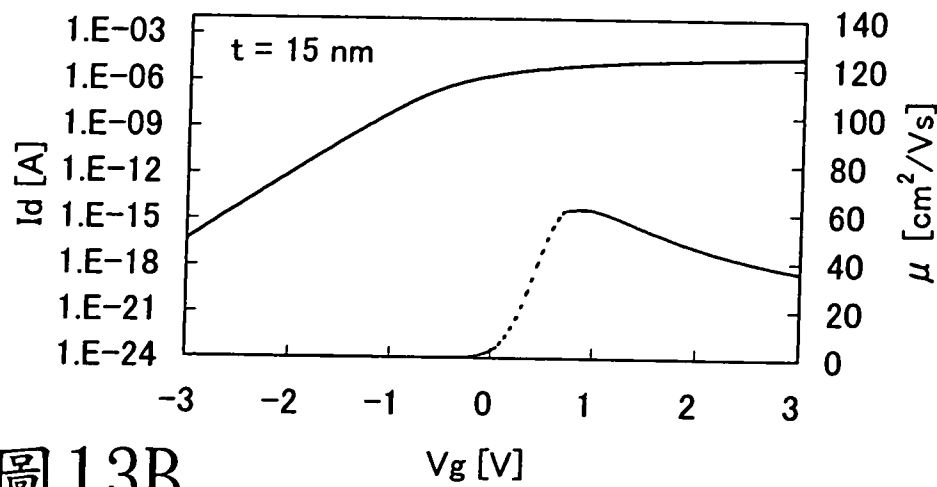


圖 13B

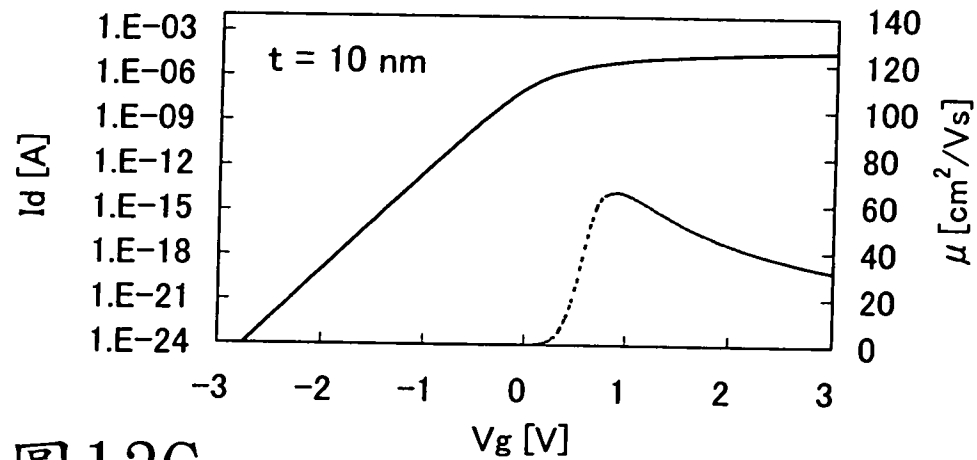


圖 13C

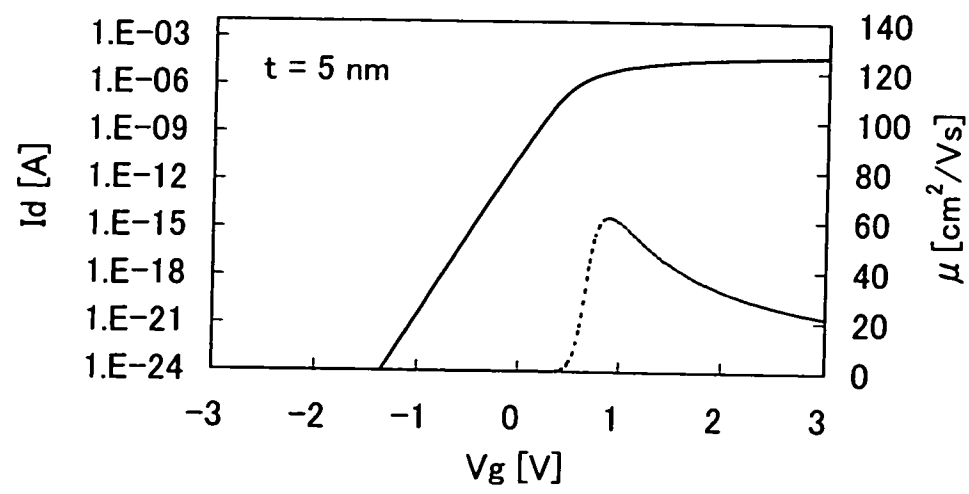


圖 14A

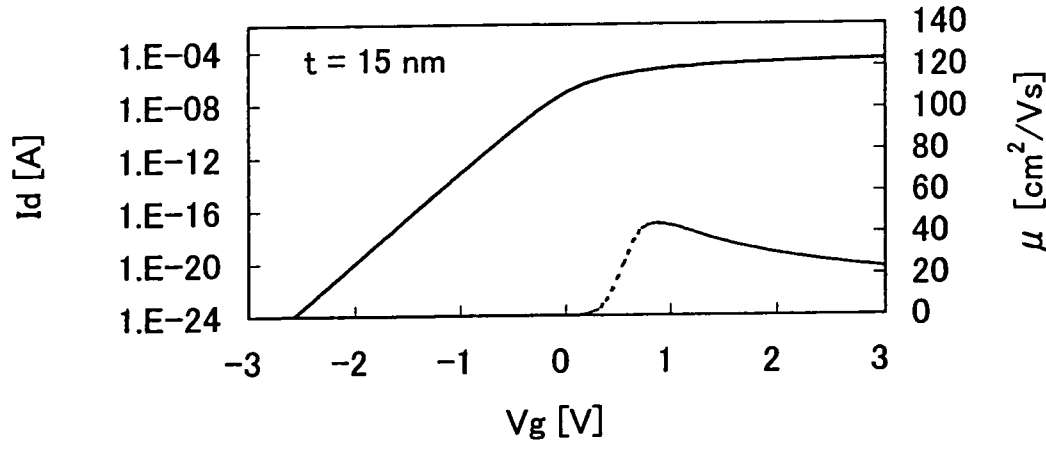


圖 14B

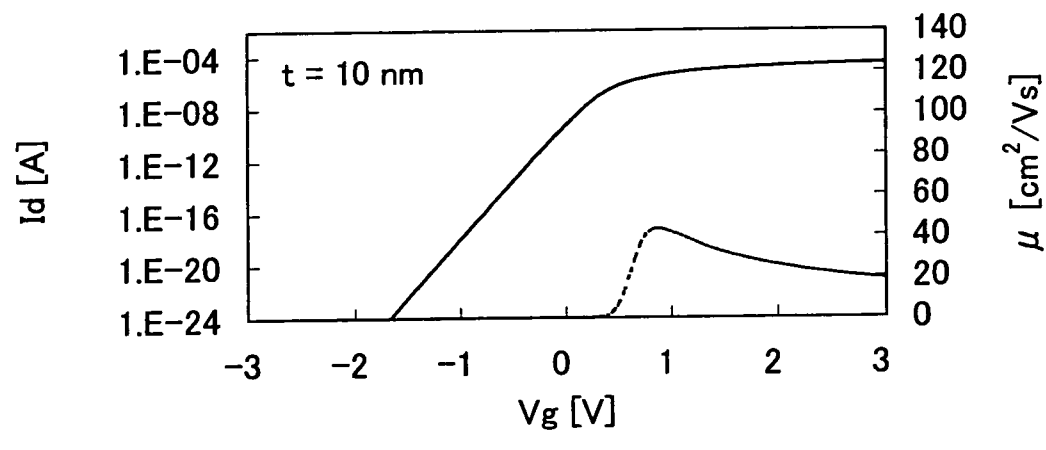


圖 14C

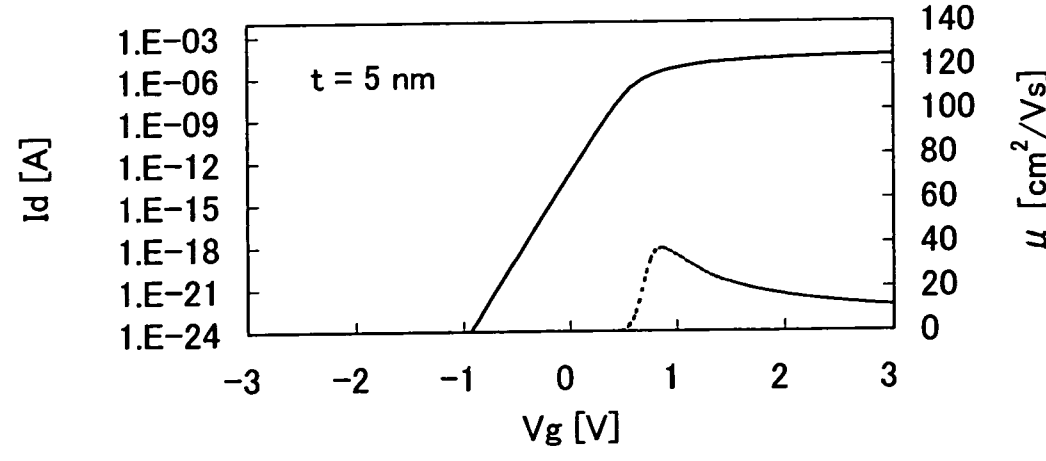


圖 15A

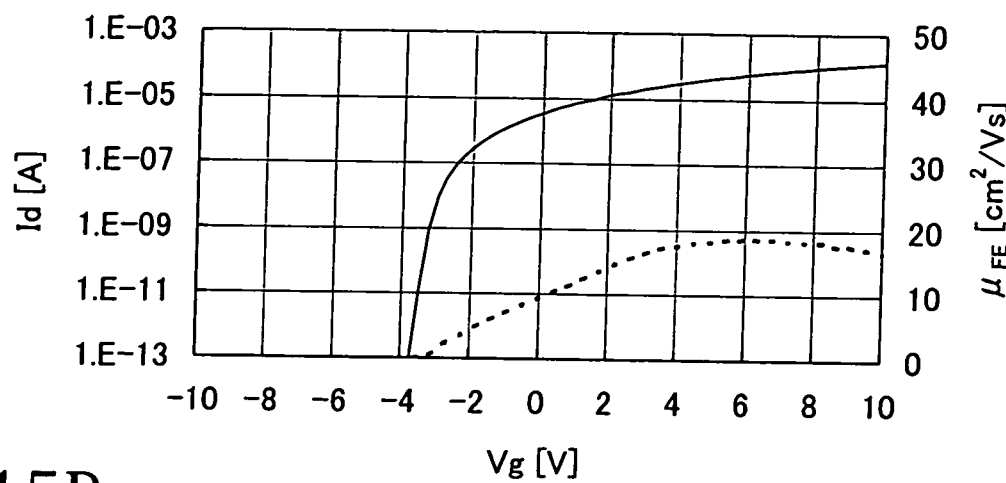


圖 15B

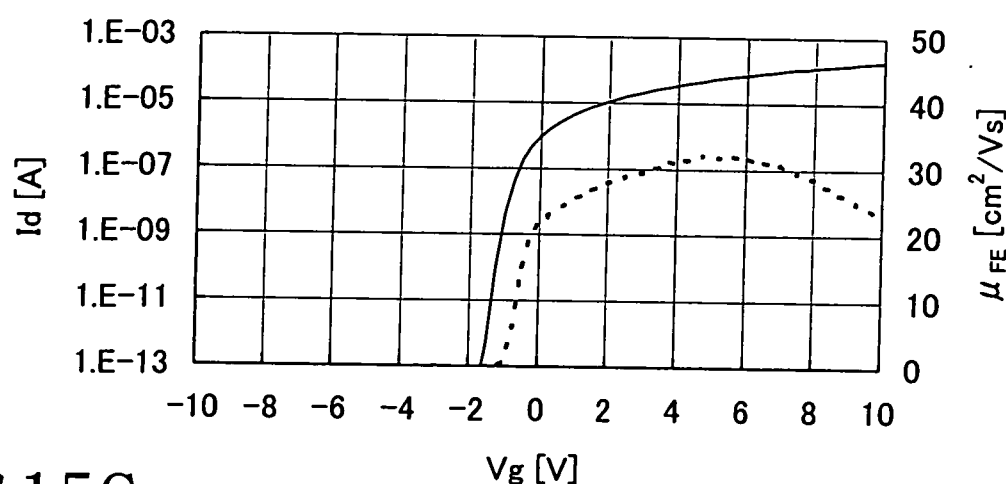


圖 15C

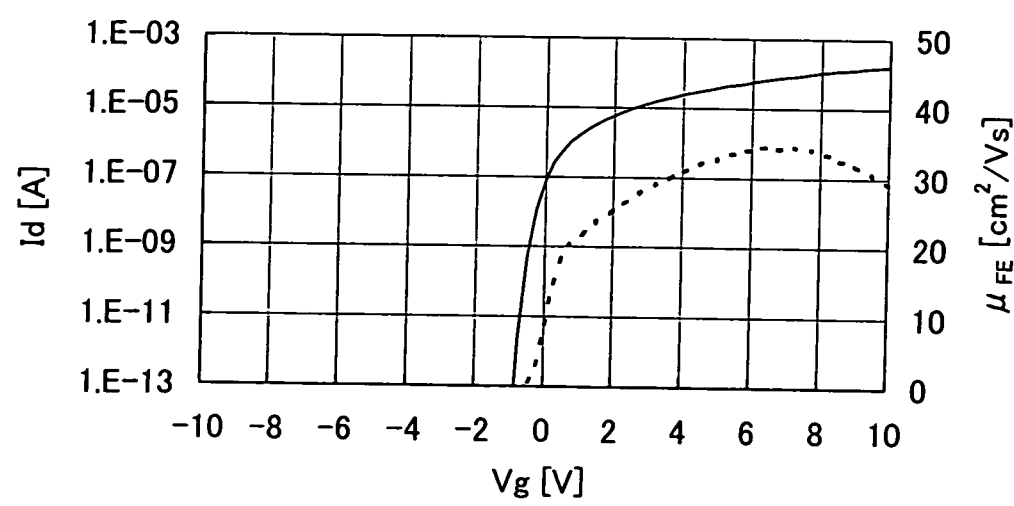


圖 16A

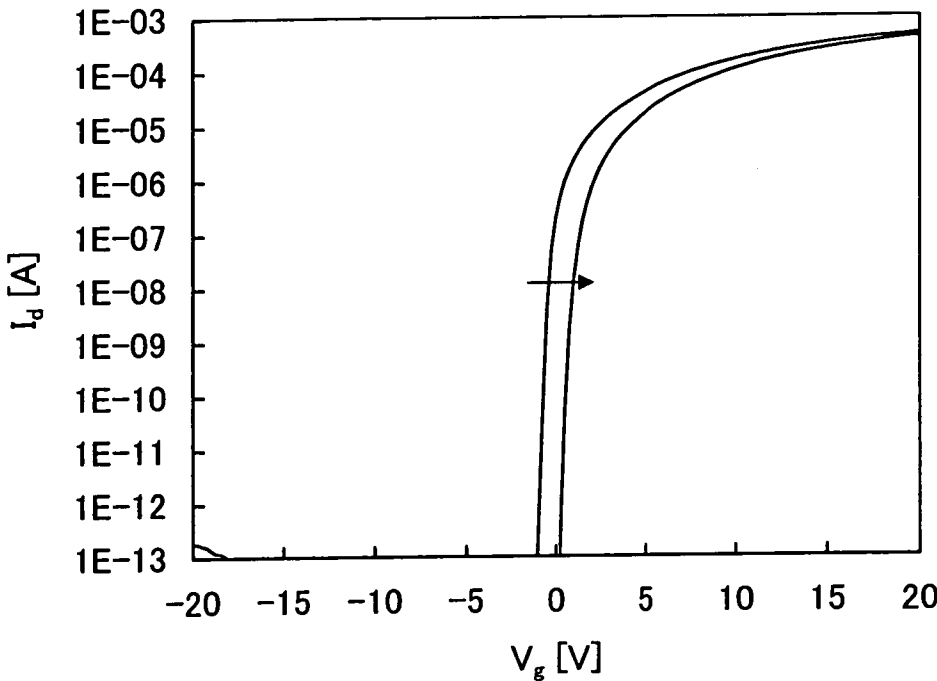


圖 16B

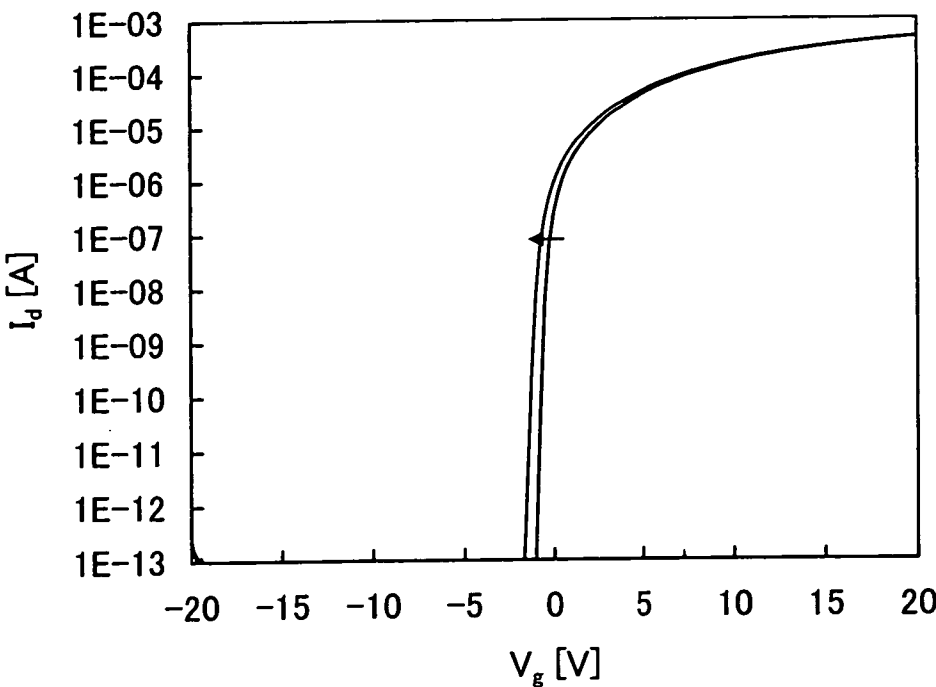


圖 17A

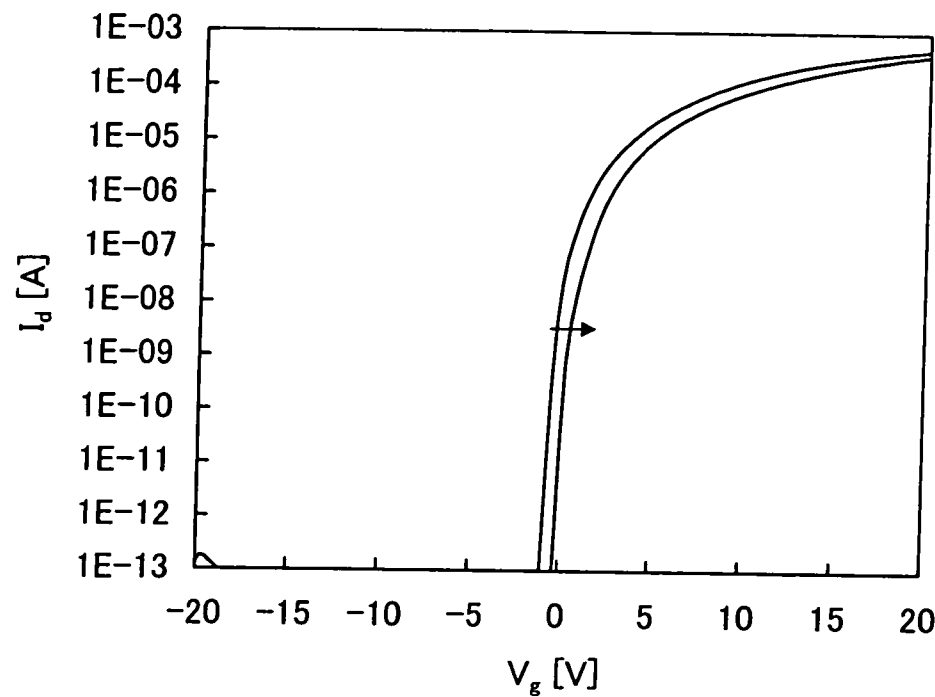


圖 17B

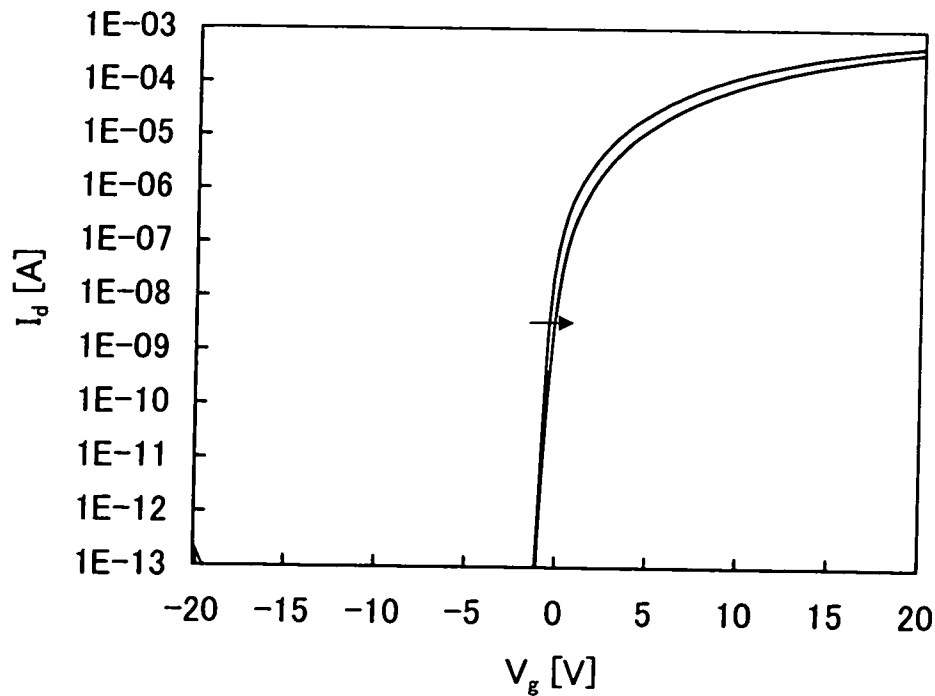


圖 18

