

225016

公告本

申請日期	82年4月22日
案號	82103082
類別	H04N16/0307 15/12 15/12

A4
C4

82.12.30

(以上各欄由本局填註)

發明 新型 專利說明書 修正本		
一、發明 名稱	中文	畫像之動態向量決定裝置
	英文	
二、發明 人	姓名	(1) 塚越郁夫
	籍貫 (國籍)	(1) 日本 (1) 日本國東京都品川區北品川六丁目七番三五號 ソニー株式会社
	住、居所	
三、申請人	姓名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	籍貫 (國籍)	(1) 日本 (1) 日本國東京都品川區北品川六丁目七番三五號
	住、居所 (事務所)	
	代表人 姓名	(1) 大賀典雄

經濟部中央標準局員工消費合作社印製

裝訂線

五、發明說明(1)

〔 產業上之技術領域 〕

本發明係關於畫像之編碼裝置，尤其是特別適用於例如藉由將畫像資料予以高效率編碼以將資量加以壓縮之後方便於傳送者之畫像之動態向量決定裝置。

〔 相關技術之簡介 〕

以往的畫像之編碼裝置爲了有效率地傳送動態畫像，在於將畫像編碼之前，預先求出傳送畫像的動態向量，並且依據此動態向量來將畫像資料予以編碼。

例如：美國專利 U S P 4, 9 8 2, 2 8 5 號、U S P 4, 9 8 5, 7 6 8 號、U S P 4, 9 8 5, 7 6 8 號係揭示有關於這種依據動態向量來將畫像資料予以編碼者。

一般而言，在動態畫像中除了「換場面 (change scene)」之外，相連續的 2 個圖格 (frame) 的畫像訊號係有相當高的相關性。因此，藉由求出圖格之間的像素 (pixel) 資料的差值後，順序地予以編碼，即可壓縮資訊量。

但是，至於有動態的部份，若單純只求出圖格間的差值的話，反而差值的資訊量會增大。

因此，便使用區塊匹配 (block matching) 之方法。

第 1 0 圖是用以說明此一區塊匹配的原理之圖。係針對第 n 圖格 (A) 與第 n + 1 圖格 (B) 進行比較。在這些圖格中，樹木 (tree) 幾乎毫無變化，即使將第 n + 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

圖格 (B) 的樹木置換成第 n 圖格 (A) 的樹木，其誤差幾乎無法看出來。

相對地，汽車 (car) 的部份就無法利用這樣的置換。因為第 n + 1 圖格 (B) 的汽車相對於第 n 圖格 (A) 的汽車，乃是因時間的經過而有許多移動。由這種移動所產生的位置變化，在於第 n + 1 圖格 (B) 上係以實線和虛線表示。

然而汽車 (car) 形狀本身，無論在於第 n 圖格 (A)，或者第 n + 1 圖格 (B) 中幾乎都未發生變化，可認為是相同。亦即可認為是將第 n 圖格 (A) 中存在有汽車 (car) 的區塊，在於下一個第 n + 1 圖格中，水平地移動過去的。因此，將認為是令此一區塊移動的情況下的移動方向、及其移動量當成動態向量予以算出，並且利用此動態向量係可減少資訊量。

在於此等圖格之間，求出區塊最佳一致的狀態之作法即稱為：區塊匹配。然而這種區塊匹配並不是立即就求出動態向量。而是如第 10 圖 (c) 所示般，一般是利用前一圖格的動態向量將前一圖格的區塊 (B 1) 在於圖格內之設定範圍內以像素 (pixel) 單位依序地朝上下左右移動，並求出構成已偏離的區塊之前一圖格的各像素與目前圖格的像素之差值。並求出該差值最小之區塊的位置 (B 2)，藉由利用當時的區塊的移動量來進行壓縮資訊量。

此處，畫像之編碼裝置係做成：令前一圖格依據前一區塊的動態向量而朝 X 及 Y 方向移動，並且將朝向所謂：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(3)

「目前區塊與朝往各方向之移動區塊之間的像素的差值絕對值的和」趨於最小的移動區塊之向量，作為目前區塊的動態向量。

此處利用第 11 圖來說明求得這種動態向量之情形。

首先針對各區塊，以一個像素 (1 pixel) 之精度來求出動態向量。並且藉由在於：以給自於這個動態向量 MV_i 的像素 (即圖中以記號 \odot 來表示的像素) 為中心，而以 $1/2$ 像素 (即圖中以記號 \square 、 \triangle 、 \times 來代表的像素) 的精度所求得的動態向量 V_i 上合成進去先前已求得之 1 像素精度的動態向量，並將此作為半像素精度 ($1/2$ 像素精度) 的動態向量 $MV_H (= MV_i + V_i)$ 。

例如：由 8 個 (水平方向) \times 8 個 (垂直方向) 的像素所構成的區塊的情況，係做成：針對於各區塊，對 64 個時脈一次求出 1 像素精度的動態向量。在這個區間中，係依照動態向量 (i 、 j) 移開該區塊，以該處為起點，而自 ($i - 1$ ， $j - 1$) 起至 ($i + 8$ ， $j + 8$) 止，以 1 像素精度來讀出 (水平方向上 10 個) \times (垂直方向上 10 個) 之資料，而結束補間 (內插) 處理。

此處，關於半像素精度的動態向量 MV_H 的檢出，首先藉由求出相鄰接的像素 (即圖中的記號 \odot 之間的補間 (內插) 點 (係以記號 \square 、 \triangle 、 \times 來表示))，而形成倍密度的檢索 (search) 領域。其次對這個檢索領域，藉由取得對於構成基準的目前區塊的匹配，而檢出動態向量

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

M V H。

至於檢測出這種半像素精度之動態向量的方法，係有：所謂「在整個檢索領域都預先進行補間，以先將補間點的像素資料存放在圖格記憶體內之方法」。

然而在這種場合，在於 64 個時脈之間有必要讀出 10 個（水平方向）× 10 個（垂直方向）的像素資料之後執行半像素精度的補間處理之故，將補間運算利用較之通常更快的時脈來執行。

而在這種場合，係以 PLL（Phase Locked Loop）電路在鎖定的狀態下產生 64 : 100 之速度的時脈。這種場合，此 PLL 的時脈比並不是簡單的整數比之故，變成含有非同步的系，而存有所謂：爲了取得同步而所需的電路構成趨於複雜之問題。

至於其他的方法，係有：預先在圖格記憶體內儲存下計算過補間資料者。

這種情況，可確實地找出半像素精度之差值絕對值和趨於最小的動態向量。但是，要進行補間所需的像素數目反而較之區塊匹配的對象之像素數目更多。因此，爲了要使區塊匹配處理的速度變成 4 倍、或者爲了要使區塊匹配處理電路做成並連處理，必須要具有 4 倍的規模。

因此，無論是那一種方法，在於構築實際的系統的方面都非常困難。

[本發明之概要]

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

本發明係有鑑於上述情事而開發完成者，係提供一種不需增加圖格記憶體的個數，只使用單一時脈系即可執行一連串之處理之畫像之編碼裝置之動態向量決定裝置。

為解決前述之課題，本發明乃係屬於一種：在求出前一單位區塊之對目前單位區塊的 1 像素精度的動態向量 $M V_i$ 之後，以這個 1 像素精度的動態向量 $M V_i$ 為基準，檢測出 $1/2$ 像素精度的動態向量 $M V_H$ 之畫像之動態向量決定裝置，係具備有：

一像素資料並列變換機構，用以將輸入到時系列的像素資料變換成依序並列的像素資料；及

一補間資料產生機構，係對被像素資料並列變換機構所變換後的並列像素資料進行補間處理，以針對由 1 像素精度的動態向量 $M V_i$ 所指定的領域內的各像素產生補間資料；及

一補間區塊產生機構，係將從前述補間資料產生機構所輸出的補間資料當作：將 1 像素精度的動態向量 $M V_i$ 所指定的區塊領域予以錯開 $1/2$ 像素而成的複數個補間區塊領域的像素資料，並將其並列地輸出；

並且求出：補間區塊產生機構所輸出的複數個補間區塊領域的像素資料與目前的單位區塊之間的像素資料的差值，並且依據朝向可使此一差值趨於最小的補間區塊之偏移量，來決定出 $1/2$ 像素精度之動態向量 $M V_H$ 。

藉由利用 1 像素精度的動態向量 $M V_i$ 所指定的領域與其周邊的補間資料來檢測出 $1/2$ 像素精度的動態向量

裝

訂

線

五、發明說明(6)

，即可較之以往減少圖格記憶體之數量。

而且藉由從保持並列化原狀的並列畫像資料來產生補間資料之故，可使補間處理更為高速化，無需提高時脈頻率即可檢測出 $1/2$ 像素精度的動態向量 $M V H$ 。

〔圖面之簡單說明〕

第 1 圖係本發明的畫像之動態向量決定裝置之整體構成之方塊圖。

第 2 圖係動作檢出電路部的構成之方塊圖。

第 3 圖係本發明的並列化電路之一實施例的方塊圖。

第 4 圖係半像素補間電路及區塊並列化電路之一實施例之方塊圖。

第 5 圖係根據被供給到 F I F O 記憶體的寫入訊號及讀出訊號所寫入及讀出的像素資料之時序圖。

第 6 圖係根據被供給到 F I F O 記憶體的寫入訊號及讀出訊號所寫入及讀出的像素資料之時序圖。

第 7 圖係用以說明動態向量決定電路之方塊圖。

第 8 圖係顯示在壓縮平面之補間像素與原始像素之關係的圖。

第 9 圖係顯示在畫像平面之補間像素與原始像素之關係的圖。

第 10 圖係用來說明區塊匹配處理之圖。

第 11 圖係用來說明區塊並列化處理之圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

〔較佳實施例之具體說明〕

(1 - 1) 實施例之整體構成

第 1 圖係本發明的畫像之動態向量決定裝置的整體構成之方塊圖。經由輸入端子 1 所輸入的類比影像訊號 S 1 係被前處理電路 2 予以變轉成數位資料。雖然未予以詳細圖示，此處的前處理電路 2 在於其內部係包含有：矩陣電路及類比／數位變轉電路等。

本實施例中，類比影像訊號 S 1 係為彩色影像訊號，而利用前處理電路 2 將該彩色影像訊號分離成亮度訊號、及色差訊號。就本實施而言，亦適用於只針對其中的亮度訊號。只要不脫離本發明的要旨，當然本發明亦可適用於僅針對於色差訊號。

此外，前處理電路 2 除了做成：可以將彩色影像訊號分離成亮度訊號及色差訊號之構造之外，亦可做成：將彩色影像訊號分離成 R G B 三原色訊號之構成方式。當然在這種情況下，本發明仍然可適用於針對各個原色訊號之處理。

再者，根據此一前處理電路 2 也將此數位資料細分成以預定的像素為單位的區塊，而形成區塊畫像資料 S 2。至於此處的區塊，係以做成：8 像素 × 8 像素、16 像素 × 16 像素等構成為最適當。又，本實施例中，雖然只顯示出以圖格 (frame) 為單位之實施例，但也可做為以圖場 (field) 為單位者。

由前處理電路 2 輸出的區塊畫像資料 S 2 係被供給到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

差值資料產生電路 3、第 1 切換電路 4 及二度離散餘弦 (discrete-cosine) 變換電路 5。

差值資料產生電路 3 係藉由求出區塊畫像資料 S 2 與動態補償資料 S 3 之間的差值而求出將前圖格的畫像經過動態補償後的動態補償畫像與目前輸入畫像之間的圖格間的差值，並將此一差值當作差值資料 S 4 輸出到第 1 切換電路 4。

此時，第 1 切換電路 4 係依據傳送模式而被控制其切換，而針對區塊畫像資料 S 2 與差值資料 S 4，將與區塊內的平均位準之間的差值絕對值和較小的一方之資料輸出到二度離散餘弦變換電路 5。

此外，以下係將：在圖場內編碼之後，可利用較少的資料量來達成傳送之情況稱為圖場內編碼模式；並將：在圖格間編碼之後，可利用較少的資料量來達成傳送之情況稱為圖格間編碼模式。

二度離散餘弦變換電路 5 係將被當作區塊畫像資料 S 2 或差值資料 S 4 輸入的區塊單位的畫像資料利用二度離散餘弦變換式予以直交變換，並將其係數資料 S 5 輸出到量化電路 6。

此外，本實施例中雖是使用二度離散餘弦變換，但是也可以使用其他的直交變換，例如：使用 FFT。或者使用 Wavelet 變換、Haar 變換等變換方式。

量化電路 6 係根據量化步驟大小控制訊號 S 6，將變換資料 5 利用預定的量化步驟大小來予以量化，並將量化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

資料 S 7 輸出到由未圖示的可變長度編碼電路等所構成的後段之處理電路。

又，本裝置係具有局部解碼電路系 (local decoder) 9，係可在編碼的這一方來確認傳送畫像。

即，局部解碼電路系 9 係將量化資料 S 7 依序經由反量化電路 1 0 及反二度離散餘弦變換電路 1 1 來予以局部解碼之後，即可將局部解碼資料 S 1 0 供給到合成資料產生電路 1 2 及第 2 切換電路 1 3。

第 2 切換電路 1 3 當傳送模式係為：前區塊畫像係以圖格間編碼模式來被傳送的時候，藉由動態補償資料 S 3 中合成進去局部解碼資料 S 1 0，得以將被復原後的解碼區塊畫像資料 S 1 1 輸出到前述圖格記憶體 1 4。

另一方面，前區塊畫像係以圖場內編碼模式來被傳送時，上述第 2 切換電路 1 3 便依序地將局部解碼資料 S 1 0 輸出到前圖格記憶體 1 4。

圖格記憶體 1 4 係將前圖格的各區塊以局部解碼資料 S 1 0 或者解碼區塊畫像資料 S 1 1 予以置換之後，重現出前圖格之圖格畫像。而且將對應於前圖格畫像之中的區塊畫像資料 S 2 的區塊當作檢索窗 (search window)

S 1 2 輸出到前處理電路 1 5。

此一後處理電路 1 5 係將針對每一個區塊而被輸入的檢索窗 S 1 2 變換成掃描線訊號，亦即變換成線順序訊號。並且利用未圖示的內部之數位 / 類比變換電路來將此掃描線訊號當作解碼影像訊號 S 1 3 輸出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

此處，動態檢出電路部 1 6 係根據由圖格記憶體 1 4 來的檢索窗 S 1 2 將目前區塊畫像資料 S 2 與檢索窗 S 1 2 相比較，以求出目前區塊畫像相對於前區塊畫像之半像素精度的動態向量 M V H。並且將動態向量訊號 S 1 4 輸往動態補償電路 1 7 及傳送經路 1 8。

又，被輸出到傳送經路 1 8 的資料乃被一未圖示的錯誤校正電路、及調變電路等處理之後，被記錄到廣播或者記錄媒體之中。

至於記錄媒體係以光碟為適當。

動態補償電路 1 7 係依據由動態向量訊號 S 1 4 所賦予的移動量，將前圖格的區塊畫像予以移位，以當作動態補償資料 S 3 輸出到差值資料產生電路 3 及合成資料產生電路 1 2。

(1 - 2) 動態檢出電路部 1 6 之構成

動態檢出電路部 1 6 首先求出 1 像素精度的動態向量 M V i，而只針對以這個動態向量所代表的像素為中心之必要的範圍，由原始像素來求出補間像素。

亦即，動態檢出電路部 1 6 係針對由補間像素形成的檢索領域求出目前區塊之匹配。係以此 1 像素精度的動態向量為中心，採用與以半像素精度分別朝向 X 方向及 Y 方向各偏移 - 1、0、+ 1 後的檢索領域之間的區塊匹配。並將朝向其中具有最小的差值絕對值和之區塊的偏移份量，當作在於半像素領域的動態向量 V i，並將這個動態向

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

量 V_i 與預先求出的 1 像素精度的動態向量 MV_i 加以合成，而求出半像素精度的動態向量 MV_H 。

動態檢出電路 1 6 的具體構成係如第 2 圖所示。

動態檢出電路 2 1 係由區塊畫像資料 S_2 及檢索窗 S_{12} 獲得 1 像素精度的動態向量 MV_i ，並當作動態向量資料 S_{21} 輸出到補間位址產生電路 2 2。

補間位址產生電路 2 2 係由唯讀記憶體所構成，用以將動態向量 MV_i 所代表的像素位置變換成相對應之位址資料，當作補間位址資料 S_{22} 輸出。

此處，動態檢出電路 1 6 係將以區塊單位輸入的檢索窗 S_{12} 經由區塊／光域 (raster) 變換電路 2 3 變換成光域訊號，將變換後的光域訊號從並列化電路 2 4 當作串列資料 S_{23} 輸出之後，依序地寫入到多埠 V R A M (Video Random Access Memory) 2 5。

此時，多埠 V R A M 2 5 係依據從補間位址產生電路 2 2 所輸入的補間位址 S_{22} 讀出補間所需的領域之像素資料之後予以輸出，將像素資料 S_{24} 輸出到半像素補間電路 2 6。

半像素補間電路 2 6 係從被輸入的畫像資料 S_{24} 來產生補間資料 S_{25} 之後，經由區塊並列化電路 2 7 來產生包含 1 像素精度的動態向量 MV_i 所指的區塊之 9 個區塊的畫像資料 S_{26} ，將其分別供給到動態向量決定電路 2 8。

此處動態向量決定電路 2 8 針對經由延遲電路 2 9 而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

被輸入的延遲區塊畫像資料 S 2 7，分別求出與 9 並列畫像資料 S 2 6 之間的差值絕對值和之後，求出 9 並列畫像資料 S 2 6 之中，差值絕對值趨於最小之並列畫像資料，而將朝向該區塊之偏移份量當作在於半像素領域之動態向量 V_i 。

藉此，動態向量決定電路 2 8 將在於半像素領域之動態向量 V_i 與被動態檢出電路 2 1 所輸入的動態向量 $M V_i$ 予以合成後的動態向量 $M V H$ 當作半像素精度的動態向量資料 S 3 予以輸出。

(1-2-1) 並列化電路 2 4 及多埠 R A M 2 5 之構成
其次詳細說明並列化電路 2 4。

第 3 圖係顯示並列化電路 2 4 的具體構成。這種構成方式的情況下，並列化電路 2 4 係由兩組交替地變成主動狀態的 F I F O (First In First Out) 記憶體 3 1、記憶體 3 2 所構成。前段的區塊/光域變換電路 2 3 所提供的像素資料，係每次以 2 位元的方式被匯整，而將合計 16 位元的訊號當作串列資料 S 2 3 輸出。亦即，像素資料「0、1、2、3、4、5……」被匯整成「0、2、4……」、「1、3、5……」之後，當作串列資料 S 2 3 輸出。

此處，多埠 V R A M 2 5 所提供的位址乃是以一個位址來對應從並列化電路 2 4 經由延遲電路詳 3 3 所輸入的 2 個像素的像素資料之故，位址空間便只成爲一半而已。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

在下述的說明中將這個簡稱為壓縮平面。

這個壓縮平面，如果將 16 位元長度的畫像資料中，上位 8 位元及下位 8 位元分別為上位位元系列及下位位元系列的話，則可以將畫像資料互補性地劃分成上位位元系列和下位位元系列。

(1 - 2 - 2) 半像素補間電路 2 6 及區塊並列化電路 2 7 之構成

半像素補間電路 2 6 及區塊並列化電路 2 7 分別做成如第 4 圖所示的構成方式。

半像素補間電路 2 6 係在於被並列化的狀態下將資料予以進行補間，而區塊並列化電路 2 7 則藉由將被補間後的資料予以區塊並列化，而可以 1 區塊期間來求得各區塊的差值絕對值和。

在第 4 圖中，半像素補間電路 2 6 係將被並列地輸入的 3 系統的 16 位元的畫像資料 S 2 4 藉由延遲電路 3 4 及延遲電路群 3 5 分岐成上位位元系列 D M 及下位位元系列 D L 的各 8 位元的 2 系列，並列資料。因此，合計形成 6 個系列的像素資料。

更而，半像素補間電路 2 6 係將這些 6 個系列的上位位元系列及下位位元系列之中 4 個系列的上位及下位位元系列依序地經由延遲電路群 3 6、3 7 分岐成 2 個系列並列。因此，4 個系列的上位及下位位元系列合計分岐成 8 個系列。此處，2 個加算電路 4 2 分別將上位位元系列的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

像素資料及下位位元系列的像素資料予以加算，藉以分別從原始像素的像素來產生補間像素的像素資料。

另一方面，經由延遲電路群 3 8 將：只被分岐 1 段就獲得的 2 個系列的畫像資料以及被分岐 2 段而獲得的 8 個系列的畫像資料供給到區塊並列化電路 2 7。這個畫像資料更利用 F I F O 記憶體群 4 3，延遲電路群 3 9 而被變換成 9 個並列畫像資料 S 2 6。

第 5 圖及第 6 圖係用來說明 F I F O 記憶體群 4 3 的寫入動作及讀出動作之圖。以下將詳述其作動。

F I F O 記憶體群 4 3 係根據寫入脈衝 (- w e) 來行資料之寫入，根據讀出脈衝 (- r e) 來讀出被寫入的資料。

(1 - 2 - 3) 動態向量決定電路 2 8 之構成

第 7 圖係顯示動態向量決定電路 2 8 的構成。

動態向量決定電路 2 8 係具有 9 組差值絕對值和運算部 5 0 (5 0 A、5 0 B、…… 5 0 I)，在於差值絕對值和運算部 5 0 之中，分別求出對於 9 個通道 (channel) 的補間像素之差值絕對值。以下係以一組的差值絕對值和運算部 5 0 A 為例來說明其動作。

此處，差值絕對值和運算部 5 0 A 係以減算電路 5 2 A 分別求出對於經由延遲電路 5 1 A 而輸入的畫像資料 S 2 7 的補間資料 S 2 6 的差值，將減算結果當作殘差區塊資料 S 3 0 輸出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

此時，差值絕對值和運算部 5 0 A 利用由唯讀記憶體所構成的差值絕對值 5 3 A 將殘差區塊資料 S 3 0 變成絕對值。更而，這個絕對值依序經由積分電路 5 4 A、延遲電路 5 5 A、延遲電路 5 6 A 求出差值絕對值，以作為差值絕對值訊號 S 3 1 輸出到最小值判別電路 5 7。

而各差值絕對值訊號 S 3 1 A ~ S 3 1 I 分別代表：從對於 1 像素精度的動態向量所示的像素之差值絕對值，亦即從對於朝 X 方向往負偏移 1 / 2 像素後的像素之差值絕對值來示出對於這個像素朝 X 及 Y 方向往正偏移 1 / 2 像素後像素之差值絕對值。

然後，從最小值判別電路 5 7 將一個可使差值絕對值變成最小的半像素精度的殘差區塊供給到唯讀記憶體 5 8 之後，此一唯讀記憶體 5 8 會從寫入其中的動態向量來輸出一個相對應的動態向量 V i。

最後，向量合成電路 5 9 將這個動態向量 V i 與由動態檢出電路 2 1 所供給的 1 像素精度的動態向量 M V i 之後，輸出半像素精度的動態向量 M V H。

(2) 實施例的作動及效果

以上是有關於本實施例的構成，以下則詳細說明其作動。

在第 1 圖中，從畫像編碼裝置的前處理電路 2 輸出的區塊畫像資料 S 2 及圖格記憶體 1 4 輸出的檢索窗 S 1 2 係被供給到動態檢出電路部 1 6。

五、發明說明(16)

在第 2 圖中，動態檢出電路部 1 6 則藉由區塊畫像資料 S 2 被供給到動態檢出電路 2 1 而求出 1 像素精度的動態向量 $M V_i$ 。

另一方面，前述檢索窗 S 1 2 被供給到區塊／光域變換電路 2 3，更而利用並列化電路 2 4 而被變成像素資料 S 2 4，接下來將這個像素資料 S 2 4 供給多埠 V R A M 2 5，藉此可以 1 像素精度的動態向量 $M V_i$ 為中心，檢測出位於周邊領域上之半像素精度的動態向量。此時多埠 V R A M 2 5 的位址係處於：以一個位址來對應從並列化電路 2 4 經由延遲電路群 3 3 而被輸入的 2 個像素的像素資料之故，位址空間乃變成一半。以下係稱這個以一半的位址空間來表示的平面為壓縮平面。

此處利用以壓縮平面模式化地表示出來之第 8 圖以及以畫像平面模式化地表示出來之第 9 圖來說明像素資料的讀出狀態。

無論就那一個平面而言，○記號代表原始像素，△記號及×記號代表半像素，◎記號代表 1 像素精度的動態向量。圖中，第 1 1 圖是以◎記號來表示。

在第 8 圖的壓縮平面中，從位址『0』和位址『1』的原始像素利用補間而被形成的半像素係以線 0 - 1 上的△記號來表示。同樣地，從位址『1』和位址『2』的原始像素利用補間而被形成的半像素在線 1 - 2 上亦以△記號來表示。接下來亦皆相同。

其次，×記號的半像素資料則如虛線所示般，係根據

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

上下的○記號之原始像素或者△記號的半像素，利用補間而形成。

這種作法在於第9圖的畫像平面中亦維持同樣的關係。

再度於第4圖中，半像素補間電路26因產生補間像素之故，從多埠V R A M 25中之相當於相對位址第0號的像素起開始依序讀出像素資料。此時的補間程序係如第8圖所示般，在於X方向上係對於同一位址的上位位元系列與下位位元系列之間、下位位元系列與下一個位址的上位位元系列之間予以進行補間處理。

另一方面，在Y方向上則藉由在於壓縮平面之X方向的一個區塊份量之延遲線，交互地對於上位位元系列之間、下位位元系列之間予以進行補間處理。

在這個壓縮平面上的一連串的处理，就第9圖所示的畫像平面而言係變成半像素精度的補間點，而要對於10個×3個像素進行補間的時候，係可計算為其一半之5個×3個時脈數。

在於上述的補間處理之後，區塊並列化電路27利用以F I F O記憶體43來控制補間點與補間點之間的相位差，而得以如先前的第11圖所說明過一般，移行到區塊並列化處理。

此處，區塊並列化電路27則只針對各區塊所需的資料送出寫入脈衝以將該資料寫入到F I F O記憶體43，經過一定時間之後，對F I F O記憶體43開始進行讀出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(18)

。此時的讀出脈衝係如先前的第5圖及第6圖已說明過一般，係以上位位元系列及下位位元系列互補方式地供給到FIFO記憶體43。

此時第5圖及第6圖中的數字係與第8圖及第9圖的各資料一致，係在於寫入脈衝(-we)降下之時點(即邏輯為「L」的時候，被進行寫入到FIFO記憶體43，經過一定時間後，便起動讀出脈衝(-re)。

而由於讀出脈衝(-re)本身為交替時脈之故，上位位元系列及下位位元系列的各8位元的資料被互補性地讀出。

因此，在第5圖及第6圖中，針對於L系列或者M系列，必須從附上○記號的系列起開始進行讀出。

此時，以9個並列的各順序別來看的話，對於FIFO記憶體43最早結束寫入的時機，係如第5圖及第6圖所示般，係為由區塊脈衝(一次64個時脈)起的第44個脈衝。

以這種方式利用交替時脈來讀出的時候，需要幾乎滿64個時脈週期的時間，因此像素資料之開始讀出的時機最晚也必須要在於較之目前區塊的結束時間更早20個時脈(即64-44)的時機。若能滿足上述條件的話，已寫入的目前區塊的資料被讀出之前，不會開始寫入下一個區塊。

再次在於第4圖之中，區塊並列化電路27由上往下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(19)

依序地將由：

① 1 像素精度的動態向量 $M V_i$ 所表示的像素之區塊像素資料，即 1_1 、 1_2 、 1_3 、 1_4 ；

② 對動態向量 $M V_i$ 所表示的像素朝 X 方向偏移 - 1 之區塊像素資料，即 C_{01} 、 C_{12} 、 C_{23} 、 C_{34} ；

③ 朝 X 方向偏移 + 1 之區塊像素資料，即 C_{12} 、 C_{23} 、 C_{34} 、 C_{45} ；

④ 朝 Y 方向偏移 - 1 之區塊像素資料，即 B_1 、 B_2 、 B_3 、 B_4 ；

⑤ 朝 Y 方向偏移 + 1 之區塊像素資料，即 E_1 、 E_2 、 E_3 、 E_4 ；

⑥ 朝 X 方向及 Y 方向一起偏移 - 1 之區塊像素資料，即 A_{01} 、 A_{12} 、 A_{23} 、 A_{34} ；

⑦ 朝 X 方向偏移 + 1，朝 Y 方向偏移 - 1 的區塊像素資料，即 A_{12} 、 A_{23} 、 A_{34} 、 A_{45} ；

⑧ 朝 X 方向偏移 - 1，朝 Y 方向偏移 + 1 的區塊像素資料，即 D_{01} 、 D_{12} 、 D_{23} 、 D_{34} ；及

⑨ 朝 X 方向及 Y 方向一起偏移 + 1 的區塊像素資料，即 D_{12} 、 D_{23} 、 D_{34} 、 D_{45} 。

所構成的 9 系列的區塊資料依序地區塊並列化之後再予以輸出。

然後，動態向量決定電路 28 係求出此等各通道的區塊像素資料與目前區塊的像素資料之間的差值絕對值和，將其中的最小值當作在於半像素精度的殘差區塊資料

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

S 3 0 予以輸出。

而且將給與該區塊的動態向量 V_i 合成到 1 像素精度的動態向量 $M V_i$ ，藉以而決定出半像素精度的動態向量 $M V_H$ ，以將目前的區塊之畫像依序地編碼。

根據上述的構成，係使用並列化電路 2 4 將畫像資料 S 1 2 予以並列化之後，利用半像素補間電路 2 6 針對於 1 像素精度的動態向量周邊領域以半像素精度求出動態補償後的補間資料。

更而藉由區塊並列化電路 2 7 將此一補間資料置換排列，藉以將朝 X 方向及 Y 方向偏移後的 9 種類的補間區塊供給到動態向量決定電路 2 8，如此一來就可不必增加圖格記憶體即可利用單一個時脈很容易求出半像素精度的動態向量。

而且藉由採用半像素精度的動態向量，降低圖格之間的差值資訊量，可以減少所產生的資訊量藉而更為提高畫質。

此外，即使在於使用動態向量檢出用的高價格的專用 L S I 的時候亦可以減少零組件數目之故，可達成降低系統的成本。

(3) 其他實施例

在上述的實施例中，雖然是針對以第 3 圖所示的構成方式的並列化電路 2 4 之情況作說明，但本發明並不限於此，亦可利用其他的電路構成來使複數像素並列化。

五、發明說明(21)

又，在上述的實施例中，雖然是針對將半像素補間電路 26 做成第 4 圖所示的構成方式的情況來作說明，但本發明並不限於此，也可利用其他的電路構成來將已被並列化的資料予以進行補間處理。

更而在上述實施例中，雖然是針對將區塊並列化電路 27 以第 4 圖所示的方式來構成之情況作說明，但本發明並不限於此，亦可利用其他的電路構成及時機訊號來將已被補間的資料予以區塊並列化。

此外，在上述實施例中，雖然是針對只對於對象範圍進行動態補償之情況作說明，但本發明並不限於此，亦可廣泛地適用於以資料補間為目的之其他的補間電路。

如前所述，根據本發明係將被輸入到時系列的像素資料依序變換成並列像素資料後，對於位址空間經壓縮後的並列像素資料予以補間，而產生針對於被 1 像素精度的動態向量所指定的領域內之各像素的補間資料，藉由將這個補間資料當作：將 1 像素精度的動態向量所指定的區塊領域偏移 $1/2$ 像素所成的複數個補間區塊領域的像素資料予以並列地輸出，而只利用由 1 像素精度的動態向量所指定的領域的周邊之補間資料就可以檢測出 $1/2$ 像素精度的動態向量。

藉由這種方式，與以往的技術比較之下，可利用更為簡易的構成方式就可進行高速的補間處理，而且無需增加圖格記憶體數、或者提高時脈頻率，即可很容易地檢測出 $1/2$ 像素精度的動態向量。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱：)

畫像之動態向量決定裝置

本發明係關於畫像之編碼裝置，尤其是特別適用於例如藉由將畫像資料予以高效率編碼以將資料量加以壓縮之後方便於傳送之畫像之動態向量決定裝置。

係針對於畫像編碼裝置，不必增加圖格記憶體個數即可使用單一時脈來執行1/2像素精度的動態向量之檢出處理。

先將被輸入到時的系列的像素資料變換成並列像素資料，並藉由對被變換後的並列像素資料進行補間處理，而產生針對於由1像素精度的動態向量所指定的領域內的各像素之補間資料。將這個補間資料當作：將由1像素精度的動態向量所指定的區塊領域偏移1/2像素而成的複數個補間區塊領域的像素資料予以並列地輸出，而可以在極短時間就求得由1像素精度的動態向量所指定的領域周邊的補間資料。

藉此，可僅用簡單的構成即可執行補間處理，而且無需增加圖格記憶體數，也無需提高時脈頻率，即可很容易檢測出1/2像素精度之動態向量。

英文發明摘要(發明之名稱：)

附註：本案已向

國(地區)申請專利、申請日期：

索號：

日本

1992.5.29

P04-163833

六、申請專利範圍

1. 一種畫像之動態向量決定裝置，係屬於：

將動畫畫像訊號分割成由複數像素所成的單位區塊，在求出前一單位區塊之對目前單位區塊的 1 像素精度的動態向量之後，以這個 1 像素精度的動態向量為基準來檢測出 1 / 2 像素精度的動態向量之畫像之動態向量決定裝置，其特徵為：該裝置係由下列機構所組成：

一 像素資料並列變換機構 (2 4)，用以將輸入到時系列的像素資料變換成依序並列的像素資料；及

一 補間資料產生機構 (2 6)，係對被像素資料並列變換機構所變換後的並列像素資料進行處理，以針對由 1 像素精度的動態向量所指定的領域內的各像素產生補間資料；及

一 補間區塊產生機構 (2 7)，係將由前述補間資料產生機構所輸出的補間資料當作：將上述 1 像素精度的動態向量所指定的區塊領域偏移 1 / 2 像素而成的複數補間區塊領域的像素資料予以並列地輸出；

並且求出：上述補間區塊產生機構所輸出的上述複數補間區塊領域的像素資料與目前單位區塊的像素資料之間的差值，並依據朝向可使此一差值趨於最小的補間區塊之偏移量來決定出上述 1 / 2 像素精度的動態向量。

2. 如申請專利範圍第 1 項之裝置，其中前述像素資料並列變換機構 (2 4) 係將被連續地輸入到時系列的像素資料以 2 個像素單位來變換成上述並列的像素資料，並將用以指定上述單位區塊的像素資料之位址空間壓縮成 1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

表

六、申請專利範圍

/ 2。

3. 如申請專利範圍第 2 項之裝置，其中上述像素資料並列變換機構 (24) 係由至少 2 個 F I F O 所構成。

4. 如申請專利範圍第 1 項之裝置，其中上述補間資料產生機構 (26) 係藉由：至少交替地反覆進行：利用被賦予同一位址之前述並列的像素資料的上位資料與下位資料之補間處理、以及利用前一個位址的下位資料和下一個位址的上位資料之補間處理，而產生朝向水平方向之補間資料。

5. 如申請專利範圍第 1 項之裝置，其中上述補間資料產生機構 (26) 係藉由至少反覆地進行：利用在於上述並列的像素資料的水平方向上被延遲單位區塊後的上位資料和下位資料之補間處理，而產生朝向垂直方向之補間資料。

6. 如申請專利範圍第 5 項之裝置，其中上述補間資料產生機構 (26) 至少將被並列地輸入的 3 系統畫像資料藉由複數個延遲電路來予以分歧為上位位元系列及下位位元系列，以形成 6 系統的像素資料，更而在這些 6 系列的上位位元系列及下位位元系列之中，又藉由複數個延遲電路來予以分歧為 4 系列的上位位元系列及下位位元系列，並利用分歧成 8 系列之畫像資料來產生補間資料。

7. 如申請專利範圍第 1 項之裝置，前述補間區塊產生機構 (27) 係具有先進先出方式 (F I F O) 方式的記憶機構，而藉由控制上述並列像素資料對此記憶機構之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

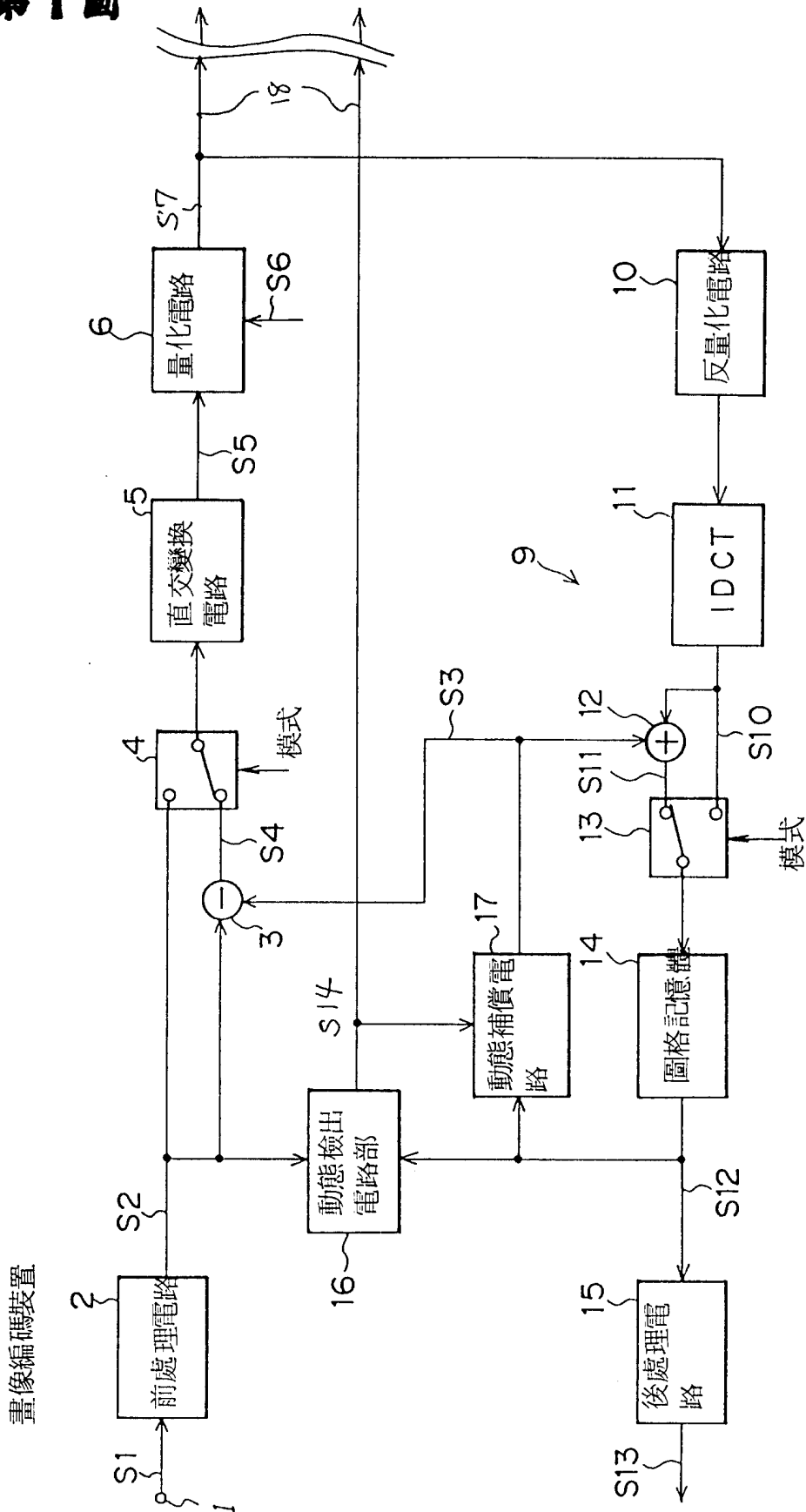
寫入及讀出，而控制補間資料相互間的相位差。

8. 如申請專利範圍第 7 項之裝置，上述補間區塊產生機構 (2 7) 係被供給：經 1 段分歧而得之 2 系列的畫像資料、及經 2 段分歧而得之 8 系列的畫像資料，更而這些 8 系列的畫像資料更藉由複數的 F I F O 記憶體、複數個延遲電路而被變換成 9 系列的並列畫像資料。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

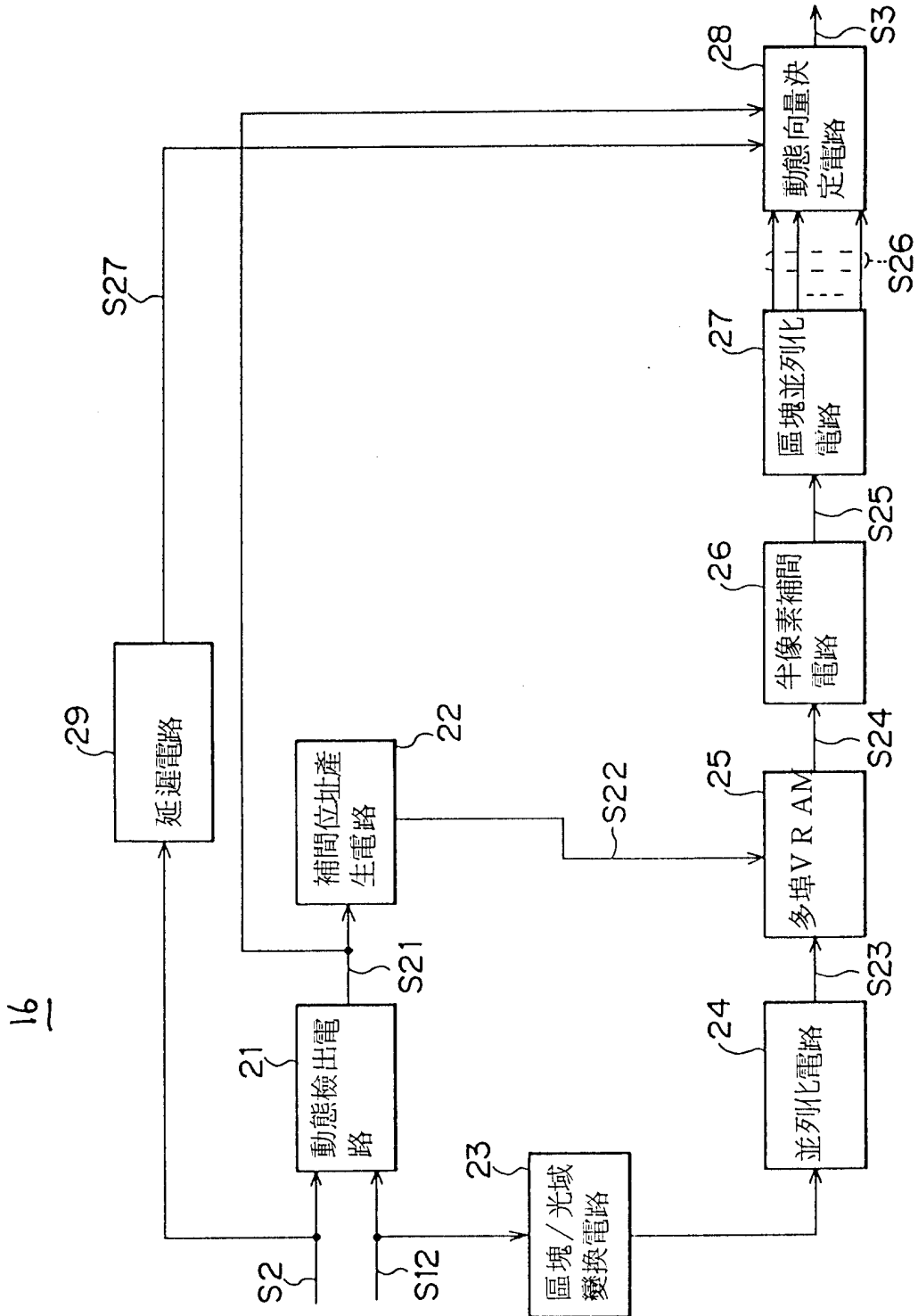
第 1 圖



718942

第 1 圖 畫像編碼裝置之構成

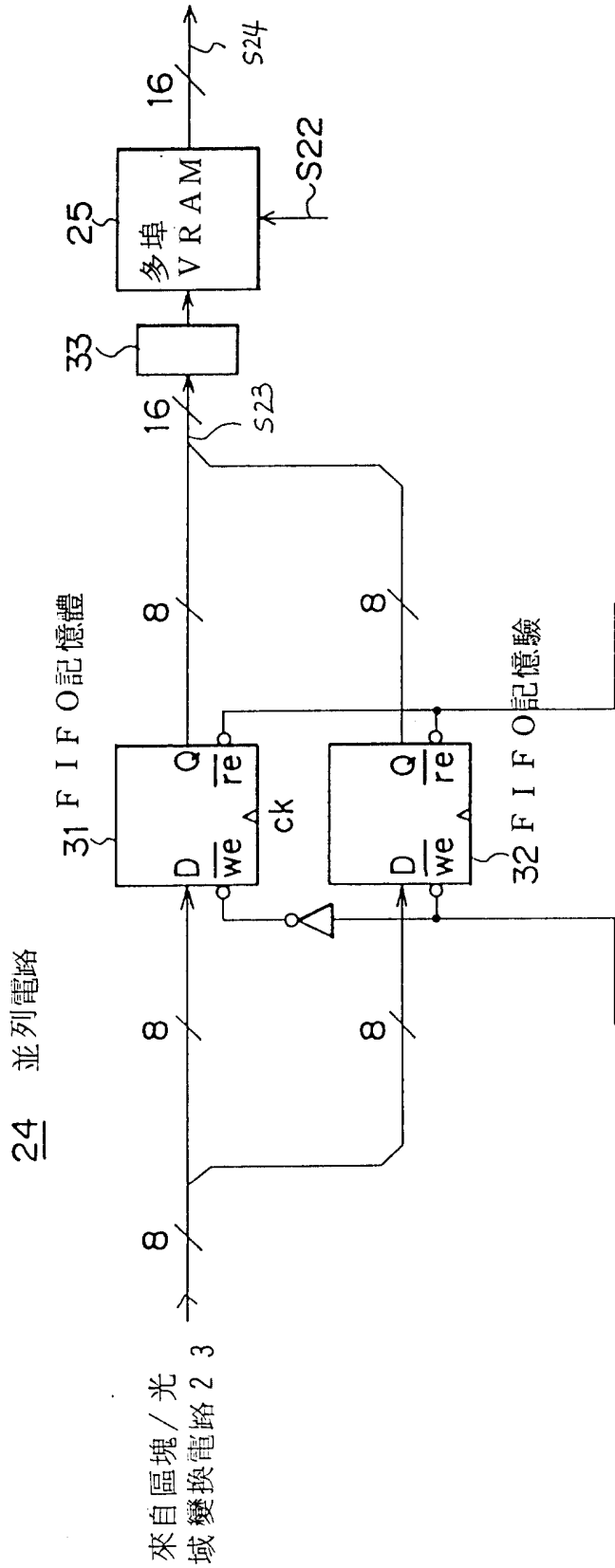
第 2 圖



第 2 圖 動態檢出電路部 1 6 之構成

16

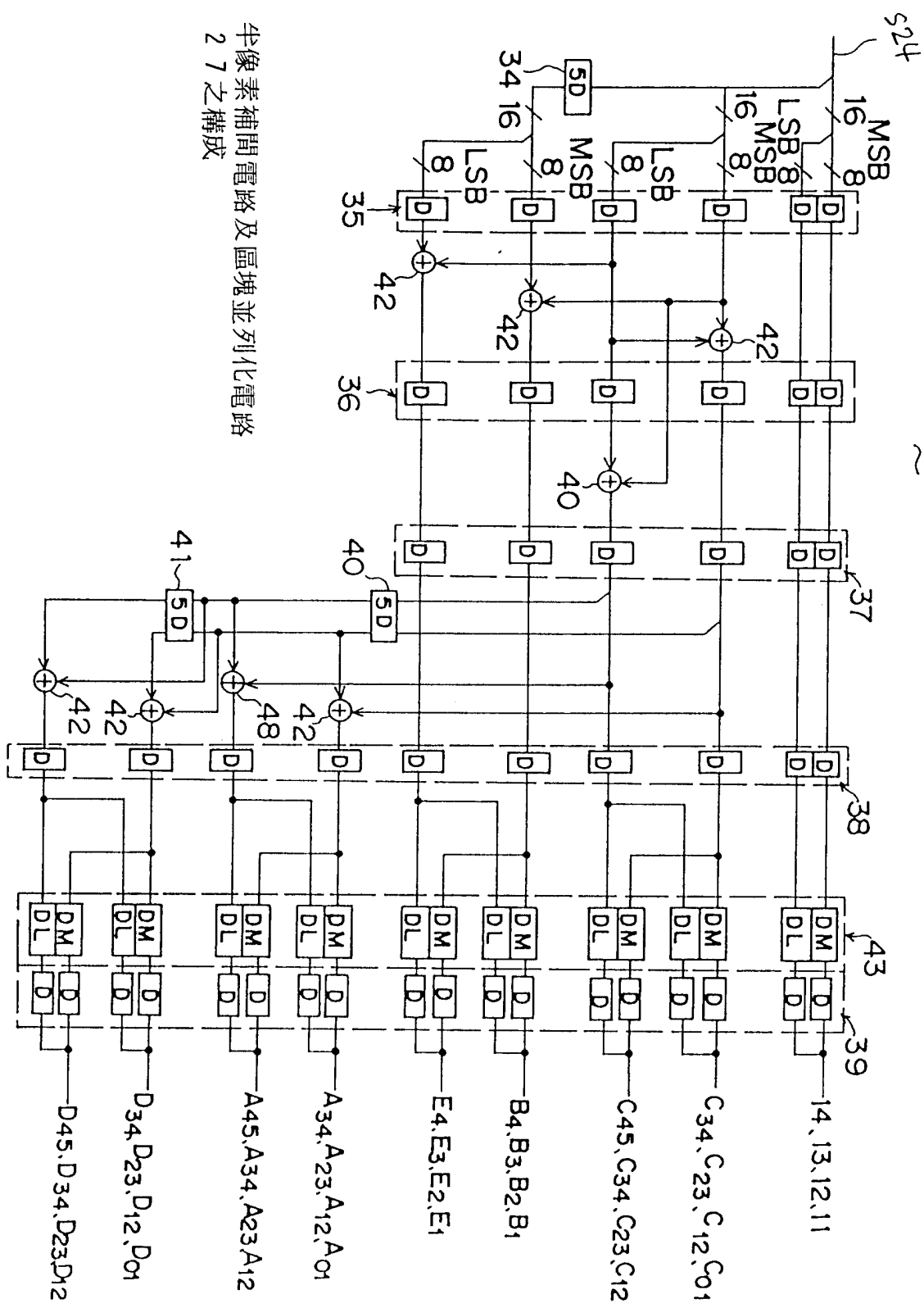
第 3 圖



第 3 圖 並列化電路 24 的構成

第 4 圖

26

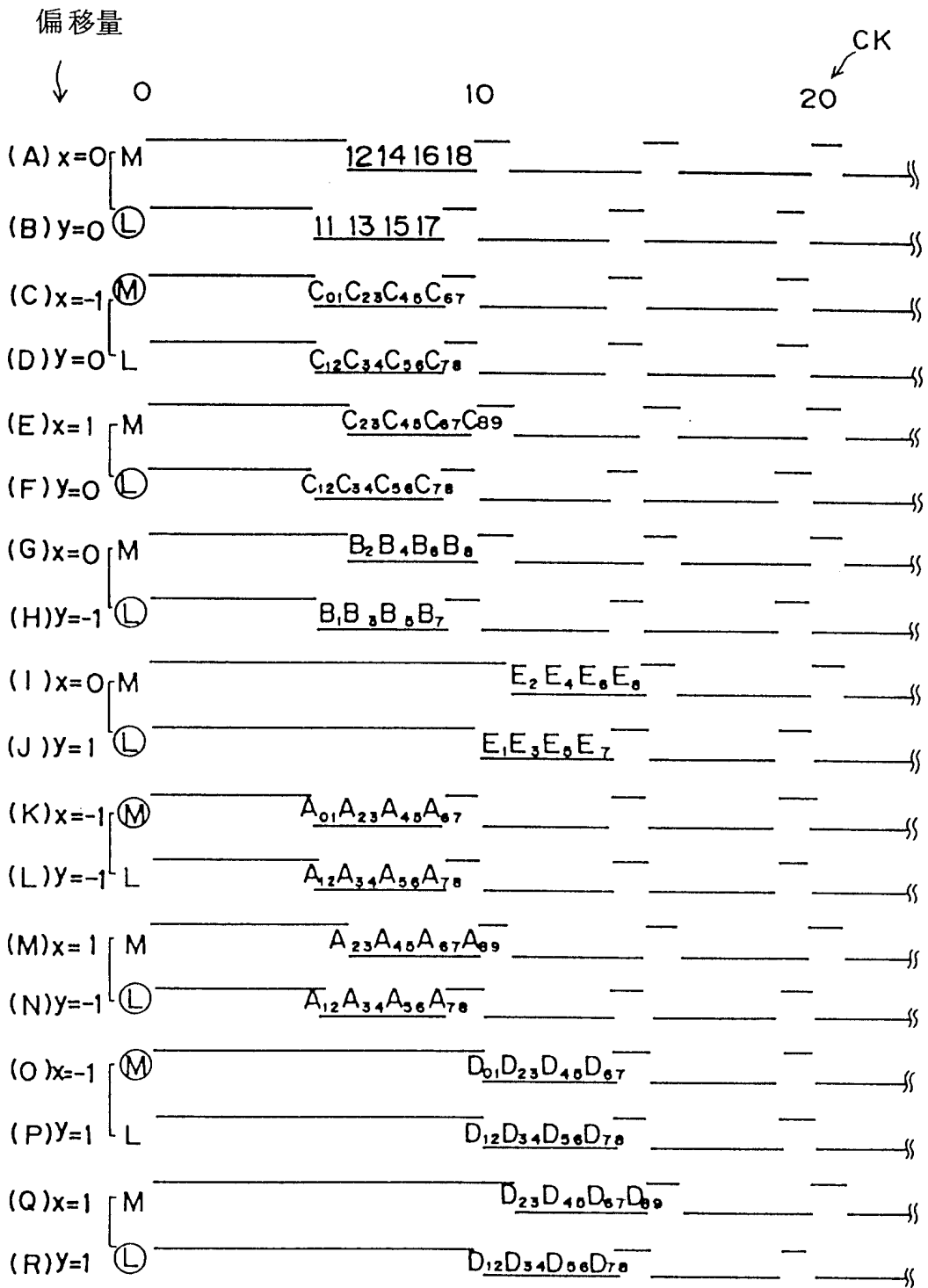


第 4 圖 半像素補間電路及區塊並列化電路 27 之構成

295016

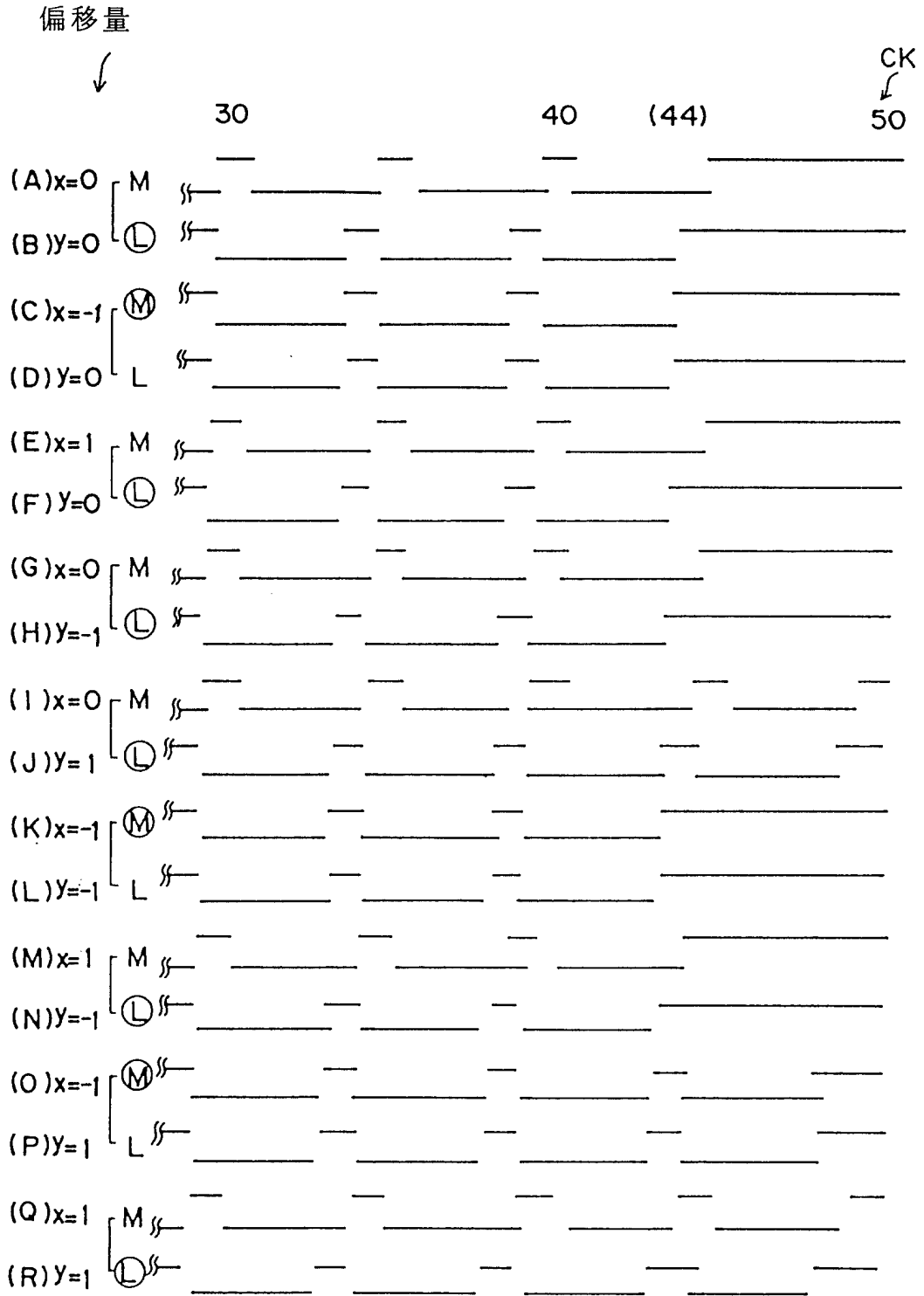
27

第 5 圖



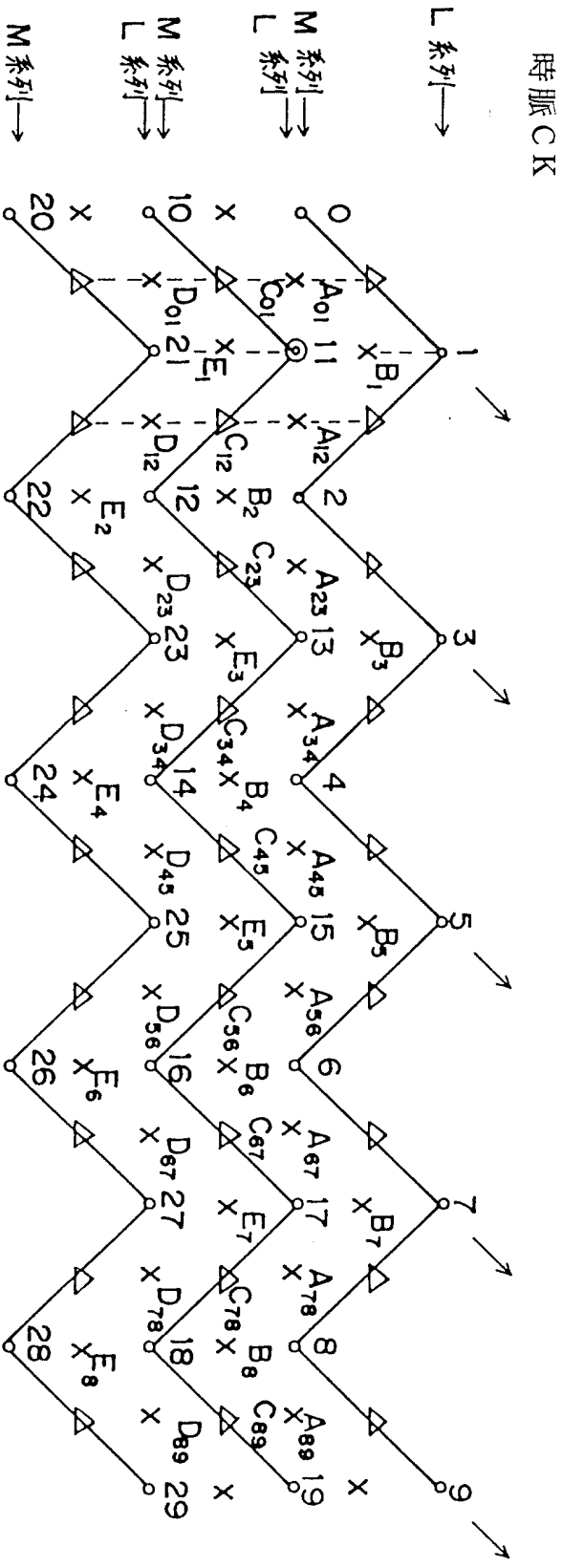
第 5 圖 對 F I F O 記憶體 4 3 之寫入 / 讀出作動 (1)

第 6 圖



第 6 圖 對 F 1 F 0 記憶體 4 3 之寫入 / 讀出作動 (2)

第 8 圖



第 8 圖 壓縮平面

第 9 圖

0	○	△	A ₀₁	X	△	C ₀₁	○	10	○	X
1	○	△	B ₁	X	⊙	E ₁	○	21	○	X
2	○	△	B ₂	X	○	E ₂	○	22	○	X
3	○	△	B ₃	X	○	E ₃	○	23	○	X
4	○	△	B ₄	X	○	E ₄	○	24	○	X
5	○	△	B ₅	X	○	E ₅	○	25	○	X
6	○	△	B ₆	X	○	E ₆	○	26	○	X
7	○	△	B ₇	X	○	E ₇	○	27	○	X
8	○	△	B ₈	X	○	E ₈	○	28	○	X
9	○	△	B ₉	X	○	E ₉	○	29	○	X

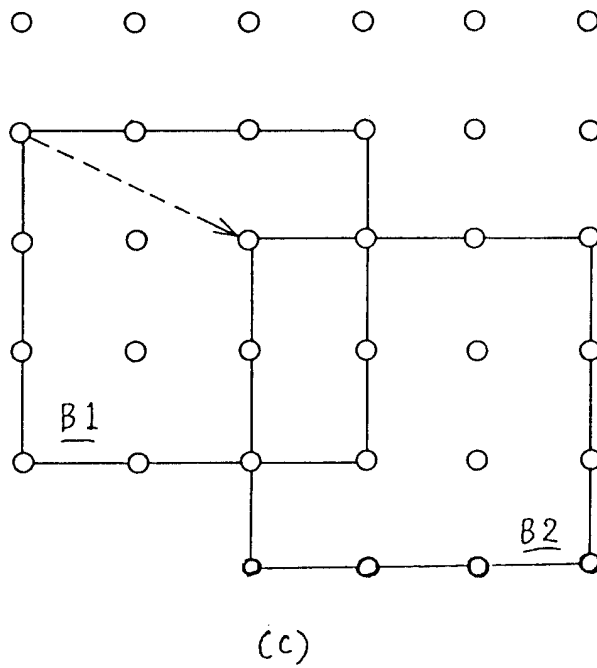
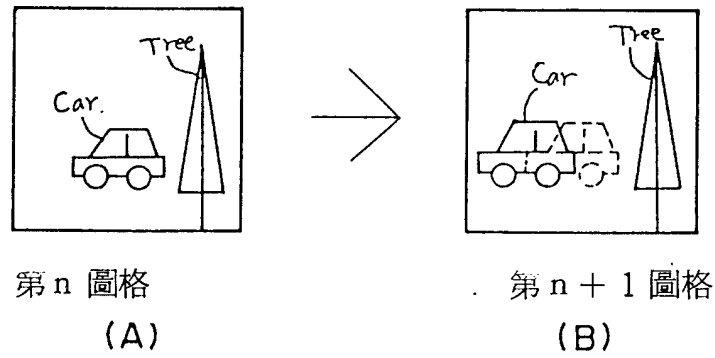
{

 ○ 原始像素

 △、X 補間像素

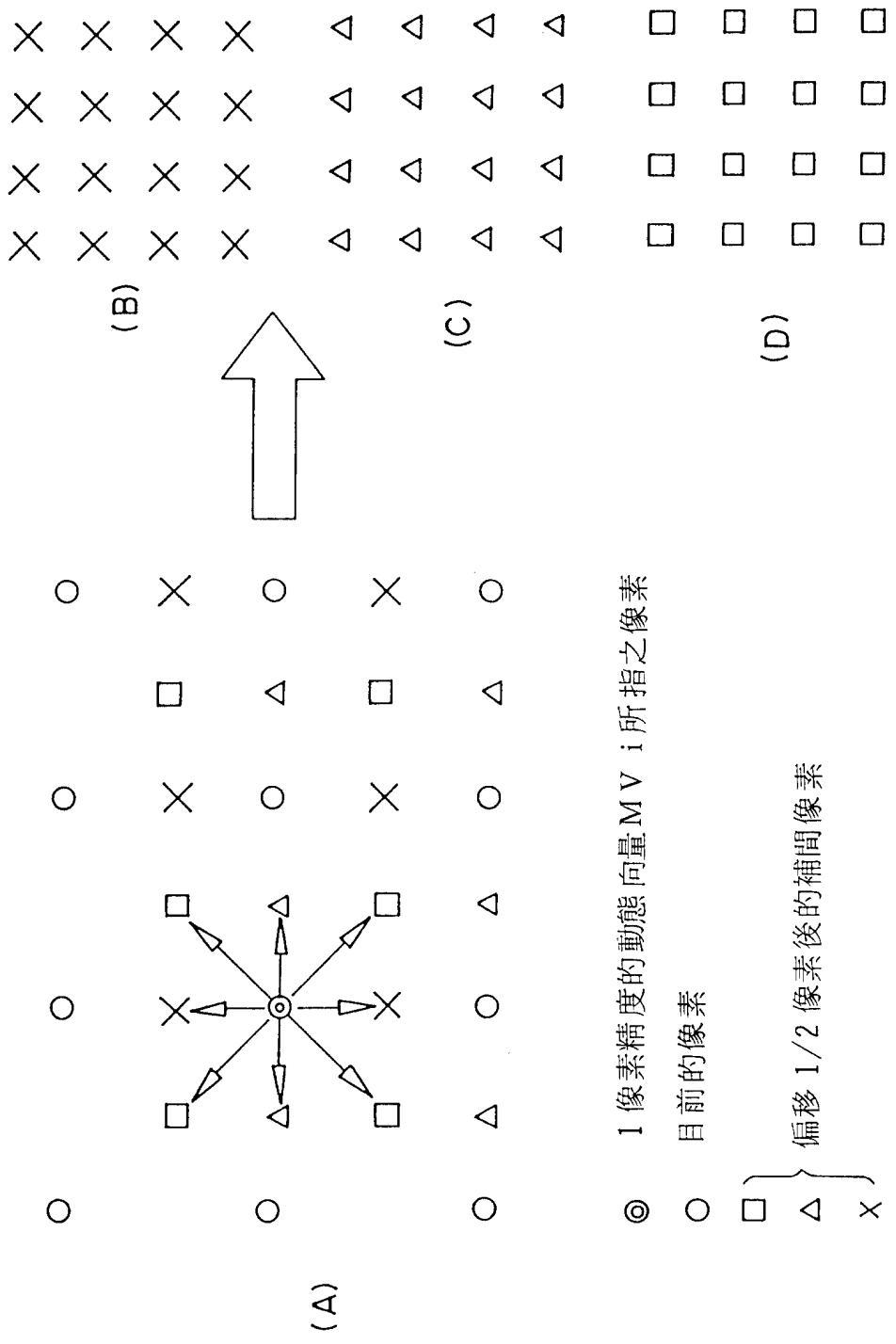
第 9 圖 畫像平面

第10圖



第10圖 區塊匹配處理之原理

第11圖



第 11 圖 區塊並列化處理