

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成30年7月5日(2018.7.5)

【公開番号】特開2017-21749(P2017-21749A)

【公開日】平成29年1月26日(2017.1.26)

【年通号数】公開・登録公報2017-004

【出願番号】特願2015-141224(P2015-141224)

【国際特許分類】

G 06 F 13/38 (2006.01)

G 06 F 15/78 (2006.01)

G 06 F 13/42 (2006.01)

【F I】

G 06 F 13/38 320 A

G 06 F 15/78 514

G 06 F 13/38 350

G 06 F 13/42 320 A

【手続補正書】

【提出日】平成30年5月24日(2018.5.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置は、同期クロックに従って、送信または受信の順序的な通信を行うインターフェース回路を備え、

前記インターフェース回路は、

送信状態および受信状態の少なくとも1つの状態である動作イネーブル状態を指定する第1のレジスタと、

前記動作イネーブル状態において、送信または受信の少なくとも1つのモードを変更するモード制御回路と、

を備える。

【請求項2】

請求項1の半導体装置において、

前記インターフェース回路は、前記モードの変更に応じて、ステータス出力を行うよう構成される。

【請求項3】

請求項1の半導体装置において、

さらに、送受信状態において、送信抑止または受信抑止を指定することができる情報を有する第2のレジスタを備える。

【請求項4】

請求項3の半導体装置において、

前記第2のレジスタは、コマンド受信およびデータ受信のいずれかを指定することができる情報を備える。

【請求項5】

請求項1の半導体装置において、

前記インターフェース回路は、データ送信完了割り込み要求、コマンド受信完了割り込み

要求およびデータ受信完了割り込み要求のいずれかを出力することが可能であるよう構成される。

【請求項 6】

請求項 1 の半導体装置において、
さらに、データ転送装置を備え、
前記モード制御回路は、前記データ転送装置の所定の動作に応じた制御を受け、送信または受信の動作完了後に、前記モードの変更を行うよう構成される。

【請求項 7】

請求項 5 の半導体装置において、
さらに、データ転送装置を備え、
前記データ転送装置は、前記データ送信完了割り込み要求、前記コマンド受信完了割り込み要求および前記データ受信完了割り込み要求のいずれかに基づいて起動するよう構成される。

【請求項 8】

請求項 7 の半導体装置において、
前記データ転送装置は、データ転送時に、データ転送情報またはデータ転送の内容に基づき、前記インターフェース回路のモードを変更する情報を生成するよう構成される。

【請求項 9】

請求項 7 の半導体装置において、
前記データ転送装置は、転送モード情報を格納するレジスタと、第 1 および第 2 の転送元アドレス情報を格納するレジスタと、転送先アドレス情報を格納するレジスタと、演算回路と、を含み、
前記第 1 の転送元アドレス情報に基づきリードしたデータと、前記第 2 の転送元アドレス情報を、前記演算回路で演算した結果に基づくリードを行い、これを前記転送先アドレス情報に基づくライトを行うよう構成される。

【請求項 10】

請求項 1 の半導体装置において、
さらに、中央処理装置と割り込み制御回路とデータ転送装置とを有し、
前記インターフェース回路は、前記割り込み制御回路に対して割り込み要求を行い、
前記割り込み制御回路は、前記割り込み要求に応じて、前記中央処理装置に対して割り込み信号を出力し、または前記データ転送装置に対して起動要求を出力するよう構成される。

【請求項 11】

システムは、
同期クロックに従って、送信または受信の順序的な通信を行う第 1 のインターフェース回路を備える第 1 の半導体装置と、
前記同期クロックに従って、送信または受信の順序的な通信を行う第 2 のインターフェース回路を備える第 2 の半導体装置と、
を備え、
前記第 2 のインターフェース回路は、
送受信状態を指定する第 1 のレジスタと、

前記送受信状態において、送信または受信の少なくとも 1 つのモードを変更するモード制御回路と、
を備える。

【請求項 12】

請求項 11 のシステムにおいて、
前記第 2 のインターフェース回路は、前記モードの変更に応じて、ステータスを出力し、
前記第 1 のインターフェース回路は、前記ステータスを入力するよう構成される。

【請求項 13】

請求項 11 のシステムにおいて、

前記第2のインターフェース回路は、さらに、前記送受信状態において、送信抑止または受信抑止を指定することが可能な情報を有する第2のレジスタを備える。

【請求項14】

請求項13のシステムにおいて、

前記第2のレジスタは、コマンド受信およびデータ受信のいずれかを指定することが可能な情報を備える。

【請求項15】

請求項11のシステムにおいて、

前記第2のインターフェース回路は、前記第1のインターフェース回路から出力される1つの同期クロックに同期して、送信および受信の順序的な通信を行うよう構成される。

【請求項16】

請求項11の半導体装置において、

前記第2の半導体装置は、さらに、データ転送装置を備え、

前記モード制御回路は、前記データ転送装置の所定の動作に応じた制御を受け、送信または受信の動作完了後に、前記モードの変更を行うよう構成される。

【請求項17】

請求項11のシステムにおいて、

前記第2の半導体装置は、さらに、データ転送装置を備え、

前記データ転送装置は前記第2のインターフェース回路のデータ送信完了割り込み要求、コマンド受信完了割り込み要求およびデータ受信完了割り込み要求のいずれかに基づいて起動するよう構成される。

【請求項18】

請求項17のシステムにおいて、

前記データ転送装置は、データ転送時に、データ転送情報またはデータ転送の内容に基づき、前記第2のインターフェース回路のモードを変更する情報を生成するよう構成される。

【請求項19】

請求項17のシステムにおいて、

前記データ転送装置は、転送モード情報を格納するレジスタと、第1および第2の転送元アドレス情報を格納するレジスタと、転送先アドレス情報を格納するレジスタと、演算回路と、を含み、

前記第1の転送元アドレス情報に基づきリードしたデータと、前記第2の転送元アドレス情報を、前記演算回路で演算した結果に基づきリードを行い、これを前記転送先アドレス情報に基づくライトを行うよう構成される。

【請求項20】

請求項11のシステムにおいて、

前記第2の半導体装置は、さらに、中央処理装置と割り込み制御回路とデータ転送装置とを有し、

前記第2のインターフェース回路は、前記割り込み制御回路に対して割り込み要求を行い、

前記割り込み制御回路は、前記割り込み要求に応じて、前記中央処理装置に対して割り込み信号を出力し、または前記データ転送装置に対して起動要求を出力するよう構成される。