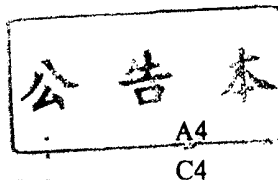


申請日期	85.12.26
案 號	85116041
類 別	1401L 60 Int. Cl. 6



316332

316332

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	供高速雙極性／雙極互補金氧半導體電路 之靜電放電保護之雙極性矽控整流器觸發
	英 文	IMPROVED BIPOLAR SCR TRIGGERING FOR ESD PROTECTION OF HIGH SPEED BIPOLAR/BICMOS CIRCUITS
二、發明 人 創作	姓 名	1. 陳志樑 (Julian Zhiliang Chen) 2. 安亞薩 (Ajith Amerasekera) 3. 魏瑪斯 (Thomas A. Vrotsos)
	國 籍	1. 中華民國籍、2. 斯里蘭卡籍、3. 美國籍
	住、居所	1. 美國德州派拉諾市瓦康頓街3417號 3417 Walington Drive, Plano, Texas 75093, USA 2. 美國德州派拉諾市科斯街1800號 1800 Lake Crest Lane, Plano, Texas 75023, USA 3. 美國德州理查森市雅喜蘭街1201號 1201 Ashland Drive, Richardson, Texas 75080, USA
	住、居所 (事務所)	美國德克薩斯州達拉斯城北方大廈655474號信箱 P.O. Box 655474, MAIL STATION 219, EXPRESSWAY SITE, NORTH BLDG., DALLAS, TX, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國籍
	代 表 人 姓 名	郝威廉(William E. Hiller)

裝

訂

線

316332

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地區) 申請專利，申請日期：西元1995年 案號：60/004,527，☐有 ☒無主張優先權
9月29日

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明 (1)

發明領域

本發明一般係關於電子電路，尤其係指供Bipolar/BiCMOS電路之靜電放電(ESD)保護電路。

發明背景

如讓渡於德州儀器公司(此處之受讓人)之美國專利第5,268,588; 4,896,243; 5,077,591; 5,060,037; 5,012,317; 5,225,702及5,290,724號等所教示者，使用靜電放電(ESD)保護電路以保護輸入及輸出電路免於ESD為習知者。供Bipolar/BiCMOS技術之ESD保護電路須能保護於CMOS輸出緩衝器中之下拉(pull-down) NMOS電晶體以及於NPN輸出電晶體中之集-基接面和射極耦合邏輯(ECL)元件之射-基接面。該保護電路可在電壓低於其相關聯元件之觸發及保持電壓時接通。該ESD保護電路亦貢獻有最低限度的電容及需要最低限度的表面區域才能作用。

如圖1先前技藝所示，許多ESD保護電路在電路輸入上使用兩階段保護設計。典型地，ESD所觸發之高電流脈衝通過主要鉗位電路，其可箝制墊片電壓。然而，對於電路而言，此電壓仍太高而無法接收，因此需第二鉗位電路將電壓鉗制至一安全值。此電流限制結構限制電流流動而使得第二鉗位電路不需過大。

目前BiCMOS製程技藝使用NPN或SCR(矽控整流器)元件以供ESD保護電路。設計供Bipolar電路之SCR元件典型地顯示出比NPN電晶體較高之觸發電壓及可相比的或即使較低之保持電壓。當互補式金屬氧化物半導體(CMOS)製程發

五、發明說明 (2)

展至電晶體較短的通道長度及閘氧化物時，由於靜電放電之故，要同時保護輸入及輸出電路兩者免於損害將日益困難。

高速次微米Bipolar/BiCMOS電路之應用在ESD保護電路上施以嚴格之限制。基本要求為輸入及輸出引腳上之低分路電容及低串聯電阻，其意指ESD保護電路應該需要最低限度之矽空間及實質上不貢獻阻抗至信號路徑。觸發電壓(V_t)及鉗位電壓(V_{clamp})亦應在所保護電路之"導通" (即啓動) 電壓之下。對於這些系統，NPN電晶體之ESD保護設計具有一些限制。圖2圖式說明以0.6微米及0.8微米製程之100微米寬NPN電晶體之脈衝電流—電壓曲線，其中 V_{clamp} 在1.3安培供0.6微米製程時為10伏而在1.3安培供0.8微米製程時為13伏。在進一步之次微米技術中，這些位準太高而無法保護Bipolar/MOS輸入及輸出緩衝器以及射極耦合邏輯(ECL)元件。此NPN結構之高鉗位電壓係歸因於其高保持電壓(V_h)及導通電阻值。於次微米Bipolar/BiCMOS製程中，一保護NPN結構通常操作於累增(avalanche)模式，以傳導高ESD電流。對於一給定的製程而言， BV_{ceo} (基極開路，集-射接面擊穿) 之設定可因而建立鉗位電壓 V_{clamp} 較低之限制。鉗位電壓可藉由降低導通電阻值而降低，其可藉由使用較大之NPN結構及較高之電容負載而完成。然而，這些方法無法應用至高速次微米Bipolar/BiCMOS製程，因為對於高頻率信號輸入及輸出而言，一個大的分路電容將產生一種電氣短路的路徑。

五、發明說明 (3)

鑑於前述之缺陷，吾人意欲提供一種電路架構可使具有高ESD性能之BSCR保護電路符合前述減少觸發及保持電壓之要求而供高速電路應用。因此，提供一種能製造於次微米BiCMOS而不需額外罩覆供電路實施將是特別有利的。

發明概要

本發明提供一種如矽控整流器(SCR)之雙極性(Bipolar)結構，其顯示利於低觸發及保持電壓以供雙極性／雙極互補金氧半導體(Bipolar/BiCMOS)電路使用於高速(例如900 MHz - >2 GHz)次微米靜電放電(ESD)保護電路。此Bipolar結構之特徵在於輸入及輸出引腳上之低分路電容及低串聯電阻，而允許ESD保護電路之構造具有小的矽區域及幾乎沒有阻抗加於信號路徑中。以本發明較佳之觀點，該SCR係以習知技藝所慣用者裝配於Bipolar/BiCMOS元件之N型井，其相對於P基底。此外，可提供一P⁺陽極植入，其可在不需要額外的罩覆樣式化步驟之情形下完成。

本發明較佳之觀點係使用一齊納(Zener)二極體與一電阻組合以經由NPN電晶體控制雙極性矽控整流器(BSCR)操作。齊納二極體之導通電壓予以選擇使能比得上NPN結構之射-基擊穿電壓，其僅較供電電壓稍高以確保ESD保護電路不會在正常電路操作下觸發。可選擇性地加入一與齊納二極體串聯之順向二極體串以增加電路觸發電壓，尤其是在供電電壓超出齊納擊穿電壓之情形時。於ESD期間，當墊片電壓超出齊納擊穿電壓時，則齊納二極體擊穿，而電

五、發明說明(4)

流流經由關聯(多晶矽)電阻以觸發Bipolar SCR之NPN並因而自相關聯的保護電路啟動BSCR以傳導高ESD電流。

圖式簡要說明

本發明進一步之特徵及優點於閱讀說明書及配合圖式後而變得明顯，其中同樣的符號在不同之圖式代表對應之元件以及所描示結構之確實外觀予以誇大闡釋，其中：

圖1係說明習知ESD保護電路之方塊圖；

圖2係以0.6及0.8微米BiCMOS製程之100微米寬NPN結構之電流-電壓圖；

圖3A及3B係依據本發明替換的ESD保護電路結構之截面圖；

圖4係描示於圖3A之ESD保護電路之簡要說明圖；

圖5係供描示於圖3A之Bipolar SCR元件與電阻相關之電流-電壓曲線圖；

圖6係使用一NPN齊納二極體及一電阻之替換的Bipolar SCR保護電路之簡要說明圖；

圖7係例示於圖6之Bipolar SCR ESD保護電路之高電流-電壓圖。

較佳實施例之詳細說明

吾人可瞭解及感知下述之處理步驟及結構不會構成積體電路製造之完整處理流程。本發明可連同目前所使用之積體電路製程技術而實施，且於此所包含大部分通常實施之處理步驟僅為提供瞭解本發明之必要。包含於說明書之圖式所描繪積體電路於製造期間之截面圖部分並非以其比例

五、發明說明(5)

繪製，而係爲了說明本發明相關特徵而繪製。

本發明之ESD電路提供相當低的分路電路容(典型小於0.5pF)且在電路輸入及輸出墊上不具可感知之電阻，其爲目前及未來意欲生產之次微米Bipolar/BiCMOS電路保護設計所需要者。依據本發明提供之ESD保護電路可操作以保護於CMOS輸出緩衝器中之下拉NMOS電晶體，NPN輸出電晶體中之射-基接面以及ECL輸出之射-基接面。此ESD保護電路可操作在電壓典型低於這些個別元件之觸發電壓時導通，以及規劃一低於這些元件之導通或啓動電壓之保持電壓。如下即將闡釋者，經由觸發元件之操作可獲得降低的導通及保持電壓，該觸發元件可選擇性地與BSCR結合以形成一保護電路。

參照圖3A及3B，其以截面圖說明一例證性質之100微米寬Bipolar SCR ("BSCR")，該Bipolar SCR通常以參考數字50指示且以0.8微米BiCMOS製程製造。電路50包含一位於 N^+ 埋層54之下的P基底52。如下所詳細說明者，此 N^+ 埋層54提供一低集極電阻以供一將裝配於此結構上之垂直NPN電晶體。此 N^+ 埋層54在其端點係由個別的P層56A及56B圍繞，其亦鄰接P基底52。此P層56A及56B朝向表面結構50延伸俾在P層56A及56B之間界定一隔離區域以形成一N型井58。如下即將討論者，此N型井58係作爲NPN電晶體集極區。氧化物層60A及60B係個別地以傳統方式顯現於P層56A及56B之上。一 P^+ 陽極擴散層62係於基極 P^+ 植入64期間形成，該基極 P^+ 植入64係形成於淺P-基極植入

五、發明說明 (6)

區66之中。一淺 N^+ 區68形成於P-基極66之中且由一多晶矽層70覆蓋。一氧化物層72顯現於P-基極66及 P^+ 陽極62之間。同樣地，一氧化物層74顯現於 P^+ 陽極62及一自結構50之表面延伸且進入N 型井58從而作為NPN基極接點之 N^+ 區76之間。

P^+ 陽極62之擴散係於 P^+ 基極植入64期間發生且形成於NPN電晶體N 型井58中以形成一PNPN SCR結構。此 P^+ 陽極植入係有利的，因為它不需要額外的罩覆附加至該製程。此PNPN結構係由 P^+ 陽極62，N 型井58，P-基極66及 N^+ 區68所界定。此Bipolar PNPN結構可視為一NPN (80)及PNP (82)電晶體對，而其代表的簡圖係描示於圖4。此PNP電晶體82係由 P^+ 陽極62，N 型井58及P-基極66表示。此NPN電晶體80係由N 型井58，P-基極66及 N^+ 多晶矽射極68表示。多晶矽層70係為一射極層，其可藉由擴散而允許形成該淺 N^+ 區68。 N^+ 區76係作為NPN集極接點。 P^+ 區62係作為SCR陽極。

同時參照圖3及4，該淺 P^+ 基極64係同時作為NPN電晶體80之基極及PNP電晶體82之集極。多晶矽區70及下層的 N^+ 區68構成NPN電晶體80之射極。 P^+ 陽極62係作為PNP電晶體82之射極。 N^+ 區76係作為NPN電晶體80之集極接點。請特別參照圖4之電路簡圖， R_{N-well} 係N 型井58之電阻， $R_{buried\ N^+}$ 係 N^+ 埋層電阻88， R_{bp} 係PNP電晶體之基極電阻90，以及 R_{bn} 係NPN電晶體80之基極電阻。當集極(C_{NPN})短路至射極PNP E_p 時，如典型的傳統SCR配置，觸發電壓

五、發明說明 (7)

V_t 約為24伏，其如圖5所示。此高觸發電壓需要使用一種可同時展現作為一第二ESD保護元件及一串聯電阻之保護電路，如典型具有的傳統SCR電路。然而，此加入一串聯電阻於信號路徑中之需求將阻礙此SCR電路使用於高速次微米Bipolar/BiCMOS電路應用。圖5亦說明當集極 C_{NPN} 短路至射極 E_{PNP} 時，該Bipolar SCR設有與傳統NPN電晶體相同之7伏 BV_{ceo} 保持電壓，除了具有與NPN電晶體之導通電阻值成對之較低導通電阻值外，其如圖5所示。於是，此例示之Bipolar SCR配置在觸發電壓(V_t)及保持電壓(V_h)上幾無顯示較傳統NPN電晶體改善之處。

雖然NPN 80及PNP 82電晶體兩者予以導通以提供一低導通電阻，但是該高 BV_{ceo} 保持電壓表示不具有再生的SCR作用。此再生式SCR之導通需要PNP電晶體82藉由NPN電晶體80之集極電流偏壓，反之亦然。於NPN集極(C_{NPN})短路至PNP射極(E_{PNP})之情形時，PNP電晶體82之低基-射電阻係由於低的深 N^+ 擴散電阻 $R_{deep\ N^+}$ 之故。此需要來自累增NPN集-基接面之額外電流以維持PNP電晶體於"導通"狀態。對於相同給定之電流而言，在NPN 80或PNP 82電晶體中增加射-基電阻將會增加基-射電壓 V_{be} ，且由於這樣的結果，一較大的射極電流流入該雙極性電晶體。此雙極性電晶體中之較大射極電流將會消除來自累增產生之額外電流源之需求，而允許再生的SCR作用發生。因此，保持電壓可自 BV_{ceo} 降低至一較低值。對於一給定電流而言，較高的電阻將容許NPN 80或PNP 82電晶體更有力地導通，而導

五、發明說明 (8)

致一較低保持電壓 V_h 。藉由NPN集極及PNP射極之間的外部PNP基-射電阻90 (圖4)產生的電阻增強效應係例示於圖5。此外,保持電壓(V_h)隨著電阻(R)之增加而減少。

如先前所討論者,對於建立所欲之Bipolar SCR保護電路存在兩個基本需求。一者為低觸發電壓(V_t)而另一者為由再生的SCR作用產生之低保持電壓(V_h)。藉由個別描示於圖3及4之Bipolar SCR設計結構及電路之優點,NPN電晶體80之基極可被外部偏壓。如此,經由NPN電晶體80之操作,此外部偏壓提供一額外的機構以控制BSCR。如先前所提及者,就觸發電壓(V_t)及保持電壓(V_h)而言,使用Bipolar SCR之主要考量為BSCR並未顯示明顯優於使用NPN電晶體之利益。於BSCR及NPN電晶體之間的保持電壓實質相似之主要原因在於需要射-基累增擊穿以維持PNP電晶體82為"導通"狀態。雖然,NPN及PNP電晶體兩者皆"導通",因而提供一低導通電阻於電路中,但是缺乏來自累增射極基極接面加入的電流而不具有再生的SCR作用。為能降低保持電壓,需要NPN較困難地導通,因而提供較多電流通過N型井電阻($R_{N井}$)以提高PNP 82之基-射電壓並因而使PNP較困難地導通。此可藉由增加基-射電阻(R_{be})而獲得。電流強制通過基-射電阻將使NPN電晶體80順向偏壓以及使電晶體80在沒有集-基累增之情況下導通。以此方式啟動之NPN電晶體可降低觸發電壓 V_t 。如下即將闡釋關於例示於圖6之電路圖者,本發明進一步之觀點可提供一齊納二極體使電流偏壓更容易。

五、發明說明（9）

參照圖6，其例示依據本發明所教示之以BiCMOS技術製造之0.8微米Bipolar SCR ESD保護電路。此例示之電路與例示於圖4者相類似，除了一NPN齊納二極體100及一1K多晶矽電阻102合併於電路之外。此齊納二極體100係由NPN電晶體80之基-射接面所形成。該齊納二極體100之導通電壓為NPN基-射擊穿電壓，其對於一給定之製程而言需要較供電電壓稍高，以確保ESD保護電路不會在正常電路操作期間觸發。吾人可意欲選擇性提供一與齊納二極體100串聯之順向二極體串（未示）以增加電路觸發電壓，尤其是對於那些齊納擊穿電壓較供電電壓為低者。於ESD期間，當墊片電壓超出齊納擊穿電壓時，則齊納二極體100擊穿，而電流流經1K多晶矽電阻102以觸發Bipolar SCR NPN電晶體，因而使BSCR導通以傳導高ESD電流。

圖7例示於圖6之保護電路之電流-電壓圖，其中該深 N^+ 集極擴散（圖3B中之 N^+ 區76）係由一延伸進入N型井58而非圖3A之通過之N型井58至深 N^+ 埋層54之較淺 N^+ 擴散所取代。此較淺擴散藉由增加PNP電晶體82之基-射電阻而加強SCR作用。

圖7清楚地說明觸發電壓(V_t)可降低至7V且保持電壓(V_h)可降低至約1.7伏。此電路亦可處理高至2安培ESD電流，而鉗位電壓仍維持在僅約7伏。於一ESD測試之下，前述具有100微米寬BSCR之電路展現6.7千伏之ESD臨限電壓及3.2伏/平方微米($V/\mu m^2$)之ESD功效（其係以保護電路區域之每單位ESD伏量測）。對照之下，以實質相似

五、發明說明 (10)

製程製造之NPN電晶體僅展現2.3伏／平方微米之功效。因此，藉由本發明構造之優點可獲得幾乎40%之ESD功效增益。以不同之方式陳述，對於給定之ESD臨限電壓而言，本發明之Bipolar SCR電路允許40%之電容負載降低。此外，如圖7所示之電流／電壓圖，此電路可處理高至約2 安培ESD電流而不會受損。在2 安培電流時，鉗位電壓約7 伏。對照之下，以類似製程製造之NPN電晶體之保持及觸發電壓兩者皆明顯較高，其分別約在8 及18伏。因此，吾人可感知上述電壓降低位準可提供較之前所獲得者相當大的電路保護位準。

雖然本發明業已參照例示實施例以說明，惟此說明並不以限制意義闡釋。本發明其它不同的實施例對於熟於此技藝之人士於參照本說明後將是顯而易見的。因此意欲以後附之申請專利範圍涵蓋實施例之任何修正，而落入本發明之範圍及精神。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紛

四、中文發明摘要(發明之名稱：

供高速雙極性／雙極互補金氧半導體
電路之靜電放電保護之雙極性矽控整
流器觸發

本發明提供一種如矽控整流器(SCR)之雙極性(Bipolar)結構，顯示利於低觸發及保持電壓以供雙極性／雙極互補金氧半導體(Bipolar/BiCMOS)電路使用於高速(例如900 MHz - >2 GHz)次微米靜電放電(ESD)保護電路。此Bipolar結構之特徵在於輸入及輸出引腳上之低分路電容及及低串聯電阻，而允許ESD保護電路之構造具有小的矽區域及幾乎沒有阻抗加於信號路徑中。以本發明較佳之觀點，該SCR係以習知技藝所慣用者裝配於Bipolar/BiCMOS元件之N型井，其相對於P基底。

本發明較佳之觀點係使用一齊納(Zener)二極體與一電阻組合以經由NPN電晶體控制雙極性矽控整流器(BSCR)操作。齊納二極體之導通電壓予以選擇使能比得上NPN結構之射-基擊穿電壓，其僅較供電電壓稍高以確保ESD保護電路不會在正常電路操作下觸發。可選擇性地加入一與齊納二極體串聯之順向二極體串以增加電路觸發電壓，尤其是在供電電壓超出齊納擊穿電壓之情況時。於ESD期間，當墊片電壓超出齊納擊穿電壓時，則齊納二極體擊穿，而電流流經相關聯(多晶矽)電阻以觸發Bipolar SCR之NPN並因而自相關聯的保護電路啓動BSCR以傳導高ESD電流。

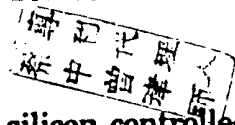
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文發明摘要 (發明之名稱: Improved Bipolar SCR Triggering for ESD
Protection of High Speed Bipolar/BiCMOS
Circuits)



The invention provides a Bipolar structure such as a silicon controlled rectifier (SCR) that exhibits advantageously low triggering and holding voltages for use in high speed (e.g., 900 MHz - >2 GHz) submicron ESD protection circuits for Bipolar/BiCMOS circuits. The Bipolar structure features a low shunt capacitance and a low series resistance on the input and output pins, allowing for the construction of ESD protection circuits having small silicon area and little to no impedance added in the signal path. In a preferred aspect of the invention, the SCR is assembled in the N-well of the Bipolar/BiCMOS device, as opposed to the P-substrate, as is customary in the prior art.

A preferred aspect of the invention utilizes a Zener diode in combination with a resistor to control BSCR operation through the NPN transistor. The turn-on voltage of the Zener is selected so as to be comparable to the emitter-base breakdown voltage of the NPN structure, which is only slightly higher than the power supply voltage to ensure that the ESD protection circuit will not be triggered under normal circuit operation. A forward diode string can optionally be added in series with the Zener to increase circuit trigger voltage, particularly in instances where the power supply voltage exceeds the Zener breakdown voltage. During an ESD event, when pad voltage exceeds Zener breakdown voltage, the Zener breaks down, and current flows through an associated (polysilicon) resistor to trigger the NPN of the Bipolar SCR and thus activate the BSCR to conduct the High ESD current from the associated, protected circuit.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種保護電路免於靜電放電之結構，包含

a. 一第一半導體層52，形成自具有第一傳導型式之半導體材料；

b. 一第二半導體層54，位於該第一半導體層52之至少一部分之上，該第二半導體層54係形成自具有與該第一半導體層相對傳導型式之材料；

c. 一第三半導體層58，至少部分位於該第二半導體層54之上，該第三半導體層具有一類似於該第二半導體層54之傳導型式；

d. 至少兩個橫向間隔的第一植入區62及64，位於鄰接該第三半導體層58，該植入區具有共同的傳導型式；

e. 一第二植入區66，插入於該至少兩個第一植入區62及64之間；

f. 一第三植入區68，至少與該第二植入區66之一部分接觸且具有相對於該第二植入區之傳導型式；及

g. 一第四植入區76，與該第三植入區68橫向間隔且具有與該第三植入區共同之傳導型式，該第一62，第二66及第三68植入區與該第三半導體層58界定一雙極性矽控整流器。

2. 如申請專利範圍第1項之結構，其中該第一植入區62、64之一係供作為該矽控整流器之陽極而該第一植入區之另一者係供作為一NPN電晶體80之基極及供作為一PNP電晶體82之集極。

3. 如申請專利範圍第2項之結構，其中該第三植入區68包

六、申請專利範圍

含一供該NPN電晶體之射極。

4.如申請專利範圍第2項之結構，進一步包含一電阻90連接至該PNP電晶體。

5.如申請專利範圍第4項之結構，其中該電阻90連接於該NPN電晶體80之集極及該PNP電晶體82之射極之間。

6.如申請專利範圍第2項之結構，進一步包含一電流偏壓元件100與該NPN電晶體80電通訊。

7.如申請專利範圍第6項之結構，其中該電流偏壓元件包含一齊納二極體。

8.如申請專利範圍第7項之結構，進一步包含一電阻102連接至該齊納二極體。

9.如申請專利範圍第7項之結構，其中該齊納二極體100係形成在該NPN電晶體80之基-射接面。

10.如申請專利範圍第6項之結構，進一步包含一順向二極體串連接至該電流偏壓元件。

11.如申請專利範圍第1項之結構，進一步包含至少兩個橫向間隔的堆疊區56a、56b接觸該第一52及第二54半導體層。

12.如申請專利範圍第11項之結構，其中一隔離區域係由一位於該橫向間隔的堆疊區56a、56b及該第二半導體層54之間的空間所界定，該隔離區域包含該第三半導體層58。

13.一種保護電路免於靜電放電之結構，包含：

a.一第一半導體層52，形成自具有第一傳導型式之半

六、申請專利範圍

導體材料；

b. 一第二半導體層54，位於該第一半導體層52之至少一部分之上，該第二半導體層54係形成自具有與該第一半導體層相對傳導型式之材料；

c. 一第三半導體層58，至少部分位於該第二半導體層54之上，該第三半導體層具有一類似於該第二半導體層54之傳導型式；

d. 至少兩個橫向間隔的第一植入區62及64，位於鄰接該第三半導體層58，該植入區具有共同的傳導型式；

e. 一第二植入區66，插入於該至少兩個第一植入區62及64之間；

f. 一第三植入區68，至少與該第二植入區66之一部分接觸且具有相對於該第二植入區之傳導型式；

g. 一第四植入區76，與該第三植入區68橫向間隔且具有與該第三植入區共同之傳導型式，其中該第一植入區62、64之一係供作為該矽控整流器之陽極而該第一植入區之另一者係供作為一NPN電晶體80之基極及供作為一PNP電晶體82之集極；及

h. 一電流偏壓元件100併入於該電晶體80、82之一。

14. 如申請專利範圍第13項之結構，其中該電流偏壓元件100包含一連接至該NPN電晶體之基-射接面之齊納二極體。

15. 如申請專利範圍第13項之結構，其中該電流偏壓元件

六、申請專利範圍

100包含一形成在該NPN電晶體80之基-射接面之齊納二極體，並進一步包含一電阻102與該齊納二極體串聯連接。

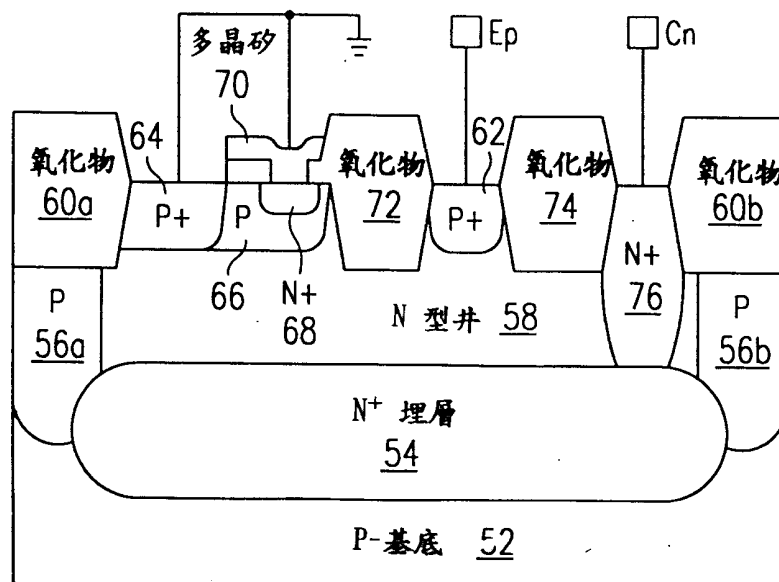
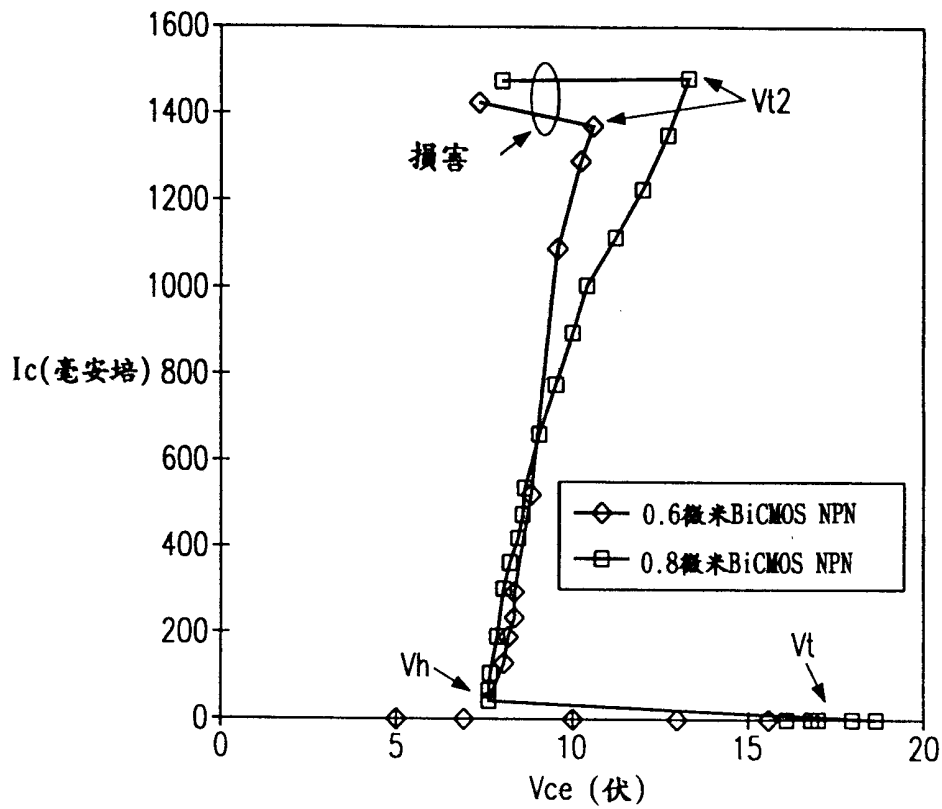
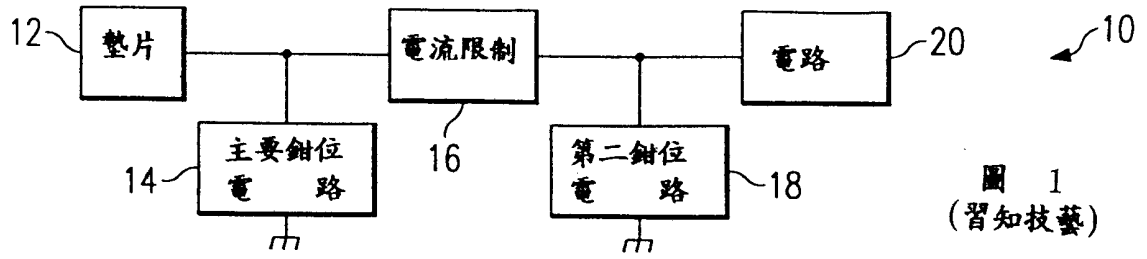
(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線





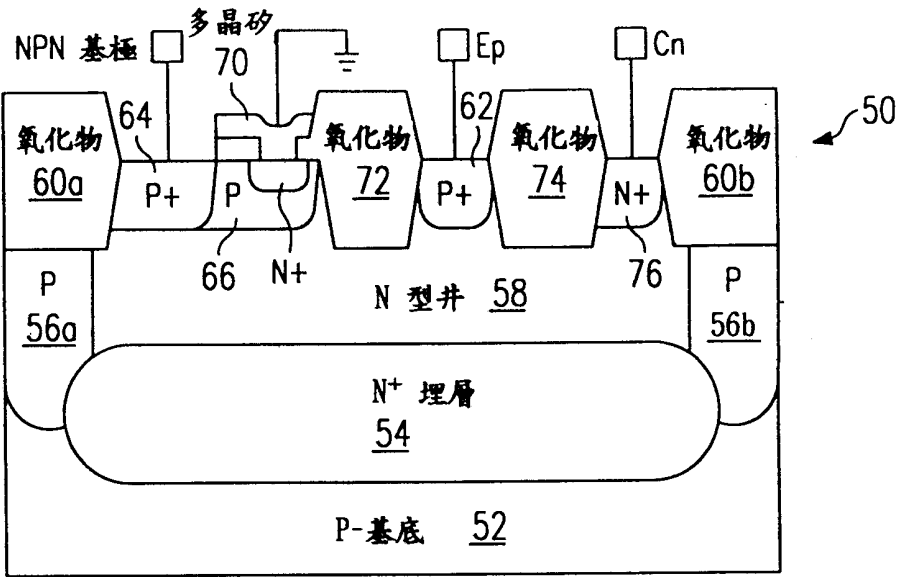


圖 3B

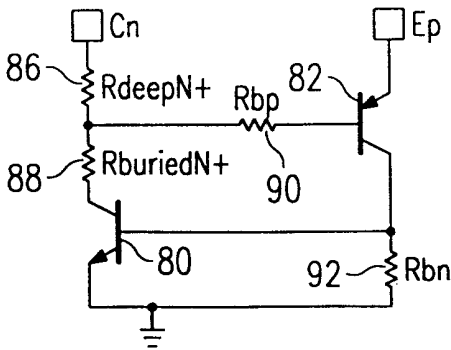


圖 4



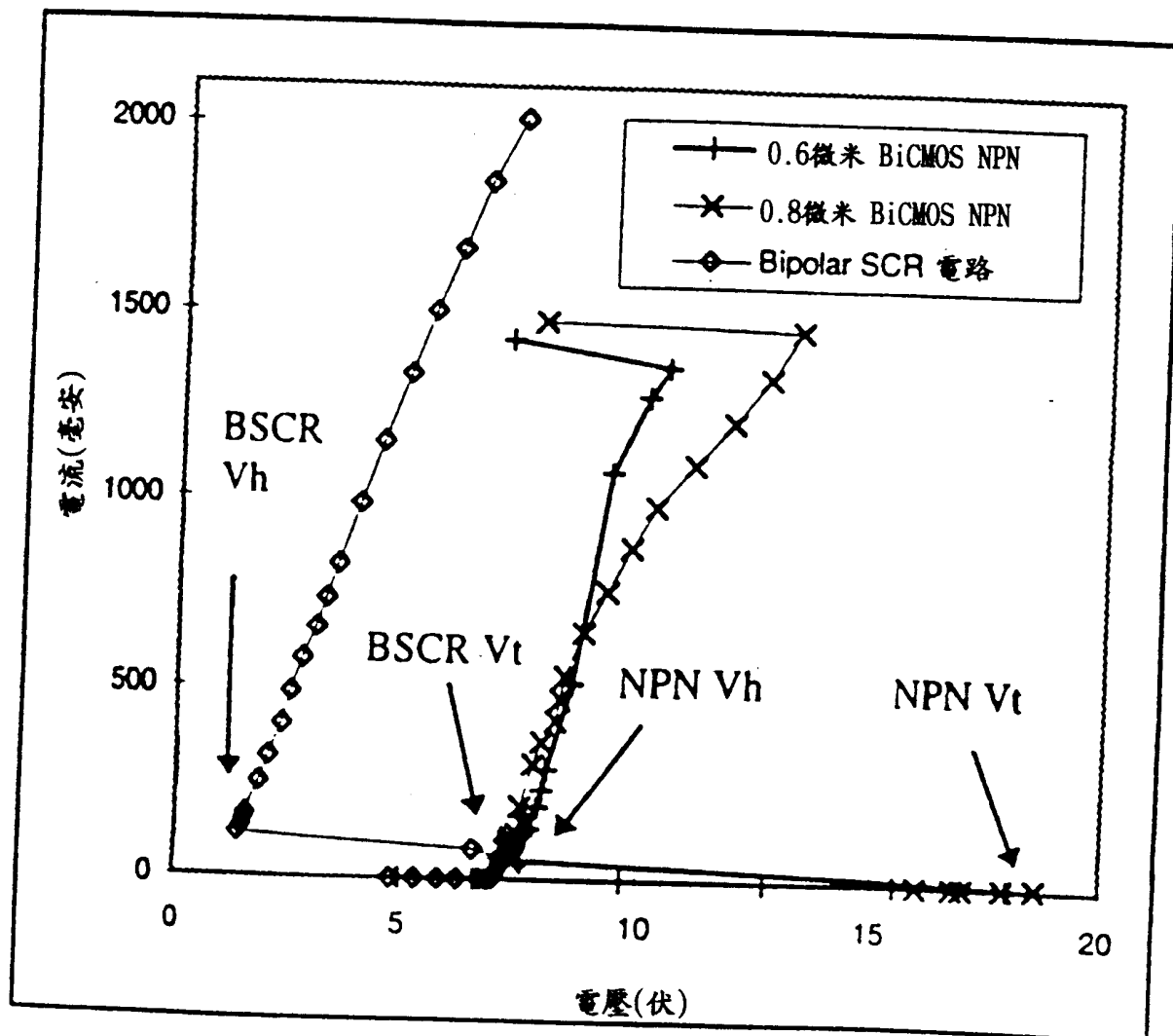


圖 7