

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/28 (2006.01)

H03K 17/687 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410005563.6

[45] 授权公告日 2007 年 11 月 28 日

[11] 授权公告号 CN 100351881C

[22] 申请日 2004.2.18

[21] 申请号 200410005563.6

[30] 优先权

[32] 2003.2.18 [33] JP [31] 39709/2003

[32] 2003.12.24 [33] JP [31] 427980/2003

[73] 专利权人 富士通日立等离子显示器股份有限公司

地址 日本神奈川县

[72] 发明人 小野泽诚 冈田义宪 黄木英明
平正敏 小泉治男

[56] 参考文献

JP8-335863A 1996.12.17

JP4160815A 1992.6.4

US5440258A 1995.8.8

JP2001-282181A 2001.10.12

JP2002-351388SA 2002.12.6

US6236237B1 2001.5.22

审查员 席万花

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 李德山

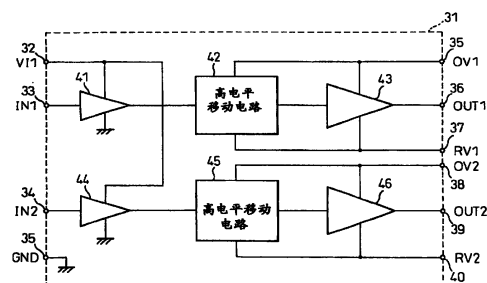
权利要求书 3 页 说明书 20 页 附图 26 页

[54] 发明名称

等离子体显示设备

[57] 摘要

本申请公开了一种预驱动电路、容性负载驱动电路和等离子体显示设备。该预驱动电路具有低的高电平和低电平输出电压定时偏离，包括多个驱动系统，每个驱动系统具有放大输入到输入电压端子的输入电压的输入放大器电路，移动从输入放大器电路输出的信号的电平的高电平移动电路，以及放大从高电平移动电路输出的信号的输出放大器电路，并且每个驱动系统具有相同的结构。



1. 一种等离子体显示设备, 包括:
 - 向等离子体显示板输送高电压的第一开关元件;
 - 向所述等离子体显示板输送低电压的第二开关元件;
 - 第一高电平移动电路, 该电路将以地电平为参考的第一信号转换为以第一开关元件的参考电源电压电平为参考的信号; 和
 - 第二高电平移动电路, 该电路将以地电平为参考的第二信号转换为以第二开关元件的参考电源电压电平为参考的信号。
2. 如权利要求 1 所述的等离子体显示设备, 其中, 所述第一高电平移动电路和第二高电平移动电路具有基本相同的电路构造。
3. 如权利要求 1 所述的等离子体显示设备, 还包括:
 - 第一输入放大器电路, 该电路通过放大第一输入信号而生成所述第一信号; 和
 - 第二输入放大器电路, 该电路通过放大第二输入信号而生成所述第二信号;其中, 用于输送第一和第二输入放大器电路的驱动电源的电源端子和用于输送第一和第二开关元件的驱动电源的电源端子被分开提供。
4. 如权利要求 2 所述的等离子体显示设备, 还包括:
 - 第一输入放大器电路, 该电路通过放大第一输入信号而生成所述第一信号; 和
 - 第二输入放大器电路, 该电路通过放大第二输入信号而生成所述第二信号;其中, 用于输送第一和第二输入放大器电路的驱动电源的电源端子和用于输送第一和第二开关元件的驱动电源的电源端子被分开提供。
5. 如权利要求 3 所述的等离子体显示设备, 还包括波形处理电路, 每个波形处理电路被设在所述输入信号的输入端和所述输入放大器电路之间。

6. 如权利要求4所述的等离子体显示设备,还包括波形处理电路,每个波形处理电路被设在所述输入信号的输入端和所述输入放大器电路之间。

7. 一种等离子体显示设备,包括:

向等离子体显示板输送高电压的第一开关元件;

向所述等离子体显示板输送低电压的第二开关元件;

第一负电平移动电路,该电路将以地电平为参考的第一信号转换为以第一负电平的电平为参考的信号;

第一高电平移动电路,该电路将所述第一负电平移动电路的输出信号转换为以所述第一开关元件的参考电源电压电平为参考的信号;

第二负电平移动电路,该电路将以地电平为参考的第二信号转换为以第二负电平的电平为参考的信号;和

第二高电平移动电路,该电路将所述第二负电平移动电路的输出信号转换为以所述第二开关元件的参考电源电压电平为参考的信号。

8. 如权利要求7所述的等离子体显示设备,其中,所述第一高电平移动电路和第二高电平移动电路具有基本相同的电路构造。

9. 如权利要求7所述的等离子体显示设备,还包括:

第一输入放大器电路,该电路通过放大第一输入信号而生成所述第一信号;和

第二输入放大器电路,该电路通过放大第二输入信号而生成所述第二信号;

其中,用于输送第一和第二输入放大器电路的驱动电源的电源端子和用于输送第一和第二开关元件的驱动电源的电源端子被分开提供。

10. 如权利要求8所述的等离子体显示设备,还包括:

第一输入放大器电路,该电路通过放大第一输入信号而生成所述第一信号;和

第二输入放大器电路,该电路通过放大第二输入信号而生成所述第二信号;

其中,用于输送第一和第二输入放大器电路的驱动电源的电源端

子和用于输送第一和第二开关元件的驱动电源的电源端子被分开提供。

11. 如权利要求 9 所述的等离子体显示设备, 还包括波形处理电路, 每个波形处理电路被设在所述输入信号的输入端和所述输入放大器电路之间。

12. 如权利要求 10 所述的等离子体显示设备, 还包括波形处理电路, 每个波形处理电路被设在所述输入信号的输入端和所述输入放大器电路之间。

等离子体显示设备

技术领域

本发明涉及预驱动电路和容性负载驱动电路，并且涉及使用上述电路的等离子体显示设备。更具体的，本发明涉及改善引起维持（sustain）放电的驱动信号的定时。

背景技术

等离子体显示设备已经作为平板显示器投入实际使用，并且是具有高亮度的薄显示器。图1是示出常规三电极AC驱动的等离子体显示设备的一般构造的图。如图所示，等离子体显示设备包括由两个基板构成的等离子体显示板（PDP）1，其间封入放电气体，每个基板具有交替相邻排列的多个X电极（X1、X2、X3、…、Xn）和多个Y电极（Y1、Y2、Y3、…、Yn）、垂直于X和Y电极方向排列的多个地址电极（A1、A2、A3、…、Am）以及在交叉点设置的荧光剂；将地址脉冲等加到地址电极上的地址驱动器2；将维持放电脉冲等加到X电极上的X公共驱动器3；将扫描脉冲等依次加到Y电极上的扫描驱动器4；将要加到Y电极上的维持放电脉冲等加到扫描驱动器4上的Y公共驱动器5；以及控制各部分的控制电路6，其中控制电路6具有还包括帧存储器和包括扫描驱动器控制部分9和公共驱动器控制部分10的驱动控制电路8的显示数据控制部分7。X公共驱动器3和Y公共驱动器5分别包括输出维持脉冲的维持电路，并且每个维持电路具有维持输出元件。由于等离子体显示设备为众所周知的，所以这里不再给出关于整个设备的详细介绍，而只介绍与本发明有关的X公共驱动器3和Y公共驱动器5。在例如日本待审专利公开（Kokai）No. 2001-282181和日本待审专利公开（Kokai）No. 2002-351388中公开了等离子体显示设备的X公共驱动器3、扫描驱动器和Y公共驱动器5。日本待审专利公开（Kokai）No. 8-335863中公开了用在这种驱动器中

的功率晶体管驱动电路以及通过集成驱动电路在单个芯片中形成的 IC。

图 2 是示出在日本待审专利公开 (Kokai) No. 8-335863 中公开的功率晶体管驱动电路的一般结构的图, 并且整个包括在由虚线所示的 IC 11 中。在等离子体显示设备中, 图 2 中的功率晶体管驱动 IC 用作驱动维持输出元件的预驱动电路。在图 2 所示的功率晶体管驱动 IC 11 中, 在输入放大器电路 21 中放大高电平输入电压 HIN , 在高电平移动电路 22 中转换为以高电平参考电压 Vr 为参考的电压, 并通过输出放大器电路 23 作为高电平输出电压 HO 输出。另一方面, 在输入放大器电路 24 中放大低电平输入电压 LIN , 并在通过延迟电路 25 输入到输出放大器电路 26 并在其中放大之后作为低电平输出电压 LO 输出。附图标记 12 和 13 分别表示高电平输入电压 HIN 和低电平输入电压 LIN 的输入端, 附图标记 16 和 19 分别表示高电平输出电压 HO 和低电平输出电压 LO 的输出端, 附图标记 15 表示高电平电源电压 Vc 的供应端, 附图标记 17 表示高电平电源电压 Vr 的供应端, 附图标记 18 表示低电平电源电压 Vd 的供应端, 附图标记 20 表示接地端。

在图 2 中的功率晶体管驱动 IC 中, 延迟电路 25 用来调节在高电平输入电压 HIN 和高电平输出电压 HO 之间在上升时间上的差 $tdLH(HO)$ 以及在低电平输入电压 LIN 和低电平输出电压 LO 之间在上升时间上的差 $tdLH(LO)$, 从而使它们相等。此外, 延迟电路 25 还用来调节在高电平输入电压 HIN 和高电平输出电压 HO 之间在下降时间上的差 $tdHL(HO)$ 以及在低电平输入电压 LIN 和低电平输出电压 LO 之间在下降时间上的差 $tdHL(LO)$, 从而使它们相等。但是, 延迟电路 25 不可能使 $tdLH(HO)$ 和 $tdLH(LO)$ 彼此完全一致, 并且不可避免地会出现一定的差别。同样, 也不可能使 $tdHL(HO)$ 和 $tdHL(LO)$ 彼此完全一致, 并且不可避免地会出现一定的差别。

当图 2 所示的功率晶体管驱动 IC 在等离子体显示设备中用作预驱动电路时, 维持输出元件, 例如功率 MOSFET 和 IGBT (绝缘栅双极晶体管) 连接到输出端 16 和 19。在等离子体显示设备 (PDP 设备)

中，通过开/关维持输出元件产生维持脉冲，并加到等离子体显示板（PDP）的 X 电极和 Y 电极。

图 3 示出了在 PDP 设备中的维持电路的例子，在图 2 中的功率晶体管驱动 IC 用作维持输出元件的预驱动电路 11A 和预驱动电路 11B。在图 3 中，CU 和 CD 表示维持输出元件，通过开/关这些输出元件，维持脉冲加到对应于容性负载的 PDP 上。在图 3 中，输入信号 CUI 作为预驱动电路 11A 的高电平输入电压的输入并加到输出元件 CU 作为高电平输出电压。另一方面，输入信号 CDI 作为预驱动电路 11A 的低电平输入电压的输入并加到输出元件 CD 作为低电平输出电压。

当输出元件 CU 导通时，电源电压 V_s 通过二极管 D1 和输出元件 CU 加到 PDP（此时，输出元件 CD 关断）。当输出元件 CD 导通时，地（GND）电压通过输出元件 CD 加到 PDP（此时，输出元件 CU 关断）。另一方面，从电源 V_e 通过二极管 D2 对电容器 C1 充以驱动输出元件 CU 的预驱动电路 11A 的电源电压（在电容器 C1 上保持的高电平电源电压）。从电源 V_e 对电容器 C2 直接充以驱动输出元件 CD 的预驱动电路 11A 的电源电压（在电容器 C2 上保持的低电平电源电压）。在图 3 所示的电路中，通过交替开/关输出元件 CU 和 CD 向 PDP 提供维持脉冲。

在图 3 中的 LU 和 LD 是功率回收输出元件，通过开/关 LU 和 LD 减少通过 CU 和 CD 向 PDP 提供的功率。在图 3 中，输入信号 LUI 作为预驱动电路的高电平输入电压而被输入，并加到输出元件 LU 作为高电平输出电压。输入信号 LDI 作为预驱动电路的低电平输入电压而被输入，并加到输出元件 LD 作为低电平输出电压。

当输出元件 LU 导通时，在电源电压 V_s 和 GND 之间串联连接的电容 C5 和 C6 的中点电压 V_p 通过输出元件 LU、二极管 D4 和线圈 L1 加到 PDP 上（此时，输出元件 LD 关断）。另一方面，当输出元件 LD 导通时，上述中点电压 V_p 通过线圈、二极管 D5 和输出元件 LD 加到 PDP 上（此时，输出元件 LU 关断）。从电源 V_e 通过二极管 D3 对电容器 C3 充以驱动输出元件 LU 的预驱动电路的电源电压在（电容

器 C3 上保持的高电平电源电压)。另一方面,从电源 V_e 直接对电容器 C4 充以驱动输出元件 LD 的预驱动电路的电源电压(在电容器 C4 上保持的低电平电源电压)。在图 3 所示的电路中,输出元件 LU 导通之后输出元件 CU 马上导通,输出元件 LD 导通之后输出元件 CD 马上导通,由此降低由 CU 和 CD 引起的功率损耗。

在图 3 所示的电路中,在等离子体显示设备复位期间开关 SW1 导通,并用来通过输出元件 CU 向 PDP 提供复位电压 V_w 。

在图 2 所示的使用功率晶体管驱动 IC 的预驱动电路中,延迟电路 25 调节高电平输入电压 HIN 和高电平输出电压 HO 之间在上升时间上的差 $tdLH(HO)$ 以及低电平输入电压 LIN 和低电平输出电压 LO 之间在上升时间上的差 $tdLH(LO)$,从而使它们相等。但是,预驱动电路中的高电平移动电路与对时间产生对应于电路中的延迟时间的延迟量的延迟电路不同,不可能完全使两个电路在包括元件和温度特性变化的延迟特性方面彼此一致。结果,在 $tdLH(HO)$ 和 $tdLH(LO)$ 之间不可避免地会出现一定的差别。

当在 $tdLH(HO)$ 和 $tdLH(LO)$ 之间存在差别的预驱动电路用在图 3 所示的等离子体显示设备中的维持电路中时,存在输出元件 CU 和 CD 的开/关定时偏离希望值的可能性。如果出现定时的偏离,则存在输出元件同时导通的可能性,因此,直通电流会流过 CU 和 CD,并且过电流可能损坏元件。

同样的,存在功率回收输出元件 LU 和 LD 导通的定时偏离希望值的可能性。由于定时的偏离,存在功率回收电流在上升时(电流流过 L1)和功率回收电流在下降时(电流流过 L2)变得不平衡的可能性,因此,电容 C5 和 C6 的中点电压 V_p 的值偏离中间电压并且功率回收操作不能正常进行,从而增加功耗。

此外,有一种通过使用具有相同绝对值但极性相反的维持脉冲来减小输出元件的耐压的结构。但是,控制信号是以地为参考的信号。因此,当负电压的驱动信号从上述预驱动电路输出时,预驱动电路的低电平参考电压必须变为负维持电压,并且提供电平移动电路将输入

电压信号转换为以负维持电压为参考的信号。由于电平移动电路和上述预驱动电路是不同的电路，所以出现上述相同的问题。

在最近几年，要求等离子体显示设备通过减小维持脉冲的周期（维持周期）增加在一帧中的维持脉冲的数量，以便增加亮度。但是，如果维持周期减小，上述问题变得更重要了。

发明内容

本发明的目的是实现一种预驱动电路，其中减小了高电平输出电压和低电平输出电压的定时的偏离，并防止元件的损坏和容性负载驱动电路功耗的增加，以及使用该驱动电路的等离子体显示设备。

为了实现上述目的，根据本发明的预驱动电路包括具有输入放大器电路、高电平移动电路和输出放大器电路的多个结构相同的驱动系统。

在图2中所示的延迟电路25具有比高电平移动电路22的结构简单的电路，并且可以减小电路尺寸。在低电平电压驱动系统中，不需要将放大的输入功率信号移动到高电平功率信号，因此，在常规预驱动电路（功率晶体管驱动IC）中，用延迟电路减小电路尺寸。但是，本发明人发现该结构会导致上述问题。

如果使用本发明的预驱动电路，则不会引起定时偏离，因为提供具有相同结构的多个驱动系统，并且通过使用高电平移动电路代替延迟电路可以使高电平电压驱动电路和低电平电压驱动电路具有相同的结构。因此，如果使用采用该预驱动电路的IC，则能够将用于驱动输出元件CU和CD的门脉冲的上升时间和下降时间精确地设置为希望的情况。由此，可以避免由于CU和CD同时导通产生的过电流引起的损坏。

如果使用本发明的预驱动电路，则能够将用于驱动输出元件CU和CD的门脉冲的上升时间和下降时间精确地设置为希望的情况。因此，能够减小由于在维持脉冲上升时的功率回收（电流流过L1）和在维持脉冲下降时的功率回收（电流流过L2）之间的不平衡引起的电容

器 C5 和 C6 的中点电压 V_p 的变化。由此，防止由不正常的功率回收操作引起的功耗的增加。

电平移动电路根据所加的参考电源电压移动输入电压。因此，为构成低电平电压驱动系统的电平移动电路提供相应的参考电源电压。在图 2 和图 3 的例子中，低电平电压驱动系统的参考电源电压是地（GND）电平，但是在稍后介绍的结构中，高电平输出电压和低电平输出电压具有相同的绝对值但相反的极性，也可以通过使用本发明的预驱动电路为驱动系统中的一个提供正参考电源电压而为驱动系统中的另一个提供负参考电源电压。

希望在同一个半导体芯片上形成多个驱动系统，即，将它们集成到 IC 中。由此，可以增强两个驱动系统的电路特性的相似性。

希望提供与为多个驱动系统的输出放大器电路的驱动电源供电的电源电压端子分开的为多个驱动系统的输入放大器电路的驱动电源供电的电源电压端子。

还能够提供波形处理电路，例如在多个驱动系统的各输入电压端子和输入放大器电路之间的施密特触发器电路。在这种情况下，需要为波形处理电路提供另一个电源电压，因此，提供波形处理电路的电源端子，或者提供通过转换加在输入放大器电路的电源电压端子的电压为波形处理电路提供电源电压的稳压电路。

希望预驱动电路中的驱动系统的数量为两个或四个。

当通过使用具有两个驱动系统的预驱动电路（IC）构成容性负载驱动电路，例如等离子体显示设备的维持电路时，提供具有两个驱动系统、连接到驱动系统中的一个的输出放大器电路的输出的第一开关元件（CU）和连接到另一个驱动系统的输出放大器电路的输出的第二开关元件（CD）的预驱动电路，通过第一开关元件为容性负载提供高电平电压，通过第二开关元件为容性负载提供低电平电压。当在容性负载驱动电路中提供功率回收电路时，还提供具有两个驱动系统的第二预驱动电路，并且提供连接到第二预驱动电路的驱动系统中的一个的输出放大器电路的输出的第三开关元件（LU）和连接到另一个驱动

系统的输出放大器电路的输出的第四开关元件(LD)，而且通过第三开关元件和第一线圈为容性负载提供高电平电压，通过第四开关元件和第二线圈为容性负载提供低电平电压。

当通过使用具有四个驱动系统的预驱动电路构成具有功率回收电路的容性负载驱动电路时，第一到第四开关元件分别连接到四个输出放大器电路的输出。

为了更精确地调节定时，希望提供用于在预驱动电路的前级或后级调节信号的输入和输出时间的延迟时间调节电路。通过例如可以从多个电阻值中选择所用的电阻值的可变电阻器和电容器的组合可以实现延迟时间调节电路。当可以选择的电阻值的数量相同时，可选择的电阻值的范围越小，可调节的电阻值越精确。根据本发明，因为与常规情况相比可以减小定时的偏离范围，所以可以获得更精确地调节。

也可以为不连接到容性负载的第三开关的端子提供除高电平电压和低电平电压之间的中间电压以外的其它电压。

高电平电压和低电平电压可以任意设置，例如，高电平电压设为电源电压，低电平电压设为地电压，或者高电平电压设为正电压，低电平电压设为绝对值与高电平电压相同的负电压。

当低电平电压为负电压时，在预驱动电路的多个输入电压端的前级中提供将输入信号相对于地电压的电平转换为相对于低电平电压的电平的输入电平移动电路。

此外，当提供上述输入电平移动电路或波形处理电路时，希望在预驱动电路中提供这些电路。这时，可以减小由于这些电路与预驱动电路分别提供所产生的定时偏差。

此外，当在预驱动电路中提供上述输入电平移动电路和波形处理电路时，希望采用上述结构。例如，应当分别提供各电路的电源电压端子，并且应当在一个封装中形成包括输入电平移动电路和波形处理电路的预驱动电路，特别是，在同一个半导体芯片上。换句话说，希望它们形成在一个集成电路中。

此外，希望在波形处理电路中提供集成电路来去掉噪声。

此外，希望提供避免同时导通电路，以便当为一对驱动元件输出一对驱动信号的两个驱动系统中的一个的输出激活时，保持另一个处于关闭状态。

根据本发明的一个方面，提供了一种等离子体显示设备，包括：向等离子体显示板输送高电压的第一开关元件；向所述等离子体显示板输送低电压的第二开关元件；第一高电平移动电路，该电路将以地电平为参考的第一信号转换为以第一开关元件的参考电源电压电平为参考的信号；和第二高电平移动电路，该电路将以地电平为参考的第二信号转换为以第二开关元件的参考电源电压电平为参考的信号。

根据本发明的另一方面，提供了一种等离子体显示设备，包括：向等离子体显示板输送高电压的第一开关元件；向所述等离子体显示板输送低电压的第二开关元件；第一负电平移动电路，该电路将以地电平为参考的第一信号转换为以第一负电平的电平为参考的信号；第一高电平移动电路，该电路将所述第一负电平移动电路的输出信号转换为以所述第一开关元件的参考电源电压电平为参考的信号；第二负电平移动电路，该电路将以地电平为参考的第二信号转换为以第二负电平的电平为参考的信号；和第二高电平移动电路，该电路将所述第二负电平移动电路的输出信号转换为以所述第二开关元件的参考电源电压电平为参考的信号。

根据本发明，能够减小在预驱动电路的高电平侧和低电平侧之间出现的输入和输出延迟时间的差。此外，通过将使用预驱动电路的容性负载驱动电路用于等离子体显示设备，能够防止由于输入和输出延迟时间的不同引起的元件的损坏和功耗的增加。

附图说明

通过下面结合附图的介绍，能够更清晰地理解本发明的特性和优点，其中：

图 1 是普通等离子体显示设备的结构图；

图 2 是常规预驱动电路（功率晶体管驱动 IC）图；

图 3 是普通等离子体显示设备的维持电路的结构图；

图 4 是在本发明的第一实施例中的预驱动电路的结构图；

图 5A 到 5C 是根据常规情况和本发明的输入和输出延迟时间以及差的分布图；

图 6 是第一实施例的预驱动电路的高电平移动电路的具体结构图；

图 7 是本发明的第二实施例的维持电路的结构图；

图 8 是本发明的第三实施例的维持电路的结构图；

图 9 是输入和输出延迟时间调节电路的例子的图；

图 10 是本发明的第四实施例的维持电路的结构图；

图 11 是本发明的第五实施例的维持电路的结构图；

图 12 是输入电平移动电路的例子的结构图；

图 13 是本发明的第六实施例的维持电路的结构图；

图 14 是本发明的第七实施例的预驱动电路的结构图；

图 15 是本发明的第八实施例的维持电路的结构图；

图 16 是本发明的第九实施例的预驱动电路的结构图；

图 17 是本发明的第十实施例的预驱动电路的结构图；
图 18 是第十实施例中的预驱动电路的特定结构图；
图 19 是本发明的第十一实施例的维持电路的结构图；
图 20 是本发明的第十二实施例的维持电路的结构图；
图 21 是本发明的第十三实施例的维持电路的结构图；
图 22 是本发明的第十四实施例的维持电路的结构图；
图 23 是本发明的第十五实施例的预驱动（维持）电路的结构图；
图 24 是本发明的第十六实施例的维持电路的结构图；
图 25 是本发明的第十七实施例的预驱动电路的具体结构图；以及
图 26 是说明第十七实施例的预驱动电路的避免同时导通电路的操作的图。

具体实施方式

图 4 是本发明的第一实施例的预驱动电路的结构图。如图 4 所示，第一驱动系统包括第一输入放大器电路 41、第一高电平移动电路 42 和第一输出放大器电路 43，第二驱动系统包括第二输入放大器电路 44、第二高电平移动电路 45 和第二输出放大器电路 46。第一和第二输入放大器电路 41 和 44、第一和第二高电平移动电路 42 和 45 以及第一和第二输出放大器电路 43 和 46 分别是相同的电路。结果，能够使第一输入电压 IN1 和第一输出电压 OUT1 之间在上升时间上的差 td_{LH1} 与第二输入电压 IN2 和第二输出电压 OUT2 之间在上升时间上的差 td_{LH2} 之间的差（ $td_{LH1} - td_{LH2}$ ）小于图 2 中所示的常规功率晶体管驱动 IC（预驱动电路）的差。同样，能够使 IN1 和 OUT1 之间在下降时间上的差 td_{HL1} 与 IN2 和 OUT2 之间在下降时间上的差 td_{HL2} 之间的差（ $td_{HL1} - td_{HL2}$ ）小于图 2 中所示的常规预驱动电路的差。

通过在虚线所示的封装中形成预驱动电路，特别是在 IC（集成电路）11 中，能够减小电路中元件的变化，并使上述差（ $td_{LH1} - td_{LH2}$ ）和（ $td_{HL1} - td_{HL2}$ ）更小。

图 5A 到 5C 是本发明的预驱动电路的效果图，即，图解定时偏差减小的图。图 5A 和图 5B 示出了通过对制造出的电路抽样得到的输入和输出延迟时间（输入电压和输出电压在上升时间上的差）的分布的例子。如图 5A 所示，通常，高电平电压驱动电路具有高电平移动电路，低电平电压驱动电路具有延迟电路，即，两个电路具有不同的结构，因此，输入和输出延迟围绕不同的中心值变化。因此，两个驱动系统之间的输入和输出延迟时间的差围绕两个中心之间的差变化，并且绝对值变得更大。相反，根据本发明，高电平电压驱动系统和低电平电压驱动系统具有相同的结构，因此，差围绕相同的中心值变化，如图 5B 所示，即，两个驱动系统之间的输入和输出延迟时间的差围绕零变化，结果，绝对值变得比常规系统小。

此外，当在同一个封装或同一个 IC 中形成预驱动电路的两个驱动系统时，认为具有相同结构的两个驱动系统的输入和输出延迟时间表现出相似的趋势，因此，两个驱动系统之间的输入和输出延迟时间的差变得更小，如图 5C 所示。根据本发明，如上所述，能够显著地降低两个驱动系统之间的输入和输出延迟时间的差。

在图 2 所示的常规预驱动电路中，低电平电源电压用作第一和第二输入放大器电路 21 和 24 的电源电压。结果，例如，即使当只使用根据输入电压 HIN 输出输出电压 HO 的高电平电压驱动系统时，也需要输入低电平电源电压。相反，在图 4 所示的第一实施例的预驱动电路中，通过独立的输入放大器电路电源电压输入端 VI1 32 提供输入放大器电路 41 和 42 的电源电压。结果，例如，当只使用高电平电压驱动系统时，不需要为第二输出放大器电路 46 提供电源电压，并且输入部分和输出部分可以独立设计。

图 6 是第一实施例的预驱动电路的高电平移动电路的具体结构图。输入电压 IN 通过电阻 R2 加到晶体管 Tr1 的栅极。晶体管 Tr1 的漏极连接到高电平电源电压 OV，并根据输入电压在晶体管 Tr1 和电阻 R3 的连接点产生电压信号。电压信号加到通过高电平电源电压 OV 和电阻 R4 连接到高电平参考电源 RV 的晶体管 Tr2 的栅极。由此，在

晶体管 Tr2 和电阻 R4 的连接点产生相对于高电平参考电源 RV 变化的电压, 并且该电压加到输出放大器电路 47。高电平移动电路应用广泛, 并且可以使用任何类型的, 例如, 可以使用在上述日本待审专利公开 (Kokai) No. 8-335863 中公开的高电平移动电路。

图 7 是本发明的第二实施例的等离子体显示设备的维持电路的结构图。如图所示, 第二实施例的维持电路具有与图 3 中所示的常规维持电路类似的结构, 但是不同点在于使用第一实施例中的预驱动电路来实现驱动输出元件 CU、CD、LU 和 LD 的预驱动电路。

如图 7 所示, 通过使用图 4 中的预驱动电路作为维持电路的预驱动电路, 能够更精确地设置加到输出元件 CU 和 CD 的门脉冲的上升时间和下降时间。结果, 能够减少当输出元件 CU 和 CD 同时导通时直通电流对它们造成损坏的可能性。此外能够更精确地设置加到输出元件 LU 和 LD 的门脉冲的上升时间和下降时间。结果, 能够精确地设定输出元件 LU 和 LD 导通的定时, 并适当地设置流过线圈 L1 的功率回收电流和流过线圈 L2 的功率回收电流的值。因此, 能够防止由于输出元件 LU 和 LD 导通定时的偏差导致的功耗的增加。

图 8 是本发明的第三实施例的等离子体显示设备的维持电路的结构图。如图所示, 第三实施例的维持电路与第二实施例中的维持电路的不同在于在每个输入电压信号 CUI、CDI、LUI 和 LDI 的输入端提供输入和输出延迟时间调节电路 47 到 50。输入和输出延迟时间调节电路 47 到 50 吸收预驱动电路的输入和输出延迟时间的变化, 并用来减小 CUI 和 VG1、CDI 和 VG2、LUI 和 VG3 以及 LDI 和 VG4 之间上升时间或下降时间的差。

例如, 可以通过由可变电阻 VR 和电容器 C 构成的延迟电路来实现输入和输出延迟时间调节电路, 如图 9 所示。由于在日本待审专利公开 (Kokai) No. 2001-282181 中已公开了输入和输出延迟时间调节电路的结构, 这里不再给出详细的介绍。

此外, 第三实施例所用的预驱动电路中, 第一输入放大器电路 41 和第二输入放大器电路 42 的阈值电压设置为与电源电压的中间电压

VI/2 大致相等。由此，可以减小由于提供输入和输出延迟时间调节电路所产生的脉冲宽度的变化。

在第三实施例的电路中，通过使用在图 4 所示的第一实施例中的预驱动电路，在由输入和输出延迟时间调节电路调节之前，能够减少输入和输出延迟时间的变化。结果，能够减小输入和输出延迟时间调节电路的可调范围。例如，当图 9 中所示的延迟电路用作输入和输出延迟时间调节电路时，能够减小电阻的可调范围。因此，当通过调节可变电阻 VR 的电阻值改变延迟时间时，能够进一步减小可由单位微调量设定的延迟时间的最小可调节量。结果，可以更精确地进行延迟时间的设定。

此外，通过减小输入和输出延迟时间调节电路的可调范围，能够减少由于元件变化而被判断为不符合规格的有缺陷的元件的数量，并提高生产率。

图 10 是在本发明的第四实施例中的等离子体显示设备的维持电路的结构图。如图所示，在第四实施例中的维持电路与第三实施例中的维持电路的不同在于复位电源连接到输出元件 CD 的参考电压侧。如图 10 所示，输出元件 CD 的参考电压侧（该侧不连接到 PDP）通过开关 SW2 连接到电压 V_w' 的电源，并通过 SW3 连接到 GND。未连接到电容器 C5 的电容器 C6 的一端通过电容器 C8 连接到输出元件 CU 的电源侧。不用说，开关 SW1 被去掉了。当复位电压 V_w 加到 PDP 上时，在输出元件 CU 导通之后开关 SW2 导通，开关 SW3 关断。由此，在电容器 C8 一端的电压从 GND 变为 V_w' ，并且 V_w' 叠加在输出元件 CU 的电源侧的电压上，变为复位电压 $V_s + V_w'$ ($=V_w$)。该复位电压 $V_s + V_w'$ 通过输出元件 CU 加到 PDP 上。此时，复位电压 $V_s + V_w'$ 和 V_w' 加在输出元件 CD 的两侧，加在输出元件 CD 上的电压为 V_s ，并且存在可以使用耐压较小的输出元件 CD 的优点。

在日本待审专利公开(Kokai)No. 2002-351388 中详细公开了 V_w' 叠加在 V_s 上由此产生复位电压 $V_s + V_w'$ 的结构。

第四实施例中的维持电路的进一步的特征在于与在图 7 中所示的

第一实施例的电路用作预驱动电路的情况相比电压 V_w' 可以加在输出元件 CD 的参考电压侧。在图 3 所示的常规预驱动电路中, 输出元件 CD 的参考电压侧连接到 GND, 并且预驱动电路的低侧参考电压也连接到 GND。此外, 当使用 IC 构成常规预驱动电路时, 它连接到 IC 中的输入部分的 GND 或者连接到 IC 中的衬底。因此, 在图 3 所示的常规预驱动电路中, 低侧参考电压不可能高于 GND。结果, 不能在输出元件 CD 的参考电压侧上叠加电压 V_w' 。

相反, 图 4 所示的第一实施例的预驱动电路中的输出参考电源端 RV2 没有连接到 IC 内的 GND 上。此外, 它没有连接到 IC 内的衬底上。因此, 能够在输出参考电源端 RV2 (V_w') 上叠加电压 V_w' 。

通常复位电压 V_w 高于维持电路的电源电压 V_s 。因此, 在图 8 所示的维持电路中, 当复位电压 V_w 从输出元件 CU 的电源侧加到 PDP 上时, 需要使用对应于复位电压的高额定电压元件作为输出元件 CD。相反, 在图 10 所示的第四实施例的维持电路中, 由于电压 V_w' 从输出元件 CD 参考电压侧施加, 所以能够减小加在输出元件 CD 上的电压。因此, 能够使用低额定电压和小芯片尺寸的低成本元件。

在图 10 所示的电路中, 取消了在图 3 中所用的电容器 C7、电阻 R1 和二极管 D6。通过使用在图 4 中所示的第一实施例中的预驱动电路, 能够将驱动功率回收输出元件 LD 的门脉冲的电平移动到以 LD 的参考电压 (电压 V_p) 为参考的脉冲。由此, 能够取消电容器 C7、电阻 R1 和二极管 D6。当使用图 2 中所示的常规预驱动电路时, 由于低侧参考电压端连接到 IC 中的 GND, 所以需要由电容器 C7、电阻 R1 和二极管 D6 构成的电平移动电路。通过使用图 4 中所示的第一实施例中的预驱动电路, 可以获得取消该电平移动电路的效果。

图 11 是本发明的第五实施例的等离子体显示设备的维持电路的结构图。在第五实施例中的维持电路是使用第一实施例中的预驱动电路的维持电路的另一个例子。在第五实施例的维持电路中, 两个电压 $V_s/2$ 和 $-V_s/2$ 用作维持电路的电源电压。在图 11 所示的电路中, 通过 CU 导通, $V_s/2$ 加到 PDP 上, 通过 CD 导通, $-V_s/2$ 加到 PDP 上。此

时, CD 的参考电压为 $-V_s/2$ 。在图 11 所示的电路中, 使用输入电平移动电路 51 到 54, 以便将加在预驱动电路的输入端的信号转换为相对于以电压 $-V_s/2$ 为参考的信号。另一方面, 在图 11 所示的电路中, 取消了图 10 中所用的电容器 C5 和 C6, GND 电压用作功率回收电压 V_{p2} 。在持续操作期间, 开关 SW5 导通, 电压 V_p 变为 GND 电压。在复位期间, 开关 SW5 关断, 开关 SW1 和 SW4 导通。结果, 当复位电压 V_w 通过 CU 加到 PDP 上时, 电压 V_{w2} 也同时加到 LD 的参考电压端。通过使用开关 SW4 和 SW5 将电压 V_{w2} 加到 LD 的参考电压端, 能够减小加到输出元件 LD 上的电压, 并采用低额定电压的元件(小芯片尺寸和低成本)作为 LD。在日本专利申请 No. 2002-141845 中公开了通过使用开关 SW4 和 SW5 减小 LD 的额定电压的结构。

在图 11 所示的第五实施例的电路中, 使用图 4 中所示的电路作为预驱动电路。在常规预驱动电路中, 由于低电平参考电压连接到输入侧的参考电压, 所以 LD 的参考电压不能高于输入侧的参考电压。相反, 通过采用图 4 中所示的预驱动电路, LD 的参考电压可以高于输入侧的参考电压 $-V_s/2$ 。

可以将输入电平移动电路与第一实施例中的预驱动电路一起形成在 IC 中。

如图 11 所示, 在 $V_s/2$ 和 $-V_s/2$ 用作维持电压的维持电路中, 可以取消用于功率回收的电容器 C5 和 C6。另外, 通过使用开关 SW4 和 SW5, 能够使用低额定电压的元件作为 LD。

图 12 是输入电平移动电路的结构例子。如图所示, 该电路是晶体管 Tr3 通过电阻 R5 和 R6 连接在电源电压 5V 和 $-V_s/2$ 之间的电路。由于该输入电平移动电路是众所周知的, 所以这里不再给出详细介绍。

图 13 是本发明的第六实施例的等离子体显示设备的维持电路的结构图。在第六实施例中的维持电路与第五实施例中的维持电路的不同在于复位电压源连接在输出元件 CD 的参考电压侧。复位电压源连接在输出元件 CD 的参考电压侧的结构优点与第四实施例中所介绍的相同。

图 14 是本发明的第七实施例的预驱动电路的结构图。第七实施例的预驱动电路的特征在于有四个驱动系统、四个输入和四个输出。每个驱动系统具有相同的电路结构，与第一实施例中的预驱动电路的每个驱动系统相同。因此，根据图 5A 到 5C 中所介绍的原理，能够减小各电路的输入和输出延迟时间（上升时间的差、下降时间的差）的差。

图 15 是本发明的第八实施例的等离子体显示设备的维持电路的结构图。如图所示，在第八实施例中的维持电路与图 3 所示的常规维持电路的不同在于第七实施例的预驱动电路用作驱动输出元件 CU、CD、LU 和 LD 的预驱动电路。通过使用第七实施例中的预驱动电路，输出元件 CU、CD、LU 和 LD 可以由一个预驱动电路驱动。因此，能够防止由于输出元件 CU 和 CD 的导通和关断的定时偏差以及由于输出元件 LU 和 LD 导通的定时偏差引起的不正常功率回收操作所造成的损坏。特别是，当四个驱动系统建立在一个 IC 中时，能够更精确地调节 LU 和 CU 以及 LD 和 CD 导通定时的差。因此，可以更精确地进行功率回收操作。虽然未在图 15 中示出，但是在图 10 中所示的输入端的前级提供输入和输出延迟时间调节电路 47 到 50，通过减小可调范围能够更精确地设置输入和输出延迟时间。

图 16 是本发明的第九实施例的预驱动电路的结构图。第九实施例的预驱动电路与图 4 所示的第一实施例中的预驱动电路的不同在于在输入端之后紧跟着是施密特触发器电路 84 和 85。在某些情况下施密特触发器电路 84 和 85 的电源电压必须与输入放大器电路 41 和 44 的不同，因此，在第九实施例的预驱动电路中提供恒压电路 83，并且通过使用恒压电路 83，由输入放大器电路 41 和 44 的电源电压 VI1 产生施密特触发器电路 84 和 85 的电源电压。还可以通过单独提供输入端输入施密特触发器电路 84 和 85 的电源电压，但是，如果如图 16 所示在预驱动电路中建立恒压电路 83，则可以带来取消输入端的效果。此外，通过形成在 IC 中内建恒压电路 83 的预驱动电路，可以减小电路尺寸。即使当使用除施密特触发器电路以外的，电源电压不同于输入放大器电路 41 和 44 的电源电压的其它电路，例如波形处理电路时，

通过在预驱动电路中提供恒压电路，也可以取消输入端并减小电路尺寸。

如图 16 所示，通过在预驱动电路中提供施密特触发器电路，可以带来即使在输入电压中含有噪声，也可以去掉噪声并且正确地驱动连接在输出端的输出元件的效果。

图 17 是在本发明的第十实施例中的预驱动电路的结构图。当低电平参考电压为负时使用第十实施例的预驱动电路。如图所示，第十实施例的预驱动电路包括第一和第二输入放大器电路 131 和 132、第一和第二低电平移动电路 133 和 134、第一和第二波形处理电路 135 和 136、第一和第二高电平移动电路 137 和 138 以及第一和第二输出放大器电路 139 和 140。这些电路构成一对相同结构的驱动系统。换句话说，第十实施例的预驱动电路的特征在于在图 4 所示的第一实施例的预驱动电路的每个驱动系统的输入放大器电路和高电平移动电路之间提供低电平移动电路和波形处理电路。

第一和第二低电平移动电路 133 和 134 分别将第一和第二输入放大器电路 131 和 132 的输出转换为以负参考电压为参考的信号。波形处理电路 135 和 136 连接到输入负参考电压 COM 的负参考电压输入端 115 以及输入以负参考电压 COM 为参考产生的负电源电压 V_c 的负电源电压输入端 116，并且波形处理电路分别处理第一和第二低电平移动电路 133 和 134 的输出信号。

由于第十实施例的预驱动电路除了包括第一实施例的结构之外还包括低电平移动电路和波形处理电路，可以减小两个驱动路径之间的输入和输出延迟时间的差，如参考图 5A 到 5C 所做的介绍。

图 18 是在第十实施例中的第一输入放大器电路 131、第一低电平移动电路 133 和第一波形处理电路 135 的具体结构图。第二输入放大器电路 132、第二低电平移动电路 134 和第二波形处理电路 136 也具有同样的结构。如图所示，第一输入放大器电路 131 为由晶体管 Tr10、Tr11 和电阻 R10-R14 构成的电流镜电路。第一输入放大器电路 131 根据通过电阻 R10 从输入信号 IN 得到的晶体管 Tr10 的基极电压与通过

电阻 R13 和 R14 通过分压 VI1 得到的参考电压 Vref 之间的电压差在晶体管 Tr11 的集电极端产生电压 V11。

第一低电平移动电路 133 由晶体管 Tr12 和电阻 R15-R17 构成。在第一低电平移动电路 133 中, 从第一输入放大器电路 131 输出的电压 V11 通过电阻 R15 加在晶体管 Tr12 的基极端, 晶体管 Tr12 的集电极电流根据电压 V11 变化, 在电阻 R17 两端产生的电压(V17-VCOM)也跟着变化。

第一波形处理电路 135 由电容器 C17 和施密特触发器电路 S1 构成。晶体管 Tr12 的输出阻抗和电阻 R17 的合成电阻与电容器 C17 形成积分电路。该积分电路降低了在电阻 R17 的两端产生的噪声分量。此外, 当电阻 R17 两端的电压增加或减少时, 施密特触发器电路 S1 在输出的变化的阈值之间形成滞后。结果, 可以减少由于在电阻 R17 两端产生的噪声引起的误操作。

图 19 是本发明的第十一实施例的等离子体显示设备的维持电路的结构图。第十一实施例中的维持电路是具有 $V_s/2$ 和 $-V_s/2$ 的维持电压的电路并通过使用第十实施例的驱动电路来实现。如图所示, 第十一实施例的维持电路具有与图 11 所示的第五实施例的维持电路类似的结构, 但是不同之处在于取消了输入和输出延迟时间调节电路 47 到 50 以及输入电平移动电路 51 到 54, 并使用第十实施例的预驱动电路。由于在 IC 中提供电平移动电路, 所以与第五实施例的维持电路相比, 在输入和输出延迟时间之间的差可以进一步减小。除了没有提供输入和输出延迟时间调节电路以外的其它结构与第五实施例的维持电路类似, 因此省略了更详细的介绍。

图 20 是本发明的第十二实施例的等离子体显示设备的维持电路的结构图。第十二实施例的维持电路具有在第十一实施例的维持电路中提供输入和输出延迟时间调节电路 47 到 50 的结构。在该结构中, 输入放大器电路 131 和 132 的阈值电压设置为几乎是输入放大器电路的电源电压 VI 的一半。例如, 通过设置图 18 中的电阻 R13 和 R14 相等来实现该条件。由此条件, 可以减小输入和输出延迟时间调节电路

47 到 50 产生的脉冲宽度的变化。在日本专利申请 No. 2003-106839 中对该原理进行了详细介绍。

图 21 是本发明的第十三实施例的等离子体显示设备的维持电路的结构图。第十三实施例的维持电路具有与第十二实施例的维持电路类似的结构，但是不同之处在于取消了开关 SW1，复位电压 V_w 通过开关 SW2 加在第二开关元件 CD 的源极端。当开关 SW2 导通时，开关 SW6 关断。该结构的操作类似于图 13 中所示的第六实施例的操作，因此，省略更详细的介绍。

图 22 是本发明的第十四实施例的等离子体显示设备的维持电路的结构图。第十四实施例的维持电路具有与第十三实施例的维持电路类似的结构，但是不同之处在于增加了开关 SW4 和 SW5。在该结构中，类似于第五和第六实施例，在复位期间，电压 V_{w2} 加在开关元件 LD 的电源电压端。在开关 SW4 导通期间开关 SW5 关断。结果，可以降低在复位期间加在开关元件 LD 两端的电压，因此，能够使用额定电压较低的元件作为开关元件 LD。

图 23 是本发明的第十五实施例的预驱动电路的结构图。第十五实施例的预驱动电路与图 17 所示的第十实施例的预驱动电路的不同在于，虽然第十实施例的预驱动电路包括两个输入和两个输出，但是第十五实施例的预驱动电路包括四个输入和四个输出。通过该结构，可以减小四个驱动系统的输入和输出延迟时间之间的差。

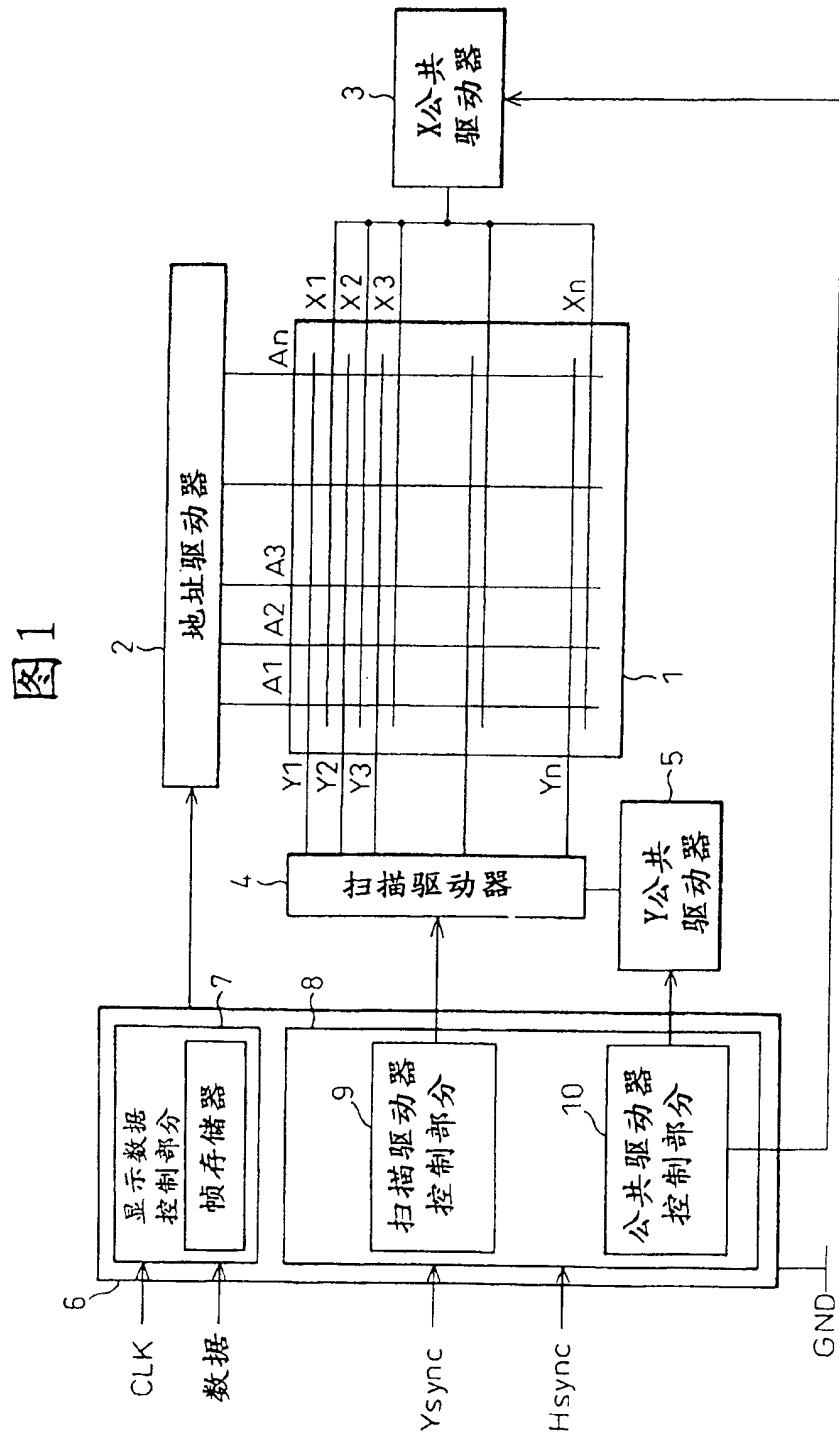
图 24 是本发明的第十六实施例的等离子体显示设备的维持电路的结构图。第十六实施例的维持电路是具有 $V_s/2$ 和 $-V_s/2$ 的维持电压的电路并通过使用第十五实施例的驱动电路来实现。由于由在同一个 IC 中构成的电路产生加到元件 CU、CD、LU 和 LD 的栅极的脉冲，所以可以减小四个驱动系统的输入和输出延迟时间之间的差。其它结构与第十一实施例的类似，因此，省略了更详细的介绍。此外，第十实施例的预驱动电路可以同样地应用到第十二到第十四实施例中。

图 25 是在本发明的第十七实施例中的预驱动电路的特定结构图。第十七实施例的预驱动电路与图 17 所示的第十实施例的预驱动电路

的不同在于提供了避免同时导通电路(Simultaneous ON avoiding circuit)190。通过逻辑电路实现避免同时导通电路 190。避免同时导通电路 190 接收第一和第二波形处理电路 135 和 136 的输出并处理它们，从而输出电压 OUT1 和 OUT2 不会同时有效。避免同时导通电路 190 的输出输入到第一和第二电平移动电路 137 和 138。

图 26 是说明避免同时导通电路的操作的图。如图的左边所示，当输入电压信号 IN1 和 IN2 没有同时有效时，即，当它们中的一个在另一个从导通状态变为关断状态之后从关断状态变为导通状态时，避免同时导通电路 190 对信号不加以改变即输出。如图的右边所示，当输入电压信号 IN1 和 IN2 同时变为有效时，即，当它们中的一个在另一个从导通状态变为关断状态之前从关断状态变为导通状态时，避免同时导通电路 190 改变信号，从而使一个输入电压信号在另一个输入电压信号从导通状态变为关断状态之后从关断状态变为导通状态。

通过提供避免同时导通电路 190，当输入的是为元件 CU 和 CD 或 LU 和 LD 的同时导通提供条件的输入电压信号 IN1 和 IN2 时，或者当这种条件在预驱动电路中出现时，可以完全避免开关元件 CU 和 CD 或 LU 和 LD 同时导通的状态。根据该条件，可以避免功耗的增加或元件的损坏，由此改善电路的可靠性。



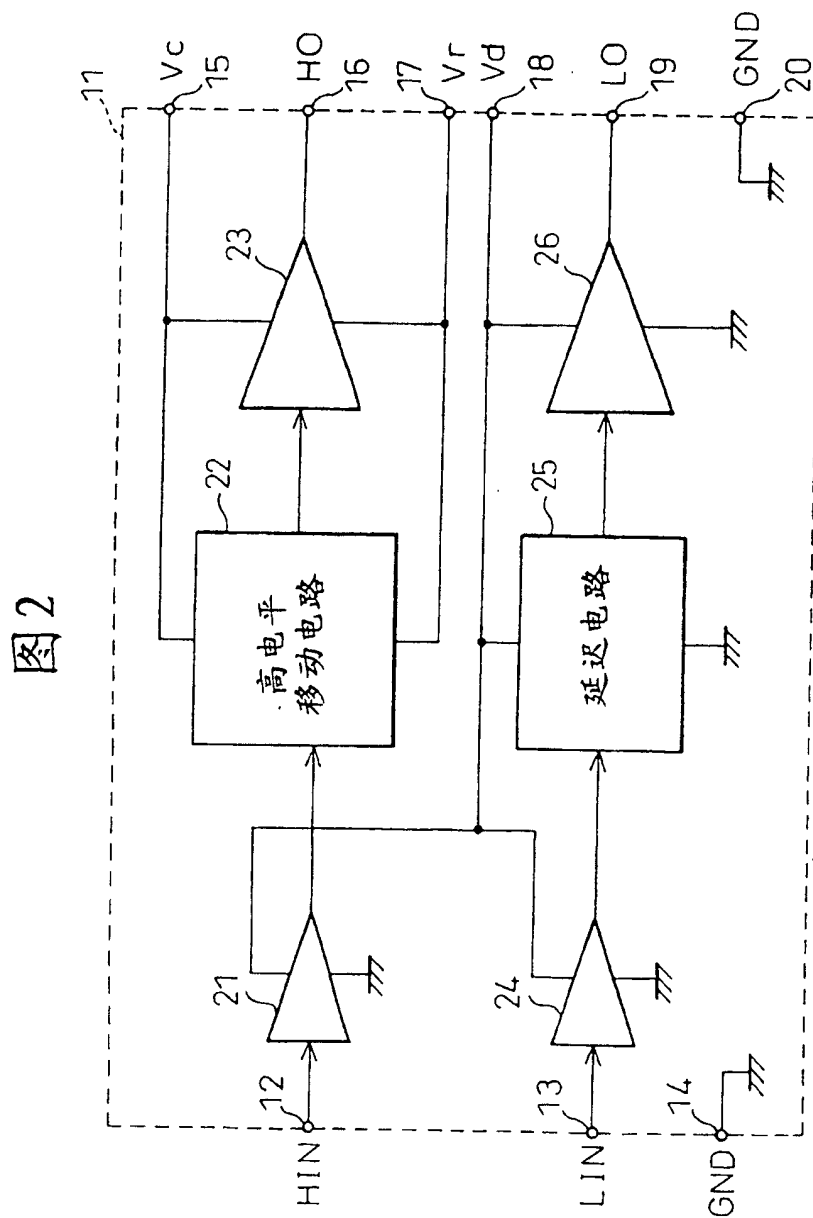


图3

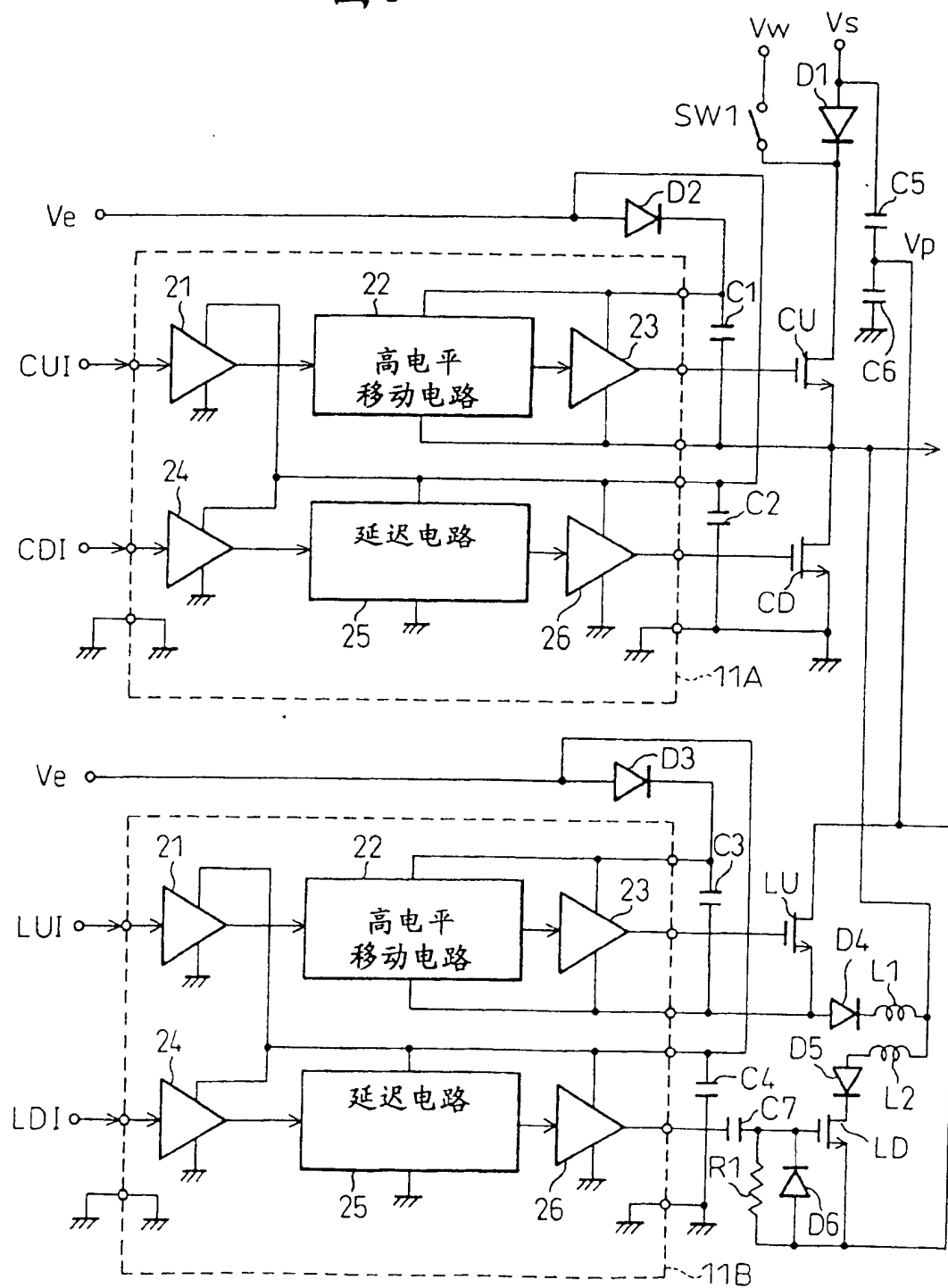


图 4

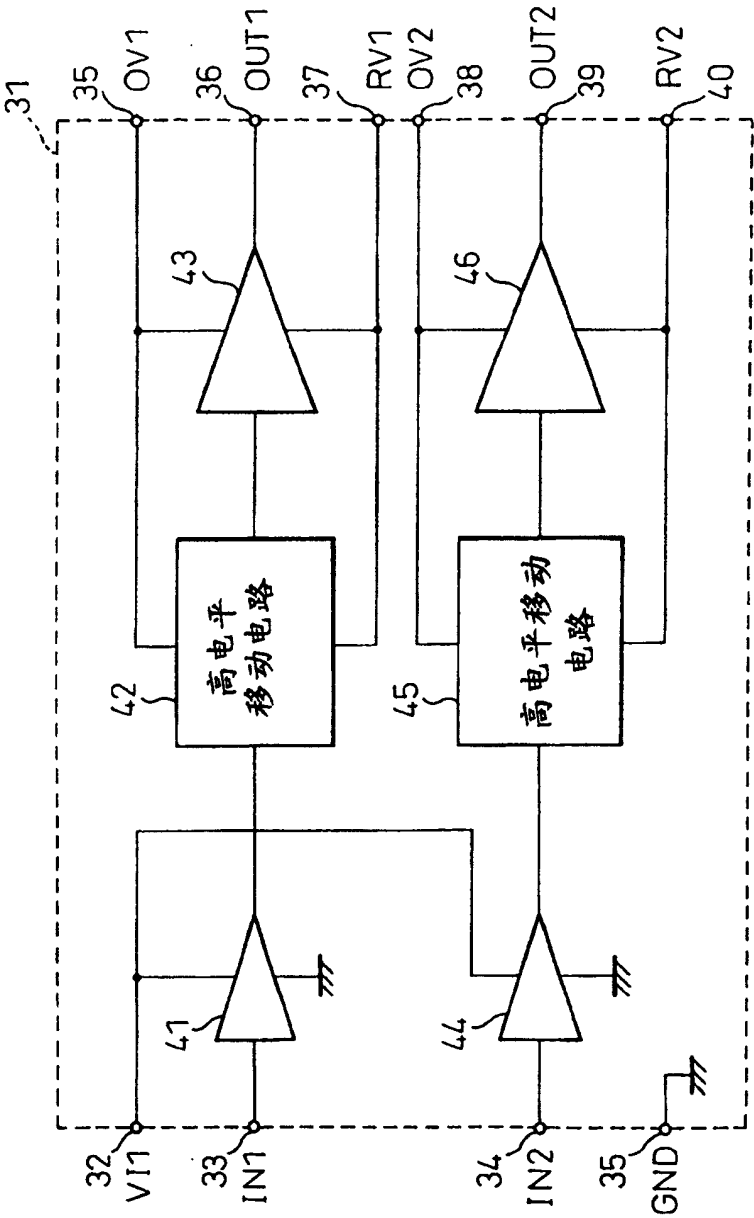


图 5A

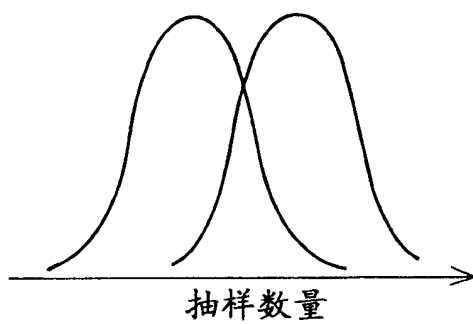


图 5B

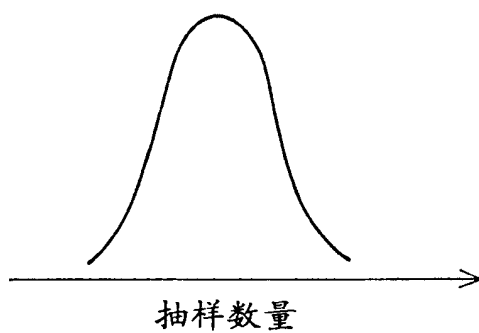


图 5C

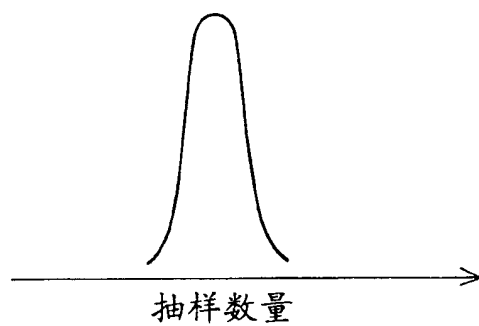


图6

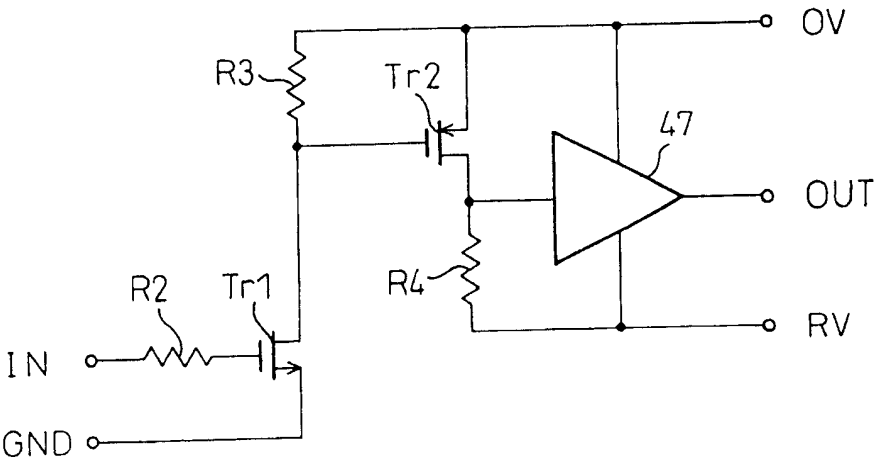


图7

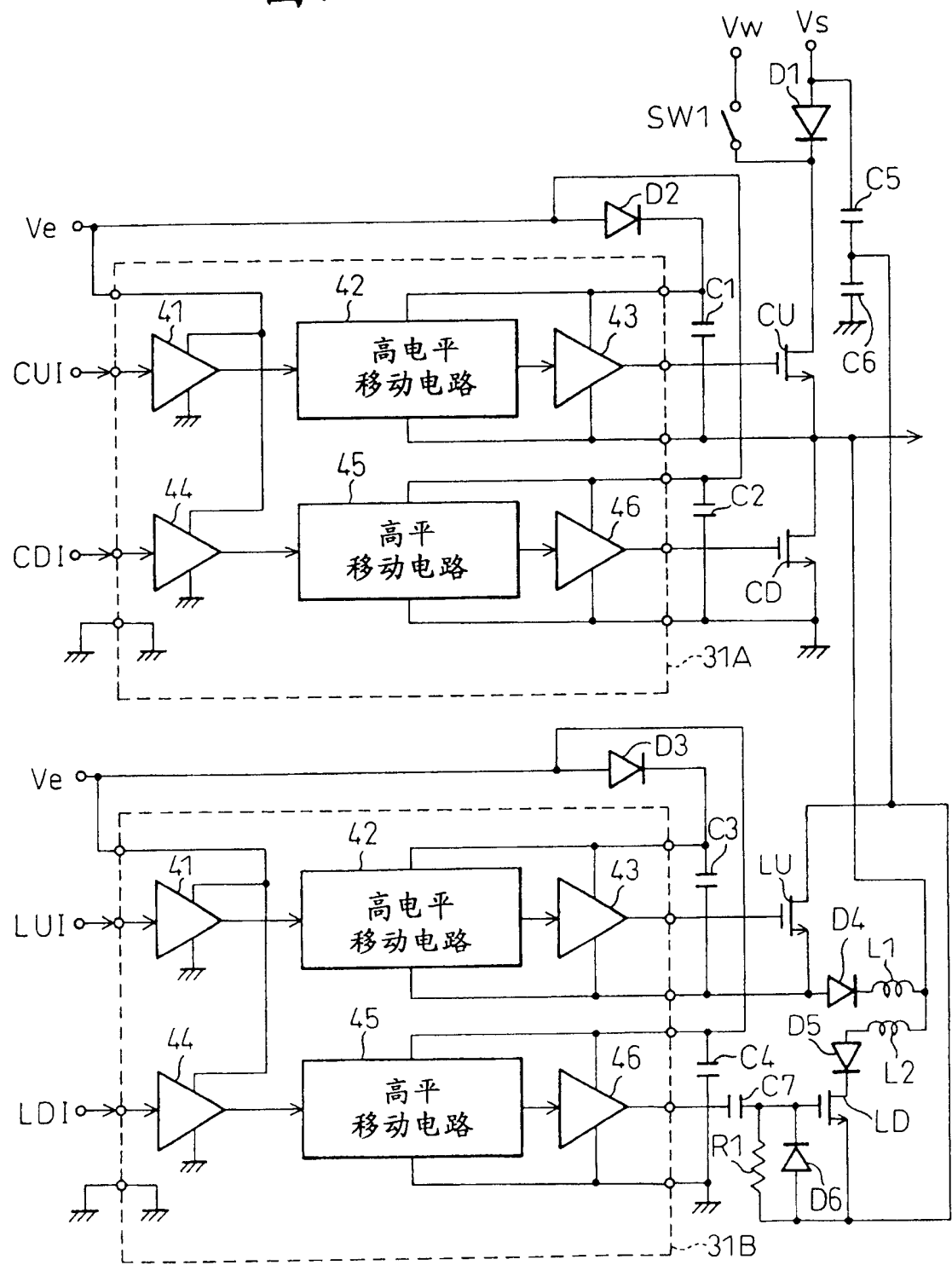


图 8

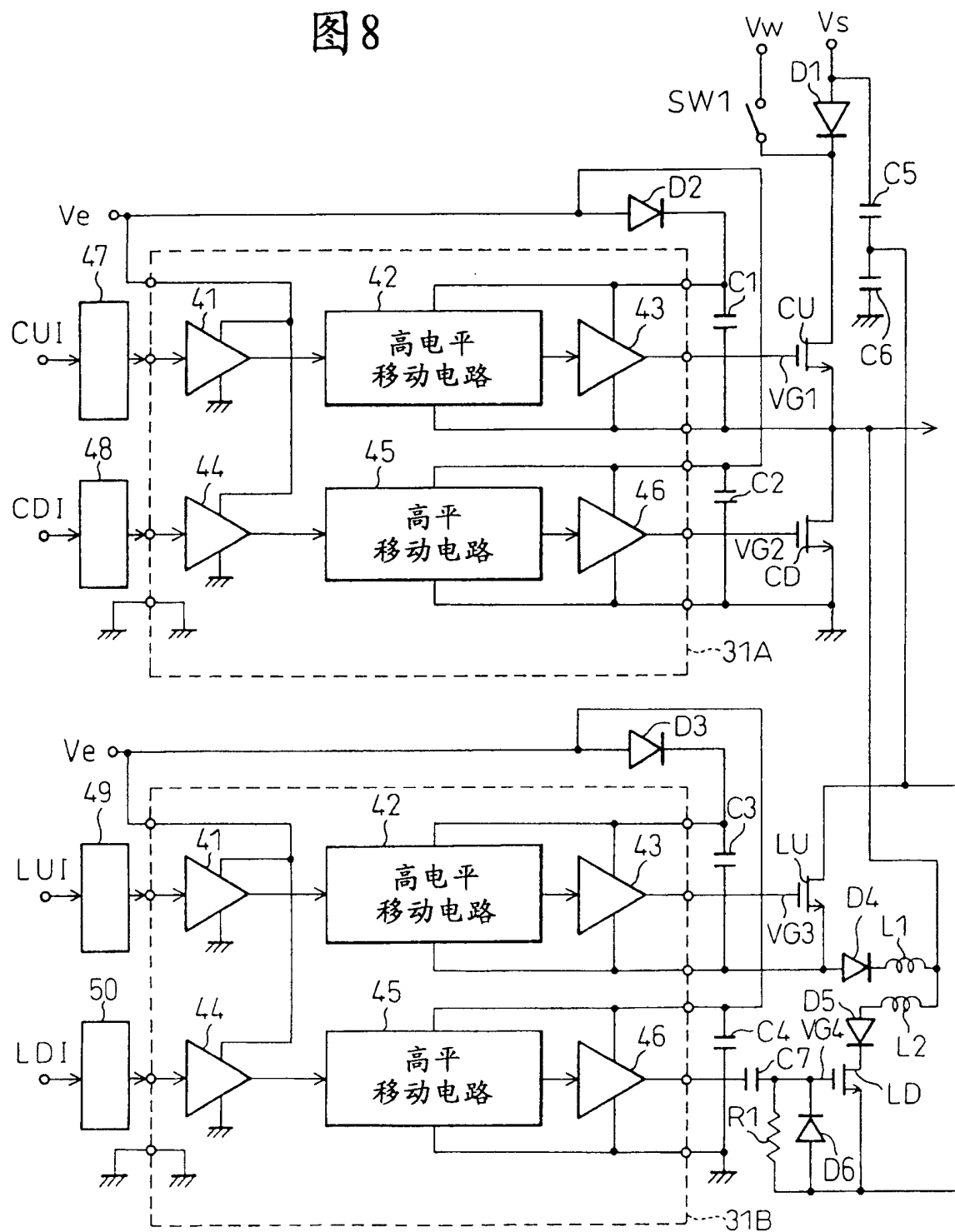


图 9

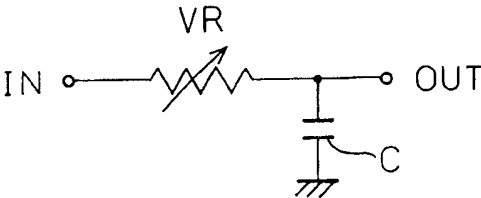


图10

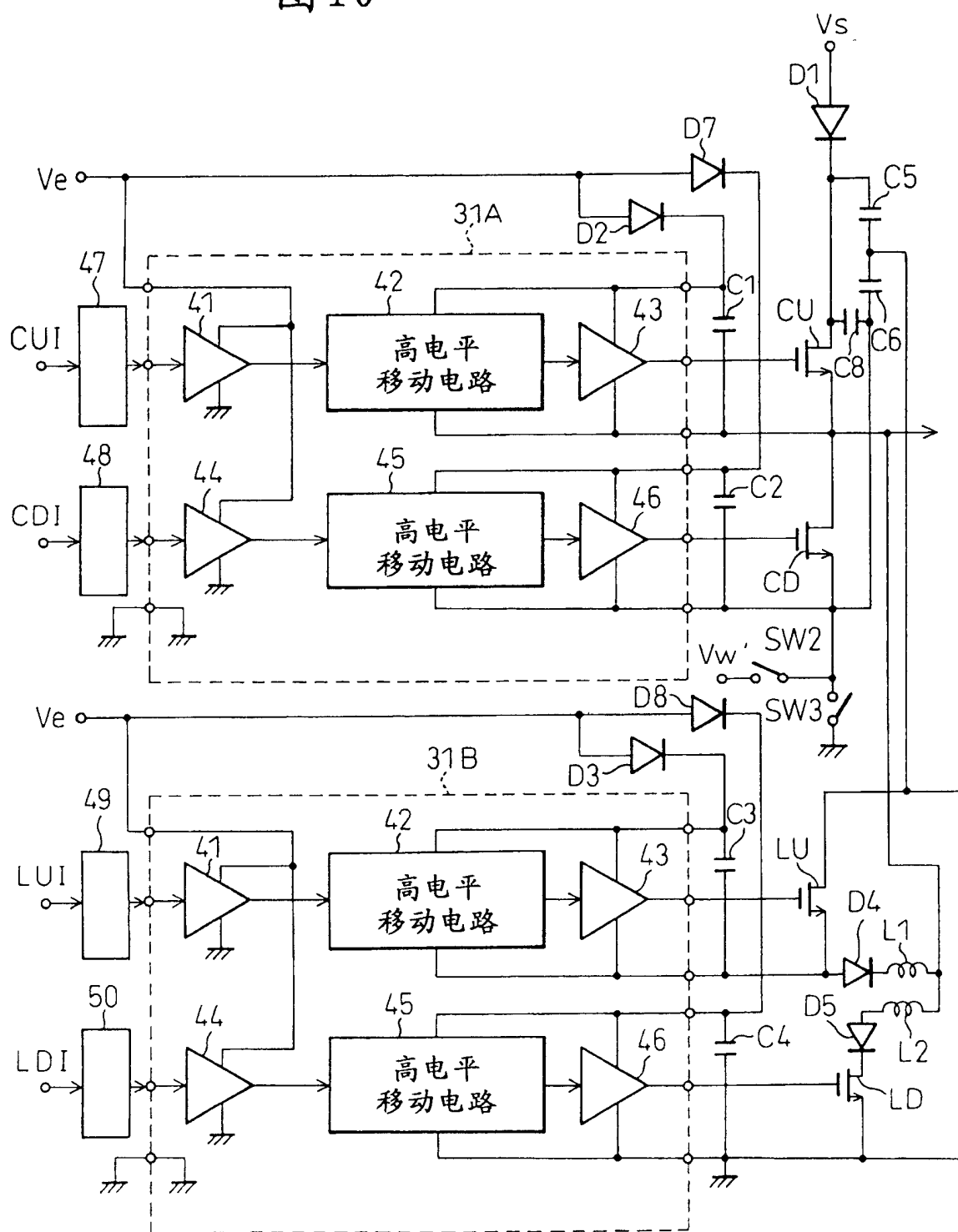


图 11

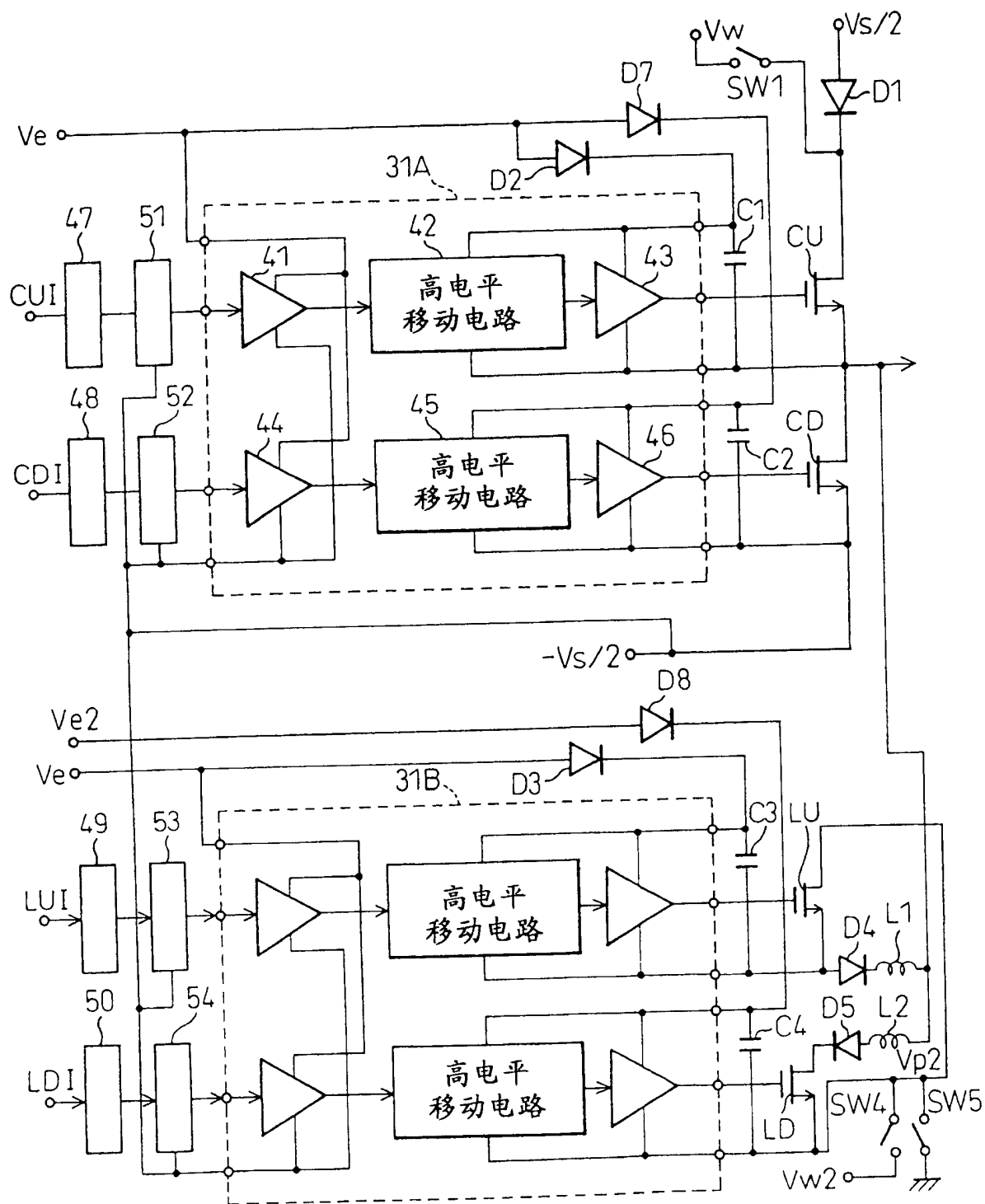


图12

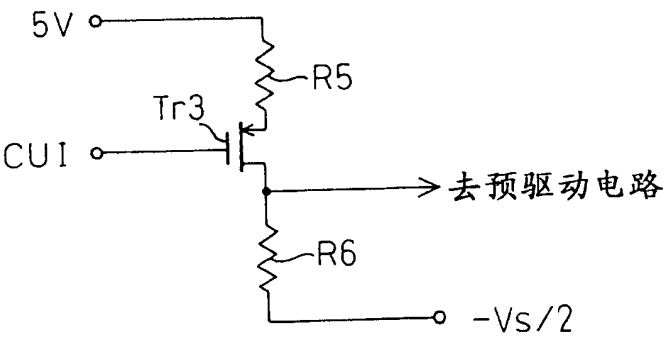


图13

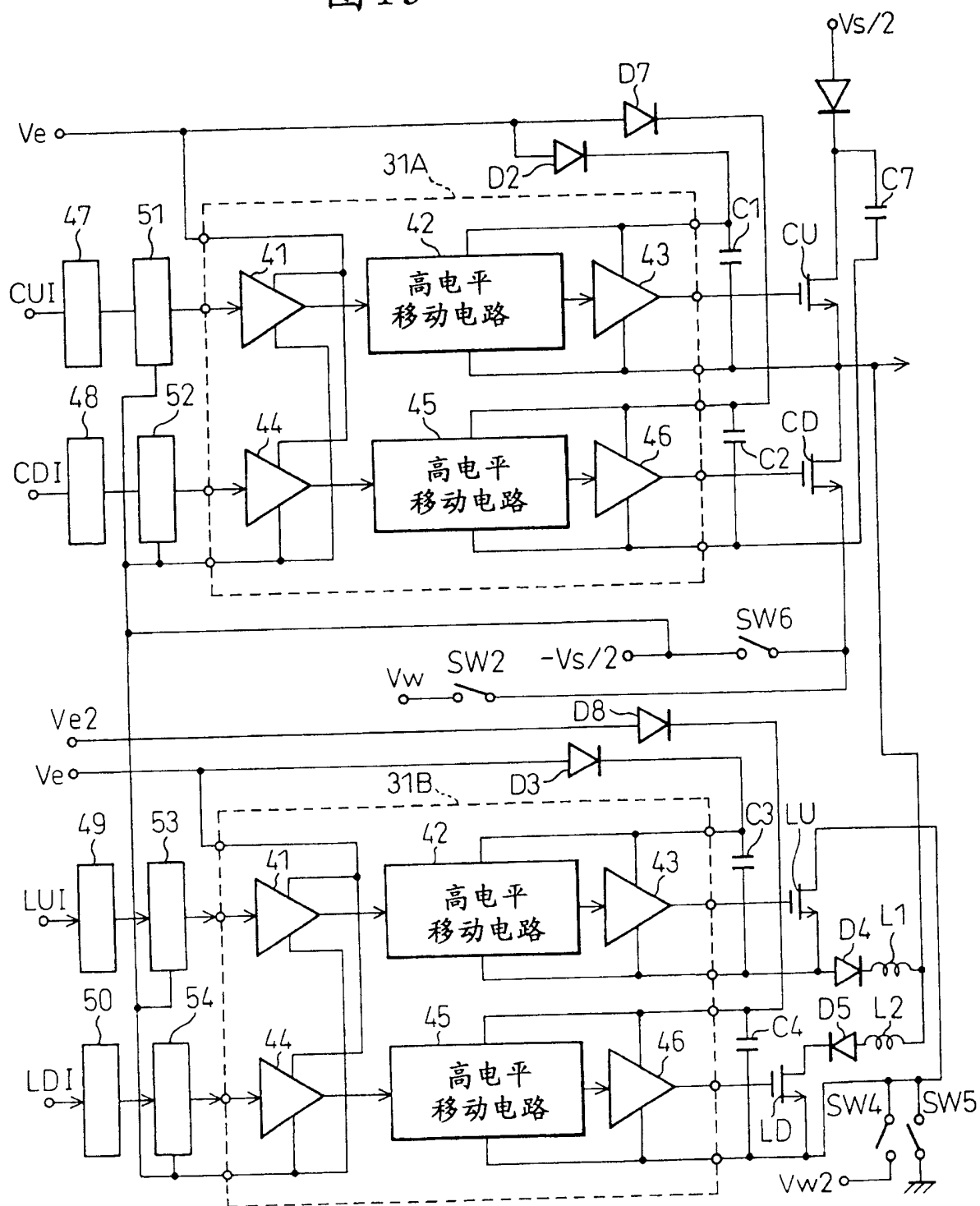
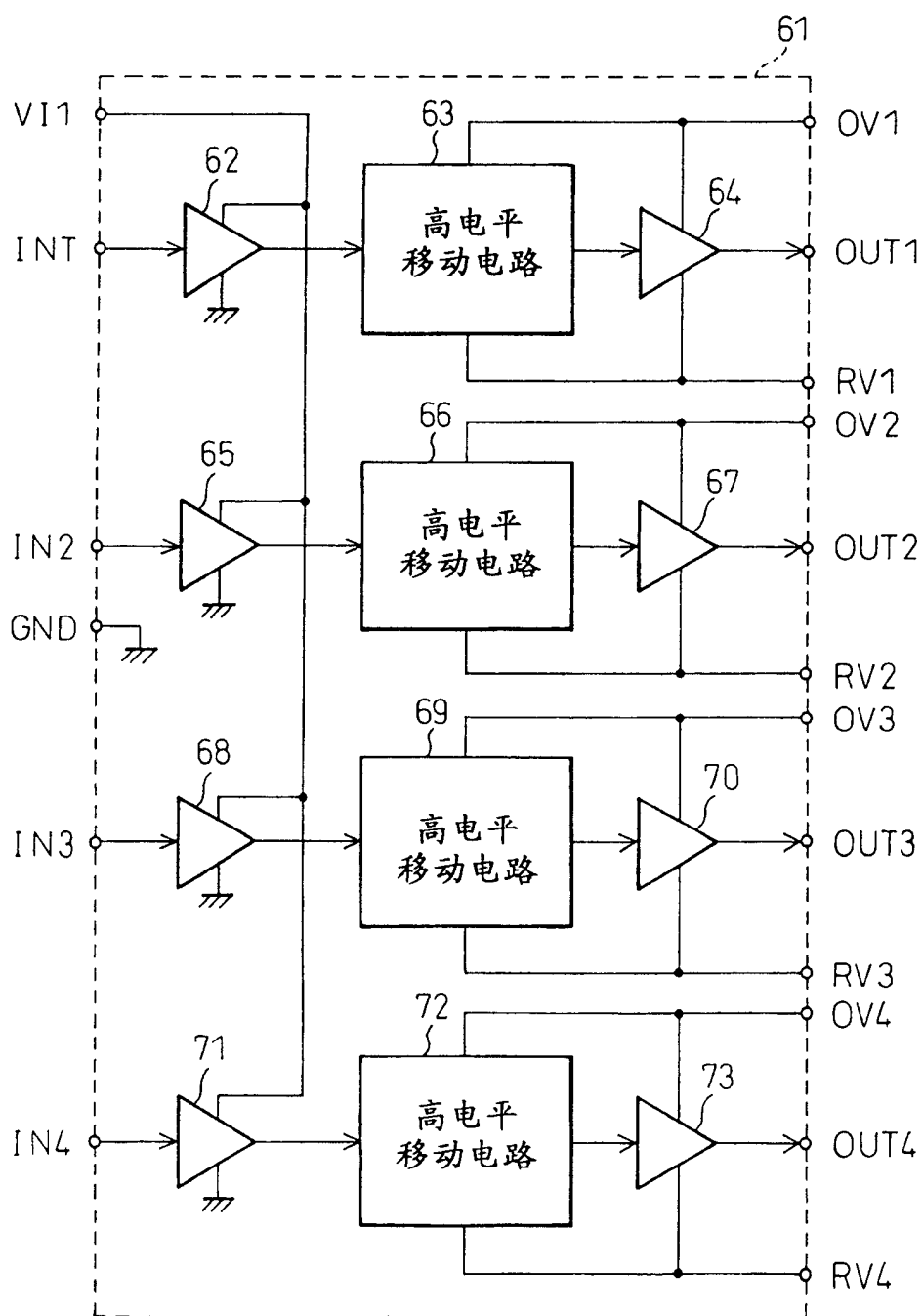


图14



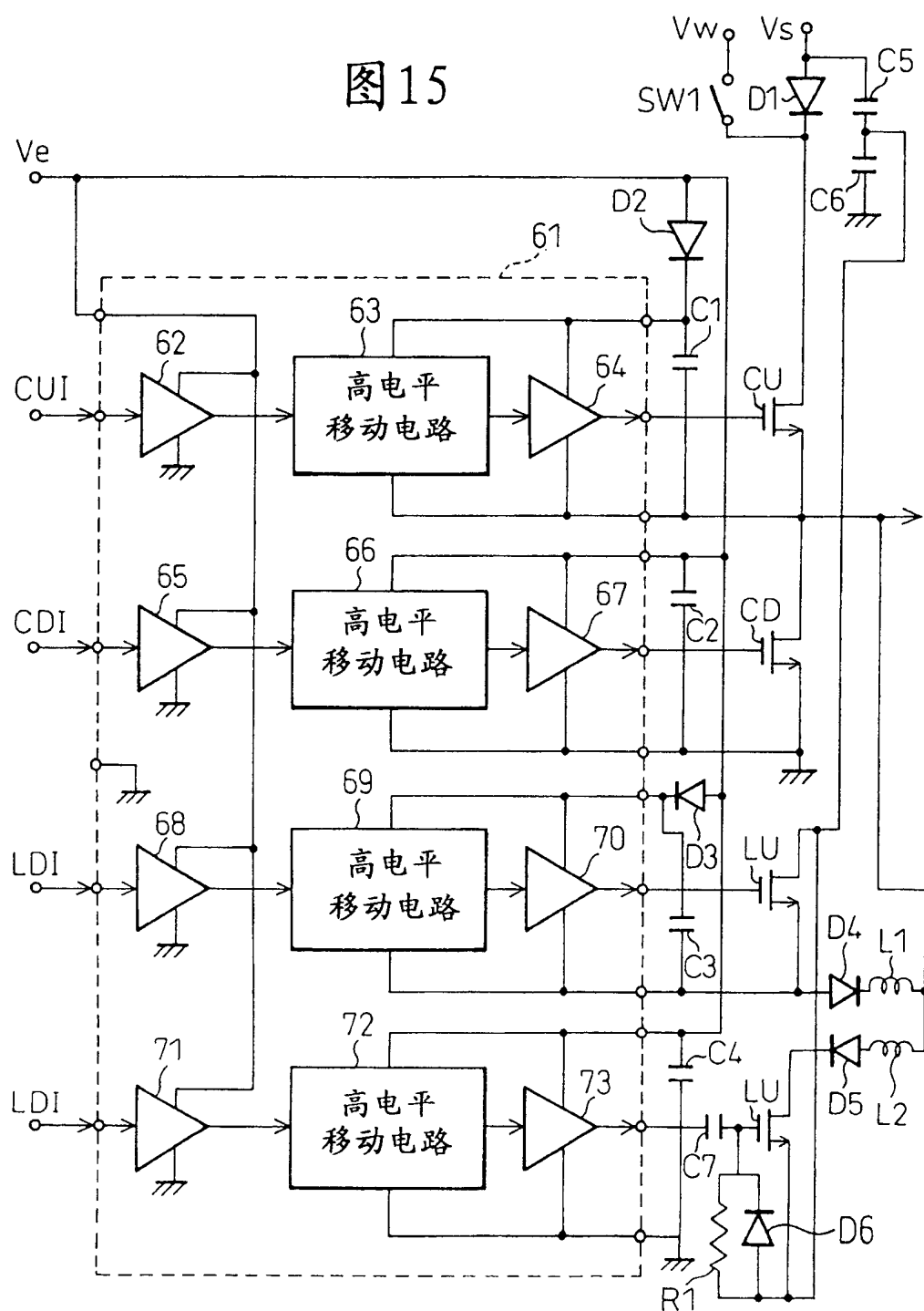


图16

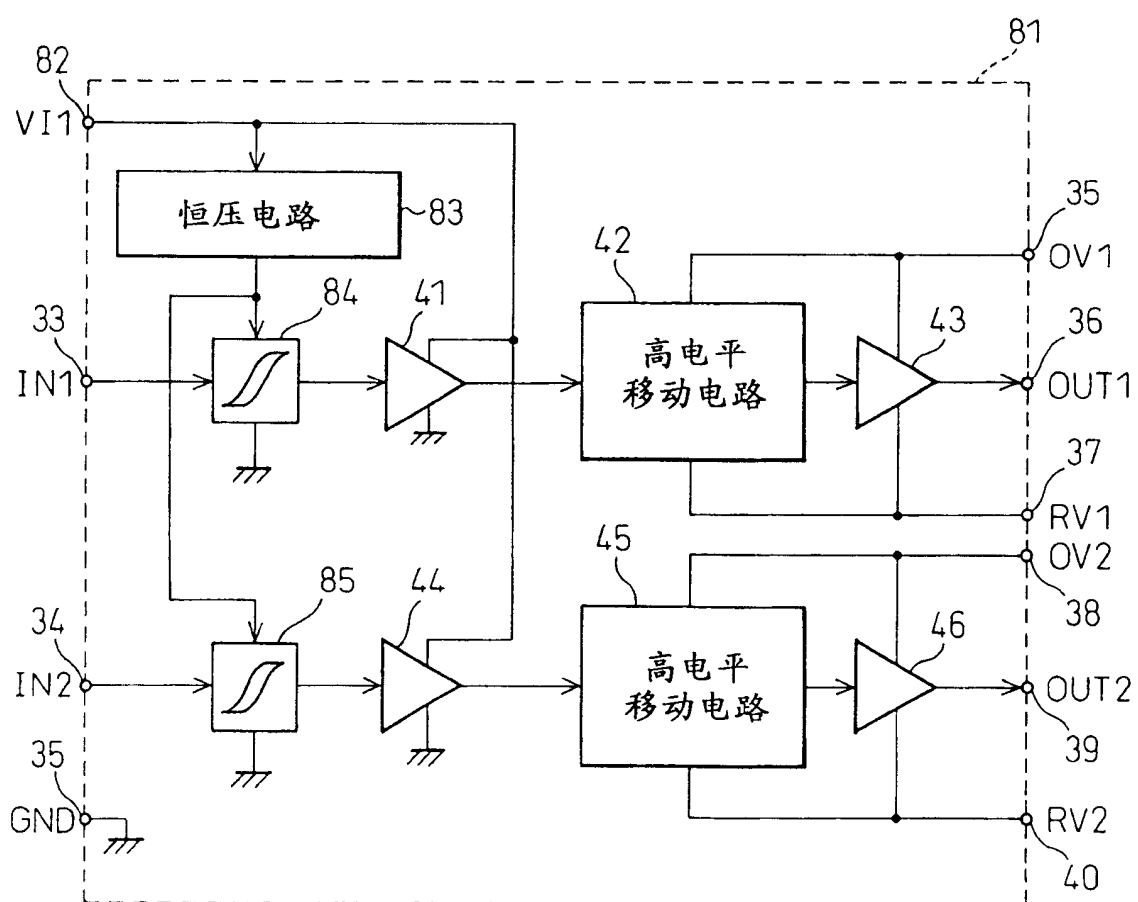


图17

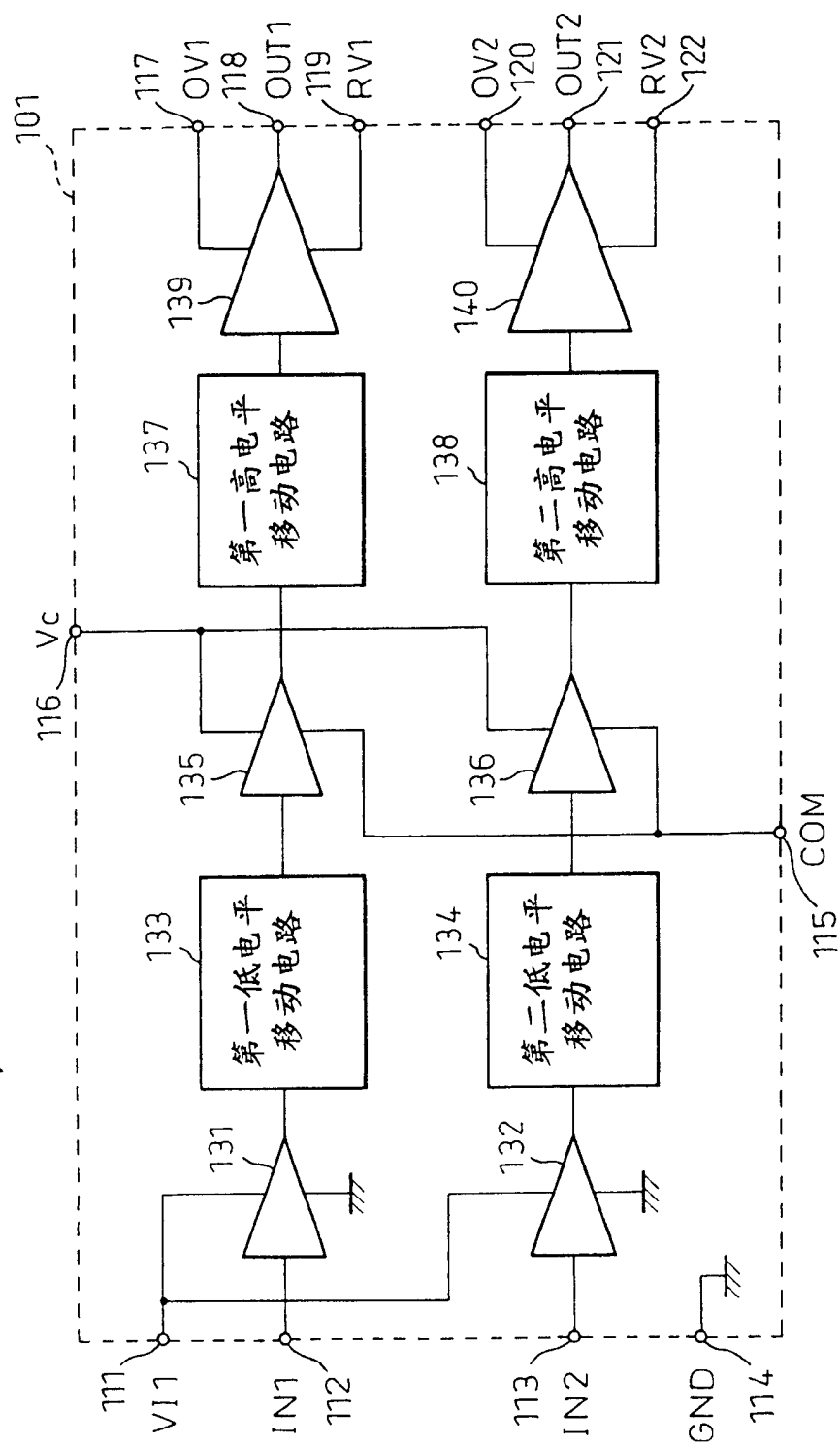


图18

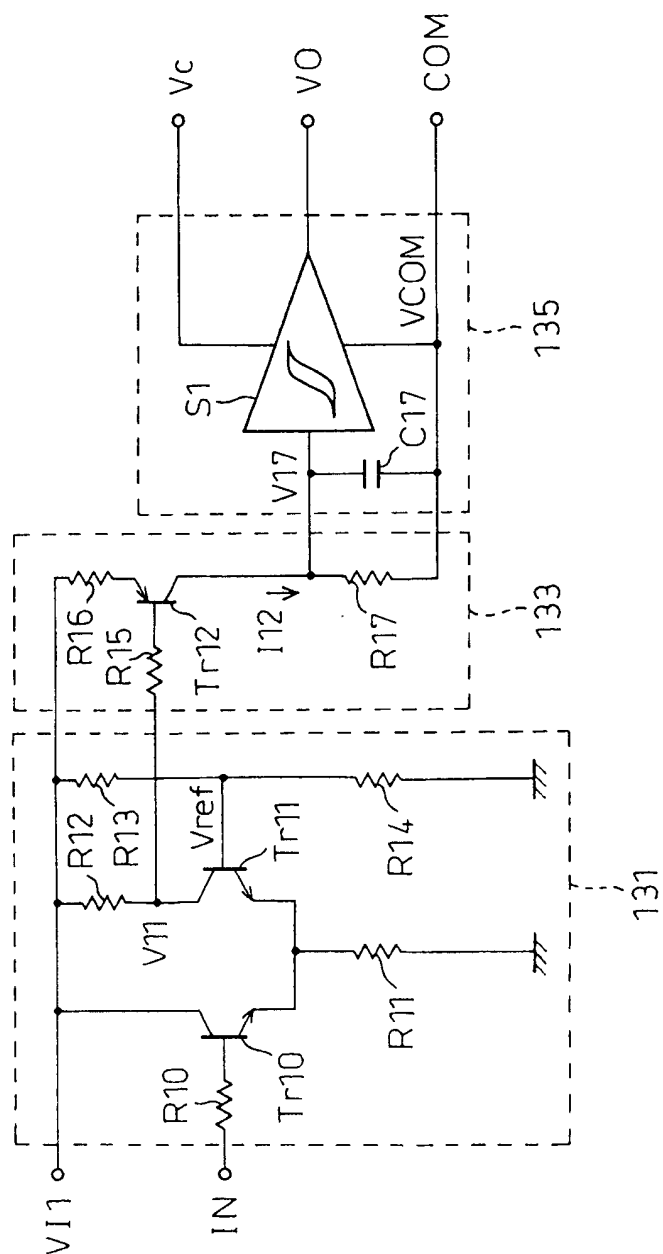


图19

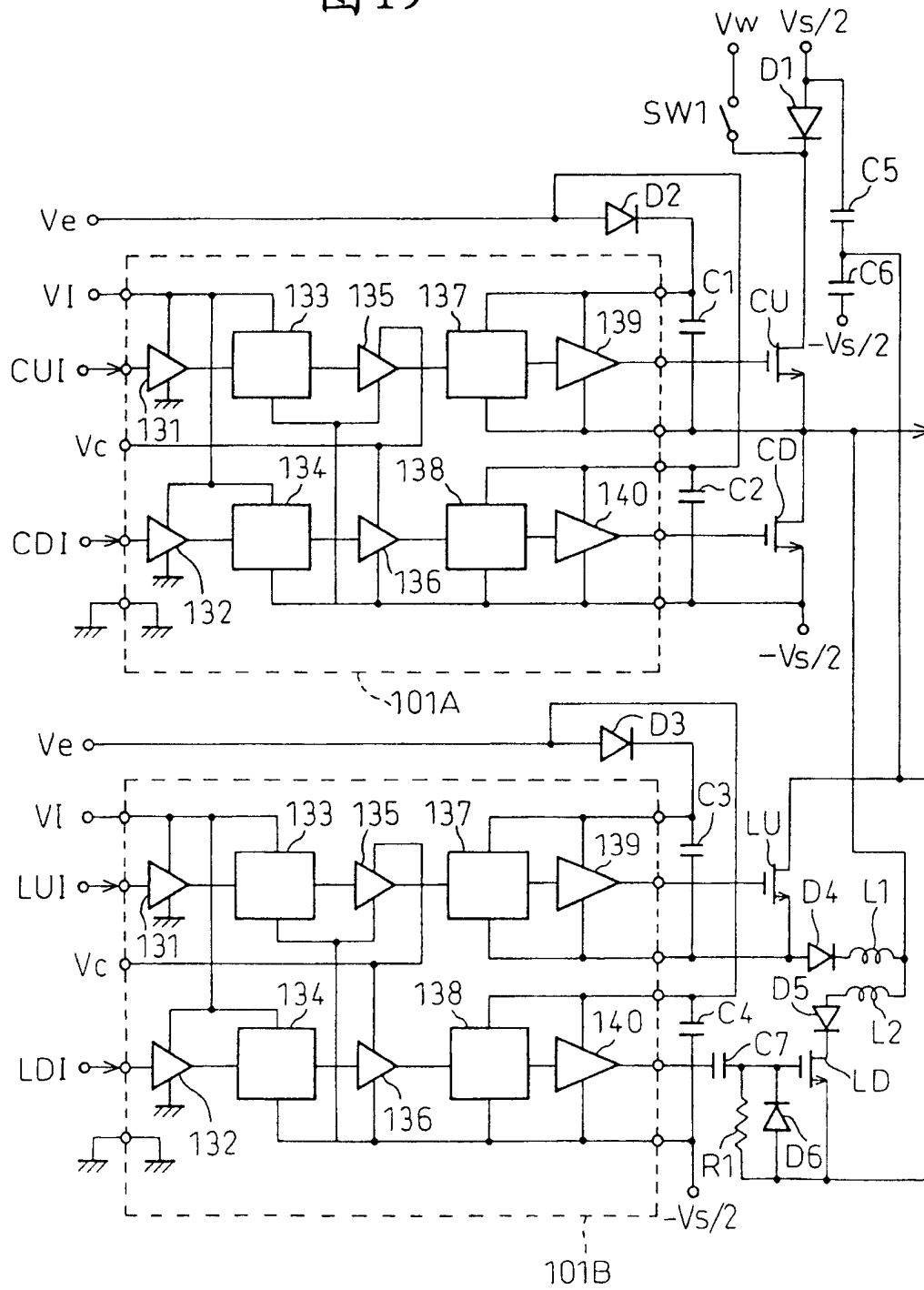


图20

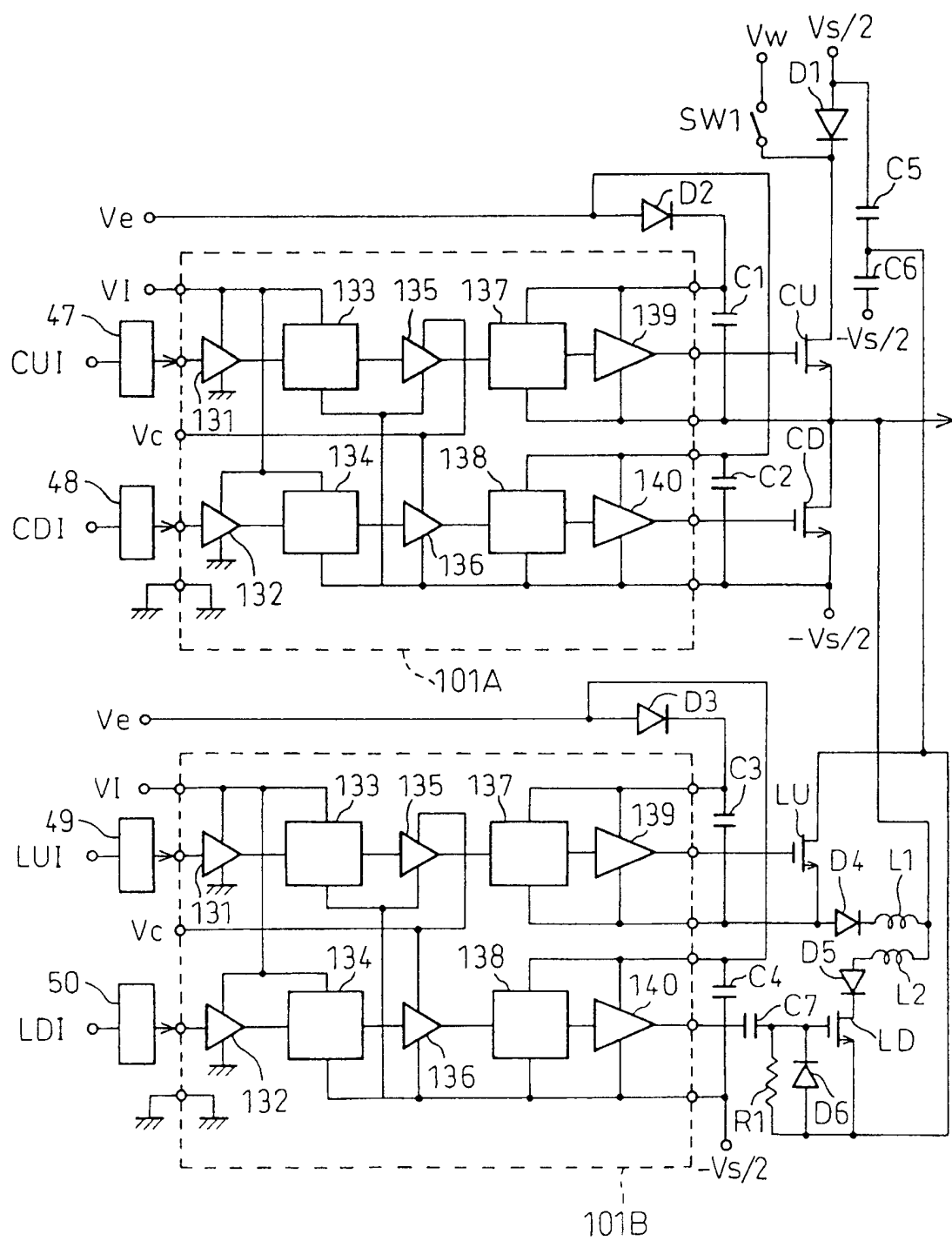


图21

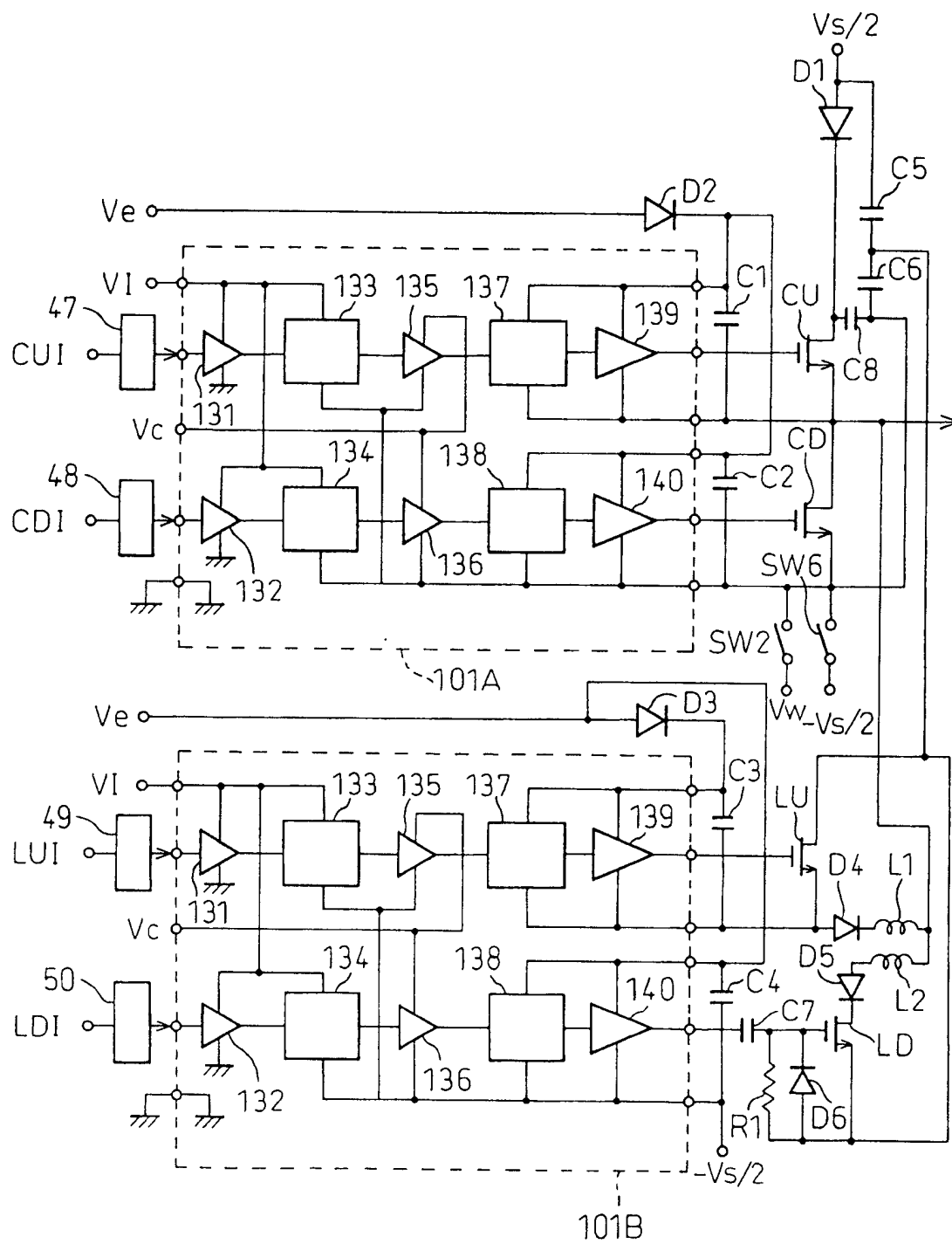


图 22

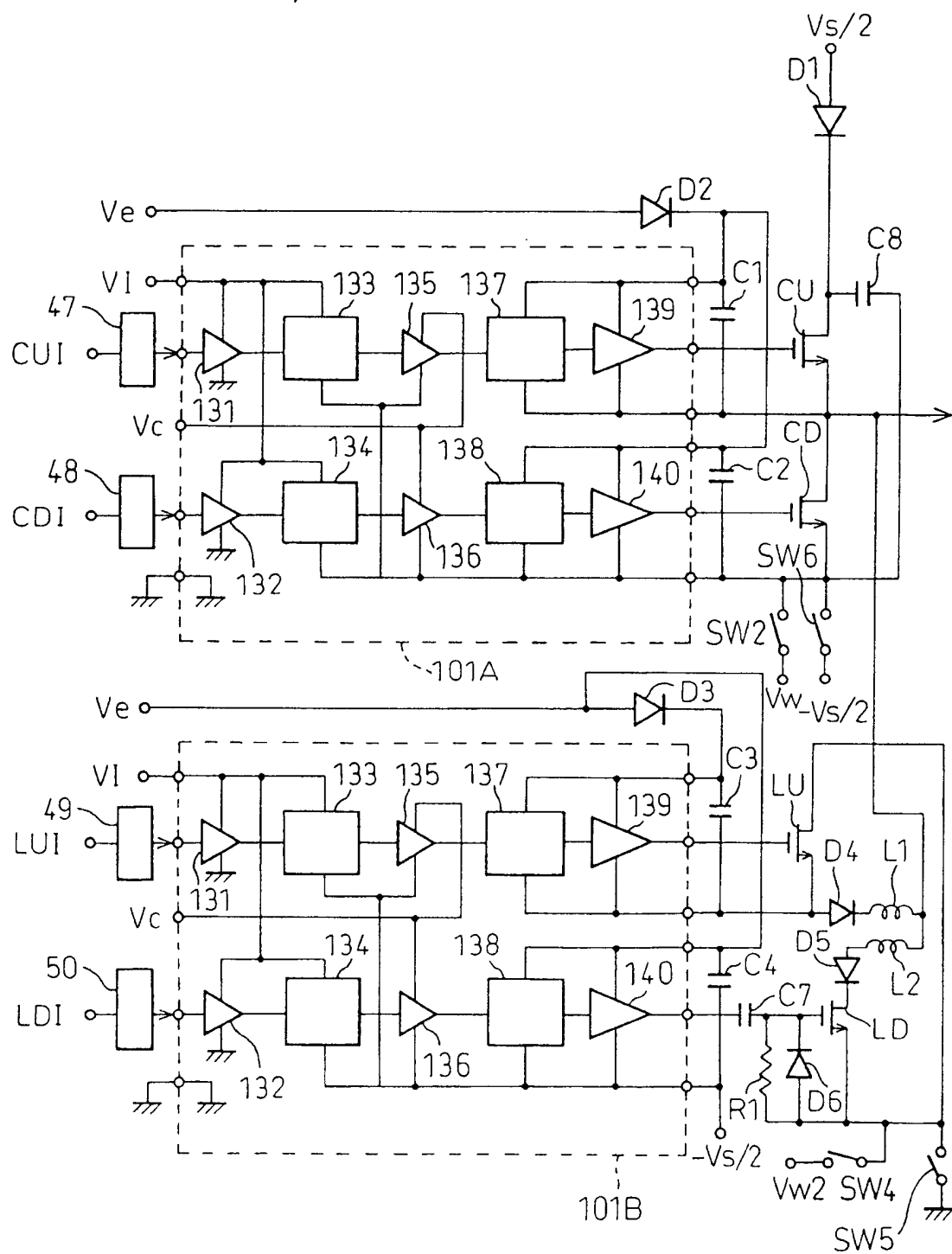


图23

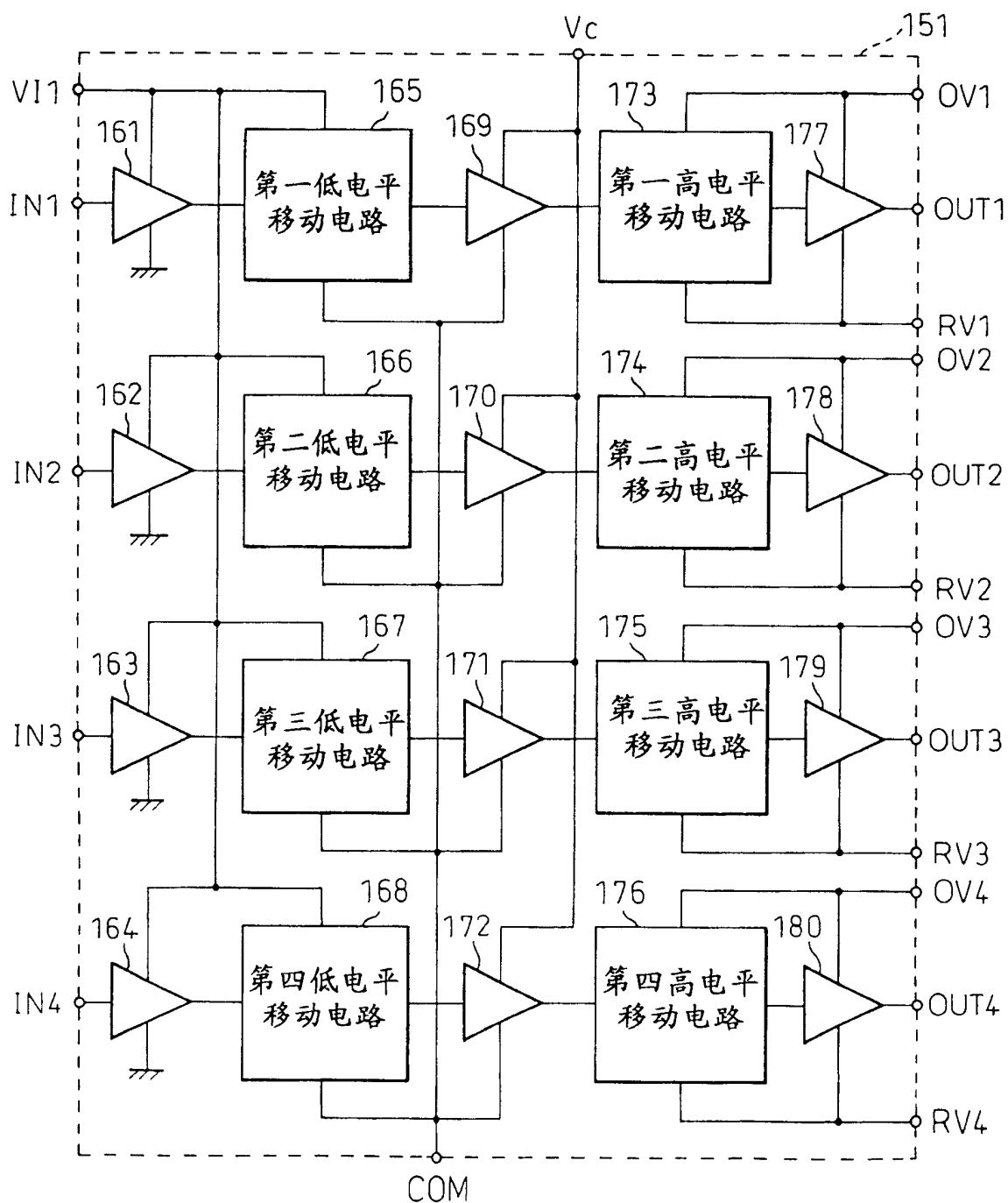


图24

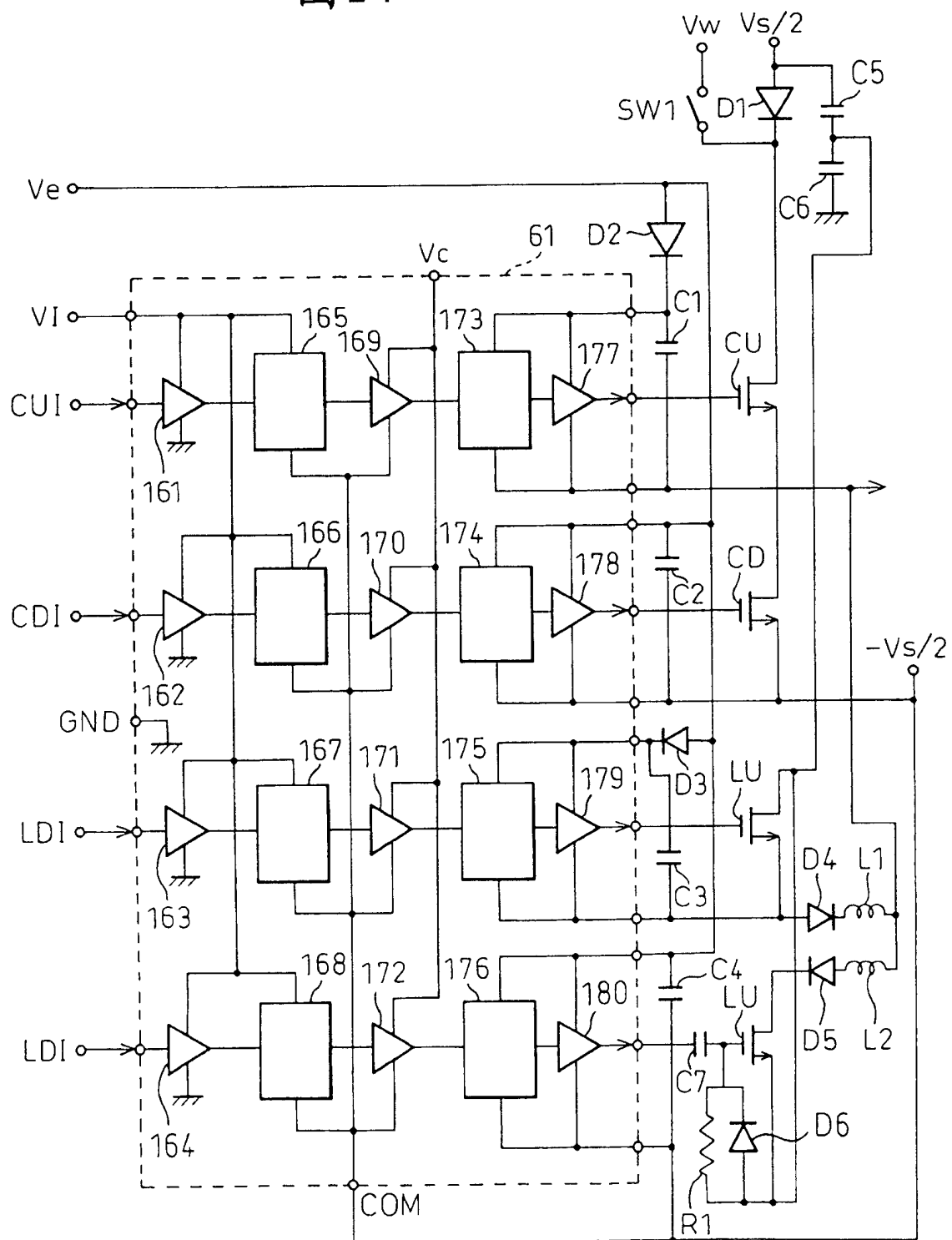


图25

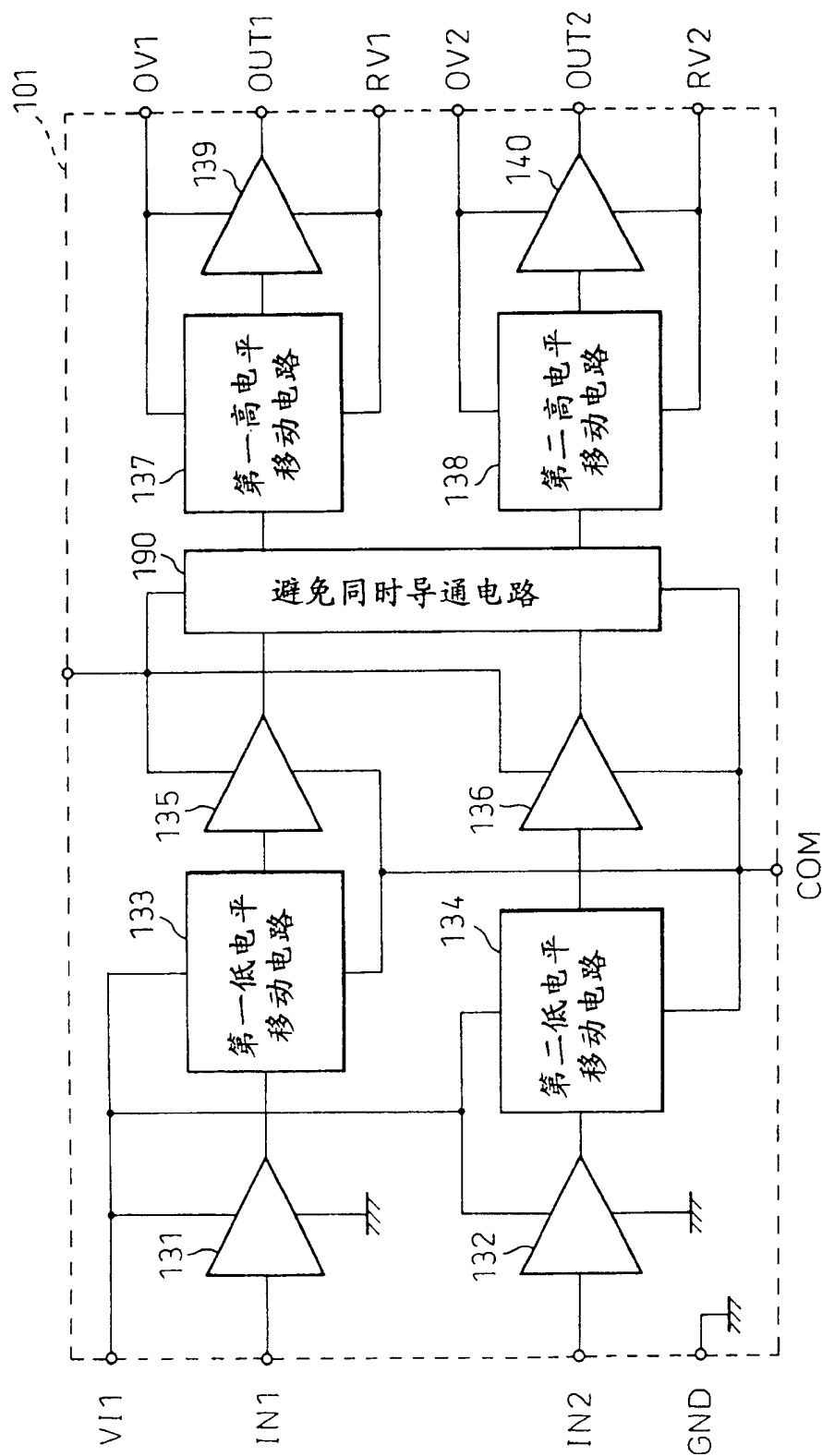


图 26

