

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-74249

(P2010-74249A)

(43) 公開日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 P 5/12 (2006.01)	H O 1 P 5/12 B	
H O 1 P 5/18 (2006.01)	H O 1 P 5/18 J	
H O 1 P 5/19 (2006.01)	H O 1 P 5/19 A	

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2008-236438 (P2008-236438)	(71) 出願人	000204284
(22) 出願日	平成20年9月16日 (2008.9.16)		太陽誘電株式会社
			東京都台東区上野6丁目16番20号
		(74) 代理人	100069981
			弁理士 吉田 精孝
		(74) 代理人	100087860
			弁理士 長内 行雄
		(74) 代理人	100142789
			弁理士 柳 順一郎
		(72) 発明者	大島 心平
			東京都台東区上野6丁目16番20号 太
			陽誘電株式会社内

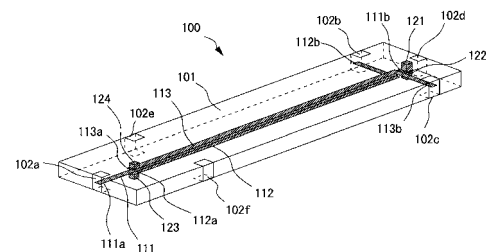
(54) 【発明の名称】 パワーデバイダ回路とその素子並びにその回路を備えた回路基板及び回路モジュール

(57) 【要約】

【課題】 小型で且つ低背化が可能なパワーデバイダ回路とその素子並びにその回路を備えた回路基板及び回路モジュールを提供する。

【解決手段】 積層素体からなる素子本体101内の所定層に、一端が第1入出力端子102aに導電接続され他端が接地された電気長が1/4波長の第1の信号伝送線路111と、第1の信号伝送線路111に対して絶縁体を挟んで積層配置されて一端が接地されるとともに他端が第2入出力端子102bに接続され、第1の信号伝送線路111にインタデジタル結合されている電気長が1/4波長の第2の信号伝送線路112と、第1の信号伝送線路111に対して絶縁体を挟んで積層配置されて一端が接地されるとともに他端が第2入出力端子102bに接続され、第1の信号伝送線路111にインタデジタル結合されている電気長が1/4波長の第3の信号伝送線路113とを設けたパワーデバイダ回路素子100を構成する。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 入出力端子に入力された高周波信号を第 2 入出力端子と第 3 入出力端子に分配して出力するとともに、前記第 2 入出力端子に入力された高周波信号と前記第 3 入出力端子に入力された高周波信号を合成して前記第 1 入出力端子に出力するパワーデバイダ回路であって、

一端が前記第 1 入出力端子に導電接続されるとともに他端が接地され、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている第 1 の信号伝送線路と、

前記第 1 の信号伝送線路に対して平行に並べて配置されて、一端が接地されるとともに他端が前記第 2 入出力端子に導電接続され、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定され、前記第 1 の信号伝送線路にインタデジタル結合されている第 2 の信号伝送線路と、

前記第 1 の信号伝送線路に対して平行に並べて配置されて、一端が接地されるとともに他端が前記第 3 入出力端子に導電接続され、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定され、前記第 1 の信号伝送線路にインタデジタル結合されている第 3 の信号伝送線路とからなる

ことを特徴とするパワーデバイダ回路。

【請求項 2】

第 1 入出力端子に入力された高周波信号を第 2 入出力端子と第 3 入出力端子に分配して出力するとともに、前記第 2 入出力端子に入力された高周波信号と前記第 3 入出力端子に入力された高周波信号を合成して前記第 1 入出力端子に出力するパワーデバイダ回路素子であって、

積層素体からなる素子本体と、

前記素子本体の外面に設けられ、前記第 1 乃至第 3 入出力端子及び接地端子のそれぞれを構成する複数の外部端子電極と、

前記素子本体内部の所定層に設けられて伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている帯状導電体からなり、一端が前記第 1 入出力端子をなす外部端子電極に導電接続されるとともに他端が接地端子をなす外部端子電極に導電接続されている第 1 の信号伝送線路と、

前記第 1 の信号伝送線路をなす帯状導電体に対して絶縁体を挟んで重なるように前記素子本体内部の所定層に設けられ、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている帯状導電体からなり、一端が接地端子をなす外部端子電極に導電接続されるとともに他端が前記第 2 入出力端子をなす外部端子電極に導電接続され、前記第 1 の信号伝送線路にインタデジタル結合されている第 2 の信号伝送線路と、

前記第 1 の信号伝送線路をなす帯状導電体に対して絶縁体を挟んで重なるように前記素子本体内部の所定層に設けられ、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている帯状導電体からなり、一端が接地端子をなす外部端子電極に導電接続されるとともに他端が前記第 3 入出力端子をなす外部端子電極に導電接続され、前記第 1 の信号伝送線路にインタデジタル結合されている第 3 の信号伝送線路とを備えている

ことを特徴とするパワーデバイダ回路素子。

【請求項 3】

前記請求項 1 に記載のパワーデバイダ回路が一体形成されていることを特徴とする回路基板。

【請求項 4】

前記請求項 1 に記載のパワーデバイダ回路が一体形成されていることを特徴とする回路モジュール。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、高周波信号を分配或いは合成するパワーデバイダ回路とその素子並びにその

10

20

30

40

50

回路を備えた回路基板及び回路モジュールに関するものである。

【背景技術】

【0002】

従来、携帯電話等の通信装置において、1つの高周波信号を2つに分配したり或いは2つの高周波信号を1つに合成するために用いられるパワーデバイダ回路が知られている。一般的にはウィルキンソン型パワーデバイダ回路が知られており、この回路は図19に示すように2つの信号伝送線路を接続して構成されている。すなわち、一般的なウィルキンソン型パワーデバイダ回路10は、伝送対象となる高周波信号周波数の1/4波長の長さに電気長が設定された2つの信号伝送線路11, 12のそれぞれの一端が第1入出力端子13に導電接続されるとともに、一方の信号伝送線路11の他端が第2入出力端子14に接続され、他方の信号伝送線路12の他端が第3入出力端子15に接続されて構成されている。また、使用する際には、第2入出力端子14と第3入出力端子15との間に抵抗器R1を接続する。

10

【0003】

上記パワーデバイダ回路10は、分配回路として考えた場合には、第1入出力端子13が入力側となり、第2及び第3入出力端子14, 15が出力側となる。また、合成回路として考えた場合には、第2及び第3入出力端子14, 15が入力側となり、第1入出力端子13が出力側となる。

【0004】

また、ウィルキンソン型パワーデバイダ回路を小型に積層構造で実現する手法も提案されている。例えば、特開2002-280864号公報(特許文献1)に開示される電力2分配回路や、特開2002-344276号公報(特許文献2)に開示される高周波電力分配・合成回路が知られている。

20

【0005】

前者の特開2002-280864号公報(特許文献1)に開示される電力2分配回路は、第1入出力端子と第2入出力端子との間に電氣的に接続されたインダクタに対して並列にコンデンサを接続するとともに、第1入出力端子と第3入出力端子との間に電氣的に接続されたインダクタに対して並列にコンデンサを接続し、これらを複数の絶縁体層を積み重ねて構成した積層体に設けることによって構成されている。この構成により、小型でかつ低背の電力2分配部品が得られる。

30

【0006】

また、後者の特開2002-344276号公報(特許文献2)に開示される高周波電力分配・合成回路においても前者と同様に、第1及び第2の信号伝送線路を構成するインダクタとコンデンサを複数の絶縁体層を積み重ねて構成した積層体に設けることによって構成されている。この構成により、小型でかつ低背の電力2分配部品が得られる。

【特許文献1】特開2002-280864号公報

【特許文献2】特開2002-344276号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

40

しかしながら、従来から用いられているウィルキンソン型のパワーデバイダ回路には、次の3つの課題が存在する。

【0008】

(1) 第1及び第2の信号伝送線路の間が干渉しない状態を前提としているため、2本の1/4波長線路を互いに干渉しないように設置する必要があり、その小型化に限界がある。

【0009】

(2) 最も良く用いられる分配比が1対1であるパワーデバイダ回路を想定すると、高インピーダンスの線路(特性インピーダンスの $\sqrt{2}$ 倍)が必要になるため、多層基板等への低背形状での内蔵が困難である。

50

【 0 0 1 0 】

(3) 構成上、信号伝送線路間が直流でショートであり、用途によっては直流カット用のコンデンサを外付けで設ける必要がある。

【 0 0 1 1 】

また、上記(1)の課題を解決する手法として、ウィルキンソン型パワーデバイダ回路を基本回路とし、 $1/4$ 波長信号伝送線路をLC素子で実現する方法も提案されているが、上記(2)及び(3)の解決に課題を残している。

【 0 0 1 2 】

本発明は上記の課題を解決するためになされたものであり、その目的とするところは、小型で且つ低背化が可能なパワーデバイダ回路とその素子並びにその回路を備えた回路基板及び回路モジュールを提供することにある。

10

【課題を解決するための手段】

【 0 0 1 3 】

これまでの技術は、ウィルキンソン型の改良であったため、根本的な課題の解決には至らなかった。そこで、先に示した(1)～(3)の課題を解決する手法として、従来にないインタデジタル結合を用いたパワーデバイダ回路を構成した。

【 0 0 1 4 】

すなわち、本発明は前記目的を達成するために、第1入出力端子に入力された高周波信号を第2入出力端子と第3入出力端子に分配して出力するとともに、前記第2入出力端子に入力された高周波信号と前記第3入出力端子に入力された高周波信号を合成して前記第1入出力端子に出力するパワーデバイダ回路であって、一端が前記第1入出力端子に導電接続されるとともに他端が接地され、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている第1の信号伝送線路と、前記第1の信号伝送線路に対して平行に並べて配置されて、一端が接地されるとともに他端が前記第2入出力端子に導電接続され、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定され、前記第1の信号伝送線路にインタデジタル結合されている第2の信号伝送線路と、前記第1の信号伝送線路に対して平行に並べて配置されて、一端が接地されるとともに他端が前記第3入出力端子に導電接続され、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定され、前記第1の信号伝送線路にインタデジタル結合されている第3の信号伝送線路とからなるパワーデバイダ回路を構成した。

20

30

【 0 0 1 5 】

本発明のパワーデバイダ回路は、第1の信号伝送線路と第2の信号伝送線路をインタデジタル結合させ、第1の信号伝送線路と第3の信号伝送線路をインタデジタル結合させているため、従来例のように信号伝送線路間の干渉を避ける必要がない。また、構成上、信号伝送線路間が直流で絶縁されている。

【 0 0 1 6 】

本発明は前記目的を達成するために、第1入出力端子に入力された高周波信号を第2入出力端子と第3入出力端子に分配して出力するとともに、前記第2入出力端子に入力された高周波信号と前記第3入出力端子に入力された高周波信号を合成して前記第1入出力端子に出力するパワーデバイダ回路素子であって、積層素体からなる素子本体と、前記素子本体の外面に設けられ、前記第1乃至第3入出力端子及び接地端子のそれぞれを構成する複数の外部端子電極と、前記素子本体内部の所定層に設けられて伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている带状導電体からなり、一端が前記第1入出力端子をなす外部端子電極に導電接続されるとともに他端が接地端子をなす外部端子電極に導電接続されている第1の信号伝送線路と、前記第1の信号伝送線路をなす带状導電体に対して絶縁体を挟んで対向するように前記素子本体内部の所定層に設けられ、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている带状導電体からなり、一端が接地端子をなす外部端子電極に導電接続されるとともに他端が前記第2入出力端子をなす外部端子電極に導電接続され、前記第1の信号伝送線路にインタデジタル結合されている第2の信号伝送線路と、前記第1の信号伝送線路をなす带状導電体に対して絶縁体

40

50

を挟んで対向するように前記素子本体内部の所定層に設けられ、伝送対象となる高周波信号周波数の $1/4$ 波長に電気長が設定されている带状導電体からなり、一端が接地端子をなす外部端子電極に導電接続されるとともに他端が前記第 3 入出力端子をなす外部端子電極に導電接続され、前記第 1 の信号伝送線路にインタデジタル結合されている第 3 の信号伝送線路とを備えているパワーデバイダ回路素子を構成した。

【0017】

本発明のパワーデバイダ回路素子は、第 1 の信号伝送線路と第 2 の信号伝送線路をインタデジタル結合させ、第 1 の信号伝送線路と第 3 の信号伝送線路をインタデジタル結合させているため、従来例のように信号伝送線路間の干渉を避ける必要がないので、素子形状を小型に形成することができる。さらに、高インピーダンスの信号伝送線路を必要としない。また、構成上、信号伝送線路間が直流で絶縁されている。

10

【0018】

また、本発明は前記目的を達成するために、前記パワーデバイダ回路が一体形成されている回路基板を構成した。

【0019】

さらに、本発明は前記目的を達成するために、前記パワーデバイダ回路が一体形成されている回路モジュールを構成した。

【発明の効果】

【0020】

本発明のパワーデバイダ回路及びパワーデバイダ回路素子によれば、第 1 の信号伝送線路と第 2 の信号伝送線路をインタデジタル結合させ、第 1 の信号伝送線路と第 3 の信号伝送線路をインタデジタル結合させているため、従来例のように信号伝送線路間の干渉を避ける必要がないので、素子の形状を小型に形成することができる。さらに、高インピーダンスの信号伝送線路を必要としないため、多層基板等への低背形状での内蔵が容易である。また、構成上、信号伝送線路間が直流で絶縁されているので、直流カット用のコンデンサを外付けで設ける必要がない。

20

【0021】

また、本発明の回路基板と回路モジュールによれば、本発明の上記パワーデバイダ回路及びパワーデバイダ回路素子の効果を得ることができる。

【発明を実施するための最良の形態】

30

【0022】

図 1 乃至図 5 は本発明の第 1 実施形態を示すもので、図 1 は本発明の第 1 実施形態におけるパワーデバイダ回路素子を示す外観斜視図、図 2 は本発明の第 1 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視斜視図、図 3 は本発明の第 1 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視平面図、図 4 は本発明の第 1 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視側面図、図 5 は本発明の第 1 実施形態におけるパワーデバイダ回路素子の等価回路図である。

【0023】

図において、100 はパワーデバイダ回路素子で、誘電体セラミックの積層素体からなる素子本体 101 と、素子本体 101 の外面の所定位置に設けられた 4 つの外部端子電極 102a ~ 102f から構成されている。

40

【0024】

素子本体 101 の内部には、带状導電体からなる 3 つの信号伝送線路 111 ~ 113 と、素子本体 101 の上層部と下層部のそれぞれに互いに平行に設けられた接地導電体 114, 115 が設けられている。

【0025】

第 1 の信号伝送線路 111 は、素子本体 101 のほぼ中央の所定層に設けられ、伝送対象となる高周波信号周波数 (5.0 GHz) の $1/4$ 波長に電気長が設定されている直線状の形状をなす带状導電体によって構成されている。第 1 の信号伝送線路 111 の一端 111a は第 1 入出力端子となる外部端子電極 102a に導電接続され、他端 111b はピア導電体 121, 122 によ

50

って接地導電体114,115に導電接続されている。

【0026】

第2の信号伝送線路112は、第1の信号伝送線路111をなす帯状導電体に対して絶縁体を挟んで対向するように素子本体内部の所定層に設けられ、伝送対象となる上記高周波信号周波数の $1/4$ 波長に電気長が設定されているL字形状の帯状導電体によって構成されている。また、第2の信号伝送線路112の一端112aはビア導体123によって接地導電体115に導電接続されている。さらに、第2の信号伝送線路112の他端は第2入出力端子をなす外部端子電極102bに導電接続されている。これにより、第2の信号伝送線路112は第1の信号伝送線路111にインタデジタル結合されている。

【0027】

第3の信号伝送線路113は、第1の信号伝送線路111をなす帯状導電体に対して絶縁体を挟んで対向するように素子本体内部の所定層に設けられ、伝送対象となる上記高周波信号周波数の $1/4$ 波長に電気長が設定されているL字形状の帯状導電体によって構成されている。また、第3の信号伝送線路113の一端113aはビア導体124によって接地導電体114に導電接続されている。さらに、第3の信号伝送線路113の他端は第3入出力端子をなす外部端子電極102cに導電接続されている。これにより、第3の信号伝送線路113は第1の信号伝送線路111にインタデジタル結合されている。なお、外部端子電極102d~102fは接地端子である。

【0028】

上記のインタデジタル結合を用いたパワーデバイダ回路素子100は、3つの信号伝送線路111~113を必要とするが、3つの信号伝送線路111~113を積層方向に重ねてブロードサイドで結合させた状態になっているため、その占有面積は、1本の信号伝送線路に必要な面積にほぼ等しくなる。よって、2本の信号伝送線路で構成する従来例のパワーデバイダ回路素子に比べて大幅な小型化が可能になる。

【0029】

また、高インピーダンスの $1/4$ 波長信号伝送線路を必要とする従来のウィルキンソン型パワーデバイダ回路素子は、多層基板への内蔵は困難であった。すなわち、従来のウィルキンソン型パワーデバイダ回路素子は、多層基板内に受動部品を内蔵する場合、配線や他の内蔵部品との干渉を極力避けるため、内蔵受動部品の上下層に接地導電体を設ける必要があり、その接地導電体によって、内蔵する線路が低インピーダンス化するためである。

【0030】

一方、本実施形態のパワーデバイダ回路素子100は、 $1/4$ 波長信号伝送線路と接地導電体が対向する部分が従来型の半分程度になるため、従来型に対して線路の特性インピーダンスを高く保つことができる。その結果、低背構造での多層基板への内蔵が可能になる。また、本実施形態のパワーデバイダ回路素子100は、直流的には開放状態であるため、直流カット用のコンデンサを外付けで設ける必要がないので、部品点数の削減が可能になる。

【0031】

さらに、本実施形態のパワーデバイダ回路素子100は、各信号伝送線路111~113をインタデジタル結合させているため、従来例のように信号伝送線路間の干渉を避ける必要がないので、素子形状を小型に形成することができる。

【0032】

さらにまた、本実施形態のパワーデバイダ回路素子100は、従来型に対して線路の特性インピーダンスを高く保つことができるため、多層基板等への低背形状での内蔵が容易である。

【0033】

また、本実施形態のパワーデバイダ回路素子100は、構成上、信号伝送線路111~113間が直流で絶縁されているので、直流カット用のコンデンサを外付けで設ける必要がない。

【0034】

10

20

30

40

50

図 7 及び図 8 に、本実施形態のインタデジタル結合を用いた積層型パワーデバイダ回路素子 100 のシミュレーション結果を示す。図 7 は減衰特性を示す図であり、図 8 は位相特性を示す図である。なお、本計算は、図 6 のように、電磁界シミュレーションで解析した結果に回路シミュレータ上で第 2 及び第 3 入出力端子をなる外部端子電極 102b, 102c 間に抵抗器 R 1 を付加する方法で計算した。また、図 6 において、外部端子電極（第 1 の入出力端子）102a は分配前のポートであり、外部端子電極（第 2 及び第 3 入出力端子）102b, 102c は分配後のポートである。

【 0 0 3 5 】

図 7 に示す減衰特性において、通過帯域である 5 GHz 帯で、S 2 1, S 3 1 の振幅特性は 3 . 5 dB 程度、S 1 1 の振幅特性は 1 5 dB 程度であり、良好な分配特性が実現できていることが確認できる。また、S 2 3 の振幅特性についても、2 0 dB 以上であり、良好なアイソレーション特性が得られていることが確認できる。

10

【 0 0 3 6 】

さらに、図 8 に示す位相特性において、位相差についても 1 . 5 ~ 2 . 9 度程度であり、良好な特性であることが確認できる。

【 0 0 3 7 】

次に、本発明の第 2 実施形態を説明する。

【 0 0 3 8 】

図 9 乃至図 1 2 は本発明の第 2 実施形態を示すもので、図 9 は本発明の第 2 実施形態におけるパワーデバイダ回路素子を示す外観斜視図、図 1 0 は本発明の第 2 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視斜視図、図 1 1 は本発明の第 2 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視平面図、図 1 2 は本発明の第 2 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視側面図である。なお、第 2 実施形態のパワーデバイダ回路素子の等価回路は第 1 実施形態と同じである。

20

【 0 0 3 9 】

第 2 実施形態のパワーデバイダ回路素子は、第 1 実施形態のパワーデバイダ回路素子 100 では 1 / 4 波長信号伝送線路を直線状の带状導電体で構成しているのに対し、1 / 4 波長信号伝送線路をミアンダ形状の带状導電体によって構成することで、更なる小型化を図ったものである。なお、ミアンダ形状の導電体以外に、1 / 4 波長信号伝送線路を、巻き線状或いは渦巻き状等の带状導電体によって構成しても、更なる小型化を実現できることは言うまでもない。

30

【 0 0 4 0 】

図において、200 はパワーデバイダ回路素子で、誘電体セラミックの積層素体からなる素子本体 201 と、素子本体 201 の外面の所定位置に設けられた 4 つの外部端子電極 202a ~ 202f から構成されている。

【 0 0 4 1 】

素子本体 201 の内部には、带状導電体からなる 3 つの信号伝送線路 211 ~ 213 と、素子本体 201 の上層部と下層部のそれぞれに互いに平行に設けられた接地導電体 214, 215 が設けられている。

【 0 0 4 2 】

第 1 の信号伝送線路 211 は、素子本体 201 のほぼ中央の所定層に設けられ、伝送対象となる高周波信号周波数（5 . 0 GHz）の 1 / 4 波長に電気長が設定されているミアンダ形状をなす带状導電体によって構成されている。第 1 の信号伝送線路 211 の一端 211a は第 1 入出力端子となる外部端子電極 202a に導電接続され、他端 211b はビア導電体 221, 222 によって接地導電体 214, 215 に導電接続されている。

40

【 0 0 4 3 】

第 2 の信号伝送線路 212 は、第 1 の信号伝送線路 211 をなす带状導電体に対して絶縁体を挟んで対向するように素子本体内部の所定層に設けられ、伝送対象となる上記高周波信号周波数の 1 / 4 波長に電気長が設定されているミアンダ形状の带状導電体によって構成されている。また、第 2 の信号伝送線路 212 の一端 212a はビア導電体 223 によって接地導電体 21

50

4に導電接続されている。さらに、第2の信号伝送線路212の他端は第2入出力端子をなす外部端子電極202bに導電接続されている。これにより、第2の信号伝送線路212は第1の信号伝送線路211にインタデジタル結合されている。

【0044】

第3の信号伝送線路213は、第1の信号伝送線路211をなす帯状導電体に対して絶縁体を挟んで対向するように素子本体内部の所定層に設けられ、伝送対象となる上記高周波信号周波数の1/4波長に電気長が設定されているミアンダ形状の帯状導電体によって構成されている。また、第3の信号伝送線路213の一端213aはビア導体224によって接地導電体215に導電接続されている。さらに、第3の信号伝送線路213の他端は第3入出力端子をなす外部端子電極202cに導電接続されている。これにより、第3の信号伝送線路213は第1の信号伝送線路211にインタデジタル結合されている。なお、外部端子電極202d~202fは接地端子である。

10

【0045】

上記第2実施形態のパワーデバイダ回路素子200も、第1実施形態のパワーデバイダ素子100と同様の効果を発揮する。

【0046】

すなわち、3つの信号伝送線路211~213を積層方向に重ねてブロードサイドで結合させた状態になっているため、その占有面積は、1本の信号伝送線路に必要な面積にほぼ等しくなるので、従来例のパワーデバイダ回路素子に比べて大幅な小型化が可能になる。

【0047】

20

さらに、3つの信号伝送線路211~213をミアンダ形状の帯状導電体によって構成したので、第1実施形態のパワーデバイダ回路素子100に比べて、第2実施形態のパワーデバイダ回路素子200はさらに形状が小型化されている。

【0048】

さらにまた、第2実施形態のパワーデバイダ回路素子200においても、従来型に対して線路の特性インピーダンスを高く保つことができるため、多層基板等への低背形状での内蔵が容易である。

【0049】

また、第2実施形態のパワーデバイダ回路素子200においても、構成上、信号伝送線路211~213間が直流で絶縁されているので、直流カット用のコンデンサを外付けで設ける必要がない。

30

【0050】

図13及び図14に、第2実施形態のパワーデバイダ回路素子200のシミュレーション結果を示す。図13は減衰特性を示す図であり、図14は位相特性を示す図である。なお、本計算も、上記図6と同様に、電磁界シミュレーションで解析した結果に回路シミュレータ上で第2及び第3入出力端子をなす外部端子電極202b,202c間に抵抗器R1を付加する方法で計算した。また、外部端子電極(第1の入出力端子)202aは分配前のポートであり、外部端子電極(第2及び第3入出力端子)202b,202cは分配後のポートである。

【0051】

図13に示す減衰特性において、通過帯域である5GHz帯で、S21, S31の振幅特性は3.5dB程度、S11の振幅特性は15dB以上であり、良好な分配特性が実現できていることが確認できる。また、S23の振幅特性についても、20dB以上であり、良好なアイソレーション特性が得られていることが確認できる。

40

【0052】

さらに、図14に示す位相特性において、位相差についても1.4度程度であり、良好な特性であることが確認できる。

【0053】

なお、上記各実施形態において、1/4波長信号伝送線路を構成する帯状導電体の線路幅は必ずしも一定でなくともよい。構造化により付着する寄生成分及び小型化により付着する寄生成分等を考慮し、線路の一部分において、線路幅を変えて特性の調整を行うこと

50

ができる。そして、構造化により付着する寄生成分及び小型化により付着する寄生成分等を考慮し、本発明によるパワーデバイダ回路素子を構成する3つの1/4波長信号伝送線の線路長を各々少しずつ異なる線路長に設定し、特性の調整を行うこともできる。さらに、LTCC（低温同時焼成セラミックス基板）の製造プロセスの特徴である薄層構造及び多層構造を活用し、ブロードサイド結合で強く結合させ、共振周波数を分離させ、分離した共振周波数の低い方を活用することで、1/4波長以下の線路長での実現も可能である。

【0054】

次に、本発明の第3実施形態を説明する。

【0055】

10

図15及び図16は本発明の第3実施形態を示すもので、図15は本発明の第3実施形態における回路基板を示す透過斜視図、図16は本発明の第3実施形態における回路基板を示す透過側面図である。これらの図において、前述した第1実施形態と同一構成部分は同一符号をもって表しその説明を省略する。また、図中の300は回路基板で、誘電体からなる基板の内部に本発明のパワーデバイダ回路が形成されているものである。このパワーデバイダ回路の等価回路は第1実施形態において示したものと同様である。

【0056】

上記のように回路基板300に本発明のパワーデバイダ回路を構成した場合においても、このパワーデバイダ回路は上記第1実施形態と同様の効果を発揮する。なお、各信号伝送線を構成する導体パターンの形状を、巻き線状、ミアンダ状、渦巻き状等に変更し、小型化することも当然可能である。

20

【0057】

次に、本発明の第4実施形態を説明する。

【0058】

第4実施形態では、本発明のパワーデバイダ回路を備えた高周波無線回路モジュールを構成した。

【0059】

図17及び図18は本発明の第4実施形態における高周波無線回路モジュールを示すもので、図17は側面透視図、図18は電気系回路の要部を示すブロック図である。

【0060】

30

図において、400は高周波無線回路モジュールで、低温同時焼成セラミックス（LTCC）等のセラミック基板や樹脂基板等の配線回路基板からなるモジュール基板401上に、無線送受信機能部（無線機能部）を構成するIC421や受動素子422等の電子部品が実装されている。さらに、モジュール基板401の上面はシールド部材402によって覆われている。また、モジュール基板401の内部には本発明のパワーデバイダ回路432を形成する導電体411が設けられている。これらによって構成される回路は、モジュール基板401の底面に形成されている複数の外部電極441を介して外部回路に接続できるようになっている。

【0061】

高周波無線回路モジュール400の電気系回路は、図に示すように、フィルタ回路431と、パワーデバイダ回路432、第1の無線送受信機能回路433、第2の無線送受信機能回路434を備えている。フィルタ回路431は外部アンテナ450に接続される。パワーデバイダ回路432の第1入出力端子はフィルタ回路431に接続され、第2入出力端子は第1の無線送受信機能回路433に接続され、第3入出力端子は第2の無線送受信機能回路434に接続されている。第1の無線送受信機能回路433と第2の無線送受信機能回路434は送受信周波数が略同じで異なる規格のものである。例えば、Bluetooth（登録商標）や無線ラン等がある。

40

【0062】

本実施形態の高周波無線回路モジュール400においても、前述したと同様に、本発明のパワーデバイダ回路432を非常に小さな構造に形成することができるので、パワーデバイダ回路432を内蔵した高周波無線回路モジュール400の形状を小型にすることができる。

50

【 0 0 6 3 】

尚、前記実施形態は、本発明の一具体例であって、本発明がこれらの実施形態の構成のみに限定されることはない。

【図面の簡単な説明】

【 0 0 6 4 】

【図 1】本発明の第 1 実施形態におけるパワーデバイダ回路素子を示す外観斜視図

【図 2】本発明の第 1 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視斜視図

【図 3】本発明の第 1 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視平面図

【図 4】本発明の第 1 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視側面図

【図 5】本発明の第 1 実施形態におけるパワーデバイダ回路素子の等価回路図

【図 6】本発明の第 1 実施形態のけるパワーデバイダ回路素子のシミュレーション計算回路を説明する図

【図 7】本発明の第 1 実施形態におけるパワーデバイダ回路素子の減衰量周波数特性のシミュレーション結果を示す図

【図 8】本発明の第 1 実施形態におけるパワーデバイダ回路素子の位相差周波数特性のシミュレーション結果を示す図

【図 9】本発明の第 2 実施形態におけるパワーデバイダ回路素子を示す外観斜視図

【図 10】本発明の第 2 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視斜視図

【図 11】本発明の第 2 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視平面図

【図 12】本発明の第 2 実施形態におけるパワーデバイダ回路素子の内部導電体を示す透視側面図

【図 13】本発明の第 2 実施形態におけるパワーデバイダ回路素子の減衰量周波数特性のシミュレーション結果を示す図

【図 14】本発明の第 2 実施形態におけるパワーデバイダ回路素子の位相差周波数特性のシミュレーション結果を示す図

【図 15】本発明の第 3 実施形態における回路基板を示す透過斜視図

【図 16】本発明の第 3 実施形態における回路基板を示す透過側面図

【図 17】本発明の第 4 実施形態における高周波無線回路モジュールを示す透過側面図

【図 18】本発明の第 4 実施形態における高周波無線回路モジュールの電気系回路の要部を示すブロック図

【図 19】従来例のウィルキンソン型パワーデバイダ回路を示す等価回路図

【符号の説明】

【 0 0 6 5 】

100... パワーデバイダ回路素子、101... 素子本体、102a... 外部端子電極（第 1 入出力端子）、102b... 外部端子電極（第 2 入出力端子）、102c... 外部端子電極（第 3 入出力端子）、102d, 102e, 102f... 外部端子電極（接地端子）、111... 第 1 の信号伝送線路、112... 第 2 の信号伝送線路、113... 第 3 の信号伝送線路、121 ~ 124... ビア導体、114, 115... 接地導電体、200... パワーデバイダ回路素子、201... 素子本体、202a... 外部端子電極（第 1 入出力端子）、202b... 外部端子電極（第 2 入出力端子）、202c... 外部端子電極（第 3 入出力端子）、202d, 202e, 202f... 外部端子電極（接地端子）、211... 第 1 の信号伝送線路、212... 第 2 の信号伝送線路、213... 第 3 の信号伝送線路、221 ~ 224... ビア導体、214, 215... 接地導電体、300... 回路基板、400... 高周波無線回路モジュール、401... モジュール基板、402... シールド部材、411... 導電体、421... IC、422... 受動素子、431... フィルタ回路、432... パワーデバイダ回路、433... 第 1 の無線送受信機能回路、434... 第 2 の無線送受信機能回路、441... 外部電極、450... 外部アンテナ。

10

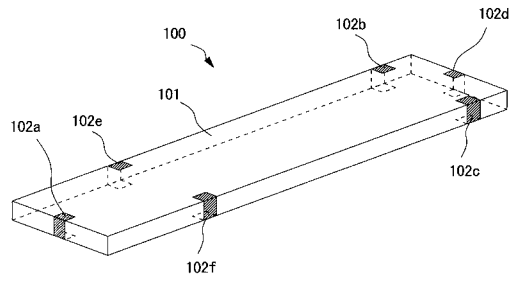
20

30

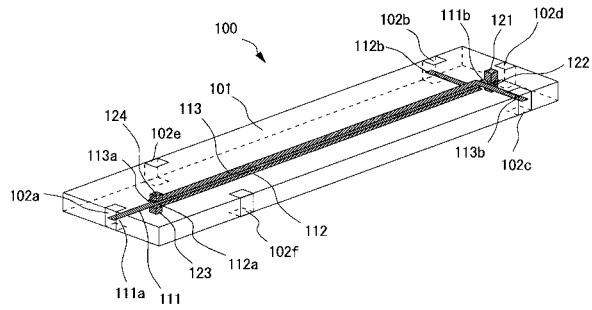
40

50

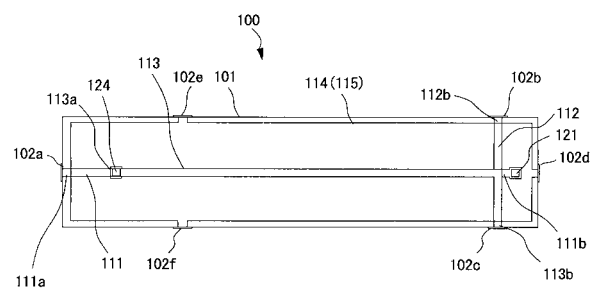
【図 1】



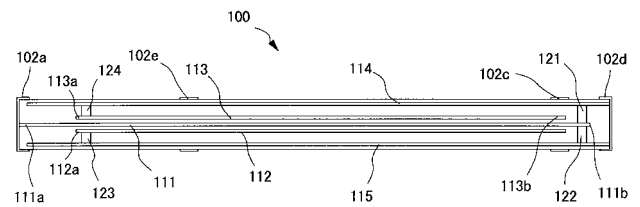
【図 2】



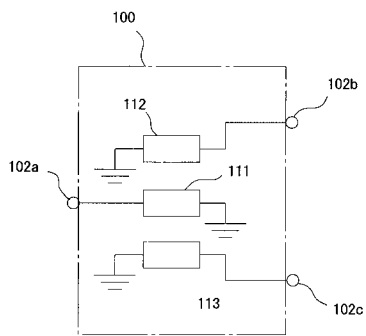
【図 3】



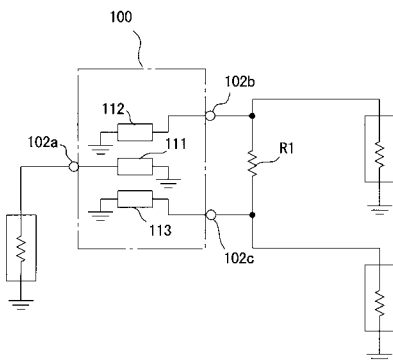
【図 4】



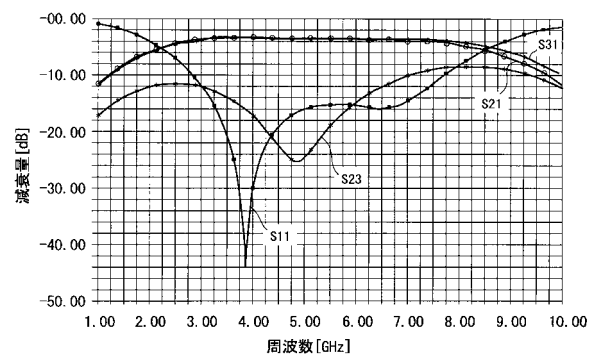
【図 5】



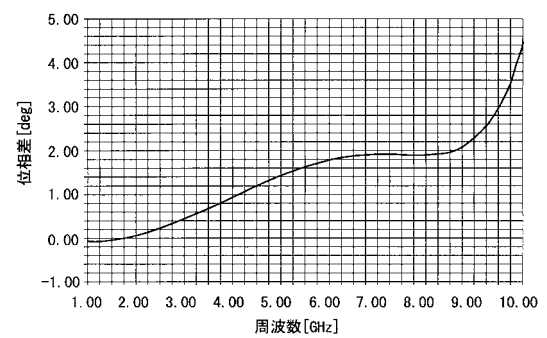
【図 6】



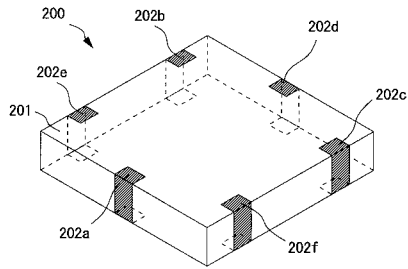
【図 7】



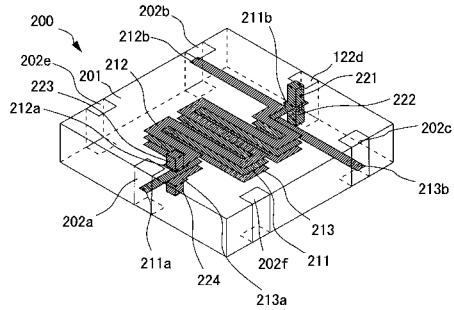
【図 8】



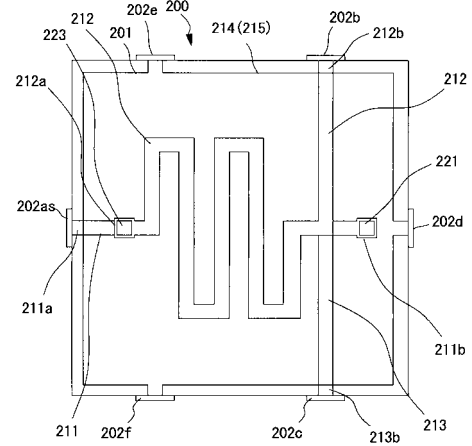
【図 9】



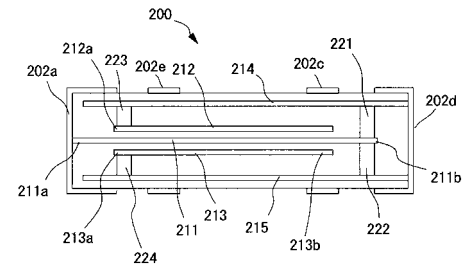
【図 10】



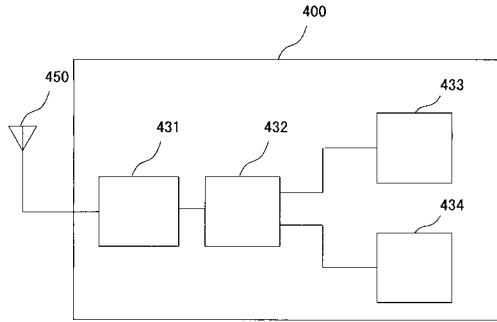
【図 11】



【図 12】



【 図 1 8 】



【 図 1 9 】

