

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3668356号
(P3668356)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int.Cl.⁷

G06F 17/14

F I

G06F 17/14

A

請求項の数 5 (全 11 頁)

(21) 出願番号	特願平9-87999	(73) 特許権者	000005049
(22) 出願日	平成9年4月7日(1997.4.7)		シャープ株式会社
(65) 公開番号	特開平10-283341		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成10年10月23日(1998.10.23)	(74) 代理人	100103296
審査請求日	平成12年7月28日(2000.7.28)		弁理士 小池 隆彌
前置審査		(74) 代理人	100088281
			弁理士 田畑 昌男
		(72) 発明者	大井 祐治
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	川辺 武司
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 高速フーリエ変換演算回路

(57) 【特許請求の範囲】

【請求項1】

処理する高速フーリエ変換点数Nについて、高速フーリエ変換を行う回路であって、
 バタフライ演算部1、回転因子乗算部3、データ並べ替え回路2からなるR入力の基本
 演算回路100を1段として、これをM個(=10gRN)(Rは基数)直列に並べて高
 速フーリエ変換が行えるように構成し、

前記バタフライ演算部1では、上記R入力間で基数Rのたすき掛け演算を行い、

前記回転因子乗算部3では、バタフライ演算部2の出力のうちR-1個の出力に対して
 回転因子の乗算を行い、

前記データ並べ替え回路2では、上記入力データNに対し2段目以降の演算に必要とな
 るデータの組を生成し、

さらに、外部からの制御信号により、前記バタフライ演算部1の基数が変更可能であり

、
 前記回転因子乗算部3、および前記データ並べ替え回路2を基数に応じて変更できる基
 本演算回路100を1個もしくは複数個備え、そのうち、1個もしくは複数個の基本演算
 回路100の基数を変更することで、上記高速フーリエ変換点数Nが基数Rに関わりなく
 N/2、N/4、...となっても同一の回路で高速フーリエ変換を行うことを特徴とする高
 速フーリエ変換演算回路。

【請求項2】

前記請求項1に記載の高速フーリエ変換演算回路において、

バタフライ演算の途中経過を出力する信号線を備え、選択回路 5 により、前記信号線の信号とほかの計算結果が選択できるバタフライ演算部 1 を備え、外部からの信号により、基数の変更を可能にしたことを特徴とする高速フーリエ変換演算回路。

【請求項 3】

前記請求項 1 に記載の高速フーリエ変換演算回路において、

基本演算回路 100 におけるデータ並べ替え回路で、入力段に複数の遅延量が可変な遅延素子 6, 7, 8 を備え、基数に応じて切り替え状態を変更できるスイッチ回路 9 を備え、出力段に複数の遅延量が可変の遅延素子 6, 7, 8 を備え、外部からの制御信号に基づいて基数が変更に対応することが可能なデータ並べ替え回路を持つことを特徴とする高速フーリエ変換演算回路。

10

【請求項 4】

前記請求項 1 に記載の高速フーリエ変換演算回路において、

M 段の基本演算回路 100 を直列に接続した回路は、前方から L 段 (L < M) を基数が変更可能な基本演算回路であることを特徴とする高速フーリエ変換演算回路。

【請求項 5】

前記請求項 1 に記載の高速フーリエ変換演算回路において、

全ての基本演算回路 100 を基数が変更可能な演算回路とし、すべての基本演算回路 100 で基数を R より小さく、同一の値に設定し、前記データ並べ替え回路 2 は、遅延量を変更できる遅延素子 6, 8 の遅延量を等しくし、外部からの制御信号に基づいてそれぞれ独立した入力データをフーリエ変換し出力することが可能であることを特徴とする高速フーリエ変換演算回路。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、信号処理、データ解析、線形システム等に利用される高速フーリエ変換に係り、特に、入力データ点数 N に対して、入力データ点数が減少しても、高速フーリエ変換（以下、FFT と略称する）が行える高速フーリエ変換演算回路に関するものである。

【0002】

【従来の技術】

近年のデジタル技術の発展に伴い、地上波テレビ放送が現行のアナログ放送からデジタル放送へ移行しようと準備が行われている。この地上波デジタルテレビ放送では変調方式としてマルチキャリア直交周波数分割多重変調方式（以下、OFDM と略称する）の採用が見込まれている。この OFDM では搬送波の変復調に高速フーリエ変換が用いられている。この変調方式で用いられる高速フーリエ変換の高速フーリエ変換点数 N は OFDM の搬送波数 K に依存する。

30

【0003】

この搬送波数 K は規格上では 1705 本、6817 本、と様々であり、また、これらの規格はさらに増える可能性がある。これらの複数の搬送波の本数に対応させるためにはそれぞれ専用の高速フーリエ変換演算回路を用意する必要があった。また、従来存在している複数のデータ点数に対応可能な高速フーリエ変換演算回路は点数 N に対して N/R 、 N/R^2 、(R は基数) ... というように R のべき乗で分割された点数しか計算できない。

40

【0004】

また、異なる基数のバタフライ演算回路を持たせることで、多くの点数に対応した高速フーリエ変換回路も存在するが、この場合に全ての並べ替え回路の構造を変更する必要がある、演算回路の制御が困難になる。したがって R に関係なく同一の回路で様々な点数に対応することができ、かつ、データ点列の変更に対しての制御が容易な回路は存在していない。

【0005】

【発明が解決しようとする課題】

前述のように、従来の高速フーリエ変換を行う回路では点数 N が決定されると、回路構成

50

も一意に定まってしまう。したがって、入力データの点数が変更になり、減少しても同一の回路で演算を行うことができないという問題点があった。

【0006】

また、点数を可変にすることのできる高速フーリエ変換演算回路でも点数の変更は基数 R のべき乗分の1でしか変更することができない。即ち、点数の変更が基数 R に左右されるという問題点があった。

【0007】

本発明は、上記従来欠点に鑑み、入力データ点数が減少しても、基数 R に左右されることなく変換点数を設定し、同一の回路で変換が行える回路を提供することを目的とするものである。

【0008】

【課題を解決するための手段】

図1は本発明の原理を説明する図であり、図1(a)は基本回路へのデータ入力概念を示し、図1(b)は本発明の基本回路の構成例を示している。図2は本発明におけるバタフライ演算回路の構成例を示し、図3はデータ並べ替え回路の構成例を示している。上記の問題点は下記の如く構成した高速フーリエ変換回路によって解決される。

【0009】

(1) 処理する高速フーリエ変換 (FFT) 点数 N について、高速フーリエ変換を行う回路であって、バタフライ演算部1、回転因子乗算部3、データ並べ替え回路2からなる R 入力の基本演算回路100を1段として、これを M 個 ($= \log_R N$) (R は基数) 直列に並べて高速フーリエ変換が行えるように構成し、バタフライ演算部1では、上記 R 入力間で基数 R のたすき掛け演算を行い、回転因子乗算部3では、バタフライ演算部2の出力のうち $R - 1$ 個の出力に対して回転因子の乗算を行い、データ並べ替え回路2では、上記入力データ N に対し2段目以降の演算に必要なデータの組を生成し、さらに、外部からの制御信号により、バタフライ演算部1の基数が変更可能であり、回転因子乗算部3および、データ並べ替え回路2を基数に応じて変更できる基本演算回路100を1個もしくは複数個備え、そのうち、1個もしくは複数個の基本演算回路100の基数を変更することで、上記高速フーリエ変換点数 N が基数 R に関わりなく $N/2$ 、 $N/4$ 、...となっても同一の回路で高速フーリエ変換を行う。

【0010】

(2) (1) に示した高速フーリエ変換演算回路であり、バタフライ演算の途中経過を出力する信号線を備え、選択回路5により、前記信号線の信号とほかの計算結果が選択できるバタフライ演算部1を備え、外部からの信号により、基数の変更を可能にした。

【0011】

(3) (1) に示した高速フーリエ変換回路であり、基本演算回路100におけるデータ並べ替え回路で、入力段に複数の遅延量が可変な遅延素子6, 7, 8を備え、基数に応じて切り替え状態を変更できるスイッチ回路9を備え、出力段に複数の遅延量が可変の遅延素子6, 7, 8を備え、外部からの制御信号に基づいて基数が変更に対応することが可能なデータ並べ替え回路を持つ。

【0012】

(4) (1) に示した高速フーリエ変換演算回路であり、 M 段の基本演算回路100を直列に接続した回路において、前方から L 段 ($L \leq M$) を基数が変更可能な基本演算回路とする。

【0013】

(5) (1) に示した高速フーリエ変換演算回路であり、全ての基本演算回路100を基数が変更可能な演算回路とし、すべての基本演算回路100で基数を R より小さく、同一の値に設定し、請求項3におけるデータ並べ替え回路2において、遅延量を変更できる遅延素子6, 8の遅延量を等しくし、外部からの制御信号に基づいてそれぞれ独立した入力データをフーリエ変換し出力することが可能なもの。

【0015】

10

20

30

40

50

以上の構成において更に、処理する高速フーリエ変換（FFT）点数Nについて、高速フーリエ変換を行う回路であって、バタフライ演算部1、回転因子乗算部3、データ並べ替え回路2からなる基本演算回路100を複数個並べることで構成する。このうち1個もしくは複数個の基本演算回路100のバタフライ演算部1を基数が変更可能な回路構成にする。この演算回路に入力データを適切に入力することでN点の高速フーリエ変換の結果が得られる。

【0016】

このとき、1個もしくは複数個のバタフライ演算部1の基数を変更することで、基数Rに関係することなくフレキシブルに $N/2$ 、 $N/4$ 、...、2点の高速フーリエ変換が可能となる。さらに、この演算回路を用いることで、これまでに高速フーリエ変換点数ごとに必要となっていた演算回路がただ一つの演算回路でよくなるので、ハードウェアの削減ができる。また、地上波デジタル放送の種々の伝送パラメータに対応でき、受信システムを瞬時に切り替えることができる。

10

【0017】

本発明によると、ハードウェアの大幅な増大なしに複数のデータ点列数に対応した高速フーリエ変換が可能である。また、本発明の構成によると、独立した2つのデータを高速にフーリエ変換できる。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて詳細に説明する。図1～図3は本発明の原理を説明する図であり、図4～図12は本発明の実施の形態を示した図である。図13は従来の高速フーリエ変換を説明する図であり、図14～図16は本発明の他の実施の形態を示している。

20

【0019】

本発明において、高速フーリエ変換（FFT）点数Nの高速フーリエ変換演算回路は図4に示すように、基本演算回路100をM個（ $= \log_2 N$ ）並べて構成する。各基本演算回路100はバタフライ演算部1、回転因子乗算部3、データ並べ替え回路2から構成される。バタフライ演算部1では、図13に示すたすき掛け演算を行い、回転因子乗算部3では対応する回転因子とデータを乗算し、データ並べ替え回路2では、次段の入力に対応したデータを生成するためにデータの並べ替えを行う。

30

【0020】

このような高速フーリエ変換演算回路について入力データ数Nが減少した場合、バタフライ演算回路における基数Rを変更することで、入力データ数の変更に対応する。この場合における演算の例として基数Rが4、高速フーリエ変換点数 $N = 64$ とする。

【0021】

$64 = 4^3$ であるので、バタフライ演算部1、回転因子乗算部3、データ並べ替え部2からなる基本回路100を3個直列に並べる。この演算回路の全体の構成を図4に示す。

【0022】

データ点列数64の高速フーリエ変換を実行する場合を図5を用いて説明する。入力データ $A_0 \dots A_{63}$ を図のように1段目の入力としてあたえる。1段目のバタフライ演算部10で基数4のバタフライ演算が行われデータ $B_0 \dots B_{63}$ が出力される。これらのデータを2段目の入力に適するように、データの組を変更する必要がある。これを遅延量4のデータ並べ替え回路11で実行する。このデータ並べ替え回路11を経てデータは次段の入力に適したデータの組に変更される。

40

【0023】

並べ替えられたデータ $B_0 \dots B_{63}$ は2段目のバタフライ演算部12に入力されて、基数4のバタフライ演算が実行され、データ $C_0 \dots C_{63}$ が出力される。前段と同様に、これらのデータはデータ並べ替え回路13でデータの組が変更され、3段目のバタフライ演算部14に入力される。3段目のバタフライ演算回路で基数4のバタフライ演算が実行されて、データ $D_0 \dots D_{63}$ が出力される。このデータ $D_0 \dots D_{63}$ が高速フーリエ変換の結果となる。

50

【 0 0 2 4 】

次に、この回路を用いてデータ点列数 3 2 の高速フーリエ変換を実行する場合を図 6 を用いて説明する。入力データ $A_0 \dots A_{31}$ を図のように 1 段目の入力としてあたえ、1 段目のバタフライ演算部 1 5 の基数を変更し、この演算部で基数 2 のバタフライ演算を行う。1 段目のバタフライ演算部 1 5 の出力データ $B_0 \dots B_{31}$ はデータ並べ替え回路 1 6 でデータの組の変更が行われ、次段に入力される。2 段目以降は 6 4 点の変換と同様に基数 4 のバタフライ演算が実行され、得られた結果 $D_0 \dots D_{31}$ が高速フーリエ変換の結果となる。

【 0 0 2 5 】

同様にデータ点列数 1 6 の高速フーリエ変換を実行する場合は、図 7 に示すように入力データは 1 段目のバタフライ演算部 1 7、データ並べ替え回路 1 8 をスキップする。これ以降の演算回路で基数 4 のバタフライ演算を行うことで得られる $C_0 \dots C_{16}$ が高速フーリエ変換の結果となっている。

10

【 0 0 2 6 】

基数の変更や基本演算回路のスキップといった動作はデータ点列数 N をさらに増加させたときも同様の効果を示し、図 8 に示す回路では 1 6 ~ 1 6 3 8 4 点の高速フーリエ変換に対応することができる。

【 0 0 2 7 】

次に、基数の変更について図 9、図 1 0 を用いて詳細に説明する。この場合、演算の切り替え方法は以下のとおりである。高速フーリエ変換の性質として、データ点列数の大きな高速フーリエ変換は、データ点列数のより小さな高速フーリエ変換を内部に含んでいる。この性質から、基数 4 のバタフライ演算には基数 2 のバタフライ演算が含まれていることがわかる。そこで、基数の切り替えが可能な演算回路では、基数 4 のバタフライ演算の途中で、基数 2 のバタフライ演算の結果を出力できるようにしておく。

20

【 0 0 2 8 】

これは図 9 において、2 段に接続された複素加減算器 4 の 1 段目の出力を取り出すことで実現される。この出力は 2 段目の複素加減算器 4 の入力と選択回路 5 の入力に接続される。2 段目の複素加減算器 4 で演算された結果は基数 4 のバタフライ演算の結果となっているので、この基数 4 のバタフライ演算の結果と、基数 2 のバタフライ演算の結果を選択回路 5 で選択することで基数の変更を実現している。

【 0 0 2 9 】

図 9 は基数が 2 のときのバタフライ演算部 1、回転因子乗算部 3 の動作を示しており、実線で示した経路を通してデータが流れていく。また、このときの回転因子は出力 B と出力 D にのみ乗算されるので、出力 C に乗算するための複素乗算器 1 9 は 1 を乗じるようにしておく。基数が 4 のときのバタフライ演算部 1 の動作は図 1 0 に示すようになり、図 9 と同様に実線部分をデータが流れていく。

30

【 0 0 3 0 】

次に、基本演算回路のスキップについて説明する。この処理はある段の基本演算回路 1 0 0 の演算をまったく行わない。また、スキップされる基本演算回路 1 0 0 は常に前方の段であるので、基本演算回路 1 0 0 にスキップ用の特別な回路を付加することなく、スキップする段の次段に直接入力すればよいことになる。したがって、高速フーリエ変換演算回路の入力部で複数の段への入力を行えるようにしておき、この入力線を選択することでスキップ処理が容易に行えるようになる。

40

【 0 0 3 1 】

これより、基本回路の内部には付加回路がないので、回路構成の縮小に役立てることができる。また、本発明においてはスキップする演算回路は常に前方のステージである。こうすることでスキップ処理を施した演算回路以降の演算において変更を加えることなく演算することができる。これは演算の流れ図を示した、図 5 ~ 7 において最終の 2 段の演算の順番が同じであるということから容易に理解できる。この性質はデータ点列数が多くなっても同様である。

【 0 0 3 2 】

50

データ並べ替え回路 2 の変更方法について図 1 1、図 1 2 を用いて詳細に説明する。データ並べ替え回路 2 はバタフライ演算部 1 の基数 R によって変更を加える必要がある。図 3 に示すのは基数 4 のときに用いられる構成である。データ並べ替え回路 2 では、まず、データ点列を入力 A、入力 B、入力 C、入力 D からそれぞれシリアルに入力する。

【0033】

入力 B、入力 C、入力 D から入力されたそれぞれのデータは、高速フーリエ変換の各基本回路で必要とされるだけ遅延させる。このとき、入力 C に接続される遅延素子 7 の遅延量は入力 B に接続される遅延素子 6 の遅延量の 2 倍、入力 D に接続される遅延素子 8 の遅延量は遅延素子 6 の遅延量の 3 倍である。

【0034】

遅延させたデータは 4 個の入力を適切に配分するスイッチング回路 9 に入力する。スイッチング回路では図 1 2 に示すようにデータの交換を行う。データ交換を行った後、出力 A、出力 B、出力 C のデータを遅延させ、データ出力のタイミングをあわせ、出力する。このようにして各基本回路で必要となるデータの組になるように並べ替えを行う。また、基数 2 のバタフライ演算部 1 に対応する場合の回路のブロック図を図 1 1 に示す。

【0035】

基数 2 のバタフライ演算部 1 に対応したデータ並べ替え回路 2 の動作は以下のとおりである。データ点列は入力 A、入力 B、入力 C、入力 D からそれぞれシリアルに入力され、入力 B、入力 D から入力されたデータを高速フーリエ変換で必要な数だけ遅延させる。このとき、入力 B と入力 D に接続される遅延素子 6、8 の遅延量は等しくなる。

【0036】

この後、入力 A と入力 B、入力 C と入力 D とでデータ交換をスイッチング回路 20、21 で、図 1 2 に示すように必要な部分で行う。データ交換を行った後、出力 A、出力 C で入力で行った数の遅延を行い、出力のタイミングを調整し、出力する。

【0037】

本発明ではすべての基本演算回路の基数を変更可能にすることで、2 個の高速フーリエ変換を同時に実行することが可能になる。この場合の回路のブロック図を図 1 4 に、データの流れ図を図 1 5 に示す。この演算では、すべての基本演算回路 100 で基数を 2 として演算する。また、この場合のデータ並べ替え回路 2 は上記に示した基数 2 のときの動作と同じ動作を示すが、遅延素子 6、8 における遅延量は上記の場合の平方根をとった数となる。

【0038】

本発明の高速フーリエ変換回路をマルチキャリア直交周波数分割多重方式 (OFDM) の受信機に用いた場合の構成を図 1 6 に示す。この場合、放送波の搬送波数 K は放送波からの信号により取り出すことができ、この情報は情報分離回路 22 で分離され、高速フーリエ変換回路の制御部 24 に送られる。この情報により FFT の基本回路 23 に制御部 24 から制御信号が送られ、高速フーリエ変換回路の処理点数が変更される。このようにして、OFDM の搬送波数 K に対応した高速フーリエ変換点数 $N(K)$ に瞬時に変更することが可能になる。

【0039】

上記実施形態においては、例として基数が 4 の場合の回路の構成方法について述べてきたが、これは基数 R を大きくしても同様の効果が得られ、ハードウェアの削減、高速化など新たな効果が期待できる。

【0040】

【発明の効果】

以上、説明したように、本発明の高速フーリエ変換演算回路は、処理するデータ点列数 N が基数 R に関係なく $N/2$ 、 $N/4$ 、... と変更になっても同一の回路で高速フーリエ変換を行えるようにしたものである。この演算回路を用いることで、様々な点数の高速フーリエ変換にただ一つの回路で対応することができるようになったことが、本発明の最大の効果である。これにより、多様な入力数 N で高速フーリエ変換処理を必要とする場合に、単

10

20

30

40

50

一のハードウェアで実現が可能となり、物量の削減等に効果を発揮できる。

【0041】

請求項1の発明では、様々な点数の高速フーリエ変換にただ1つの回路で対応することができる。請求項2の発明では、これまで複数個必要であったバタフライ演算回路を1個にすることができ、部品点数の削減に効果がある。請求項3の発明では、請求項2と同様にデータ並べ替え回路を1個にすることができ、部品点数の削減に効果がある。請求項4の発明では、後方の演算回路になんら影響を与えないので制御系統が簡略化される。請求項5の発明では、これまで同時に実行するには2個の演算回路が必要であったが、これを1個で行えることから、部品点数の削減、制御系統の簡略化の効果がある。

【図面の簡単な説明】

10

【図1】本発明の原理説明図である。

【図2】本発明の原理説明におけるバタフライ演算部のブロック図である。

【図3】本発明の原理説明におけるデータ並べ替え回路のブロック図である。

【図4】本発明の実施の形態の64点高速フーリエ変換回路のブロック図である。

【図5】本発明の実施の形態の64点高速フーリエ変換のデータの流れ図である。

【図6】本発明の実施の形態の32点高速フーリエ変換のデータの流れ図である。

【図7】本発明の実施の形態の16点高速フーリエ変換のデータの流れ図である。

【図8】本発明の実施の形態の16～16384点に対応した高速フーリエ変換演算回路である。

【図9】本発明の実施の形態の基数が2の時の動作である。

20

【図10】本発明の実施の形態の基数が4の時の動作である。

【図11】本発明の実施の形態の基数が2の時のデータ並べ替え回路の動作ブロック図である。

【図12】本発明の実施の形態の32点高速フーリエ変換におけるデータ並べ替え回路の動作説明図である。

【図13】従来の高速フーリエ変換を説明する図である。

【図14】本発明の他の実施の形態のすべての基本演算回路を変更可能にしたときの演算回路である。

【図15】本発明の他の実施の形態の2個の高速フーリエ変換を同時に実行したときのデータの流れ図である。

30

【図16】本発明の他の実施の形態のOFDM受信機における本発明の利用である。

【符号の説明】

100 高速フーリエ変換基本回路

1, 10, 12, 14, 15, 17 バタフライ演算部

2, 11, 13, 16, 18 データ並べ替え回路

3 回転因子乗算部

4 複素加減算器

5 選択回路

6, 7, 8 遅延素子

9, 20, 21 スイッチ回路

40

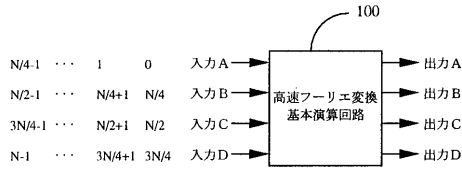
19 複素乗算器

22 制御信号分離部

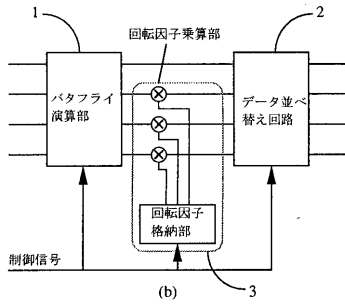
23 FFT基本回路群

24 高速フーリエ変換回路の制御部

【図 1】

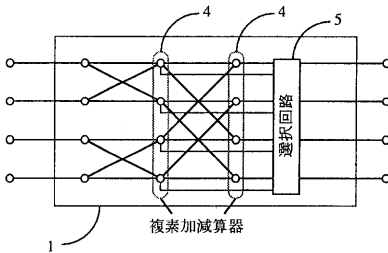


(a)

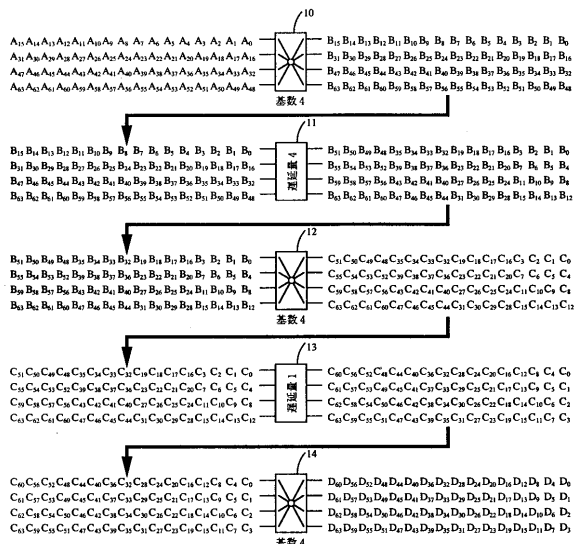


(b)

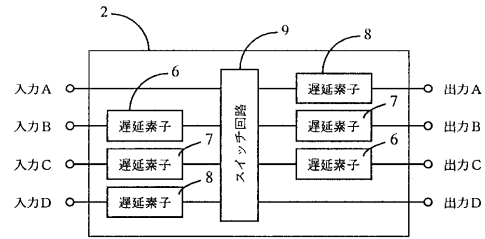
【図 2】



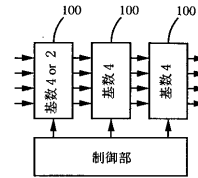
【図 5】



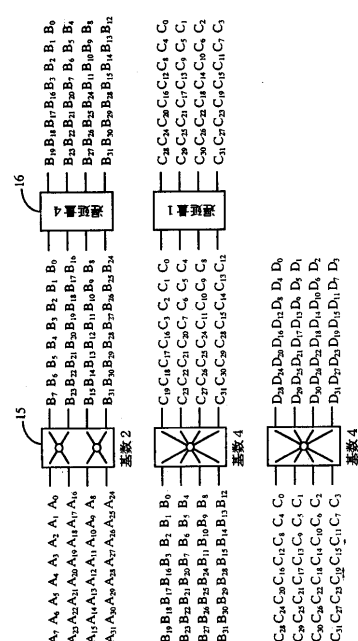
【図 3】



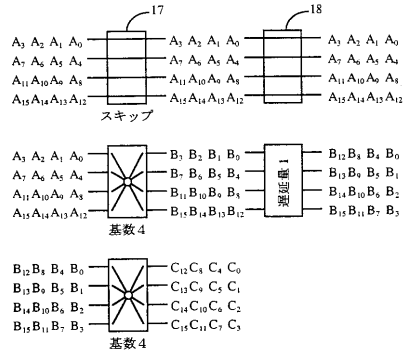
【図 4】



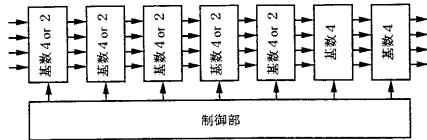
【図 6】



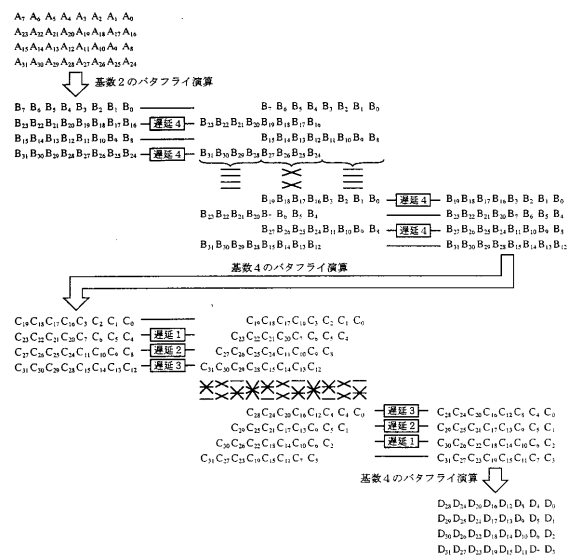
【図 7】



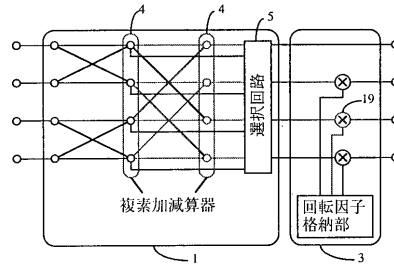
【図 8】



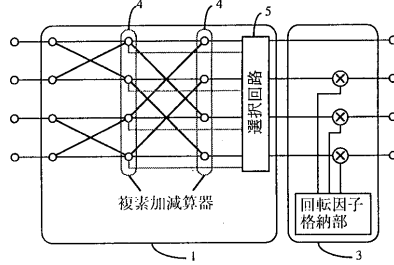
【図 12】



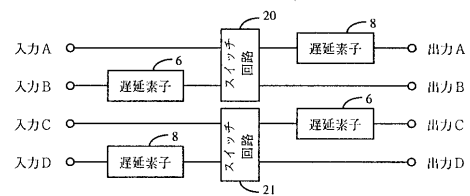
【図 9】



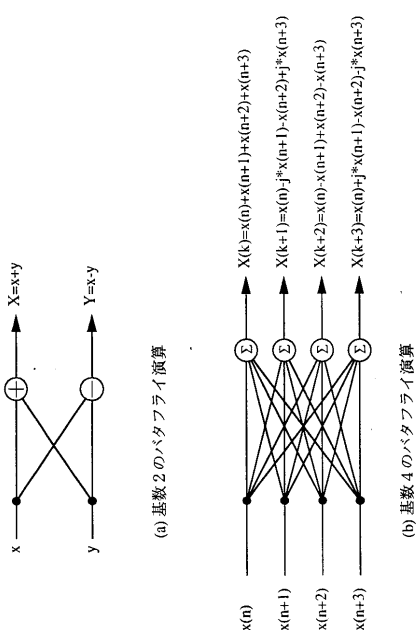
【図 10】



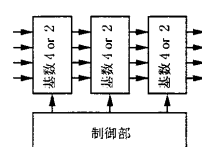
【図 11】



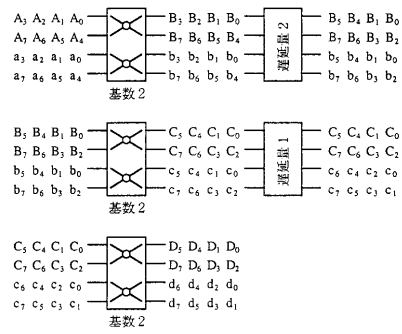
【図 13】



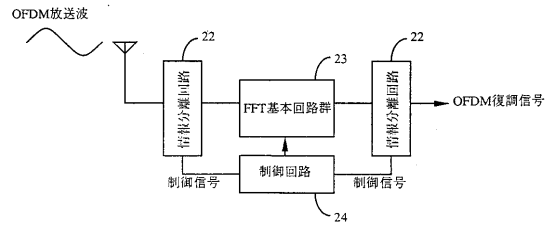
【図 14】



【圖 1 5】



【圖 1 6】



フロントページの続き

(72)発明者 小川 哲也
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 鳥居 稔

(56)参考文献 特開平08-030584(JP,A)
特開平06-342449(JP,A)
特開平09-008765(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
G06F 17/14