



(12) 发明专利

(10) 授权公告号 CN 101527284 B

(45) 授权公告日 2014. 07. 02

(21) 申请号 200910128517. 8

页.

(22) 申请日 2009. 03. 05

US 2005/0101062 A1, 2005. 05. 12, 全文.

(30) 优先权数据

CN 101093844 A, 2007. 12. 26, 说明书第

2008-055024 2008. 03. 05 JP

10~13 页.

审查员 李利哲

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 宫入秀和 小森茂树 伊佐敏行

梅崎敦司

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 柯广华 王丹昕

(51) Int. Cl.

H01L 21/84 (2006. 01)

H01L 27/15 (2006. 01)

H01L 29/786 (2006. 01)

H01L 21/027 (2006. 01)

G02F 1/1362 (2006. 01)

(56) 对比文件

CN 1808737 A, 2006. 07. 26, 说明书第 8~9

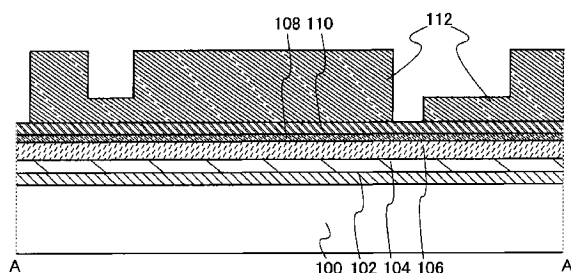
权利要求书2页 说明书18页 附图23页

(54) 发明名称

EL 显示装置的制造方法

(57) 摘要

简化安装在 EL 显示装置的薄膜晶体管的制造步骤。通过如下步骤形成薄膜晶体管,并且使用该薄膜晶体管制造 EL 显示装置:层叠第一导电膜、绝缘膜、半导体膜、杂质半导体膜、第二导电膜;在其上形成第一抗蚀剂掩模;进行第一蚀刻形成薄膜叠层体;对该薄膜叠层体进行带着侧面蚀刻的第二蚀刻形成栅电极层;使用第二抗蚀剂掩模形成源电极及漏电极层等。



1. 一种 EL 显示装置的制造方法,包括如下步骤:

形成薄膜晶体管,其包括如下步骤:

在绝缘表面上按顺序层叠第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜及第二导电膜;

在所述第二导电膜上形成第一抗蚀剂掩模;

通过使用所述第一抗蚀剂掩模对所述第一绝缘膜、所述半导体膜、所述杂质半导体膜及所述第二导电膜进行第一蚀刻,至少使所述第一导电膜的表面露出;

在第一蚀刻之后,对所述第一导电膜的一部分进行第二蚀刻来形成栅电极层,以使所述栅电极层的宽度比所述第一绝缘膜的宽度窄;

通过缩小所述第一抗蚀剂掩模来形成第二抗蚀剂掩模;以及

在第二蚀刻之后,通过使用所述第二抗蚀剂掩模对所述第二导电膜、所述杂质半导体膜及所述半导体膜的一部分进行第三蚀刻,形成源电极及漏电极层、源区及漏区层和半导体层,

去除所述第二抗蚀剂掩模;

形成第二绝缘膜来覆盖所述薄膜晶体管;

在所述第二绝缘膜中形成开口来使所述源电极及漏电极层的一部分露出;

在所述开口及所述第二绝缘膜上选择性地形成第一像素电极;

在所述第一像素电极上形成 EL 层;以及

在所述 EL 层上形成第二像素电极,

其中,通过所述第二蚀刻以与所述栅电极层相邻的方式在所述第二绝缘膜和所述绝缘表面之间形成空洞。

2. 一种 EL 显示装置的制造方法,包括如下步骤:

形成薄膜晶体管,其包括如下步骤:

在绝缘表面上按顺序层叠第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜及第二导电膜;

在所述第二导电膜上形成具有凹部的第一抗蚀剂掩模;

通过使用所述第一抗蚀剂掩模对所述第一绝缘膜、所述半导体膜、所述杂质半导体膜及所述第二导电膜进行第一蚀刻,至少使所述第一导电膜的表面露出;

在第一蚀刻之后,对所述第一导电膜的一部分进行第二蚀刻来形成栅电极层,以使所述栅电极层的宽度比所述第一绝缘膜的宽度窄;

通过缩小所述第一抗蚀剂掩模来形成第二抗蚀剂掩模,使与所述第一抗蚀剂掩模的凹部重叠的所述第二导电膜露出;以及

在第二蚀刻之后,通过使用所述第二抗蚀剂掩模对所述第二导电膜、所述杂质半导体膜及所述半导体膜的一部分进行第三蚀刻,形成源电极及漏电极层、源区及漏区层和半导体层,

去除所述第二抗蚀剂掩模;

形成第二绝缘膜来覆盖所述薄膜晶体管;

在所述第二绝缘膜中形成开口来使所述源电极及漏电极层的一部分露出;

在所述开口及所述第二绝缘膜上选择性地形成第一像素电极;

在所述第一像素电极上形成 EL 层 ;以及

在所述 EL 层上形成第二像素电极,

其中,通过所述第二蚀刻以与所述栅电极层相邻的方式在所述第二绝缘膜和所述绝缘表面之间形成空洞。

3. 根据权利要求 1 或 2 所述的 EL 显示装置的制造方法,其中使用多级灰度掩模形成所述第一抗蚀剂掩模。

4. 根据权利要求 1 或 2 所述的 EL 显示装置的制造方法,其中所述第一蚀刻是干蚀刻,并且所述第二蚀刻是湿蚀刻。

5. 根据权利要求 1 或 2 所述的 EL 显示装置的制造方法,其中层叠利用 CVD 法或溅射法形成的绝缘膜和利用旋涂法形成的绝缘膜来形成所述第二绝缘膜。

6. 一种 EL 显示装置,包括:

薄膜晶体管;

所述薄膜晶体管上的第一绝缘膜;

电连接到所述薄膜晶体管的第一像素电极;

所述第一像素电极上的 EL 层 ;以及

所述 EL 层上的第二像素电极,

其中,所述薄膜晶体管包括:

绝缘表面上的栅电极;

所述栅电极上的第二绝缘膜;

所述第二绝缘膜上的半导体膜;

所述半导体膜上的杂质半导体膜 ;以及

所述杂质半导体膜上的导电膜,

其中,以与所述栅电极相邻的方式在所述第二绝缘膜和所述绝缘表面之间形成空洞,

其中,所述薄膜晶体管是底栅型薄膜晶体管,并且

其中,与所述绝缘表面平行地形成所述第二绝缘膜。

7. 根据权利要求 6 所述的 EL 显示装置,其中所述半导体膜具有作为沟道区的第一凹部。

8. 根据权利要求 6 所述的 EL 显示装置,其中所述半导体膜具有与所述空洞重叠的第二凹部。

EL 显示装置的制造方法

技术领域

[0001] 本发明涉及一种包括薄膜晶体管的 EL 显示装置的制造方法。

背景技术

[0002] 近年来,由形成在玻璃衬底等的具有绝缘表面的衬底上的厚度为几 nm 至几百 nm 左右的半导体薄膜构成的薄膜晶体管引人注目。薄膜晶体管广泛地应用于电子器件诸如 IC(集成电路)及电光装置。尤其,正在加快开发作为以液晶显示装置或 EL(电致发光)显示装置等为代表的图像显示装置的开关元件的薄膜晶体管。

[0003] 在有源矩阵型 EL 显示装置中,在设置在被选择的像素中的发光元件的一方电极和与该电极一起夹着 EL 层的另一方电极之间施加电压,从而在 EL 层中产生电流且发光层发光。该发光被观察者识别为显示图案。注意,在此,有源矩阵型 EL 显示装置是指一种 EL 显示装置,其中采用通过利用开关元件使配置为矩阵状的像素驱动,在屏幕上形成显示图案的方式。

[0004] 目前,有源矩阵型 EL 显示装置的用途正在扩大,并且对于屏幕尺寸的大面积化、高清晰化及高开口率化的要求提高。此外,有源矩阵型 EL 显示装置需要高可靠性,并且其生产方法需要高生产率及生产成本的降低。作为提高生产率并降低生产成本的方法之一,可以举出步骤的简化。

[0005] 在有源矩阵型 EL 显示装置中,主要将薄膜晶体管用作开关元件。在制造薄膜晶体管时,为了步骤的简化,重要的是减少用于光刻的光掩模的数目。例如,若是增加一个光掩模,则需要如下步骤:抗蚀剂涂敷、预烘干、曝光、显影、后烘干等的步骤、在其前后的步骤中的膜的形成及蚀刻步骤、以及抗蚀剂的剥离、清洗及干燥步骤等。因此,若是增加一个用于制造步骤的光掩模,则大幅度地增加步骤数目。由此,为了减少制造步骤中的光掩模,进行许多技术开发。

[0006] 薄膜晶体管大致划分为沟道形成区设置于栅电极的下层的底栅型和沟道形成区设置于栅电极的上层的顶栅型。已知的是,在底栅型薄膜晶体管的制造步骤中使用的光掩模数目少于在顶栅型薄膜晶体管的制造步骤中使用的光掩模数目。一般地,利用三个光掩模制造底栅型薄膜晶体管。

[0007] 用来减少光掩模数目的现有技术主要采用复杂的技术如背面曝光、抗蚀剂回流或剥离法(lift-off method)并需要特殊的装置。因利用这种复杂的技术导致各种问题,因此忧虑成品率的降低等。另外,也在很多情况下不得不牺牲薄膜晶体管的电特性。

[0008] 作为薄膜晶体管的制造步骤中的用来减少光掩模数目的典型方法,使用多级灰度掩模(被称为半色调掩模或灰色调掩模的掩模)的技术被广泛地周知。作为使用多级灰度掩模减少制造步骤的技术,例如可以举出专利文献 1。

[0009] [专利文献 1] 日本专利申请公开 2003-179069 号公报

[0010] 但是,当使用上述多级灰度掩模制造底栅型薄膜晶体管时,也至少需要两个多级灰度掩模和一个通常的光掩模,不能进一步减少光掩模的数目。其中之一光掩模被用于

栅电极层的构图。

发明内容

[0011] 在此,本发明的一个方式的目的在于提供一种新的技术,其中可以不使用用于栅电极层的构图的光掩模而制造薄膜晶体管。也就是,公开不需要复杂的技术,且能够使用一个掩模制造的薄膜晶体管的制造方法。

[0012] 由此,可以当制造薄膜晶体管时,使得所使用的光掩模的数目比现有技术少。

[0013] 此外,尤其是,本发明的一个方式的薄膜晶体管可以应用于 EL 显示装置的像素。本发明的一个方式的目的在于:在制造 EL 显示装置时,不采用复杂的技术地使得用于光刻法的光掩模的数目比现有技术少。而且,本发明的一个方式的目的在于:简化 EL 显示装置的制造步骤。

[0014] 本发明的一个方式的薄膜晶体管的制造方法包括如下步骤:形成第一导电膜和在该第一导电膜上按顺序层叠有绝缘膜、半导体膜、杂质半导体膜及第二导电膜的薄膜叠层体;通过第一蚀刻使所述第一导电膜露出并至少形成所述薄膜叠层体的图案;以及通过第二蚀刻形成第一导电膜的图案。在此,以第一导电膜受到侧面蚀刻的条件进行第二蚀刻。

[0015] 在此,作为第一蚀刻采用干蚀刻或湿蚀刻,即可。但是,优选通过各向异性高的蚀刻法(物理蚀刻)进行。通过作为第一蚀刻采用各向异性高的蚀刻法,可以提高图案的加工精度。注意,在采用干蚀刻进行第一蚀刻的情况下,可以以一个步骤进行。但是,在采用湿蚀刻进行第一蚀刻的情况下,以多个步骤进行第一蚀刻。因此,优选采用干蚀刻进行第一蚀刻。

[0016] 此外,作为第二蚀刻采用干蚀刻或湿蚀刻,即可。但是,优选采用各向同性蚀刻具有支配性的蚀刻法(化学蚀刻)。通过采用各向同性蚀刻具有支配性的蚀刻法(化学蚀刻)进行第二蚀刻,可以对第一导电膜进行侧面蚀刻。因此,优选采用湿蚀刻进行第二蚀刻。

[0017] 在此,由于以带着对第一导电膜的侧面蚀刻的条件进行第二蚀刻,因此第一导电膜向所述受到图案形成的薄膜叠层体的内侧缩小。因此,第二蚀刻后的第一导电膜侧面存在于受到图案形成的薄膜叠层体的侧面的内侧。再者,受到图案形成的第一导电膜的侧面和受到图案形成的薄膜叠层体的侧面的间隔大概相等。

[0018] 注意,第一导电膜的图案例如是指形成栅电极、栅极布线及电容电极的金属布线的俯视布局。

[0019] 所公开的发明之一是一种包括薄膜晶体管的 EL 显示装置的制造方法,在该薄膜晶体管中通过侧面蚀刻形成栅电极层,优选使用具有凹部的抗蚀剂掩模形成设置在所述栅电极层的上层的源电极及漏电极层。

[0020] 本发明的一个方式是一种 EL 显示装置的制造方法,包括如下步骤:按顺序层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜及第二导电膜;在所述第二导电膜上形成第一抗蚀剂掩模;通过使用所述第一抗蚀剂掩模对所述第一绝缘膜、所述半导体膜、所述杂质半导体膜及所述第二导电膜进行第一蚀刻,至少使所述第一导电膜的表面露出;对所述第一导电膜的一部分进行第二蚀刻来将栅电极层形成为使其宽度比所述第一绝缘膜的宽度窄;在所述第二导电膜上形成第二抗蚀剂掩模;通过使用所述第二抗蚀剂掩模对所述第二导电膜、所述杂质半导体膜及所述半导体膜的一部分进行第三蚀刻来形成源电极及

漏电极层、源区及漏区层和半导体层,形成薄膜晶体管;去除所述第二抗蚀剂掩模,并覆盖所述薄膜晶体管地形成第二绝缘膜;以使所述源电极及漏电极层的一部分露出的方式在所述第二绝缘膜中形成开口部;在所述开口部及所述第二绝缘膜上选择性地形成第一像素电极;在所述第一像素电极上形成 EL 层;以及在所述 EL 层上形成第二像素电极。

[0021] 本发明的一个方式是一种 EL 显示装置的制造方法,包括如下步骤:按顺序层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜及第二导电膜;在所述第二导电膜上形成第一抗蚀剂掩模;通过使用所述第一抗蚀剂掩模对所述第一绝缘膜、所述半导体膜、所述杂质半导体膜及所述第二导电膜进行第一蚀刻,至少使所述第一导电膜的表面露出;在所述第二导电膜上形成第二抗蚀剂掩模;在形成所述第二抗蚀剂掩模之后,对所述第一导电膜的一部分进行第二蚀刻来将栅电极层形成为使其宽度比所述第一绝缘膜的宽度窄;通过使用所述第二抗蚀剂掩模对所述第二导电膜、所述杂质半导体膜及所述半导体膜的一部分进行第三蚀刻来形成源电极及漏电极层、源区及漏区层和半导体层,形成薄膜晶体管;去除所述第二抗蚀剂掩模,并覆盖所述薄膜晶体管地形成第二绝缘膜;以使所述源电极及漏电极层的一部分露出的方式在所述第二绝缘膜中形成开口部;在所述开口部及所述第二绝缘膜上选择性地形成第一像素电极;在所述第一像素电极上形成 EL 层;以及在所述 EL 层上形成第二像素电极。

[0022] 本发明一方式是一种 EL 显示装置的制造方法,包括如下步骤:按顺序层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜及第二导电膜;在所述第二导电膜上形成具有凹部的第一抗蚀剂掩模;通过使用所述第一抗蚀剂掩模对所述第一绝缘膜、所述半导体膜、所述杂质半导体膜及所述第二导电膜进行第一蚀刻,至少使所述第一导电膜的表面露出;对所述第一导电膜的一部分进行第二蚀刻来将栅电极层形成为使其宽度比所述第一绝缘膜的宽度窄;通过缩小所述第一抗蚀剂掩模,使与所述第一抗蚀剂掩模的凹部重叠的所述第二导电膜露出并形成第二抗蚀剂掩模;通过使用所述第二抗蚀剂掩模对所述第二导电膜、所述杂质半导体膜及所述半导体膜的一部分进行第三蚀刻来形成源电极及漏电极层、源区及漏区层和半导体层,形成薄膜晶体管;去除所述第二抗蚀剂掩模,并覆盖所述薄膜晶体管地形成第二绝缘膜;以使所述源电极及漏电极层的一部分露出的方式在所述第二绝缘膜中形成开口部;在所述开口部及所述第二绝缘膜上选择性地形成第一像素电极;在所述第一像素电极上形成 EL 层;以及在所述 EL 层上形成第二像素电极。

[0023] 本发明的一个方式是一种 EL 显示装置的制造方法,包括如下步骤:按顺序层叠形成第一导电膜、第一绝缘膜、半导体膜、杂质半导体膜及第二导电膜;在所述第二导电膜上形成具有凹部的第一抗蚀剂掩模;通过使用所述第一抗蚀剂掩模对所述第一绝缘膜、所述半导体膜、所述杂质半导体膜及所述第二导电膜进行第一蚀刻,至少使所述第一导电膜的表面露出;通过缩小所述第一抗蚀剂掩模,使与所述第一抗蚀剂掩模的凹部重叠的所述第二导电膜露出并形成第二抗蚀剂掩模;在形成所述第二抗蚀剂掩模之后,对所述第一导电膜的一部分进行第二蚀刻来将栅电极层形成使其宽度比所述第一绝缘膜的宽度窄;通过使用所述第二抗蚀剂掩模对所述第二导电膜、所述杂质半导体膜及所述半导体膜的一部分进行第三蚀刻来形成源电极及漏电极层、源区及漏区层和半导体层,形成薄膜晶体管;去除所述第二抗蚀剂掩模,并覆盖所述薄膜晶体管地形成第二绝缘膜;以使所述源电极及漏电极层的一部分露出的方式在所述第二绝缘膜中形成开口部;在所述开口部及所述第二绝缘膜

上选择性地形成第一像素电极；在所述第一像素电极上形成 EL 层；以及在所述 EL 层上形成第二像素电极。

[0024] 在具有上述结构的制造方法中，在第一抗蚀剂掩模具有凹部的情况下，优选使用多级灰度掩模形成所述第一抗蚀剂掩模。通过使用多级灰度掩模，可以以简单的步骤形成具有凹部的抗蚀剂掩模。

[0025] 通过应用具有上述结构的 EL 显示装置的制造方法，可以采用所述第一蚀刻形成元件区，并且采用所述第二蚀刻在离所述元件区的侧面有大致相等的距离的内侧形成栅电极层的侧面。

[0026] 在具有上述结构的采用第一蚀刻及第二蚀刻的 EL 显示装置的制造方法中的任何一种中，优选的是，采用干蚀刻进行所述第一蚀刻，并采用湿蚀刻进行所述第二蚀刻。采用第一蚀刻的加工优选高精度地进行，而采用第二蚀刻的加工需要进行侧面蚀刻。这是因为如下缘故：为了进行高精度加工而优选进行干蚀刻，并且由于湿蚀刻利用化学反应，因此与采用干蚀刻的情况相比容易产生侧面蚀刻。

[0027] 在具有上述结构的 EL 显示装置的制造方法中，优选层叠通过 CVD 法或溅射法形成的绝缘膜和通过旋涂法形成的绝缘膜形成所述第二绝缘膜。特别优选通过 CVD 法或溅射法形成氮化硅膜并通过旋涂法形成有机树脂膜。通过这样形成第二绝缘膜，可以防止薄膜晶体管的电特性会受到杂质元素等的影响，且提高像素电极的被形成面的平坦性来防止成品率的降低。

[0028] 当应用具有上述结构的 EL 显示装置的制造方法之际形成的薄膜晶体管包括：覆盖栅电极层的栅极绝缘膜；所述栅极绝缘膜上的半导体层；所述半导体层上的源区及漏区；以及所述源区及漏区上的源电极及漏电极，其中设置有与所述栅电极层的侧面接触的空洞。通过设置空洞，可以使栅电极端部附近低介电常数化（low-k 化）。

[0029] 注意，“膜”是指形成在整个表面的不受到图案形成的。“层”是指利用抗蚀剂掩模等受到图案形成而得到所希望的形状的。但是，至于叠层膜的各层，有时不区别膜和层地使用。

[0030] 注意，优选在尽量不发生“非示意性的蚀刻”的条件下进行蚀刻。

[0031] 注意，在本说明书中，任意的膜“具有耐热性”是指如下现象：由于后面步骤的温度，该膜可以保持作为膜的形状，且保持该膜被要求的功能及特性。

[0032] 注意，“栅极布线”是指连接到薄膜晶体管的栅电极的布线。栅极布线由栅电极层形成。此外，栅极布线有时被称为扫描线。

[0033] 此外，“源极布线”是指连接到薄膜晶体管的源电极及漏电极的一方的布线。源极布线由源电极及漏电极层形成。另外，源极布线有时被称为信号线。

[0034] 另外，“电源线”是指连接到电源并被保持为一定电位的布线。

[0035] 由于可以大幅度地缩减薄膜晶体管的制造步骤数目而不需要用于栅电极的图案形成的新的光掩模，并且该薄膜晶体管可以应用于 EL 显示装置，因此可以大幅度地缩减 EL 显示装置的制造步骤数目。

[0036] 更具体地说，可以减少光掩模的数目。也可以使用一个光掩模（多级灰度掩模）制造薄膜晶体管。因此，可以大幅度地缩减 EL 显示装置的制造步骤数目。

[0037] 此外，与以光掩模数目的减少为目的的现有技术不同，不需要经过背面曝光、抗蚀

剂回流及剥离法等的复杂步骤。由此,可以大幅度地缩减 EL 显示装置的制造步骤数目而不降低成品率。

[0038] 另外,在以光掩模的数目的减少为目的的现有技术中,不得不牺牲电特性的情况也不少。但是,在本发明的一个方式中,可以维持薄膜晶体管的电特性并大幅度地缩减薄膜晶体管的制造步骤数目。因此,可以大幅度地缩减 EL 显示装置的制造步骤数目而不牺牲 EL 显示装置的显示质量等。

[0039] 再者,借助于上述效果,可以大幅度地缩减 EL 显示装置的制造成本。注意,本发明的一个方式的薄膜晶体管具有接触于栅电极层端部的空洞,因此在其栅电极和漏电极之间产生的泄漏电流小。

附图说明

- [0040] 图 1 是说明显示装置的像素电路的一例的图 ;
- [0041] 图 2 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0042] 图 3 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0043] 图 4 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0044] 图 5 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0045] 图 6 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0046] 图 7A 至 7C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0047] 图 8A 至 8C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0048] 图 9A 至 9C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0049] 图 10A 至 10C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0050] 图 11A 至 11C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0051] 图 12A 至 12C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0052] 图 13A 至 13C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0053] 图 14A 至 14C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0054] 图 15A 至 15C 是说明薄膜晶体管及显示装置的制造方法的一例的图 ;
- [0055] 图 16A-1 至 16B-2 是说明多级灰度掩模的图 ;
- [0056] 图 17 是说明有源矩阵衬底的连接部的图 ;
- [0057] 图 18 是说明有源矩阵衬底的连接部的图 ;
- [0058] 图 19A 至 19C 是说明有源矩阵衬底的连接部的图 ;
- [0059] 图 20A 和 20B 是说明电子设备的图 ;
- [0060] 图 21 是说明电子设备的图 ;
- [0061] 图 22A 至 22C 是说明电子设备的图。
- [0062] 本发明的选择图是图 6。

具体实施方式

[0063] 下面,关于本发明的实施方式参照附图给予详细的说明。但是,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式及详细内容可以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该

被解释为仅限定在本实施方式所记载的内容中。注意,当参照附图说明发明结构之际,在不同的附图中也共同使用相同的附图标记来表示相同的部分。此外,当表示相同的部分之际,有时使用相同的阴影线而并不附加附图标记。另外,在俯视图中不表示绝缘膜。

[0064] 实施方式 1

[0065] 在本实施方式中,参照图 1 至图 16B-2 说明薄膜晶体管的制造方法及将该薄膜晶体管配置为矩阵状的 EL 显示装置的制造方法的一例。

[0066] 作为将薄膜晶体管用作开关元件的 EL 显示装置(有源型 EL 显示装置)的像素电路,考虑到各种各样的电路。在本实施方式中,图 1 示出简单的像素电路的一例,并且对于应用该像素电路的像素结构的制造方法进行说明。但是,所公开的 EL 显示装置的像素电路不局限于图 1 所示的结构。

[0067] 在图 1 所示的 EL 显示装置的像素结构中,像素 21 包括第一晶体管 11、第二晶体管 12、第三晶体管 13、电容元件 14 及发光元件 15。第一至第三晶体管是 n 型晶体管。第一晶体管 11 的栅电极连接到栅极布线 16,源电极及漏电极的一方(为第一电极)连接到源极布线 18,源电极及漏电极的另一方(为第二电极)连接到第二晶体管 12 的栅电极及电容元件 14 的一方电极(为第一电极)。电容元件 14 的另一方电极(为第二电极)连接到第二晶体管 12 的源电极及漏电极的一方(为第一电极)、第三晶体管 13 的源电极及漏电极的一方(为第一电极)及发光元件 15 的一方电极(为第一电极)。第二晶体管 12 的源电极及漏电极的另一方(为第二电极)连接到第二电源线 19。第三晶体管 13 的源电极及漏电极的另一方(为第二电极)连接到第一电源线 17,栅电极连接到栅极布线 16。发光元件 15 的另一方电极(为第二电极)连接到共同电极 20。注意,第一电源线 17 的电位和第二电源线 19 的电位互不相同。

[0068] 对于像素 21 的工作进行说明。当第三晶体管 13 根据栅极布线 16 的信号导通时,第二晶体管 12 的第一电极、发光元件 15 的第一电极及电容元件 14 的第二电极的电位相等等于第一电源线 17 的电位(V_{17})。在此,由于第一电源线 17 的电位(V_{17})为一定,所以第二晶体管 12 的第一电极等的电位为一定(V_{17})。

[0069] 当第一晶体管 11 被栅极布线 16 的信号选择而导通时,来自源极布线 18 的信号的电位(V_{18})通过第一晶体管 11 输入到第二晶体管 12 的栅电极。此时,若是第二电源线 19 的电位(V_{19})高于第一电源线 17 的电位(V_{17}),则 $V_{gs} = V_{18} - V_{17}$ 。而且,若是 V_{gs} 大于第二晶体管 12 的阈值电压,则第二晶体管 12 导通。

[0070] 因此,当使第二晶体管 12 工作在线性区中之际,通过改变源极布线 18 的电位(V_{18})(例如为二进制值),可以控制第二晶体管 12 的导通和截止。也就是,可以控制是否对发光元件 15 所包括的 EL 层施加电压。

[0071] 此外,当使第二晶体管 12 工作在饱和区中之际,通过改变源极布线 18 的电位(V_{18}),可以控制流过在发光元件 15 中的电流。

[0072] 当如上所述那样地使第二晶体管 12 工作在线性区中之际,可以控制是否对发光元件 15 施加电压,并还可以控制发光元件 15 的发光状态和不发光状态。这种驱动方法例如可以用于数字时间灰度级驱动。数字时间灰度级驱动是一种驱动方法,其中将一个帧分割为多个子帧,并且在各子帧中控制发光元件 15 的发光状态和不发光状态。此外,当使第二晶体管 12 工作在饱和区中之际,可以控制流过在发光元件 15 中的电流,并还可以调整

发光元件的亮度。

[0073] 接着,下面对于应用图 1 所示的像素电路的像素结构及其制造方法进行说明。

[0074] 注意,图 2 至图 6 示出根据本实施方式的薄膜晶体管的俯视图,图 6 是直到形成像素电极的完成图。图 7A 至图 9I 是沿着图 2 至图 6 所示的 A-A' 的截面图。图 10A 至图 12I 是沿着图 2 至图 6 所示的 B-B' 的截面图。图 13A 至图 15I 是沿着图 2 至图 6 所示的 C-C' 的截面图。

[0075] 首先,在衬底 100 上形成第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108 及第二导电膜 110。这些膜可以是单层或层叠多个膜而成的叠层膜。

[0076] 衬底 100 是绝缘衬底,例如可以使用玻璃衬底或石英衬底。在本实施方式中,使用玻璃衬底。

[0077] 使用导电材料形成第一导电膜 102。例如,可以使用钛、钼、铬、钽、钨、铝、铜、钕、铌或钐等的金属材料或上述材料为主要成分的合金材料等的导电材料形成第一导电膜 102。但是,需要可耐受后面步骤(第一绝缘膜 104 的形成等)程度的耐热性,并需要选择在后面步骤(第二导电膜 110 的蚀刻等)中不受到非示意性的蚀刻或腐蚀的材料。在这种条件下,第一导电膜 102 不局限于特定的材料。

[0078] 注意,例如可以通过溅射法或 CVD 法(包括热 CVD 法或等离子体 CVD 法等)等形成第一导电膜 102。但是,不局限于特定的方法。

[0079] 使用绝缘材料形成第一绝缘膜 104。例如,可以使用硅的氧化膜、氮化膜、氧氮化膜或氮氧化膜等形成第一绝缘膜 104。但是,与第一导电膜 102 同样地需要耐热性,并且还需要选择在后面步骤中不受到非示意性的蚀刻或腐蚀的材料。在这种条件下,第一绝缘膜 104 不局限于特定的材料。

[0080] 注意,例如可以通过 CVD 法(包括热 CVD 法或等离子体 CVD 法等)或溅射法等形成第一绝缘膜 104,但是不局限于特定的方法。

[0081] 第一绝缘膜 104 用作栅极绝缘膜。

[0082] 使用半导体材料形成半导体膜 106。例如,可以使用由硅烷气体形成的非晶硅等形成半导体膜 106。但是,与第一导电膜 102 等同样地需要耐热性,并还需要选择在后面的步骤中不受到非示意性的蚀刻或腐蚀的材料。在这种条件下,半导体膜 106 不局限于特定的材料。因此,还可以使用锗等。

[0083] 注意,例如可以通过 CVD 法(包括热 CVD 法或等离子体 CVD 法等)或溅射法等形成半导体膜 106。但是,不局限于特定的方法。

[0084] 半导体膜 106 优选使用结晶半导体膜和非晶半导体膜的叠层膜。作为结晶半导体膜,可以举出多晶半导体膜或微晶半导体膜等。

[0085] 多晶半导体膜是指由晶粒构成且在该晶粒之间包括多个晶界的半导体膜。多晶半导体膜例如通过热晶化法或激光晶化法形成。在此,热晶化法是指一种晶化法,其中在衬底上形成非晶半导体膜,并加热该衬底来使该非晶半导体晶化。此外,激光晶化法是指一种晶化法,其中在衬底上形成非晶半导体膜,并对该非晶半导体膜直接照射激光来使非晶半导体晶化。或者,也可以采用添加镍等的晶化促进元素(element for promoting crystallization)进行晶化的晶化法。在添加晶化促进元素进行晶化的情况下,优选对该半导体膜照射激光。

[0086] 多晶半导体被分类为如下两种：以玻璃衬底不产生应变的程度的温度和时间进行晶化的 LTPS（低温多晶硅）；以及以更高温进行晶化的 HTPS（高温多晶硅）。

[0087] 微晶半导体膜是指包括其粒径大致为 2nm 以上且 100nm 以下的晶粒的半导体膜，包括其整个面只由晶粒构成的半导体膜或在晶粒之间夹着非晶半导体的半导体膜。作为微晶半导体膜的形成方法，采用如下方法等，即可：形成晶核并使它成长的方法；形成非晶半导体膜并接触于该非晶半导体膜地形成绝缘膜和金属膜，并且利用通过该金属膜照射激光产生在其中的热来使非晶半导体晶化的方法。但是，不包括对非晶半导体膜利用热晶化法或激光晶化法形成的结晶半导体膜。

[0088] 当例如将在结晶半导体膜上层叠非晶半导体膜形成的叠层膜用作半导体膜 106 时，可以使 EL 显示装置的像素电路所具有的晶体管高速工作。在此，作为结晶半导体膜，可以应用多晶半导体（包括 LTPS 及 HTPS）膜或微晶半导体膜。

[0089] 注意，通过在结晶半导体膜上具有非晶半导体膜，可以防止非晶半导体膜表面的氧化。此外，可以提高耐压性并降低截止电流。

[0090] 但是，在 EL 显示装置的像素电路正常地工作的情况下，对于半导体膜 106 的结晶性没有特别的限制。

[0091] 杂质半导体膜 108 是包含赋予一种导电性的杂质元素的半导体膜，并且它由添加有赋予一种导电性的杂质元素的半导体材料气体等形成。由于在本实施方式中设置 n 型薄膜晶体管，因此例如使用由包含磷化氢（化学式： PH_3 ）的硅烷气体形成的包含磷的硅膜设置杂质半导体膜 108，即可。但是，与第一导电膜 102 等同样地需要耐热性，并还需要选择在后面步骤中不受到非示意性的蚀刻或腐蚀的材料。在这种条件下，杂质半导体膜 108 不局限于特定的材料。注意，对于杂质半导体膜 108 的结晶性也没有特别的限制。此外，当在使用半导体膜 106 形成的半导体层的一部分中设置能够通过掺杂等实现欧姆接触的区域等时，不需要设置杂质半导体膜 108。

[0092] 在本实施方式中制造 n 型薄膜晶体管，所以也可以使用作为要添加的赋予一种导电性的杂质元素的砷等，并且用于形成的硅烷气体包含所希望的浓度的砷化氢（化学式： AsH_3 ），即可。

[0093] 注意，例如可以通过 CVD 法（包括热 CVD 法或等离子体 CVD 法等）等形成杂质半导体膜 108。但是，不局限于特定的方法。

[0094] 第二导电膜 110 由导电材料（作为第一导电膜 102 举出的材料等）形成，该导电材料是与第一导电膜 102 不同的材料。在此，“不同的材料”是指主要成分不同的材料。具体而言，选择不容易由于后面说明的第二蚀刻被蚀刻的材料，即可。此外，与第一导电膜 102 等同样地需要耐热性，并还需要选择在后面步骤中不受到非示意性的蚀刻或腐蚀的材料。因此，在这种条件下，第二导电膜 110 不局限于特定的材料。

[0095] 注意，例如可以通过溅射法或 CVD 法（包括热 CVD 法或等离子体 CVD 法等）等形成第二导电膜 110。但是，不局限于特定的方法。

[0096] 注意，至于如上所说明的第一导电膜 102、第一绝缘膜 104、半导体膜 106、杂质半导体膜 108 及第二导电膜 110 被期望的耐热性，第一导电膜 102 的耐热性最高，耐热性按顺序地降低，而第二导电膜 110 的耐热性最低。例如，在半导体膜 106 是包含氢的非晶半导体膜的情况下，通过采用大约 300℃ 以上，半导体膜中的氢脱离而电特性改变。因此，例如在形

成半导体膜 106 之后的步骤中,优选采用不超过 300℃ 的温度。

[0097] 接着,在第二导电膜 110 上形成第一抗蚀剂掩模 112(参照图 7A、图 10A、图 13A)。在此,第一抗蚀剂掩模 112 优选是具有凹部或凸部的抗蚀剂掩模。可以换言之,由厚度不同的多个区域(在此为两个区域)构成的抗蚀剂掩模。在第一抗蚀剂掩模 112 中,将厚的区域称为第一抗蚀剂掩模 112 的凸部,而将薄的区域称为第一抗蚀剂掩模 112 的凹部。但是,不局限于此而还可以使用没有凹部或凸部的抗蚀剂掩模。

[0098] 在第一抗蚀剂掩模 112 中,在形成源电极及漏电极层的区域中形成有凸部,并且在没有源电极及漏电极层且半导体层露出而被形成的区域中形成有凹部。

[0099] 可以使用多级灰度掩模形成第一抗蚀剂掩模 112。在此,对于多级灰度掩模参照图 16A-1 至 16B-2 以下进行说明。

[0100] 多级灰度掩模是能够以多阶段的光量进行曝光的掩模,典型的是指以曝光区域、半曝光区域及未曝光区域的三个阶段的光量进行曝光的掩模。通过使用多级灰度掩模,可以以一次曝光及显影步骤形成具有多种(典型的是两种)厚度的抗蚀剂掩模。因此,通过使用多级灰度掩模,可以缩减光掩模的数目。

[0101] 图 16A-1 及图 16B-1 是多级灰度掩模的典型的截面图。图 16A-1 示出灰色调掩模 140,并且图 16B-1 示出半色调掩模 145。

[0102] 图 16A-1 所示的灰色调掩模 140 由使用遮光膜形成在具有透光性的衬底 141 上的遮光部 142 以及使用遮光膜的图案设置的衍射光栅部 143 构成。

[0103] 衍射光栅部 143 通过具有以用于曝光的光的分辨率限度以下的间隔设置的槽缝、点或网眼等,控制光透过量。注意,设置在衍射光栅部 143 的槽缝、点或网眼可以是周期性的或非周期性的。

[0104] 作为具有透光性的衬底 141,可以使用石英等。构成遮光部 142 及衍射光栅部 143 的遮光膜使用金属膜形成即可,优选使用铬或氧化铬等设置。

[0105] 在对灰色调掩模 140 照射用于曝光的光的情况下,如图 16A-2 所示,重叠于遮光部 142 的区域中的透光率为 0%,并且不设置有遮光部 142 或衍射光栅部 143 的区域中的透光率为 100%。此外,衍射光栅部 143 中的透光率大致为 10%至 70%的范围内,并且根据衍射光栅的槽缝、点或网眼的间隔等可以调整该透光率。

[0106] 图 16B-1 所示的半色调掩模 145 由使用半透光膜形成在具有透光性的衬底 146 上的半透光部 147 以及使用遮光膜形成的遮光部 148 构成。

[0107] 半透光部 147 可以使用 MoSiN、MoSi、MoSiO₂、MoSiON、CrSi 等的膜形成。遮光部 148 使用与灰色调掩模的遮光膜同样的金属膜形成即可,优选使用铬或氧化铬等设置。

[0108] 在对半色调掩模 145 照射用于曝光的光的情况下,如图 16B-2 所示,重叠于遮光部 148 的区域中的透光率为 0%,并且不设置有遮光部 148 或半透光部 147 的区域中的透光率为 100%。此外,半透光部 147 中的透光率大致为 10%至 70%的范围内,并且根据形成的材料的种类或形成的膜厚度等可以调整该透光率。

[0109] 通过使用多级灰度掩模进行曝光和显影,可以形成具有膜厚度不同的区域的第一抗蚀剂掩模 112。

[0110] 但是,不局限于此,还可以不使用多级灰度掩模地形成第一抗蚀剂掩模。此外,如上所述,第一抗蚀剂掩模也可以是没有凹部或凸部的抗蚀剂掩模。

[0111] 接着,使用第一抗蚀剂掩模 112 进行第一蚀刻。也就是,通过蚀刻对第一绝缘膜 104、半导体膜 106、杂质半导体膜 108 及第二导电膜 110 进行构图,形成薄膜叠层体 114(参照图 2、图 7B、图 10B、图 13B)。此时,优选至少使第一导电膜 102 的表面露出。将该蚀刻步骤称为第一蚀刻。作为第一蚀刻,采用干蚀刻或湿蚀刻即可。注意,在采用干蚀刻进行第一蚀刻的情况下,可以以一个步骤进行,但是在采用湿蚀刻进行第一蚀刻的情况下,优选以多个步骤进行第一蚀刻。这是因为如下缘故:每一种被蚀刻膜具有不同的蚀刻速度,因此不容易以一个步骤进行蚀刻。

[0112] 例如采用三个阶段的干蚀刻进行第一蚀刻,即可。首先,在 Cl_2 气体、 CF_4 气体和 O_2 气体的混合气体中进行蚀刻。接着,只使用 Cl_2 气体进行蚀刻。最后,只使用 CHF_3 气体进行蚀刻,即可。

[0113] 接着,使用第一抗蚀剂掩模 112 进行第二蚀刻。也就是,通过蚀刻对第一导电膜 102 进行构图来形成栅电极层 116(参照图 3、图 7C、图 10C、图 13C)。将该蚀刻步骤称为第二蚀刻。

[0114] 注意,栅电极层 116 构成薄膜晶体管的栅电极、栅极布线、电容元件的一方电极及支撑部。在表示为栅电极层 116A 的情况下,是指构成栅极布线、第一晶体管 11 的栅电极及第三晶体管 13 的栅电极的电极层。在表示为栅电极层 116B 的情况下,是指构成第二晶体管 12 的栅电极及电容元件 14 的一方电极的电极层。在表示为栅电极层 116A 的情况下,是指构成支撑部的电极层。而且,将它们总称为栅电极层 116。

[0115] 以如下蚀刻条件进行第二蚀刻,即由第一导电膜 102 形成的栅电极层 116 的侧面形成在薄膜叠层体 114 的侧面的内侧。换言之,以栅电极层 116 的侧面与薄膜叠层体 114 的底面接触地形成的方式进行蚀刻(以在 A-A' 截面中栅电极层 116 的宽度小于薄膜叠层体 114 的宽度的方式进行蚀刻)。再者,以对第二导电膜 110 的蚀刻速度小,且对第一导电膜 102 的蚀刻速度大的条件进行蚀刻。换言之,以对第二导电膜 110 的第一导电膜 102 的蚀刻选择比大的条件进行。通过以这种条件进行第二蚀刻,可以形成栅电极层 116。

[0116] 注意,对于栅电极层 116 的侧面形状没有特别的限制。例如,也可以是锥形状。栅电极层 116 的侧面形状取决于用于第二蚀刻的药液等的条件。

[0117] 在此,“对第二导电膜 110 的蚀刻速度小,且对第一导电膜 102 的蚀刻速度大的条件”或者“对第二导电膜 110 的第一导电膜 102 的蚀刻选择比大的条件”是指满足以下第一必要条件和第二必要条件的条件。

[0118] 第一必要条件是指栅电极层 116 残留在所需要的部分的情况。需要栅电极层 116 的部分是指图 3 至图 6 中的以虚线表示的区域。换言之,需要的是,在第二蚀刻之后,栅电极层 116 以构成栅极布线、晶体管所具有的栅电极及电容布线所具有的一个电极的方式残留。为了使栅电极层构成栅极布线,需要以不使这些布线断开的方式进行第二蚀刻。优选的是,如图 3 以及图 7A 至 7C 所示,在离薄膜叠层体 114 的侧面具有间隔 d_1 的内侧形成栅电极层 116 的侧面。实施者可以根据布局适当地设定间隔 d_1 ,即可。

[0119] 第二必要条件是指由栅电极层 116 构成的栅极布线的最小宽度 d_3 和由源电极及漏电极层 120 构成的源极布线及电源线的最小宽度 d_2 适当的情况(参照图 6)。这是因为如下缘故:当通过第二蚀刻,源电极及漏电极层 120 被蚀刻时,源极布线及电源线的最小宽度 d_2 缩小,并且源极布线及电源线的电流密度成为过大,因此电特性降低。由此,以第一导电

膜 102 的蚀刻速度不成为过大且第二导电膜 110 的蚀刻速度尽量小的条件进行第二蚀刻。

[0120] 此外,不容易增大源极布线及电源线的最小宽度 d_2 。这是因为如下缘故:源极布线及电源线的最小宽度 d_2 取决于与源极布线及电源线重叠的半导体层的最小宽度 d_4 ,并且为了增大源极布线及电源线的最小宽度 d_2 而需要增大半导体层的最小宽度 d_4 ,由此不容易使相邻的栅极布线彼此绝缘。使半导体层的最小宽度 d_4 小于所述间隔 d_1 的大致两倍。换言之,使间隔 d_1 大于半导体层的最小宽度 d_4 的大致一半。

[0121] 注意,在为根据元件分离栅极电极层而需要的部分适当地设置与源极布线及电源线重叠的半导体层的宽度为最小宽度 d_4 的部分,即可。通过第二蚀刻,可以形成栅电极层 116 不残留在与半导体层的宽度为 d_4 的部分重叠的部分的图案。

[0122] 注意,优选将由源电极及漏电极层形成的连接于像素电极层的部分的电极宽度设定为源极布线及电源线的最小宽度 d_2 。

[0123] 如上所说明,非常重要是根据带着侧面蚀刻的条件进行第二蚀刻。这是因为如下缘故:通过第二蚀刻带着对第一导电膜 102 的侧面蚀刻,可以形成图案,以不仅实现所希望的由栅电极层 116 构成的相邻的栅极布线之间的连接,而且实现所希望的像素电路中的元件的连接。

[0124] 在此,侧面蚀刻是指如下蚀刻,即不仅在被蚀刻膜的厚度方向(垂直于衬底面的方向或垂直于被蚀刻膜的基底膜的面方向)上之外,还在对厚度方向垂直的方向(平行于衬底面的方向或平行于被蚀刻膜的基底膜的面方向)上削去被蚀刻膜。受到侧面蚀刻的被蚀刻膜的端部被形成为根据对于被蚀刻膜的蚀刻气体或用于蚀刻的药液的蚀刻速度而成为各种形状,但是在很多情况下被形成为使端部具有曲面。

[0125] 注意,如图 3 所示的栅电极层 116C 用作支撑薄膜叠层体 114 的支撑部。通过具有支撑部,可以防止形成在栅电极层上方的栅极绝缘膜等的剥离。再者,通过设置支撑部,可以防止利用第二蚀刻接触于栅电极层 116 地形成的空洞的区域多余地扩大。注意,通过设置支撑部,可以防止薄膜叠层体 114 因其自重破坏或破损并提高成品率,因此是优选的。但是,不局限于具有支撑部的方式而还可以不设置支撑部。

[0126] 如上所说明,优选采用湿蚀刻进行第二蚀刻。

[0127] 在采用湿蚀刻进行第二蚀刻的情况下,将铝或钼用作第一导电膜 102,形成钛或钨作为第二导电膜 110,并且将包含硝酸、醋酸及磷酸的药液用于蚀刻,即可。或者,形成钼作为第一导电膜 102,形成钛、铝或钨作为第二导电膜 110,并且将包含过氧化氢溶液的药液用于蚀刻,即可。

[0128] 在采用湿蚀刻进行第二蚀刻的情况下,最优选的是,形成在添加有钹的铝上形成钼的叠层膜作为第一导电膜 102,形成钨作为第二导电膜 110,并且将包含 2%的硝酸、10%的醋酸、72%的磷酸的药液用于蚀刻。通过使用具有这样的组成比的药液,第一导电膜 102 被蚀刻而不蚀刻第二导电膜 110。注意,添加到第一导电膜 102 的钹是为了实现铝的低电阻化和小丘的防止而添加的。

[0129] 注意,俯视的栅电极层 116 具有角地形成(参照图 3)。这是因为如下缘故:由于形成栅电极层 116 的第二蚀刻是大致各向同性地进行,因此蚀刻为使栅电极层 116 的侧面和薄膜叠层体 114 的侧面的间隔 d_1 成为大致相同。

[0130] 接着,缩小第一抗蚀剂掩模 112 而使第二导电膜 110 露出,并且形成第二抗蚀剂掩

模 118。作为缩小第一抗蚀剂掩模 112 来形成第二抗蚀剂掩模 118 的方法,例如可以举出使用氧等离子体的灰化。但是,缩小第一抗蚀剂掩模 112 来形成第二抗蚀剂掩模 118 的方法不局限于此。形成第二抗蚀剂掩模 118 的区域与第一抗蚀剂掩模 112 的凸部区域大致一致。注意,在此说明了在第二蚀刻之后形成第二抗蚀剂掩模 118 的情况,但是不局限于此,还可以在形成第二抗蚀剂掩模 118 之后进行第二蚀刻。

[0131] 注意,在不将多级灰度掩模用来形成第一抗蚀剂掩模 112 的情况下,使用不同的光掩模另外形成第二抗蚀剂掩模 118,即可。

[0132] 接着,使用第二抗蚀剂掩模 118 对薄膜叠层体 114 中的第二导电膜 110 进行蚀刻来形成源电极及漏电极层 120(参照图 4、图 8A、图 11A、图 14A)。在此,选择如下蚀刻条件,即不产生或不容易产生对第二导电膜 110 以外的膜的非示意性的蚀刻及腐蚀。特别重要的是,以不产生或不容易产生对栅电极层 116 的非示意性的蚀刻及腐蚀的条件进行蚀刻。

[0133] 注意,源电极及漏电极层 120 构成薄膜晶体管的源电极或漏电极、源极布线、电源线、电容元件的另一方电极及连接薄膜晶体管和发光元件的一个电极的电极。在表示为源电极及漏电极层 120A 的情况下,是指构成源极布线 18 和第一晶体管 11 的源电极及漏电极的一方的电极层。在表示为源电极及漏电极层 120B 的情况下,是指构成第一电源线 17 的电极层。在表示为源电极及漏电极层 120C 的情况下,是指构成第一晶体管 11 的源电极及漏电极的另一方及连接第一晶体管 11 和像素电极的电极的电极层。在表示为源电极及漏电极层 120D 的情况下,是指构成第二电源线 19 及第二晶体管 12 的源电极及漏电极的一方的电极层。在表示为源电极及漏电极层 120E 的情况下,是指构成第三晶体管 13 的源电极及漏电极的一方的电极层。在表示为源电极及漏电极层 120F 的情况下,是指构成电容元件 14 的另一方电极、第二晶体管 12 的源电极及漏电极的另一方、第三晶体管 13 的源电极及漏电极的另一方以及后面要连接到发光元件的一个电极的电极的电极层。

[0134] 注意,第二抗蚀剂掩模 118A 是指重叠于源电极及漏电极层 120A 的抗蚀剂掩模。第二抗蚀剂掩模 118B 是指重叠于源电极及漏电极层 120B 的抗蚀剂掩模。第二抗蚀剂掩模 118C 是指重叠于源电极及漏电极层 120C 的抗蚀剂掩模。第二抗蚀剂掩模 118D 是指重叠于源电极及漏电极层 120D 的抗蚀剂掩模。第二抗蚀剂掩模 118E 是指重叠于源电极及漏电极层 120E 的抗蚀剂掩模。第二抗蚀剂掩模 118F 是指重叠于源电极及漏电极层 120F 的抗蚀剂掩模。

[0135] 注意,作为对薄膜叠层体 114 中的第二导电膜 110 的蚀刻,可以采用湿蚀刻或干蚀刻。

[0136] 接着,对薄膜叠层体 114 中的杂质半导体膜 108 及半导体膜 106 的上部(背沟道部)进行蚀刻来形成源区及漏区 122、半导体层 124(参照图 5、图 8B、图 11B、图 14B)。在此,选择如下蚀刻条件,即不产生或不容易产生对杂质半导体膜 108 及半导体膜 106 以外的膜的非示意性的蚀刻及腐蚀。特别重要的是,以不产生或不容易产生对栅电极层 116 的非示意性的蚀刻及腐蚀的条件进行蚀刻。

[0137] 注意,作为对薄膜叠层体 114 中的杂质半导体膜 108 及半导体膜 106 的上部(背沟道部)的蚀刻,可以采用干蚀刻或湿蚀刻。

[0138] 然后,去除第二抗蚀剂掩模 118,以完成薄膜晶体管(参照图 6、图 8C、图 11C、图 14C)。如上所说明,可以使用一个光掩模(多级灰度掩模)制造薄膜晶体管。

[0139] 注意,将参照图 8A 及图 8B 说明的步骤总称为第三蚀刻。如上所说明,第三蚀刻既可以以多个阶段进行,又可以一个阶段进行。

[0140] 覆盖如上所述那样形成的薄膜晶体管地形成第二绝缘膜。此时,也可以只使用第一保护膜 126 形成第二绝缘膜,但是在此使用第一保护膜 126 和第二保护膜 128 形成(参照图 9A、图 12A、图 15A)。与第一绝缘膜 104 同样地形成第一保护膜 126,即可。但是,优选使用包含氢的氮化硅或包含氢的氧氮化硅形成,并且防止金属等的杂质侵入到半导体层中且扩散而半导体层被污染。

[0141] 通过其表面大致成为平坦的方法形成第二保护膜 128。这是因为通过使第二保护膜 128 的表面大致平坦,可以防止形成在第二保护膜 128 上的第一像素电极层 132 的破裂等的缘故。因此,在此的“大致平坦”是指能够实现上述目的的程度即可,而并不被要求高平坦性。

[0142] 注意,例如可以使用感光聚酰亚胺、丙烯或环氧树脂等并通过旋涂法等来形成第二保护膜 128。但是,不局限于这些材料或形成方法。

[0143] 注意,第二保护膜 128 优选层叠通过其表面大致成为平坦的方法形成的上述保护膜和覆盖它来防止水分的侵入和释放的保护膜而形成。具体地,防止水分的侵入和释放的保护膜优选使用氮化硅、氧氮化硅、氧氮化铝或氮化铝等形成。作为形成方法,优选使用溅射法。

[0144] 接着,在第二绝缘膜中形成第一开口部 130 及第二开口部 131(参照图 9B、图 12B、图 15B)。将第一开口部 130 形成为至少到达源电极及漏电极层的表面。将第二开口部 131 形成为至少到达栅电极层的表面。第一开口部 130 及第二开口部 131 的形成方法不局限于特定的方法,而实施者根据第一开口部 130 的直径等适当地选择,即可。例如,通过采用光刻法进行干蚀刻,可以形成第一开口部 130 及第二开口部 131。

[0145] 将第一开口部 130 设置为到达源电极及漏电极层 120。如图 6 所示那样地将多个第一开口部 130 设置在所需要的部分。将第一开口部 130A 设置在源电极及漏电极层 120C 上,将第一开口部 130B 设置在源电极及漏电极层 120B 上,并将第一开口部 130C 设置在源电极及漏电极层 120E 上。

[0146] 将第二开口部 131 设置为到达栅电极层 116。也就是,不仅去除第二绝缘膜,而且还去除第一绝缘膜 104、半导体层 124 的所希望的部分而设置第二开口部 131。

[0147] 注意,当通过光刻法形成开口部时,使用一个光掩模。

[0148] 接着,在第二绝缘膜上形成第一像素电极层 132(参照图 6、图 9B、图 12B、图 15B)。将第一像素电极层 132 形成为通过第一开口部 130 或第二开口部 131 连接到源电极及漏电极层 120 或栅电极层 116。具体而言,将第一像素电极层 132 形成为通过第一开口部 130A 连接到源电极及漏电极层 120C,通过第一开口部 130B 连接到源电极及漏电极层 120B,通过第一开口部 130C 连接到源电极及漏电极层 120E,并通过第二开口部 131 连接到栅电极层 116B。此外,第一像素电极层 132 可以采用单层或层叠多个膜而成的叠层膜。

[0149] 注意,当通过光刻法形成第一像素电极层 132 时,使用一个光掩模。

[0150] 由于像素所具有的薄膜晶体管是 n 型晶体管,因此优选使用成为阴极的材料形成第一像素电极层 132。作为成为阴极的材料,可以举出功函数小的材料如 Ca、Al、MgAg、AlLi 等。

[0151] 接着,在第一像素电极层 132 的侧面(端部)及第二绝缘膜上形成分隔壁 133。将分隔壁 133 形成为具有开口部并使第一像素电极层 132 在该开口部中露出。使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成分隔壁 133。具体而言,优选使用聚酰亚胺、聚酰胺、聚酰亚胺-酰胺、丙烯、苯并环丁烯形成。特别是,优选使用感光材料,并且在第一像素电极层 132 上形成开口部并使该开口部的侧壁成为具有连续的曲率而形成的倾斜面地形成分隔壁 133。

[0152] 接着,将 EL 层 134 形成为在分隔壁 133 的开口部中接触于第一像素电极层 132。EL 层 134 可以由单层或层叠多个层而形成的叠层的叠层膜构成。EL 层 134 至少包括发光层。发光层优选通过空穴传输层连接到第二像素层 135。

[0153] 而且,覆盖 EL 层 134 地使用成为阳极的材料形成第二像素电极层 135。第二像素电极层 135 相当于图 1 中的共同电极 20。可以使用具有透光性的导电材料形成第二像素电极层 135。在此,作为具有透光性的导电材料,可以举出氧化铟锡(下面称为 ITO)、包含氧化钨的氧化铟、包含氧化钨的氧化铟锌、包含氧化钛的氧化铟、包含氧化钛的氧化铟锡、氧化铟锌或添加有氧化硅的氧化铟锡等。通过溅射法或 CVD 法等形成具有透光性的导电材料的膜,即可,但是不局限于特定的方法。此外,至于第二像素电极层 135,既可以由单层形成,又可以采用层叠多个膜而成的叠层膜。

[0154] 在此,使用 ITO 作为第二像素电极层 135。在分隔壁 133 的开口部中,第一像素电极层 132、EL 层 134 和第二像素电极层 135 重叠,因此形成发光元件 136。发光元件 136 相当于图 1 中的发光元件 15。然后,优选在第二像素电极层 135 及分隔壁 133 上形成第三保护膜 137,以便防止氧、氢、水分及二氧化碳等侵入到发光元件 136 中(未图示)。作为第三保护膜 137,与第二保护膜 128 同样地选择具有由材料防止水分的侵入和释放的功能的膜。第三保护膜 137 优选由氮化硅、氧氮化硅、氧氮化铝或氮化铝等形成。再者,优选包括覆盖第三保护膜的氮化硅膜或 DLC 膜等。

[0155] 而且,优选使用保护薄膜(贴合薄膜、紫外线固化树脂薄膜等)或覆盖材料进一步进行封装(封入),以防止暴露在外部空气。优选使用气密性高且漏气少的材料设置保护薄膜及覆盖材料。

[0156] 如上所说明,可以形成到顶部发射结构型 EL 显示装置的发光元件(参照图 9C、图 12C、图 15C)。但是,所公开的发明之一的 EL 显示装置不局限于上述说明而还可以应用于底面发射结构型 EL 显示装置或双面发射结构型 EL 显示装置。在底面发射结构及双面发射结构中,将具有透光性的导电材料用于第一像素电极层 132,即可。注意,在使用成为阳极的材料形成第一像素电极层 132 的情况下,例如使用 ITO 形成第一像素电极层 132。通过第一像素电极层 132 采用这种结构,可以提高取出发光的效率,并制造底部发射型 EL 显示装置。而且,优选以覆盖 EL 层 134 的方式使用成为阴极的材料形成第二像素电极层 135。第二像素电极层 135 相当于图 1 中的共同电极 20。作为成为阴极的材料,可举出功函数小的材料如 Ca、Al、Mg、Ag、AlLi 等。注意,优选采用隔着掩模的蒸镀形成 EL 层 134 及第二像素电极层 135。因此,优选是用可通过蒸镀形成的材料形成第二像素电极层 135。注意,当利用图 1 所示的电路构成 EL 显示装置的像素时,优选的是,第一像素电极层 132 为阳极,而第二像素电极层 135 为阴极。

[0157] 注意,如上所说明的保护膜等不局限于上述材料或形成方法而采用不阻碍 EL 层

的发光且可防止退化等的膜,即可。

[0158] 或者,在顶部发射结构中,也可以包括形成有像素电路的区域地形成第一像素电极层 132A。在此情况下,首先只形成相当于第一像素电极层 132B 及第一像素电极层 132C 的导电层,在该导电层上形成具有第一开口部 130D 的绝缘膜,并且通过第一开口部 130D 连接到源电极及漏电极层 120F 地形成第一像素电极层 132A,即可。通过包括形成有像素电路的区域地形成第一像素电极层 132A,可以扩大发光区域,从而可以进行更高清晰的显示。

[0159] 注意,在此描述了作为发光元件的有机 EL 元件,但是也可以将无机 EL 元件用作发光元件。

[0160] 在此,参照图 17 至 19C 说明通过上述步骤制造的有源矩阵衬底的端子连接部。

[0161] 图 17 至 19C 示出通过上述步骤制造的有源矩阵衬底中的栅极布线一侧的端子连接部及源极布线一侧的端子连接部的俯视图及截面图。

[0162] 图 17 示出在栅极布线一侧的端子连接部及源极布线一侧的端子连接部中的从像素部延伸的栅极布线及源极布线的俯视图。注意,第一电源线 17 及第二电源线 19 也可以与源极布线 18 同样。此外,在图 17 中不图示分隔壁 133 及第二像素电极层 135

[0163] 图 18 示出沿着图 17 的 X-X' 的截面图。也就是,图 18 示出栅极布线一侧的端子连接部中的截面图。在图 18 中,只有栅电极层 116 露出。端子部连接到该栅电极层 116 露出的区域。

[0164] 图 19A 至 19C 示出沿着图 17 的 Y-Y' 的截面图的例子。也就是,图 19A 至 19C 示出源极布线一侧的端子连接部中的截面图的例子。在图 19A 至 19C 的 Y-Y' 中,栅电极层 116 和源电极及漏电极层 120 隔着第一像素电极层 132(至少与第一像素电极层 132B 或第一像素电极层 132C 相同的层)连接。图 19A 至 19C 示出栅电极层 116 和源电极及漏电极层 120 的各种连接方式。在此,至于 L 显示装置的端子连接部,可以采用这些连接方式中的任何一种或图 19A 至 19C 所示的方式之外的连接方式。通过使源电极及漏电极层 120 连接到栅电极层 116,可以使端子的连接部的高度大致相等。

[0165] 注意,开口部的数目不局限于图 19A 至 19C 所示的开口部的数目,既可以对于一个端子设置一个开口部,又可以对于一个端子设置多个开口部。通过对于一个端子设置多个开口部,即使因为形成开口部的蚀刻步骤不充分等的理由,而不能获得优质的开口部也可以利用其他开口部实现电连接。再者,当顺利地形成所有开口部时,也可以扩大接触面积,因此可以减少接触电阻,所以是优选的。

[0166] 在图 19A 中,通过蚀刻等去除第一保护膜 126 及第二保护膜 128 的端部,使栅电极层 116 和源电极及漏电极层 120 露出,并且通过在该露出的区域中形成第一像素电极层 132(至少与第一像素电极层 132B 或第一像素电极层 132C 相同的层),实现电连接。图 17 所示的俯视图相当于图 19A 的俯视图。

[0167] 注意,可以在形成第一开口部 130 及第二开口部 131 的同时,形成栅电极层 116 和源电极及漏电极层 120 露出的区域。

[0168] 在图 19B 中,在第一保护膜 126 及第二保护膜 128 中设置第三开口部 160A,并且通过蚀刻等去除第一保护膜 126 及第二保护膜 128 的端部,使栅电极层 116 和源电极及漏电极层 120 露出。通过在该露出的区域中形成第一像素电极层 132(至少与第一像素电极层 132B 或第一像素电极层 132C 相同的层),实现电连接。

[0169] 注意,可以在形成第一开口部 130 及第二开口部 131 的同时,形成第三开口部 160A 及栅电极层 116 露出的区域。

[0170] 在图 19C 中,通过在第一保护膜 126 及第二保护膜 128 中设置第三开口部 160B 及第四开口部 161,使栅电极层 116 和源电极及漏电极层 120 露出,并且通过在该露出的区域中形成第一像素电极层 132(至少与第一像素电极层 132B 或第一像素电极层 132C 相同的层),实现电连接。在此,与图 19A 及 19B 同样地通过蚀刻等去除第一保护膜 126 及第二保护膜 128 的端部,但是将该区域用作端子的连接部。

[0171] 注意,可以在形成第一开口部 130 及第二开口部 131 的同时,形成第三开口部 160B 及第四开口部 161 和栅电极层 116 露出的区域。

[0172] 注意,与第一开口部 130 同样地以到达源电极及漏电极层 120 的方式设置第三开口部 160,并且与第二开口部 131 同样地以到达栅电极层 116 的方式设置第四开口部 161。而且,图 18 及图 19A 至 19C 示出分隔壁 133 及第二像素电极层 135,并且它们也可以不设置于端子连接部。

[0173] FPC(柔性印刷电路)连接到该端子部的输入端子(图 19A 至 19C 中的栅电极层 116 露出的区域)。在 FPC 中在有机树脂薄膜如聚酰亚胺等上形成有由导电膜构成的布线,并且 FPC 隔着各向异性导电膏剂(下面,称为 ACP)连接到输入端子。一般的 ACP 由用作粘合剂的膏剂和具有镀金等的直径为几十 μm 至几百 μm 的导电表面的粒子构成。通过混入在膏剂中的粒子接触于输入端子上的导电层和连接到形成在 FPC 中的布线的端子上的导电层,可以实现电连接。

[0174] 如上所述,可以制造 EL 显示装置。

[0175] 如上所说明,所使用的光掩模数目减少,并且可以大幅度地缩减薄膜晶体管及 EL 显示装置的制造步骤数目。

[0176] 可以不通过复杂步骤如背面曝光、抗蚀剂回流及剥离法等而大幅度地缩减薄膜晶体管的制造步骤数目。因此,可以不通过复杂步骤而大幅度地缩减 EL 显示装置的制造步骤数目。

[0177] 此外,可以维持薄膜晶体管的电特性并大幅度地缩减薄膜晶体管的制造步骤。

[0178] 再者,借助于上述效果,可以大幅度地缩减 EL 显示装置的制造成本。

[0179] 实施方式 2

[0180] 在本实施方式中,对于组装通过实施方式 1 所说明的方法制造的显示面板或显示装置作为显示部的电子设备,参照图 20A 至图 22C 进行说明。作为这种电子设备,例如可以举出影像拍摄装置如摄像机或数字照相机等、头戴式显示器(护目镜型显示器)、汽车导航、投影机、汽车音响、个人计算机、便携式信息终端(移动计算机、手机或电子书等)。图 20A 和 20B 示出这些电子设备的一例。

[0181] 图 20A 示出电视装置。通过将 EL 显示面板组装到框体中,可以完成图 20A 所示的电视装置。由应用实施方式 1 所说明的制造方法的显示面板形成主屏 223,并且作为其他辅助设备具备有扬声器部 229、操作开关等。

[0182] 如图 20A 所示,将应用实施方式 1 所说明的制造方法的显示用面板 222 组装到框体 221 中,可以由接收器 225 接收普通的电视广播。而且,通过经由调制解调器 224 连接到采用有线或无线方式的通信网络,也可以进行单方向(从发送者到接收者)或双方向(在

发送者和接收者之间或在接收者之间)的信息通信。通过利用组装到框体中的开关或另外提供的遥控装置 226,可以进行电视装置的操作。也可以在该遥控装置 226 中设置有助于显示输出信息的显示部 227。

[0183] 另外,也可以在电视装置中,除了主屏 223 之外,还由第二显示面板形成子屏 228,并附加有显示频道或音量等的结构。

[0184] 图 21 表示示出电视装置的主要结构的框图。在显示面板中形成有像素部 251。信号线驱动电路 252 和扫描线驱动电路 253 也可以以 COG 方式安装到显示面板。

[0185] 作为其他外部电路的结构,图像信号的输入一侧具有图像信号放大电路 255、图像信号处理电路 256、以及控制电路 257 等,该图像信号放大电路 255 放大由调谐器 254 接收的信号中的图像信号,该图像信号处理电路 256 将从图像信号放大电路 255 输出的信号转换为对应于红色、绿色、蓝色各种颜色的颜色信号,该控制电路 257 将所述图像信号转换为驱动器 IC 的输入规格。控制电路 257 将信号分别输出到扫描线一侧和信号线一侧。在进行数字驱动的情况下,也可以采用如下结构,即在信号线一侧设置信号分割电路 258,并将输入数字信号分割为整数个来供给。

[0186] 由调谐器 254 接收的信号中的音频信号被传送到音频信号放大电路 259,并且其输出经过音频信号处理电路 260 被供给到扬声器 263。控制电路 261 从输入部 262 接收接收站(接收频率)、音量的控制信息,并且将信号传送到调谐器 254 及音频信号处理电路 260。

[0187] 当然,本发明的一个方式的 EL 显示装置不局限于电视装置而还可以应用于个人计算机的监视器、大面积的显示媒体如火车站或机场等的信息显示板或者街头上的广告显示板等。因此,通过应用本发明的一个方式的 EL 显示装置的制造方法,可以提高这些显示媒体的生产率。

[0188] 通过利用将应用实施方式 1 所说明的显示装置的制造方法的显示面板或显示装置用于主屏 223、子屏 228,可以提高电视装置的生产率。

[0189] 此外,图 20B 所示的便携式计算机包括主体 231 及显示部 232 等。通过将应用实施方式 1 所说明的显示装置的制造方法的显示面板或显示装置用于显示部 232,可以提高计算机的生产率。

[0190] 图 22A 至 22C 是手机的一例,图 22A 是正视图,图 22B 是后视图,图 22C 是当滑动两个框体时的正视图。手机 200 由两个框体,即框体 201 以及 202 构成。手机 200 具有手机和便携式信息终端双方的功能,内置有计算机,并且除了进行声音通话之外还可以处理各种各样的数据,即是所谓的智能手机(Smartphone)。

[0191] 手机 200 由框体 201 以及 202 构成。框体 201 具备显示部 203、扬声器 204、麦克风 205、操作键 206、定位装置 207、表面影像拍摄装置用透镜 208、外部连接端子插口 209、以及耳机端子 210 等,并且框体 202 由键盘 211、外部存储器插槽 212、背面影像拍摄装置 213、灯 214 等构成。此外,天线被内置在框体 201 中。

[0192] 此外,手机 200 还可以在上述结构的基础上内置有非接触 IC 芯片、小型存储器件等。

[0193] 相重合的框体 201 和框体 202(示出于图 22A)可以滑动,则如图 22C 那样展开。可以将应用实施方式 1 所说明的显示装置的制造方法的显示面板或显示装置安装到显示部 203 中。由于在与显示部 203 相同的面上具备表面影像拍摄装置用透镜 208,所以可以进行

视频通话。此外,通过将显示部 203 用作取景器,可以利用背面相机 213 以及灯 214 进行静态图像以及动态图像的摄影。

[0194] 通过利用扬声器 204 和麦克风 205,可以将手机 200 用作声音存储装置(录音装置)或声音再现装置。此外,可以利用操作键 206 进行电话的拨打和接收、电子邮件等的简单的信息输入操作、表示于显示部的画面的滚动操作、选择表示于显示部的信息等的指针移动操作等。

[0195] 此外,当处理的信息较多时如制作文件、用作便携式信息终端等,使用键盘 211 是较方便的。再者,通过使相重合的框体 201 和框体 202(图 22A)滑动,可以如图 22C 那样展开。当用作便携式信息终端时,可以使用键盘 211 及定位装置 207 顺利地进行操作。外部连接端子插口 209 可以与 AC 适配器以及 USB 电缆等的各种电缆连接,并可以进行充电以及与个人计算机等的通信。此外,通过对外部存储器插槽 212 插入记录媒体,可以进行大量的数据存储以及移动。

[0196] 框体 202 的背面(图 22B)具备背面影像拍摄装置 213 及灯 214,并且可以将显示部 203 用作取景器而可以进行静态图像以及动态图像的摄影。

[0197] 此外,除了上述功能结构之外,还可以具备红外线通信功能、USB 端口、数字电视(one-seg)接收功能、非接触 IC 芯片或耳机插口等。

[0198] 由于可以应用实施方式 1 所说明的薄膜晶体管及显示装置的制造方法制造本实施方式所说明的各种电子设备,因此可以提高这些电子设备的生产率。

[0199] 由此,可以大幅度地缩减这些电子设备的制造成本。

[0200] 本说明书根据 2008 年 3 月 5 日在日本专利局受理的日本专利申请编号 2008-055024 而制作,所述申请内容包括在本说明书中。

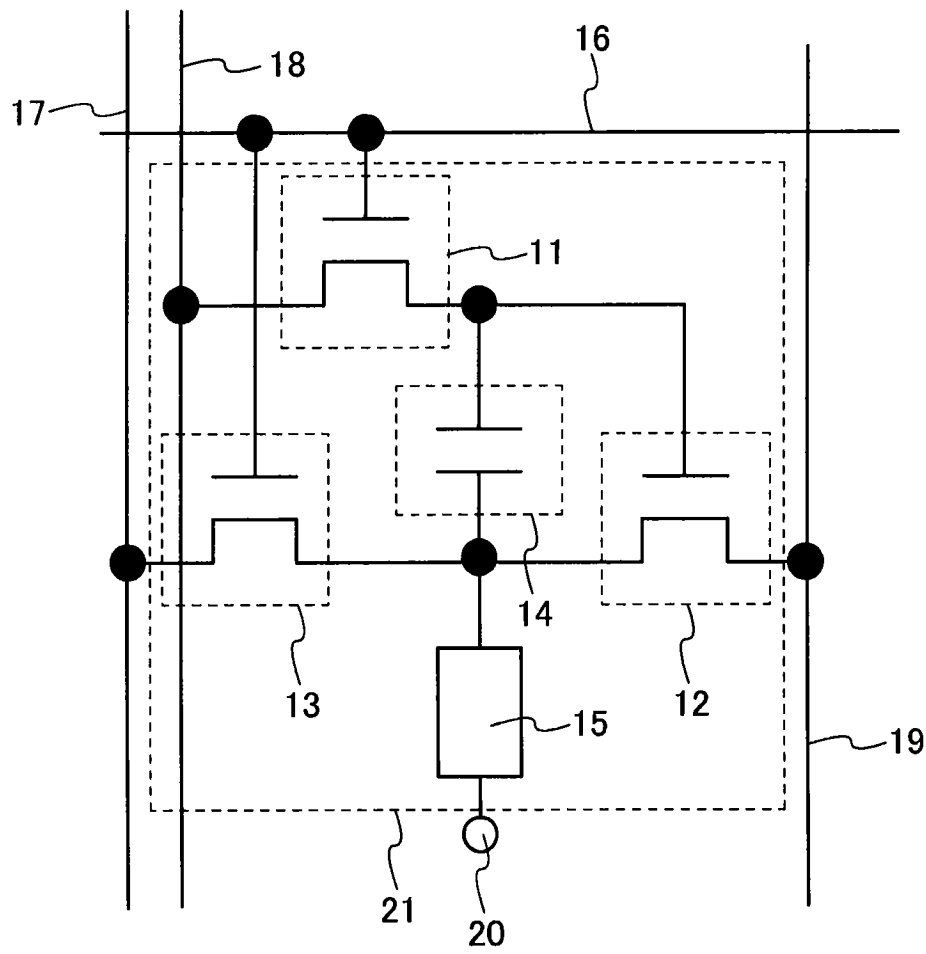


图 1

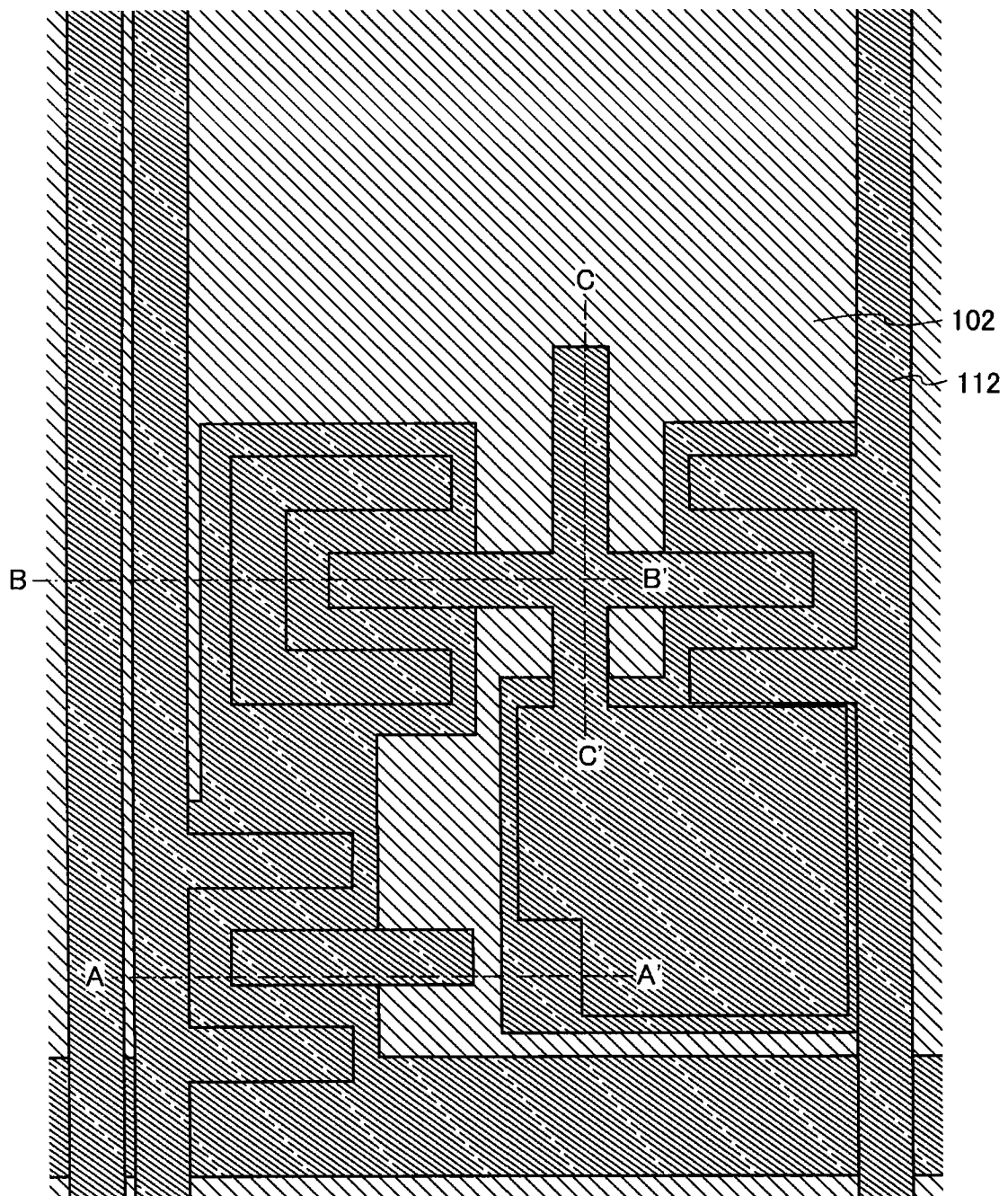


图 2

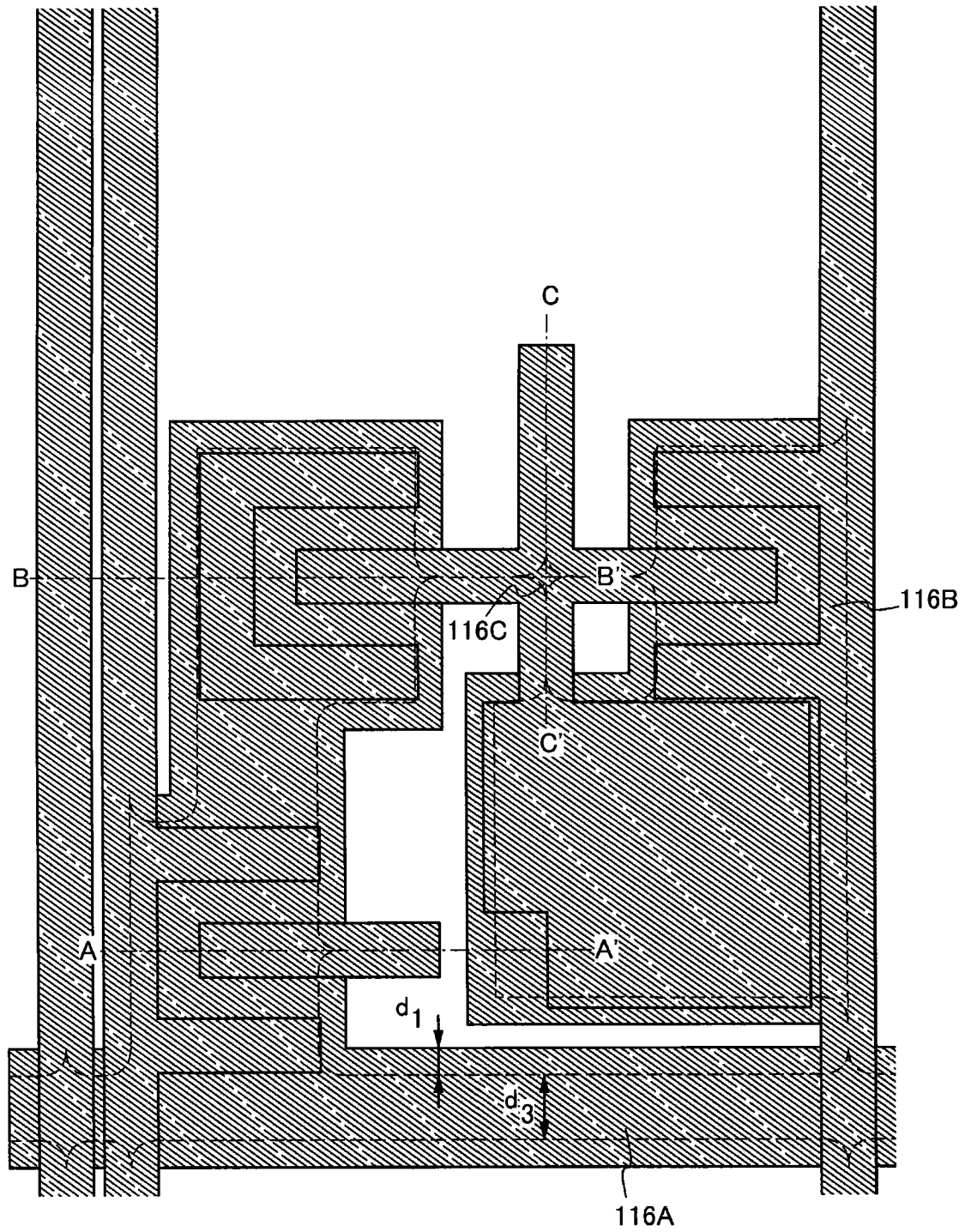


图 3

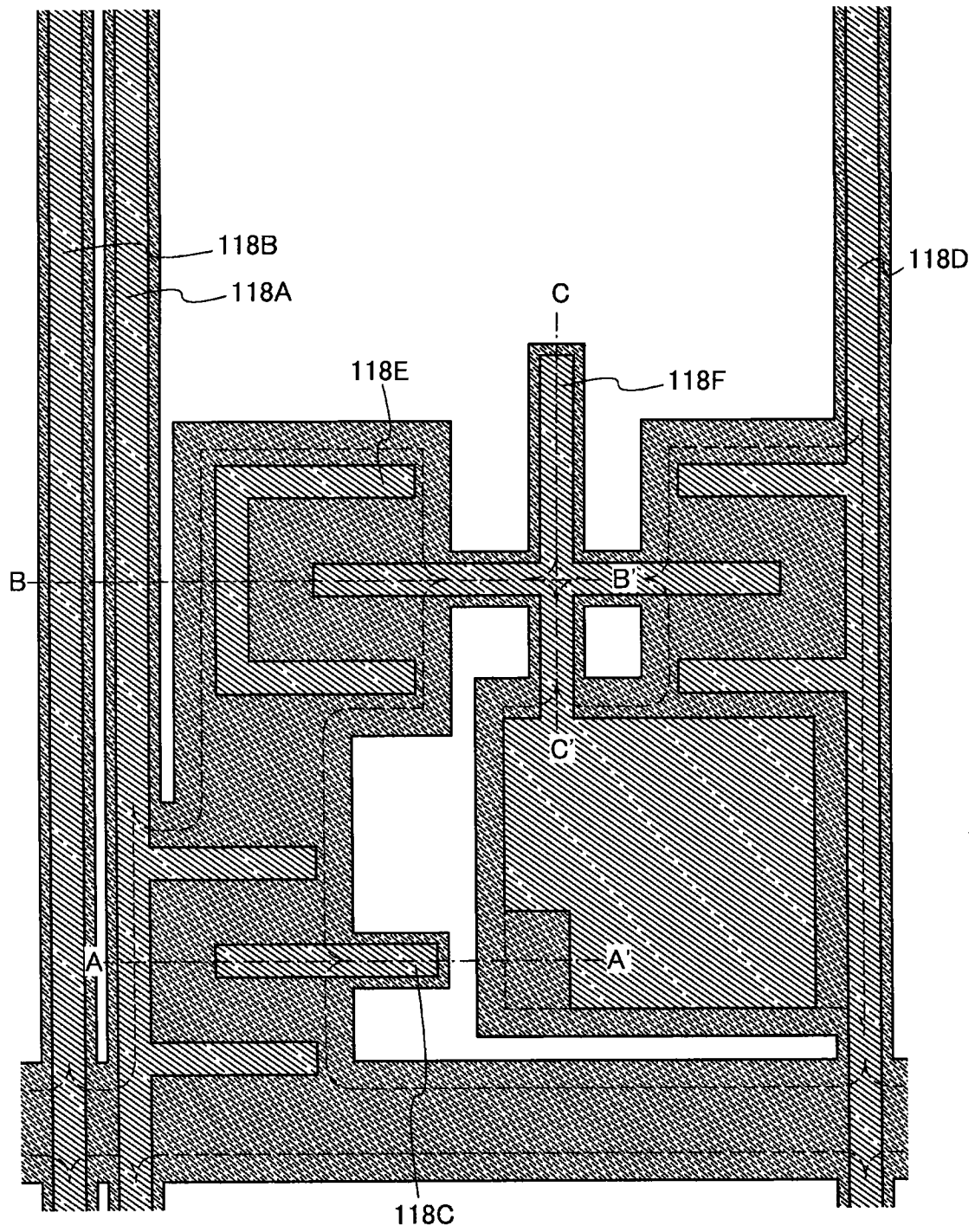


图 4

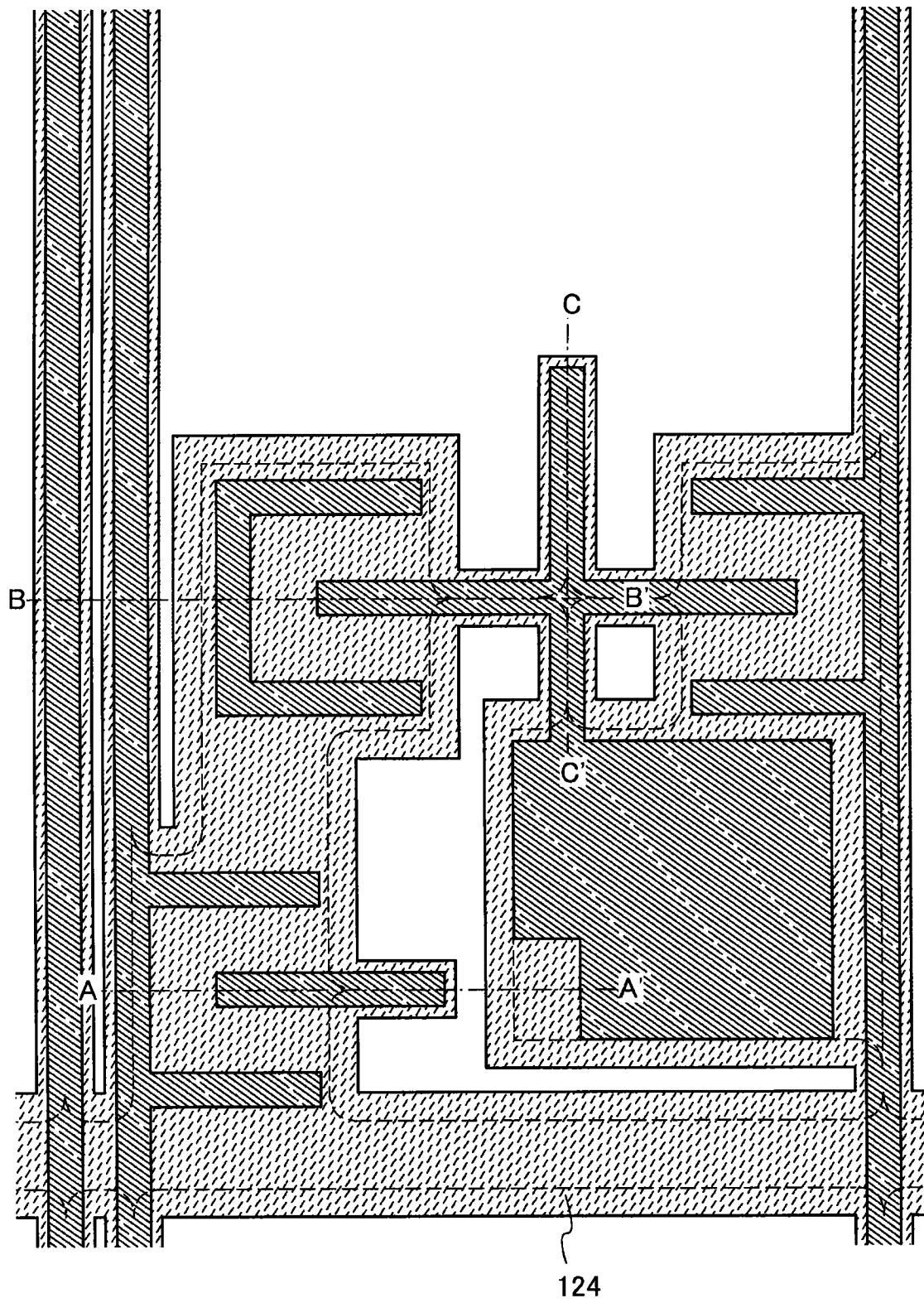


图 5

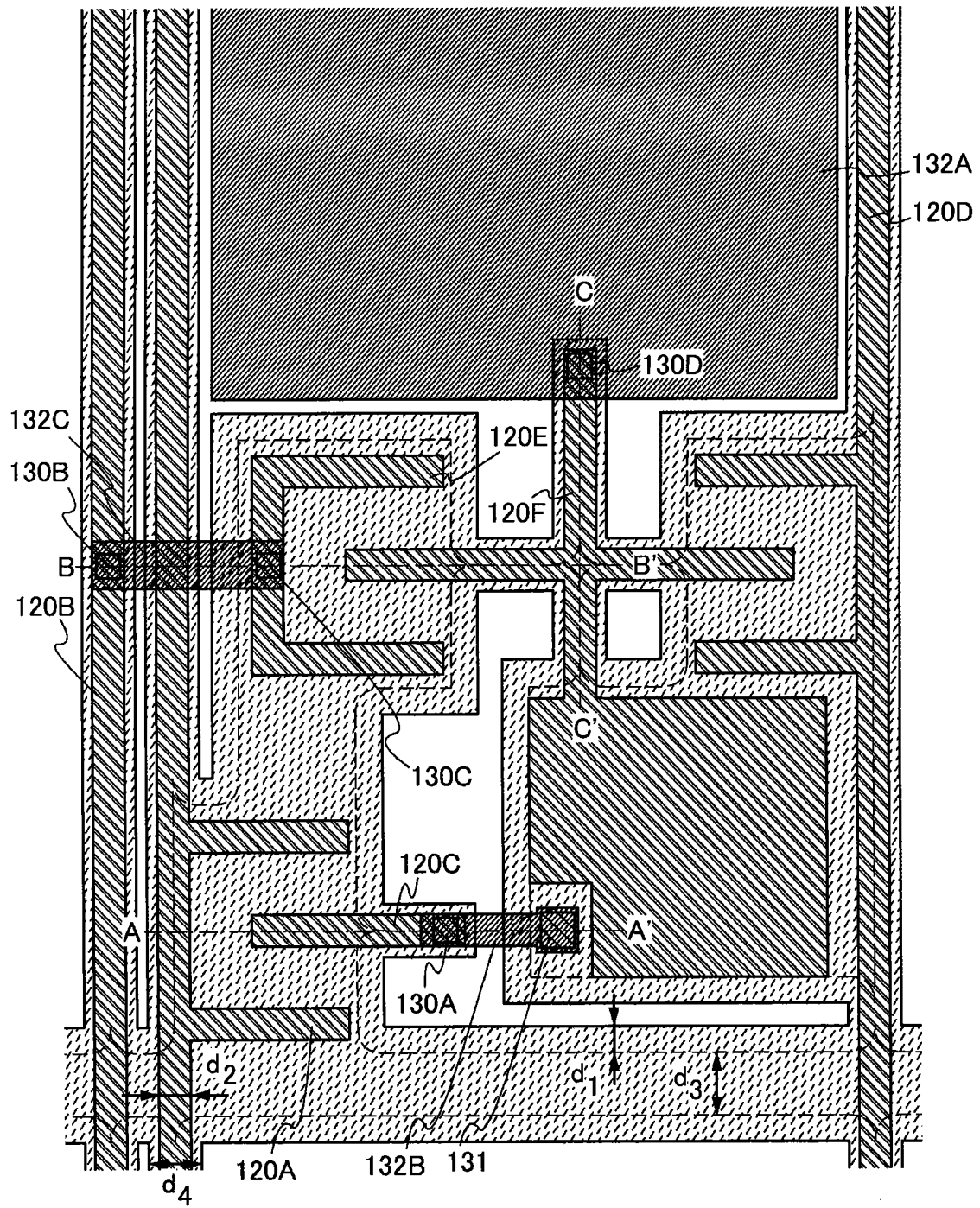


图 6

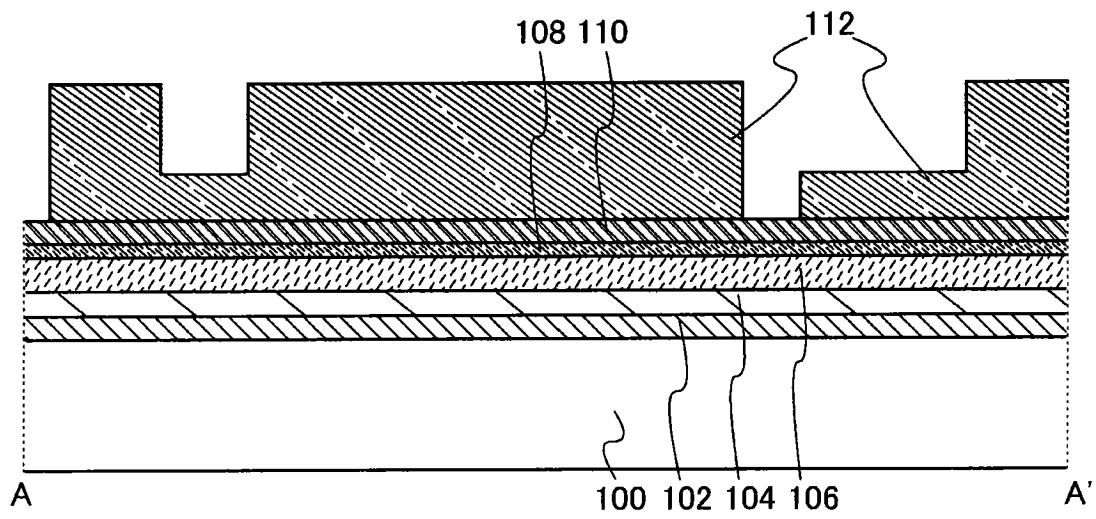


图 7A

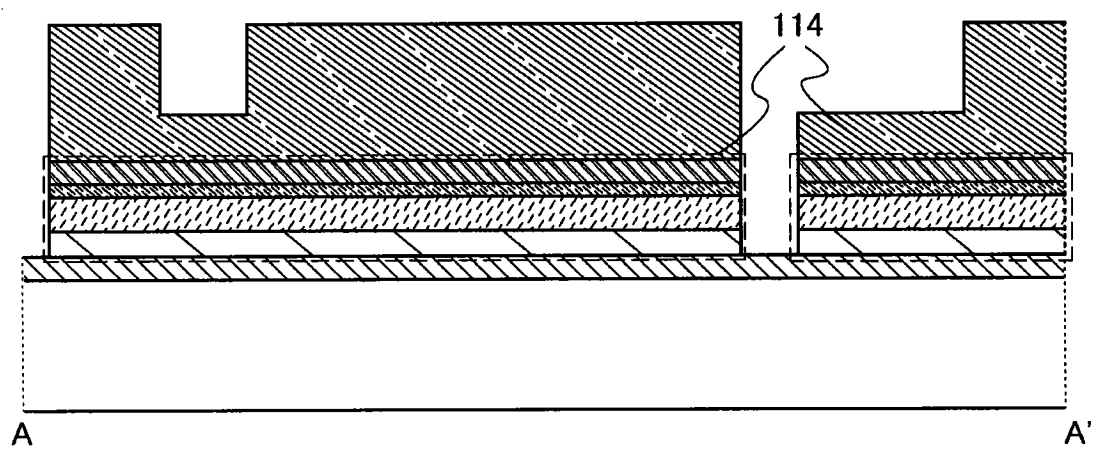


图 7B

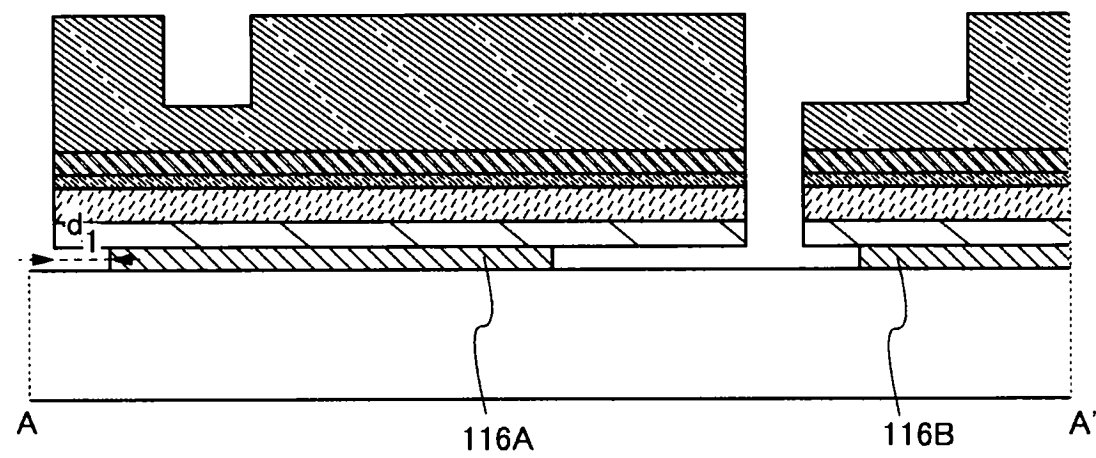


图 7C

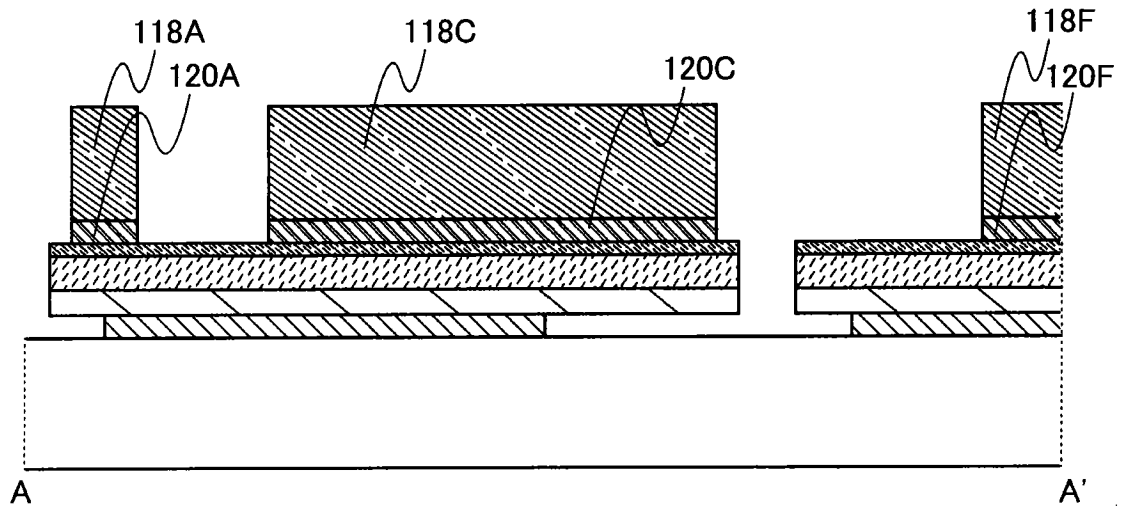


图 8A

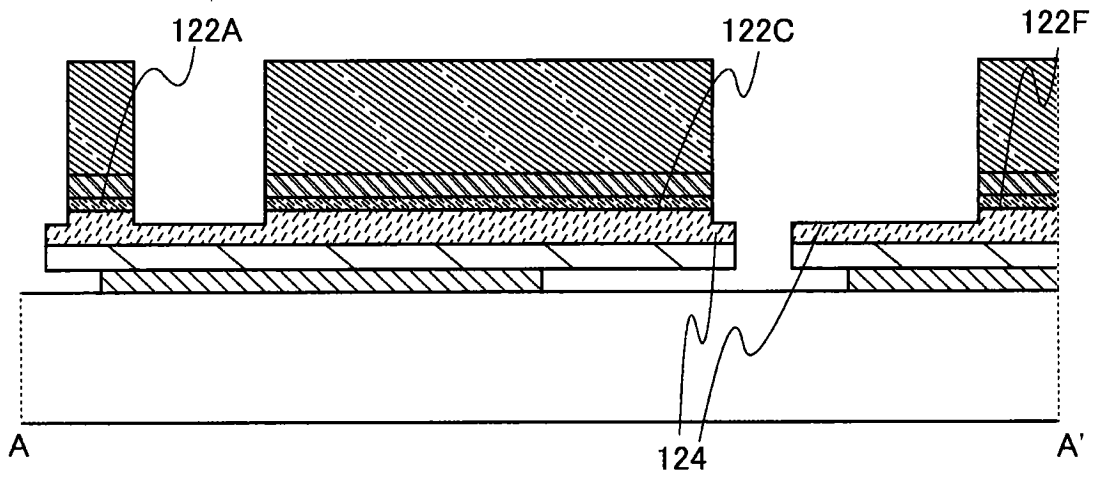


图 8B

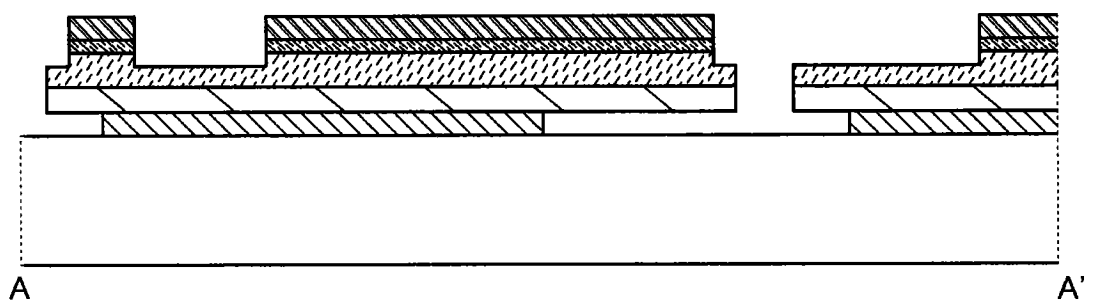


图 8C

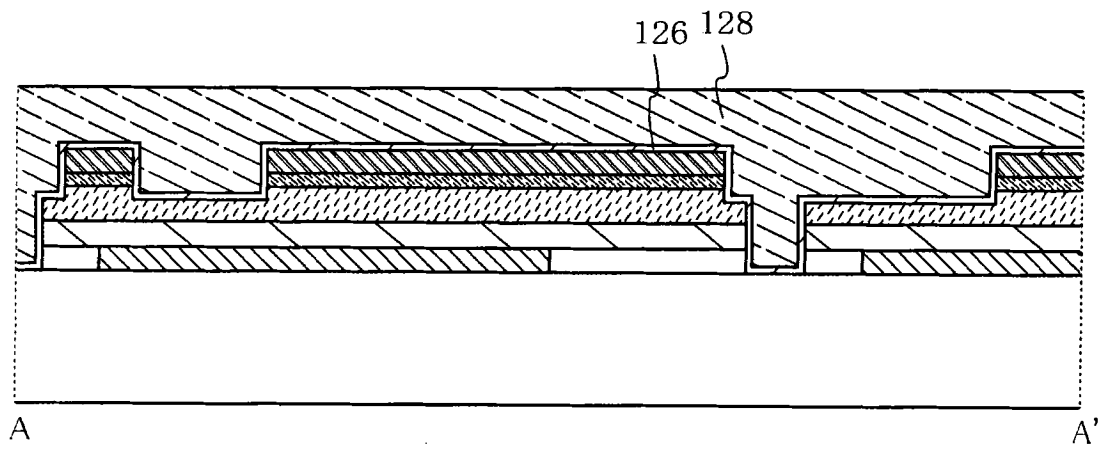


图 9A

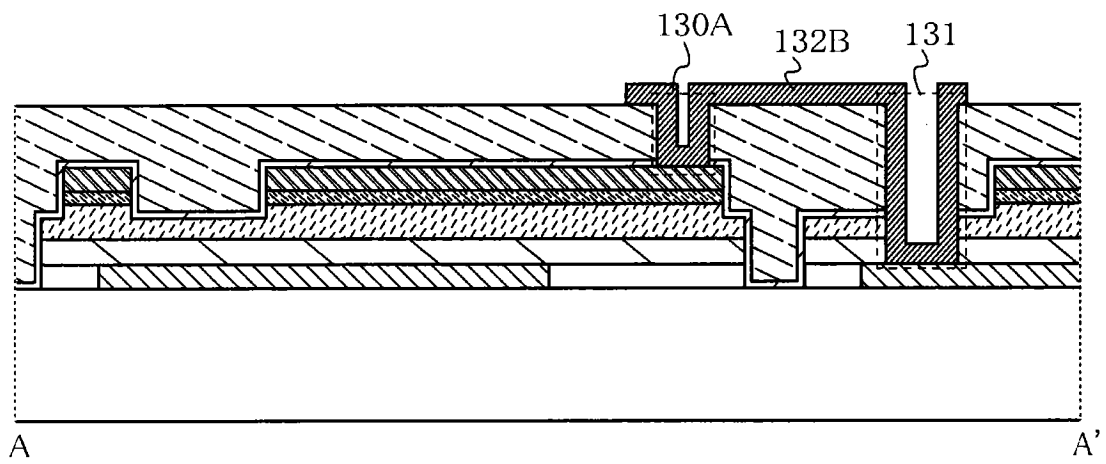


图 9B

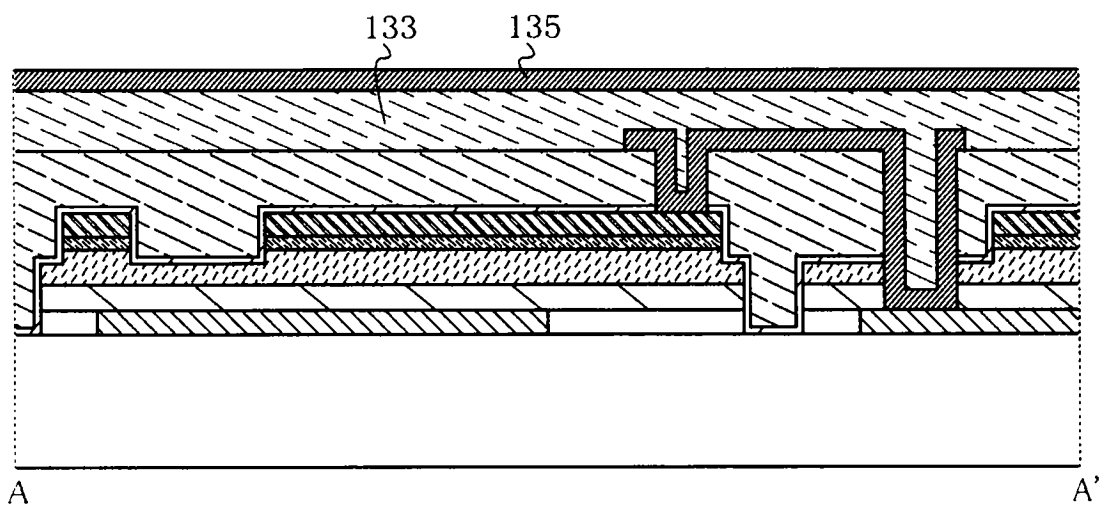


图 9C

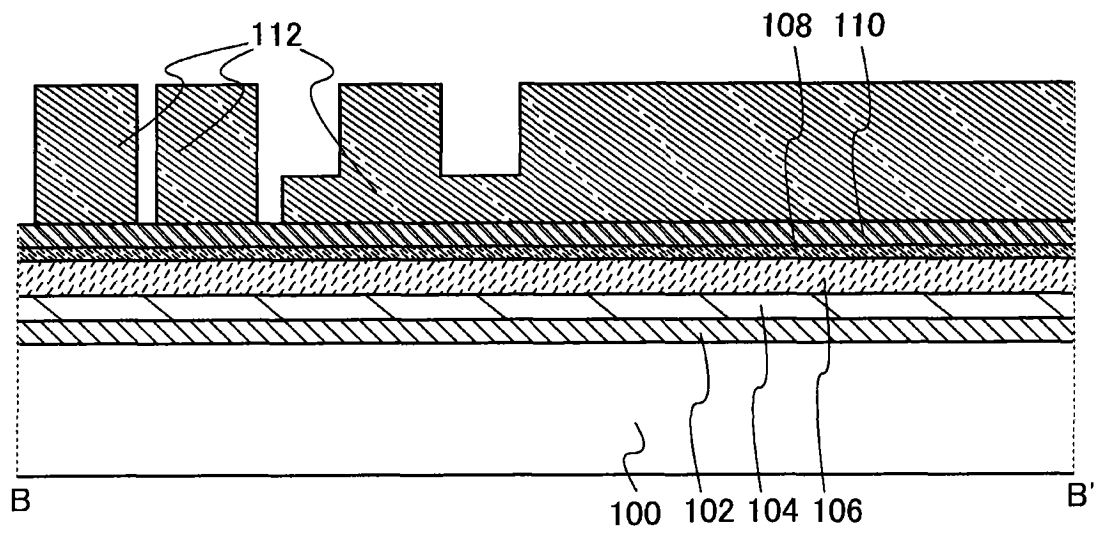


图 10A

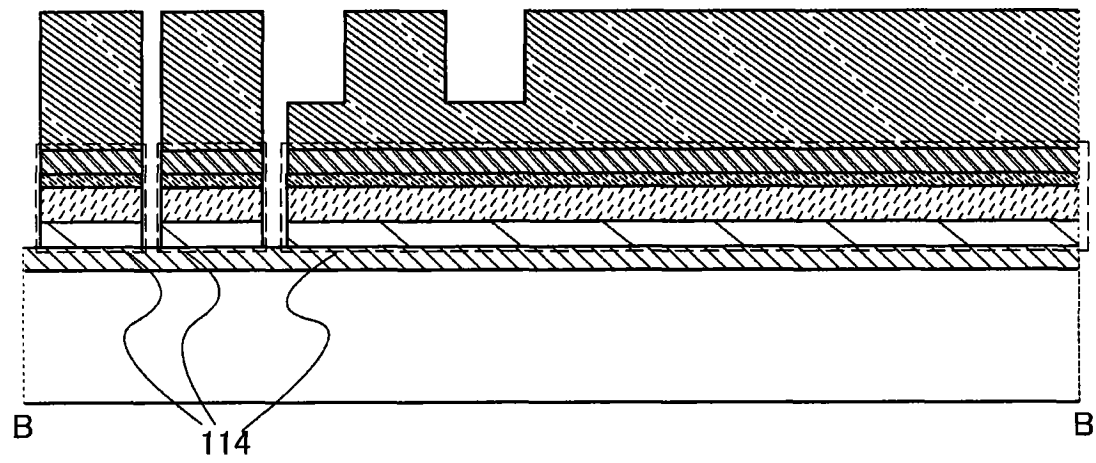


图 10B

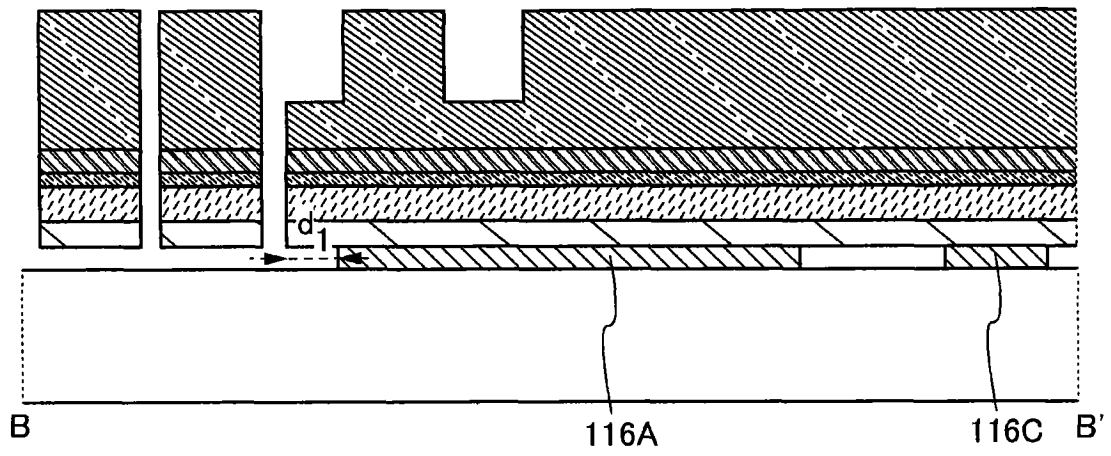


图 10C

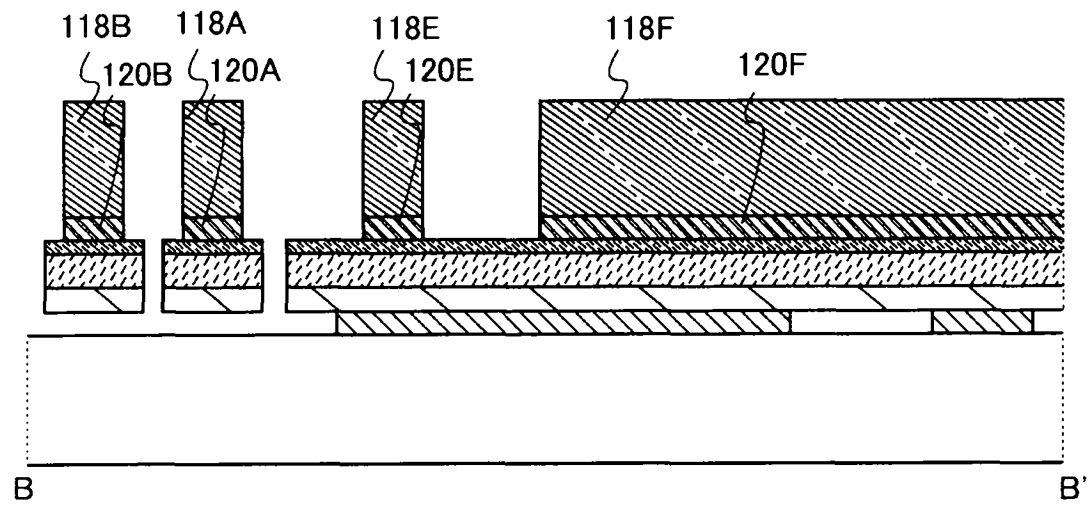


图 11A

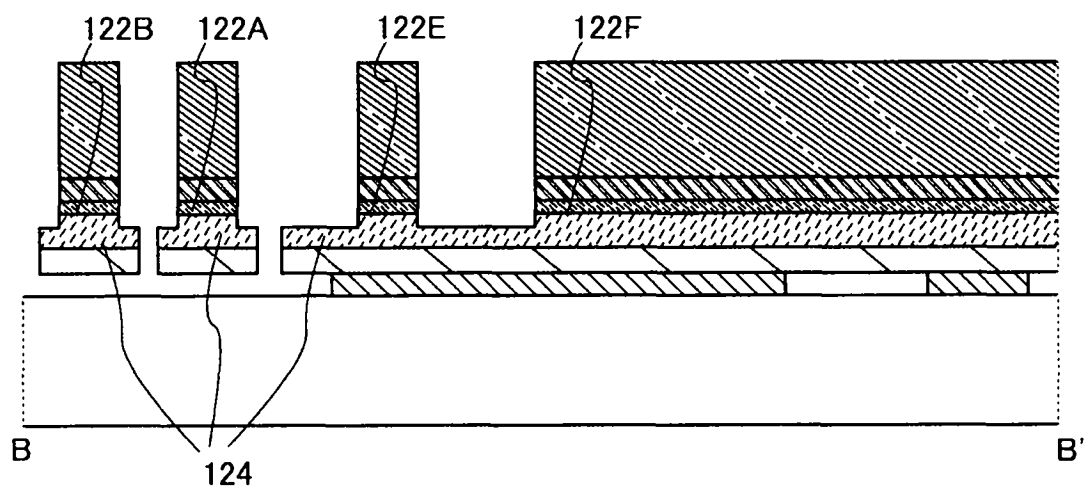


图 11B

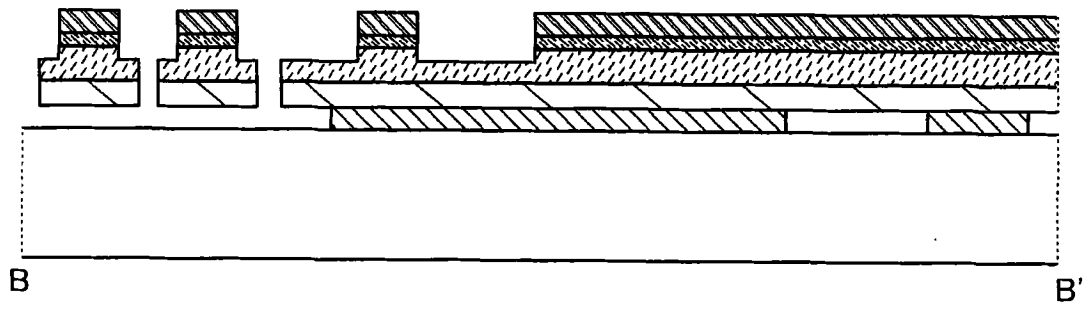


图 11C

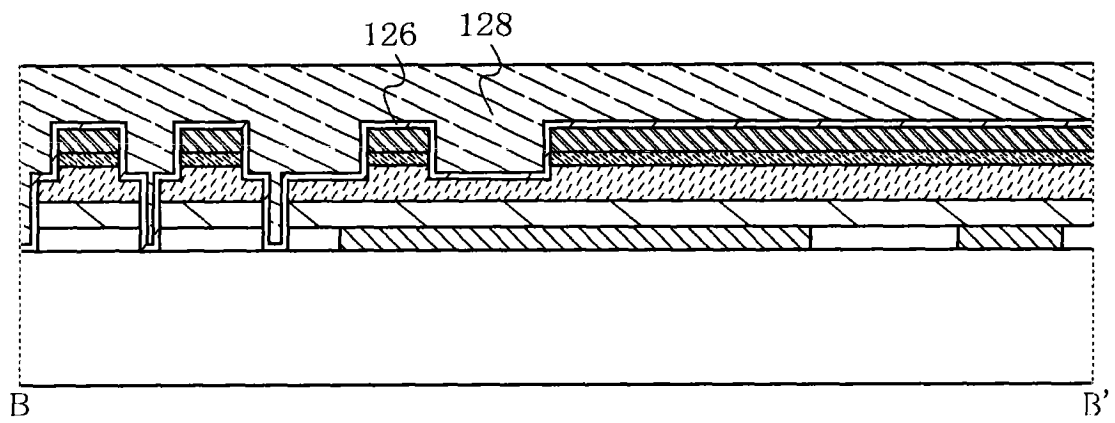


图 12A

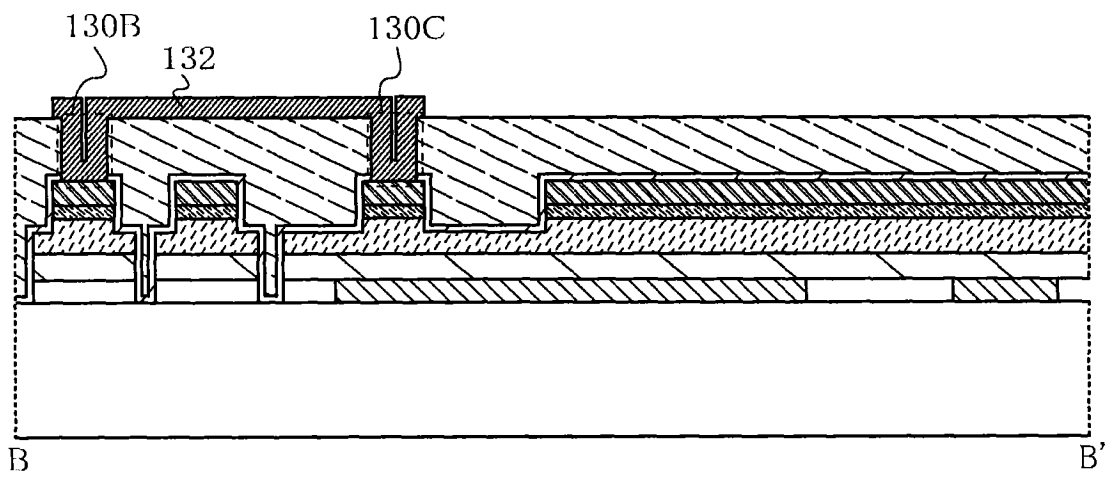


图 12B

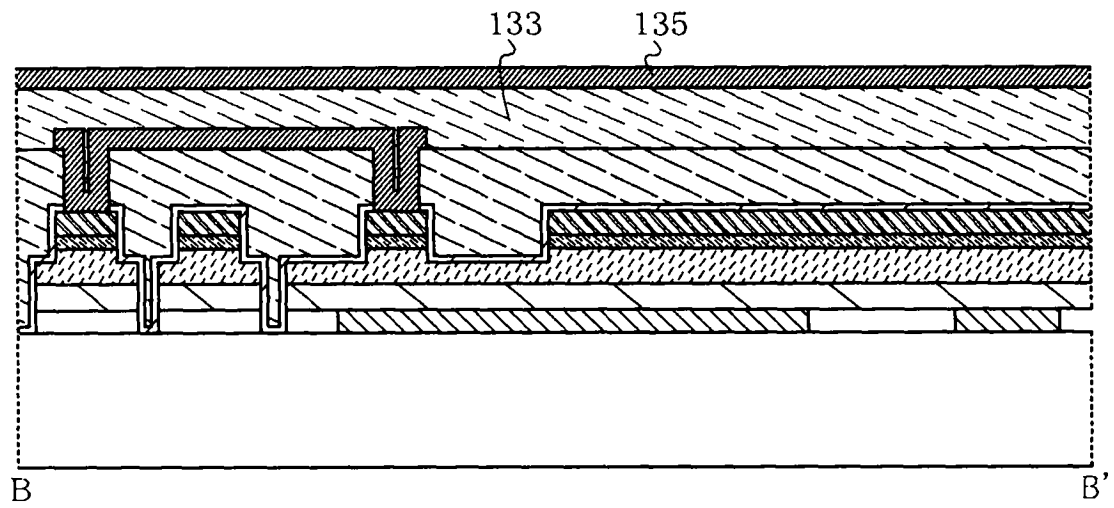


图 12C

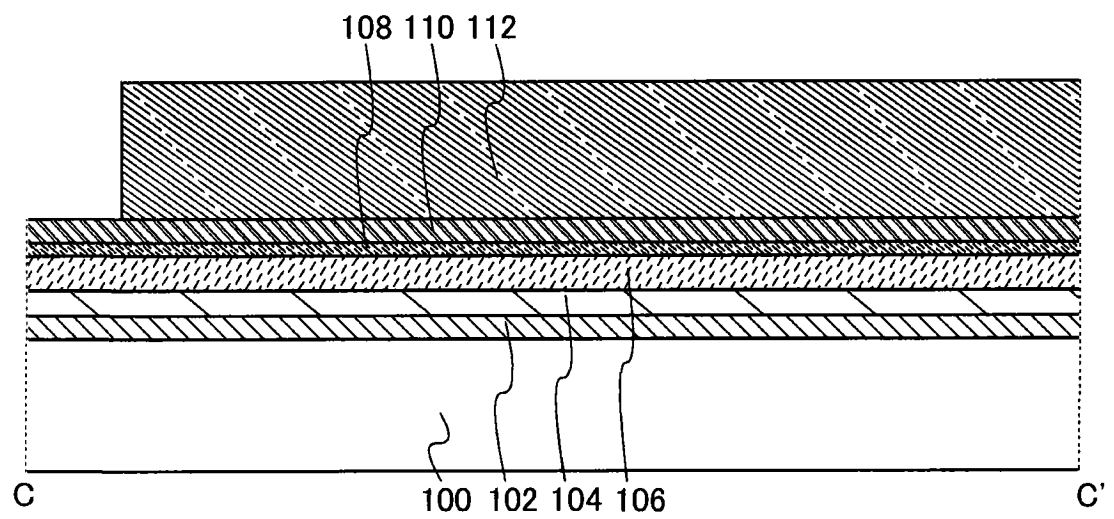


图 13A

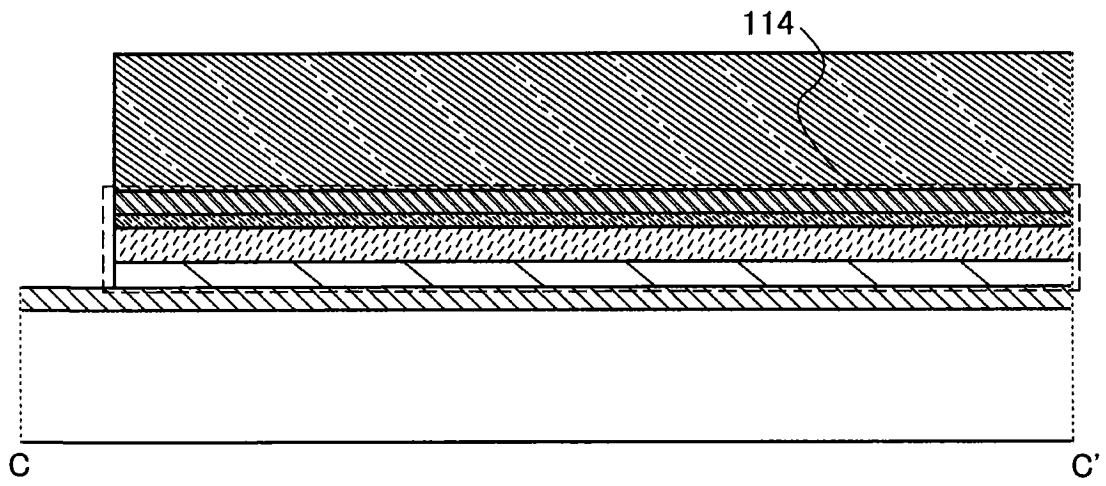


图 13B

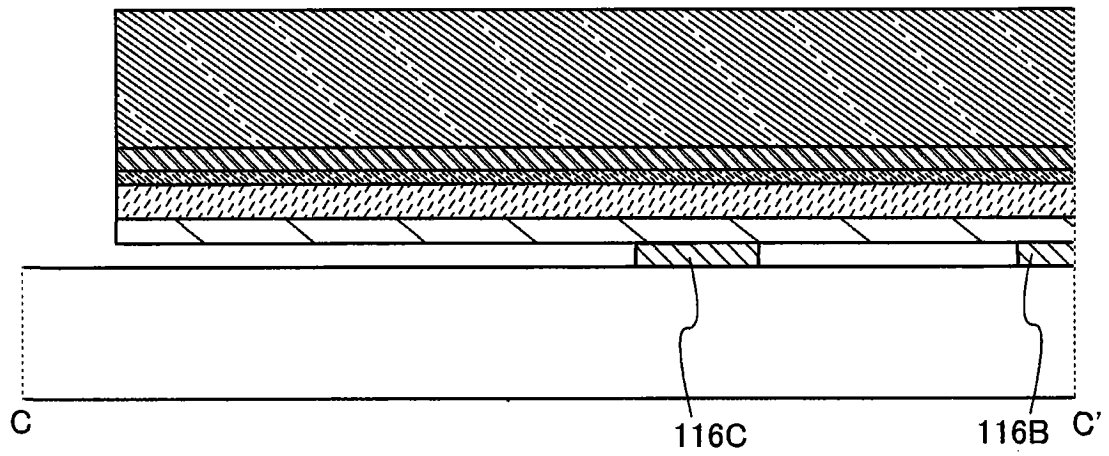


图 13C

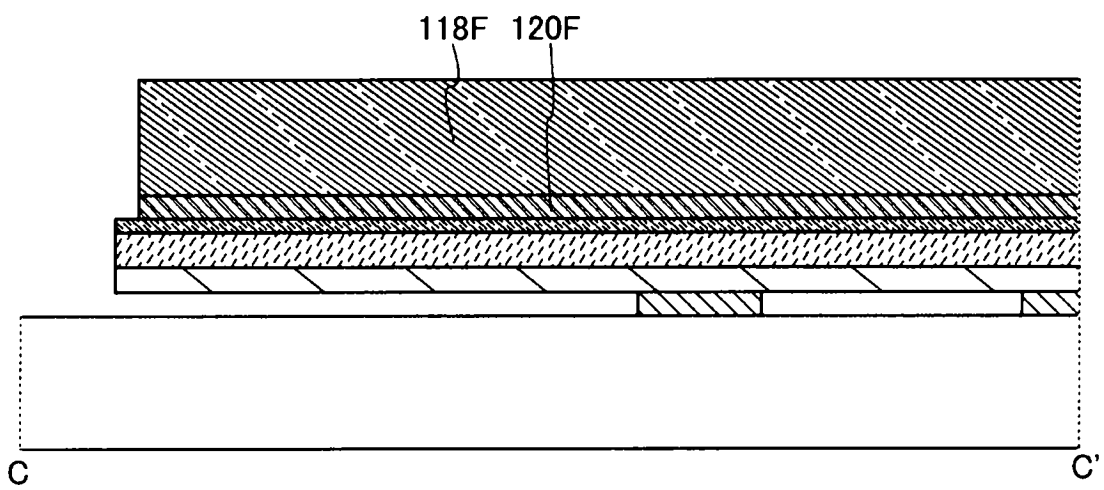


图 14A

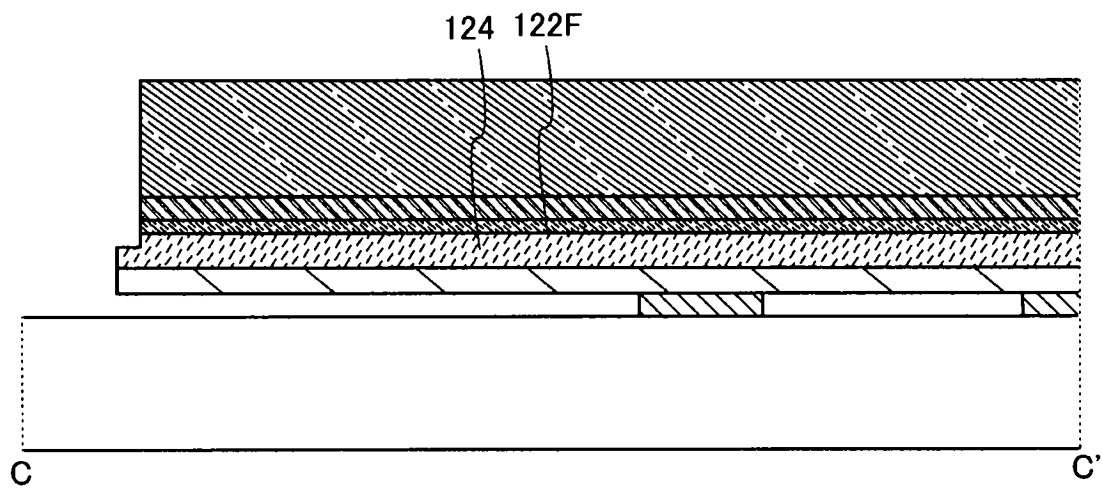


图 14B

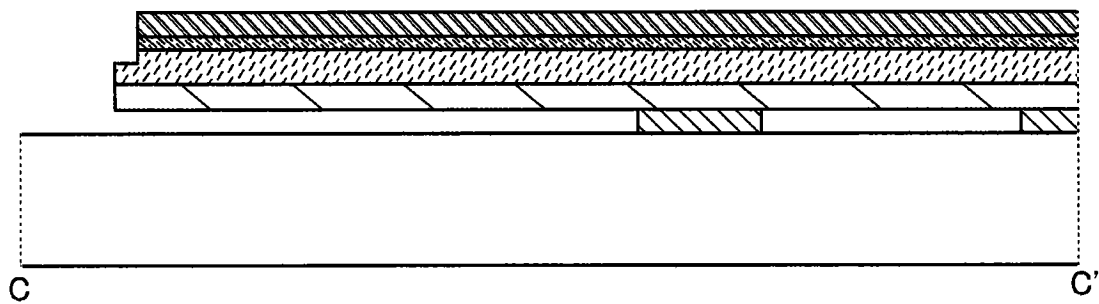


图 14C

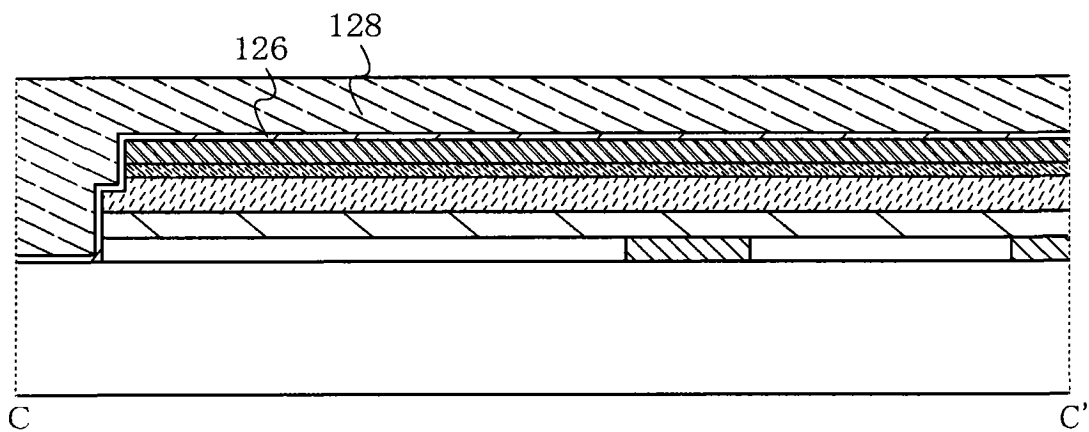


图 15A

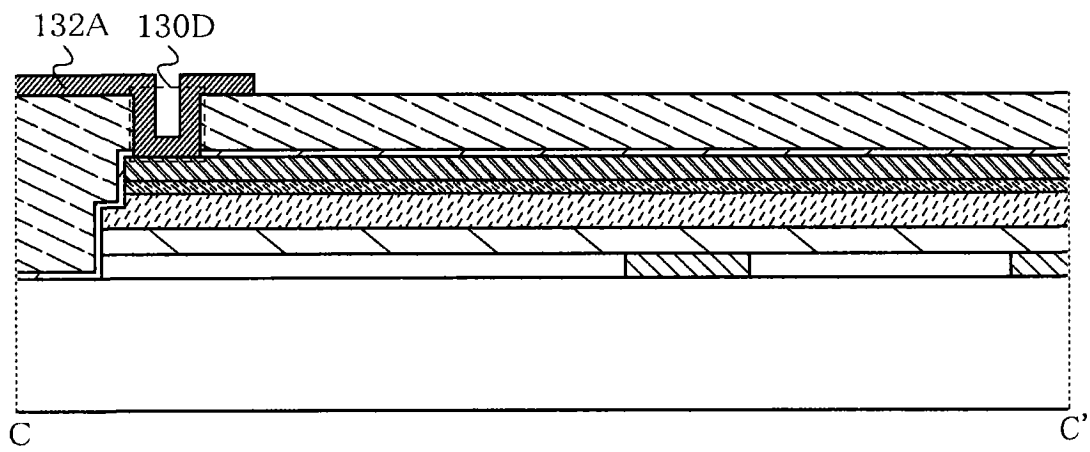


图 15B

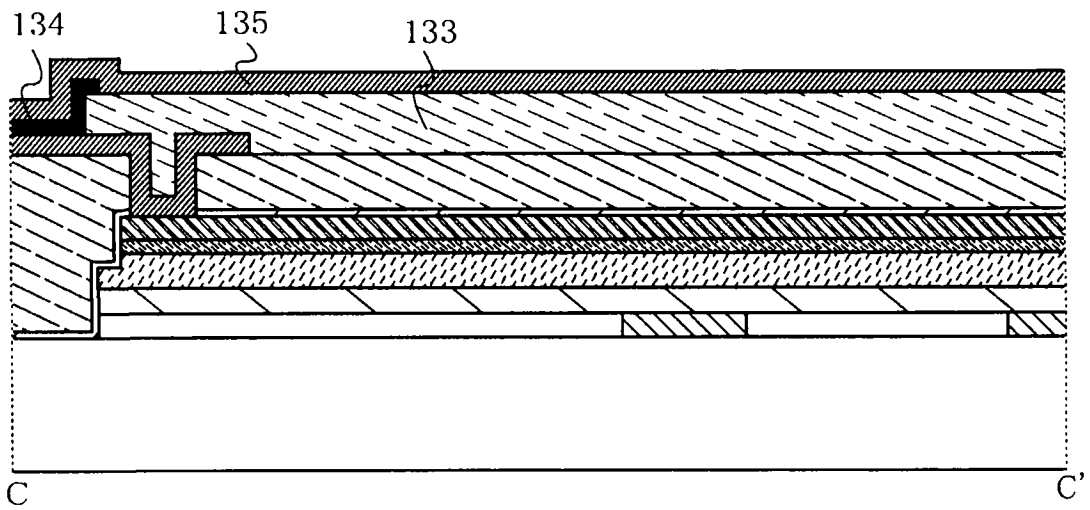


图 15C

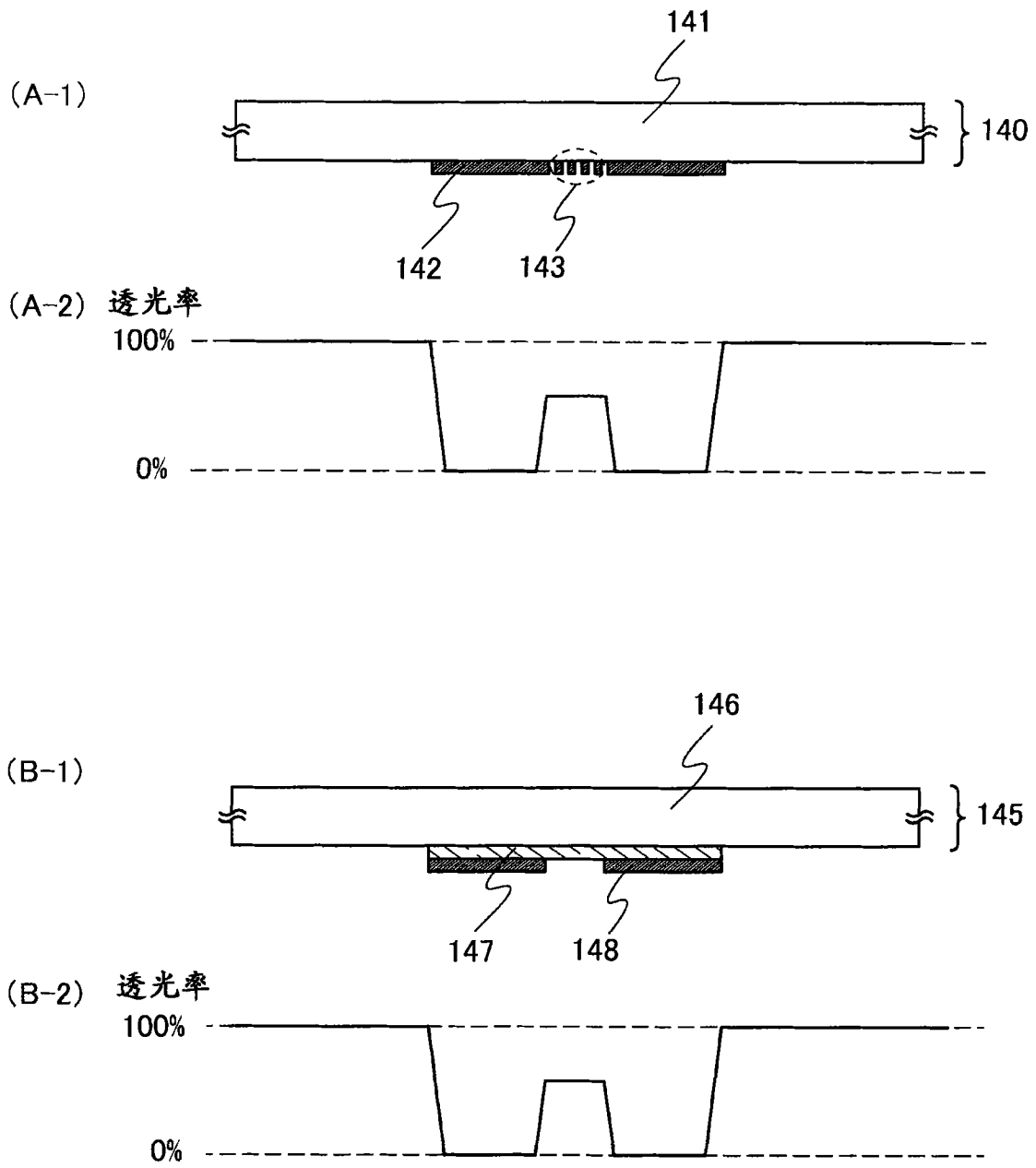


图 16

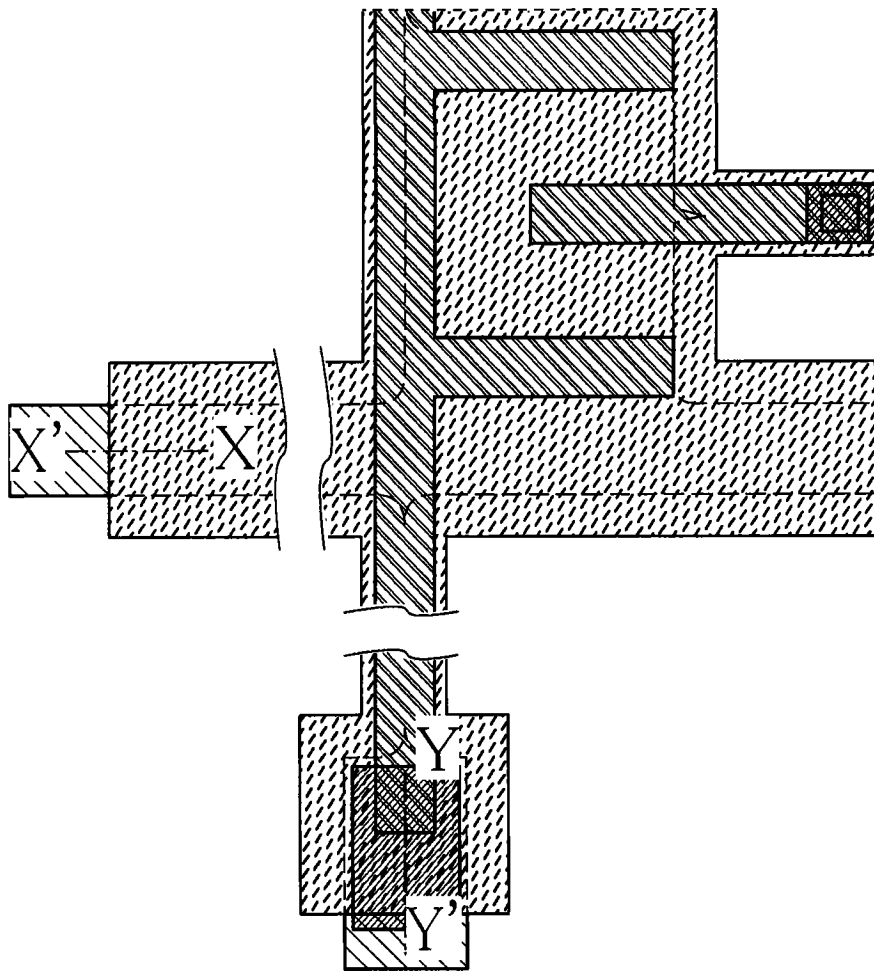


图 17

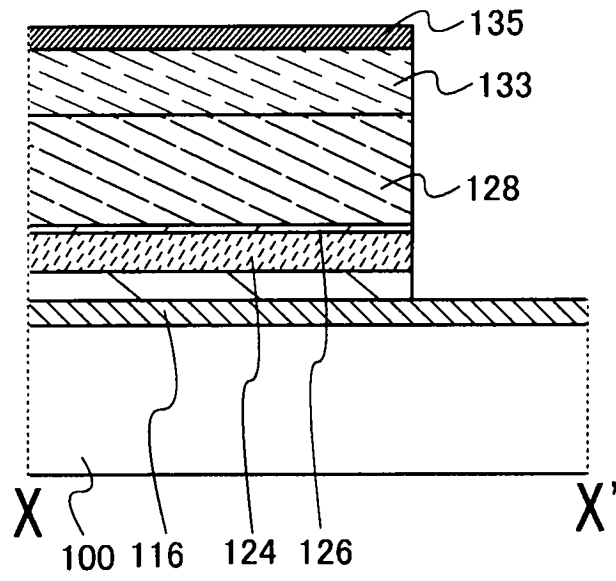


图 18

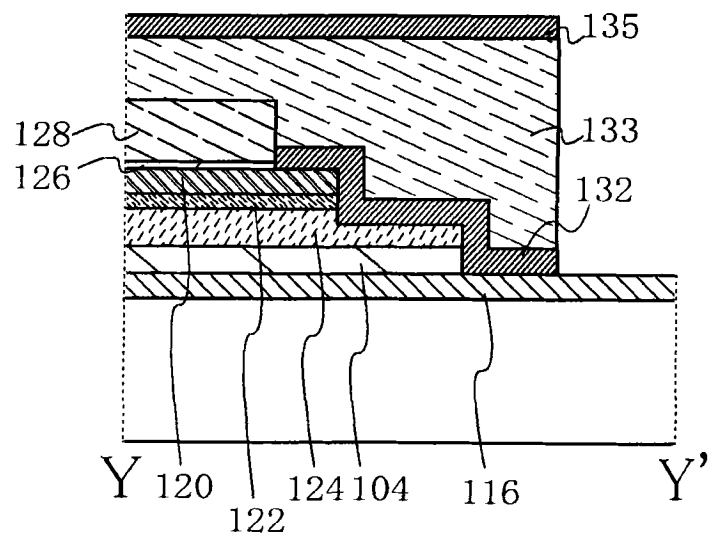


图 19A

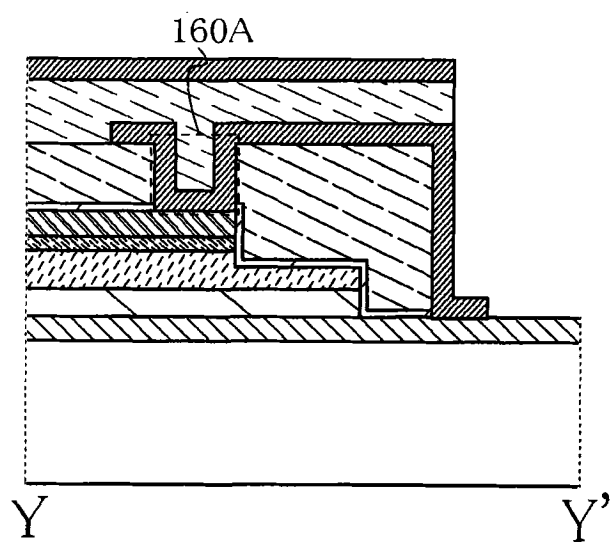


图 19B

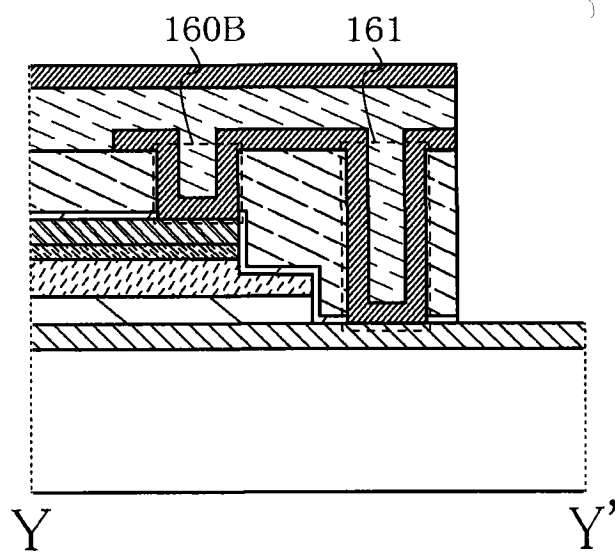


图 19C

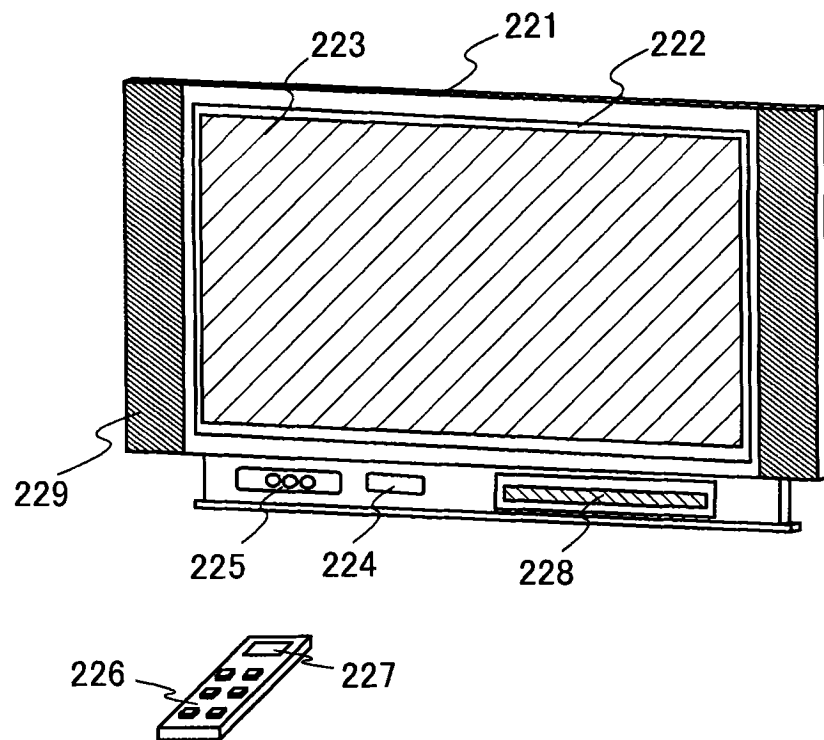


图 20A

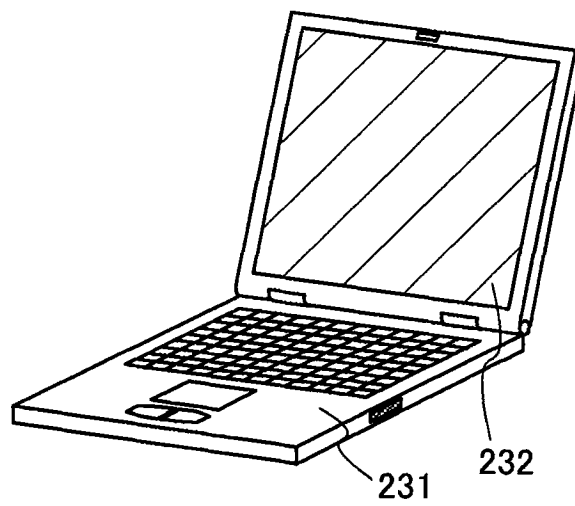


图 20B

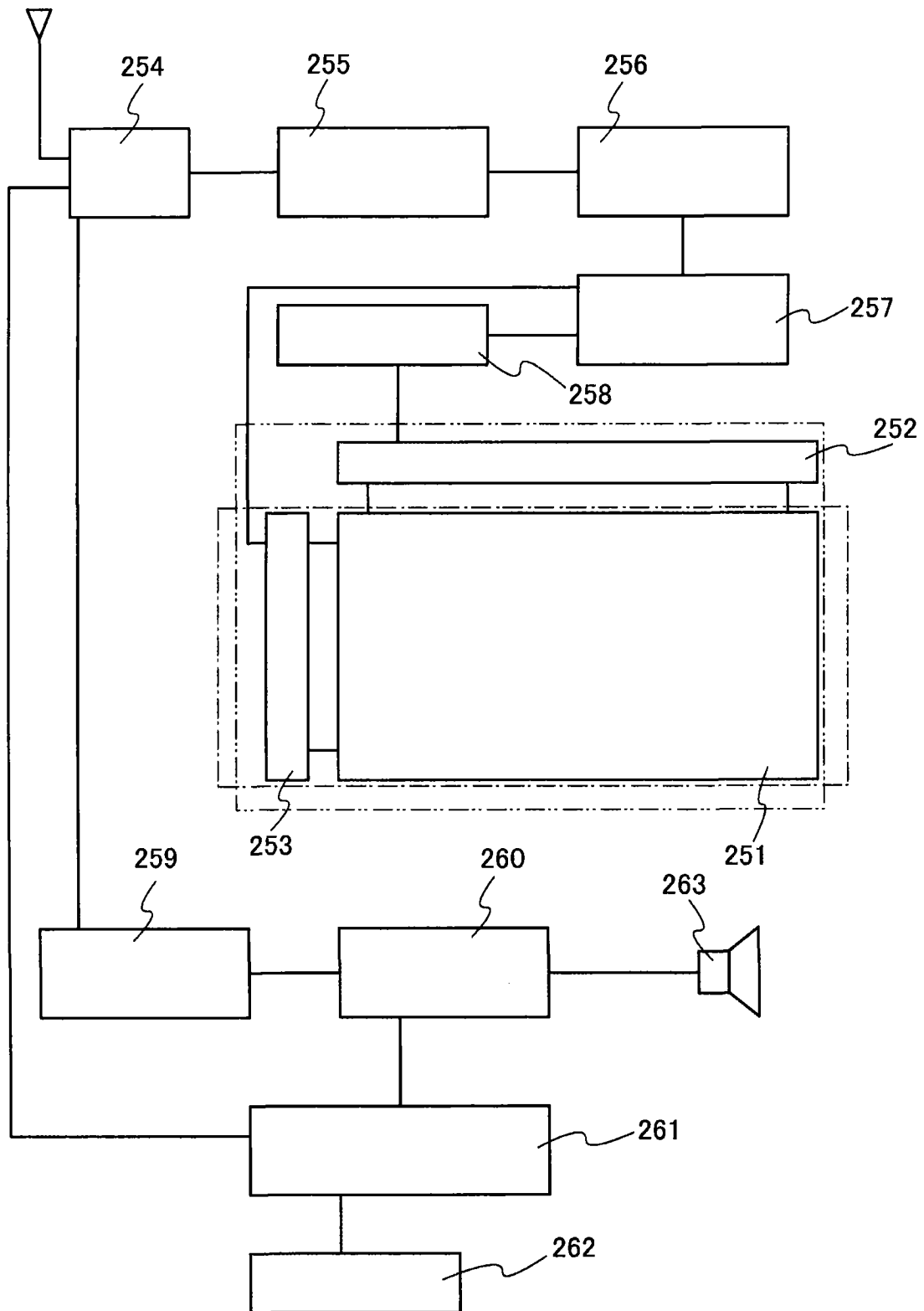


图 21

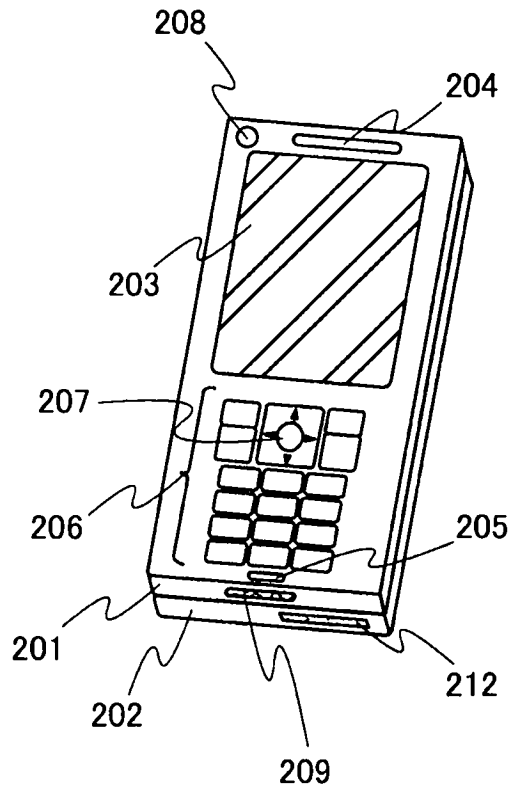


图 22A

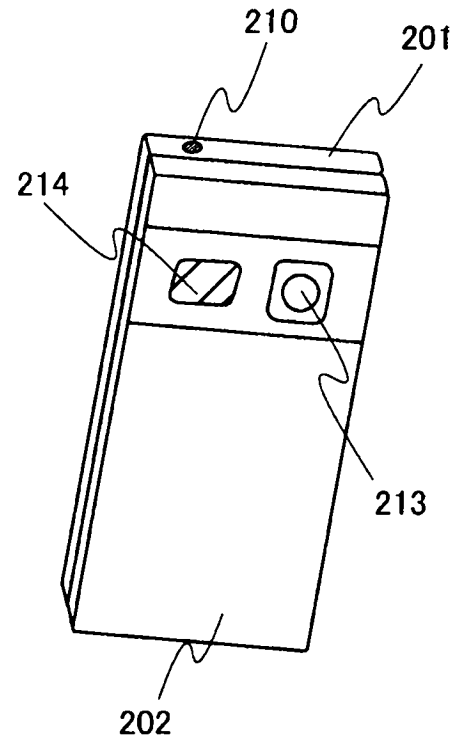


图 22B

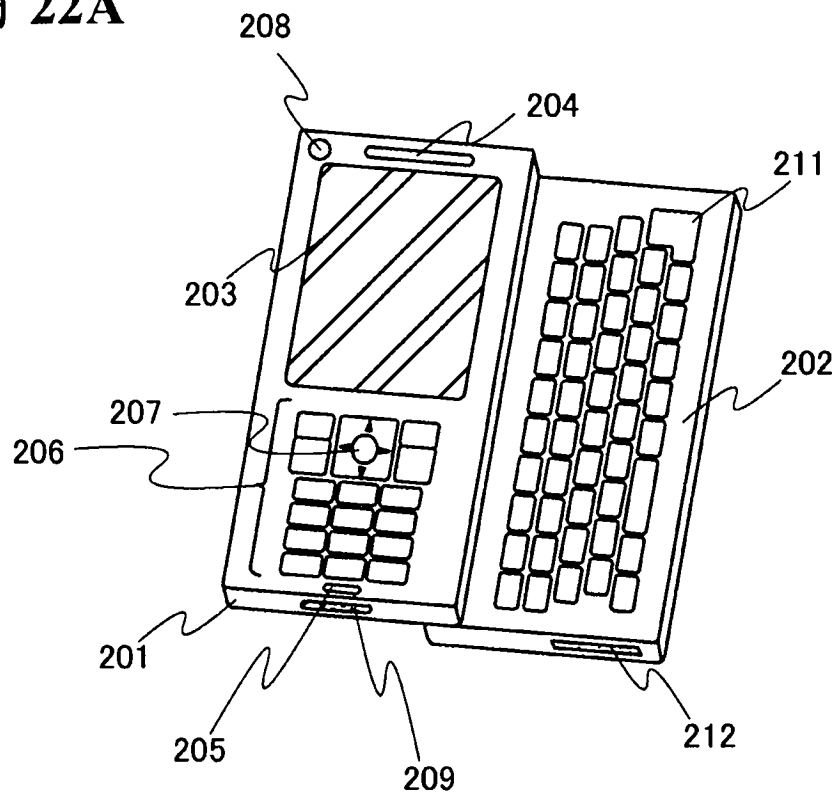


图 22C